

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成19年6月21日(2007.6.21)

【公表番号】特表2002-543489(P2002-543489A)

【公表日】平成14年12月17日(2002.12.17)

【出願番号】特願2000-614115(P2000-614115)

【国際特許分類】

G 06 F	15/16	(2006.01)
G 06 F	9/38	(2006.01)
G 06 F	15/167	(2006.01)
G 06 F	15/177	(2006.01)
G 06 T	11/00	(2006.01)

【F I】

G 06 F	15/16	6 2 0 G
G 06 F	9/38	3 7 0 C
G 06 F	15/167	A
G 06 F	15/177	6 7 6 A
G 06 T	11/00	1 0 0 A

【手続補正書】

【提出日】平成19年4月23日(2007.4.23)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】プロセッサによって実行されるコマンドを行列に並べる装置であって、

データ構造を格納する第1のメモリであって、各データ構造はヘッダと少なくとも1つのデータワードとを含み、該ヘッダが、該データ構造の中のデータワードの数を示す情報と、次に来るデータワードがコマンドを表すかコマンドに関連するデータを表すかを示す情報を含む、第1のメモリと、

該第1のメモリに接続されたデータマネージャであって、該第1のメモリからデータ構造を取り出すデータマネージャと、

該データマネージャに接続されたコマンドパーサーであって、該データマネージャによって取り出された該データ構造に関連するヘッダを受け取り、該ヘッダ内の情報をパーシングし、パーシングされた情報を該データマネージャに提供するコマンドパーサーと、

該データマネージャ、該コマンドパーサー、および該プロセッサに接続された第2のメモリであって、該データマネージャによって取り出された該データ構造の中のデータワードがコマンドを表す場合、該データマネージャが、格納および/または行列に並べるために該コマンドを該第2のメモリに送信する、第2のメモリと、

該データマネージャ、該コマンドパーサー、および該プロセッサに接続された第3のメモリであって、該データマネージャによって取り出された該データ構造の中のデータワードがコマンドに関連するデータを表す場合、該データマネージャが、格納および/または行列に並べるために該データを該第3のメモリに送信する、第3のメモリと

を備える、装置。

【請求項2】前記ヘッダは、前記少なくとも1つのデータワードが該ヘッダに連続するメモリ位置に格納されているかどうかを示す情報をさらに含む、請求項1に記載の装

置。

【請求項 3】 前記少なくとも 1 つのデータワードが前記ヘッダに連続するメモリ位置に格納されていないことを前記情報が示す場合、該少なくとも 1 つのデータワードは、該少なくとも 1 つのデータワードが格納されている前記第 1 のメモリ内のメモリ位置を指すリンクポインタをさらに含む、請求項 2 に記載の装置。

【請求項 4】 前記少なくとも 1 つのデータワードが前記ヘッダに連続するメモリ位置に格納されていないことを前記情報が示す場合、該少なくとも 1 つのデータワードは、該少なくとも 1 つのデータワードが格納されているソースデータバッファを指すリンクポインタをさらに含む、請求項 2 に記載の装置。

【請求項 5】 前記データマネージャが、

FIFO バッファと、

該 FIFO バッファに接続された複数のレジスタであって、前記コマンドパーサーから受け取るパーシングされたヘッダ情報を格納する複数のレジスタと、

該 FIFO バッファおよび該複数のレジスタに接続された第 1 の状態機器であって、該複数のレジスタの中のパーシングされたヘッダ情報を用いて、該 FIFO バッファに格納するため、前記第 1 のメモリから前記データ構造の中のデータワードをフェッチする第 1 の状態機器と、

該第 1 の状態機器、該複数のレジスタ、および該 FIFO バッファに接続された第 2 の状態機器であって、該第 1 の状態機器からの制御信号に応答して、該データワードを前記プロセッサに転送する第 2 の状態機器と、
を備える、請求項 3 に記載の装置。

【請求項 6】 前記第 1 のメモリが、前記装置の外部にある、請求項 5 に記載の装置。

【請求項 7】 前記第 2 のメモリおよび前記第 3 のメモリが、FIFO バッファである、請求項 6 に記載の装置。

【請求項 8】 中央処理ユニット (CPU) と、

該 CPU に接続され、データ構造を格納するシステムメモリであって、各データ構造は、ヘッダと少なくとも 1 つのデータワードとを含み、該ヘッダが、該データ構造の中のデータワードの数を示す情報と、次に来るデータワードがコマンドを表すかコマンドに関連するデータを表すかを示す情報を含む、システムメモリと、

該 CPU および該システムメモリに接続されたグラフィックスコントローラと
を備えるシステムであって、

該グラフィックスコントローラが、

グラフィックスエンジンと、

該グラフィックスエンジンに接続されたマスター モード モジュールと
を備え、

該マスター モード モジュールが、

該システムメモリに接続されたデータマネージャであって、該システムメモリからデータ構造を取り出すデータマネージャと、

該データマネージャに接続されたコマンドパーサーであって、該データマネージャによって取り出された該データ構造に関連するヘッダを受け取り、該ヘッダ内の情報をパーシングし、パーシングされた情報を該データマネージャに提供するコマンドパーサーと、

該データマネージャ、該コマンドパーサー、および該プロセッサに接続された第 1 のメモリであって、該データマネージャによって取り出された該データ構造の中のデータワードがコマンドを表す場合、該データマネージャが、格納および / または行列に並べるために該コマンドを該第 1 のメモリに送信する、第 1 のメモリと、

該データマネージャ、該コマンドパーサー、および該プロセッサに接続された第 2 のメモリであって、該データマネージャによって取り出された該データ構造の中の該データワードがコマンドに関連するデータを表す場合、該データマネージャが、格納および / または行列に並べるために該データを該第 2 のメモリに送信する、第 2 のメモリと

を備え、

該グラフィックスが、処理するため、該第1のメモリおよび該第2のメモリから該コマンドおよび該コマンドに関連するデータを取り出す、
コンピュータシステム。

【請求項9】 前記ヘッダは、前記少なくとも1つのデータワードが該ヘッダに連続するメモリ位置に格納されているかどうかを示す情報をさらに含む、請求項8に記載のコンピュータシステム。

【請求項10】 前記少なくとも1つのデータワードが前記ヘッダに連続するメモリ位置に格納されていないことを前記情報が示す場合、前記少なくとも1つのデータワードは、該少なくとも1つのデータワードが格納されている前記第1のメモリ内のメモリ位置を指すリンクポインタをさらに含む、請求項9に記載のコンピュータシステム。

【請求項11】 前記少なくとも1つのデータワードが前記ヘッダに連続するメモリ位置に格納されていないことを前記情報が示す場合、前記少なくとも1つのデータワードは、該少なくとも1つのデータワードが格納されているソースデータバッファを指すリンクポインタをさらに含む、請求項9に記載のコンピュータシステム。

【請求項12】 前記データマネージャが、

FIFOバッファと、

該FIFOバッファに接続された複数のレジスタであって、前記コマンドパーサーから受け取るパーサリングされたヘッダ情報を格納する複数のレジスタと、

該FIFOバッファおよび該複数のレジスタに接続された第1の状態機器であって、該複数のレジスタの中のパーサリングされたヘッダ情報を用いて、該FIFOバッファに格納するために、前記システムメモリから前記データ構造の中のデータワードをフェッチする第1の状態機器と、

該第1の状態機器、該複数のレジスタ、および該FIFOバッファに接続された第2の状態機器であって、該第1の状態機器からの制御信号に応答して、該データワードを前記グラフィックスエンジンに転送する第2の状態機器と、
を備える、請求項10に記載のコンピュータシステム。

【請求項13】 前記第1のメモリおよび前記第2のメモリが、FIFOバッファである、請求項12に記載の装置。

【請求項14】 処理のためのコマンドおよび関連するデータを行列に並べる方法であって、

データ構造を第1のメモリに格納する工程であって、各データ構造は、ヘッダと次に来る少なくとも1つのデータワードとを含み、該ヘッダが、該データ構造中のデータワードの数を示す情報と、次に来るデータワードがコマンドを表すかコマンドに関連するデータを表すかを示す情報とを含む、工程と、

データ構造をフェッチする工程と、

該データ構造の該ヘッダ内の情報をパーサリングし、分離する工程と、

該ヘッダ情報から、該データ構造中のデータワードがコマンドを表すかコマンドに関連するデータを表すかを判定する工程と、

該データ構造中のデータワードがコマンドを表す場合、格納および/または行列に並べるために該コマンドを第2のメモリに送信する工程と、

該データ構造中のデータワードがコマンドに関連するデータを表す場合、格納および/または行列に並べるために該データを第3のメモリに送信する工程と、
を包含する、方法。

【請求項15】 前記ヘッダは、前記少なくとも1つのデータワードが該ヘッダに連続するメモリ位置に格納されているかどうかを示す情報をさらに含む、請求項14に記載の方法。

【請求項16】 前記少なくとも1つのデータワードが前記ヘッダに連続するメモリ位置に格納されていないことを前記情報が示す場合、該少なくとも1つのデータワードは、該少なくとも1つのデータワードが格納されている前記第1のメモリ内のメモリ位置を

指すリンクポインタをさらに含む、請求項15に記載の方法。

【請求項17】 前記少なくとも1つのデータワードが前記ヘッダに連続するメモリ位置に格納されていないことを前記情報が示す場合、該少なくとも1つのデータワードは、該少なくとも1つのデータワードが格納されているソースデータバッファを指すリンクポインタをさらに含む、請求項15に記載の方法。

【請求項18】 前記第1のメモリが、システムメモリである、請求項16に記載の方法。

【請求項19】 前記第2のメモリに格納されたコマンド、および前記第3のメモリに格納されたコマンドに関連するデータを、処理のためにプロセッサに提供する工程をさらに包含する、請求項18に記載の方法。