

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成 17 年 11 月 17 日 (2005.11.17)

【公表番号】特表 2002-518742(P2002-518742A)
 【公表日】平成 14 年 6 月 25 日 (2002.6.25)
 【出願番号】特願 2000-555167(P2000-555167)
 【国際特許分類第 7 版】

G 0 6 F 13/36

G 0 6 F 11/18

【F I】

G 0 6 F 13/36 3 1 0 E

G 0 6 F 11/18 3 1 0 A

【手続補正書】

【提出日】平成 16 年 4 月 22 日 (2004.4.22)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】 第 1 の処理セット (1 4) の I / O バス (2 4) に接続するための第 1 のプロセッサのバス・インタフェース (8 4) と、第 2 の処理セット (1 6) の I / O バス (2 6) に接続するための第 2 のプロセッサのバス・インタフェース (8 6) と、デバイス・バス (2 2) に接続するためのデバイス・バス・インタフェース (8 2) と、デバイス・バス上のデバイスに対するそれぞれの地図的アドレス範囲を規定する地図的アドレス・マッピングおよび前記地図的アドレス・マッピング (1 9 6) に対するアクセスを有する制御ロジック (1 4 2) を備えているブリッジ制御メカニズム (8 8) とを備えるマルチプロセッサ・システム (1 0) 用のブリッジ (1 2) であって、前記制御ロジックはデバイス・バス上のデバイスから処理セットのリソースに対する直接アクセスの要求に応答して前記デバイスが供給するアドレスが適正な地図的アドレス範囲内にあるかどうかを検証するように構成されているブリッジ。

【請求項 2】 デバイス・バス上の複数のデバイス・スロットの各々に対して異なる地図的アドレス範囲が割り付けされている請求項 1 に記載のブリッジ。

【請求項 3】 プロセッサ・セットのリソースに対して異なる地図的アドレス範囲が割り付けされている請求項 1 又は 2 項に記載のブリッジ。

【請求項 4】 前記制御ロジックがアドレス・デコード・ロジック (1 4 2) を含む前記請求項のいずれか一項に記載のブリッジ。

【請求項 5】 前記ブリッジ制御メカニズムが、デバイス・バス上のデバイスからの直接記憶アクセスの要求に応答して、デバイスが供給するアドレスが前記デバイスが配置されているスロットに対する適正な地図範囲内にあるかどうかを検証するように構成されている上記請求項のいずれか 1 項に記載のブリッジ。

【請求項 6】 前記地図的アドレス・マッピングが、ブリッジのランダム・アクセス・メモリ (1 2 6) 内に構成されている請求項 5 に記載のブリッジ。

【請求項 7】 前記地図的アドレス・マッピングが、ブリッジのレジスタ内に構成されている請求項 5 に記載のブリッジ。

【請求項 8】 デバイス・バス上の各スロットに対応付けされたスロット応答レジスタ (1 1 8) を備え、このスロット応答レジスタにより、デバイスの所有権が第 1 の処理セットによるか、第 2 の処理セットによるか、あるいは処理セットのいずれもよらないか

を記録している請求項 2 に記載のブリッジ。

【請求項 9】 前記制御ロジックが、デバイス・バス上のデバイスからの直接記憶アクセスに応答して、所有しているプロセッサ・セットを特定し、所有しているプロセッサ・セットのメモリに対してアクセスさせるため、要求を出しているデバイスのスロットに対するスロット応答レジスタにアクセスするように構成されている請求項 8 に記載のブリッジ。

【請求項 10】 前記スロット応答レジスタが、ブリッジのランダム・アクセス・メモリ (126) 内に構成されている請求項 9 に記載のブリッジ。

【請求項 11】 前記スロット応答レジスタが、ブリッジの少なくとも 1 つのレジスタ内に構成されている請求項 9 に記載のブリッジ。

【請求項 12】 追加の処理セットの I/O バスに接続するために少なくとも 1 つの追加のプロセッサ・バス・インタフェースを備える請求項 1 に記載のブリッジ。

【請求項 13】 第 1 の I/O バス (24) を有する第 1 の処理セット (14) と、第 2 の I/O バス (26) を有する第 2 の処理セット (16) と、少なくとも 1 つのデバイス (28 - 32) を備えているデバイス・バス (22) と、前記第 1 の I/O バス、前記第 2 の I/O バスおよび前記デバイス・バスに接続される前記請求項のいずれか 1 項によるブリッジ (12) とを備えるコンピュータ・システム (10)。

【請求項 14】 処理セットの各々が少なくとも 1 つのプロセッサ (52、62、72) と、メモリ (56、66、76) と、処理セットの I/O バス・コントローラ (50、60、70) とを備えている請求項 13 に記載のコンピュータ・システム。

【請求項 15】 前記リソースがプロセッサ・セットのメモリである請求項 14 に記載のコンピュータ・システム。

【請求項 16】 さらに、少なくとも 1 つの追加の処理セットを備える請求項 13 ~ 15 のいずれかに記載のコンピュータ・システム。

【請求項 17】 その各々が自身と関連付けされたそれぞれの地図的アドレス範囲を有する複数の切り替え可能なデバイス・スロットを備える請求項 13 ~ 16 のいずれかに記載のコンピュータ・システム。

【請求項 18】 第 1 の I/O バス (24) を有する第 1 の処理セット (14) と、第 2 の I/O バス (26) を有する第 2 の処理セット (16) と、少なくとも 1 つのデバイス (28 - 32) を備えているデバイス・バス (22) と、前記第 1 の I/O バス、前記第 2 の I/O バスおよび前記デバイス・バスに接続されるブリッジ (12) とを備えるマルチプロセッサ・システム (10) を動作させる方法であって、

デバイス・バス上のデバイスに対するそれぞれの地図的アドレス範囲を規定している地図的アドレス・マッピングを前記ブリッジ内で維持管理するステップを含み、

前記ブリッジ内にデバイス・バス上のデバイスからの処理セットのリソースに対する直接アクセスに응答してデバイスが供給するアドレスが適正な地図範囲内にあるかどうかを検証するメカニズムを含む方法。

【請求項 19】 アドレスが適正な地図範囲内にある場合には直接記憶アクセスの進行を許可し、また適正な地図範囲内でない場合には直接記憶アクセスの要求を廃棄する請求項 18 に記載の方法。