

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013年1月31日(31.01.2013)



(10) 国際公開番号
WO 2013/015014 A1

- (51) 国際特許分類:
H01L 27/04 (2006.01) H01L 29/06 (2006.01)
H01L 21/8234 (2006.01) H01L 29/78 (2006.01)
H01L 27/06 (2006.01)
- (21) 国際出願番号: PCT/JP2012/064007
- (22) 国際出願日: 2012年5月30日(30.05.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-160756 2011年7月22日(22.07.2011) JP
- (71) 出願人(米国を除く全ての指定国について): 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 曹 大為(CAO, Dawei) [CN/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 大西 泰彦(ONISHI, Yasuhiko) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 酒井 昭徳(SAKAI, Akinori); 〒1006020 東京都千代田区霞が関3丁目2番5号 霞が関ビルディング20階 酒井総合特許事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SUPER JUNCTION SEMICONDUCTOR DEVICE

(54) 発明の名称: 超接合半導体装置

[図1]

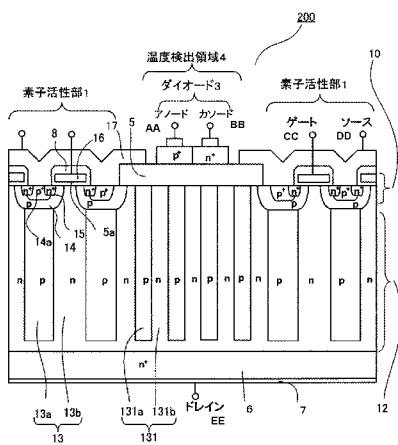


FIG. 1:
 1 Element active section
 3 Diode
 4 Temperature-sensing region
 AA Anode
 BB Cathode
 CC Gate
 DD Source
 EE Drain

(57) Abstract: A super junction MOSFET (200) is provided with element active sections (1) that serve as main current paths, and a temperature-sensing region (4) having a temperature-sensing diode (3). Main super junction cells (13), wherein n-drift regions (13b) and p-partition regions (13a) are repeatedly bonded to each other, are positioned in a drift layer (12) inside the element active sections (1). The temperature-sensing region (4) is provided inside the element active sections (1). Fine super junction cells (131), wherein n-drift regions (131b) and p-partition regions (131a), which have an arrangement pitch that is narrower than the arrangement pitch of the n-drift regions (13b) and the p-partition regions (13a) of the main super junction cells (13), are repeatedly bonded to each other, are positioned in the drift layer (12) inside the temperature-sensing region (4). The temperature-sensing diode (3) is formed on the surface of the fine super junction cells (131) with an insulation film (5) therebetween. The temperature-sensing diode (3) comprises a p⁺ anode region and an n⁺ cathode region, which are in contact with each other and constitute a p-n junction.

(57) 要約: S J-MOSFET (200) は、主電流経路となる素子活性部(1)と、温度検出ダイオード(3)を有する温度検出領域(4)とを備える。素子活性部(1)内のドリフト層(12)に、nドリフト領域(13b)とp仕切り領域(13a)とが交互に繰り返して接合されたメインS Jセル(13)が配置される。温度検出領域(4)は、素子活性部(1)内に設けられる。温度検出領域(4)内のドリフト層(12)に、メインS Jセル(13)のnドリフト領域(13b)とp仕切り領域(13a)との配列ピッチよりも狭い配列ピッチのnドリフト領域(131b)とp仕切り領域(131a)とが交互に繰り返して接合された微細S Jセル(131)が配置される。温度検出ダイオード(3)は、絶縁膜(5)を介して微細S Jセル(131)の表面に形成される。温度検出ダイオード(3)は、互いに接しp-n接合を構成するp⁺アノード領域とn⁺カソード領域とからなる。

WO 2013/015014 A1

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：超接合半導体装置

技術分野

[0001] 本発明は、スーパージャンクション構造を有する超接合半導体装置に関し、特に温度検出用素子を備えた超接合半導体装置に関する。

背景技術

[0002] 通常の縦型MOSFET（絶縁ゲート型電界効果トランジスタ）では、オンオフ動作を繰り返すことにより、スイッチング損失や定常損失が発生し、素子の温度が上昇する。素子温度が許容温度を超えた場合、熱破壊に至ることがある。従って、素子温度を速やかに検出してオン電流に反映させて素子を前述のような熱破壊から保護する機能を備えることが望ましい。

[0003] そのような半導体装置の温度検出方法としては、ダイオードを温度検出用素子として用いる方法が知られている。この温度検出方法は温度検出用素子として用いるダイオードに定電流源から順方向電流を流したときにダイオードの両端に発生する電位差すなわち順方向電圧降下値（以降、単に順方向電圧（VF）とする）を検出する方法である。一般にダイオードの順方向電圧の温度特性は素子の温度（接合温度）変化に対して順方向電圧がリニアに変化する関係があることが知られている。従って、ダイオードの順方向電圧を検出すれば、検出した順方向電圧（VF）から素子の接合温度を求めることができる。検出した接合温度が許容温度を超えている場合に、素子のゲート電圧を下げて動作電流を制限することにより、素子を熱破壊から保護することができる。

[0004] 従来の温度検出用素子を備えるMOS（金属-酸化膜-半導体からなる絶縁ゲート）型半導体装置の構成について、IGBT（絶縁ゲート型バイポーラトランジスタ）を例に説明する。図2は、従来の温度検出用素子を備えるMOS型半導体装置の構成を示す要部断面図である。図2には、MOS型半導体装置100の端部断面図を示す。図2に示すように、素子活性部1の一

部のn⁻ドリフト層12の表面上に絶縁膜5を介して、ダイオード（図2では温度検出ダイオードと記載）3からなる温度検出用素子を搭載した温度検出構造を有するMOS型半導体装置100が公知になっている（例えば、下記特許文献1参照。）。

- [0005] 一方で、スーパージャンクション（以降SJまたは超接合と略記することがある）構造を備える超接合半導体装置が知られている。このSJ構造は、n⁻ドリフト層中に、基板主面に垂直な方向に延び、かつ基板主面に平行な方向に狭い幅を有するp型領域とn型領域とを基板主面に平行な方向に交互に繰り返し並べた並列構造（以降、並列pn層）を有している。並列pn層を構成するp型領域及びn型領域は、それぞれの領域を高不純物濃度からなる低抵抗領域とした場合であっても、オフ時に低耐圧で、並列pn層内のすべてのp型領域とn型領域とのpn接合から拡がる空乏層が速やかに並列pn層全体を空乏化する程度の狭い幅に設定されている。このため、SJ構造は、低オン抵抗と高耐圧特性との両方の特性が同時に得られる構造として知られている（例えば、下記特許文献2参照。）。

先行技術文献

特許文献

- [0006] 特許文献1：特開平6-117942号公報
特許文献2：特開2006-324432号公報

発明の概要

発明が解決しようとする課題

- [0007] しかしながら、前述の特許文献1に記載のIGBT（絶縁ゲート型バイポーラトランジスタ）の温度検出構造を特許文献2に記載のSJ-MOSFETへ適用しようとした場合、温度検出構造の直下の並列pn層の部分で耐圧低下を招く虞がある。具体的には、SJ-MOSFETのドリフト層は、通常のMOSFETのように並列pn層を有さないドリフト層よりも不純物濃度が高くされているため、温度検出構造の直下の並列pn層のp型領域部分

、特に並列 p n 層表面の絶縁膜に接する直下の p 型領域部分で空乏化し難くなる。このことに起因して耐圧低下が起き易くなるという問題のあることが発明者らの鋭意研究により新たに判明した。

[0008] 本発明は、上述した従来技術による問題点を解消するため、熱破壊を防止するとともに、耐圧低下を防止することができる超接合半導体装置を提供することを目的とする。

課題を解決するための手段

[0009] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる超接合半導体装置は、第 1 導電型の高不純物濃度の半導体基板の一方の主面の垂直方向に配向する第 1 導電型半導体領域と第 2 導電型半導体領域とが、前記半導体基板の主面に平行な方向に所定のピッチで繰り返し交互に隣接する並列 p n 層をドリフト層として備え、前記第 1 導電型半導体領域にオン状態で電流を流し、オフ状態では前記並列 p n 層を空乏化して電圧を阻止する構成を有する超接合半導体装置であって、次の特徴を有する。主電流経路となる素子活性部を備える。前記素子活性部内に、前記並列 p n 層の前記第 1 導電型半導体領域と前記第 2 導電型半導体領域とのピッチが前記所定のピッチよりも狭い温度検出領域が設けられている。前記温度検出領域の前記並列 p n 層の表面上に絶縁膜を介して第 1 導電型半導体層が設けられている。また、前記温度検出領域の前記並列 p n 層の表面に絶縁膜を介して設けられ、前記第 1 導電型半導体層と接して p n 接合を構成するように配置された第 2 導電型半導体層が設けられている。前記第 1 導電型半導体層と前記第 2 導電型半導体層とを主たる半導体層とする温度検出用素子を備える。

[0010] また、この発明にかかる超接合半導体装置は、上述した発明において、前記素子活性部は絶縁ゲート構造を備え、前記温度検出領域内の前記並列 p n 層の表面の前記絶縁膜が、前記絶縁ゲート構造を構成するゲート絶縁膜よりも厚いことが好ましい。

[0011] また、この発明にかかる超接合半導体装置は、上述した発明において、前記素子活性部を囲むように前記素子活性部の外周に配置され、耐圧を保持す

る耐压構造部をさらに備え、前記温度検出領域内の前記並列 p n 層の表面の前記絶縁膜が、前記耐压構造部の表面を保護するフィールド絶縁膜と同程度の厚さを有することがより好ましい。

[0012] また、この発明にかかる超接合半導体装置は、上述した発明において、前記温度検出領域内の前記並列 p n 層の平面パターンが、前記第 1 導電型半導体領域と前記第 2 導電型半導体領域とが並ぶ方向に直交する方向に延びるストライプ状であってもよい。

[0013] また、この発明にかかる超接合半導体装置は、上述した発明において、前記素子活性部内の前記並列 p n 層の平面パターンが、前記第 1 導電型半導体領域と前記第 2 導電型半導体領域とが並ぶ方向に直交する方向に延びるストライプ状であり、かつ、前記温度検出領域内の前記並列 p n 層のストライプ状の平面パターンが、前記素子活性部内の前記並列 p n 層のストライプ状の平面パターンに対して平行または直交していてもよい。

[0014] また、この発明にかかる超接合半導体装置は、上述した発明において、前記温度検出領域内の前記並列 p n 層は、前記第 1 導電型半導体領域内に前記第 2 導電型半導体領域がマトリクス状に配置された平面パターンを有することも好適である。

[0015] また、この発明にかかる超接合半導体装置は、上述した発明において、前記温度検出用素子がポリシリコンであってもよい。

[0016] 上述した発明によれば、温度検出領域内の温度検出用素子の下層に、絶縁膜を介して、メイン S J セルの繰り返しピッチより狭い繰り返しピッチの微細 S J セルをドリフト層として設けることにより、耐压低下の虞のない、温度検出用素子を備えた超接合半導体装置を得ることができる。また、超接合半導体装置に温度検出用素子を備えることができるため、素子温度を速やかに検出し、オン電流に反映させて素子を熱破壊から保護することができる。

発明の効果

[0017] 本発明にかかる超接合半導体装置によれば、熱破壊を防止するとともに、耐压低下を防止することができる超接合半導体装置を提供することができる

という効果を奏する。

図面の簡単な説明

[0018] [図1]図1は、本発明の実施の形態1にかかる超接合半導体装置の構成を示す断面図である。

[図2]図2は、従来の温度検出用素子を備えるMOS型半導体装置の構成を示す要部断面図である。

[図3]図3は、本発明の実施の形態1にかかる超接合半導体装置の構成を示す平面図である。

[図4]図4は、本発明の実施の形態2にかかる超接合半導体装置の構成を示す平面図である。

[図5]図5は、本発明の実施の形態3にかかる超接合半導体装置の構成を示す平面図である。

発明を実施するための形態

[0019] 以下、添付図面を参照して、本発明のスーパージャンクション(SJ)構造を有する縦型の超接合半導体装置の好適な実施の形態を詳細に説明する。本明細書及び添付図面においては、nまたはpを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、nやpに付す+及び-は、それぞれそれが付されていない層や領域よりも高不純物濃度及び低不純物濃度であることを意味する。また、以下の実施の形態の説明及び各添付図面中の同一部分には同一符号を付し、重複する説明を省略する。以下の説明では第1導電型をn型、第2導電型をp型として説明する。本発明は、その要旨を超えない限り、以下、説明する実施の形態に限定されるものではない。

[0020] (実施の形態1)

以下、本発明の実施の形態1にかかる超接合半導体装置について、SJ-MOSFETを例に詳細に説明する。図1は、本発明の実施の形態1にかかる超接合半導体装置の構成を示す断面図である。図3は、本発明の実施の形態1にかかる超接合半導体装置の構成を示す平面図である。図1は、図3の

A-A'線における断面図である。図1, 3において図2と共通の部分には同一の符号を付けている。図1, 3に示す本発明の実施の形態1にかかる超接合半導体装置は、温度検出用素子を備えるSJ-MOSFET200である。このSJ-MOSFET200は、同一の n^+ 半導体基板6上に、MOSゲート構造10が設けられた素子活性部1と、ダイオード3からなる温度検出用素子（以下、温度検出ダイオード3とする）が設けられた温度検出領域4とを備える。

[0021] また、SJ-MOSFET200は、ドリフト層12を、不純物濃度を高めた n 型領域（以下、 n ドリフト領域とする）と p 型領域（以下、 p 仕切り領域とする）とを交互に配置した並列 pn 層（SJセル）で構成している。素子活性部1内のMOSゲート構造10の下層のドリフト層12には、メインSJセル13を備えている。温度検出領域4は、素子活性部1内に設けられている。温度検出領域4内の温度検出ダイオード3の下層には、絶縁膜5を挟んでドリフト層12に、メインSJセル13の繰り返しピッチより狭い繰り返しピッチの微細SJセル131を備えている。図3には、本発明の実施の形態1にかかる温度検出ダイオード3を備えるSJ-MOSFET200全体の平面図を示す。図3の平面図では、SJ-MOSFET200の並列 pn 層（メインSJセル13及び微細SJセル131）の平面パターンが明確になるように、MOSゲート構造10と、並列 pn 層表面の金属膜（ゲート電極パッドを除く）及び絶縁膜とを図示省略する。

[0022] このSJ-MOSFET200は、図1に示すように低抵抗（高不純物濃度）の n^+ 半導体基板6と、その表面に形成される並列 pn 層（メインSJセル13及び微細SJセル131）とを有する。メインSJセル13は素子活性部1に形成され、微細SJセル131は温度検出領域4に形成される。低抵抗の n^+ 半導体基板6は n^+ ドレイン領域として機能し、この n^+ ドレイン領域の裏面に形成される金属電極はドレイン電極7として機能する。ドレイン電極7としては従来と同様に、例えば、チタン（Ti）-ニッケル（Ni）-金（Au）などの半田接合の可能な積層金属膜がスパッタ法や蒸着法などに

より形成される。S J構造の場合、オフ時に、高不純物濃度のnドリフト領域13b, 131b及びp仕切り領域13a, 131a間の各pn接合から当該pn接合の両側の各領域へ空乏層が速やかに拡がり、pn接合の両側の各領域が低電圧で完全に空乏化されるように、両領域の当該領域が並ぶ方向の幅（以下、単に幅とする）を設定することによって、低オン電圧と高耐压化とを達成することができる。

[0023] メインS Jセル13と微細S Jセル131とで繰り返しピッチに違いがあることが本発明の特徴の一つである。すなわち、各セルを構成するp仕切り領域とnドリフト領域との配列ピッチが、メインS Jセル13と微細S Jセル131とで異なる。具体的には、微細S Jセル131内のp仕切り領域131a及びnドリフト領域131bの幅が、メインS Jセル13のp仕切り領域13a及びnドリフト領域13bの幅よりも狭い。微細S Jセル131内の各領域の配列ピッチをメインS Jセル13の各領域の配列ピッチよりも狭くする理由は耐压低下を防ぐためである。すなわち、例えば、温度検出領域4内の並列pn層のnドリフト領域131b及びp仕切り領域131aが素子活性部1の並列pn層のnドリフト領域13b及びp仕切り領域13aと同じ幅または同じ配列ピッチとする。そして、並列pn層のn⁺半導体基板6側に対して反対側の表面まで延びかつその表面で接する絶縁膜5を介して温度検出ダイオード3を有する構造である場合、並列pn層の絶縁膜5に接する部分（最上部）が十分に空乏化されないという問題が生じる。その結果、空乏化されない部分に電界集中が生じ易くなり耐压が低下するため、上記構成で微細S Jセル131を配置する。

[0024] メインS Jセル13は、図1に示すように、n⁺半導体基板6の主面に平行な方向に互いに繰り返し隣接して配置されるnドリフト領域13b及びp仕切り領域13aにより構成される。微細S Jセル131は、図1に示すように、n⁺半導体基板6の主面に平行な方向に互いに繰り返し隣接して配置されるnドリフト領域131b及びp仕切り領域131aにより構成される。nドリフト領域13b, 131b及びp仕切り領域13a, 131aは、幅が

狭く、かつ n^+ 半導体基板6の主面に垂直な方向に延びる層状または柱状をなしている。素子活性部1内の n ドリフト領域13b及び p 仕切り領域13aの平面パターンは、図3に示すように、例えば n ドリフト領域13b及び p 仕切り領域13aが並ぶ方向と直交する方向に延びるストライプ状である。一方、温度検出領域4内の n ドリフト領域131b及び p 仕切り領域131aも、図3に示すように、例えば n ドリフト領域131b及び p 仕切り領域131aが並ぶ方向と直交する方向に延びるストライプ状の平面パターンである。

[0025] 温度検出領域4内の n ドリフト領域131b及び p 仕切り領域131aは、素子活性部1内の n ドリフト領域13b及び p 仕切り領域13aと相互に平行である。 n ドリフト領域131b及び p 仕切り領域131aのストライプ状の平面パターンの配列ピッチは、素子活性部1内の n ドリフト領域13b及び p 仕切り領域13aのストライプ状の平面パターンの配列ピッチの2分の1程度が好ましい。その理由は、温度検出領域4内の n ドリフト領域131b及び p 仕切り領域131a間の相互拡散が大きくなり、不純物濃度が補償されることにより両領域の不純物濃度を低下させることができるため、空乏層が拡がり易くなるからである。また、この素子活性部1と温度検出領域4との各並列 p n 層のストライプ状平面パターンの延びる方向は相互に平行である。図3では、素子活性部1内の、温度検出領域4の上方に図示された白抜きの矩形領域はゲート電極パッド部分である。また、図3では素子活性部1の外周を囲むように、素子活性部1端部の電界を緩和し耐圧を保持する耐圧構造部2が設けられている。この耐圧構造部2については、従来のMOSFETの耐圧構造部と変わらないので、これ以上の詳細な説明を省略する。

[0026] 素子活性部1には、各 p 仕切り領域13aの n^+ 半導体基板6側に対して反対側の表面層に、通常のMOSFETと同様に p ベース領域14が設けられている。 p ベース領域14の内部には、並列 p n 層の n^+ 半導体基板6側に対して反対側の表面に露出するように n^+ ソース領域15と高濃度の p^+ コンタク

ト領域 14 a とが設けられている。p ベース領域 14 の、n⁺ソース領域 15 と n ドリフト領域 13 b とに挟まれる部分の表面上には、ゲート絶縁膜 5 a を介して多結晶シリコン膜からなるゲート電極 16 が設けられている。n⁺ソース領域 15 と p⁺コンタクト領域 14 a の表面には共通に接触するソース電極 17 がアルミニウム (Al) を主成分とする金属膜によって設けられている。ゲート電極 16 は、層間絶縁膜 8 によって覆われ、さらに層間絶縁膜 8 の上を覆うソース電極 17 との電氣的な絶縁を確保している。

[0027] 一方、温度検出領域 4 には、微細 S J セル 131 の n⁺半導体基板 6 側に対して反対側の表面に厚い絶縁膜 5 を介して温度検出ダイオード 3 が形成される。温度検出ダイオード 3 は、絶縁膜 5 の表面に互いに接するように堆積された p⁺アノード領域と n⁺カソード領域とからなり、両領域間に p n 接合を備えている。また、p⁺アノード領域の表面にはアノード電極が設けられ、n⁺カソード領域の表面にはカソード電極が設けられている。絶縁膜 5 は、温度検出ダイオード 3 と微細 S J セル 131 との相互干渉を抑制するために、できるだけ厚い方が好ましい。例えば、図 1 には図示されていない耐压構造部 2 のドリフト層表面に保護膜として形成されるフィールド酸化膜と同時に形成する酸化膜を絶縁膜 5 とすることで、絶縁膜 5 が厚いフィールド酸化膜と同じ厚さとなるので、好ましい。

[0028] このように、温度検出ダイオード 3 は、絶縁膜 5 により微細 S J セル 131 と電氣的に絶縁された状態で形成される。しかし、このように微細 S J セル 131 と電氣的に絶縁されていても、耐压構造部 2 におけるフィールドプレート効果のような影響が絶縁膜 5 の直下の並列 p n 層 (微細 S J セル 131) に及ぶために空乏化が不十分になる虞がある。前述のように温度検出領域 4 内の温度検出ダイオード 3 の下層の微細 S J セル 131 の繰り返しピッチを素子活性部 1 内のメイン S J セル 13 の繰り返しピッチよりも狭くすることで耐压低下の防止の効果が生じる。この結果、温度検出領域 4 の微細 S J セル 131 では、オフ電圧による空乏層が素子活性部 1 内のメイン S J セル 13 より拡がり易くなるため、実施の形態 1 にかかる S J - M O S F E T

200においては、従来のSJ-MOSFETで生じていた耐圧低下が防止され、高耐圧化が図られる。また、温度検出領域4の下層の微細SJセル131には、メインSJセル13のように、上部にpベース領域14が形成されていない。これにより、微細SJセル131は、pベース領域14が形成されていない分、n⁺半導体基板6の主面に垂直方向のセルの長さがメインSJセル13よりも長いため、この点からも素子活性部1より高耐圧化を図る効果も期待される。また、温度検出領域4にpベース領域14を形成するための工程が不要になるため、製造コストを抑えることができる。なお、温度検出領域4は、図3に示すように素子活性部1の中央に配置されていなくてもよい。すなわち、温度検出領域4は素子活性部1中のどこに設けてもよい。

[0029] (実施の形態2)

図4は、本発明の実施の形態2にかかる超接合半導体装置の構成を示す平面図である。実施の形態2にかかるSJ-MOSFET300が実施の形態1にかかるSJ-MOSFET200とは異なる点は、温度検出領域4のストライプ状の平面パターンと素子活性部1のストライプ状の平面パターンとが直交している点である。図4に示すように、温度検出領域4内の微細SJセル141がnドリフト領域141b及びp仕切り領域141aが並ぶ方向と直交する方向に延びるストライプ状の平面パターンである点は、図3に示す微細SJセルと同様である。微細SJセル141の平面パターンのストライプの延びる方向が素子活性部1のメインSJセル13の平面パターンのストライプの延びる方向と直交する点が、図3に示す微細SJセルと異なる。図4に示す微細SJセルの構成とした場合においても、実施の形態1と同様の効果が得られる。微細SJセル141とメインSJセル13とのストライプ状の平面パターンを相互に直交させることにより、SJセルの繰り返しピッチの設計自由度が上がり、微細化が容易になるとともに、より高耐圧化が容易になる。

[0030] (実施の形態3)

図5は、本発明の実施の形態3にかかる超接合半導体装置の構成を示す平面図である。実施の形態3にかかるS J-MOSFET400が実施の形態1, 2にかかるS J-MOSFET200, 300とは異なる点は、温度検出領域4内の微細S Jセル151が格子状の平面パターンである点である。格子状の平面パターンとは、例えばnドリフト領域151b内に、矩形状の平面形状を有するp仕切り領域151aをマトリクス状に配置した平面パターンである。実施の形態3においても微細S Jセル151は格子状の平面パターンの配列ピッチをメインS Jセル13のストライプ状の平面パターンの配列ピッチより狭くすることにより、実施の形態1と同様の効果が得られる。

[0031] 以上、説明したように、各実施の形態によれば、温度検出領域内の温度検出ダイオードの下層に、絶縁膜を介して、メインS Jセルの繰り返しピッチより狭い繰り返しピッチの微細S Jセルをドリフト層として設けることにより、耐圧低下の虞のない、温度検出用素子を備えた超接合半導体装置を得ることができる。また、超接合半導体装置に温度検出用素子を備えることができるため、素子温度を速やかに検出し、オン電流に反映させて素子を熱破壊から保護することができる。これにより、熱破壊を防止するとともに、耐圧低下を防止することができる超接合半導体装置を提供することができる。

[0032] 以上において本発明では、S J-MOSFETを例に説明しているが、上述した実施の形態に限らず、温度検出ダイオードを備えたさまざまな超接合半導体装置に適用することが可能である。また、各実施の形態では第1導電型をn型とし、第2導電型をp型としたが、本発明は第1導電型をp型とし、第2導電型をn型としても同様に成り立つ。

産業上の利用可能性

[0033] 以上のように、本発明にかかる超接合半導体装置は、オンオフ動作を繰り返すスイッチング素子などに使用されるパワー半導体装置に有用である。

符号の説明

[0034] 1 素子活性部

- 2 耐圧構造部
- 3 温度検出ダイオード
- 4 温度検出領域
- 5 絶縁膜
- 6 n⁺半導体基板
- 7 ドレイン電極
- 8 層間絶縁膜
- 10 MOSゲート構造
- 12 ドリフト層
- 13 メインSJセル
 - 13a p仕切り領域
 - 13b nドリフト領域
- 14 pベース領域
- 15 n⁺ソース領域
- 16 ゲート電極
- 17 ソース電極
- 131, 141, 151 微細SJセル
 - 131a, 141a, 151a p仕切り領域
 - 131b, 141b, 151b nドリフト領域
- 200, 300, 400 SJ-MOSFET

請求の範囲

[請求項1]

第1導電型の高不純物濃度の半導体基板の一方の主面の垂直方向に配向する第1導電型半導体領域と第2導電型半導体領域とが、前記半導体基板の主面に平行な方向に所定のピッチで繰り返し交互に隣接する並列pn層をドリフト層として備え、前記第1導電型半導体領域にオン状態で電流を流し、オフ状態では前記並列pn層を空乏化して電圧を阻止する構成を有する超接合半導体装置であって、

主電流経路となる素子活性部と、

前記素子活性部内に設けられた、前記並列pn層の前記第1導電型半導体領域と前記第2導電型半導体領域とのピッチが前記所定のピッチよりも狭い温度検出領域と、

前記温度検出領域の前記並列pn層の表面に絶縁膜を介して設けられた第1導電型半導体層と、

前記温度検出領域の前記並列pn層の表面に絶縁膜を介して設けられ、前記第1導電型半導体層と接してpn接合を構成するように配置された第2導電型半導体層と、

前記第1導電型半導体層と前記第2導電型半導体層とを主たる半導体層とする温度検出用素子と、

を備えることを特徴とする超接合半導体装置。

[請求項2]

前記素子活性部は絶縁ゲート構造を備え、

前記温度検出領域内の前記並列pn層の表面の前記絶縁膜が、前記絶縁ゲート構造を構成するゲート絶縁膜よりも厚いことを特徴とする請求項1に記載の超接合半導体装置。

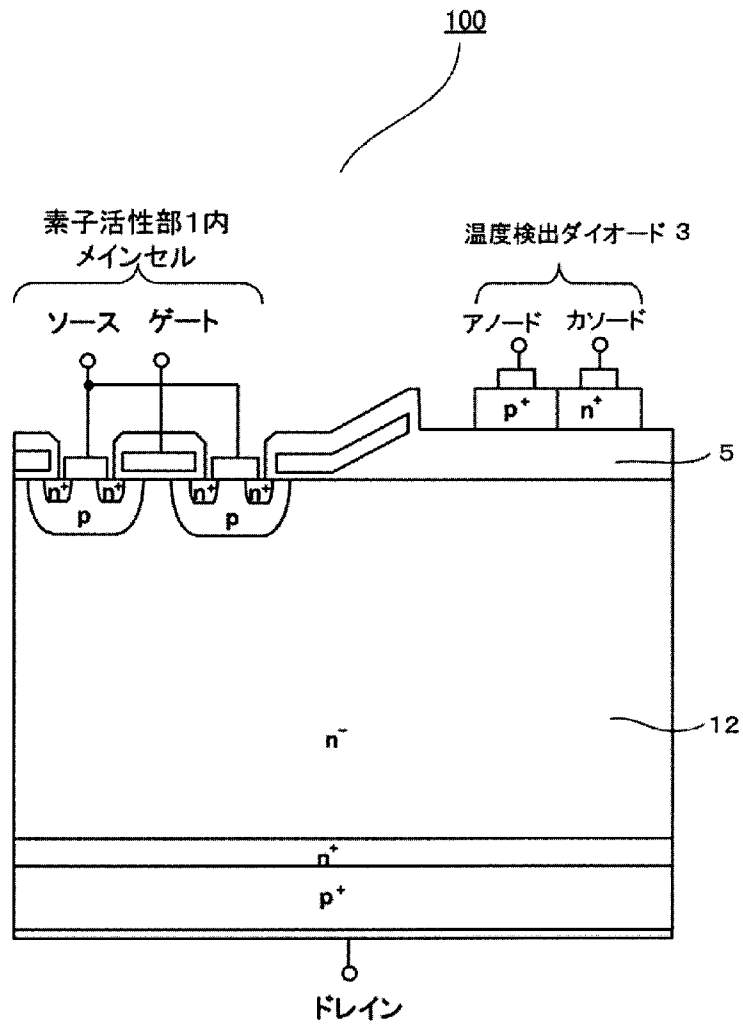
[請求項3]

前記素子活性部を囲むように前記素子活性部の外周に配置され、耐圧を保持する耐圧構造部をさらに備え、

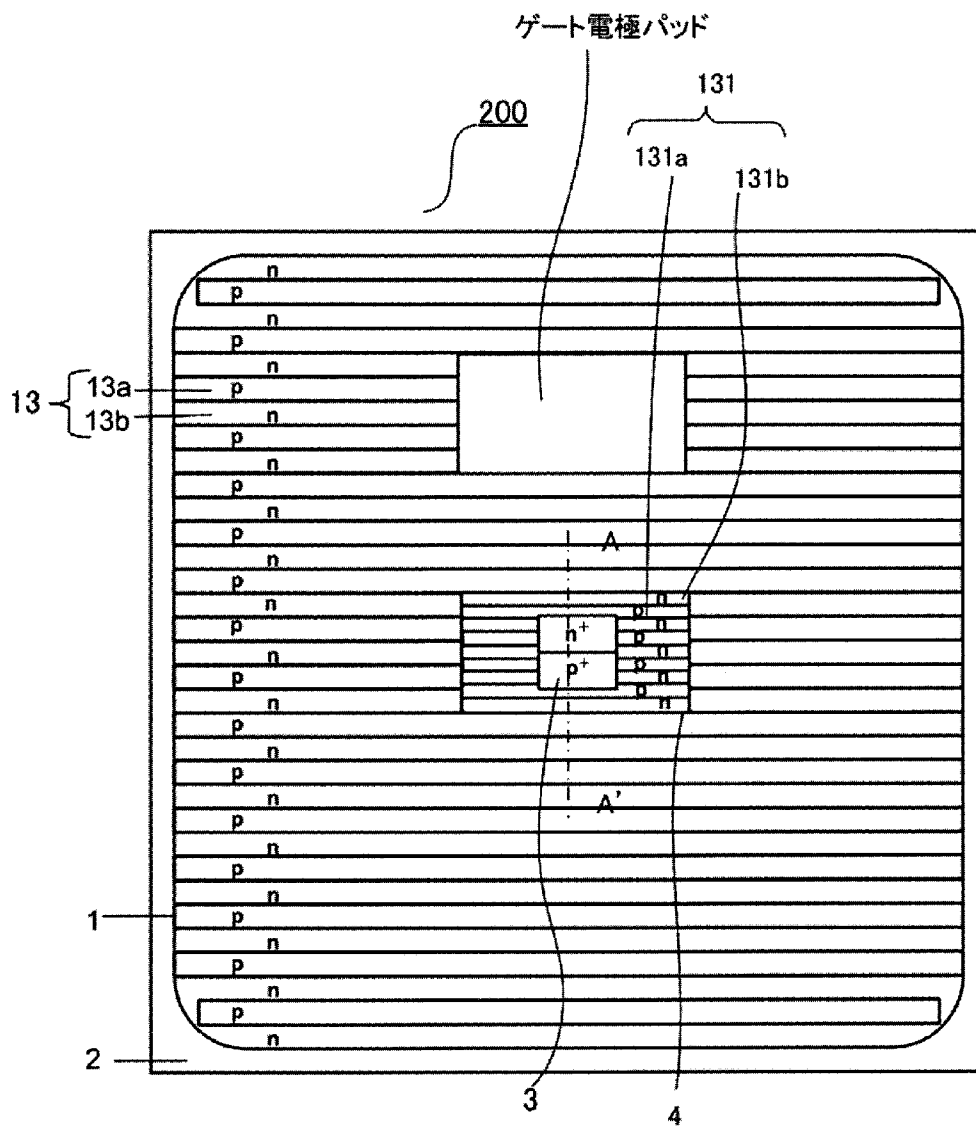
前記温度検出領域内の前記並列pn層の表面の前記絶縁膜が、前記耐圧構造部の表面を保護するフィールド絶縁膜と同程度の厚さを有することを特徴とする請求項2に記載の超接合半導体装置。

- [請求項4] 前記温度検出領域内の前記並列 p n 層の平面パターンが、前記第 1 導電型半導体領域と前記第 2 導電型半導体領域とが並ぶ方向に直交する方向に延びるストライプ状であることを特徴とする請求項 1 に記載の超接合半導体装置。
- [請求項5] 前記素子活性部内の前記並列 p n 層の平面パターンが、前記第 1 導電型半導体領域と前記第 2 導電型半導体領域とが並ぶ方向に直交する方向に延びるストライプ状であり、
前記温度検出領域内の前記並列 p n 層のストライプ状の平面パターンが、前記素子活性部内の前記並列 p n 層のストライプ状の平面パターンに対して平行であることを特徴とする請求項 4 に記載の超接合半導体装置。
- [請求項6] 前記素子活性部内の前記並列 p n 層の平面パターンが、前記第 1 導電型半導体領域と前記第 2 導電型半導体領域とが並ぶ方向に直交する方向に延びるストライプ状であり、
前記温度検出領域内の前記並列 p n 層のストライプ状の平面パターンが、前記素子活性部内の前記並列 p n 層のストライプ状の平面パターンに対して直交していることを特徴とする請求項 4 に記載の超接合半導体装置。
- [請求項7] 前記温度検出領域内の前記並列 p n 層は、前記第 1 導電型半導体領域内に前記第 2 導電型半導体領域がマトリクス状に配置された平面パターンを有することを特徴とする請求項 1 に記載の超接合半導体装置。
- [請求項8] 前記温度検出用素子がポリシリコンであることを特徴とする請求項 1 ～ 7 のいずれか一つに記載の超接合半導体装置。

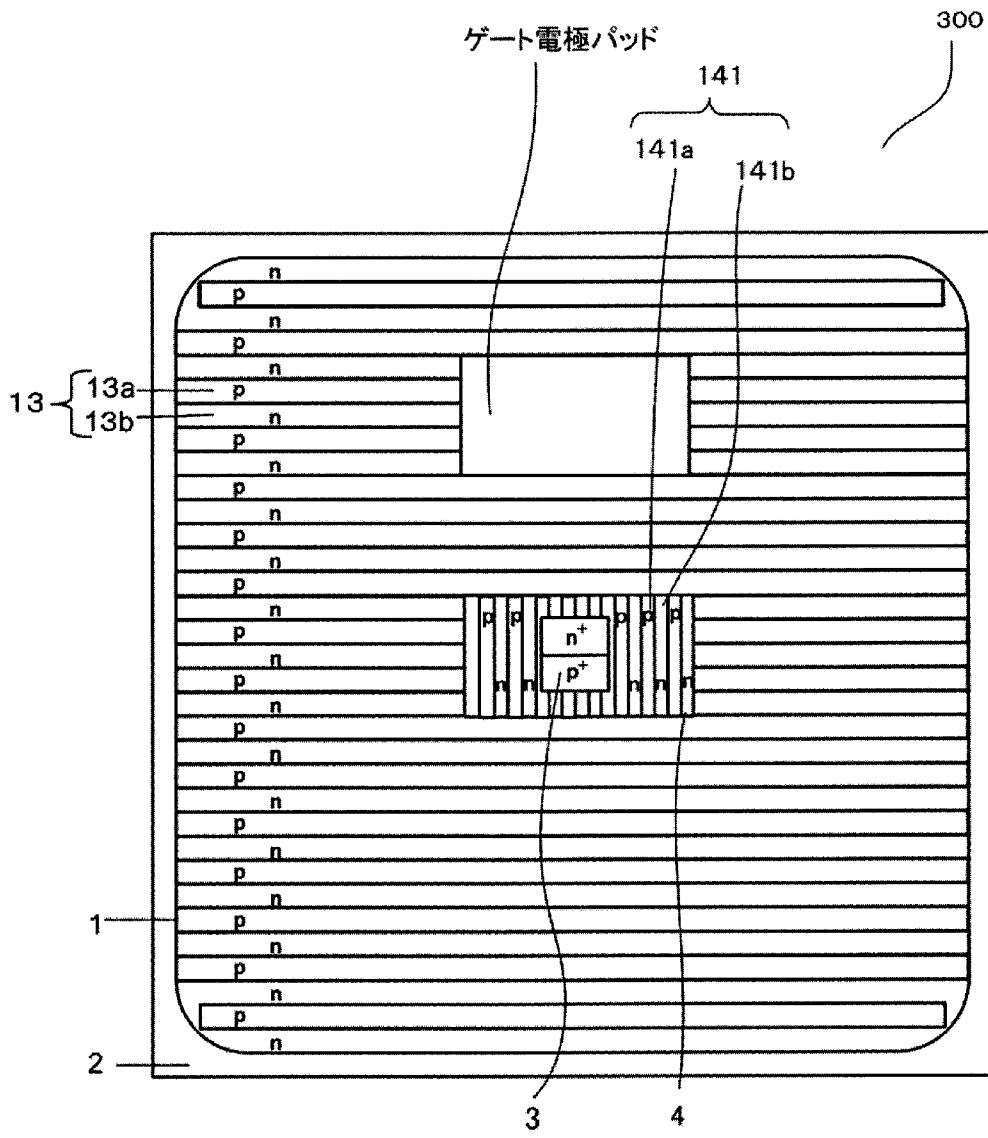
[図2]



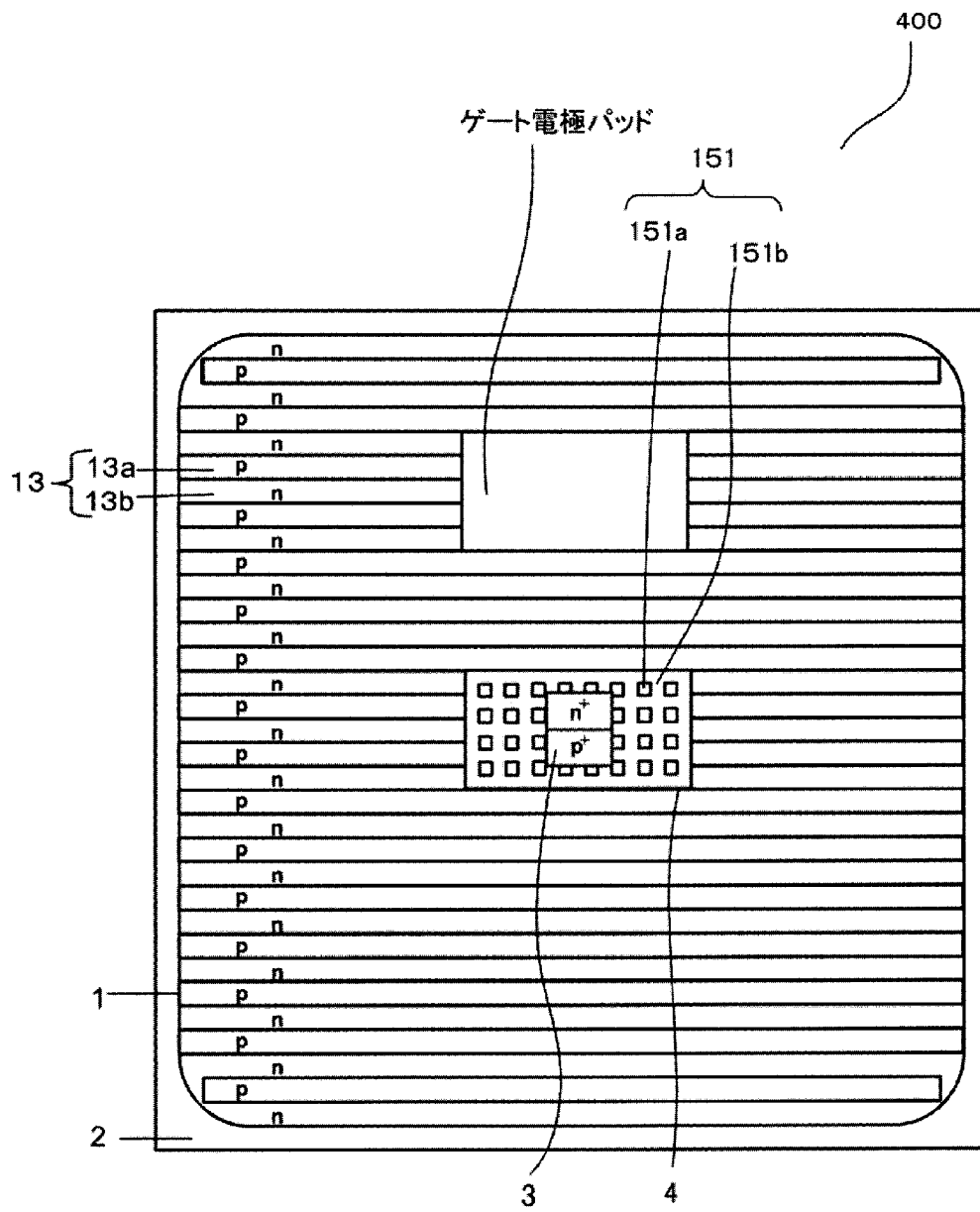
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/064007

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/04(2006.01)i, H01L21/8234(2006.01)i, H01L27/06(2006.01)i,
H01L29/06(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/04, H01L21/8234, H01L27/06, H01L29/06, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-324432 A (Fuji Electric Holdings Co., Ltd.), 30 November 2006 (30.11.2006), paragraphs [0012] to [0017]; fig. 1 (Family: none)	1-8
A	JP 2006-313892 A (Toshiba Corp.), 16 November 2006 (16.11.2006), paragraphs [0013] to [0024]; fig. 1 & US 2006/0231917 A1	1-8
A	JP 2009-147297 A (Denso Corp.), 02 July 2009 (02.07.2009), paragraphs [0030] to [0044], [0077] to [0086]; fig. 12 to 14 & US 2009/0127624 A1 & DE 10 2008 058 013 A1	1-8

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 July, 2012 (11.07.12)

Date of mailing of the international search report
24 July, 2012 (24.07.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/064007

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6-117942 A (Fuji Electric Co., Ltd.), 28 April 1994 (28.04.1994), entire text; all drawings (Family: none)	1-8

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L27/04(2006.01)i, H01L21/8234(2006.01)i, H01L27/06(2006.01)i, H01L29/06(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L27/04, H01L21/8234, H01L27/06, H01L29/06, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2012年
日本国実用新案登録公報	1996-2012年
日本国登録実用新案公報	1994-2012年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	J P 2 0 0 6 - 3 2 4 4 3 2 A (富士電機ホールディングス株式会社) 2006. 11. 30、段落【0012】-【0017】図1 (ファミリーなし)	1-8
A	J P 2 0 0 6 - 3 1 3 8 9 2 A (株式会社東芝) 2006. 11. 16、段落【0013】-【0024】図1 & U S 2 0 0 6 / 0 2 3 1 9 1 7 A 1	1-8
A	J P 2 0 0 9 - 1 4 7 2 9 7 A (株式会社デンソー) 20	1-8

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

11. 07. 2012

国際調査報告の発送日

24. 07. 2012

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

工藤 一光

電話番号 03-3581-1101 内線 3516

5 F

9274

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	09.07.02、段落【0030】－【0044】、【0077】 －【0086】図12-14 & US 2009/0127624 A1 & DE 10 2008 058 013 A1 JP 6-117942 A (富士電機株式会社) 1994. 04.28、全文全図 (ファミリーなし)	1-8