

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5460073号  
(P5460073)

(45) 発行日 平成26年4月2日(2014.4.2)

(24) 登録日 平成26年1月24日(2014.1.24)

(51) Int.Cl.

F 1

H01L 29/786 (2006.01)  
H01L 21/336 (2006.01)H01L 29/78 618E  
H01L 29/78 618C  
H01L 29/78 618Z  
H01L 29/78 616V

請求項の数 10 (全 40 頁)

(21) 出願番号 特願2009-42343 (P2009-42343)  
 (22) 出願日 平成21年2月25日 (2009.2.25)  
 (65) 公開番号 特開2009-239263 (P2009-239263A)  
 (43) 公開日 平成21年10月15日 (2009.10.15)  
 審査請求日 平成24年1月16日 (2012.1.16)  
 (31) 優先権主張番号 特願2008-51436 (P2008-51436)  
 (32) 優先日 平成20年3月1日 (2008.3.1)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 大力 浩二  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 池田 隆之  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 宮入 秀和  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 黒川 義元  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】薄膜トランジスタ及び表示装置

## (57) 【特許請求の範囲】

## 【請求項1】

基板上に形成されたゲート電極と、  
 前記ゲート電極上に形成されたゲート絶縁層と、  
 前記ゲート絶縁層上に選択的に形成された導電層と、  
 前記ゲート絶縁層及び前記導電層上に形成されたチャネル形成領域を有する非晶質半導体層と、

前記非晶質半導体層上に形成されたソース領域及びドレイン領域を有する一導電型を付与する不純物元素が添加された一対の不純物半導体層と、を有する薄膜トランジスタであつて、

前記導電層は、前記ソース領域または前記ドレイン領域のいづれか一方のみの不純物半導体層と重なることを特徴とする薄膜トランジスタ。

## 【請求項2】

基板上に形成されたゲート電極と、  
 前記ゲート電極上に形成されたゲート絶縁層と、  
 前記ゲート絶縁層上に選択的に形成された導電層と、  
 前記導電層上に形成された非晶質半導体層を有するバッファ層と、  
 前記ゲート絶縁層及び前記バッファ層上に形成されたチャネル形成領域を有する非晶質半導体層と、  
 前記非晶質半導体層上に形成されたソース領域及びドレイン領域を有する一導電型を付

10

20

与する不純物元素が添加された一対の不純物半導体層と、を有する薄膜トランジスタであつて、

前記導電層は、前記ソース領域または前記ドレイン領域のいずれか一方のみの不純物半導体層と重なることを特徴とする薄膜トランジスタ。

**【請求項 3】**

基板上に形成されたゲート電極と、

前記ゲート電極上に形成されたゲート絶縁層と、

前記ゲート絶縁層上に選択的に形成された導電層と、

前記導電層上に形成された絶縁層と、

前記ゲート絶縁層及び前記絶縁層上に形成されたチャネル形成領域を有する非晶質半導体層と。 10

前記非晶質半導体層上に形成されたソース領域及びドレイン領域を有する一導電型を付与する不純物元素が添加された一対の不純物半導体層と、を有する薄膜トランジスタであつて、

前記導電層は、前記ソース領域または前記ドレイン領域のいずれか一方のみの不純物半導体層と重なることを特徴とする薄膜トランジスタ。

**【請求項 4】**

請求項 1 乃至 3 のいずれか一項において、

前記導電層の電気伝導度が  $0.1 \text{ S/cm}$  以上  $1.8 \text{ S/cm}$  以下であることを特徴とする薄膜トランジスタ。 20

**【請求項 5】**

請求項 1 乃至 4 のいずれか一項において、

前記導電層は、金属層、金属窒化物層、金属炭化物層、金属ホウ化物層、または金属珪化物層であることを特徴とする薄膜トランジスタ。

**【請求項 6】**

請求項 1 乃至 4 のいずれか一項において、

前記導電層は、ドナーとなる不純物元素が添加された半導体層であることを特徴とする薄膜トランジスタ。

**【請求項 7】**

請求項 6 において、

前記半導体層のドナー濃度は、 $1 \times 10^{18} \text{ atoms/cm}^3$  以上  $2 \times 10^{20} \text{ atoms/cm}^3$  以下であることを特徴とする薄膜トランジスタ。 30

**【請求項 8】**

請求項 6 または 7 において、

前記ドナーとなる不純物元素が添加された半導体層は微結晶シリコン層であることを特徴とする薄膜トランジスタ。

**【請求項 9】**

請求項 1 乃至 8 のいずれか一項において、

前記非晶質半導体層が非晶質シリコン層であることを特徴とする薄膜トランジスタ。

**【請求項 10】**

請求項 1 乃至 9 のいずれか一項に記載の薄膜トランジスタが画素部の各画素に設けられていることを特徴とする表示装置。 40

**【発明の詳細な説明】**

**【技術分野】**

**【0001】**

本発明は、薄膜トランジスタ、若しくは該薄膜トランジスタを用いて動作する表示装置に関する。

**【背景技術】**

**【0002】**

電界効果トランジスタの一種として、絶縁表面を有する基板上に形成された半導体層にチ 50

チャネル領域が形成される薄膜トランジスタが知られている。薄膜トランジスタに用いられる半導体層として、非晶質シリコン、微結晶シリコン及び多結晶シリコンを用いる技術が開示されている（特許文献1乃至5参照）。薄膜トランジスタの代表的な応用例は、液晶テレビジョン装置であり、表示画面を構成する各画素のスイッチングトランジスタとして実用化されている。

**【先行技術文献】**

**【特許文献】**

**【0003】**

【特許文献1】特開2001-053283号公報

10

【特許文献2】特開平5-129608号公報

【特許文献3】特開2005-049832号公報

【特許文献4】特開平7-131030号公報

【特許文献5】特開2005-191546号公報

**【発明の概要】**

**【発明が解決しようとする課題】**

**【0004】**

非晶質シリコン層にチャネルが形成される薄膜トランジスタは、電界効果移動度及びオン電流が低いといった問題がある。一方、微結晶シリコン層にチャネルが形成される薄膜トランジスタは、非晶質シリコンによる薄膜トランジスタと比較して、電界効果移動度が向上するもののオフ電流が高くなってしまい、十分なスイッチング特性が得られないといった問題がある。

20

**【0005】**

多結晶シリコン層がチャネル形成領域となる薄膜トランジスタは、上記二種類の薄膜トランジスタよりも電界効果移動度が格段に高く、高いオン電流が得られるといった特性がある。この薄膜トランジスタは、前記した特性により、画素に設けられるスイッチング用の薄膜トランジスタのみならず、高速動作が要求されるドライバ回路をも構成することができる。

**【0006】**

しかし、多結晶シリコン層がチャネル形成領域となる薄膜トランジスタは、非晶質シリコン層で薄膜トランジスタを形成する場合に比べ半導体層の結晶化工程が必要となり、製造コストが増大することが問題となっている。例えば、多結晶シリコン層の製造のために必要なレーザアニール技術は、レーザビームの照射面積が小さく大画面の液晶パネルを効率良く生産することができないといった問題がある。

30

**【0007】**

ところで、表示パネルの製造に用いられているガラス基板は、第3世代（550mm×650mm）、第3.5世代（600mm×720mm、または620mm×750mm）、第4世代（680mm×880mm、または730mm×920mm）、第5世代（1100mm×1300mm）、第6世代（1500mm×1850mm）、第7世代（1870mm×2200mm）、第8世代（2200mm×2400mm）と年々大型化が進んでおり、今後は第9世代（2400mm×2800mm、2450mm×3050mm）、第10世代（2950mm×3400mm）へと大面積化が進むと予測されている。ガラス基板の大型化はコストミニマム設計の思想に基づいている。

40

**【0008】**

これに対して、第10世代（2950mm×3400mm）におけるような大面積のマザーガラス基板に、高速動作が可能な薄膜トランジスタを、生産性良く製造することができる技術は依然として確立されておらず、そのことが産業界の問題となっている。

**【0009】**

そこで、薄膜トランジスタのオン電流及びオフ電流に係る上記問題点を解決することを課題の一とする。また、他の課題は、高速動作が可能な薄膜トランジスタを提供することにある。

50

**【課題を解決するための手段】**

**【0010】**

本発明の一である薄膜トランジスタは、ゲート絶縁層を介して、少なくとも一部がゲート電極と重畳するように離間して設けられた、ソース領域及びドレイン領域を形成する一導電型を付与する不純物元素が添加された一対の不純物半導体層を有している。ゲート絶縁層上でゲート電極及び一導電型を付与する不純物元素が添加された一対の不純物半導体層の一方と重畳する導電層と、該導電層からゲート絶縁層上に延在し、一導電型を付与する不純物元素が添加された一対の不純物半導体層の両方に接し、該一導電型を付与する不純物元素が添加された一対の不純物半導体層の間に連続して設けられている非晶質半導体層とを有する。さらに、導電層と重畳するバッファ層を設けてもよい。

10

**【0011】**

本発明の一である薄膜トランジスタは、ゲート電極を被覆するゲート絶縁層と、ゲート絶縁層上に設けられた非晶質半導体層と、該非晶質半導体層上に離間して設けられ、且つソース領域及びドレイン領域を形成する一導電型を付与する不純物元素が添加された一対の不純物半導体層を有している。さらに、ゲート絶縁層と非晶質半導体層との間に設けられ、一導電型を付与する不純物元素が添加された一対の不純物半導体層の一方と重なり、前記ソース領域と前記ドレイン領域の間に延在する導電層とを有する。更に、当該導電層及び非晶質半導体層に接し、導電層と重畳するバッファ層とを有している。

**【0012】**

本発明の一である薄膜トランジスタは、ゲート絶縁層を介してゲート電極と重畳する導電層と、導電層の側面を被覆する非晶質半導体層と、非晶質半導体層上に設けられ、ソース領域またはドレイン領域を形成する一導電型を付与する不純物元素が添加された一対の不純物半導体層とを有している。一導電型を付与する不純物元素が添加された一対の不純物半導体層の一方は、導電層と少なくとも一部が重畳し、一導電型を付与する不純物元素が添加された一対の不純物半導体層の一方は、導電層の外側に設けられている。

20

**【0013】**

薄膜トランジスタは、ソース領域及びドレイン領域の間を流れるキャリア（電子または正孔）を、ゲート電極に印加する電圧によって制御するが、ソース領域とドレイン領域との間を流れるキャリアは、ゲート電極と重畳して設けられる導電層と、該導電層上からチャネル長方向に延在して設けられる非晶質半導体層を流れる。

30

**【0014】**

但し、導電層は、薄膜トランジスタのチャネル長方向の全域に渡って延在しているのではなく、ソース領域及びドレイン領域を形成する一導電型を付与する不純物元素が添加された一対の不純物半導体層の一方とは重畳しないように設けられている。すなわち、この薄膜トランジスタでは、チャネル間を流れるキャリアは、ソース領域及びドレイン領域間のチャネル長方向の一定距離において、非晶質半導体層を流れるように構成されている。

**【0015】**

導電層の電気伝導度が $0.1\text{ S/cm}$ 乃至 $1.8\text{ S/cm}$ であり、非晶質半導体層の電気伝導度は導電層よりも低くなっている。微結晶半導体層のドナー濃度は、 $1 \times 10^{18}\text{ atoms/cm}^3$ 以上 $2 \times 10^{20}\text{ atoms/cm}^3$ 以下である。導電層は、少なくとも薄膜トランジスタのチャネル長方向に延在し、前記した電気伝導度を有することで高いオン電流を発生させるように作用する。一方、チャネル間にあって所謂オフセット領域を形成する非晶質半導体層は、オフ電流を低減するように作用する。

40

**【0016】**

不純物半導体とは、電気伝導に関するキャリアのほとんどが添加された不純物元素から供給される半導体をいう。不純物元素はキャリアとして電子を供給するドナーとなり得る元素、または正孔を供給するアクセプタ - となり得る元素であり、代表的にはドナーは周期表第15族元素、アクセプターは周期表第13族元素が該当する。

**【0017】**

微結晶半導体とは、例示的には結晶粒径が $2\text{ nm}$ 以上 $200\text{ nm}$ 以下、あるいは $10\text{ nm}$

50

以上 80 nm 以下、あるいは 20 nm 以上 50 nm 以下であり、電気伝導度が概略  $10^{-7}$  S / cm から  $10^{-4}$  S / cm であるものが、価電子制御により  $10^1$  S / cm 程度にまで高められる半導体を指す。尤も、微結晶半導体の概念は前記した結晶粒径、電気伝導度の値のみに固定されるものではなく、同等の物性値を有するものであれば他の半導体材料に置換することもできる。非晶質半導体とは、結晶構造を有さない（原子の配列に長距離秩序を有さない）半導体を指す。なお、非晶質シリコンには水素が含まれていているものも含む。

#### 【0018】

「オン電流」とは、チャネル形成領域に電流を流すためにゲート電極に適切なゲート電圧を印加した時（即ち、薄膜トランジスタがオン状態の時）に、チャネル形成領域を流れる電流である。「オフ電流」とは、薄膜トランジスタのしきい値電圧より低いゲート電圧の場合（即ち、薄膜トランジスタがオフ状態の時）にソースとドレイン間に流れる電流である。

10

#### 【発明の効果】

#### 【0019】

導電層を、薄膜トランジスタのチャネル長方向の全域に渡って延在させるのではなく、ソース領域及びドレイン領域を形成する一導電型を付与する不純物元素が添加された一対の不純物半導体層の一方とは重畠しないように設け、ソース領域及びドレイン領域間のチャネル長方向の一定距離は、チャネル間を流れるキャリアが非晶質半導体層を流れるよう構成することで、高いオン電流を得るとともに、オフ電流を低減させることができる。

20

#### 【0020】

また、導電層のドナー濃度を高めることで、電界効果移動度を高めることができ、高速動作を可能とすることができます。

#### 【図面の簡単な説明】

#### 【0021】

【図1】本実施の形態に係る薄膜トランジスタを説明する断面図である。

【図2】本実施の形態に係る薄膜トランジスタを説明する断面図である。

【図3】本実施の形態に係る薄膜トランジスタを説明する断面図である。

【図4】本実施の形態に係る薄膜トランジスタを説明する断面図である。

【図5】本実施の形態に係る薄膜トランジスタの作製工程を説明する断面図である。

30

【図6】本実施の形態に係る薄膜トランジスタを説明する断面図及び上面図である。

【図7】本実施の形態に係る薄膜トランジスタの作製工程を説明する断面図である。

【図8】本実施の形態に係る薄膜トランジスタの作製工程を説明する断面図である。

【図9】本実施の形態に適用可能な多階調マスクを説明する図である。

【図10】本実施の形態に係る薄膜トランジスタの作製工程を説明する上面図である。

【図11】本実施の形態に係る薄膜トランジスタの作製工程を説明する断面図である。

【図12】本実施の形態に係る薄膜トランジスタの作製工程を説明する上面図である。

【図13】本実施の形態に係る素子基板を説明する平面図である。

【図14】本実施の形態に係る素子基板の端子部及び画素部を説明する断面図である。

【図15】本実施の形態に係る表示パネルを説明する斜視図である。

40

【図16】本実施の形態に係る表示装置を用いた電子機器を説明する斜視図である。

【図17】本実施の形態に係る表示装置を用いた電子機器を説明する図である。

【図18】本実施の形態に係る表示装置を用いた電子機器を説明する斜視図である。

【図19】実施例1により得られた薄膜トランジスタの電気特性を示す図である。

【図20】デバイスシミュレーションに使用したデバイス構造を示す図である。

【図21】デバイスシミュレーションにより得られた薄膜トランジスタの電気特性を示す図である。

【図22】デバイスシミュレーションにより得られたバンドギャップを示す図である。

【図23】デバイスシミュレーションにより得られたバンドギャップを示す図である。

【図24】デバイスシミュレーションにより得られたバンドギャップを示す図である。

50

【図25】デバイスシミュレーションにより得られたバンドギャップを示す図である。

【図26】デバイスシミュレーションにより得られた薄膜トランジスタの電気特性を示す図である。

【図27】デバイスシミュレーションにより得られた薄膜トランジスタの電気特性を示す図である。

【図28】デバイスシミュレーションにより得られた薄膜トランジスタのオン電流を示す図である。

【図29】デバイスシミュレーションにより得られた薄膜トランジスタのオン電流を示す図である。

【図30】デバイスシミュレーションにより得られた薄膜トランジスタの電界効果移動度を示す図である。 10

【図31】デバイスシミュレーションにより得られた薄膜トランジスタの電界効果移動度を示す図である。

【図32】本実施の形態に係る薄膜トランジスタを説明する断面図である。

【図33】本実施の形態に係る薄膜トランジスタを説明する断面図である。

#### 【発明を実施するための形態】

##### 【0022】

以下、発明の実施の形態について、図面を用いて以下に説明する。但し、開示される発明は以下の説明に限定されず、開示される発明の趣旨及びその範囲から逸脱することなくその形態及び詳細をさまざまに変更し得ることは当業者であれば容易に理解される。従って、開示される発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。以下に開示される発明の構成において、同じものを指す符号は異なる図面間で共通して用いる。 20

##### 【0023】

また、以下の実施の形態では、ゲート電極05がゲート配線の一部である形態を示す。このため、ゲート電極05をゲート配線05と示す場合がある。また、同様に、配線63をソース配線63またはソース電極63と示す場合がある。

##### 【0024】

###### (実施の形態1)

ここでは、微結晶半導体層をチャネル形成領域に有する薄膜トランジスタと比較してオフ電流が低く、非晶質半導体層をチャネル形成領域に有する薄膜トランジスタと比較して、高速動作が可能であり、オン電流が高い、薄膜トランジスタの構造について、図1を用いて説明する。 30

##### 【0025】

図1(A)に示す薄膜トランジスタは、基板01上にゲート電極05が形成され、ゲート電極05上にゲート絶縁層09a、09bが形成され、ゲート絶縁層09b上に、導電層51が形成され、導電層51上にバッファ層53が形成される。このバッファ層53は、導電層51と略重畠して設けられる。また、導電層51及びバッファ層53の側面及び上面を覆う非晶質半導体層55が形成される。非晶質半導体層55上に、ソース領域とドレイン領域を形成する一導電型を付与する不純物元素が添加された一対の不純物半導体層59、61が形成され、一導電型を付与する不純物元素が添加された一対の不純物半導体層59、61上に配線63、65が形成される。また、一導電型を付与する不純物元素が添加された一対の不純物半導体層59、61の一方61は、バッファ層53に重ならない。また、一導電型を付与する不純物元素が添加された一対の不純物半導体層59、61の他方59の一端部は、バッファ層53に重なっている。 40

##### 【0026】

導電層51は、電気伝導率が $0.1 \text{ S cm}^{-1}$ 以上 $1.8 \text{ S cm}^{-1}$ 以下の導電層で形成する。導電層51としては、上記電気伝導率を満たす金属層、金属窒化物層、金属炭化物層、金属ホウ化物層、金属珪化物層、ドナーとなる不純物元素が添加された半導体層等がある。 50

## 【0027】

金属層としては、代表的には、アルミニウム、銅、チタン、ネオジム、スカンジウム、モリブデン、タンタル、タングステン、コバルト、ニッケル、銀、金、白金、スズ、イリジウム等の金属層またはこれらの複数からなる金属合金層を適宜用いることができる。また、上記金属層または金属合金層の単層または積層で形成することができる。

## 【0028】

金属窒化物層としては、窒化チタン層、窒化ジルコニア層、窒化ハフニウム層、窒化タンタル層、窒化バナジウム層、窒化ニオブ層、窒化クロム層、窒化ランタン層、窒化イットリウム層等を用いることができる。また、上記金属窒化物層の単層または積層で形成することができる。

10

## 【0029】

金属炭化物層としては、炭化チタン層、炭化ハフニウム層、炭化ニオブ層、炭化タンタル層、炭化バナジウム層、炭化ジルコニア層、炭化クロム層、炭化コバルト層、炭化モリブデン層、炭化タングステン層等を用いることができる。また、上記金属炭化物層の単層または積層で形成することができる。

## 【0030】

金属ホウ化物層としては、ホウ化チタン層を用いることができる。

## 【0031】

金属珪化物層としては、珪化白金層、珪化チタン層、珪化モリブデン層、珪化ニッケル層、珪化クロム層、珪化コバルト層、珪化バナジウム層、珪化タングステン層、珪化ジルコニア層、珪化ハフニウム層、珪化ニオブ層、珪化タンタル層等を用いることができる。また、上記金属珪化物層の単層または積層で形成することができる。

20

## 【0032】

さらには、導電層51を金属層、金属窒化物層、金属炭化物層、金属ホウ化層、金属珪化物層の複数を用いた積層構造とすることができます。

## 【0033】

なお、導電層51として、金属層、金属窒化物層、金属炭化物層、金属ホウ化物層、金属珪化物層を形成する場合、非晶質半導体層55とオーミック接触させるために、金属層、金属窒化物層、金属炭化物層、金属ホウ化物層、金属珪化物層等のいずれか上に、ドナーとなる不純物元素またはアクセプターとなる不純物元素が添加された半導体層72aを形成した積層構造としてもよい(図32(A)参照)。また、ドナーとなる不純物元素またはアクセプターとなる不純物元素が添加された半導体層72cは、金属層、金属窒化物層、金属炭化物層、金属ホウ化物層、金属珪化物層等のいずれかの上面及び側面を覆ってもよい(図32(B)参照)。また、ゲート絶縁層09b上にドナーとなる不純物元素またはアクセプターとなる不純物元素が添加された半導体層72eを形成し、その上に金属層、金属窒化物層、金属炭化物層、金属ホウ化物層、金属珪化物層のいずれかを形成する積層構造としてもよい(図32(C)参照)。このような構造とすることで、金属層、金属窒化物層、金属炭化物層、金属ホウ化物層、金属珪化物層等のいずれかと非晶質半導体層との界面におけるショットキー接合をオーミック接合にすることが可能となり、薄膜トランジスタの特性が向上する。

30

## 【0034】

不純物半導体層には、キャリアとして電子を供給する元素であるドナーが添加されている。ドナーとなる不純物元素は、代表的には周期表第15族元素であるリン、砒素、アンチモン等がある。ドナーとなる不純物元素が添加された半導体層としては、アモルファスシリコン層、アモルファスシリコンゲルマニウム層、アモルファスゲルマニウム層、微結晶シリコン層、微結晶シリコンゲルマニウム層、微結晶ゲルマニウム層、多結晶シリコン層、多結晶シリコンゲルマニウム層、多結晶ゲルマニウム層等で形成される。また、半導体層がアモルファスゲルマニウム層及び微結晶ゲルマニウム層の場合は、抵抗率が低いため、ドナーとなる不純物元素を含まなくともよい。

## 【0035】

40

50

ドナーとなる不純物元素が添加された半導体層に添加されるドナーとなる不純物元素の濃度を、二次イオン質量分析法 (S I M S : Secondary Ion Mass Spectroscopy) で測定した場合に  $1 \times 10^{18}$  atoms / cm<sup>3</sup> 以上  $2 \times 10^{20}$  atoms / cm<sup>3</sup> 以下とすることにより、ゲート絶縁層 09 b とドナーとなる不純物元素が添加された半導体層の界面における抵抗を低減することが可能であり、また、高速動作が可能であり、オン電流の高い薄膜トランジスタを作製することができる。

#### 【 0 0 3 6 】

ここでの微結晶半導体とは、非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造の半導体である。この半導体は、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質なものであり、粒径が 2 nm 以上 200 nm 以下、あるいは 10 nm 以上 80 nm 以下、あるいは 20 nm 以上 50 nm 以下の柱状または針状結晶が基板表面に対して法線方向に成長している。また、電気伝導度が概略  $10^{-7}$  S / cm から  $10^{-4}$  S / cm であるものが、価電子制御により  $10^1$  S / cm 程度にまで高められる半導体を指す。また、複数の微結晶半導体の間に非単結晶半導体が存在している。微結晶半導体の代表例である微結晶シリコンは、そのラマンスペクトルのピークが単結晶シリコンを示す  $520\text{cm}^{-1}$  よりも低波数側に、シフトしている。即ち、単結晶シリコンを示す  $520\text{cm}^{-1}$  とアモルファスシリコンを示す  $480\text{cm}^{-1}$  の間に微結晶シリコンのラマンスペクトルのピークがある。また、未結合手（ダングリングボンド）を終端するため水素またはハロゲンを少なくとも 1 原子% またはそれ以上含ませてもよい。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませてもよく、これにより格子歪みをさらに助長させることで、微結晶の構造の安定性が増し良好な微結晶半導体が得られる。このような微結晶半導体に関する記述は、例えば、米国特許 4,409,134 号で開示されている。尤も、微結晶半導体の概念は前記した結晶粒径、電気伝導度の値のみに固定されるものではなく、同等の物性値を有するものであれば他の半導体材料に置換することもできる。

#### 【 0 0 3 7 】

導電層 51 の厚さは 5 nm 以上 50 nm 以下、好ましくは 5 nm 以上 30 nm 以下で形成する。

#### 【 0 0 3 8 】

また、導電層 51 がドナーとなる不純物元素が添加された半導体層の場合、酸素濃度、及び窒素濃度は、ドナーとなる不純物元素の濃度の 10 倍未満、代表的には  $3 \times 10^{19}$  atoms / cm<sup>3</sup> 未満、更に好ましくは  $3 \times 10^{18}$  atoms / cm<sup>3</sup> 未満、炭素の濃度を  $3 \times 10^{18}$  atoms / cm<sup>3</sup> 以下とすることが好ましい。酸素、窒素、及び炭素が、ドナーとなる不純物元素が添加された半導体層に混入する濃度を低減することで、ドナーとなる不純物元素が添加された半導体層が微結晶半導体層の場合、微結晶半導体層の欠陥の生成を抑制する事ができる。さらには、酸素、及び窒素が微結晶半導体層中に入っていると、結晶化しにくい。このため、ドナーとなる不純物元素が添加された半導体層が微結晶半導体層の場合、微結晶半導体層中の酸素濃度、窒素濃度が比較的低く、且つドナーとなる不純物元素を添加することで、微結晶半導体層の結晶性を高めることができる。

#### 【 0 0 3 9 】

また、導電層 51 がドナーとなる不純物元素が添加された半導体層の場合、ドナーとなる不純物元素が添加された半導体層に、アクセプターとなる不純物元素を、成膜と同時に、或いは成膜後に添加することで、しきい値電圧を制御することが可能となる。アクセプターとなる不純物元素としては、代表的には硼素であり、B<sub>2</sub>H<sub>6</sub>、BF<sub>3</sub> などの不純物気体を 1 ppm ~ 1000 ppm、好ましくは 1 ~ 100 ppm の割合で水素化シリコンに混入させると良い。そしてボロンの濃度は、ドナーとなる不純物元素の 10 分の 1 程度、例えば  $1 \times 10^{14} \sim 6 \times 10^{16}$  atoms / cm<sup>3</sup> とすると良い。

#### 【 0 0 4 0 】

バッファ層 53 は、非晶質半導体層を用いて形成する。または、フッ素、塩素等のハロゲンが添加される非晶質半導体層を用いる。バッファ層 53 の厚さを 30 nm ~ 200 nm

10

20

30

40

50

、好ましくは 50 nm ~ 150 nm とする。非晶質半導体層としては、アモルファスシリコン層、またはゲルマニウムを含むアモルファスシリコン層等がある。

#### 【0041】

バッファ層 53 の側面を 30 ~ 60° に傾斜させることで、導電層 51 が微結晶半導体層の場合、当該微結晶半導体層を結晶成長核として、微結晶半導体層に接する非晶質半導体層 55 の界面の結晶性を高めることができるために、薄膜トランジスタの高速動作が可能であり、オン電流を高めることができる。

#### 【0042】

導電層 51 が微結晶半導体層の場合、バッファ層 53 として、非晶質半導体層、更には水素、窒素、またはハロゲンを含む非晶質半導体層を形成することで、ドナーとなる不純物元素が添加される半導体層の結晶粒の表面の自然酸化を防止することが可能である。特に、微結晶半導体層において、非晶質半導体と微結晶粒が接する領域では、局部応力により亀裂が入りやすい。この亀裂が酸素に触れると結晶粒は酸化され、結晶粒の表面に酸化シリコンが形成される。しかしながら、ドナーとなる不純物元素が添加された半導体層の表面にバッファ層 53 を形成することで、微結晶粒の酸化を防ぐことができる。このため、キャリアが捕獲される欠陥、またはキャリアの進行を妨げる領域を低減することができ、薄膜トランジスタの高速動作が可能であり、オン電流を高めることができる。

10

#### 【0043】

非晶質半導体層 55 は、アモルファスシリコン層、またはゲルマニウムを含むアモルファスシリコン層等がある。また、非晶質半導体層 55 にフッ素、塩素等が含まれていても良い。また、導電層 51 にドナーとなる不純物元素が添加された半導体層が形成された場合、ドナーとなる不純物元素が添加された半導体層より低い濃度のリンが添加された非晶質半導体層を用いてもよい。また、配線と重複する非晶質半導体層 55 の厚さを 50 nm 以上 500 nm 未満とする。

20

#### 【0044】

非晶質半導体層 55 は、導電層 51 及びバッファ層 53 の側面を覆う。また、導電層 51 の周辺部において、ゲート絶縁層 09b と非晶質半導体層 55 が接する。これらの構造により、導電層 51 と、一導電型を付与する不純物元素が添加された一対の不純物半導体層 59、61 とが隔離され、導電層 51 と、一導電型を付与する不純物元素が添加された一対の不純物半導体層 59、61 との間で生じるリーク電流を低減することができる。また、非晶質半導体層 55 は、バッファ層 53 と重なっていることが好ましい。非晶質半導体層 55 がバッファ層 53 と重なることにより、一導電型を付与する不純物元素が添加された一対の不純物半導体層 59、61 と、バッファ層 53 が直接接しないため、リーク電流を低減することができる。

30

#### 【0045】

また、ゲート絶縁層 09b が酸化珪素層または窒化珪素層の場合、導電層 51 にドナーとなる不純物元素が添加された半導体層を用いた場合、ドナーとなる不純物元素が添加された半導体層より低い濃度のリンが添加された非晶質半導体層を非晶質半導体層 55 として用いることで、しきい値電圧の変動を低減することができる。

#### 【0046】

40

基板 01 は、バリウムホウケイ酸ガラス、アルミニノホウケイ酸ガラス、若しくはアルミニシリケートガラスなど、フュージョン法やフロート法で作製される無アルカリガラス基板、セラミック基板の他、本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板等を用いることができる。また、ステンレス合金などの金属基板の表面に絶縁層を設けた基板を適用しても良い。基板 01 がマザーガラスの場合、基板の大きさは、第 1 世代 (320 mm × 400 mm)、第 2 世代 (400 mm × 500 mm)、第 3 世代 (550 mm × 650 mm)、第 4 世代 (680 mm × 880 mm、または 730 mm × 920 mm)、第 5 世代 (1000 mm × 1200 mm または 1100 mm × 1250 mm)、第 6 世代 (1500 mm × 1800 mm)、第 7 世代 (1900 mm × 2200 mm)、第 8 世代 (2160 mm × 2460 mm)、第 9 世代 (2400 mm × 2800 mm、2450 mm × 2950 mm) である。

50

$\text{mm} \times 3050\text{mm}$ )、第10世代( $2950\text{mm} \times 3400\text{mm}$ )等を用いることができる。

#### 【0047】

ゲート電極05は、金属材料で形成される。金属材料としてはアルミニウム、クロム、チタン、タンタル、モリブデン、銅などが適用される。ゲート電極05の好適例は、アルミニウムまたはアルミニウムとバリア金属の積層構造体によって形成される。バリア金属としては、チタン、モリブデン、クロムなどの高融点金属が適用される。バリア金属はアルミニウムのヒロック防止、酸化防止のために設けることが好ましい。

#### 【0048】

ゲート電極05は厚さ $50\text{nm}$ 以上 $300\text{nm}$ 以下で形成する。ゲート電極05の厚さを $50\text{nm}$ 以上 $100\text{nm}$ 以下とすることで、後に形成される半導体層や配線の段切れ防止が可能である。また、ゲート電極05の厚さを $150\text{nm}$ 以上 $300\text{nm}$ 以下とすることで、ゲート電極05の抵抗を低減することが可能であり、基板の大面積化が可能である。10

#### 【0049】

なお、ゲート電極05上には半導体層や配線を形成するので、段切れ防止のため端部がテーパー状になるように加工することが望ましい。また、図示しないがこの工程でゲート電極に接続する配線や容量配線も同時に形成することができる。

#### 【0050】

ゲート絶縁層09a、09bはそれぞれ、厚さ $50\sim150\text{nm}$ の酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、または窒化酸化シリコン層で形成することができる。20ここでは、ゲート絶縁層09aとして窒化シリコン層または窒化酸化シリコン層を形成し、ゲート絶縁層09bとして酸化シリコン層または酸化窒化シリコン層を形成して積層する形態を示す。なお、ゲート絶縁層を2層とせず、ゲート絶縁層を、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、または窒化酸化シリコン層の単層で形成することができる。

#### 【0051】

ゲート絶縁層09aを窒化シリコン層、または窒化酸化シリコン層を用いて形成することで、基板01とゲート絶縁層09aの密着力が高まり、基板01としてガラス基板を用いた場合、基板01からの不純物が、導電層51、バッファ層53、及び非晶質半導体層55に拡散するのを防止することが可能であり、さらにゲート電極05の酸化防止が可能である。即ち、膜剥れを防止することができると共に、後に形成される薄膜トランジスタの電気特性を向上させることができる。また、ゲート絶縁層09a、09bはそれぞれ厚さ $50\text{nm}$ 以上であると、ゲート電極05の凹凸による被覆率の低減を緩和することができるため好ましい。30

#### 【0052】

ここでは、酸化窒化シリコン層とは、その組成として、窒素よりも酸素の含有量が多いものであって、ラザフォード後方散乱法(RBS: Rutherford Backscattering Spectrometry)及び水素前方散乱法(HFS: Hydrogen Forward Scattering)を用いて測定した場合に、組成範囲として酸素が $50\sim70$ 原子%、窒素が $0.5\sim15$ 原子%、Siが $25\sim35$ 原子%、水素が $0.1\sim10$ 原子%の範囲で含まれるものをいう。また、窒化酸化シリコン層とは、その組成として、酸素よりも窒素の含有量が多いものであって、RBS及びHFSを用いて測定した場合に、組成範囲として酸素が $5\sim30$ 原子%、窒素が $20\sim55$ 原子%、Siが $25\sim35$ 原子%、水素が $10\sim30$ 原子%の範囲で含まれるものをいう。但し、酸化窒化シリコンまたは窒化酸化シリコンを構成する原子の合計を $100$ 原子%としたとき、窒素、酸素、シリコン及び水素の含有比率が上記の範囲内に含まれるものとする。40

#### 【0053】

一導電型を付与する不純物元素が添加された一対の不純物半導体層59、61は、nチャネル型の薄膜トランジスタを形成する場合には、代表的な不純物元素としてリンを添加すれば良く、水素化シリコンに $\text{PH}_3$ などの不純物気体を加えれば良い。また、pチャネル50

型の薄膜トランジスタを形成する場合には、代表的な不純物元素としてボロンを添加すれば良く、水素化シリコンに  $B_2H_6$  などの不純物気体を加えれば良い。リンまたはボロンの濃度を  $1 \times 10^{19} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup> とすることで、配線 63、65 とオーミックコンタクトすることが可能であり、ソース領域及びドレイン領域として機能する。一導電型を付与する不純物元素が添加された一対の不純物半導体層 59、61 は、微結晶半導体層、または非晶質半導体層で形成することができる。一導電型を付与する不純物元素が添加された一対の不純物半導体層 59、61 は 10 nm 以上 100 nm 以下、好ましくは 30 nm 以上 50 nm 以下の厚さで形成する。一導電型を付与する不純物元素が添加された一対の不純物半導体層 59、61 の膜厚を、薄くすることでスループットを向上させることができる。

10

#### 【0054】

一導電型を付与する不純物元素が添加された一対の不純物半導体層 59、61 の一方、ここでは、一導電型を付与する不純物元素が添加された不純物半導体層 61 は、導電層 51 に重ならず、導電層 51 と一定の距離（距離 a）を有する。一導電型を付与する不純物元素が添加された不純物半導体層 59 の端部と導電層 51 の端部との距離（距離 b）より、距離 a を小さくすることで、薄膜トランジスタのオフ電流を低減すると共に、オン電流を高め、高速動作させることができる。

#### 【0055】

配線 63、65 は、アルミニウム、銅、若しくは銅、シリコン、チタン、ネオジム、スカンジウム、モリブデンなどの、マイグレーション防止元素、耐熱性向上元素若しくはヒロツク防止元素が添加されたアルミニウム合金の単層または積層で形成することが好ましい。また、一導電型を付与する不純物元素が添加された一対の不純物半導体層 59、61 と接する側の層を、チタン、タンタル、モリブデン、タングステン、またはこれらの元素の窒化物で形成し、その上にアルミニウムまたはアルミニウム合金を形成した積層構造としても良い。更には、アルミニウムまたはアルミニウム合金の上面及び下面を、チタン、タンタル、モリブデン、タングステン、またはこれらの元素の窒化物で挟んだ積層構造としてもよい。ここでは、配線 63、65 としては、チタン層、アルミニウム層、及びチタン層の積層構造を用いることができる。

20

#### 【0056】

また、図 1 (B) に示すように、バッファ層 53 を設けず、導電層 51 に接して非晶質半導体層 55 を形成してもよい。バッファ層 53 を形成しないことで、スループットを向上させることができる。

30

#### 【0057】

また、図 1 (A) に示す薄膜トランジスタは、非晶質半導体層 55 が、配線 63、65 と接せず、一導電型を付与する不純物元素が添加された一対の不純物半導体層 59、61 を介してバッファ層 53 上に配線 63、65 が形成される構造を示したが、図 1 (C) に示すように、非晶質半導体層 55 の側面が配線 63、65 と接する構造とすることができる。

#### 【0058】

また、本実施の形態で示す薄膜トランジスタは、第 1 の薄膜トランジスタ Tr01 及び第 2 の薄膜トランジスタ Tr02 が接続されている。第 1 の薄膜トランジスタ Tr01 は、ゲート電極 05、ゲート絶縁層 09a、09b、導電層 51、バッファ層 53、非晶質半導体層 55、一導電型を付与する不純物元素が添加された不純物半導体層 59、及び配線 63 で構成される。第 2 の薄膜トランジスタ Tr02 は、ゲート電極 05、ゲート絶縁層 09a、09b、非晶質半導体層 55、一導電型を付与する不純物元素が添加された不純物半導体層 61、及び配線 65 で構成される。

40

#### 【0059】

第 2 の薄膜トランジスタ Tr02 は、非晶質半導体層をチャネル形成領域に用いた薄膜トランジスタである。しかしながら、第 1 の薄膜トランジスタ Tr01 において、キャリアが流れる領域は、導電層 51 である。当該領域は、電気伝導度が 0.1 S/cm 以上 1.

50

8 S / cm以下であり、通常の非晶質半導体層及び微結晶半導体層と比較して抵抗率が低い。このため、ゲート電極05に、第2の薄膜トランジスタTr02のしきい値電圧未満の正電圧が印加されている状態でも、導電層51に多数のキャリアが誘起された状態となる。第2の薄膜トランジスタTr02のしきい値電圧以上の正電圧がゲート電極05に印加されると、第2の薄膜トランジスタTr02がオンとなり、導電層51に誘起されていた多数のキャリアが、第1の薄膜トランジスタTr01の配線63または第2の薄膜トランジスタTr02の配線65へ流れる。

#### 【0060】

本実施の形態の薄膜トランジスタのチャネル長Lは、一導電型を付与する不純物元素が添加された不純物半導体層61の端部の一方と導電層51の端部の一方の距離a、及び一導電型を付与する不純物元素が添加された不純物半導体層59の端部の一方と導電層51の端部の一方との距離bの和である。チャネル長Lに対して、一導電型を付与する不純物元素が添加された不純物半導体層61の端部の一方と導電層51の端部の一方との距離aを短くし、一導電型を付与する不純物元素が添加された不純物半導体層59の端部の一方と導電層51の端部の一方との距離bを長くすることで、オン電流が高くなり、電界効果移動度も高くなる。

#### 【0061】

なお、本実施の形態により第2の薄膜トランジスタTr02のチャネル長（即ち、距離a）を短くすることが可能であるため、第2の薄膜トランジスタTr02において短チャネル効果が生じないように、ゲート絶縁層の膜厚を薄くすることが好ましい。

#### 【0062】

一方、ゲート電極05に負の電圧を印加すると、導電層51にはキャリアが誘起されたとしても、第2の薄膜トランジスタTr02は非晶質半導体層で形成されるため、第2の薄膜トランジスタTr02が、薄膜トランジスタのオフ電流の流れを妨げ、オフ電流を低減することができる。

#### 【0063】

以上のことから、本実施の形態に示す薄膜トランジスタは、オン電流及び電界効果移動度が高く、オフ電流の低い薄膜トランジスタである。

#### 【0064】

また、ソース領域及びドレイン領域を繋ぐ非晶質半導体層55表面（バックチャネル）は凹凸状となっており、距離が長いため、ソース領域及びドレイン領域の間の非晶質半導体層55表面を流れるリークパスの距離が長くなる。この結果、非晶質半導体層55表面に流れるリーク電流を低減することができる。

#### 【0065】

さらには、ゲート電極05と、一導電型を付与する不純物元素が添加された一対の不純物半導体層59、61の間には、ゲート絶縁層09a、09bのほかに非晶質半導体層55が形成されるため、ゲート電極05と、一導電型を付与する不純物元素が添加された一対の不純物半導体層59、61の間隔が広がる。このため、ゲート電極05と、一導電型を付与する不純物元素が添加された一対の不純物半導体層59、61の間に生じる寄生容量を低減することができる。特に、ドレイン側の電圧降下を低減する薄膜トランジスタとすることができる。このため、当該構造を用いた表示装置は、画素の応答速度を向上させることができる。特に、液晶表示装置の画素に形成される薄膜トランジスタの場合、ドレイン電圧の電圧降下を低減できるため、液晶材料の応答速度を上昇させることができるもの。

#### 【0066】

##### （実施の形態2）

本実施の形態では、導電層51及びバッファ層53の他の形状について、図2を用いて示す。

#### 【0067】

図2に示す薄膜トランジスタは、断面構造において、導電層51aの内側にバッファ層5

10

20

30

40

50

3 a が形成されている薄膜トランジスタである。即ち、導電層 5 1 a より面積の小さいバッファ層 5 3 a が形成され、導電層 5 1 a の一部がバッファ層 5 3 a より露出している薄膜トランジスタである。このような構造とすることで、導電層 5 1 a が微結晶半導体層、金属珪化物層、または金属層の場合、当該微結晶半導体層、金属珪化物層、または金属層を結晶成長核として、導電層 5 1 a に接する非晶質半導体層 5 5 の結晶性を高めることができるため、薄膜トランジスタの高速動作が可能であり、オン電流を高めることができる。

#### 【 0 0 6 8 】

また、図示しないが、図 1 及び図 2 において、導電層 5 1 及びバッファ層 5 3 の側壁並びに導電層 5 1 a 及びバッファ層 5 3 a の側壁がほぼ垂直、または側面の傾斜角度が 8 0 ~ 1 0 0 °、好ましくは 8 5 ~ 9 5 ° であってもよい。導電層 5 1 及びバッファ層 5 3 の側壁並びに導電層 5 1 a 及びバッファ層 5 3 a の側壁をほぼ垂直とすることで、薄膜トランジスタが占める面積を縮小することができる。このため、当該薄膜トランジスタを画素に用いた透過型表示装置の開口率を高めることができる。

#### 【 0 0 6 9 】

なお、本実施の形態は実施の形態 1 と組み合わせ可能である。

#### 【 0 0 7 0 】

##### ( 実施の形態 3 )

本実施の形態では、バッファ層の他の形態を図 3 を用いて示す。本実施の形態では、バッファ層 5 2 を絶縁層で形成することを特徴とする。

#### 【 0 0 7 1 】

図 3 ( A ) に示す薄膜トランジスタは、基板 0 1 上にゲート電極 0 5 が形成され、ゲート電極 0 5 上にゲート絶縁層 0 9 a 、 0 9 b が形成され、ゲート絶縁層 0 9 b 上に、導電層 5 1 が形成され、導電層 5 1 上にバッファ層 5 2 が形成される。このバッファ層 5 2 は、導電層 5 1 と略重畠して設けられる。また、導電層 5 1 及びバッファ層 5 2 の側面及び上面を覆う非晶質半導体層 5 5 が形成される。非晶質半導体層 5 5 上に一導電型を付与する不純物元素が添加された一対の不純物半導体層 5 9 、 6 1 が形成され、一導電型を付与する不純物元素が添加された一対の不純物半導体層 5 9 、 6 1 上に配線 6 3 、 6 5 が形成される。また、一導電型を付与する不純物元素が添加された一対の不純物半導体層 5 9 、 6 1 の一方 6 1 は、バッファ層 5 3 に重ならない。また、一導電型を付与する不純物元素が添加された一対の不純物半導体層 5 9 、 6 1 の他方 5 9 の一端部は、バッファ層 5 3 に重なっている。

#### 【 0 0 7 2 】

本実施の形態では、バッファ層 5 2 を絶縁層で形成する。代表的には、バッファ層 5 2 を窒化シリコン層、酸化シリコン層、窒化酸化シリコン層、酸化窒化シリコン層、その他の無機絶縁層を用いて形成する。または、ポリイミド、アクリル樹脂、エポキシ樹脂、他の有機絶縁層を用いて形成する。また、バッファ層 5 2 の厚さを 1 0 n m ~ 1 5 0 n m とする。バッファ層 5 2 を絶縁層で形成することにより、一導電型を付与する不純物元素が添加された一対の不純物半導体層 5 9 、 6 1 から非晶質半導体層 5 5 に流れるリーク電流をバッファ層 5 2 でせき止めることができるとため、リーク電流を低減することができる。また、オフ電流を低減することができる。

#### 【 0 0 7 3 】

また、図 3 ( B ) に示すように、導電層 5 1 上に半導体層で形成されるバッファ層 5 3 が形成され、バッファ層 5 3 上に絶縁層で形成されるバッファ層 5 4 が形成される。バッファ層 5 4 としては、窒化シリコン層、酸化シリコン層、窒化酸化シリコン層、酸化窒化シリコン層、その他の無機絶縁層を用いて形成する。または、ポリイミド、アクリル樹脂、エポキシ樹脂、他の有機絶縁層を用いて形成する。

#### 【 0 0 7 4 】

図 3 ( B ) においては、半導体層で形成されるバッファ層 5 3 が、絶縁層で形成されるバッファ層 5 4 の厚さより厚いが、バッファ層 5 3 よりバッファ層 5 4 の厚さを厚くしても

10

20

30

40

50

よい。なお、バッファ層 5 3 及びバッファ層 5 4 の合計の膜厚を 30 nm ~ 200 nm、好ましくは 50 nm ~ 150 nm とする。導電層 5 1 がドナーとなる不純物元素が添加された半導体層の場合、ドナーとなる不純物元素が添加された半導体層上に半導体層で形成されるバッファ層 5 3 が形成されることで、ドナーとなる不純物元素が添加された半導体層の酸化を低減することができ、ドナーとなる不純物元素が添加された半導体層の抵抗率の低減を抑制することができる。また、半導体層で形成されるバッファ層 5 3 上に絶縁層で形成されるバッファ層 5 4 を設けることで、一導電型を付与する不純物元素が添加された一対の不純物半導体層 5 9、6 1 から非晶質半導体層 5 5 に流れるリーク電流をバッファ層 5 4 でせき止めることができると可能であるため、リーク電流を低減することができる。また、オフ電流を低減することができる。

10

#### 【0075】

なお、本実施の形態は実施の形態 1、実施の形態 2 それぞれと組み合わせ可能である。

#### 【0076】

##### (実施の形態 4)

本実施の形態では、導電層 5 1 の別の形態を示す。

#### 【0077】

図 4 (A) に示す薄膜トランジスタは、基板 0 1 上にゲート電極 0 5 が形成され、ゲート電極 0 5 上にゲート絶縁層 0 9 a、0 9 b が形成され、ゲート絶縁層 0 9 b 上に、導電性粒子 5 6 が形成され、導電性粒子 5 6 及びゲート絶縁層 0 9 b 上にバッファ層 5 3 が形成される。このバッファ層 5 3 は、導電性粒子 5 6 と略重畠して設けられる。また、バッファ層 5 3 の側面及び上面を覆う非晶質半導体層 5 5 が形成される。非晶質半導体層 5 5 上に一導電型を付与する不純物元素が添加された一対の不純物半導体層 5 9、6 1 が形成され、一導電型を付与する不純物元素が添加された一対の不純物半導体層 5 9、6 1 上に配線 6 3、6 5 が形成される。また、一導電型を付与する不純物元素が添加された一対の不純物半導体層 5 9、6 1 の一方 6 1 の両端部は、バッファ層 5 3 に重ならない。また、一導電型を付与する不純物元素が添加された一対の不純物半導体層 5 9、6 1 の他方 5 9 の一端部は、バッファ層 5 3 に重なっている。

20

#### 【0078】

導電性粒子 5 6 は、実施の形態に示す導電層の材料を適宜用いて形成した導電性粒子を用いて形成することができる。また、導電性粒子 5 6 がドナーとなる不純物元素が添加された半導体結晶粒の場合、ドナーとなる不純物元素が添加された半導体結晶粒は、シリコン、またはゲルマニウムより多くのシリコンを含むシリコンゲルマニウム ( $\text{Si}_x\text{Ge}_{1-x}$ 、 $0.5 < x < 1$ ) 等で形成することができる。導電性粒子 5 6 の大きさを、1 ~ 30 nm とし、密度を  $1 \times 10^{13} / \text{cm}^2$  未満、好ましくは  $1 \times 10^{10} / \text{cm}^2$  未満とすると、分離された結晶粒を形成することができる。後に形成するバッファ層 5 3 とゲート絶縁層 0 9 b との密着性を高めることができる。このため、薄膜トランジスタの歩留まりを高めることができる。

30

#### 【0079】

導電性粒子 5 6 が、金属粒子、金属窒化物粒子、金属炭化物粒子、金属ホウ化物粒子、金属珪化物粒子の場合、スパッタリング法、蒸着法、液滴吐出法、または CVD 法で形成することができる。

40

#### 【0080】

ドナーとなる不純物元素が添加された半導体結晶粒の形成方法としては、ドナーとなる不純物元素が添加された微結晶半導体層をスパッタリング法またはプラズマ CVD 法により成膜した後に、ドナーとなる不純物元素が添加された微結晶半導体層に水素プラズマを曝して、ドナーとなる不純物元素が添加された微結晶半導体層の非晶質半導体成分をエッチングすることで、ドナーとなる不純物元素が添加された半導体結晶粒を形成することができる。または、結晶粒が連続せず分散した状態の厚さで、ドナーとなる不純物元素が添加された微結晶半導体層または結晶性半導体層をスパッタリング法またはプラズマ CVD 法により成膜することで、ドナーとなる不純物元素が添加された半導体結晶粒を形成するこ

50

とができる。

**【0081】**

また、導電性粒子56の代わりに、ゲート絶縁層09b上に導電層を形成した後、フォトリソグラフィ工程により形成したレジストマスクを用いて導電層をエッチングして、分離された導電層を形成してもよい。

**【0082】**

図4(B)に示す薄膜トランジスタは、基板01上にゲート電極05が形成され、ゲート電極05上にゲート絶縁層09a、09bが形成され、ゲート絶縁層09b上に、導電性粒子56が形成され、導電性粒子56及びゲート絶縁層09b上にバッファ層が形成されず、非晶質半導体層55が形成される。非晶質半導体層55上に一導電型を付与する不純物元素が添加された一対の不純物半導体層59、61が形成され、一導電型を付与する不純物元素が添加された一対の不純物半導体層59、61上に配線63、65が形成される。  
10

**【0083】**

導電性粒子56は、連続せず、間に非晶質半導体層55が形成されるため、一導電型を付与する不純物元素が添加された一対の不純物半導体層59、61に重畳するように導電性粒子56が形成されていてもオフ電流の上昇を低減することができる。また、バッファ層を形成しないため、フォトマスク数を1枚削減することが可能であり、スループットを向上させると共に、コスト削減が可能である。

**【0084】**

なお、本実施の形態は実施の形態1乃至3のぞれぞれと組み合わせ可能である。  
20

**【0085】**

(実施の形態5)

本実施の形態では、非晶質半導体層の別の形態を示す。

**【0086】**

図5に示す薄膜トランジスタは、基板01上にゲート電極05が形成され、ゲート電極05上にゲート絶縁層09a、09bが形成され、ゲート絶縁層09b上に、導電層51が形成され、導電層51上にバッファ層53が形成される。このバッファ層53は、導電層51と略重畳して設けられる。また、導電層51及びバッファ層53の側面及び上面を覆う微結晶半導体層58が形成され、微結晶半導体層58上に非晶質半導体層55が形成される。微結晶半導体層58及び非晶質半導体層55の形状は略同一である。非晶質半導体層55上に一導電型を付与する不純物元素が添加された一対の不純物半導体層59、61が形成され、一導電型を付与する不純物元素が添加された一対の不純物半導体層59、61上に配線63、65が形成される。また、一導電型を付与する不純物元素が添加された一対の不純物半導体層59、61の一方61は、バッファ層53及び導電層51に重ならない。また、一導電型を付与する不純物元素が添加された一対の不純物半導体層59、61の他方59の一端部は、バッファ層53及び導電層51に重なっている。  
30

**【0087】**

微結晶半導体層58は、微結晶シリコン層、微結晶シリコングルマニウム層、微結晶グルマニウム層で形成することができる。また、導電層51に用いることが可能なドナーとなる不純物元素が添加された半導体層に含むドナーとなる不純物元素濃度より低いドナーとなる不純物元素が添加されてもよい。低濃度のドナーとなる不純物元素が添加されることにより、薄膜トランジスタのしきい値電圧を制御することができる。  
40

**【0088】**

また、導電層51上にバッファ層53を設けず、導電層に接して微結晶半導体層58を設けてもよい。

**【0089】**

微結晶半導体層58の厚さを5~30nm、好ましくは10~20nmと薄くすることでき、薄膜トランジスタのオフ電流を低く保つことができる。また、微結晶半導体層58及び一導電型を付与する不純物元素が添加された一対の不純物半導体層59、61の間に非晶  
50

質半導体層 5 5 が形成されるため、微結晶半導体層を用いて形成した薄膜トランジスタと比較して、オフ電流を低減することができる。また、非晶質半導体層 5 5 及びゲート絶縁層 0 9 b の間に、非晶質半導体層と比較して抵抗率の低い微結晶半導体層 5 8 を設けることで、キャリアが流れやすくなり、薄膜トランジスタの高速動作が可能である。

**【 0 0 9 0 】**

また、ゲート絶縁層 0 9 b を酸化シリコン層または酸化窒化シリコン層とし、微結晶半導体層 5 8 として、微結晶シリコン層を形成することで、ゲート絶縁層 0 9 b を窒化シリコン層とし、微結晶半導体層を形成せずに非晶質半導体層を形成するときと比べて、しきい値電圧の変動を低減することが可能である。

**【 0 0 9 1 】**

なお、本実施の形態は実施の形態 1 乃至 4 のぞれぞれと組み合わせ可能である。

**【 0 0 9 2 】**

( 実施の形態 6 )

本実施の形態では、薄膜トランジスタの構造の別の形態を示す。

**【 0 0 9 3 】**

図 6 に示す薄膜トランジスタは、基板 0 1 上にゲート電極 0 5 が形成され、ゲート電極 0 5 上にゲート絶縁層 0 9 a 、 0 9 b が形成され、ゲート絶縁層 0 9 b 上に、導電層 5 1 e が環状に形成され、導電層 5 1 e 上にバッファ層 5 3 e が環状に形成される。このバッファ層 5 3 e は、導電層 5 1 e と略重畠して設けられる。また、導電層 5 1 e 及びバッファ層 5 3 e の側面及び上面を覆う非晶質半導体層 5 5 が形成される。非晶質半導体層 5 5 上に、一導電型を付与する不純物元素が添加された一対の不純物半導体層 5 9 、 6 1 が形成され、一導電型を付与する不純物元素が添加された一対の不純物半導体層 5 9 、 6 1 上に配線 6 3 、 6 5 が形成される。また、一導電型を付与する不純物元素が添加された一対の不純物半導体層 5 9 、 6 1 の一方 6 1 は、バッファ層 5 3 e に重ならない。また、一導電型を付与する不純物元素が添加された一対の不純物半導体層 5 9 、 6 1 の他方 5 9 の一端部は、バッファ層 5 3 e に重なっている。

**【 0 0 9 4 】**

図 6 に示す薄膜トランジスタは、ソース領域及びドレイン領域が対向するチャネル形成領域が円形であることが特徴である。具体的には、一導電型を付与する不純物元素が添加された一対の不純物半導体層 5 9 、 6 1 の一方 6 1 は円形であり、一導電型を付与する不純物元素が添加された一対の不純物半導体層 5 9 、 6 1 の他方 5 9 は環状である。即ち、ソース領域またはドレイン領域の一方が、ソース領域またはドレイン領域の他方を、一定間隔をあけて囲う構造となっている。このため、配線 6 3 をソース配線とし、配線 6 5 をドレイン配線とした場合、チャネル形成領域が曲線状であると、しきい値電圧の変動を低減することが可能であり、薄膜トランジスタの特性の信頼性を高めることができる。また、ソース配線及びドレイン配線が直線型である典型的な薄膜トランジスタと比較して、ソース領域及びドレイン領域が曲線状であるとそれらの対向面積が大きくなるため、同じチャネル幅の薄膜トランジスタを設計する場合、薄膜トランジスタの面積を小さくすることができる。

**【 0 0 9 5 】**

なお、本実施の形態は実施の形態 1 乃至 5 のぞれぞれと組み合わせ可能である。

**【 0 0 9 6 】**

( 実施の形態 7 )

本実施の形態では、図 1 ( A ) に示すような、高速動作が可能であり、オン電流が高く、且つオフ電流の低い薄膜トランジスタの作製工程について示す。

**【 0 0 9 7 】**

非晶質半導体層または微結晶半導体層を有する薄膜トランジスタは、 p 型よりも n 型の方が、電界効果移動度が高いので駆動回路に用いるのにより適している。同一の基板上に形成する薄膜トランジスタを全て同じ導電型にそろえておくことが、工程数を抑えるためにも望ましい。ここでは、 n チャネル型の薄膜トランジスタを用いて説明する。

10

20

30

40

50

**【 0 0 9 8 】**

図1(A)に示す薄膜トランジスタの作製工程について、図7乃至図10を用いて示す。なお、図7及び図8において左側は図10のA-Bの断面図であり、薄膜トランジスタが形成される領域の断面を示し、右側は図10のC-Dの断面図であり、画素においてゲート配線及びソース配線が交差する領域の断面を示す。

**【 0 0 9 9 】**

図7(A)に示すように、基板01上に導電層03を形成する。導電層03としては、実施の形態1に示すゲート電極05に列挙した材料を用いて形成することができる。導電層03は、スパッタリング法、CVD法、めっき法、印刷法、液滴吐出法等を用いて形成する。

10

**【 0 1 0 0 】**

次に、第1のフォトマスクを用いたフォトリソグラフィ工程を用いて形成したレジストマスクを用いて導電層03を所望の形状にエッチングして、図7(B)に示すように、ゲート配線05を形成する。この後、レジストマスクを除去する。

**【 0 1 0 1 】**

次に、ゲート配線05及び基板01上にゲート絶縁層09を形成する。ゲート絶縁層09としては、実施の形態1に示すゲート絶縁層09a、09bに列挙した材料を用いて形成することができる。ゲート絶縁層09は、CVD法やスパッタリング法等を用いて形成する。

**【 0 1 0 2 】**

次に、ゲート絶縁層09上に導電層11、及びバッファ層13を積層して形成する。導電層11がドナーとなる不純物元素が添加された半導体層の場合の成膜方法を以下に示す。

20

**【 0 1 0 3 】**

プラズマCVD装置の反応室内において、シリコンまたはゲルマニウムを含む堆積性気体と、水素とを混合し、グロー放電プラズマにより、微結晶半導体層または非晶質半導体層を形成する。シリコンまたはゲルマニウムを含む堆積性気体の流量に対して、水素の流量を10~2000倍、好ましくは50~200倍に希釈して微結晶半導体層を形成する。シリコンまたはゲルマニウムを含む堆積性気体の流量に対して、水素の流量を0~10倍、好ましくは1~5倍に希釈して非晶質半導体層を形成する。基板の加熱温度は100~300、好ましくは120~220で行う。また、上記原料ガスと共に、リン、砒素、アンチモン等を含む気体を混合することで、ドナーとなる不純物元素が添加された半導体層を形成することができる。ここでは、シランと、水素及び/または希ガスと共にフォスフィンを混合して、グロー放電プラズマにより、ドナーとなる不純物元素が添加された半導体層としてリンを含む微結晶シリコン層を形成することができる。

30

**【 0 1 0 4 】**

ドナーとなる不純物元素が添加された半導体層の形成工程においてグロー放電プラズマの生成は、3MHzから30MHz程度までのHF(high frequency)帯、代表的には13.56MHz、27.12MHzの高周波電力、または30MHzより大きく300MHz程度までのVHF(very high frequency)帯の高周波電力、代表的には60MHzを印加することで行われる。

40

**【 0 1 0 5 】**

また、シリコンまたはゲルマニウムを含む堆積性気体の代表例としては、SiH<sub>4</sub>、Si<sub>2</sub>H<sub>6</sub>、GeH<sub>4</sub>、Ge<sub>2</sub>H<sub>6</sub>等がある。

**【 0 1 0 6 】**

なお、ドナーとなる不純物元素が添加された半導体層を形成する代わりに、ゲート絶縁層09としてドナーとなる不純物元素が添加された絶縁層を形成し、その上にドナーとなる不純物元素を含まない半導体層を形成してもよい。例えば、ドナーとなる不純物元素(リン、砒素、またはアンチモン)を含む酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、または窒化酸化シリコン層等をゲート絶縁層として形成することができる。また、ゲート絶縁層09を積層構造とする場合、微結晶半導体層に接する層または基板01に接

50

する層にドナーとなる不純物元素を添加してもよい。

**【0107】**

ゲート絶縁層09としてドナーとなる不純物元素が添加された絶縁層の形成方法としては、絶縁層の原料気体と共に、ドナーとなる不純物元素を含む気体を用いて絶縁層を形成すればよい。例えば、シラン、アンモニア、及びフォスフィンを用いたプラズマCVD法によりリンを含む窒化シリコン層を形成することができる。また、シラン、一酸化二窒素、及びアンモニア、並びにフォスフィンを用いたプラズマCVD法により、リンを含む酸化窒化シリコン層を形成することができる。

**【0108】**

また、ゲート絶縁層09を形成する前に、成膜装置の反応室内にドナーとなる不純物元素を含む気体を流し、基板01表面及び反応室内壁にドナーとなる不純物元素を吸着させてよい。この後、ゲート絶縁層09を形成することで、ドナーとなる不純物元素を取り込みながら絶縁層が堆積するため、ドナーとなる不純物元素が添加された絶縁層を形成することができる。

10

**【0109】**

また、ドナーとなる不純物元素が添加された半導体層を形成する前に、成膜装置の反応室内にドナーとなる不純物元素を含む気体を流し、ゲート絶縁層09及び反応室内壁にドナーとなる不純物元素を吸着させてよい。この後、半導体層を堆積することで、ドナーとなる不純物元素を取り込みながら半導体層が堆積するため、ドナーとなる不純物元素が添加された半導体層を形成することができる。

20

**【0110】**

また、導電層11として、金属層、金属窒化物層、金属炭化物層、金属ホウ化物層、金属珪化物層を形成する場合、スパッタリング法、蒸着法、CVD法、液滴吐出法、印刷法等により導電層を形成する。

**【0111】**

なお、ゲート絶縁層09が酸化シリコン層、または酸化窒化シリコン層の場合、導電層11を形成する前に、ゲート絶縁層09の表面をプラズマ処理してもよい。代表的には、水素プラズマ、アンモニアプラズマ、H<sub>2</sub>Oプラズマ、ヘリウムプラズマ、アルゴンプラズマ、ネオンプラズマ等のプラズマをゲート絶縁層09表面に曝す。この結果、ゲート絶縁層表面の欠陥を低減することができる。代表的には、ゲート絶縁層09表面のダンギングボンドを終端化することができる。この後、導電層または非晶質半導体層を形成すると、導電層または非晶質半導体の界面における欠陥を低減することが可能である。この結果、欠陥によるキャリアの捕獲を低減することが可能であり、オン電流を高めることができるものである。

30

**【0112】**

次に、バッファ層13を形成する。バッファ層13として半導体層を形成する場合、シリコン、またはゲルマニウムを含む堆積性気体を用いたプラズマCVD法により非晶質半導体層を形成することができる。または、シリコン、またはゲルマニウムを含む堆積性気体に、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して非晶質半導体層を形成することができる。または、シランガスの流量の0倍以上10倍以下、更に好ましくは1倍以上5倍以下の流量の水素を用いて、水素を含む非晶質半導体層を形成することができる。また、上記水素化半導体層に、フッ素、塩素等のハロゲンを添加してもよい。

40

**【0113】**

また、非晶質半導体層は、ターゲットにシリコン、ゲルマニウム等の半導体ターゲットを用いて水素、または希ガスでスパッタリングして非晶質半導体層を形成することができる。

**【0114】**

バッファ層13として絶縁層を形成する場合、ゲート絶縁層09と同様に形成することができる。または、ポリイミド、アクリル樹脂、エポキシ樹脂、その他の有機絶縁層の原料

50

を塗布した後、焼成して絶縁層を形成することができる。

**【0115】**

また、導電層11がドナーとなる不純物元素が添加された半導体層の場合、プラズマCVD法によりバッファ層13を300～400の温度にて成膜することが好ましい。この成膜処理により水素がドナーとなる不純物元素が添加された半導体層に供給され、ドナーとなる不純物元素が添加された半導体層を水素化したのと同等の効果が得られる。すなわち、ドナーとなる不純物元素が添加された半導体層上にバッファ層13を堆積することにより、ドナーとなる不純物元素が添加された半導体層に水素を拡散させて、ダングリングボンドの終端をすることができる。

**【0116】**

ドナーとなる不純物元素が添加された半導体層が微結晶半導体層で形成される場合、ドナーとなる不純物元素が添加された半導体層の表面に、バッファ層13として非晶質半導体層、更には水素、窒素、またはハロゲンを含む非晶質半導体層を形成することで、ドナーとなる不純物元素が添加された半導体層に含まれる結晶粒の表面の自然酸化を防止することが可能である。特に、非晶質半導体と微結晶粒が接する領域では、局部応力により亀裂が入りやすい。この亀裂が酸素に触れると結晶粒は酸化され、結晶粒の表面に酸化シリコンが形成される。しかしながら、ドナーとなる不純物元素が添加された半導体層の表面に非晶質半導体層を形成することで、微結晶粒の酸化を防ぐことができる。また、薄膜トランジスタへの印加電圧の高い(例えば15V程度)表示装置、代表的には液晶表示装置において、バッファ層の厚さを厚くすると、ドレイン耐圧が高くなり、薄膜トランジスタが高い電圧が印加されても、薄膜トランジスタが劣化することを低減することができる。

**【0117】**

次に、バッファ層13上にレジストを塗布した後、第2のフォトマスクを用いたフォトリソグラフィ工程を用いて形成したレジストマスクを用いて、バッファ層13及び導電層11を所望の形状にエッチングして、図7(C)に示すように、薄膜トランジスタを形成する領域において、導電層51、及びバッファ層19を形成する。また、ゲート配線及びソース配線が交差する領域において、導電層17、及びバッファ層21を形成する。この後、レジストマスクを除去する。

**【0118】**

次に、図7(D)に示すように、非晶質半導体層23、及び一導電型を付与する不純物元素が添加された不純物半導体層25を形成する。

**【0119】**

非晶質半導体層23としては、バッファ層13として半導体層を用いて形成する場合と同様に形成することができる。

**【0120】**

なお、非晶質半導体層23を形成する際、プラズマCVD装置の成膜室内壁に窒化酸化シリコン層、窒化シリコン層、酸化シリコン層、酸化窒化シリコン層をプリコートした後に、シリコンまたはゲルマニウムを含む堆積性気体の流量に対して、水素の流量を10～2000倍、好ましくは50～200倍に希釈して半導体層を成膜すると、膜中に成膜室内壁の酸素、窒素等を取り込みながら膜が堆積するため、結晶化せず、緻密な非晶質半導体層を形成することができる。なお、当該半導体層に微結晶が含まれる場合もある。また、ゲート絶縁層09が窒化シリコン層の場合は、当該成膜方法により非晶質半導体層を形成することで、膜剥れが生じず、歩留まりを高めることができる。

**【0121】**

ここでは、nチャネル型の薄膜トランジスタを形成するため、一導電型を付与する不純物元素が添加された不純物半導体層25としては、シリコンまたはゲルマニウムを含む堆積性気体と、フォスフィンとを用いたプラズマCVD法により形成する。また、pチャネル型の薄膜トランジスタを形成する場合は、シリコンまたはゲルマニウムを含む堆積性気体と、ジボランとを用いたプラズマCVD法により形成する。

**【0122】**

10

20

30

40

50

導電層 11、バッファ層 13、非晶質半導体層 23、及び一導電型を付与する不純物元素が添加された不純物半導体層 25 の形成工程においてグロー放電プラズマの生成は、3 MHz から 30 MHz 程度までの HF 帯、代表的には 13.56 MHz、27.12 MHz の高周波電力、または 30 MHz より大きく 300 MHz 程度までの VHF 帯の高周波電力、代表的には 60 MHz を印加することで行われる。

#### 【0123】

導電層 27 としては、実施の形態 1 に示す配線 63、65 に列挙した材料を用いて形成することができる。導電層 27 は、CVD 法やスパッタリング法、印刷法、液滴吐出法等を用いて形成する。

#### 【0124】

次に、導電層 27 上にレジストを塗布する。レジストは、ポジ型レジストまたはネガ型レジストを用いることができる。ここでは、ポジ型レジストを用いて示す。

#### 【0125】

次に、第 3 のフォトマスクとして多階調マスクを用いて、レジストに光を照射した後現像して、レジストマスク 29 を形成する。

#### 【0126】

ここで、多階調マスクを用いた露光について、図 9 を用いて説明する。

#### 【0127】

多階調マスクとは、露光部分、中間露光部分、及び未露光部分に 3 つの露光レベルを行うことが可能なマスクであり、一度の露光及び現像工程により、複数（代表的には二種類）の厚さの領域を有するレジストマスクを形成することが可能である。このため、多階調マスクを用いることで、フォトマスクの枚数を削減することが可能である。

#### 【0128】

多階調マスクの代表例としては、図 9 (A) に示すようなグレートーンマスク 159a、図 9 (C) に示すようなハーフトーンマスク 159b がある。

#### 【0129】

図 9 (A) に示すように、グレートーンマスク 159a は、透光性を有する基板 163 及びその上に形成される遮光部 164 並びに回折格子 165 で構成される。遮光部 164 においては、光の透過率が 0 % である。一方、回折格子 165 はスリット、ドット、メッシュ等の光透過部の間隔を、露光に用いる光の解像度限界以下の間隔とすることにより、光の透過率を制御することができる。なお、回折格子 165 は、周期的なスリット、ドット、メッシュ、または非周期的なスリット、ドット、メッシュどちらも用いることができる。

#### 【0130】

透光性を有する基板 163 は、石英等の透光性を有する基板を用いることができる。遮光部 164 及び回折格子 165 は、クロムや酸化クロム等の光を吸収する遮光材料を用いて形成することができる。

#### 【0131】

グレートーンマスク 159a に露光光を照射した場合、図 9 (B) に示すように、遮光部 164 においては、光透過率 166 は 0 % であり、遮光部 164 及び回折格子 165 が設けられていない領域では光透過率 166 は 100 % である。また、回折格子 165 においては、10 ~ 70 % の範囲で調整可能である。回折格子 165 における光の透過率透過率の調整は、回折格子のスリット、ドット、またはメッシュの間隔及びピッチの調整により可能である。

#### 【0132】

図 9 (C) に示すように、ハーフトーンマスク 159b は、透光性を有する基板 163 及びその上に形成される半透過部 167 並びに遮光部 168 で構成される。半透過部 167 は、MoSiN、MoSi、MoSiO、MoSiON、CrSi 等を用いることができる。遮光部 168 は、クロムや酸化クロム等の光を吸収する遮光材料を用いて形成することができる。

10

20

30

40

50

## 【0133】

ハーフトーンマスク159bに露光光を照射した場合、図9(D)に示すように、遮光部168においては、光透過率169は0%であり、遮光部168及び半透過部167が設けられていない領域では光透過率169は100%である。また、半透過部167においては、10~70%の範囲で調整可能である。半透過部167に於ける光の透過率の調整は、半透過部167の材料により可能である。

## 【0134】

多階調マスクを用いて露光した後、現像することで、図7(D)に示すように、膜厚の異なる領域を有するレジストマスク29を形成することができる。

## 【0135】

次に、レジストマスク29により、非晶質半導体層23、一導電型を付与する不純物元素が添加された不純物半導体層25、及び導電層27をエッチングし分離する。この結果、図7(E)に示すような、非晶質半導体層33、35、一導電型を付与する不純物が添加された半導体層37、39、及び導電層41を形成することができる。

## 【0136】

次に、レジストマスク29をアッシングする。この結果、レジストの面積が縮小し、厚さが薄くなる。このとき、膜厚の薄い領域のレジスト(ゲート配線05の一部と重畠する領域)は除去され、図7(E)に示すように、分離されたレジストマスク45を形成することができる。

## 【0137】

次に、レジストマスク45を用いて、導電層41をエッチングし分離する。この結果、図8(A)に示すような、ソース配線63、ドレイン電極65を形成することができる。レジストマスク45を用いて導電層41をウェットエッチングすると、導電層41が等方的にエッチングされる。この結果、レジストマスク45より面積の小さいソース配線63、及びドレイン電極65を形成することができる。

## 【0138】

ゲート配線05及び一導電型を付与する不純物元素が添加された不純物半導体層39の交差部においては、ゲート絶縁層09の他に、導電層17、バッファ層21、及び非晶質半導体層35が形成され、ゲート配線05及び一導電型を付与する不純物元素が添加された不純物半導体層39の間隔が広がる。このため、ゲート配線05及び一導電型を付与する不純物元素が添加された不純物半導体層39が交差する領域での寄生容量を低減できる。

## 【0139】

次に、レジストマスク45を用いて、一導電型を付与する不純物が添加された半導体層37をエッチングして、一導電型を付与する不純物元素が添加された一対の不純物半導体層59、61を形成する。なお、当該エッチング工程において、非晶質半導体層33の一部もエッチングされ、非晶質半導体層55になる。

## 【0140】

ここでは、ソース配線63、及びドレイン電極65の端部と、一導電型を付与する不純物元素が添加された一対の不純物半導体層59、61の端部は一致せずずれており、ソース配線63、ドレイン電極65の端部の外側に、一導電型を付与する不純物元素が添加された一対の不純物半導体層59、61の端部が形成される。この後、レジストマスク45を除去する。

## 【0141】

次に、露出している非晶質半導体層55にH<sub>2</sub>Oプラズマを照射してもよい。代表的には、気化した水をプラズマで放電して生成したラジカルを、非晶質半導体層55、一導電型を付与する不純物元素が添加された一対の不純物半導体層59、61、及びソース配線63、ドレイン電極65の露出部に照射することで、薄膜トランジスタの高速動作が可能であり、オン電流を更に高めることができる。また、オフ電流を低減することができる。

## 【0142】

以上の工程により、薄膜トランジスタを形成することができる。

10

20

30

40

50

**【 0 1 4 3 】**

次に、図 8 (B) に示すように、ソース配線 63、ドレイン電極 65、ゲート絶縁層 09 上に、保護絶縁層 67 を形成する。保護絶縁層 67 としては、窒化シリコン層、窒化酸化シリコン層、酸化シリコン層、または酸化窒化シリコン層を用いて形成することができる。なお、保護絶縁層 67 は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。

**【 0 1 4 4 】**

次に、保護絶縁層 67 上に平坦化層 69 を形成してもよい。平坦化層 69 としては、アクリル樹脂、ポリイミド、エポキシ樹脂、シロキサンポリマー等の有機絶縁層を用いて形成することができる。ここでは、感光性の有機樹脂を用いて平坦化層 69 を形成する。次に、平坦化層 69 を第 4 のフォトマスクを用いて感光した後、現像して、図 8 (C) に示すように、保護絶縁層 67 を露出する。次に、平坦化層 69 を用いて保護絶縁層 67 をエッチングして、ドレイン電極 65 の一部を露出するコンタクトホールを形成する。

10

**【 0 1 4 5 】**

次に、コンタクトホールに画素電極 71 を形成する。ここでは、平坦化層 69 上に導電層を形成した後、導電層上にレジストを塗布する。次に、第 5 のフォトマスクを用いたフォトリソグラフィ工程により形成したレジストマスクを用いて導電層をエッチングして、画素電極 71 を形成する。

**【 0 1 4 6 】**

画素電極 71 は、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンが添加されたインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

20

**【 0 1 4 7 】**

また、画素電極 71 として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が 1 0 0 0 0 / 以下、波長 5 5 0 nm における透光率が 7 0 % 以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が 0 . 1 · cm 以下であることが好ましい。

**【 0 1 4 8 】**

30

導電性高分子としては、いわゆる 電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの 2 種以上の共重合体などがあげられる。

**【 0 1 4 9 】**

ここでは、画素電極 71 としては、スパッタリング法により ITO 膜を成膜した後、ITO 膜上にレジストを塗布する。次に、第 6 のフォトマスクを用いてレジストを露光及び現像し、レジストマスクを形成する。次に、レジストマスクを用いて ITO 膜をエッチングして画素電極 71 を形成する。この後、レジストマスクを除去する。なお、図 8 (C) は、図 10 の A - B、及び C - D の断面図に相当する。図 10 に示す薄膜トランジスタは、ソース領域及びドレイン領域が対向するチャネル形成領域の上面形状が平行型であるが、この代わりにチャネル形成領域の上面形状が C 字 (U 字) 状の薄膜トランジスタを作製してもよい。

40

**【 0 1 5 0 】**

以上により、オフ電流が低く、オン電流が高く、高速動作が可能である薄膜トランジスタを作製することができる。また、当該薄膜トランジスタを画素電極のスイッチング素子として有する素子基板を作製することができる。なお、本実施の形態においては、通常の逆スタガ型の薄膜トランジスタの作製工程と比較して、導電層及びバッファ層を所定の形状にエッチングするためのフォトマスクが 1 枚増えるが、一対の非晶質半導体層、一導電型を付与する不純物元素が添加された一対の不純物半導体層、及び配線を所定の形状にエッチングするためのフォトマスクに多階調マスクを用いているため、当該プロセスでフォト

50

マスク数を1枚削減することが可能であるため、作製工程全体としてはマスク枚数が増加していない。

**【0151】**

(実施の形態8)

本実施の形態では、図1(B)に示すような、非晶質半導体層をチャネル形成領域に有する薄膜トランジスタと比較して高速動作が可能であり、オン電流が高く、且つ微結晶半導体層をチャネル形成領域に有する薄膜トランジスタと比較してオフ電流の低い薄膜トランジスタの作製工程について示す。

**【0152】**

なお、図11の左側は図12のA-Bの断面図であり、薄膜トランジスタが形成される領域の断面を示し、右側は図12のC-Dの断面図であり、画素においてゲート配線及びソース配線が交差する領域の断面を示す。

10

**【0153】**

実施の形態7に示す図7(A)の工程を経て、ゲート配線05を形成する。次に、ゲート配線05及び基板01上にゲート絶縁層09を形成する。

**【0154】**

次に、図7(B)の工程を経てゲート絶縁層09上に、導電層11、及びバッファ層13を順に積層する。次に、フォトリソグラフィ工程により形成したレジストマスクを用いて、導電層11、及びバッファ層13をエッチングして、図11(A)に示すように、導電層51、17、及びバッファ層19、21を形成する。

20

**【0155】**

次に、非晶質半導体層23及び一導電型を付与する不純物元素が添加された不純物半導体層25を形成する。

**【0156】**

次に、フォトリソグラフィ工程を用いて形成したレジストマスクを用いて、一導電型を付与する不純物元素が添加された不純物半導体層25、及び非晶質半導体層23を所望の形状にエッチングして、図11(B)に示すように、薄膜トランジスタを形成する領域において、非晶質半導体層81、及び一導電型を付与する不純物元素が添加された不純物半導体層83を形成する。また、ゲート配線及びソース配線が交差する領域において、非晶質半導体層82、及び一導電型を付与する不純物元素が添加された不純物半導体層84を形成する。この後、レジストマスクを除去する。なお、導電層51、17の側面が非晶質半導体層81、82に覆われる。

30

**【0157】**

次に、図11(C)に示すように導電層27を形成する。

**【0158】**

次に、フォトリソグラフィ工程を用いて形成したレジストマスクを用いて導電層27を所望の形状にエッチングして、図11(D)に示すように、ソース配線85及びドレイン電極87を形成する。

**【0159】**

ゲート配線05及びソース配線85の交差部においては、ゲート絶縁層09の他に、導電層17、バッファ層21、及び非晶質半導体層82が形成され、ゲート配線05及びソース配線85の間隔が広がる。このため、ゲート配線05及びソース配線85が交差する領域での寄生容量を低減できる。

40

**【0160】**

次に、レジストマスクを用いて一導電型を付与する不純物元素が添加された不純物半導体層83をエッチングして、一導電型を付与する不純物元素が添加された一対の不純物半導体層91、93を形成する。また、当該エッチング工程において、非晶質半導体層81もエッチングされる。一部エッチングされた、凹部が形成された非晶質半導体層を非晶質半導体層95と示す。ソース領域及びドレイン領域の形成工程と、非晶質半導体層95の凹部とを同一工程で形成することができる。この後、レジストマスクを除去する。

50

**【 0 1 6 1 】**

次に、露出している非晶質半導体層 9 5 に H<sub>2</sub>O プラズマを照射してもよい。代表的には、気化した水をプラズマで放電して生成したラジカルを、非晶質半導体層 9 5 、一導電型を付与する不純物元素が添加された一対の不純物半導体層 9 1 、 9 3 、及びソース配線 8 5 、ドレイン電極 8 7 の露出部に照射することで、薄膜トランジスタの高速動作が可能であり、オン電流を更に高めることができる。また、オフ電流を低減することができる。

**【 0 1 6 2 】**

以上の工程により、高速動作が可能であり、オン電流が高く、オフ電流の低い薄膜トランジスタを形成する。

**【 0 1 6 3 】**

次に、図 8 ( B ) 及び図 8 ( C ) に示す工程を経て、図 1 1 ( E ) に示すように、保護絶縁層 6 7 、平坦化層 6 9 、及びドレイン電極に接続する画素電極 7 1 を形成する。なお、図 1 1 ( E ) は、図 1 2 の A - B 、及び C - D の断面図に相当する。図 1 2 に示す薄膜トランジスタは、ソース領域及びドレイン領域が直線に対向する、チャネル形成領域の上面形状が直線型であるが、この代わりにチャネル形成領域の上面形状が C 字 ( U 字 ) 状の薄膜トランジスタを作製してもよい。

**【 0 1 6 4 】**

以上により、オフ電流が低く、オン電流が高く、高速動作が可能である薄膜トランジスタを作製することができる。また、当該薄膜トランジスタを画素電極のスイッチング素子として有する素子基板を作製することができる。

**【 0 1 6 5 】****( 実施の形態 9 )**

本実施の形態では、チャネル保護型の薄膜トランジスタについて、図 3 3 を用いて示す。

**【 0 1 6 6 】**

図 3 3 に示す薄膜トランジスタは、基板 0 1 上にゲート電極 0 5 が形成され、ゲート電極 0 5 上にゲート絶縁層 0 9 a 、 0 9 b が形成され、ゲート絶縁層 0 9 b 上に、導電層 5 1 が形成される。また、導電層 5 1 上にバッファ層 5 3 が形成され、ゲート絶縁層 0 9 b 及びバッファ層 5 3 上に非晶質半導体層 5 5 が形成される。非晶質半導体層 5 5 上であって、ゲート電極 0 5 及び導電層 5 1 の一方の端部に重畠する領域にチャネル保護層 7 3 が形成される。また、チャネル保護層 7 3 及び非晶質半導体層 5 5 上に、一導電型を付与する不純物元素が添加された一対の不純物半導体層 5 9 、 6 1 が形成され、一導電型を付与する不純物元素が添加された一対の不純物半導体層 5 9 、 6 1 上に配線 6 3 、 6 5 が形成される。

**【 0 1 6 7 】**

チャネル保護層 7 3 としては、ゲート絶縁層 0 9 a 、 0 9 b の材料や、平坦化層 6 9 に示す材料を適宜用いることができる。

**【 0 1 6 8 】**

なお、本実施の形態は、他の実施の形態と組み合わせ可能である。

**【 0 1 6 9 】****( 実施の形態 1 0 )**

本実施の形態では、図 1 3 に示す素子基板 3 0 0 の周辺部に設けられた走査線入力端子部と信号線入力端子部の構造について、図 1 4 を用いて以下に示す。図 1 4 に、基板 0 1 の周辺部に設けられた走査線入力端子部及び信号線入力端子部、並びに画素部の薄膜トランジスタの断面図を示す。

**【 0 1 7 0 】**

なお、画素部に設けられる画素において、画素電極の電位を制御する薄膜トランジスタが設けられるアクティブマトリクス型表示装置の場合、走査線はゲート電極に接続される。または、走査線の一部がゲート電極として機能する。このため、以下、走査線をゲート配線 0 5 とも示す。また、信号線は、薄膜トランジスタのソースに接続されることから、以下、信号線をソース配線 6 3 とも示す。しかしながら、信号線が薄膜トランジスタのドレ

10

20

30

40

50

インに接続される場合は、信号線をドレイン配線とすることができます。

**【0171】**

図13に示す素子基板300には画素部301が設けられ、画素部301と基板01周辺部の間に保護回路302、322、信号線323、走査線303が設けられる。また、図示しないが、保護回路302、322から画素部301へ信号線、走査線が形成される。信号線323、走査線303の端部には信号線入力端子部326、走査線入力端子部306が設けられる。信号線入力端子部326、走査線入力端子部306の端子にはそれぞれFPC324、304が接続され、FPC324、304には信号線駆動回路325、走査線駆動回路305が設けられる。また、画素部301には図示しないが、画素331がマトリクス状に配置されている。

10

**【0172】**

図14(A)においては、走査線入力端子306aは、薄膜トランジスタ330のゲート配線05に接続される。また、信号線入力端子326aはソース配線63に接続される。

**【0173】**

走査線入力端子306a、信号線入力端子326aはそれぞれ、画素部の薄膜トランジスタ330の画素電極71と同じ層で形成される。また、走査線入力端子306a、信号線入力端子326aは、ソース配線63上に形成される平坦化層69上に形成される。また、平坦化層69上において、走査線入力端子306a、信号線入力端子326aは、異方性導電接着剤307、327の導電性粒子308、328を介してFPC304、324の配線309、329に接続される。

20

**【0174】**

なお、ここでは、ゲート配線05と走査線入力端子306aが接続されるが、ゲート配線05と走査線入力端子306aの間に、ソース配線63と同じ層で形成される導電層を設けてもよい。

**【0175】**

図14(B)においては、走査線入力端子306bは、薄膜トランジスタ330のゲート配線05に接続される。また、信号線入力端子326bは、薄膜トランジスタ330のソース配線63に接続される。

**【0176】**

走査線入力端子306b、信号線入力端子326bは、それぞれ画素部の薄膜トランジスタ330の画素電極71と同じ層で形成される。また、走査線入力端子306b、信号線入力端子326bは、平坦化層69及び保護絶縁層67上に形成される。また、平坦化層69及び保護絶縁層67の開口部において、走査線入力端子306b、信号線入力端子326bは、異方性導電接着剤307、327の導電性粒子308、328を介してFPC304、324の配線309、329に接続される。

30

**【0177】**

ソース配線63に接続する信号線入力端子326bは、基板01及びソース配線63の間に、ゲート絶縁層09の他に、非晶質半導体層35、一導電型を付与する不純物元素が添加された不純物半導体層39が形成され、厚みが増す。このため、信号線入力端子326bとFPC324の配線328の接続が容易となる。

40

**【0178】**

(実施の形態11)

次に、本発明の一形態である表示パネルの構成について、以下に示す。

**【0179】**

図15(A)に、信号線駆動回路6013のみを別途形成し、基板6011上に形成された画素部6012と接続している表示パネルの形態を示す。画素部6012、保護回路6016、及び走査線駆動回路6014が形成された素子基板は、上記実施の形態に示す素子基板を用いて形成する。非晶質半導体層をチャネル形成領域に用いた薄膜トランジスタよりも高い電界効果移動度が得られる薄膜トランジスタで信号線駆動回路を形成することで、走査線駆動回路よりも高い駆動周波数が要求される信号線駆動回路の動作を安定させ

50

ることができる。なお、信号線駆動回路 6013 は、単結晶半導体をチャネル形成領域に用いたトランジスタ、多結晶半導体をチャネル形成領域に用いた薄膜トランジスタ、または S O I をチャネル形成領域に用いたトランジスタであっても良い。S O I を用いたトランジスタにおいては、ガラス基板上に設けられた単結晶半導体層をチャネル形成領域に用いたトランジスタを含む。画素部 6012 と、信号線駆動回路 6013 と、走査線駆動回路 6014 とに、それぞれ電源の電位、各種信号等が、F P C 6015 を介して供給される。信号線駆動回路 6013 及び F P C 6015 の間、または信号線駆動回路 6013 及び画素部 6012 の間に、上記実施の形態に示す薄膜トランジスタで形成された保護回路 6016 を設けてもよい。保護回路 6016 は、上記実施の形態で示す薄膜トランジスタで形成された保護回路の代わりに、薄膜トランジスタ、ダイオード、抵抗素子及び容量素子等から選択された 1 つまたは複数の素子によって構成される保護回路を設けてもよい。10

#### 【 0180 】

なお、信号線駆動回路及び走査線駆動回路を、共に画素部と同じ基板上に形成しても良い。。

#### 【 0181 】

また、駆動回路を別途形成する場合、必ずしも駆動回路が形成された基板を、画素部が形成された基板上に貼り合わせる必要はなく、例えば F P C 上に貼り合わせるようにしても良い。図 15 ( B ) に、信号線駆動回路 6023 のみを別途形成し、基板 6021 上に形成された画素部 6022 、保護回路 6026 、及び走査線駆動回路 6024 が形成された素子基板と F P C が接続している表示装置パネルの形態を示す。画素部 6022 、保護回路 6026 、及び走査線駆動回路 6024 は、上記実施の形態に示す薄膜トランジスタを用いて形成する。信号線駆動回路 6023 は、F P C 6025 、及び保護回路 6026 を介して、画素部 6022 と接続されている。画素部 6022 と、信号線駆動回路 6023 と、走査線駆動回路 6024 とに、それぞれ電源の電位、各種信号等が、F P C 6025 を介して供給される。F P C 6025 及び画素部 6022 の間に、上記実施の形態に示す薄膜トランジスタで形成された保護回路 6026 を設けてもよい。保護回路 6026 は、上記実施の形態で示す薄膜トランジスタで形成された保護回路の代わりに、薄膜トランジスタ、ダイオード、抵抗素子及び容量素子等から選択された 1 つまたは複数の素子によって構成される保護回路を設けてもよい。20

#### 【 0182 】

また、信号線駆動回路の一部または走査線駆動回路の一部のみを、上記実施の形態に示す薄膜トランジスタを用いて画素部と同じ基板上に形成し、残りを別途形成して画素部と電気的に接続するようにしても良い。図 15 ( C ) に、信号線駆動回路が有するアナログスイッチ 6033a を、画素部 6032 、走査線駆動回路 6034 と同じ基板 6031 上に形成し、信号線駆動回路が有するシフトレジスタ 6033b を別途異なる基板に形成して貼り合わせる表示装置パネルの形態を示す。画素部 6032 、保護回路 6036 、及び走査線駆動回路 6034 は、上記実施の形態に示す薄膜トランジスタを用いて形成する。信号線駆動回路が有するシフトレジスタ 6033b は、F P C 6035 及び保護回路 6036 を介して画素部 6032 と接続されている。画素部 6032 と、信号線駆動回路と、走査線駆動回路 6034 とに、それぞれ電源の電位、各種信号等が、F P C 6035 を介して供給される。シフトレジスタ 6033b 及びアナログスイッチ 6033a の間に、上記実施の形態に示す薄膜トランジスタで形成された保護回路 6036 を設けてもよい。保護回路 6036 は、上記実施の形態で示す薄膜トランジスタで形成された保護回路の代わりに、薄膜トランジスタ、ダイオード、抵抗素子及び容量素子等から選択された 1 つまたは複数の素子によって構成される保護回路を設けてもよい。40

#### 【 0183 】

図 15 に示すように、本実施の形態の表示装置は、駆動回路の一部または全部を、画素部と同じ基板上に、上記実施の形態に示す薄膜トランジスタを用いて形成することができる。。

#### 【 0184 】

50

なお、別途形成した基板の接続方法は、特に限定されるものではなく、公知の C O G 方法、ワイヤボンディング方法、或いは T A B 方法などを用いることができる。また接続する位置は、電気的な接続が可能であるならば、図 15 に示した位置に限定されない。また、コントローラ、C P U、メモリ等を別途形成し、接続するようにしても良い。

#### 【 0 1 8 5 】

なお、本実施の形態で用いる信号線駆動回路は、シフトレジスタとアナログスイッチを有する。または、シフトレジスタとアナログスイッチに加え、バッファ、レベルシフタ、ソースフォロワ等、他の回路を有していても良い。また、シフトレジスタとアナログスイッチは必ずしも設ける必要はなく、例えばシフトレジスタの代わりにデコーダ回路のような信号線の選択ができる別の回路を用いても良いし、アナログスイッチの代わりにラッチ等を用いても良い。

#### 【 0 1 8 6 】

##### ( 実施の形態 1 2 )

上記実施の形態により得られる素子基板、及びそれを用いた表示装置等によって、アクティブマトリクス型表示装置パネルに用いることができる。即ち、それらを表示部に組み込んだ電子機器全てに上記実施の形態を実施できる。

#### 【 0 1 8 7 】

その様な電子機器としては、ビデオカメラ及びデジタルカメラ等のカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、プロジェクタ、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図 16 に示す。

#### 【 0 1 8 8 】

図 16 ( A ) はテレビジョン装置である。表示パネルを、図 16 ( A ) に示すように、筐体に組みこんで、テレビジョン装置を完成させることができる。表示パネルにより主画面 2 0 0 3 が形成され、その他付属設備としてスピーカ部 2 0 0 9 、操作スイッチなどが備えられている。このように、テレビジョン装置を完成させることができる。

#### 【 0 1 8 9 】

図 16 ( A ) に示すように、筐体 2 0 0 1 に表示素子を利用した表示用パネル 2 0 0 2 が組みこまれ、受信機 2 0 0 5 により一般のテレビ放送の受信をはじめ、モデム 2 0 0 4 を介して有線または無線による通信ネットワークに接続することにより一方向（送信者から受信者）または双方向（送信者と受信者間、または受信者間同士）の情報通信をすることもできる。テレビジョン装置の操作は、筐体に組みこまれたスイッチまたは別体のリモコン操作機 2 0 0 6 により行うことが可能であり、このリモコン操作機 2 0 0 6 にも出力する情報を表示する表示部 2 0 0 7 が設けられていても良い。

#### 【 0 1 9 0 】

また、テレビジョン装置にも、主画面 2 0 0 3 の他にサブ画面 2 0 0 8 を第 2 の表示パネルで形成し、チャネルや音量などを表示する構成が付加されていても良い。この構成において、主画面 2 0 0 3 を液晶表示パネルで形成し、サブ画面を発光表示パネルで形成しても良い。また、主画面 2 0 0 3 を発光表示パネルで形成し、サブ画面 2 0 0 8 を発光表示パネルで形成し、サブ画面 2 0 0 8 は点滅可能とする構成としても良い。

#### 【 0 1 9 1 】

図 17 はテレビ装置の主要な構成を示すブロック図を示している。表示パネル 9 0 0 には、画素部 9 2 1 が形成されている。信号線駆動回路 9 2 2 と走査線駆動回路 9 2 3 は、表示パネル 9 0 0 に C O G 方式により実装されていても良い。

#### 【 0 1 9 2 】

その他の外部回路の構成として、映像信号の入力側では、チューナ 9 2 4 で受信した信号のうち、映像信号を増幅する映像信号增幅回路 9 2 5 と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路 9 2 6 と、その映像信号をドライバ I C の入力仕様に変換するためのコントロール回路 9 2 7 などを有している。コントロール回路 9 2 7 は、走査線側と信号線側にそれぞれ信号を出力する。デジタル駆動す

10

20

30

40

50

る場合には、信号線側に信号分割回路 928 を設け、入力デジタル信号を m 個に分割して供給する構成としても良い。

#### 【0193】

チューナ 924 で受信した信号のうち、音声信号は、音声信号增幅回路 929 に送られ、その出力は音声信号処理回路 930 を経てスピーカ 933 に供給される。制御回路 931 は受信局（受信周波数）や音量の制御情報を入力部 932 から受け、チューナ 924 や音声信号処理回路 930 に信号を送出する。

#### 【0194】

勿論、テレビジョン装置に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など大面積の表示媒体としても様々な用途に適用することができる。10

#### 【0195】

主画面 2003、サブ画面 2008 において、上記実施の形態で説明した素子基板、及びそれを有する表示装置を適用することで、コントラスト等の画像品質を向上させたテレビ装置の量産性を高めることができる。

#### 【0196】

図 16 (B) は携帯電話機 2301 の一例を示している。この携帯電話機 2301 は、表示部 2302、操作部 2303 などを含んで構成されている。表示部 2302 においては、上記実施の形態で説明した素子基板、及びそれを有する表示装置を適用することで、コントラスト等の画像品質を向上させた携帯電話の量産性を高めることができる。20

#### 【0197】

また、図 16 (C) に示す携帯型のコンピュータは、本体 2401、表示部 2402 等を含んでいる。表示部 2402 に、上記実施の形態に示す素子基板、及びそれを有する表示装置を適用することにより、コントラスト等の画像品質を向上させた携帯型のコンピュータの量産性を高めることができる。

#### 【0198】

図 16 (D) は卓上照明器具であり、照明部 2501、傘 2502、可変アーム 2503、支柱 2504、台 2505、電源 2506 を含む。発光装置を照明部 2501 に用いることにより作製される。なお、照明器具には天井固定型の照明器具または壁掛け型の照明器具なども含まれる。上記実施の形態に示す素子基板、及びそれを有する表示装置を適用することにより、量産性を高めることができ、安価な卓上照明器具を提供することができる。30

#### 【0199】

図 18 は上記実施の形態を適用したスマートフォン携帯電話機の構成の一例であり、図 18 (A) が正面図、図 18 (B) が背面図、図 18 (C) が展開図である。スマートフォン携帯電話機は、筐体 1111 及び 1112 二つの筐体で構成されている。スマートフォン携帯電話機は、携帯電話と携帯情報端末の双方の機能を備えており、コンピュータを内蔵し、音声通話以外にも様々なデータ処理が可能である。

#### 【0200】

筐体 1111 においては、表示部 1101、スピーカ 1102、マイクロフォン 1103、操作キー 1104、ポインティングディバイス 1105、表面カメラ用レンズ 1106、外部接続端子ジャック 1107、イヤホン端子 1108 等を備え、筐体 1112 においては、キーボード 1201、外部メモリスロット 1202、裏面カメラ 1203、ライト 1204 等を備えている。また、アンテナは筐体 1111 内部に内蔵されている。40

#### 【0201】

また、上記構成に加えて、非接触 IC チップ、小型記録装置等を内蔵していくてもよい。

#### 【0202】

重なり合った筐体 1111 と筐体 1112 (図 18 (A)) は、スライドし図 18 (C) のように展開する。表示部 1101 には、上記実施の形態に示される表示装置を組み込むことが可能であり、使用形態に応じて表示の方向が適宜変化する。表示部 1101 及び表50

面カメラ用レンズ 1106 を同一の面に備えているため、テレビ電話が可能である。また、表示部 1101 をファインダーとし裏面カメラ 1203 及びライト 1204 で静止画及び動画の撮影が可能である。

#### 【0203】

スピーカ 1102 及びマイクロフォン 1103 は音声通話に限らず、テレビ電話、録音、再生等の用途が可能である。操作キー 1104 では、電話の発着信、電子メール等の簡単な情報入力、画面のスクロール、カーソル移動等が可能である。

#### 【0204】

また、書類の作成、携帯情報端末としての使用等、取り扱う情報が多い場合は、キーボード 1201 を用いると便利である。更に、重なり合った筐体 1111 と筐体 1112 (図 18 (A)) は、スライドし図 18 (C) のように展開し、携帯情報端末として使用できる場合は、キーボード 1201、ポインティングディバイス 1105 を用い円滑な操作が可能である。外部接続端子ジャック 1107 は A C アダプタ及び U S B ケーブル等の各種ケーブルと接続可能であり、充電及びパソコンコンピュータ等とのデータ通信が可能である。また、外部メモリスロット 1202 に記録媒体を挿入しより大量のデータ保存及び移動に対応できる。

10

#### 【0205】

筐体 1112 の裏面 (図 18 (B)) には、裏面カメラ 1203 及びライト 1204 を備えており、表示部 1101 をファインダーとし静止画及び動画の撮影が可能である。

20

#### 【0206】

また、上記機能構成に加えて、赤外線通信機能、U S B ポート、テレビワンセグ受信機能、非接触 I C チップ、イヤホンジャック等を備えたものであってもよい。

#### 【0207】

上記実施の形態に示す表示装置を適用することにより、量産性を高めることができる。

#### 【実施例 1】

#### 【0208】

本実施例では、図 1 (C) に示す薄膜トランジスタを作製し、トランジスタ特性を測定した結果を示す。

#### 【0209】

はじめに、薄膜トランジスタの作製工程を示す。

30

#### 【0210】

図 7 (A) に示すように、基板 01 上に導電層 03 を形成した。ここでは、基板 01 としてガラス基板を用いた。また、導電層 03 として、モリブデンターゲットをアルゴンでスパッタリングして厚さ 150 nm のモリブデン層を形成した。

#### 【0211】

次に、導電層 03 上にレジストを塗布した後、フォトリソグラフィ工程によりレジストマスクを形成し、当該レジストマスクを用いて導電層 03 をウェットエッチングして、図 7 (B) に示すように、ゲート電極 05 を形成した。この後、レジストマスクを除去した。

#### 【0212】

次に、図 7 (B) に示すように、基板 01 及びゲート電極 05 上にゲート絶縁層 09 を形成し、ゲート絶縁層 09 上に導電層 11 を形成し、導電層 11 上にバッファ層 13 を形成した。

40

#### 【0213】

ここでは、ゲート絶縁層 09 としては、プラズマ C V D 法により厚さ 110 nm 窒化珪素層及び厚さ 110 nm の酸化窒化珪素層を形成した。導電層 11 としては、プラズマ C V D 法により厚さ 20 nm のリンを含む微結晶シリコン層を形成した。ここでは、10 ppm PH<sub>3</sub> (シラン希釈) と、水素の流量比を 1 : 150 として、リンを含む微結晶シリコン層を形成した。バッファ層 13 としては、プラズマ C V D 法により厚さ 50 nm のアモルファスシリコン層を形成した。

#### 【0214】

50

次に、バッファ層 13 上にレジストを塗布した後、フォトリソグラフィ工程によりレジストマスクを形成し、当該レジストマスクを用いて導電層 11 及びバッファ層 13 をドライエッティングして、導電層 51 及びバッファ層 19 を形成した。この後、レジストマスクを除去した。この後、ドライエッティングによりバッファ層 19 を 20 nm エッティングした後、塩素プラズマを照射してバッファ層 19 表面の不純物を除去した。

#### 【0215】

導電層 51 及びバッファ層 19 の表面の酸化層を、フッ酸を純水で 10 ~ 100 倍に希釈した溶液で除去した。

#### 【0216】

次に、図 11 (A) に示すように、ゲート絶縁層 09、バッファ層 19、及び導電層 51 上に、非晶質半導体層 23 及び一導電型を付与する不純物元素が添加された不純物半導体層 25 を形成した。10

#### 【0217】

ここでは、非晶質半導体層 23 として、プラズマ CVD 法により厚さ 80 nm のアモルファスシリコン層を形成した。また、一導電型を付与する不純物元素が添加された不純物半導体層 25 として、プラズマ CVD 法により厚さ 50 nm のリンが添加されたアモルファスシリコン層を形成した。

#### 【0218】

次に、フォトリソグラフィ工程によりレジストマスクを形成し、当該レジストマスクを用いてバッファ層 19、及び一導電型を付与する不純物元素が添加された不純物半導体層 25 をドライエッティングして、図 11 (B) に示すように、非晶質半導体層 81、及び一導電型を付与する不純物元素が添加された不純物半導体層 83 を形成した。この後、レジストマスクを除去した。20

#### 【0219】

次に、図 11 (C) に示すように、ゲート絶縁層 09、一導電型を付与する不純物元素が添加された不純物半導体層 83 上に導電層 27 を形成した。

#### 【0220】

ここでは、導電層 27 として、モリブデンターゲットをアルゴンでスパッタリングして厚さ 300 nm のモリブデン層を形成した。

#### 【0221】

次に、導電層 27 上にレジストを塗布した後、フォトリソグラフィ工程によりレジストマスクを形成し、当該レジストマスクを用いて導電層 27 をウエットエッティングして、図 11 (D) に示すように、ソース配線 85 及びドレイン電極 87 を形成した。また、一導電型を付与する不純物元素が添加された不純物半導体層 83 をドライエッティングして、一導電型を付与する不純物元素が添加された一対の不純物半導体層 91、93 を形成した。この際、非晶質半導体層 81 の表面も一部エッティングされ、非晶質半導体層 95 となった。この後、レジストマスクを除去した。30

#### 【0222】

ここで、試料 1 としては、実施の形態 1 及び図 11 (D) に示すような、ソース配線 85 の一端部が導電層 51 と 2 μm 重畳し、ドレイン電極 87 の一端部が導電層 51 から 2 μm 離れるように、導電層 27 をエッティングした。また、試料 2 としては、ソース配線 85 の一端部と導電層 51 の一端部が一致し、ドレイン電極 87 の一端部が導電層 51 の一端部と一致するように、導電層 27 をエッティングした。40

#### 【0223】

次に、非晶質半導体層 95 表面に塩素プラズマを照射し、非晶質半導体層 95 に残留する不純物を除去した。

#### 【0224】

次に、図 11 (E) に示すように、保護絶縁層 67 を形成した。ここでは、保護絶縁層 67 として、プラズマ CVD 法により厚さ 300 nm の窒化珪素層を形成した。

#### 【0225】

次に、保護絶縁層 6 7 上にレジストを塗布した後、フォトリソグラフィ工程により形成したレジストマスクを用いて保護絶縁層 6 7 の一部をドライエッティングして、ドレイン電極 8 7 を露出した。また、保護絶縁層 6 7 及びゲート絶縁層 0 9 の一部をドライエッティングして、ゲート電極 0 5 を露出した。

**【 0 2 2 6 】**

次に、保護絶縁層 6 7 上に導電層を形成した。ここでは、スパッタリング法により導電層として厚さ 5 0 nm の I T O を形成した。なお、当該 I T O は形成しなくともよい。

**【 0 2 2 7 】**

こののち、試料 1 及び試料 2 の薄膜トランジスタの電気特性を測定した。試料 1 の電流電圧特性を図 1 9 ( A ) に示し、試料 2 の電流電圧特性を図 1 9 ( B ) に示した。なお、試料 1 及び試料 2 の薄膜トランジスタのチャネル長を 1 0 μ m 、チャネル幅を 2 0 μ m とした。また、ドレイン電圧が 1 V 及び 1 0 V の電流電圧特性を実線で示し、ドレイン電圧が 1 V のときの電界効果移動度を破線で示した。10

**【 0 2 2 8 】**

試料 1 の電界効果移動度は  $1.37 \text{ cm}^2 / \text{V s}$  であり、試料 2 の電界効果移動度は  $1.14 \text{ cm}^2 / \text{V s}$  であった。このことから、実施の形態 1 に示す構成により、薄膜トランジスタの電界効果移動度が上昇していることがわかる。また、図 1 9 ( A ) 及び図 1 9 ( B ) から、試料 1 のオン電流が上昇し、オフ電流が低下していることがわかる。また、試料 2 はしきい値が大幅にマイナス側にシフトしているが、試料 1 はしきい値が若干プラスシフトしているのみである。20

**【 0 2 2 9 】**

以上のことから、本実施例の構成により薄膜トランジスタのオン電流及び電界効果移動度を上昇させると共に、オフ電流を低減することが可能である。

**【 実施例 2 】**

**【 0 2 3 0 】**

本実施例では、上記実施の形態に示す薄膜トランジスタの電流経路におけるバンド図、及び電流電圧特性をシミュレーションした結果を示す。なお、デバイスシミュレーションには、 S i l v a c o 社製デバイスシミュレータ " A T L A S " を用いている。

**【 0 2 3 1 】**

図 2 0 に、デバイスシミュレーションに用いた薄膜トランジスタの構造を示す。30

**【 0 2 3 2 】**

絶縁基板上に、ゲート電極として、厚さ 1 5 0 nm のモリブデン M o を形成している。モリブデン M o の仕事関数は 4 . 6 e V としている。

**【 0 2 3 3 】**

ゲート電極の上に、ゲート絶縁層として、窒化珪素 S i N ( 誘電率 7 . 0 、厚さ 1 1 0 nm ) と酸化窒化珪素 S i O N ( 誘電率 4 . 1 、厚さ 1 1 0 nm ) を積層している。

**【 0 2 3 4 】**

ゲート絶縁層の上に、導電層として、リンが添加された微結晶シリコン層 μ c - S i ( n ) ( 厚さ 1 0 nm 、ドナー濃度  $1 \times 1 0^{18} \text{ atoms/cm}^3$  、活性化率 1 0 0 % ) 、バッファ層としてアモルファスシリコン層 a - S i ( i 1 ) ( 厚さ 3 0 nm ) を積層している。40

**【 0 2 3 5 】**

また、バッファ層及びゲート絶縁層上に、非晶質半導体層として、アモルファスシリコン層 a - S i ( i 2 ) ( 厚さ 8 0 nm ) を積層している。非晶質半導体層は、チャネルエッチ層として機能するため、凹部状であり、凹部における厚さは 4 0 nm となる。

**【 0 2 3 6 】**

非晶質半導体層に、一導電型を付与する不純物元素が添加された一対の不純物半導体層として、リンが添加されたアモルファスシリコン層 a - S i ( n + ) ( 厚さ 5 0 nm ) を積層している。図 2 0 において、リンが添加されたアモルファスシリコン層 a - S i ( n + ) の距離が、薄膜トランジスタのチャネル長 L に相当する。ここでは、チャネル長 L = 150

$0 \mu m$ としている。また、リンが添加された微結晶シリコン層 $\mu c - Si(n)$ とリンが添加されたアモルファスシリコン層 $a - Si(n^+)$ の一方の距離をD-Nで示す。ここでは、距離D-Nを $2 \mu m$ としている。また、リンが添加されたアモルファスシリコン層 $a - Si(n^+)$ のドナー濃度は $1 \times 10^{19} \text{ atoms/cm}^3$ としており、高い導電性を有する。

#### 【0237】

一導電型を付与する不純物元素が添加された一对の不純物半導体層上に、ソース電極及びドレイン電極として、モリブデンMo(厚さ $300 nm$ )を積層している。モリブデンMoとリンが添加されたアモルファスシリコン層 $a - Si(n^+)$ との間は、オーミック接觸を仮定している。

10

#### 【0238】

図21に、図20に示す薄膜トランジスタのデバイスシミュレーションを行った際の、電流電圧特性の結果を以下に示す。破線はドレイン電圧が $1 V$ のときのドレイン電流、実線はドレイン電圧が $10 V$ のときのドレイン電流を示す。ゲート電圧( $V_G$ )がしきい値電圧(ここでは、 $0.6 V$ )のときに、電流電圧特性の凹凸が反転する。つまり、 $V_G < V_{th}$ ではグラフは下に凸、 $V_G > V_{th}$ では上に凸となる。また、ゲート電圧によってオンオフの挙動を示す。

#### 【0239】

次に、ドレイン電圧を $1 V$ に固定して、図20のA-B-C-Dにおける層のバンド図のデバイスシミュレーションを行った結果、及び障壁のゲート電圧依存性について以下に示す。

20

#### 【0240】

図22は $V_D = V_G = 0 V$ におけるバンド図のデバイスシミュレーション結果を示す。 $V_G$ が $0 V$ では、 $\mu c - Si(n)$ と $a - Si(i_2)$ の境界部分において、電子の移動を妨げる障壁が形成される。

#### 【0241】

図23は、 $V_D = 1 V$ 、 $V_G = 0 V$ におけるバンド図のデバイスシミュレーション結果を示し、図24は、 $V_D = 1 V$ 、 $V_G = V_{th}$ (しきい値電圧が $0.6 V$ )におけるバンド図のデバイスシミュレーション結果を示す。 $V_G$ が $0 V$ 及びしきい値電圧においても障壁は存在する。なお、 $V_G$ がしきい値電圧に等しい場合は、 $V_G$ が $0 V$ における障壁よりも低くなっている。

30

#### 【0242】

図25は、 $V_D = 1 V$ 、 $V_G > V_{th}$ (ゲート電圧が $2 V$ )におけるバンド図のデバイスシミュレーション結果を示す。 $V_G$ がしきい値電圧より大きくなると、更に障壁は低くなり、電子が通過できるようになる。この結果から、本実施例で示す薄膜トランジスタは、図21に示すような電流電圧特性を得ることができる。

#### 【実施例3】

#### 【0243】

本実施例では、上記実施の形態に示す薄膜トランジスタの電流電圧特性をシミュレーションした結果を示す。なお、デバイスシミュレーションには、Silvaco社製デバイスシミュレータ"ATLAS"を用いている。また、薄膜トランジスタの構造は実施例2に示す薄膜トランジスタと同様の構造である。

40

#### 【0244】

図26は、図20に示すD-Nの距離をdとしたとき、dを $2 \mu m$ とし、ドレイン電圧 $V_d = 1 V$ としたときの薄膜トランジスタの電流電圧曲線を示す。図27は、dを $2 \mu m$ とし、ドレイン電圧 $V_d = 10 V$ としたときの薄膜トランジスタの電流電圧曲線を示す。

#### 【0245】

図28は、ドレイン電圧 $V_d$ が $1 V$ のときのドナー濃度に対するオフ電流について、距離dによる変化を示す。図29は、ドレイン電圧 $V_d$ が $10 V$ のときのドナー濃度に対するオフ電流について、距離dによる変化を示す。

50

## 【0246】

図30は、ドレイン電圧 $V_d$ が1Vのときのドナー濃度に対する移動度について、距離 $d$ による変化を示す。図31は、距離 $d$ を2μmとし、ドレイン電圧 $V_d$ が10Vのときのドナー濃度に対する移動度について、距離 $d$ による変化を示す。

## 【0247】

図28乃至図30に示すグラフより、表示装置において使用可能な薄膜トランジスタの条件として、オフ電流が $V_d = 10V$ で $1 \times 10^{-9} A$ 以下かつ $V_d = 1V$ で $1 \times 10^{-1} A$ 以下を満たす条件がある。この条件を満たすドナーの濃度は、 $d$ が0.5μm以上4μm以下において、 $1 \times 10^{15} \text{ atoms/cm}^3$ 以上 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下である。  
10

## 【0248】

また、電界効果移動度が $V_d = 1V$ で $1.0 \text{ cm}^2/\text{V}\cdot\text{sec}$ 以上であるのは、距離 $d$ が2μmにおいて $1 \times 10^{18} \text{ atoms/cm}^3$ 以上 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下である。

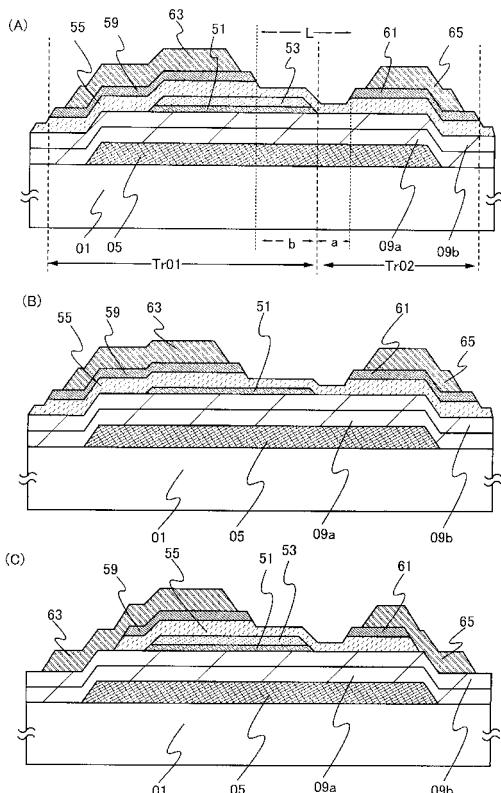
## 【0249】

以上のことから、距離 $d$ が0.5μm以上4μm以下の場合、ドナー濃度が $1 \times 10^{18} \text{ atoms/cm}^3$ 以上 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以上 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下であることが好ましいことがわかる。

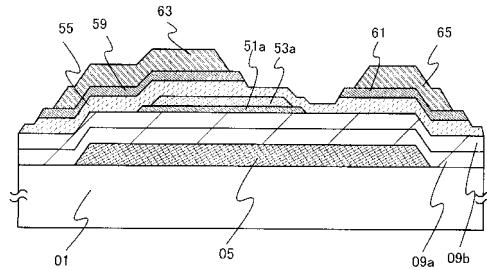
## 【0250】

なお、ドナー濃度が $1 \times 10^{18} \text{ atoms/cm}^3$ 以上 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下の場合、ドナーの活性化率が100%のときの電気伝導率は $0.1 S/cm$ 以上 $1.8 S/cm$ 以下である。また、活性化率が5~100%においてこの電気伝導率を満たすドナーとなる不純物元素の濃度は $1 \times 10^{18} \text{ atoms/cm}^3$ 以上 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下である。  
20

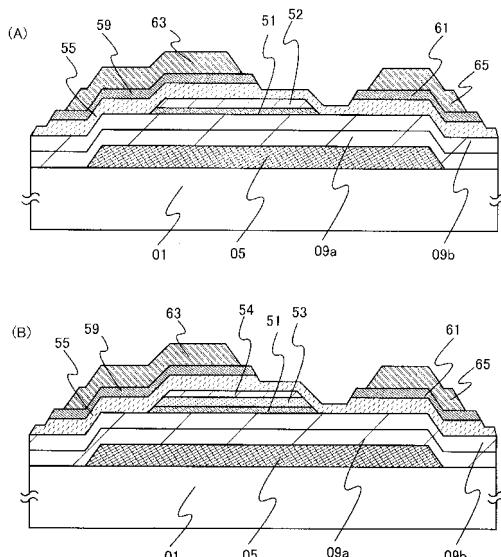
## 【図1】



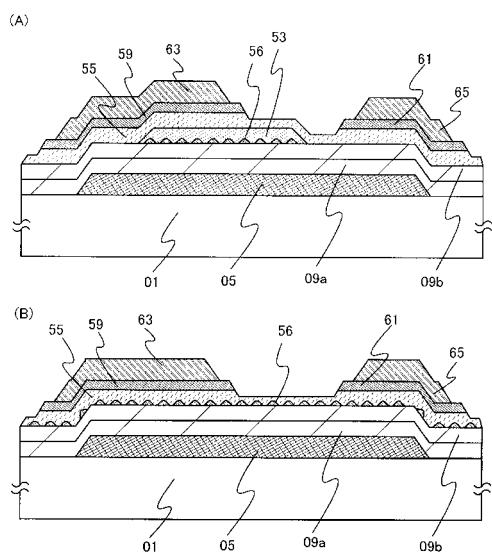
## 【図2】



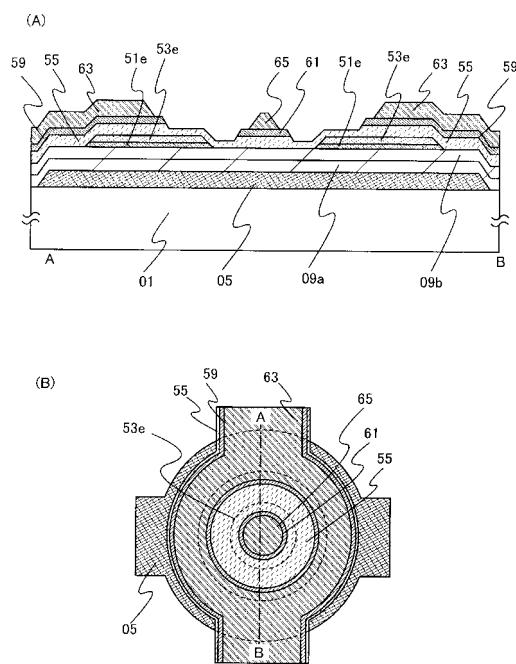
## 【図3】



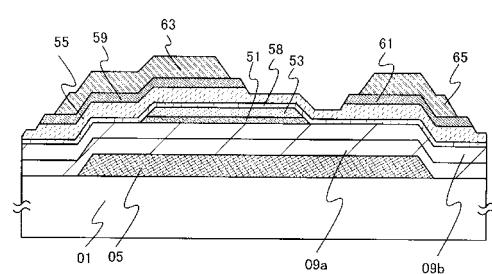
【図4】



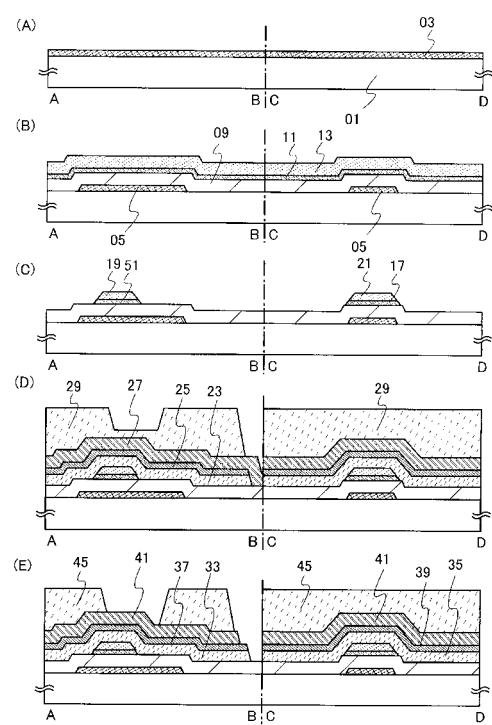
【図6】



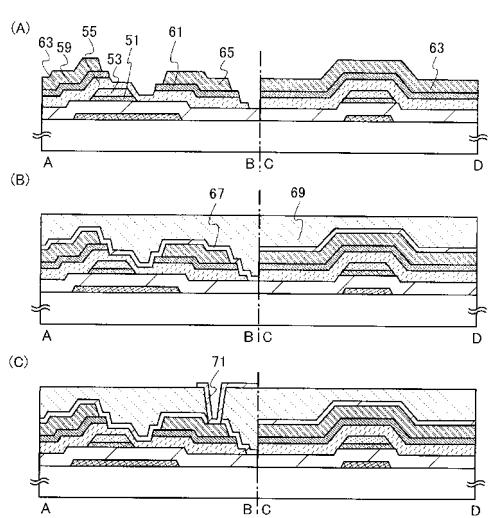
【図5】



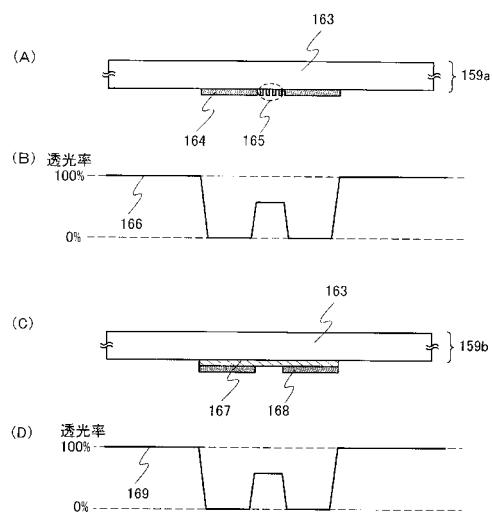
【図7】



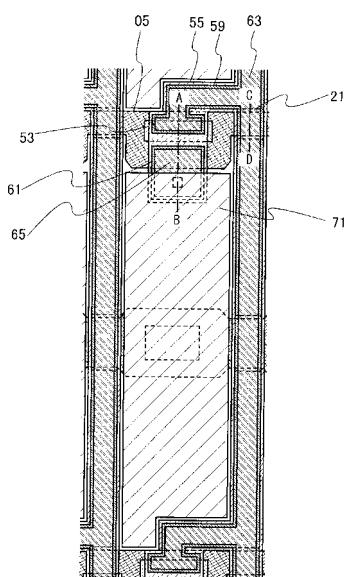
【図8】



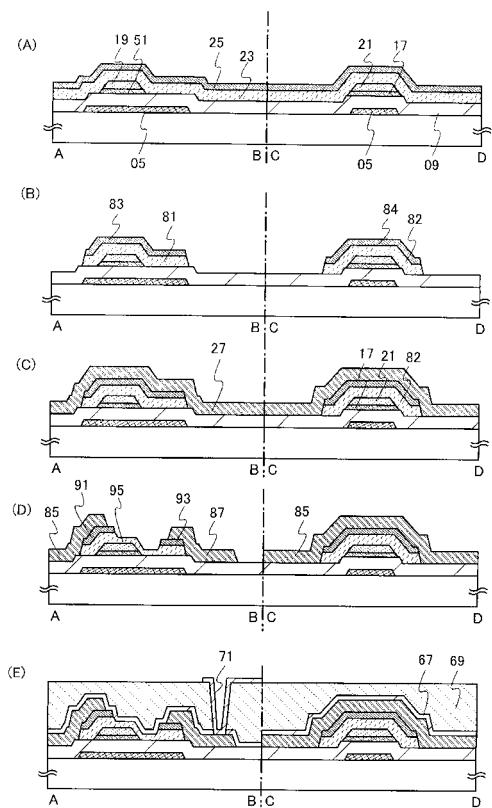
【図9】



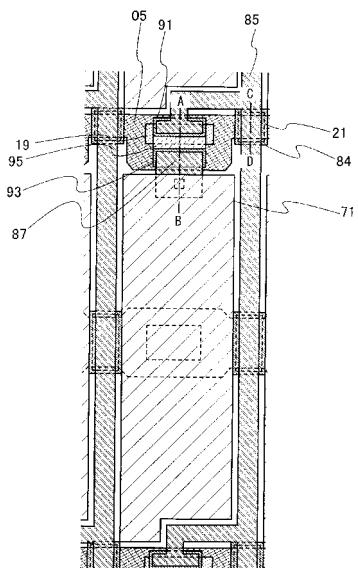
【図10】



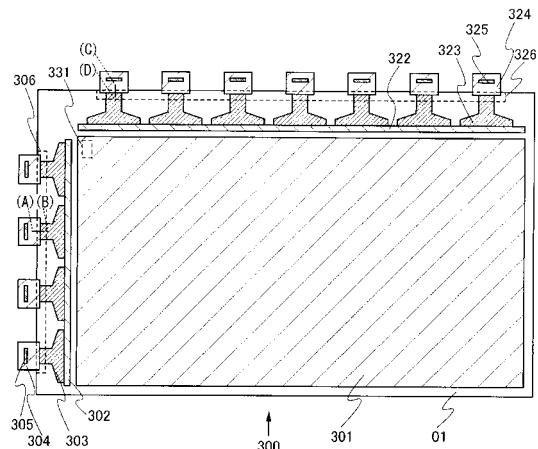
【図11】



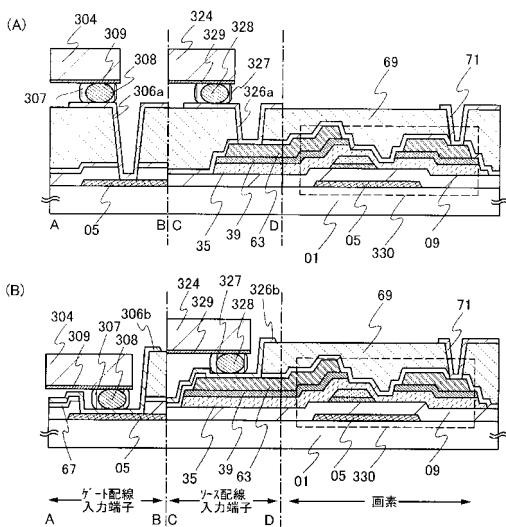
【図12】



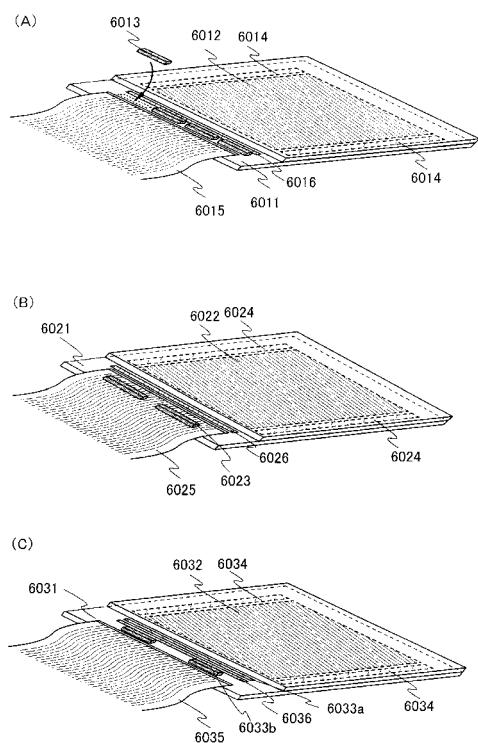
【図13】



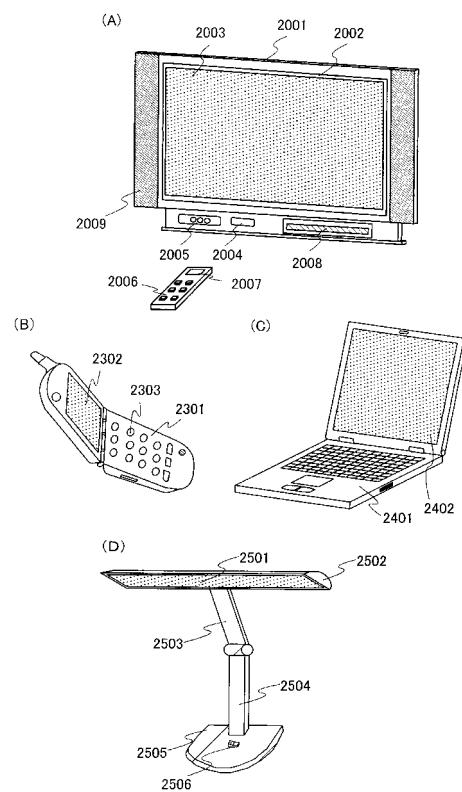
【図14】



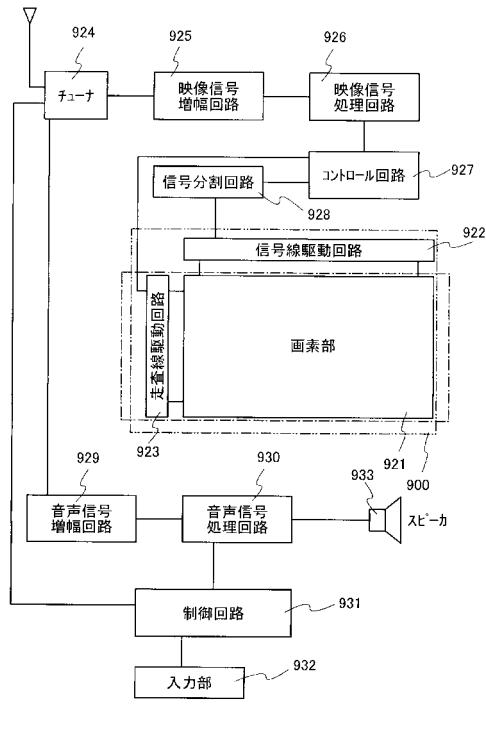
【図15】



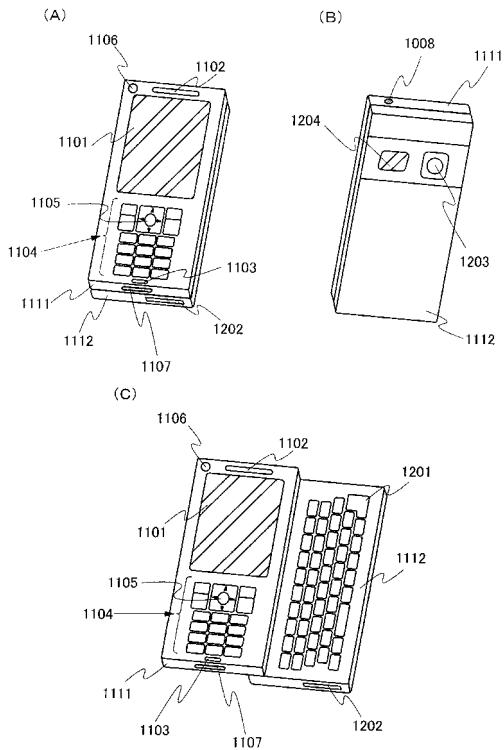
【図16】



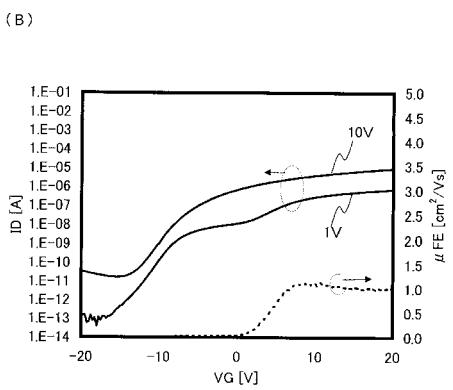
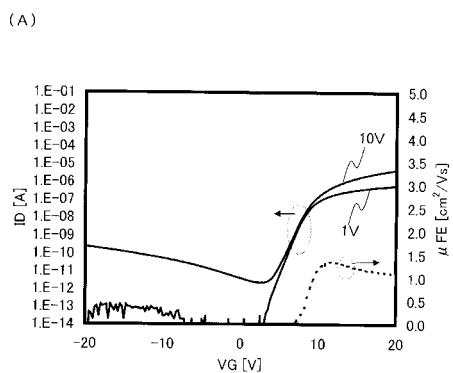
【図17】



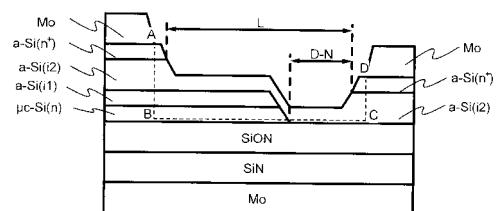
【図18】



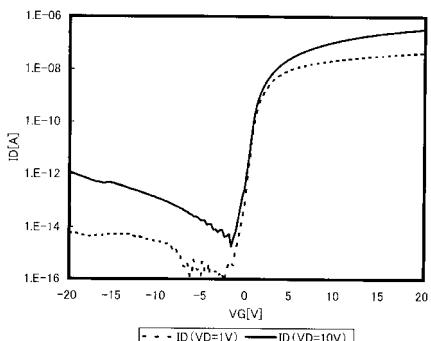
【図19】



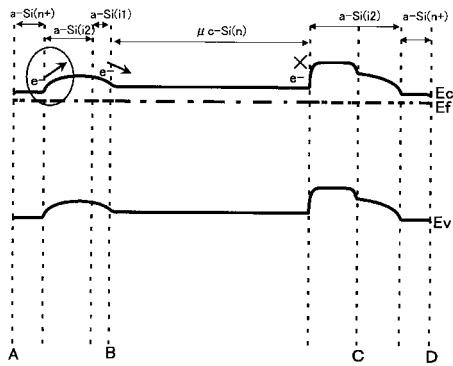
【図20】



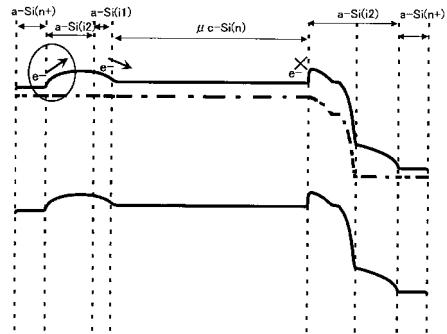
【図21】



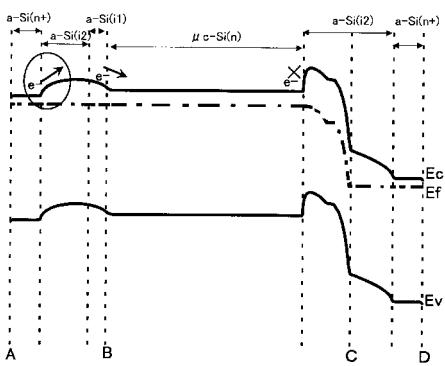
【図22】



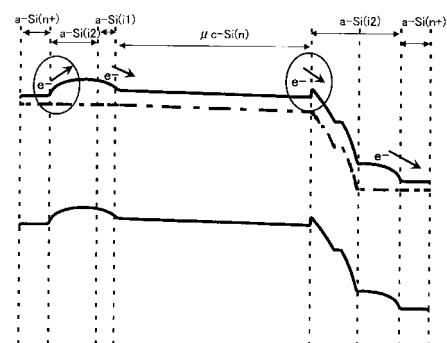
【図24】



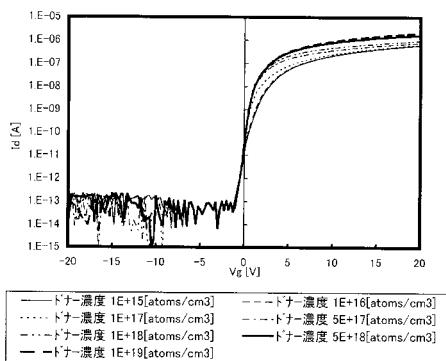
【図23】



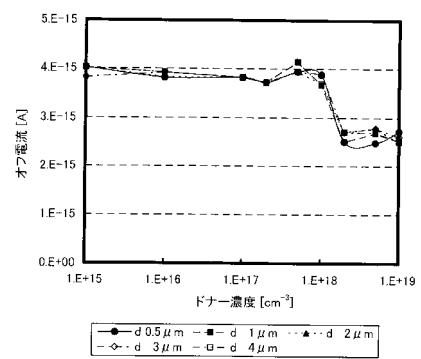
【図25】



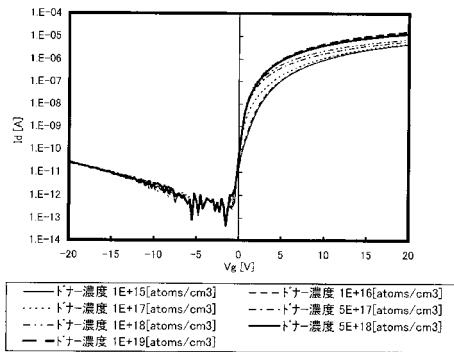
【図26】



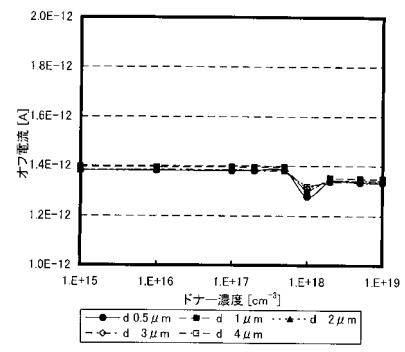
【図28】



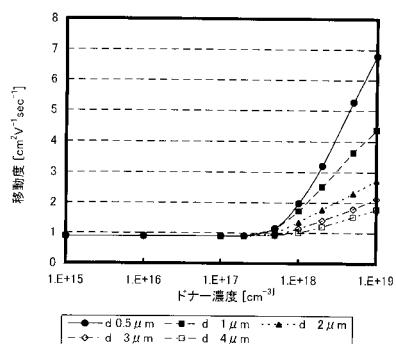
【図27】



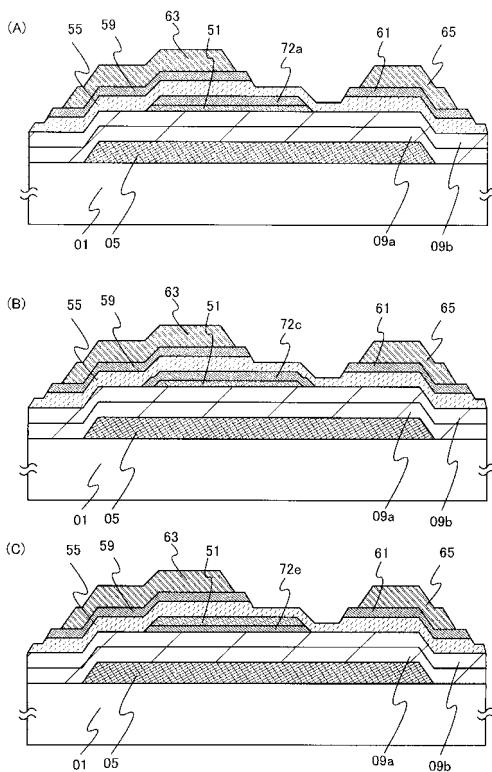
【図29】



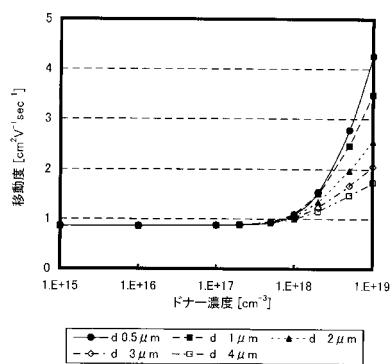
【図30】



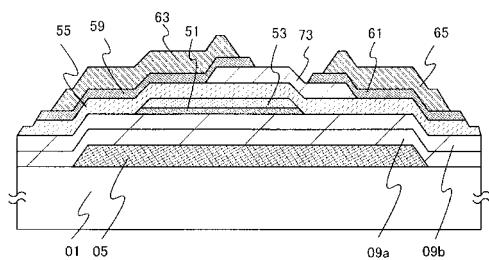
【図32】



【図31】



【図33】



---

フロントページの続き

(72)発明者 郷戸 宏充  
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72)発明者 河江 大輔  
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72)発明者 井上 卓之  
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72)発明者 小林 聰  
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

審査官 鈴木 聰一郎

(56)参考文献 特開平02-218166 (JP, A)  
特開2005-167051 (JP, A)  
特開平03-278466 (JP, A)  
特開平05-190857 (JP, A)  
実開平02-056462 (JP, U)  
特開平02-101434 (JP, A)  
特開平03-217027 (JP, A)  
特開昭63-258072 (JP, A)  
国際公開第2008/018478 (WO, A1)  
特開平02-047633 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336  
H01L 29/786