

(19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl.⁷
H01L 41/22

(45) 공고일자 2005년03월17일
(11) 등록번호 10-0476495
(24) 등록일자 2005년03월04일

(21) 출원번호	10-2001-7015258	(65) 공개번호	10-2002-0040668
(22) 출원일자	2001년11월28일	(43) 공개일자	2002년05월30일
번역문 제출일자	2001년11월28일		
(86) 국제출원번호	PCT/JP2001/002632	(87) 국제공개번호	WO 2001/83846
국제출원일자	2001년03월29일	국제공개일자	2001년11월08일

(81) 지정국

국내특허 : 중국, 대한민국,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 리히텐슈타인, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴, 핀란드, 사이프러스,

(30) 우선권주장 JP-P-2000-00091604 2000년03월29일 일본(JP)

(73) 특허권자 세이코 엡슨 가부시기가이샤
일본 도쿄도 신주쿠구 니시신주쿠 2초메 4-1

(72) 발명자 나토리에이지
일본국나가노켄392-8502스와시오와3초메3-5세이코엡슨가부시기가이샤내

(74) 대리인 정상구
이병호
신현문
이범래

심사관 : 김동엽

(54) 세라믹의 제조 방법 및 그 제조 장치와, 반도체 장치 및 압전 소자

명세서

기술분야

본 발명은 산화 막, 질화 막 및 강유전체 막 등의 세라믹의 제조 방법 및 그 제조 장치와, 강유전체 막을 사용한 반도체 장치 및 압전 소자에 관한 것이다.

배경기술

강유전체의 성막법에는 용액 도포법, 스퍼터법, 레이저 마모(laser abrasion)법, MOCVD(Metal Organic Chemical Vapor Deposition)법, LSMCD(Liquid Source Misted Deposition)법 등이 있다. 그리고, 고집적화를 필요로 하는 반도체 장치의 분야에서는 MOCVD법 및 LSMCD법이 주목되고 있다. 특히, 강유전체 메모리 장치의 커패시터를 구성하는 강유전체 막의 형성에서는 LSMCD법이 주목되고 있다. 이것은 LSMCD법은 MOCVD법과 비교하여, 막의 조성 제어를 하기 쉽고, 웨이퍼간 및 로드간의 불균일함이 작고, 또한 안정되어 있는 것에 기인한다.

그러나, LSMCD법으로 강유전체 커패시터를 갖는 반도체 장치를 형성하는 경우에는 원료종의 미스트(미립자)의 직경이 통상 0.1 내지 0.3 μ m의 분포를 갖기 때문에, 반도체 장치의 0.5 μ m 이하의 디자인 룰(design rule)에는 적용할

수 없다. 그리고, 원료종의 미스트 직경을 반도체 장치의 디자인 룰에 적용할 수 있도록 미세화하면, 성막 속도가 대폭 저하되고, 하부 또는 사이드의 커버리지(coverage)가 좋지 않다.

또한, 강유전체 재료인 PZT($\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$)나 SBT($\text{SrBi}_2\text{Ta}_2\text{O}_9$) 등을 형성하는 경우에는 높은 프로세스 온도를 필요로 한다. 예를 들면, 통상, PZT의 성막에 있어서는 600 내지 700°C, SBT의 성막에 있어서는 650 내지 800°C의 온도를 필요로 한다. 이들 강유전체의 특성은 그 결정성에 의존하여, 결정성이 높을수록 일반적으로 뛰어난 특성을 갖는다.

강유전체 막을 포함하는 커패시터(강유전체 커패시터)를 구비한 반도체 장치, 예를 들면 강유전체 메모리 장치에 있어서는 강유전체의 결정성이 각 특성, 예를 들면 잔류 분극 특성, 항전계(抗電界) 특성, 피로(fatigue) 특성 및 임프린트(imprint) 특성 등에 현저하게 영향을 준다. 그리고, 강유전체는 다원계이며 또한 복잡한 구조의 페로브스카이트(perovskite) 결정 구조를 갖기 때문에, 결정성이 좋은 강유전체를 얻기 위해서는 결정화시에 원자가 높은 마이그레이션 에너지를 갖는 것이 필요하다. 그 때문에, 강유전체의 결정화에는 높은 프로세스 온도를 필요로 한다.

그러나, 강유전체 막의 프로세스 온도가 높으면, 강유전체 메모리 장치에 테미지를 주기 쉽다. 즉, 강유전체는 결정화를 위해서 산소 분위기에서의 고온 처리가 필요하게 된다. 그 고온 처리시에, 폴리실리콘이나 전극 재료가 산화하여 절연층이 형성되면, 이 절연층에 의해서 강유전체 커패시터의 특성이 열화된다. 또한, PZT 또는 SBT의 구성 원소인 Pb, Bi는 확산되기 쉽고, 이들 원소가 반도체 디바이스층으로 확산됨으로써, 그 열화를 초래한다. 이들의 열화는 강유전체 막의 프로세스 온도가 높을수록 현저하며, 또한 고집적화된 반도체 장치(예를 들면 1M비트(bit) 이상의 집적도의 반도체 장치)일수록 현저해진다.

그 때문에, 현상에서는 강유전체 커패시터는 강유전체 막의 프로세스 온도가 높아도 비교적 영향이 적은 집적도(예를 들면 1 내지 256k비트)의 반도체 장치에 적용하고 있다. 그러나, 현재, DRAM, 플래시메모리 등에서는 이미 16M비트 내지 G비트의 집적도가 요구되고, 그 때문에, 강유전체 메모리 장치의 적용 분야가 한정되고 있다. 한편, 강유전체의 프로세스 온도를 낮게 하여, 상술한 바와 같은 고온의 산소 분위기에 의한 디바이스의 열화를 방지하면, 강유전체 막의 결정성이 저하된다. 그 결과, 강유전체 커패시터의 잔류 분극 특성이 저하되고, 피로 특성, 임프린트 특성 및 리텐션(retention) 특성 등도 저하된다.

발명의 상세한 설명

본 발명의 목적은 프로세스 온도를 저하시키면서, 결정성 등의 특성이 높은 세라믹을 얻을 수 있는 제조 방법, 및 세라믹의 제조 장치를 제공하는 것에 있다.

본 발명의 다른 목적은 본 발명의 방법으로 얻어진 세라믹을 사용한 반도체 장치 및 압전 소자를 제공하는 것에 있다.

(A) 제조 방법

본 발명에 따른 제조 방법은 적어도 세라믹의 원 재료의 일부가 되는 원료종(原料種)의 미립자와 활성종(活性種)을 혼합한 후에 기판에 공급하여, 해당 기판상에 세라믹 막을 형성하는 공정을 포함한다.

이 제조 방법에 의하면, 높은 운동 에너지를 가진 활성종과 원료종의 미립자를 기판에 접촉시키기 전에 혼합함으로써, 원료종의 미립자에 운동 에너지를 준 상태에서, 이것을 기판에 퇴적시킬 수 있다. 그 때문에, 상기 원료종의 미립자가 바람직하게는 0.1 μm 이하, 보다 바람직하게는 0.01 μm 이하의 작은 직경을 갖는 경우라도, 성막 속도를 제어할 수 있고, 저부(bottom) 또는 사이드의 커버리지(coverage)가 양호한 세라믹 막을 형성할 수 있다.

또한, 상기 활성종에 따라서 상기 미립자에 에너지를 부여함으로써, 막의 원자의 마이그레이션 에너지를 높일 수 있다. 그 결과, 활성종을 공급하지 않는 경우와 비교하여, 저온의 프로세스 온도로, 예를 들면 결정성 등의 막 질(膜質)이 뛰어난 세라믹을 형성할 수 있다.

또한, 본 발명의 제조 방법으로 얻어지는 막은 미세하며 또한 균일한 분포의 공핍(depletion)을 갖기 때문에, 원자가 마이그레이션하기 쉽다. 그 때문에, 결정화에 필요한 에너지를 적게 할 수 있고, 이 점으로부터도 프로세스 온도의 저하를 달성할 수 있다.

이상으로부터, 본 발명의 제조 방법을 강유전체의 형성에 적용한 경우에는 500°C 이하의 프로세스 온도에서, 결정성이 높은 강유전체를 얻을 수 있다. 예를 들면, SBT의 경우에는 바람직하게는 600°C 이하, 보다 바람직하게는 450°C 이하의 온도에서, PZT의 경우에는 바람직하게는 500°C 이하, 보다 바람직하게는 450°C 이하의 온도에서, BST(Ba, Sr) TiO_3 의 경우에는 바람직하게는 500°C 이하, 보다 바람직하게는 450°C 이하의 온도에서 결정화가 가능하다.

본 발명에 따른 제조 방법은 또한 이하의 각종 예를 취할 수 있다.

(1) 상기 미립자는 직경(예를 들면, 직경의 분포의 피크에 대응하는 직경)이 바람직하게는 0.1 μm 이하, 보다 바람직하게는 0.01 μm 이하이다. 미립자의 직경을 이 레벨의 사이즈로 함으로써, 본 발명의 제조 방법을 미세한 패턴을 필요로 하는, 예를 들면 반도체 장치의 제조에 적용할 수 있다.

(2) 상기 미립자는 전하가 대전(charge)되어 있는 것이 바람직하다. 예를 들면, 미립자를 상기 (1) 레벨의 사이즈로 함으로써, 미립자는 방전(글로(glow) 방전, 아크 방전)이나 공급관을 유동하는 과정에서 마찰에 의해서 전하가 대전된다.

이와 같이 원료종의 미립자에 전하가 대전됨으로써, 활성종으로서 미립자의 극성과 다른 이온을 사용하면 양자(兩者)는 결합한다. 그 결과, 원료종은 활성종의 운동 에너지에 의해서 확실하게 기판에 공급된다.

(3) 상기 원료종의 미립자는 상기 활성종을 혼합하기 전에 가스화될 수 있다. 이 경우에도 성막이 가능하다.

(4) 상기 활성종은 라디칼 또는 이온이다. 활성종으로서 이온을 사용하는 경우에는 상기 기판측을 예를 들면 접지(earth connection)함으로써, 활성종의 운동 에너지를 증가시킬 수 있다.

상기 활성종은 상기 세라믹의 원 재료의 일부가 되는 원료종의 라디칼 또는 이온, 불활성 가스를 활성화시켜 얻어지는 이온, 또는 양자의 혼합이더라도 좋다. 상기 활성종으로서 상기 세라믹의 원료종으로서 사용하는 경우에는 산소 또는 질소의 라디칼 또는 이온이다. 상기 활성종으로서 상기 세라믹의 원료종으로서 사용하지 않는 경우에는 아르곤 또는 크세논 등 불활성 가스의 이온이다.

라디칼 또는 이온의 발생 방법으로서 공지 방법, 예를 들면, RF(고주파), 마이크로파, ECR(전자 사이클로트론 공명) 등을 사용한 활성종 생성 방법을 예시할 수 있다. 또한, 활성종은 라디칼, 이온 외에 오존이어도 좋다. 오존은 오존나이저(ozonizer)로 생성할 수 있다.

(5) 적어도 상기 활성종은 가속된 상태로 상기 기판에 공급되는 것이 바람직하다. 이와 같이 활성종을 가속함으로써, 결과적으로 원료종의 운동 에너지를 제어할 수 있고, 성막 속도의 제어, 막의 커버리지성의 개선, 및 프로세스 온도의 저하를 또한 달성할 수 있다. 활성종을 가속하는 수단으로서 전계를 인가하는 방법 등을 사용할 수 있다.

(6) 상기 세라믹 막은 상기 기판에 대하여 부분적으로 형성할 수 있다. 즉, 이 제조 방법에 있어서는 세라믹 막의 형성 영역이 기판에 대하여 전면적이지 않고, 부분적이며 미소한 영역에서 행하여진다. 이 제조 방법에 있어서는 이하 방법이 바람직하다. 즉, 상기 기판의 표면에, 성막되는 세라믹에 대하여 친화성을 갖는 막 형성부와, 성막되는 세라믹에 대하여 친화성을 갖지 않는 비막 형성부(非膜形成部)를 형성하고, 자기 정합적(自己整合的)으로 상기 막 형성부에 세라믹 막을 형성하는 공정을 포함할 수 있다.

(7) 상기 세라믹 막은 LSMCD법 또는 미스트 CVD법으로 형성되는 것이 바람직하다. 이들 방법은 상술한 본 발명의 제조 방법의 특징을 달성하는 데에 있어서 적합하다.

이상의 본 발명에 따른 바람직한 예는 이하에 설명하는 본 발명의 제조 장치에 대해서도 적용할 수 있다.

(B) 제조 장치

본 발명의 제조 장치는 세라믹이 형성되는 기판의 배치부와,

상기 기판을 소정 온도로 가열하기 위한 가열부와,

적어도 세라믹의 원 재료의 일부가 되는 원료종을 미립자의 상태로 공급하기 위한 원료종 공급부와,

활성종을 공급하기 위한 활성종 공급부와,

상기 원료종 공급부로부터 공급된 원료종과, 상기 활성종 공급부로부터 공급된 활성종을 혼합하기 위한 혼합부를 포함하고,

상기 원료종 및 상기 활성종을 혼합한 후에 상기 기판에 공급하여 성막이 행하여진다.

상기 원료종 공급부는 원료 저장부와 원료 저장부로부터 공급된 원료를 미립자로 하는 미스트화부를 포함할 수 있다. 상기 원료종 공급부는 또한 가열부를 갖고, 해당 가열부에 의해서 상기 미립자를 가스화시킬 수 있다.

또한, 상기 기판의 배치부는 상기 가열부를 구성할 수 있다.

(C) 본 발명에 따른 제조 방법으로 얻어진 세라믹은 각종의 용도에 이용된다. 이하에, 대표적인 용도의 장치를 든다.

(1) 본 발명의 제조 방법으로 형성된 유전체 막을 포함하는 커패시터를 갖는 반도체 장치. 이러한 반도체 장치로서는 유전체 막으로서 본 발명의 제조 방법으로 얻어진 고유전율의 상유전체(常誘電體)를 사용한 DRAM, 강유전체를 사용한 메모리(FerAM) 장치가 있다.

(2) 본 발명의 제조 방법으로 형성된 유전체 막을 포함하는 압전 소자. 이 압전 소자는 액츄에이터, 잉크젯 프린터의 잉크 토출 헤드 등에 적용할 수 있다.

도면의 간단한 설명

도 1은 본 발명의 제조 방법 및 제조 장치에 따른 제 1 실시예를 모식적으로 도시하는 도면.

도 2a 및 도 2b는 본 발명의 제조 방법 및 제조 장치에 따른 제 2 실시예를 모식적으로 도시하며, 도 2a는 기관의 평면도, 도 2b는 도 2a의 A-A선에 따른 단면도.

도 3은 본 발명에 따른 제 3 실시예의 반도체 장치(강유전체 메모리 장치)를 모식적으로 도시하는 단면도.

실시예

[제 1 실시예]

도 1은 본 실시예에 따른 세라믹의 제조 방법 및 그 제조 장치를 모식적으로 도시하는 도면이다.

세라믹의 제조 장치(1000)는 본 실시예에 있어서는 LSMCD 또는 미스트 CVD가 가능한 장치를 사용하고 있다. 세라믹의 제조 장치(1000)는 활성종 공급부(100), 원료종 공급부(200), 혼합부(300) 및 기관의 적재부(40; 배치부)를 갖는다.

활성종 공급부(100)는 상술한 각종 방법으로, 라디칼 또는 이온 등의 활성종을 형성한다. 그리고, 활성종은 혼합부(300)로 보내진다.

활성종으로서, 이온을 사용하는 경우에는 예를 들면 Ar^+ , Kr^+ , Xe^+ , O^+ , O^{2+} , N^+ 등을 사용할 수 있다. 이 경우, 적재부(40)를 접지함으로써, 이들 활성종의 운동 에너지를 증가시킬 수 있다. 그리고, SBT, PZT 등의 산화물을 형성하는 경우에는 활성종으로서 O^+ , O^{2+} 를, 질화물을 형성하는 경우에는 활성종으로서 N^+ 를 사용하거나 또는 불활성 가스의 이온과 공용함으로써, 결정 중에 산소나 질소를 효율 좋게 공급할 수 있고, 또한 결정성이 좋은 강유전체를 얻을 수 있다.

원료종 공급부(200)는 유기 금속, 유기 금속 복합체 등의 세라믹 재료가 수용되는 원료 탱크(210)와 원료를 미스트화하는 미스트화부(220)를 갖는다. 미스트화된 원 재료는 혼합부(300)로 보내진다.

원료종 공급부(200)는 미스트 CVD법으로 성막하는 경우에는 미스트화부(220)와 혼합부(300) 사이에 미스트를 가스화시키기 위한 가열부(230)를 배치할 수 있다. 이 경우라도, LSMCD법과 거의 같은 막 질의 세라믹 막을 형성할 수 있다.

혼합부(300)는 원료종 공급부(200)로부터 공급된 원료종 및 활성종 공급부(100)로부터 공급된 활성종을 혼합할 수 있으면 좋다. 혼합부(300)의 선단에는 메시(mesh)가 형성되어 있다.

적재부(40; 배치부)는 기관(10)을 소정 온도로 가열하기 위한 가열부를 갖는다. 또한, 적재부(40)는 접지되어 있다.

또한, 본 실시예에서는 적재부(40)를 접지하는 대신에, 혼합부(300)와 적재부(40) 사이에 전계를 인가함으로써, 혼합부(300)로부터 적재부(40)를 향하는 이온 종류(활성종 및 원료종)를 가속시킬 수도 있다. 예를 들면, 적재부(40)에 바이어스를 가함으로써, 플러스 및 마이너스의 전하를 갖는 이온 종류를 가속할 수 있다. 또한, 기관측이 플러스 또는 마이너스 중 어느 한쪽이 되도록, 전계를 인가하여도 좋다. 이 경우, 기관측의 극성은 활성종의 극성과 다른 극성으로 설정된다. 이와 같이, 적어도 활성종을 전계에 의해서 가속함으로써, 원료종의 미립자를 확실하게 기관(10)에 공급할 수 있다. 따라서, 성막 속도의 제어, 결정화에 필요한 프로세스 온도를 또한 낮게 할 수 있다.

이 세라믹의 제조 장치(1000)에 의하면, 이하의 순서로 세라믹 막(20)이 형성된다.

우선, 원료종 공급부(200)에 있어서, 원료 탱크(210)로부터 미스트화부(220)에 공급된 원료는 예를 들면 초음파에 의해서, 바람직하게는 $0.1\mu m$ 이하, 보다 바람직하게는 $0.01\mu m$ 분포의 피크를 갖는 직경의 미스트(원료종의 미립자)가 된다. 미스트의 직경은 초음파의 주파수, 투입 파워 등에 의해서 바꿀 수 있다. 미스트화부(220)에서 형성된 미스트는 혼합부(300)로 보내진다. 그리고, 활성종 공급부(100)로부터 활성종이 혼합부(300)로 보내진다. 혼합부(300)에 있어서 혼합된 미스트와 활성종은 혼합부(300)로부터 기관(10)을 향하여 공급되어, 기관(10)상에 세라믹 막(20)이 형성된다.

본 실시예에 의하면, 높은 운동 에너지를 갖은 활성종과 미스트(원료종의 미립자)를 기관(10)에 접촉시키기 전에 혼합부(300)에서 혼합함으로써, 원료종의 미립자에 운동 에너지를 부여한 상태로, 이것을 기관(10)에 퇴적시킬 수 있다. 그 때문에, 상기 원료종의 미립자가 $0.01\mu m$ 이하의 직경을 갖는 경우라도, 성막 속도를 제어할 수 있고, 저부 또는 사이드의 커버리지가 양호한 세라믹 막(20)을 형성할 수 있다.

또한, 활성종에 따라서 원료종의 미립자에 에너지를 부여함으로써, 막의 원자의 마이그레이션 에너지를 높일 수 있다. 그 결과, 활성종을 공급하지 않는 경우와 비교하여, 저온의 프로세스 온도로, 예를 들면 결정성 등의 막 질이 뛰어난 세라믹을 형성할 수 있다.

또한, 본 실시예에서 얻어지는 막은 LSMCD법 또는 미스트 CVD법으로 형성되어, 미세하며 또한 균일한 분포의 공핍을 갖기 때문에, 원자가 마이그레이션하기 쉽다. 그 때문에, 결정화에 필요한 에너지를 적게 할 수 있고, 이 점으로부터도 프로세스 온도의 저하를 달성할 수 있다.

[제 2 실시예]

도 2a 및 도 2b는 본 발명의 성막 방법의 변형 예를 도시한다. 도 2a는 기판(10)의 평면을 도시하고, 도 2b는 도 2a의 A-A선에 따른 단면을 도시한다.

본 실시예에 있어서는 세라믹을 기판(10)상에 부분적으로 성막하는 예를 도시하고 있다. 이와 같이 세라믹을 성막하는 영역을 부분적으로 함으로써, 전면적으로 세라믹을 형성하는 경우와 비교하여 가열을 필요로 하는 부분의 용량이 상대적으로 작게 되기 때문에, 가열 처리에 요하는 에너지를 적게 할 수 있다. 그 결과, 가열 프로세스의 온도를 상대적으로 내릴 수 있다. 따라서, 이 실시예에 의하면, 활성층의 공급에 의한 프로세스 온도의 저하에 더하여, 또한 프로세스 온도의 저하를 달성할 수 있다.

본 실시예에 있어서는 기판(10)은 기판 본체(12)와, 기판 본체(12)상에 형성된 막 형성부(14) 및 비막 형성부(16)를 갖는다.

막 형성부(14)는 기판(10)상에 형성되는 세라믹과 화학적 또는 물리적으로 친화성이 높은 재료, 예를 들면 세라믹의 원료종에 대하여 습윤성(wetting)이 좋은 재료로 구성된다. 이것에 대하여, 비막 형성부(16)는 성막되는 세라믹과 화학적 또는 물리적으로 친화성이 나쁘게, 예를 들면 세라믹의 원료종에 대하여 습윤성이 작은 재료로 형성된다. 이와 같이 기판(10)의 표면을 구성함으로써, 세라믹 막을 형성하고자 하는 영역에 막 형성부(14)를 배치함으로써, 소정 패턴의 세라믹 막(20)이 형성된다.

예를 들면, 세라믹 막으로서 강유전체 막을 형성하는 경우에는 막 형성부(14)의 재료로서 산화 이리듐을 사용하여, 비막 형성부(16)의 재료로서 불소계 화합물을 사용할 수 있다.

본 실시예에 따른 세라믹의 제조 방법은 강유전체를 비롯하는 각종 세라믹에 적용할 수 있지만, 특히 층상 페로브스카이트에 적합하게 사용할 수 있다. 층상 페로브스카이트는 C축에 대하여 직각 방향에 있어서, 산소 특히 라디칼(원자상태 산소)이 확산되기 쉽기 때문에, 결정화를 위한 가열 프로세스에 있어서 세라믹 막(20)의 측면으로부터의 라디칼의 마이그레이션이 용이해진다. 그 결과, 페로브스카이트의 산소 결손이 적어지고, 분극 특성이 향상되며, 피로 특성, 임프린트 특성 등의 열화가 억제된다.

[제 3 실시예]

도 3은 본 발명에 따른 제조 방법으로 얻어진 강유전체를 사용한 반도체 장치(강유전체 메모리 장치(5000))의 예를 도시한다.

강유전체 메모리 장치(5000)는 CMOS 영역(R1)과, 이 CMOS 영역(R1)상에 형성된 커패시터 영역(R2)을 갖는다. CMOS 영역(R1)은 공지의 구성을 갖는다. 즉, CMOS 영역(R1)은 반도체 기판(1)과, 이 반도체 기판(1)에 형성된 소자 분리 영역(2) 및 MOS 트랜지스터(3)와, 중간 절연층(4)을 갖는다. 커패시터 영역(R2)은 하부 전극(5), 강유전체 막(6) 및 상부 전극(7)으로 구성되는 커패시터(C100)와, 하부 전극(5)과 접속된 배선층(8a)과, 상부 전극(7)과 접속된 배선층(8b)과, 절연층(9)을 갖는다. 그리고, MOS 트랜지스터(3)의 불순물 확산층(3a)과 커패시터(C100)를 구성하는 하부 전극(5)은 폴리실리콘 또는 텅스텐 플러그로 이루어지는 콘택트층(11)에 의해서 접속되어 있다.

본 실시예에 따른 강유전체 메모리 장치(5000)에 있어서는 커패시터(C100)를 구성하는 강유전체(PZT, SBT) 막(6)은 통상의 강유전체보다 낮은 온도, 예를 들면 PZT의 경우에는 500℃ 이하, SBT의 경우에는 600℃ 이하의 온도로 형성할 수 있다. 또, 피로 특성, 임프린트 특성, 리텐션 특성이 통상의 강유전체와 동등하고, 잔류 분극이 PZT의 경우에 10μC/cm² 정도, SBT의 경우에 5μC/cm² 정도가 되도록 하면, 본 발명에 의하면 결정화 온도를 450℃ 이하로 하는 것도 가능하다.

따라서, 본 실시예에서는 강유전체 막(6)의 형성시에, CMOS 영역(R1)에 대하여 열에 의한 데미지의 발생을 억제할 수 있기 때문에, 커패시터(C100)는 고 집적도의 강유전체 메모리 장치에 적용할 수 있다. 또한, 강유전체(PZT, SBT) 막(6)은 통상의 강유전체보다 낮은 온도로 형성할 수 있는 점으로부터, CMOS 영역(R1)의 배선층(도시하지 않음) 및 커패시터(C100)를 구성하는 전극부(5, 7)의 재료로서 이리듐이나 백금 등의 비싼 재료를 사용하지 않더라도, 배선층 또는 전극부의 열화가 없다. 그 때문에, 이 배선층 및 전극부의 재료로서, 염가인 알루미늄 합금을 사용할 수 있어, 비용의 저감을 도모할 수 있다.

또한, CMOS 등의 반도체 장치에 있어서는 강유전체(PZT, SBT)에 의한 오염을 막기 위해서, 통상, 반도체 프로세스와 커패시터 프로세스를 격리하는 것이 행하여지고 있다. 그러나, 본 발명의 제조 방법에 의하면, 강유전체의 프로세스 온도를 낮게 할 수 있기 때문에, 통상의 반도체 프로세스의 최종 공정인 다층 배선 공정 후에, 연속하여 커패시터를 형성할 수 있다. 그 때문에, 격리하는 프로세스를 적게 할 수 있어, 프로세스의 간이화를 도모할 수 있다. 또한, 본 발명의 제조 방법에 의하면, 반도체 프로세스와 커패시터 프로세스의 격리를 필요로 하지 않기 때문에, 로직, 아날로그 등이 혼재된 반도체 장치의 제조에 유리하다.

산업상 이용 가능성

본 발명의 제조 방법으로 형성되는 유전체는 상기 강유전체 메모리 장치에 한정되지 않고, 각종 반도체 장치, 예를 들면 DRAM에서는 BST와 같은 고 유전율의 상유전체를 사용함으로써, 커패시터의 대용량화를 도모할 수 있다.

또한, 본 발명의 제조 방법으로 형성되는 강유전체는 다른 용도, 예를 들면, 액츄에이터에 사용하는 압전 소자의 압전체, 잉크젯 프린터의 잉크 토출 헤드 등에 적용할 수 있다.

또한, 본 발명의 제조 방법으로 형성되는 질화물(질화 실리콘, 질화 티타늄)은 예를 들면, 반도체 장치의 표면 안정화(passivation) 막, 로컬 인터커넥트 막 등에 적용할 수 있다.

(57) 청구의 범위

청구항 1.

적어도 세라믹의 원 재료의 일부가 되는 원료종의 미스트상 미립자와, 활성종을 혼합한 후에 기판에 공급하여, 해당 기판상에 세라믹 막을 형성하는 공정을 포함한, 세라믹의 제조 방법.

청구항 2.

제 1 항에 있어서,

상기 미립자는 직경이 $0.1\mu\text{m}$ 이하인, 세라믹의 제조 방법.

청구항 3.

제 1 항에 있어서,

상기 미립자는 직경이 $0.01\mu\text{m}$ 이하인, 세라믹의 제조 방법.

청구항 4.

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 미립자는 전하가 대전(charge)되어 있는, 세라믹의 제조 방법.

청구항 5.

삭제

청구항 6.

제 1 항에 있어서,

상기 활성종은 라디칼 또는 이온인, 세라믹의 제조 방법.

청구항 7.

제 6 항에 있어서,

상기 활성종은 상기 세라믹의 원 재료의 일부가 되는 원료종의 라디칼 또는 이온인, 세라믹의 제조 방법.

청구항 8.

제 6 항에 있어서,

상기 활성종은 산소 또는 질소의 라디칼 또는 이온인, 세라믹의 제조 방법.

청구항 9.

제 6 항에 있어서,

상기 활성종은 불활성 가스를 활성화시켜 얻어지는 이온인, 세라믹의 제조 방법.

청구항 10.

제 9 항에 있어서,

상기 불활성 가스는 아르곤 또는 크세논의 이온인, 세라믹의 제조 방법.

청구항 11.

제 1 항에 있어서,

적어도 상기 활성종은 가속된 상태로 상기 기판에 공급되는, 세라믹의 제조 방법.

청구항 12.

제 1 항에 있어서,

상기 세라믹 막은 상기 기판에 대하여 부분적으로 형성되는, 세라믹의 제조 방법.

청구항 13.

제 12 항에 있어서,

상기 기판의 표면에 성막(成膜)되는 세라믹에 대하여 친화성을 갖는 막 형성부와, 성막되는 세라믹에 대하여 친화성을 갖지 않는 비막 형성부(非膜形成部)를 형성하고, 자기 정합적으로 상기 막 형성부에 세라믹 막을 형성하는 공정을 포함하는, 세라믹의 제조 방법.

청구항 14.

제 1 항에 있어서,

상기 세라믹 막은 LSMCD법 또는 미스트 CVD법으로 형성되는, 세라믹의 제조 방법.

청구항 15.

제 1 항에 있어서,

상기 세라믹 막은 유전체로 이루어지는, 세라믹의 제조 방법.

청구항 16.

제 15 항에 있어서,

상기 유전체는 600℃ 이하의 온도에서 형성되는, 세라믹의 제조 방법.

청구항 17.

제 15 항에 있어서,

상기 유전체는 450℃ 이하의 온도에서 형성되는, 세라믹의 제조 방법.

청구항 18.

세라믹이 형성되는 기판의 배치부와,

상기 기판을 소정 온도로 가열하기 위한 가열부와,

적어도 세라믹의 원 재료의 일부가 되는 원료종의 미스트상 미립자의 상태로 공급하기 위한 원료종 공급부와,

활성종을 공급하기 위한 활성종 공급부와,

상기 원료종 공급부로부터 공급된 원료종과, 상기 활성종 공급부로부터 공급된 활성종을 혼합하기 위한 혼합부를 포함하고,

상기 원료종 및 상기 활성종을 혼합한 후에 상기 기판에 공급하여 성막이 행하여지는, 세라믹의 제조 장치.

청구항 19.

제 18 항에 있어서,

상기 성막은 LSMCD법 또는 미스트 CVD법으로 행하여지는, 세라믹의 제조 장치.

청구항 20.

제 18 항 또는 제 19 항에 있어서,

상기 원료종 공급부에 의해서, 상기 미립자는 직경이 $0.1\mu\text{m}$ 이하가 되는, 세라믹의 제조 장치.

청구항 21.

제 18 항 또는 제 19 항에 있어서,

상기 원료종 공급부에 의해서, 상기 미립자는 직경이 $0.01\mu\text{m}$ 이하가 되는, 세라믹의 제조 장치.

청구항 22.

제 18 항에 있어서,

상기 미립자는 전하가 대전되어 있는, 세라믹의 제조 장치.

청구항 23.

제 18 항에 있어서,

상기 원료종 공급부는 원료 저장부와, 원료 저장부로부터 공급된 원료를 미립자로 하는 미스트화부를 포함하는, 세라믹의 제조 장치.

청구항 24.

삭제

청구항 25.

제 18 항에 있어서,

상기 활성화종 공급부는 라디칼 또는 이온으로 이루어지는 활성화종을 공급한, 세라믹의 제조 장치.

청구항 26.

제 25 항에 있어서,

상기 활성화종은 상기 세라믹의 원 재료의 일부가 되는 원료종의 라디칼 또는 이온인, 세라믹의 제조 장치.

청구항 27.

제 25 항에 있어서,

상기 활성화종은 산소 또는 질소의 라디칼 또는 이온인, 세라믹의 제조 장치.

청구항 28.

제 25 항에 있어서,

상기 활성화종은 불활성 가스를 활성화시켜 얻어지는 이온인, 세라믹의 제조 장치.

청구항 29.

제 28 항에 있어서,

상기 불활성 가스는 아르곤 또는 크세논의 이온인, 세라믹의 제조 장치.

청구항 30.

제 18 항에 있어서,

적어도 상기 활성화종은 가속된 상태로 상기 기관에 공급되는, 세라믹의 제조 장치.

청구항 31.

제 1 항 내지 제 3 항 및 제 6 항 내지 제 17 항 중 어느 한 항에 기재된 제조 방법으로 형성된 유전체 막을 포함하는 커패시터를 갖는, 반도체 장치.

청구항 32.

제 31 항에 있어서,

CMOS 영역과, 상기 커패시터를 갖는 커패시터 영역을 포함하는, 반도체 장치.

청구항 33.

제 1 항 내지 제 3 항 및 제 6 항 내지 제 17 항 중 어느 한 항에 기재된 제조 방법으로 형성된 유전체 막을 포함하는, 압전 소자.

요약

세라믹의 제조 방법은 적어도 세라믹의 원 재료의 일부가 되는 원료종의 미립자와 활성종을 혼합한 후에 기관(10)에 공급하여, 기관(10) 상에 세라믹 막(20)을 형성하는 공정을 포함한다. 제조 장치는 기관의 가열부를 겸하는 배치부(40)와, 원료종을 미립자의 상태로 공급하기 위한 원료종 공급부(200)와, 활성종을 공급하기 위한 활성종 공급부(100)와, 원료종과 활성종을 혼합하기 위한 혼합부(300)를 갖는다.

대표도

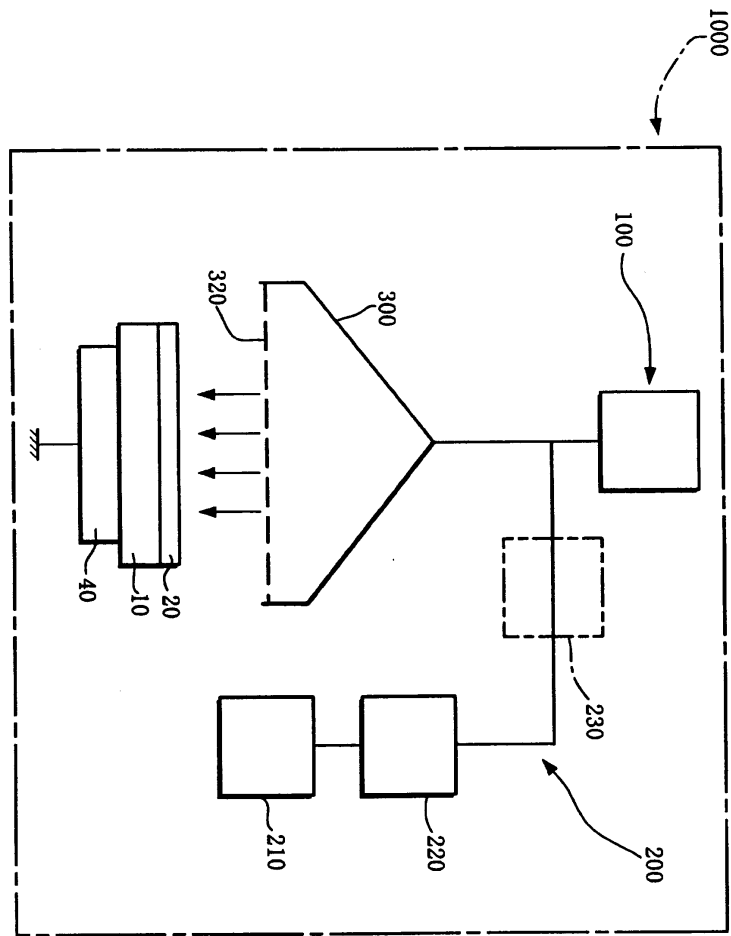
도 1

색인어

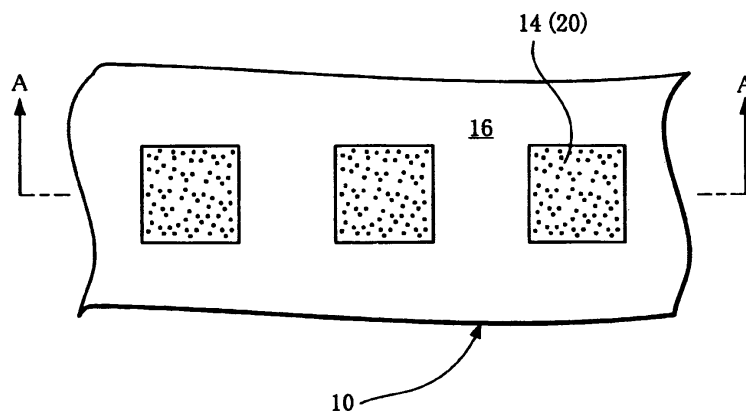
세라믹, 압전소자, 강유전체, 스퍼터, 메모리

도면

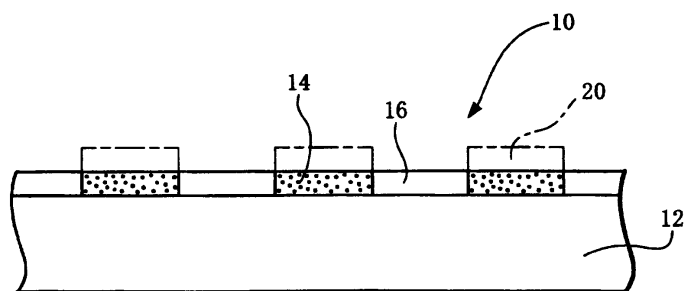
도면1



도면2a



도면2b



도면3

