

1. 一种用于电路的装置,包括:

将电池供电电压耦合到电感器的高侧开关,其中所述电感器进一步耦合到跟踪供电电压;

将所述电感器耦合到接地的低侧开关;以及

配置成检测从所述跟踪供电电压经过所述高侧开关至所述电池供电电压的负电流流动的负电流流动检测块,其中所述高侧开关能配置成在检测到负电流流动时被禁用。

2. 如权利要求1所述的装置,其特征在于,进一步包括升压转换器,所述升压转换器耦合到所述供电电压以生成高于所述供电电压的经推升供电电压。

3. 如权利要求2所述的装置,其特征在于,所述高侧开关包括PMOS晶体管。

4. 如权利要求3所述的装置,其特征在于,进一步包括与所述PMOS晶体管的体二极管串联的第一辅助开关,其中所述第一辅助开关被配置成在检测到负电流流动时被禁用。

5. 如权利要求4所述的装置,其特征在于,所述第一辅助开关包括PMOS晶体管,所述装置进一步包括将所述高侧开关的N阱与所述经推升供电电压耦合的第二辅助开关,其中所述第一辅助开关的N阱被进一步耦合到所述经推升供电电压。

6. 如权利要求4所述的装置,其特征在于,所述第一辅助开关的体二极管被置于与所述PMOS晶体管的体二极管的极性相反的极性。

7. 如权利要求1所述的装置,其特征在于,所述负电流流动检测块包括第一比较器,所述第一比较器具有耦合到所述电池供电电压的负端子、以及耦合到所述高侧开关的与所述电池供电电压对向的端子的正端子。

8. 如权利要求1所述的装置,其特征在于,进一步包括第二比较器,所述第二比较器具有耦合到所述跟踪供电电压的正端子以及耦合到所述电池供电电压的负端子,所述高侧开关进一步被配置成仅在所述第二比较器输出为高且检测到负电流流动的情况下才被禁用。

9. 如权利要求1所述的装置,其特征在于,所述高侧开关由条件逻辑块控制,所述条件逻辑块被配置成生成信号以使得所述高侧开关在检测到负电流且所述跟踪供电电压高于所述电池供电电压时被禁用,否则所述高侧开关基于开关功率级时钟信号来被禁用或启用。

10. 如权利要求9所述的装置,其特征在于,所述条件逻辑块包括SR锁存器,所述SR锁存器被配置成锁存检测到负电流且所述跟踪供电电压高于所述电池供电电压的先前指示,其中所述SR锁存器响应于所述跟踪供电电压低于所述电池供电电压而被重置。

11. 如权利要求1所述的装置,其特征在于,所述高侧开关包括NMOS晶体管。

12. 如权利要求2所述的装置,其特征在于,所述高侧开关被配置成通过被耦合到所述经推升供电电压来被截止。

13. 一种用于电路的方法,包括:

使用高侧开关来将电池供电电压选择性地耦合到电感器,其中所述电感器进一步耦合到跟踪供电电压;

使用低侧开关来将所述电感器选择性地耦合到接地;

检测是否存在从所述跟踪供电电压经过所述高侧开关至所述电池供电电压的负电流流动;以及

响应于包括检测到所述负电流流动在内的至少一个条件,使用所述高侧开关来将所述

电池供电电压从所述电感器解耦。

14. 如权利要求13所述的方法,其特征在于,所述高侧开关包括PMOS晶体管。

15. 如权利要求14所述的方法,其特征在于,进一步包括响应于检测到负电流流动来禁用与所述PMOS晶体管的体二极管串联的开关。

16. 如权利要求15所述的方法,其特征在于,串联的所述开关包括辅助PMOS晶体管,所述辅助PMOS晶体管的体二极管被置于与所述PMOS晶体管的体二极管的极性相反的极性。

17. 如权利要求13所述的方法,其特征在于,检测所述负电流流动包括检测从所述电池供电电压到所述高侧开关的与所述电池供电电压对向的端子的负压降。

18. 如权利要求13所述的方法,其特征在于,所述至少一个条件进一步包括检测到所述跟踪供电电压大于所述电池供电电压,解耦所述电池供电电压仅响应于这些条件都为真才被执行。

19. 如权利要求18所述的方法,其特征在于,进一步包括在所述至少一个条件未被满足的情况下使用开关功率级时钟信号来控制所述高侧开关。

20. 一种用于电路的设备,包括:

用于使用高侧开关来将电池供电电压选择性地耦合到电感器的装置,其中所述电感器进一步耦合到跟踪供电电压;

用于使用低侧开关来将所述电感器选择性地耦合到接地的装置;

用于检测是否存在从所述跟踪供电电压经过所述高侧开关至所述电池供电电压的负电流流动的装置;以及

用于响应于包括检测到所述负电流流动在内的至少一个条件,使用所述高侧开关来将所述电池供电电压从所述电感器解耦的装置。

逆电流防止

[0001] 相关申请的交叉引用

[0002] 本国际申请要求于2013年1月28日提交的题为“REVERSE CURRENT PREVENTION (逆电流防止)”的美国非临时申请S/N.13/752,241的权益,其通过援引全部明确纳入于此。

[0003] 背景

[0004] 领域

[0005] 本公开涉及用于功率放大器的包络跟踪。

背景技术

[0006] 包络跟踪是一种用于提高功率放大器的效率的技术。在包络跟踪 (ET) 系统中,功率放大器的供电电压被动态地调整以保持该功率放大器以足以维持线性性的净空来操作,而即便如此还使DC功耗最小化。功率放大器的供电电压(或“跟踪供电电压”)可以使用跟踪功率放大器输出的包络的单独的线性放大器来生成。在某些实现中,线性放大器本身被耦合到由升压转换器生成的放大器供电电压,该升压转换器能够为该线性放大器生成超过该系统原本可用(例如,来自该系统的电池)的最大供电电压的经推升供电电压。以此方式,在必要时,功率放大器输出能达到并且甚至超过电池供电电压。跟踪供电电压可以进一步被耦合到开关功率级以便向该功率放大器提供更大的激励能力。

[0007] 在其中电池供电电压较低且功率放大器被要求递送高尖峰功率电平的一些情形中,跟踪供电电压可能会超过电池供电电压。这可能会导致称为“逆电流流动”的状况,其中电流从跟踪供电电压经过开关功率级的高侧开关回流至电池供电电压。逆电流流动不合乎需要地使系统效率降级,并且要求升压转换器被显著地超裕度设计。此外,逆电流流动可能会将畸变引入功率放大器输出中,从而引起输出波形潜在可能违背线性性和RX频带噪声规范。

[0008] 提供用于检测和防止包络跟踪系统中的逆电流流动的技术将会是合乎需要的。

[0009] 附图简述

[0010] 图1解说包络跟踪 (ET) 系统的实现。

[0011] 图2解说了示出ET系统的正常操作的操作场景。

[0012] 图3解说了其中在ET系统中呈现有“逆电流”或“逆电流流动”的操作场景。

[0013] 图4解说了根据本公开的ET系统的示例性实施例。

[0014] 图5解说了根据本公开的ET系统的替换示例性实施例。

[0015] 图6解说了根据本公开的ET系统的替换示例性实施例,其中提供电压传感器以检测负电流流动。

[0016] 图7和7A解说了本公开的替换示例性实施例,其中应用了进一步的技术来防止ET系统中的逆电流流动。

[0017] 图8解说了根据本公开的原理的ET系统的示例性实施例800。

[0018] 图9解说根据本公开的方法的示例性实施例。

[0019] 详细描述

[0020] 以下参照附图更全面地描述本公开的各个方面。然而，本公开可用许多不同形式来实施并且不应解释为被限于本公开通篇给出的任何具体结构或功能。确切而言，提供这些方面是为了使得本公开将是透彻和完整的，并且其将向本领域技术人员完全传达本公开的范围。基于本文中的教导，本领域技术人员应领会，本公开的范围旨在覆盖本文中所披露的本公开的任何方面，不论其是与本公开的任何其他方面相独立地实现还是组合地实现的。例如，可以使用本文所阐述的任何数目的方面来实现装置或实践方法。另外，本公开的范围旨在覆盖使用作为本文中所阐述的本公开的各种方面的补充或者另外的其他结构、功能性、或者结构及功能性来实践的此类装置或方法。应当理解，本文中所披露的本公开的任何方面可由权利要求的一个或多个元素来实施。

[0021] 下面结合附图阐述的详细描述旨在作为对本发明的示例性方面的描述，而非旨在代表可在其中实践本发明的仅有示例性方面。贯穿本描述使用的术语“示例性”意指“用作示例、实例或解说”，并且不应当一定要解释成优于或胜过其他示例性方面。本详细描述包括具体细节以用于提供对本发明的示例性方面的透彻理解。对于本领域技术人员将显而易见的是，没有这些具体细节也可实践本发明的示例性方面。在一些实例中，公知的结构和器件以框图形式示出以免湮没本文中给出的示例性方面的新颖性。在本说明书以及权利要求书中，术语“模块”和“块”可以可互换地使用以表示被配置成执行所描述操作的实体。

[0022] 注意，在本说明书中并且在权利要求书中，信号或电压为“高”或“低”指示可以指这样的信号或电压处于逻辑“高”或“低”状态，这可以（但不一定）与该信号或电压的“真”（例如，=1）或“假”（例如，=0）状态相对应。将领会，本领域普通技术人员可现成地修改本文描述的逻辑惯例，例如用“高”替换“低”和/或用“低”替换“高”，以推导出具有与本文所描述的功能性基本上等效的功能性的电路系统。此类替换示例性实施例被构想为落在本公开的范围之内。

[0023] 图1解说包络跟踪（ET）系统100的实现。注意，图1仅是为解说目的而示出的，而不旨在将本公开的范围限于ET系统的任何特定实现。例如，本文以下描述的技术可被现成地应用于纳入图1中未示出的替换或附加模块的系统。

[0024] 在图1中，功率放大器（PA）130接收一个或多个输入电压IN并生成一个或多个经放大输出电压OUT。注意，一般而言，IN和/或OUT各自可包括多个电压，例如同相（I）和正交（Q）信号电压等。PA 130还可具有用以改变PA 130的增益设置的数字接口（未在图1中示出）。也被表示为“跟踪供电电压”的电压Vamp被提供给PA 130作为供电电压。Vamp至少部分地由放大器（Amp）140生成。放大器140由电压VDD_Amp供电，其也被表示为“放大器供电电压”或“经推升供电电压”。在ET系统的某些实现中，为了生成Vamp，放大器140可以对跟踪PA输出电压OUT的包络的电压Env进行放大。注意，放大器140一般可以是本领域已知的任何类型的放大器，例如A类、B类、AB类等等。这样的示例性实施例被构想为是落在本公开的范围之内的。

[0025] 在某些操作情景中，为了维持PA的足够净空，将Vamp激励到超过Vbatt电平的电平可能是有必要的，Vbatt是该系统原来可用的最大供电电压，例如来自该系统的电池的供电电压。Vbatt在此也可被称为“电池供电电压”，且此类电池供电电压一般可由任何类型的用于供电的设备（例如锂离子电池、其他线性或开关电压调节器、直连AC线等）来供给。为了允许放大器140生成高于Vbatt的输出Vamp，可提供升压转换器110以生成VDD_Amp。升压转换器110可以根据图1中未示出但本领域已知的操作原理（例如使用被交替地配置成对升压电

感器(未示出)充电和放电以生成经推升电压的多个开关)来将VDD_Amp推升到比Vbatt高的电平。

[0026] 提供给PA 130的跟踪供电电压Vamp可以被维持在足以确保PA 130的线性操作(即提供有足够的“净空”)而同时又降低不必要的DC功耗的电平。在图1中,开关功率级120被进一步耦合到处于Vamp的PA 130以提高PA 130的功率激励能力。开关功率级120包括分别耦合到栅极控制电压PCTRL、NCTRL的晶体管开关P1、N1,其中开关P1、N1被配置成交替地将电感器L耦合到Vbatt或接地。

[0027] 注意,虽然开关P1、N1在本说明书中被示为晶体管实现,但将领会一般而言,可使用本公开的技术来配置其它类型的开关,例如中继器等。具体而言,P1和N1一般也可被表示为分别对应于“高侧开关”和“低侧开关”。此外,注意在某些示例性实施例中,高侧开关无需使用PMOS晶体管来实现,且可改为使用NMOS晶体管来实现。此类替换示例性实施例被构想为落在本公开的范围之内。

[0028] 图2和3解说了ET系统100的操作场景,这些操作场景描绘了根据本公开的某些原理。注意,图2和3仅是出于解说目的而示出的,并且并不旨在限定本公开的范围。

[0029] 具体而言,图2解说了示出ET系统100的正常操作的操作场景100A。在图2中,放大器140和开关功率级120两者都可将电流供应至PA 130中。例如,在图2中,由放大器140从升压转换器110供应至PA 130的电流由标记为A的箭头示出,而由开关功率级120从Vbatt供应至PA 130的电流由标记为B的箭头示出。操作场景100A可以例如在Vamp小于Vbatt时出现。

[0030] 图3解说了其中在ET系统100中呈现有“逆电流”或“逆电流流动”的操作场景100B。具体而言,当IN中发生电压尖峰时,Vamp的电平可由放大器140激励得更高以便为PA 130提供足够的净空。在其中Vbatt较低的某些情形中,Vamp最终可能因升压转换器110所提供的经推升放大器供电电压VDD_Amp而被激励至高于Vbatt的电平。当Vamp超过Vbatt时,经过电感器L的电流IL(其方向性如图2中所指示的)开始减少。最终,电感器电流的方向可能反转且变为负,在这种情形中升压转换器110在实效上经由开关P1将电流从放大器140供应至Vbatt。该“逆电流”由被标记为C的箭头示出。这样的“逆电流”呈现于ET系统100中的时间量可取决于各种因素,诸如电感器电流大小、输入电压、跟踪供电电压等。

[0031] 将领会,逆电流可能不合乎需要地导致对放大器140和升压转换器110的过度加载,由此使系统效率降级。此外,作为逆电流的结果,升压转换器110可能需要被显著地超裕度设计和/或可能引起输出波形的线性性和接收(RX)频带噪声要求违背设备规范。由此,提供使包络跟踪系统中的此类逆电流最小化的技术将会是合乎需要的。

[0032] 图4解说了根据本公开的ET系统的示例性实施例400。注意,图4仅是为解说目的而示出的,并且并不旨在限定本公开的范围。此外,注意,图1和4中类似标记的元素可被理解为执行类似功能性(除非另外指明),并且为了简明起见可以在下文中省略对这些元素的描述。

[0033] 在图4中,在电感器L与经修改的降压控制器420的开关节点SW之间串联地提供负电流流动检测块410。块410被配置成检测IL何时为负(对应于逆电流),即从电感器L回流至开关功率级420。块410生成指示IL何时为负的逻辑信号Neg_curr。在开关功率级420中,开关P1由被标记为420a的逻辑条件来控制。具体而言,根据条件420a,如果Neg_curr为逻辑高(即,块410检测到负IL),则开关P1被禁用。否则,开关P1由PCTRL控制。

[0034] 将领会,通过在检测到负IL时禁用开关P1,P1可被关闭以防止逆电流在ET系统400中流动。注意,虽然图4中示出了示例性条件420a,但其他示例性实施例可利用类似地取决于检测到的负电流的条件。例如,为了避免误脱扣,P1可改为在检测到负电流时且在跟踪供电电压超过电池供电电压时被禁用。鉴于本公开,可应用取决于检测到的负电流的各种其他类型的逻辑条件来使得开关控制更稳健,且这些替换示例性实施例被构想为在本公开的范围之内。

[0035] 此外,虽然各种示例性实施例在本文参照“负电流流动检测”来描述,但替换示例性实施例也可以在检测到低电平的正电流IL时应用(例如,禁用P1的)类似技术。例如,通过在检测到低正IL或负IL时禁用P1,可以在ET系统中有利地防止逆电流流动。相应地,虽然在本文中作出对“负电流流动检测”的引述,但将领会,本文公开的所有技术也可现成地适用于检测负电流流动和低正电流流动。此类替换示例性实施例被构想为落在本公开的范围之内。

[0036] 注意,用于设计负电流流动检测块410的各种电路设计技术在本领域内是已知的,例如可提供串联电阻器并且可感测跨该电阻器的负压降,等等。此外,用于实现逻辑条件420a的逻辑电路系统可以由本领域普通技术人员现成地推导出。这样的示例性实施例被构想为是落在本公开的范围之内的。

[0037] 图5解说了根据本公开的ET系统的替换示例性实施例500。注意,图5仅是为解说目的而示出的,并且并不旨在限定本公开的范围。此外,注意,图4和5中的类似标记的元素可被理解为执行类似功能性(除非另外指明),并且为了简明起见可以在下文中省略对这些元素的描述。

[0038] 在图5中,在经修改的降压控制器520的开关节点SW与Vbatt之间串联地提供负电流流动检测块510。块510被配置成以与参照图4中的块410描述的方式类似的方式检测IL何时为负,即从电感器L经过开关功率级520回流至Vbatt。块510生成指示IL何时为负的逻辑信号Neg_curr。在开关功率级520中,开关P1也由逻辑条件420a来控制。

[0039] 图6解说了根据本公开的ET系统的替换示例性实施例600,其中提供电压传感器以检测负电流流动。注意,图6仅是为解说目的而示出的,并且并不旨在限定本公开的范围。此外,注意,图5和6中的类似标记的元素可被理解为执行类似功能性(除非另外指明),并且为了简明起见可以在下文中省略对这些元素的描述。

[0040] 在图6中,经修改的开关功率级620的电压比较器610包括耦合到P1的漏极的正(+)输入端以及耦合到P1的源极的负(-)输入端。在P1中呈现负电流(例如,从P1的漏极到源极的方向上的电流)之际,将跨电压比较器610的+、-端子出现正压降。将领会,该正压降可能是由于例如P1的有限的导通电阻。在检测到正压降之际,电压比较器610将在其输出生成Neg_curr的高值。Neg_curr可被用于经由逻辑条件420a来控制对P1的开关,如早先在上文中描述的。

[0041] 将领会,通过提供电压比较器610以感测固有地跨P1呈现的压降,可以有利地执行负电流流动检测,而不用在电流路径中添加如在分别在图4和5中示出的示例性实施例400和500中可能要求的附加串联元件。这有利地避免产生附加功率损耗并由此提高ET系统的效率。

[0042] 如图6中所解说,注意,甚至在P1的栅极电压被配置成使P1截止(例如,通过在P1的

栅极和源极之间施加0伏特)时,通过P1的传导仍可通过呈现于P1中的体二极管D1来发生,这仍将引发逆电流。根据本公开,提供了用以甚至在P1被配置成被截止时防止通过P1的逆电流流动的附加技术。

[0043] 图7和7A解说了本公开的替换示例性实施例,其中应用进一步的技术来防止ET系统中的逆电流流动。注意,图7和7A仅是为解说目的而示出的,而不旨在将本公开的范围限定于纳入所示的反向体二极管的示例性实施例。注意,信号Neg_curr_b对应于Neg_curr的逻辑逆。为了方便解说,用于生成信号Neg_curr和/或Neg_curr_b的特定装置未在图7和7A中示出。但本领域普通技术人员仍将领会,本文描述的任何用于检测负电流的技术(例如分别根据图4、5和6中的示例性实施例400、500和600)可被用来生成用于示例性实施例700和700A的Neg_curr和/或Neg_curr_b。这样的示例性实施例是被构想为落在本公开的范围之内的。

[0044] 在图7中,与D1串联地提供辅助PMOS开关S1。S1被配置成在Neg_curr为高时(例如,在负电流检测块(未在图7中示出)检测到逆电流时)被禁用。由此,S1将在检测到负电流时在D1与P1的源极之间创建开路,且以此方式,可以有利地防止通过D1的负电流。注意,PMOS开关S1本身可具有体二极管D2,且这一体二极管D2可以按与D1相反的极性来提供。以此方式,当S1被禁用时,D2的极性防止逆电流流过D1和D2。在示例性实施例中,为了实现与D1串联地提供的开关S1,可利用隔离的N阱(NWELL)工艺。

[0045] 在图7A中,第一辅助PMOS开关S1'将P1的NWELL与P1的源极耦合,而第二辅助PMOS开关S2'将P1的NWELL与VDD_Amp耦合。在示例性实施例中,S1'和S2'二者的NWELL都被束缚至经推升电压VDD_Amp,如体二极管D2.1和D3所解说。S1'的栅极耦合到Neg_curr,如以上针对图7的开关S1所描述的。S2'的栅极耦合到Neg_curr_b。具体而言,当检测到负电流时,S2'被导通以提供供电流从节点SW流向经推升电压VDD_Amp的路径。这防止SW处的电压变得非常高,这可能会潜在地引起D2.1或N1击穿并破坏这些器件。

[0046] 注意在替换示例性实施例中,S1'和S2'的栅极无需由所示信号来控制;确切而言,S2'可以在ET操作期间始终被启用。例如,S2'可以在ET系统700A处于例如包络跟踪(ET)模式时始终被启用,而S1'可以在ET系统700A处于平均功率跟踪(APT)模式时始终被启用。在其他替换示例性实施例中,S2'可以只在升压呈活跃的时候(例如,当潜在可能发生负电流事件时)基于负电流检测来被启用。

[0047] 图8解说了根据本公开的原理的ET系统的示例性实施例800。注意,图8仅仅是出于解说目的而示出的,且不旨在将本公开的范围限于例如负电流流动检测块或用于实现逻辑条件的块的任何特定实施例。进一步,注意,图7和8中的类似标记的元素可对应于具有类似功能性的元素(除非另外指明),并且为了简明起见可以在下文中省略对这些元素的描述。

[0048] 在图8中,经修改的开关功率级的示例性实施例820包括诸如参照图6描述的基于电压比较器的负电流流动检测块610。具体而言,比较器610在此也被表示为“第一比较器”。

[0049] 信号电压Neg_curr耦合到实现参照图4和5描述的逻辑条件420a的增强版本的逻辑条件块420a.1。具体而言,块420a.1包括SR锁存器830。SR锁存器830包括耦合到AND(与)门840(该AND门840以Neg_curr和信号825a作为输入)的输出的S输入以及耦合到反相器845(该反相器845耦合至作为输入的信号825a)的输出的R输入。信号825a是指示条件Vamp>Vbatt是否为真(即,Vamp是否大于Vbatt)的逻辑信号。在所示示例性实施例中,825a由被配

置成将其正(+)端子处的 V_{amp} 与其负(-)端子处的 V_{batt} 进行比较的比较器825(在此也被表示为“第二比较器”)生成。

[0050] 按照上述电路系统的操作,为了防止误脱扣,第二比较器825被配置成确定 V_{amp} 是否大于 V_{batt} 。按照SR锁存器830的功能性,当且仅当 $V_{amp} > V_{batt}$ 且电感器电流 I_L 为负时,P1才将被禁用。在示例性实施例中,一旦 $V_{amp} < V_{batt}$ (而不管电感器电流方向如何),就可重新启用P1。

[0051] 具体而言,当对SR锁存器830的R输入为零时,Q输出将在S输入转变为高之际被锁存为高。只要 Neg_curr 为高且 $V_{amp} > V_{batt}$,S输入就为高。当SR锁存器830的Q输出为高时,则OR(或)门850的输出为高。当SR锁存器830的Q输出为低时,则OR门850的输出为PCTRL。

[0052] 给定上述元素,将领会,如果对OR门850的任一输入为高,则P1被禁用。当且仅当对OR门850的两个输入都为低时,P1才将被启用。如果 $V_{amp} < V_{batt}$,则比较器825a为低,并由此锁存器830将被重置。锁存器830的重置意味着830的Q输出将为低,由此在PCTRL为低的情况下启用P1。

[0053] 在一替换示例性实施例(未示出)中,激励P1的逻辑条件可将高侧开关P1配置成一旦输出电压波形中的尖峰(其引发逆电流流动)已经过去就被重新启用。具体而言,本文公开的技术有利地允许包络跟踪放大器140跟踪慢波形(诸如1RB LTE(1资源块长期演进)波形),并且满足低电池配置中的RF要求,而不必超裕度设计升压放大器的规范。

[0054] 注意,虽然描述了示出锁存器830和用于生成信号825a的比较器825的示例性实施例800,但将会领会,这些元件在替换示例性实施例中不一定要出现。例如,一示例性实施例可省略锁存器830(及相关联的元件)和比较器825,且仅仅依赖于电压比较器610来生成 Neg_curr ,其在 Neg_curr 为高的情况下禁用P1。这样的示例性实施例被构想为是落在本公开的范围之内的。

[0055] 图9解说根据本公开的一方法900的示例性实施例。注意,方法900仅是为解说目的而示出的,而不意图将本公开的范围限定于所示的任何特定方法。

[0056] 在图9中,在框910,使用高侧开关来将跟踪供电电压选择性地耦合到电感器,其中该电感器进一步耦合到跟踪供电电压。

[0057] 在框920,使用低侧开关来将该电感器选择性地耦合到接地。

[0058] 在框930,检测是否存在从跟踪供电电压经过高侧开关至电池供电电压的负电流流动。

[0059] 在框940,响应于包括检测到负电流流动在内的至少一个条件,使用高侧开关来将电池供电电压从该电感器解耦。

[0060] 在本公开的另一方面,将领会,最初在电感器电流改变方向(例如,变为负)之际,关断开关P1将不会突然停止电感器电流,因为电感器电流要花费时间来回向零地斜变。仅当SW处的电压大于 V_{amp} 时,电感器电流才将从负值起增大。负电感器电流将对SW上的寄生电容进行充电,从而导致该节点电压上升。如果SW(例如,P1的漏极)处的电压变得比 V_{batt} (其原本被用来激励P1的栅极以使P1截止)高阈值电压(V_t)以上,则P1将开始导通并传导逆电流。在这种情形中,P1的“漏极”在本文中也描述为“反向传导”的状况下不合乎需要地变成P1的“源极”。

[0061] 在示例性实施例中,这样的反向传导能通过P1预期被截止时使用 VDD_Amp (而不

是V_{batt})来激励P1的栅极(例如,经由PCTRL)来被消除。在这种情形中,V_{SW}将必须升至高于V_{DD_Amp}的V_t之上才能使得电流流经P1(当它“截止”时)。将领会,通过使用V_{DD_Amp}来激励P1的栅极确保了P1在上述场景期间保持截止。

[0062] 在示例性实施例中,用于激励P1的栅极的控制电压PCTRL被配置成如V_{DD_Amp}(即,升压转换器110的输出电压)那样高,以使P1截止。具体而言,如果P1的栅极被束缚到V_{DD_SW}且V_{SW}升至比V_{DD_SW}高阈值电压(V_t),则PMOS P1将传导。因此,为了防止P1传导,P1的栅极可被上拉至V_{DD_Amp}。

[0063] 在本说明书中并且在权利要求书中,将理解,当一元件被称为“连接至”或“耦合至”另一元件时,该元件可以直接连接或耦合至该另一元件或者可存在居间元件。相反,当一元件被称为“直接连接至”或“直接耦合至”另一元件时,不存在居间元件。此外,当一元件被称为“电耦合”到另一元件时,其指示在此类元件之间存在低电阻路径,而当一元件被称为仅是“耦合”至另一元件时,在此类元件之间可能有也可能没有低电阻路径。

[0064] 本领域技术人员应理解,信息和信号可使用各种不同技术和技艺中的任何一种来表示。例如,贯穿上面描述始终可能被述及的数据、指令、命令、信息、信号、位(比特)、码元、和码片可由电压、电流、电磁波、磁场或磁粒子、光场或光粒子、或其任何组合来表示。

[0065] 本领域技术人员将可进一步领会,结合本文中公开的示例性方面描述的各种解说性逻辑块、模块、电路、和算法步骤可被实现为电子硬件、计算机软件、或两者的组合。为清楚地解说硬件与软件的这一可互换性,各种解说性组件、块、模块、电路、和步骤在上面是以其功能性的形式作一般化描述的。此类功能性是被实现为硬件还是软件取决于具体应用和施加于整体系统的设计约束。技术人员可针对每种特定应用以不同方式来实现所描述的功能性,但此类实现决策不应被解读为致使脱离本发明的示例性方面的范围。

[0066] 结合本文中公开的示例性方面描述的各种解说性逻辑块、模块、以及电路可用设计成执行本文中描述的功能的通用处理器、数字信号处理器(DSP)、专用集成电路(ASIC)、现场可编程门阵列(FPGA)或其他可编程逻辑器件、分立的门或晶体管逻辑、分立的硬件组件、或其任何组合来实现或执行。通用处理器可以是微处理器,但在替换方案中,该处理器可以是任何常规的处理器、控制器、微控制器、或状态机。处理器还可以被实现为计算设备的组合,例如DSP与微处理器的组合、多个微处理器、与DSP核心协同的一个或多个微处理器、或任何其它此类配置。

[0067] 结合本文中所公开的示例性方面所描述的方法或算法的步骤可以直接在硬件中、在由处理器执行的软件模块中、或在这两者的组合中实施。软件模块可驻留在随机存取存储器(RAM)、闪存、只读存储器(ROM)、电可编程ROM(EPROM)、电可擦式可编程ROM(EEPROM)、寄存器、硬盘、可移动盘、CD-ROM、或本领域中所知的任何其他形式的存储介质中。示例性存储介质被耦合到处理器以使得该处理器能从/向该存储介质读和写信息。替换地,存储介质可以被整合到处理器。处理器和存储介质可驻留在ASIC中。ASIC可驻留在用户终端中。在替换方案中,处理器和存储介质可作为分立组件驻留在用户终端中。

[0068] 在一个或多个示例性方面,所描述的功能可在硬件、软件、固件或其任何组合中实现。如果在软件中实现,则各功能可以作为一条或多条指令或代码存储在计算机可读介质上或藉其进行传送。计算机可读介质包括计算机存储介质和通信介质两者,包括促成计算机程序从一地向另一地转移的任何介质。存储介质可以是能被计算机访问的任何可用介

质。作为示例而非限定,这样的计算机可读介质可包括RAM、ROM、EEPROM、CD-ROM或其它光盘存储、磁盘存储或其它磁存储设备、或能用于携带或存储指令或数据结构形式的期望程序代码且能被计算机访问的任何其它介质。任何连接也被正当地称为计算机可读介质。例如,如果软件是使用同轴电缆、光纤电缆、双绞线、数字订户线(DSL)、或诸如红外、无线电、以及微波之类的无线技术从web网站、服务器、或其它远程源传送而来,则该同轴电缆、光纤电缆、双绞线、DSL、或诸如红外、无线电、以及微波之类的无线技术就被包括在介质的定义之中。如本文中所使用的盘(disk)和碟(disc)包括压缩碟(CD)、激光碟、光碟、数字多用碟(DVD)、软盘和蓝光碟,其中盘常常磁性地再现数据而碟用激光光学地再现数据。上述的组合应当也被包括在计算机可读介质的范围内。

[0069] 提供了以上对所公开的示例性方面的描述是为了使得本领域任何技术人员皆能够制作或使用本发明。对这些示例性方面的各种修改对于本领域技术人员而言将是显而易见的,并且本文中定义的普适原理可被应用于其他示例性方面而不会脱离本发明的精神或范围。由此,本公开并非旨在被限定于本文中示出的示例性方面,而是应被授予与本文中公开的原理和新颖性特征一致的最广义的范围。

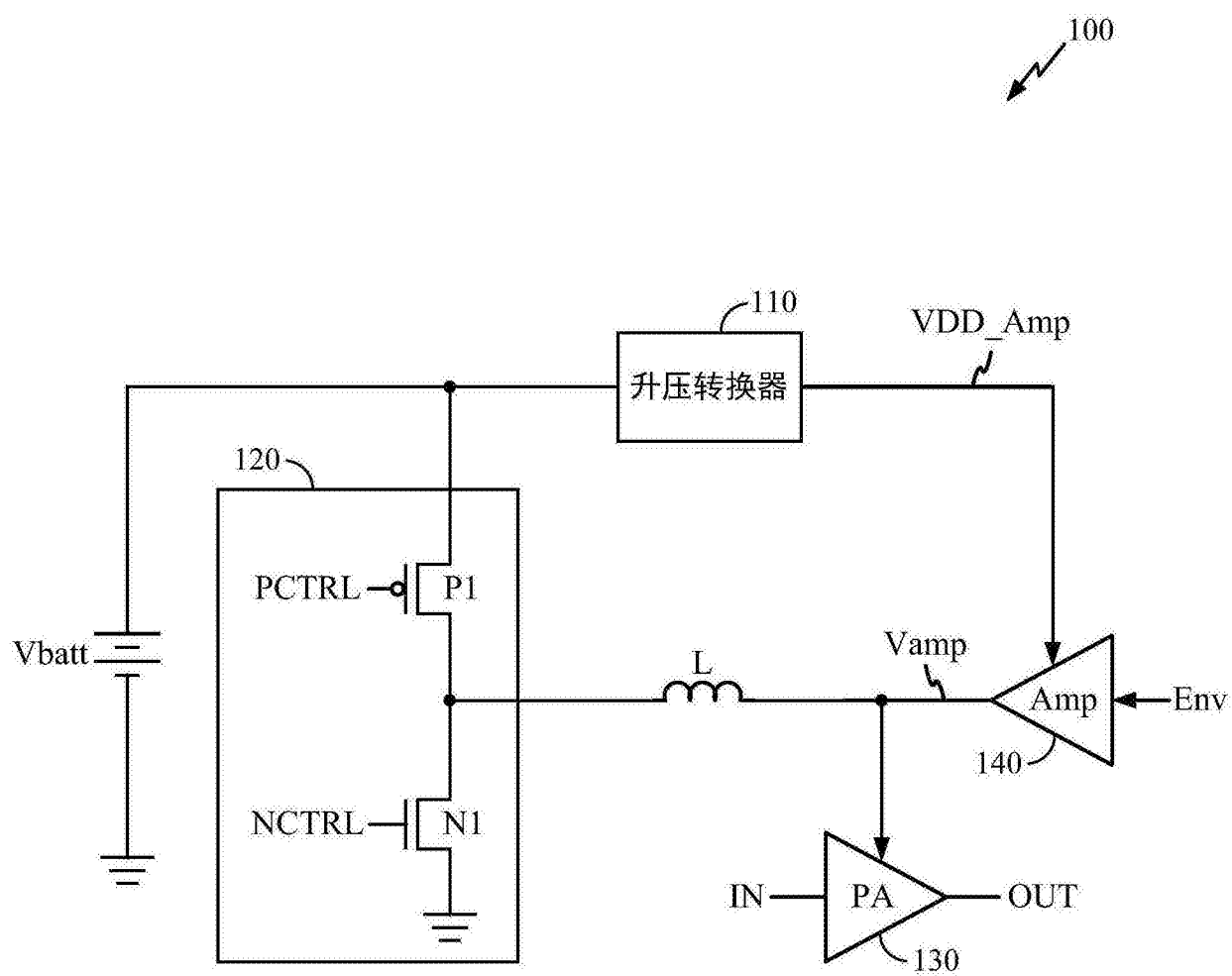


图 1

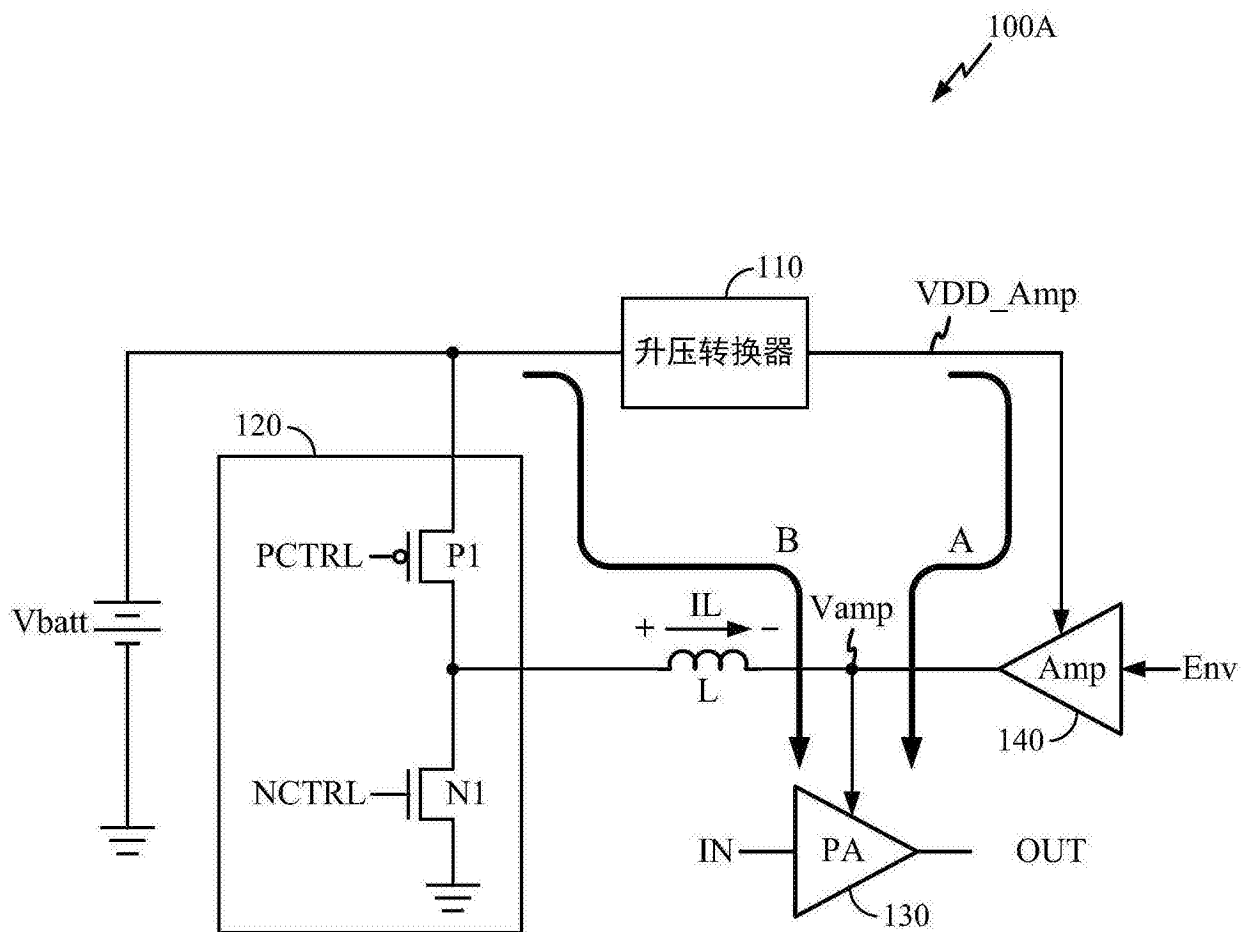


图2

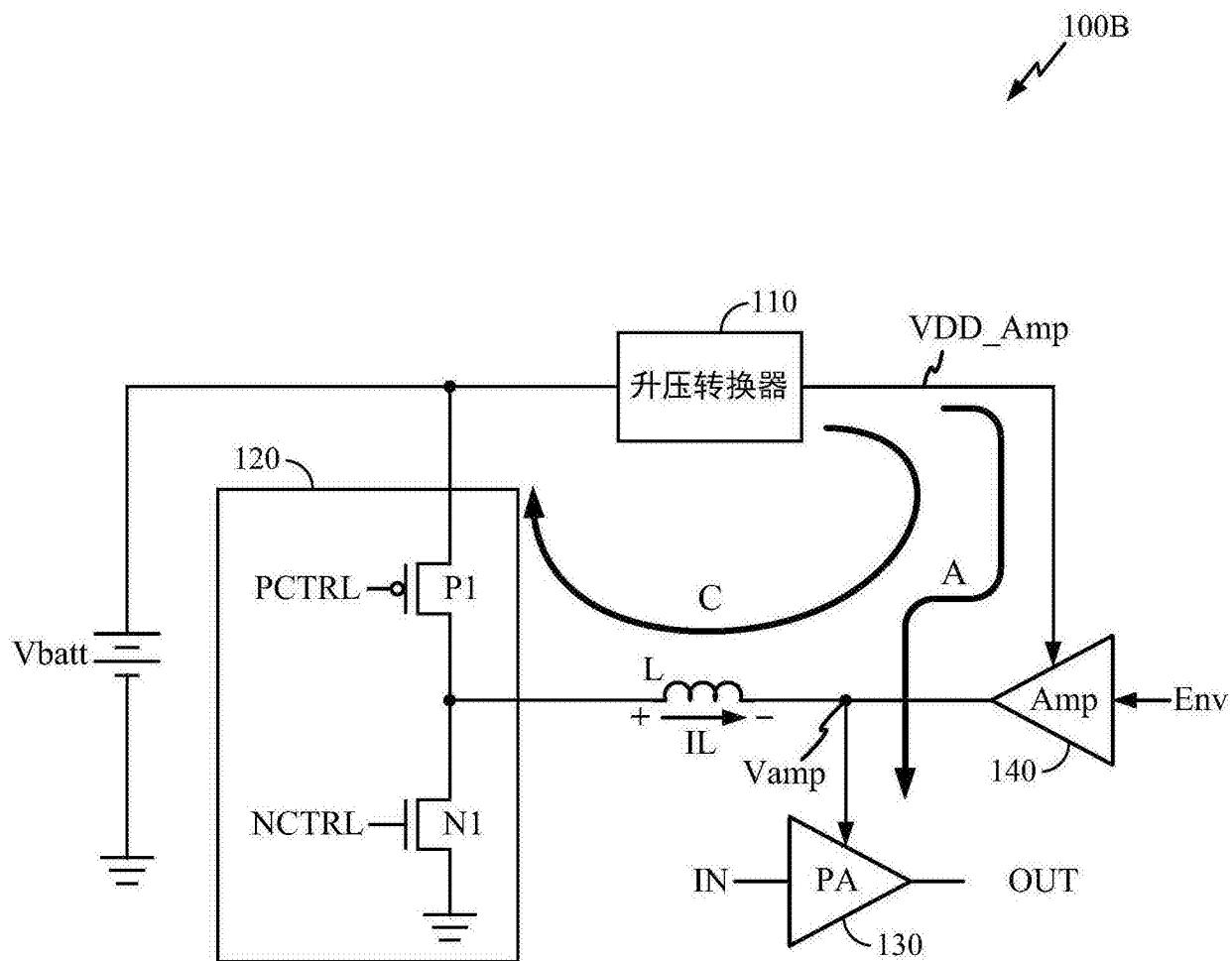


图3

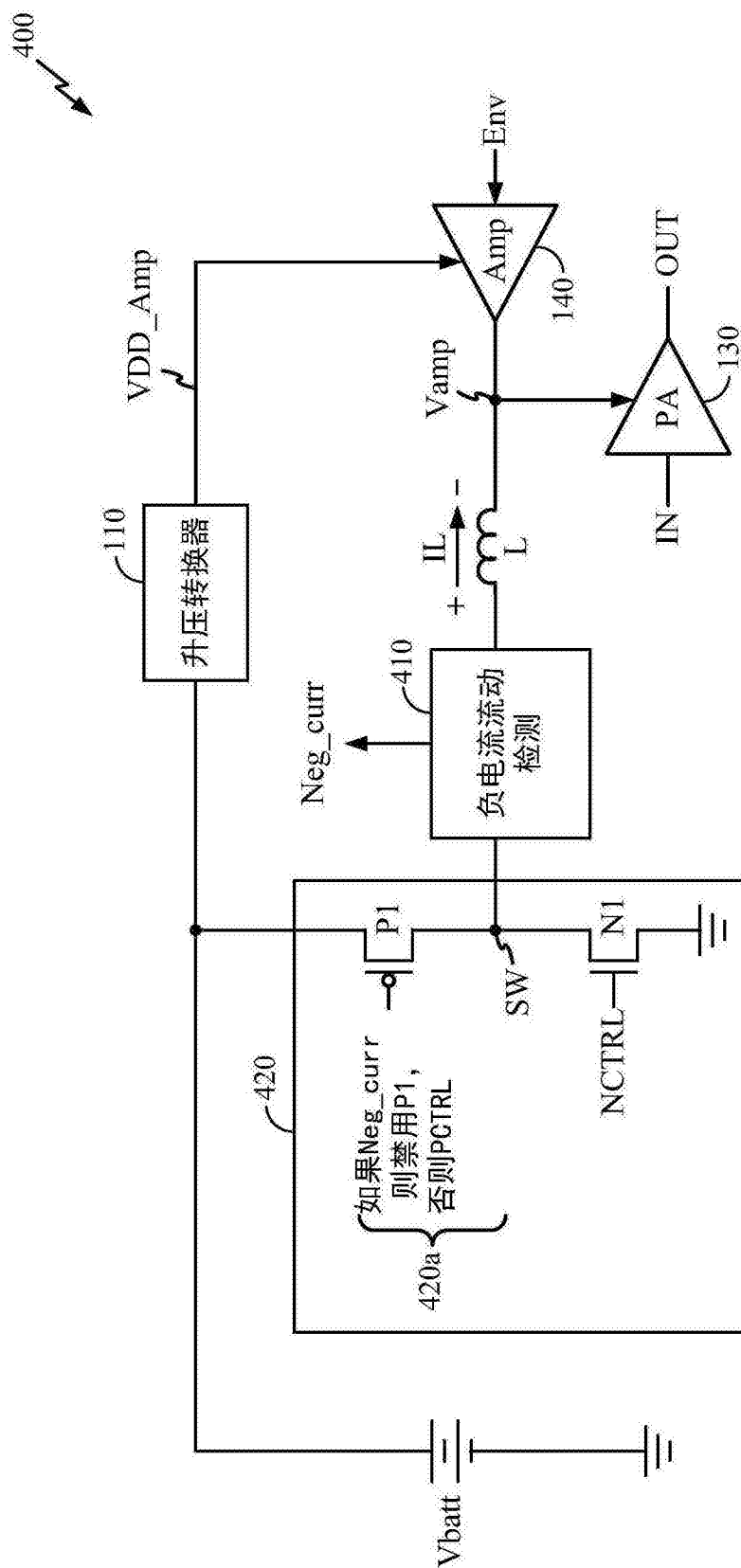


图4

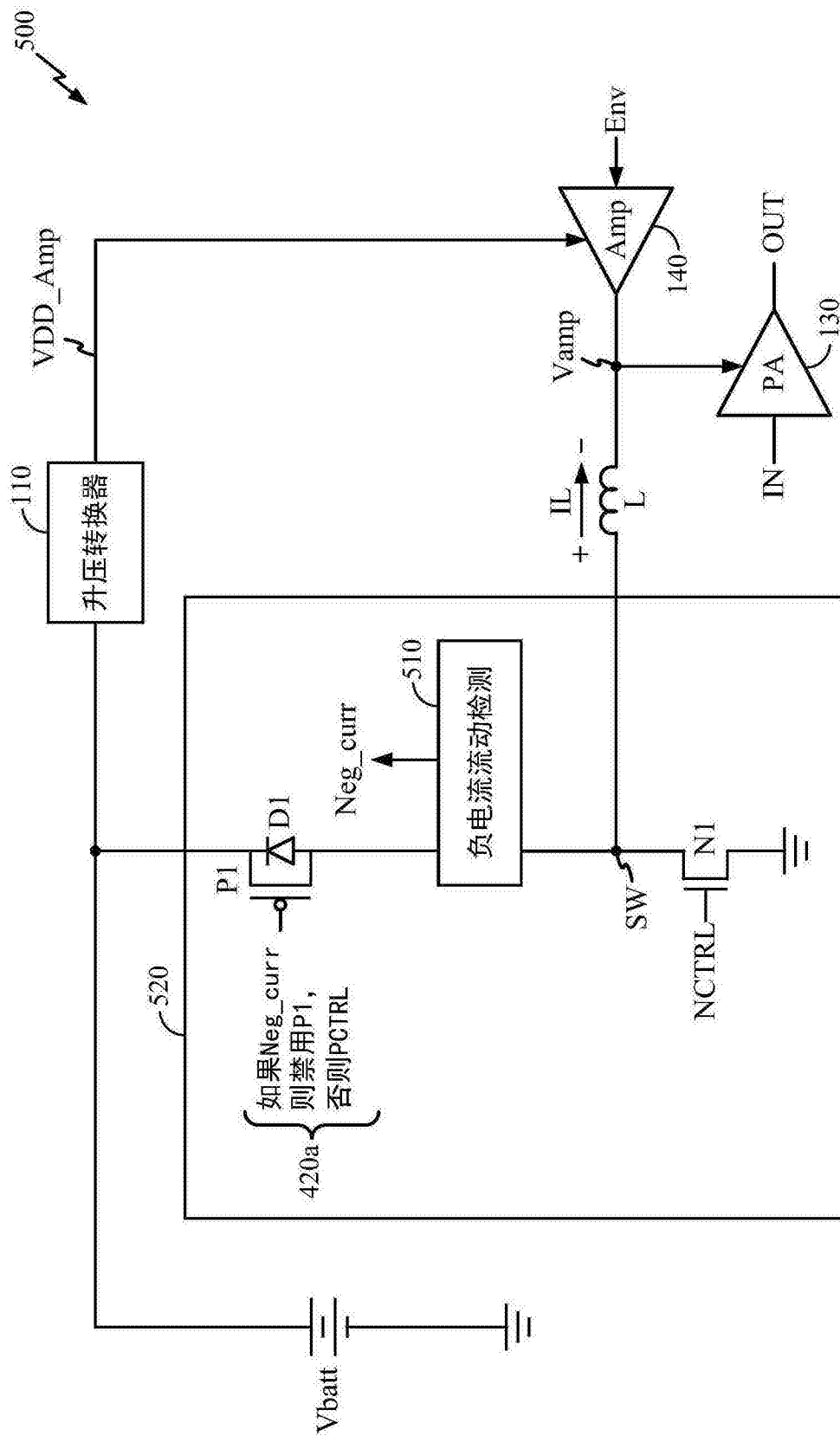


图5

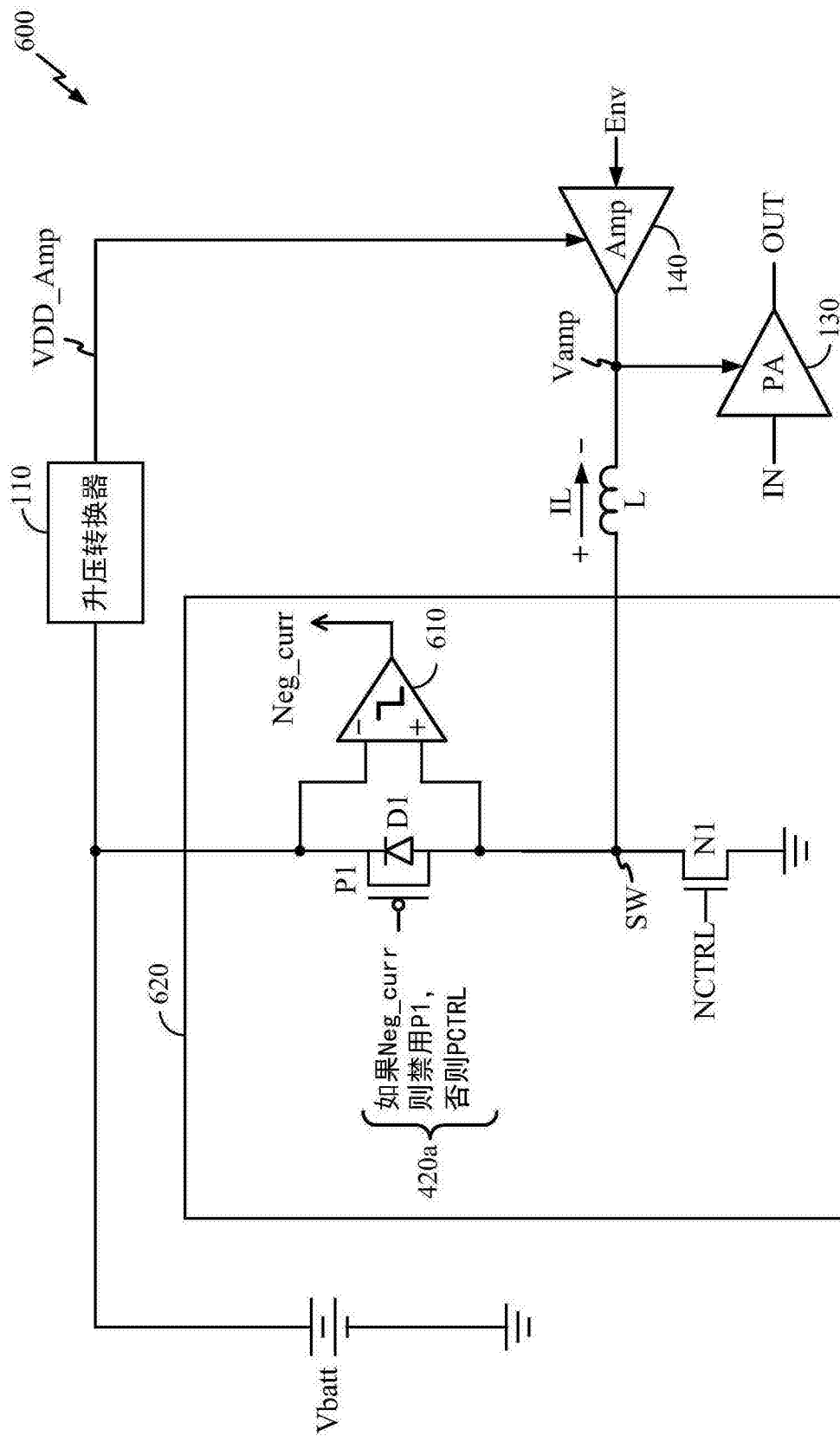


图6

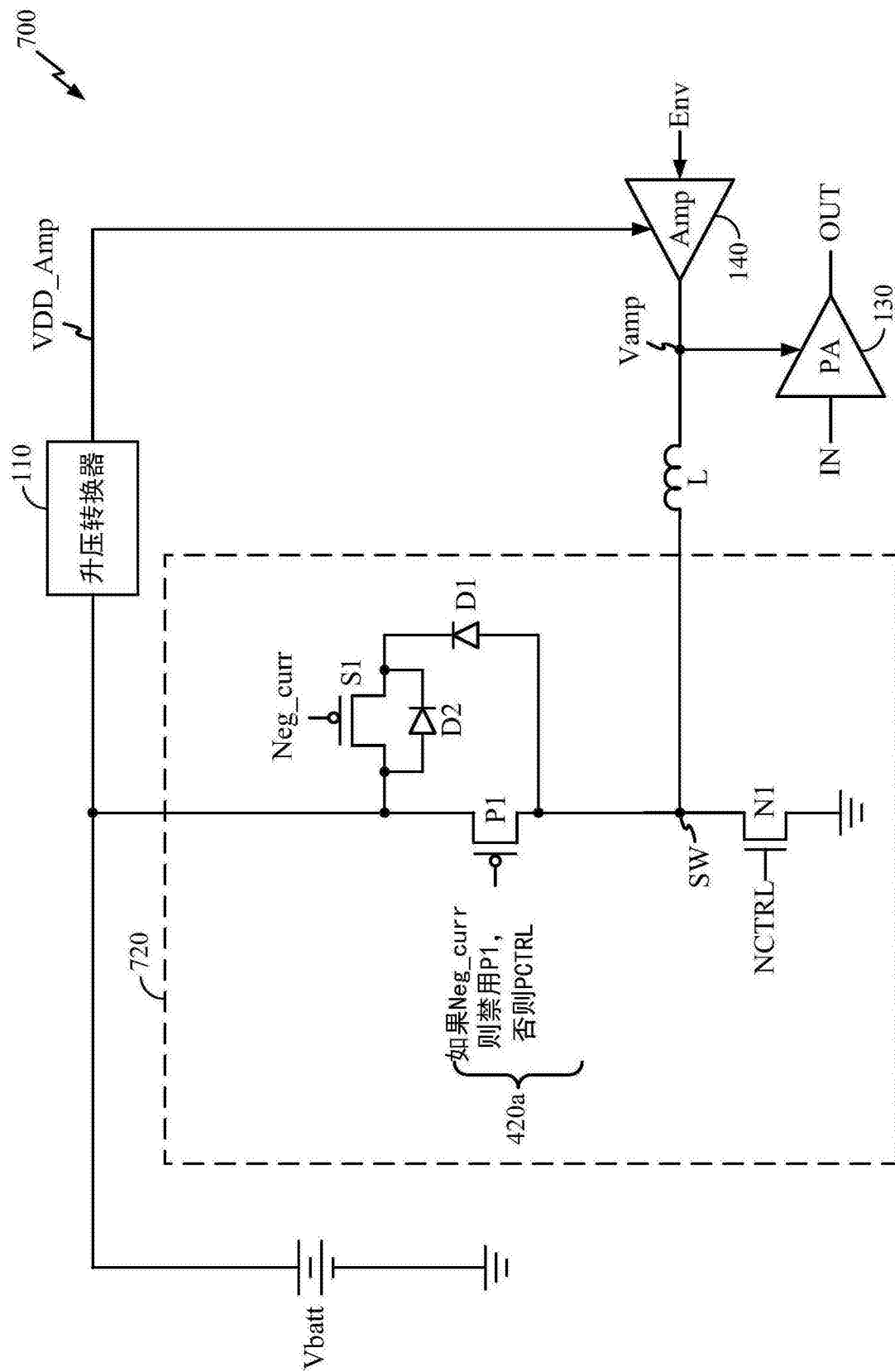


图7

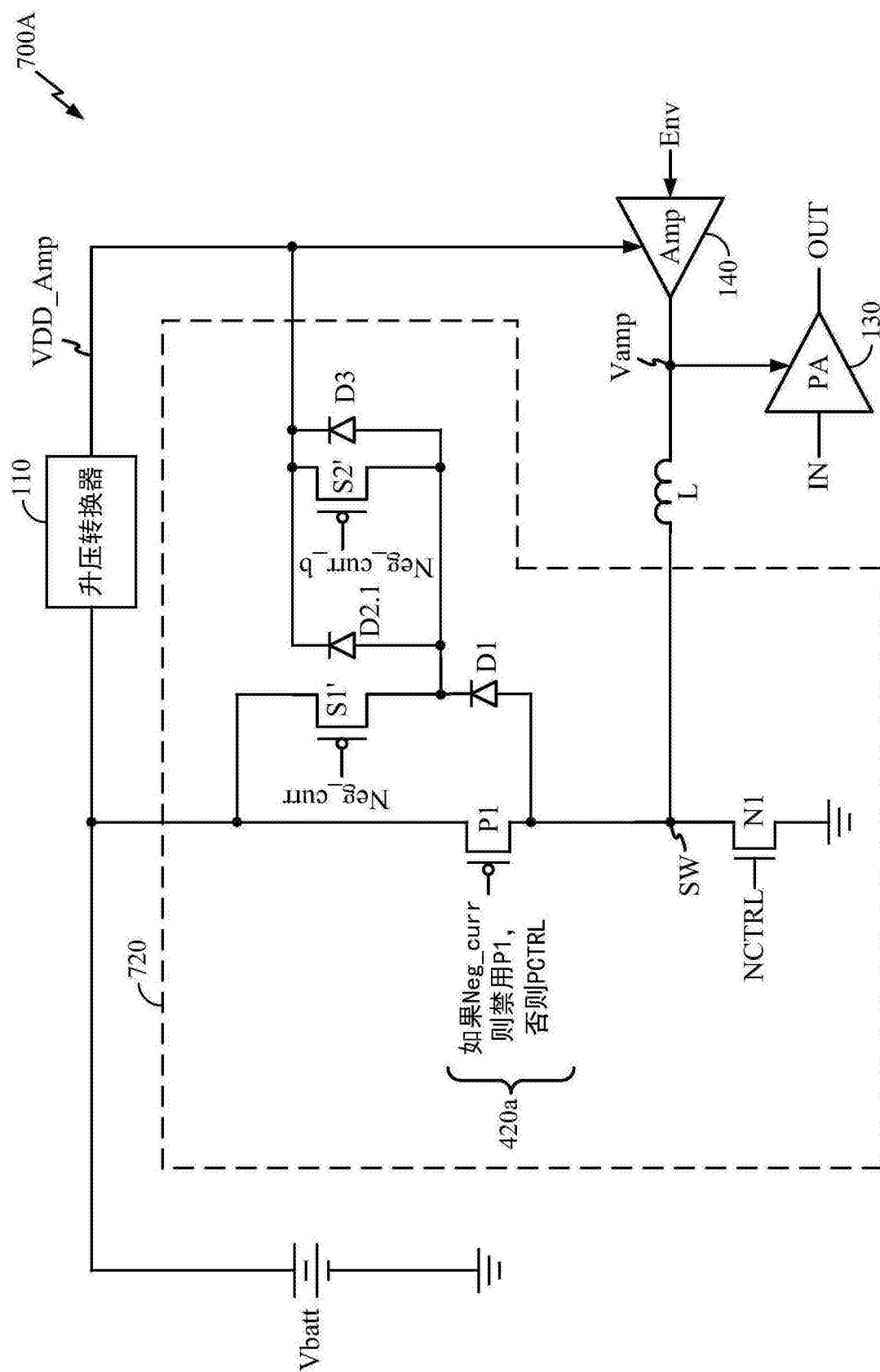


图7A

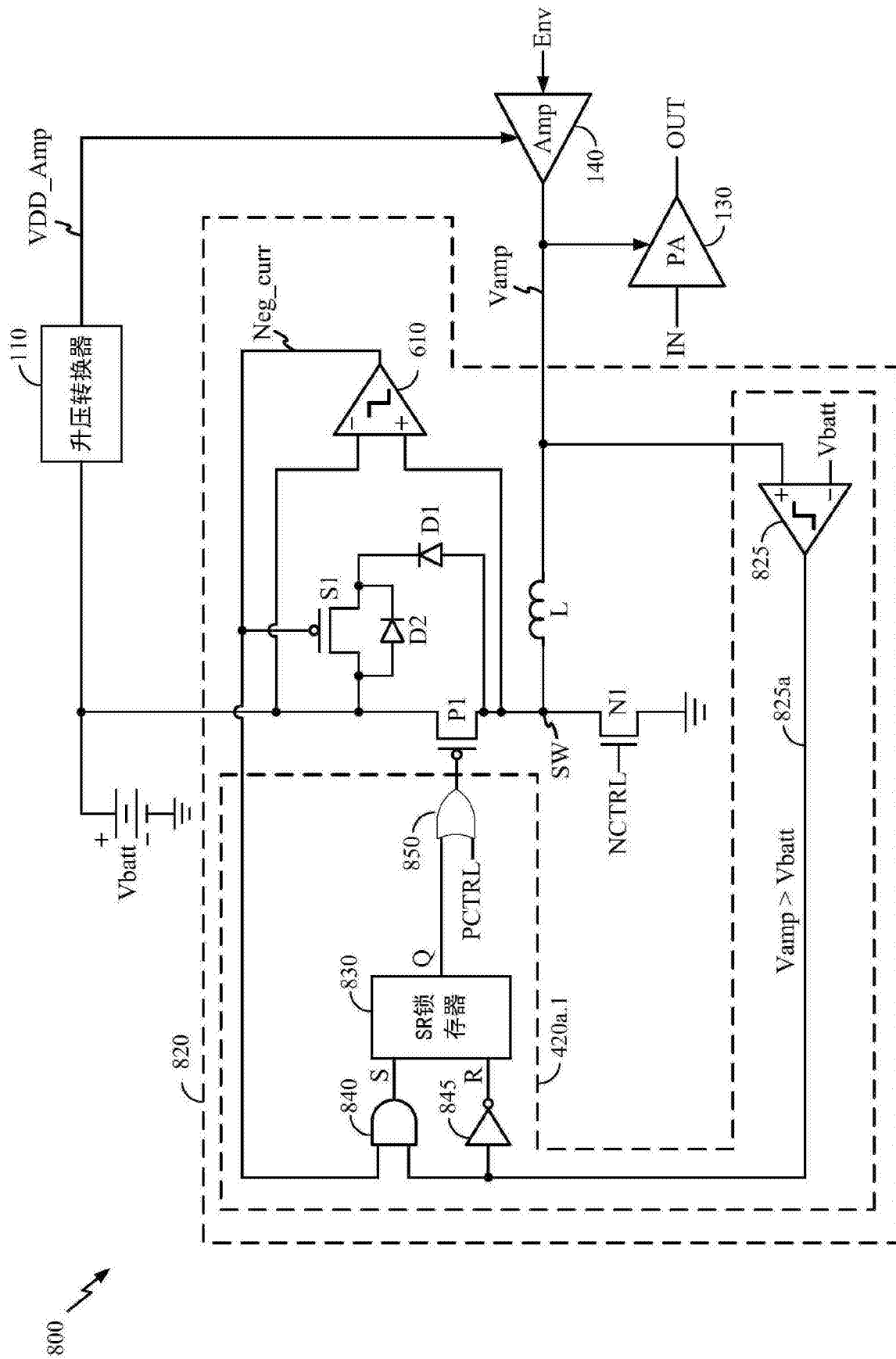


图8

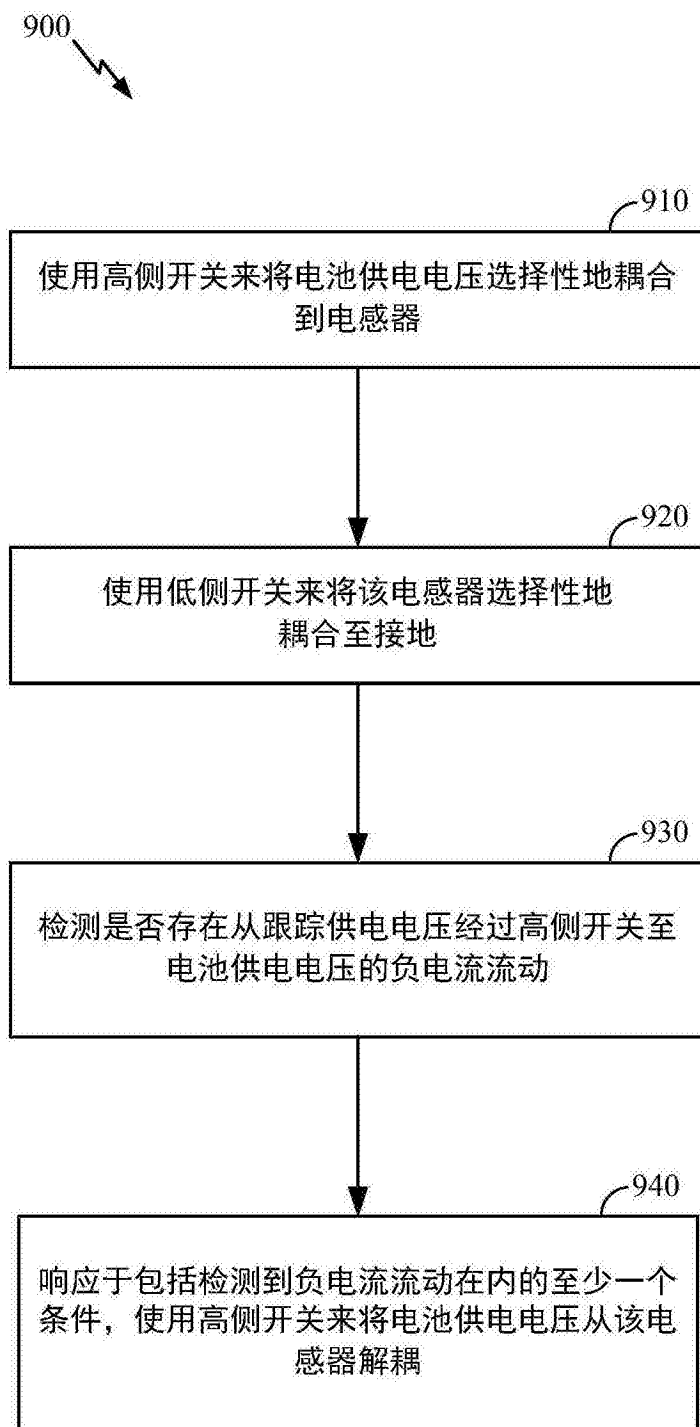


图9