

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-294831

(P2005-294831A)

(43) 公開日 平成17年10月20日(2005.10.20)

(51) Int.Cl.⁷H 01 L 21/331
H 01 L 29/737

F 1

H 01 L 29/72

H

テーマコード(参考)

5 FOO 3

審査請求 未請求 請求項の数 10 O L (全 11 頁)

(21) 出願番号 特願2005-91373 (P2005-91373)
 (22) 出願日 平成17年3月28日 (2005.3.28)
 (31) 優先権主張番号 10/817,514
 (32) 優先日 平成16年4月2日 (2004.4.2)
 (33) 優先権主張国 米国(US)

(71) 出願人 399117121
 アジレント・テクノロジーズ・インク
 A G I L E N T T E C H N O L O G I E
 S, I N C.
 アメリカ合衆国カリフォルニア州パロアル
 ト ページ・ミル・ロード 395
 395 Page Mill Road
 Palo Alto, California
 U. S. A.
 (74) 代理人 110000246
 特許業務法人才カダ・フシミ・ヒラノ
 (72) 発明者 サンディープ・バール
 アメリカ合衆国94306カリフォルニア
 州パロ・アルト、エドリー・アヴェニュー
 297

最終頁に続く

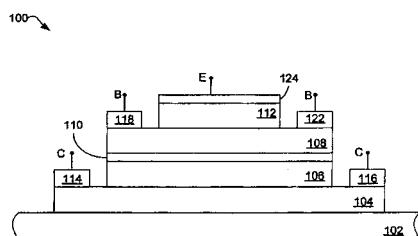
(54) 【発明の名称】ヘテロ接合バイポーラ・トランジスタ

(57) 【要約】

【課題】降伏電圧を増大させるGaAsSb/InP ヘテロ接合
 バイポーラ・トランジスタ(HBT)を提供する。

【解決手段】本発明によれば、基板上に形成されたコレ
 クタと、コレクタ上に形成されたベースと、ベース上に
 形成されたエミッタと、コレクタとベースの間のトンネ
 リング抑制層を含む、ヘテロ接合バイポーラ・トランジ
 スタ(HBT)が得られる。トンネリング抑制層は、ベ
 ース材料とは異なり、ベース材料の電子親和力以上の電
 子親和力を備える材料から製作される。

【選択図】図2



【特許請求の範囲】

【請求項 1】

基板の上に形成されるコレクタと、
 前記コレクタの上に形成されるベースと、
 前記ベースの上に形成されるエミッタと、
 前記ベースの材料と異なり、前記ベースの材料の電子親和力以上の電子親和力を備える
 材料から製作された、前記コレクタと前記ベースの間に位置するトンネリング抑制層と、
 を有する、ヘテロ接合バイポーラ・トランジスタ（HBT）。

【請求項 2】

前記コレクタがインジウム燐（InP）を含み、前記ベースが砒化アンチモン化ガリウム
 (GaAsSb)を含み、前記エミッタが、インジウム、燐、アルミニウム、ガリウム、窒素、
 及び、砒素のうちの2以上を含み、前記トンネリング抑制層が、アルミニウム、ガリウム、
 インジウム、窒素、燐、砒素、及び、アンチモンのうちの2以上を含む材料である、請求
 項1に記載のヘテロ接合バイポーラ・トランジスタ（HBT）。 10

【請求項 3】

前記トンネリング抑制層が砒化アルミニウム・ガリウム・インジウム（AlGaInAs）を含
 む、請求項2に記載のヘテロ接合バイポーラ・トランジスタ（HBT）。

【請求項 4】

前記トンネリング抑制層が、 $Al_{0.33}Ga_{0.15}In_{0.52}As$ を含む、請求項3に記載のヘテロ接
 合バイポーラ・トランジスタ（HBT）。 20

【請求項 5】

前記トンネリング抑制層が、本質的に、 $Al_{1-x-y}Ga_xIn_yAs$ から成り、ここで、 $0.09 < x < 0.25$ 及び $y = 0.52$ である、請求項3に記載のヘテロ接合バイポーラ・トランジスタ（HBT）。

【請求項 6】

前記トンネリング抑制層が、傾斜電子親和力を供給するように構造される、請求項3
 に記載のヘテロ接合バイポーラ・トランジスタ（HBT）。

【請求項 7】

前記トンネリング抑制層が、本質的に、 $Al_{1-x-y}Ga_xIn_yAs$ から成り、ここで、 $0.09 < x < 0.25$ 及び $y = 0.52$ であり、 30

前記トンネリング抑制層は、前記ベース付近よりも前記コレクタ付近でガリウムのモル
 分率が大きい、

請求項6に記載のヘテロ接合バイポーラ・トランジスタ（HBT）。

【請求項 8】

前記トンネリング抑制層が、砒化燐化アルミニウム・インジウム（AlInAsP）を含む、
 請求項2に記載のヘテロ接合バイポーラ・トランジスタ（HBT）。

【請求項 9】

前記トンネリング抑制層が、インジウム燐（InP）と砒化アルミニウム・インジウム（A
 lInAs）を含み、インジウム燐が40%～100%を占める、請求項8に記載のヘテロ接
 合バイポーラ・トランジスタ（HBT）。 40

【請求項 10】

ヘテロ接合バイポーラ・トランジスタを製作するための方法であって、
 基板を設けるステップと、
 前記基板の上にサブコレクタを形成するステップと、
 前記サブコレクタの上にコレクタを形成するステップと、
 前記コレクタの上にトンネリング抑制層を形成するステップと、
 前記トンネリング抑制層の上にベースを形成するステップと、
 前記ベースの上にエミッタを形成するステップと、を有し、
 前記トンネリング抑制層が、前記ベースの材料と異なり、前記ベースの材料の電子親和
 力以上の電子親和力を備える材料を利用して形成される、方法。 50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ヘテロ接合バイポーラ・トランジスタ(HBT)に関する。

【背景技術】

【0002】

インジウム燐ヘテロ接合バイポーラ・トランジスタ(InP-HBT)は、高周波数動作、及び、10～20ボルトといった比較的高い降伏電圧(breakdown voltage)が望ましい用途において有用である。近似関係式 $f_{MAX} = (f_T / 8 R_b C_c)$ (ここで、 f_T は電流・利得・帯域幅の積、すなわち、カットオフ周波数であり、 R_b はベース直列抵抗であり、 C_c は、コレクタ・ベース・キャパシタンスである)は、 f_T が増すと、最大動作周波数 f_{MAX} が増すことを示している。この関係式は、トランジスタの単純な集中素子(lumped-element)モデルに基づいているため、おおよそのものである。実際には、ベース直列抵抗 R_b 及びコレクタ・ベース・キャパシタンス C_c は、分散している。より正確な式は、代数的に複雑であり、この近似式を用いて、立証しようとする点を明らかにするよりも、不明瞭にすることになる。

【0003】

p-n接合の降伏電圧は、逆電圧であり、それを超えると、電圧のわずかな上昇によって、大電流を生じることになる。バイポーラ・トランジスタにおける降伏電圧の定義が2つある。電圧 BV_{CE0} は、ベース端末を開放して測定されたトランジスタ降伏電圧である。電圧 BV_{CB0} は、エミッタ端子を開放して測定されたベース・コレクタ接合の降伏電圧である。ベース材料として砒化アンチモン化ガリウム(GaAsSb)を含むインジウム燐(InP)HBTの場合、 BV_{CB0} は、HBTのベースの価電子帯からコレクタの伝導帯への電子の「ツェナー」・トンネリング(Zener tunneling)と呼ばれる現象によって制限される。これによって生じる電流は、「トンネル電流(tunneling current)」と呼ばれる。一般に、トンネル電流が流れる電圧を最大にするのが望ましい。

【0004】

GaAsSb/InP HBTは、優れた高周波(高 f_T 及び f_{MAX})性能を示す。GaAsSbベースは、InPコレクタと共に「タイプII」バンド・ラインアップ(type-II band lineup)と称するものを形成する。伝導帯(conduction band)のオフセットによって、ベースからコレクタへの電子伝達が向上し、価電子帯(valence band)のオフセットによって、ベースからコレクタへの正孔の伝達が最小限に抑えられるので、バンド・ラインアップは、多くの点で理想的である。タイプIIバンド・ラインアップによって、HBTの所望の「ニー」・ターンオン特性(knee turn-on characteristic)が得られるようになる。良好なニー・ターンオン特性は、比較的低いコレクタ電圧での動作を可能し、HBTが組み込まれることになる多くの回路の効率の良い動作にとって重要である。

【発明の開示】

【発明が解決しようとする課題】

【0005】

GaAsSb/InP HBTは、上述の利点を備えているが、いくつかの潜在的な用途には降伏電圧が不十分である。本発明の目的は、上述の利点を備えるが、降伏電圧を増大させる、GaAsSb/InP HBTを提供することにある。

【課題を解決するための手段】

【0006】

本発明によれば、基板上に形成されたコレクタと、コレクタ上に形成されたベースと、ベース上に形成されたエミッタと、コレクタとベースの間のトンネリング抑制層を含む、ヘテロ接合バイポーラ・トランジスタ(HBT)が得られる。トンネリング抑制層は、ベース材料とは異なり、ベース材料の電子親和力以上の電子親和力(electron affinity)を備える材料から製作される。

【0007】

10

20

20

30

30

40

40

50

本発明によれば、さらに、基板を設けるステップと、基板上にサブコレクタを形成するステップと、サブコレクタの上にコレクタを形成するステップと、コレクタの上にトンネリング抑制層を形成するステップと、トンネリング抑制層の上にベースを形成するステップと、ベースの上にエミッタを形成するステップが含まれている、HBTを製作するための方法も得られる。

【0008】

トンネリング抑制層は、ベースの価電子帯からコレクタの伝導帯への電子のトンネリングの確率を低下させることによって、HBTの降伏電圧を高める。

【発明を実施するための最良の形態】

【0009】

本発明は、付属の図面を参照することによってより明確に理解することが可能になる。図面の構成要素は、必ずしも一定の拡大率によるものではなく、代わりに、本発明の原理を明瞭に例証することに重点がおかれていている。さらに、図面中、同様の参照番号は、いくつかの図にわたって対応する部分を表わしている。

【0010】

図1には、GaAsSbベースとInPコレクタを備えたHBTのベース・コレクタ接合のバンドダイアグラム(band diagram)10が示されており、タイプIIバンド・ラインアップが示されている。バンドダイアグラム10には、デバイスの層面に対して直交する方向への物理的距離に対する電子エネルギーがプロットされている。バンドダイアグラム10には、伝導帯エネルギーEc(ベースに関する12及びコレクタに関する14)、価電子帯エネルギーEv(ベースに関する16及びコレクタに関する18)、及び、逆バイアス下における真空レベル22が示されている。真空レベルは、自由電子のエネルギーを定義する基準である。電子親和力は、半導体の真空レベル22と伝導帯エネルギーEcとのエネルギー差である。電子親和力は、半導体の伝導体に存在する電子を解放するのに必要なエネルギーである。真空レベルは連続的であるため、伝導帯オフセットは、2つの半導体間における電子親和力の差である。

【0011】

GaAsSb/InP HBTのバンド・ラインアップは、電子伝達を促進するが、ベースの価電子帯からコレクタの伝導帯への電子のトンネリングの確率を増すので、好ましくない。トンネリングの確率は、ベースの価電子帯とコレクタの伝導帯との距離が、図1に矢印26で示すように、比較的短いために高くなる。トンネリングの確率が高くなると、降伏電圧BVcboが低下する。トンネリング距離以外に、トンネリングの確率は、ベース・コレクタ接合におけるエネルギー障壁、エネルギー障壁における電子及び正孔の質量、及び、トンネリングに利用可能な状態の密度といった、いくつかの要因にも左右される。

【0012】

図2は、本発明の実施態様の1つに従って構成されたヘテロ接合バイポーラ・トランジスタ(HBT)100を例示したブロック図である。HBT100は、さまざまな半導体材料系を利用して形成することが可能である。この例の場合、HBTの半導体層は、インジウム燐(InP)基板102上に形成される。厚さ約500ナノメートル(nm)のインジウム燐層が、インジウム燐層102の上に成長させられて、サブコレクタ104を形成する。厚さ約300ナノメートル(nm)のインジウム燐層が、サブコレクタ104の上に成長させられて、コレクタ106を形成する。

【0013】

トンネリング抑制層110が、コレクタ106の上に成長させられる。トンネリング抑制層110は、アルミニウム、ガリウム、インジウム、窒素、燐、砒素、及び、アンチモンのうち2つ以上の元素を含む材料から製作される。例えば、トンネリング抑制層110は、砒化アルミニウム・ガリウム・インジウム(AIGaInAs)または砒化燐化アルミニウム・インジウム(AlInAsP)を利用して製作することが可能である。実施態様の1つでは、トンネリング抑制層110は、Al_{0.33}Ga_{0.15}In_{0.52}Asの組成を有するAIGaInAsを利用して製作される。HBT100の所望の特性に従って、他の組成を利用することも可能である

。例えば、AlGaInAsの組成は、 $Al_{1-x-y}Ga_xIn_yAs$ とすることも可能である。ここで、 $x = 0.9$ 、 $y = 0.25$ 、及び、 $y = 0.52$ 。トンネリング抑制層110は、約10~50nmの厚さまで成長させられるが、一般には、約25nmの厚さである。

【0014】

厚さ約30nmの砒化アンチモン化ガリウム(GaAsSb)の層が、トンネリング抑制層110の上に成長させられて、ベース108を形成する。厚さ約100nmのインジウム燐の層が、ベース108の上に形成されて、エミッタ112を形成する。エミッタは、砒化アルミニウム・インジウム(AlInAs)、砒化アルミニウム・ガリウム・インジウム(AlGaInAs)、砒化燐化アルミニウム・インジウム(AlInAsP)、または、アルミニウム、ガリウム、インジウム、窒素、燐、砒素、及び、アンチモンのうち2つ以上の元素を含む別の組成といった、他の材料から形成することも可能である。次に、コレクタ接点114及び116、ベース接点118及び122、及び、エミッタ接点124が、それぞれ、サブコレクタ104、ベース108、及び、エミッタ112のそれぞれに達するエッティングの後、それらそれぞれの層の上に形成される。

【0015】

トンネリング抑制層110が、ベース108を形成する材料とは異なる材料から形成される。さらに、後述するように、トンネリング抑制層110を形成する材料の電子親和力は、ベース108を形成する材料とは異なる材料の電子親和力以上である。トンネリング抑制層110を形成する材料とベース108を形成する材料の電子親和力の差は、例えば、およそ0.03eVほどになる可能性があるが、やはり、等しいとみなすことが可能である。この例の場合、トンネリング抑制層110の材料である砒化アルミニウム・ガリウム・インジウム(AlGaInAs)の組成は、ベース108の材料である砒化アンチモン化ガリウム(GaAsSb)の電子親和力以上の電子親和力を備えるように選択される。

【0016】

図3は、逆バイアス下における図2のトンネリング抑制層を含む、砒化アンチモン化ガリウム/インジウム燐(GaAsSb/InP)HBTのベース・コレクタ接合のバンドダイアグラムである。上述のように、バンドダイアグラム200には、距離に対する電子エネルギーがプロットされている。真空レベルは、222で表示され、ベースにおける伝導帯のエネルギー準位は、参考番号212で表示され、コレクタにおける伝導帯のエネルギー準位は、参考番号214で表示されている。ベースにおける価電子帯のエネルギー準位は、参考番号216で表示され、コレクタにおける価電子帯のエネルギー準位は、参考番号218で表示されている。電子親和力は、参考番号232で表示されている。GaAsSbベースにおける電子の電子親和力は、約4.25eVである。

【0017】

本発明の実施態様の1つによれば、図2に示すHBT100のコレクタ106とベース108との間にトンネリング抑制層110を配置することによって、電子が、トンネル効果でベースの価電子帯からコレクタの伝導帯まで移動しなければならない距離が長くなる。この距離が、矢印226によって示されており、トンネリング抑制層がないHBTと比較した場合の、電子が移動しなければならないトンネリング距離の延長を表わしている。点線230は、トンネリング抑制層110の伝導帯エネルギーを示している。参考のため、点線230は、トンネリング抑制層のない場合の、コレクタの伝導帯エネルギー214の上に重ねて示されている。トンネリング抑制層の電子親和力は、この例では約4.3eVである、矢印236で示されている。参考のため、InPコレクタの伝導帯における電子の電子親和力は、4.4eVの電子親和力を表わす矢印234を利用して示されている。

【0018】

トンネリング抑制層110は、電子がトンネル効果でベースの価電子帯からコレクタの伝導帯に移動する確率を低下させることによって、HBT100の逆(降伏)電圧を上昇させる。電子がトンネル効果でベースの価電子帯からコレクタの伝導帯まで移動しなければならない距離は、事実上、矢印226で示すように長くなる。トンネリング抑制層110の電子親和力は、ベースの電子親和力にほぼ等しいか、それを超えるので、トンネリン

10

20

30

30

40

50

グ抑制層 110 によって、ベースからコレクタへの所望の伝導体の流れが妨げられることはない。従って、HBT 100 の所望の「ニー（knee）」・ターンオン特性が維持され、HBT 100 は、低電圧において多量の電流の流れを示す。

【0019】

ベースヒトンネリング抑制層の 110 の接合 224 における電子親和力 ϕ がわずかにオフセットすると、伝導帯を介したベースからコレクタへの電子の移動に対する障壁が弱まる（すなわち、エネルギーが増大する）ことになる。

【0020】

トンネル抑制層 110 を導入する効果の相殺は、トンネリング抑制層 110 に一般的に利用可能な組成（砒化アルミニウム・ガリウム・インジウムまたは砒化燐化アルミニウム・インジウム）の大部分が、インジウム燐に比べて、トンネル効果で移動する電子の有効質量が小さいこと、及び、正孔トンネリング障壁が小さいこと（価電子帯のオフセット）の一方または両方によって生じる。これら両方の効果が、トンネリングの確率を高め、従って、降伏電圧を低下させる働きをする。これらの効果は、トンネリング抑制層 110 によって生じるトンネリング距離の延長とのトレードオフを生じる。トンネリング層 110 の設計を助け、トンネリング確率の低下を確認するため、シミュレーション研究が実施された。シミュレーション結果から明らかのように、トンネリング抑制層 110 は、コレクタ電流を減少させ、従って、ある特定のコレクタ・ベース電圧に関して、HBT におけるトンネリング確率を低下させることになる。

【0021】

図 4 は、逆バイアス化における図 2 のトンネリング抑制層の代替実施態様を含む、砒化アンチモン化ガリウム / インジウム燐 (GaAsSb/InP) HBT のベース・コレクタ接合のバンドダイアグラム 300 である。図 4 のトンネリング抑制層は、傾斜 (graded) 電子親和力を備えている。点線 330 は、電子がトンネリング抑制層に入り込むまでの距離に応じて変動する、傾斜電子親和力を備えるトンネリング抑制層 110 を例示している。図 5B において、ベースからトンネリング抑制層 110 への電子親和力のステップ 324 が、^t によって表わされ、トンネリング抑制層 110 における電子親和力の増大は、^t によって表わされている。ベースとトンネリング抑制層 110 の接合 324 の近くにおける電子親和力 ϕ は、伝導帯を介してベースからコレクタへ移動する電子に対する障壁を弱めるため、わずかにオフセットしている。層の深さにわたる砒化アルミニウム・ガリウム・インジウム (AlGaInAs) のトンネリング抑制層の組成を変更することによって、所望の低ニー電圧をもたらし、さらに、トンネル電流を減少させる傾斜トンネリング抑制層が形成される。

【0022】

図 5A は、図 3 に示す、定電子親和力を有するトンネリング抑制層の電子親和力を例示した概略図 400 である。ベース 402 とトンネリング抑制層 410 との接合 412 におけるトンネリング抑制層 410 の電子親和力 ϕ は、伝導帯を介して、ベースからコレクタに移動する電子に対する障壁を弱めるため、わずかに ϕ だけオフセットしている。トンネリング抑制層 410 の電子親和力は、コレクタ 404 に向かって一定の状態を保つ。この例の場合、ほぼ $Al_{0.33}Ga_{0.15}In_{0.52}As$ の組成によって、約 0.07 eV の ϕ が得られる。あるいはまた、GaAsSb ベースと同じ電子親和力を備える、ほぼ $Al_{0.37}Ga_{0.11}In_{0.52}As$ までの組成は、伝導帯を介して、ベースからコレクタに移動する電子に対する障壁を強めるという代償を払って、利用することが可能である。

【0023】

図 5B は、トンネリング抑制層 110 の深さに応じて変化する、電子親和力を備えたトンネリング抑制層の電子親和力を例示した概略図 420 である。電子親和力の変化は、 $Al_{1-x-y}Ga_xIn_yAs$ (ここで、 $0.09 < x < 0.25$ 、及び、 $y = 0.25$) を含むトンネリング抑制層 430 を利用し、ベースの近くよりも、コレクタの近くのガリウムのモル分率を大きくすることによって実現することが可能である。例えば、 x がトンネリング抑制層のベース側における約 0.12 からトンネリング抑制層のコレクタ側における約 0.

10

20

30

40

50

15に変化すると、ベース422の近くの領域432において約0.03eVのと約0.04eVの t^* が生じることになる。この例の場合、ベース422の近くの領域432における約0.03eVのによって、伝導帯を介して、ベースからコレクタに移動する電子に対する障壁が弱まり、その傾斜によって、トンネリング抑制層430を横断する間に、これらの電子に余剰エネルギーが付与される。トンネリング抑制層430の傾斜は、図4のバンドダイアグラムにおける点線330に対応する。

【0024】

図5Cは、階段状傾斜電子親和力を備えたトンネリング抑制層を例示した概略図440である。ベース442の近くの遷移452におけるトンネリング抑制層450の電子親和力は、ベースの電子親和力よりも¹だけ強く、遷移454まで一定のままであり、遷移454において、さらに、²の値だけ増大する。例えば、Al_{0.32}Ga_{0.16}In_{0.52}Asの厚さ15nmの層が後続するAl_{0.35}Ga_{0.13}In_{0.52}Asの厚さ10nmの層から構成されるトンネリング抑制層によって、図5Cに示す階段状傾斜構造が得られることになる。あるいはまた、InPとほぼ同じ電子親和力を備えることになるAl_{0.26}Ga_{0.22}In_{0.52}Asまでの組成を利用することも可能である。さらに、トンネリング抑制層は、電子親和力がベースからコレクタまでの間に増大することになる、3つ以上の遷移を利用して形成することも可能になる。AlGaInAsの組成は、Al_{1-x-y}Ga_xIn_yAsとすることが可能であり、ここで、0.09×0.25、及び、y=0.52である。

【0025】

あるいはまた、トンネリング抑制層は、例えば、AlInAsとInPを組み合わせて形成されるAlInAsPの組成を利用して製作することも可能である。伝導帯においてGaAsSbと同じ電子親和力を備える組成のAlInAsPは、41%のInPと50%のAlInAsを組み合わせることによって形成可能である。70%のInPと30%のAlInAsを組み合わせることによって、デルタ=0.07eVの電子親和力のステップを導入することが可能である。この例は、Al_{0.48}In_{0.52}Asの組成を利用して生じる、InPに対して格子整合するよう成長させたAlInAsに関するものである。伝導帯において、電子親和力がGaAsSbの電子親和力を超えるAlInAsPの場合、100%InPの組成まで、利用するInP分率を高くすることが可能である。例えば、図5Bに示す傾斜を有するトンネリング抑制層は、ベースの近くにおいて58%のInPと42%のInAlAsを有し、コレクタの近くにおいて75%のInPと25%のInAlAsを有するInAlAsPの組成を利用して、その間を直線補間することによって形成可能である。この結果、=0.04eV及び $t^*=0.04eV$ になる。

【0026】

代替実施態様の場合、トンネリング抑制層は、「ディジタル合金(alloy)」と呼ばれる合成物から形成することが可能である。AlGaInAsのトンネリング抑制層は、例えば、GaInAsの薄層と交互になったAlInAsの薄層を形成することによって、ディジタル合金から形成することが可能である。これらの層は、ある厚さの少数の層を利用して形成することが可能である。例えば、Al_{0.33}Ga_{0.15}In_{0.52}Asのトンネリング抑制層は、Al_{0.48}In_{0.52}AsとGa_{0.47}In_{0.53}Asの交互層を利用して形成することが可能である。トンネリング抑制層の所望の特性に応じて、砒化アルミニウム・インジウム(AlInAs)とインジウム燐(InP)の交互層を含む砒化燐化アルミニウム・インジウム(AlInAsP)のような代替組成を形成することも可能である。

【0027】

図6は、本発明の実施態様の1つに従ってHBTを製作する方法を明らかにしたフローチャートである。ブロック502では、インジウム燐の基板が設けられる。ブロック504では、インジウム燐のサブコレクタ層が形成される。ブロック506では、インジウム燐のコレクタ層が形成される。ブロック508では、トンネリング抑制層が形成される。トンネリング抑制層は、砒化アルミニウム・ガリウム・インジウム、砒化燐化アルミニウム・インジウム(AlInAsP)、または、アルミニウム、ガリウム、インジウム、窒素、燐、砒素、及び、アンチモンのうちの2つ以上の組み合わせを利用して、形成することが可能である。ブロック510では、アンチモン化ガリウム・砒素のベース層が形成される。

10

20

30

40

50

ブロック 512 では、インジウム燐のエミッタ層が形成される。エミッタには、アルミニウム、ガリウム、窒素、砒素、及び、アンチモンのうち 2つ以上を含むことも可能である。

【0028】

本開示では、例示の実施態様を利用して、本発明が詳述されている。しかし、云うまでもないが、付属の請求項によって定義される本発明は、上述の実施態様に厳密に制限されるものではない。

【図面の簡単な説明】

【0029】

【図 1】逆バイアス下における GaAsSb/InP HBT のベース・コレクタ接合のバンドダイアグラムである。10

【図 2】本発明の実施態様の 1 つに従って構成された HBT を例示したブロック図である。

【図 3】逆バイアス下における、図 2 のトンネリング抑制層を含む、砒化アンチモン化ガリウム / インジウム燐 (GaAsSb/InP) HBT のベース・コレクタ接合のバンドダイアグラムである。

【図 4】逆バイアス下における、図 2 のトンネリング抑制層の代替実施態様を含む、GaAsSb/InP HBT のベース・コレクタ接合のバンドダイアグラムである。

【図 5 A】図 3 に示す定電子親和力を有するトンネリング抑制層を例示した概略図である。

【図 5 B】電子親和力が深さに応じて変化するトンネリング抑制層を例示した概略図である。20

【図 5 C】電子親和力が階段状に変化するトンネリング抑制層を例示した概略図である。

【図 6】本発明の実施態様の 1 つによる HBT の製作を明らかにしたフローチャートである。

【符号の説明】

【0030】

100 ヘテロ接合バイポーラ・トランジスタ

102 基板

106 コレクタ

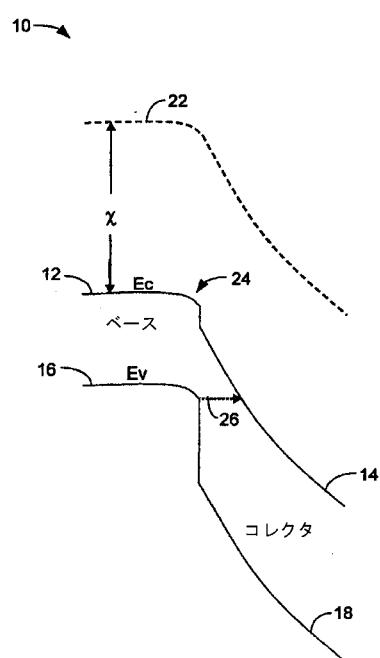
108 ベース

110 トンネリング抑制層

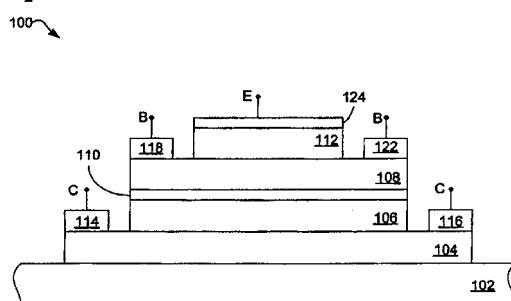
112 エミッタ

30

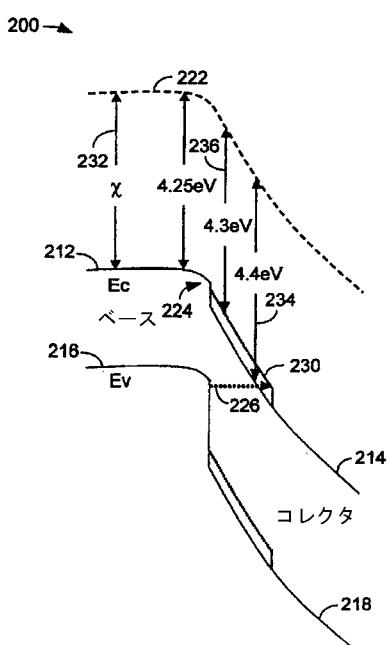
【図1】



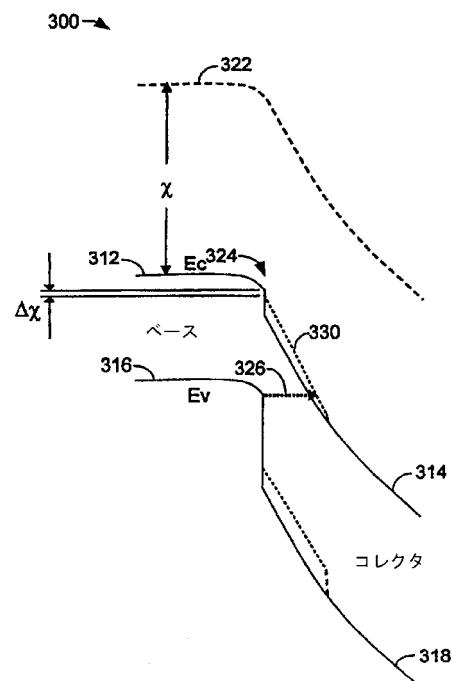
【図2】



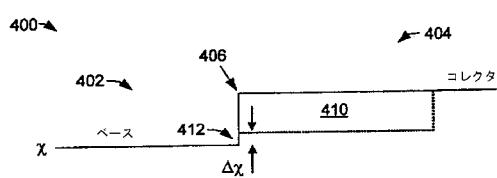
【図3】



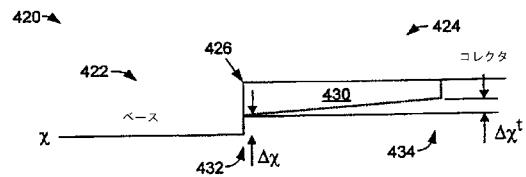
【図4】



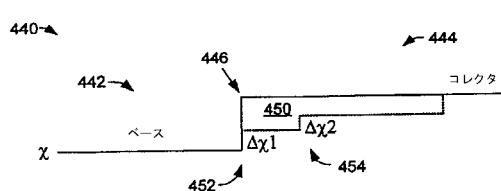
【図5A】



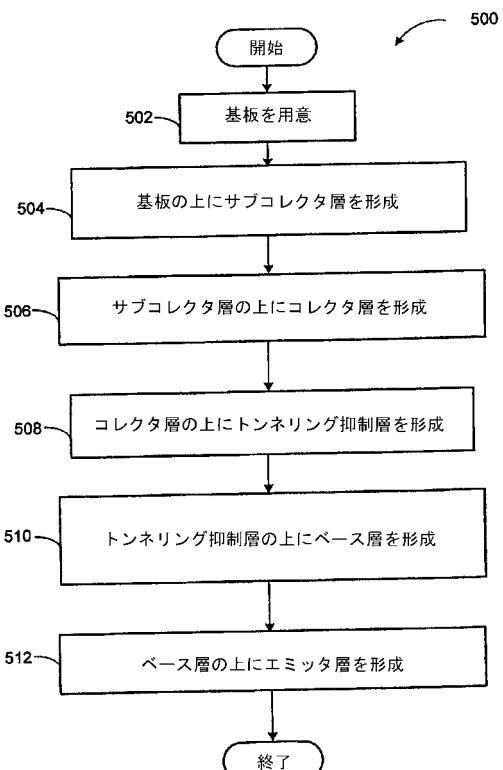
【図5B】



【図5C】



【図6】



フロントページの続き

(72)発明者 ニコラス・ジェイ・モール

アメリカ合衆国 9 4 0 6 2 カリフォルニア州ウッドサイド、ロックキー・クリーク・ロード 151

F ターム(参考) 5F003 BA92 BB04 BB90 BC04 BC90 BE90 BG06 BM03