

【公報種別】特許法第17条の2の規定による補正の掲載  
【部門区分】第6部門第3区分  
【発行日】平成20年2月21日(2008.2.21)

【公表番号】特表2003-519870(P2003-519870A)  
【公表日】平成15年6月24日(2003.6.24)  
【出願番号】特願2001-552215(P2001-552215)  
【国際特許分類】

G 0 6 F 9/445 (2006.01)

【 F I 】

G 0 6 F 9/06 6 1 0 K

【手続補正書】

【提出日】平成19年12月20日(2007.12.20)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】 コンピュータシステムであって、  
プロセッサと、  
ブートプログラムをストアするためのシーケンシャルアクセスメモリと、  
コンピュータシステムの初期化に 응답して、シーケンシャルアクセスメモリを制御して  
ブートプログラムを読み出し、かつプロセッサを制御してシーケンシャルアクセスメモリ内の  
ブートプログラムを実行するブートルードとを含み、

ブートプログラムは、プロセッサを制御してシーケンシャルアクセスメモリから揮発性  
ランダムメモリ(RAM)にブートコードを転送させ次いでRAMのブートコードにジャンプ  
させるよう構成される、コンピュータシステム。

【請求項2】 ブートルードは、読み出しコマンドとアドレスとをシーケンシャルアクセス  
メモリに入れ、次いでシーケンシャルアクセスメモリを制御して読み出しコマンドを実行す  
るよう構成される、請求項1に記載のコンピュータシステム。

【請求項3】 シーケンシャルアクセスメモリは、少なくとも1つのメモリページに  
ブートプログラムをストアするよう構成され、

読み出しコマンドは第1のメモリページを読み出させる、請求項2に記載のコンピュータシ  
ステム。

【請求項4】 読み出しコマンドはギャップレス読み出しコマンドである、請求項3に記載の  
コンピュータシステム。

【請求項5】 ブートルードは、シーケンシャルアクセスメモリがブートプログラムの  
少なくとも一部を読み出しのために利用可能にするまでプロセッサを抑制し、次いでプロセ  
ッサをイネーブルするよう構成され、

プロセッサは、イネーブルされるとシーケンシャルアクセスメモリからブートプログラ  
ムを読み出して実行するよう構成される、請求項1に記載のコンピュータシステム。

【請求項6】 ブートルードは、コンピュータシステムの初期化の際に起動されるよう  
構成される、請求項1に記載のコンピュータシステム。

【請求項7】 ブートルードは、プログラマブル論理装置を含む、請求項1に記載の  
コンピュータシステム。

【請求項8】 ブートルードはステートマシンを含む、請求項1に記載のコンピュー  
タシステム。

【請求項9】 ブートルードは、ステートマシンが実現されるプログラマブル論理装

置を含む、請求項 8 に記載のコンピュータシステム。

【請求項 10】 ステートマシンは、読出コマンドおよびアドレスをシーケンシャルアクセスメモリに入れ、次いでシーケンシャルアクセスメモリを制御して読出コマンドを実行するよう構成される、請求項 8 に記載のコンピュータシステム。

【請求項 11】 RAM は、プロセッサ内にキャッシュメモリを含む、請求項 10 に記載のコンピュータシステム。

【請求項 12】 RAM は、プロセッサとは別れている直接実行 (XIP) メモリを含む、請求項 10 に記載のコンピュータシステム。

【請求項 13】 シーケンシャルアクセスメモリとブートローダとは、単一の集積回路に実現される、請求項 1 に記載のコンピュータシステム。

【請求項 14】 ブートプログラムは、プロセッサアドレスをシーケンシャルアクセスメモリを選択するアドレス範囲内に保つために、プロセッサのプログラムアドレス論理挙動を予測するよう構成される、請求項 1 に記載のコンピュータシステム。

【請求項 15】 ブートプログラムは、いずれのコードプリフェッチ論理の挙動をも予測して、必要な命令がプリフェッチ論理によってプリフェッチされ捨てられないことを確実にするよう構成される、請求項 1 に記載のコンピュータシステム。

【請求項 16】 ブートプログラムは、プリフェッチバッファ論理によるコードストリーム内の断続が生じ得る、コード部分の間のパディングとして NOP 命令を含むよう構成される、請求項 1 に記載のコンピュータシステム。

【請求項 17】 ブートプログラムは、RAM 内のブートコード内の分岐が相対的であるよう構成される、請求項 1 に記載のコンピュータシステム。

【請求項 18】 ブートプログラムは、プロセッサを制御して即時移動命令を用いてシーケンシャルアクセスメモリから揮発性ランダムメモリ (RAM) にブートコードを転送させ次いで RAM 内のブートコードにジャンプさせるよう構成される、請求項 1 に記載のコンピュータシステム。

【請求項 19】 プロセッサとシーケンシャルアクセスメモリとを含むコンピュータシステムの初期プログラム実行のための方法であって、

(a) シーケンシャルアクセスメモリ内のブートプログラムをストアするステップと、

(b) コンピュータシステムの初期化に 응답して、シーケンシャルアクセスメモリを制御してブートプログラムを読出し、かつプロセッサを制御してシーケンシャルアクセスメモリ内のブートプログラムにジャンプさせる、ブートローダを提供するステップと、

(c) コンピュータシステムを初期化するステップとを含み、

ブートプログラムは、プロセッサを制御してシーケンシャルアクセスメモリから揮発性ランダムメモリ (RAM) にブートコードを転送させ次いで RAM のブートコードにジャンプさせるよう構成される、方法。

【請求項 20】 ステップ (b) は、読出コマンドおよびアドレスをシーケンシャルアクセスメモリに入れ、次いでシーケンシャルアクセスメモリを制御して読出コマンドを実行するよう、ブートローダを構成するステップを含む、請求項 19 に記載の方法。

【請求項 21】 ステップ (a) は、ブートプログラムを少なくとも 1 つのメモリページにストアするようシーケンシャルアクセスメモリを構成するステップを含み、

ステップ (b) は、読出コマンドが第 1 のメモリページを読出させるようブートローダを構成するステップを含む、請求項 20 に記載の方法。

【請求項 22】 読出コマンドはギャップレス読出コマンドである、請求項 21 に記載の方法。

【請求項 23】 ステップ (b) は、シーケンシャルアクセスメモリがブートプログラムの少なくとも一部の読出を完了するまでプロセッサを抑止し次いでプロセッサをイネーブルするよう、ブートローダを構成するステップを含み、

プロセッサは、イネーブルされた際にシーケンシャルアクセスメモリ内のブートプログラムを実行するよう構成される、請求項 19 に記載の方法。

【請求項 24】 ステップ (b) は、コンピュータシステムの初期化の際に起動されるようブートローダを構成するステップを含む、請求項 19 に記載の方法。

【請求項 25】 ステップ (b) は、プログラマブル論理装置を含むようブートローダを構成するステップを含む、請求項 19 に記載の方法。

【請求項 26】 ステップ (b) は、ステートマシンを含むようブートローダを構成するステップを含む、請求項 19 に記載の方法。

【請求項 27】 ステップ (b) は、ステートマシンが実現されるプログラマブル論理装置を含むようブートローダを構成するステップを含む、請求項 26 に記載の方法。

【請求項 28】 ステートマシンは、読出コマンドとアドレスとをシーケンシャルアクセスメモリに入れ、次いでシーケンシャルアクセスメモリを制御して読出コマンドを実行するよう構成される、請求項 26 に記載の方法。

【請求項 29】 揮発性ランダムアクセスメモリ (RAM) を提供するステップ (d) をさらに含み、

ステップ (a) は、プロセッサを制御してシーケンシャルアクセスメモリから RAM にブートコードを転送させ次いで RAM のブートコードにジャンプさせるよう、ブートプログラムを構成するステップを含む、請求項 19 に記載の方法。

【請求項 30】 ステップ (d) は、RAM がプロセッサ内にキャッシュメモリを含むよう提供するステップを含む、請求項 29 に記載の方法。

【請求項 31】 ステップ (d) は、RAM がプロセッサとは別れている直接実行 (XIP) メモリを含むよう提供するステップを含む、請求項 29 に記載の方法。

【請求項 32】 ステップ (b) は、ブートローダおよびシーケンシャルアクセスメモリを単一集積回路内に実現するステップを含む、請求項 19 に記載の方法。

【請求項 33】 ステップ (a) は、プロセッサアドレスをシーケンシャルアクセスメモリを選択するアドレス範囲に保つためにプロセッサのプログラムアドレス論理挙動を予測するようブートプログラムを構成するステップを含む、請求項 19 に記載の方法。

【請求項 34】 ステップ (a) は、どのようなコードプリフェッチ論理の挙動をも予測し、必要な命令がプリフェッチ論理によってプリフェッチされ捨てられないことを確実にするようブートプログラムを構成するステップを含む、請求項 19 に記載の方法。

【請求項 35】 ステップ (a) は、プリフェッチバッファ論理によってコードストリーム内の分断が起こり得るコード部分の間にパディングとして用いられる NOP 命令を含むようブートプログラムを構成するステップを含む、請求項 19 に記載の方法。

【請求項 36】 ステップ (a) は、プロセッサを制御してシーケンシャルアクセスメモリから揮発性ランダムメモリ (RAM) にブートコードを転送させ次いで RAM 内のブートコードにジャンプさせるよう、ブートプログラムを構成するステップと、

RAM 内のブートコード内の分岐が相対的であるようブートプログラムを構成するステップとを含む、請求項 19 に記載の方法。

【請求項 37】 ステップ (a) は、プロセッサを制御してシーケンシャルアクセスメモリから揮発性ランダムメモリ (RAM) に即時移動命令を用いてブートコードを転送させ次いで RAM 内のブートコードにジャンプさせるよう、ブートプログラムを構成するステップを含む、請求項 19 に記載の方法。