

①9 RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

①1 N° de publication :  
(à n'utiliser que pour les  
commandes de reproduction)

2 732 152

②1 N° d'enregistrement national : 95 03280

⑤1 Int Cl<sup>6</sup> : G 11 C 11/42, H 03 K 19/0948, 3/3562

①2

## DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 21.03.95.

③0 Priorité :

④3 Date de la mise à disposition du public de la demande : 27.09.96 Bulletin 96/39.

⑤6 Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule.*

⑥0 Références à d'autres documents nationaux apparentés :

⑦1 Demandeur(s) : CENTRE SUISSE  
D'ELECTRONIQUE ET DE MICROTECHNIQUE SA  
RECHERCHE ET DEVELOPPEMENT SOCIETE  
ANONYME SUISSE — CH.

⑦2 Inventeur(s) : PIGUET CHRISTIAN et MASGONTY  
JEAN MARC.

⑦3 Titulaire(s) :

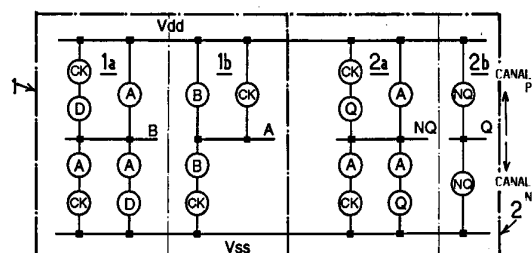
⑦4 Mandataire : CABINET DE BOISSE.

⑤4 ELEMENT DE MEMOIRE DU TYPE BASCULE MAITRE-ESCLAVE, REALISE EN TECHNOLOGIE CMOS.

⑤7 Cet élément comporte une bascule maître (1) destinée à commander une bascule esclave (2) par l'intermédiaire d'une variable de transfert (A). La bascule esclave (2) est composée d'une première porte (2a) commandée par la variable de transfert (A), un signal d'horloge (CK) et une variable de sortie vraie (Q), pour délivrer une variable de sortie complémentaire (NQ), et d'une seconde porte (2b) commandée par la variable de sortie complémentaire (NQ) et délivrant la variable de sortie vraie (Q).

La bascule maître (1) comporte une première porte (1a) commandée par une variable d'entrée (D), le signal d'horloge, (CK) et une troisième variable qui est formée par la variable de transfert (A). La bascule maître (1) comporte également une seconde porte (1b) commandée par la sortie (B) de la première porte (1a) de la bascule maître (1) et, délivrant la variable de transfert (A).

La première porte (2a) de bascule esclave (2) ne comporte pour assurer le transfert du signal d'entrée, qu'au plus sept transistors.



FR 2 732 152 - A1



La présente invention est relative à un élément de mémoire et, plus particulièrement, aux bascules de type D appelées communément bascules maître-esclave.

On sait que les bascules de type D sont destinées à transférer une variable logique d'entrée à leur sortie sous la commande d'un signal d'horloge. Ces bascules peuvent être à circuit simple et constituer ce que l'on appelle couramment un "verrou" (latch) ou encore être plus complexe et former une bascule dite "maître-esclave" (master-slave) dans laquelle en principe l'esclave recopie l'état du maître (déterminé en fonction de la variable d'entrée) sous la commande de l'un des états logiques du signal d'horloge. La présente invention vise plus particulièrement cette dernière forme de bascule.

Les spécialistes de la technologie CMOS connaissent également une topographie particulièrement efficace tant du point de vue de la consommation d'énergie, de la rapidité et de la régularité d'implantation, que de celui de l'encombrement sur le circuit intégré (c'est-à-dire grosso-modo du nombre nécessaire de transistors et de leurs interconnexions). Il s'agit de la topographie dite "en branches" dont le brevet suisse n° 629 921 donne l'une des premières descriptions. Dans une telle topographie, les transistors CMOS sont groupés suivant leur type canal P ou canal N dans des branches parallèles entre deux bornes d'alimentation  $V_{DD}$  et  $V_{SS}$ , les noeuds de sortie des diverses portes logiques composant le circuit constituant des bornes délivrant les variables de ces éléments.

Cette technologie a déjà été utilisée pour les bascules du type D maître-esclave auxquelles l'invention s'adresse plus particulièrement.

L'une des préoccupations des concepteurs de ce genre de circuits logiques relève d'une propriété des circuits logiques d'avoir tendance à fournir parfois à leur sortie un état indéterminé en fonction des variables d'entrée. Cette propriété est appelée "course" (race) par les spécialistes

et il s'agit naturellement, dans toute la mesure du possible, de l'éviter de telle façon que le circuit fournisse toujours, en fonction d'un jeu déterminé de ses variables d'entrée, un même état préférentiel à sa sortie.

5 Si la configuration du circuit ne permet pas d'éviter totalement la course, l'on peut du moins l'orienter, à l'aide notamment d'un dimensionnement adéquat des transistors du circuit. Dans ce cas, les spécialistes parlent de "course critique".

10 La solution idéale serait évidemment de concevoir un circuit qui soit dépourvu totalement de "course" et qui présente en même temps les autres propriétés favorables que l'on souhaiterait lui conférer, telles par exemple qu'une très basse consommation, une grande rapidité de  
15 fonctionnement et un encombrement faible. Toutefois, il s'avère que ces qualités favorables sont essentiellement contradictoires et qu'il faut en fait chercher un compromis entre la "course" d'une part, et les autres qualités que l'on vient de mentionner, d'autre part.

20 L'invention a pour but de fournir un élément de mémoire du type général évoqué ci-dessus qui permette d'obtenir le meilleur compromis possible de toutes les propriétés déterminantes que doit posséder un tel élément.

L'invention a donc pour objet un élément de mémoire du  
25 type bascule maître-esclave réalisé en technique CMOS et propre à transférer une variable logique d'entrée sur une sortie vraie et une sortie complémentaire de l'élément sous la commande d'un signal d'horloge, ledit élément comportant une bascule maître destinée à commander une bascule esclave  
30 par l'intermédiaire d'au moins une variable de transfert, ladite bascule esclave étant composée d'une première porte commandée par ladite au moins une variable de transfert, ledit signal d'horloge et ladite variable de sortie vraie, pour délivrer ladite variable de sortie complémentaire et  
35 une seconde porte commandée par ladite variable de sortie complémentaire et délivrant ladite variable de sortie vraie,

ladite bascule maître comportant une première porte commandée par ladite variable d'entrée, ledit signal d'horloge et au moins une troisième variable qui est formée par ladite au moins une variable de transfert, ladite  
5 bascule maître comportant également une seconde porte de type inverseuse commandée par la sortie de ladite première porte de la bascule maître et délivrant au moins l'une desdites variables de transfert, ledit élément de mémoire étant caractérisé en ce que ladite première porte de ladite  
10 bascule esclave ne comporte pour assurer le transfert dudit signal d'entrée, qu'au plus sept transistors.

Selon un premier mode de réalisation de l'invention, ladite seconde porte de type inverseuse de la bascule maître comporte une porte de type NAND dont une première entrée est  
15 commandée par la sortie de ladite première porte de la bascule maître, dont une seconde entrée est commandée par ledit signal d'horloge et dont la sortie est rebouclée sur ladite première porte de la bascule maître, tout en formant l'unique sortie délivrant une variable de transfert.

20 Suivant un second mode de réalisation de l'invention, ladite seconde porte du type inverseuse de ladite bascule maître comporte un inverseur élémentaire dont l'entrée est connectée à la sortie de ladite première porte de cette bascule et dont la sortie est rebouclée pour commander  
25 ladite première porte de la bascule maître tout en fournissant l'une desdites variables de transfert, ladite seconde porte du type inverseuse comprenant également une porte élémentaire de type NAND dont une première entrée est connectée à la sortie de ladite première porte de la bascule  
30 maître, dont une seconde entrée est commandée par ledit signal d'horloge et dont la sortie constitue l'autre variable de transfert pour ladite bascule esclave, tout en étant également rebouclée pour commander ladite première porte de ladite bascule maître.

35 D'autres caractéristiques et avantages de l'invention apparaîtront au cours de la description qui va suivre,

donnée uniquement à titre d'exemple et faite en se référant aux dessins annexés sur lesquels:

- les figures 1A et 1B montrent un exemple de bascule maître-esclave du type D de la technique antérieure;
- 5       - les figures 2A et 2B montrent un premier exemple de réalisation d'une bascule maître-esclave du type D selon l'invention, cette version permettant de faire pencher le compromis évoqué plus haut vers un nombre réduit de transistors;
- 10       - les figures 3A et 3B montrent une variante de réalisation de la bascule des figures 2A et 2B, dans une version pouvant servir plus particulièrement pour constituer un diviseur par 2;
- les figures 4A et 4B montrent une autre variante de  
15 réalisation de la bascule D selon l'invention, cette bascule comportant une commande S en supplément;
- les figures 5A et 5B montrent un autre mode de réalisation de l'invention dans lequel le compromis évoqué  
20 ci-dessus penche en faveur d'une élimination totale de la course;
- les figures 6A et 6B montrent une variante de la bascule des figures 5A et 5B, comportant en supplément une commande R;
- les figures 7A et 7B montrent une autre variante de  
25 la bascule des figures 5A et 5B pourvue en supplément d'une commande S;
- les figures 8A à 10B montrent encore plusieurs autres variantes de la bascule suivant l'invention;
- les figures 11A et 11B montrent une variante du  
30 diviseur par 2 représenté sur les figures 3A et 3B.

Dans la description qui va suivre, chaque mode de réalisation de la bascule de l'invention et chacune de leurs variantes seront examinés à l'aide d'un premier schéma dit fonctionnel comportant les symboles habituels des portes  
35 logiques, et d'un second schéma dit "en branches" qui en montre plus particulièrement la topographie. Il est à noter

que les caractéristiques illustrant l'invention se reflètent spécialement dans les seconds schémas des bascules, les schémas fonctionnels pouvant être dans certains cas identiques malgré une différence essentielle dans la topographie des bascules concernées.

Ceci étant, on admet par convention que les portes logiques utilisées sont désignées par leur variable de sortie sur les deux types de schémas. Par ailleurs, dans les seconds schémas, les différents transistors MOS ont été symbolisés par des cercles, à l'intérieur desquels on a inscrit la variable de commande appliquée à leur grille, les connexions dessinées étant celles de leur chemin de conduction.

En outre, les transistors connectés entre les noeuds de sortie et la borne positive ( $V_{DD}$ ) de la source d'alimentation sont à canal P, tandis que les transistors connectés entre les noeuds de sortie et la borne négative ( $V_{SS}$ ) de cette source sont à canal N. Par convention, les potentiels des bornes  $V_{DD}$  et  $V_{SS}$  sont désignées respectivement par 1 et 0, représentant également les niveaux logiques possibles des variables de commande de la bascule.

En se référant maintenant à la figure 1A, on a représenté une bascule de type D maître esclave selon la technique antérieure notamment divulguée lors de la conférence "PATMOS '94" à Barcelone par C. Piguet et al. sous le titre "Low Power, Low-Voltage Digital CMOS Cell Design". Cette bascule comporte un maître 1 et un esclave 2, tous deux entourés de traits mixtes gras, chacune de ces parties de la bascule comportant elle-même une première porte (resp. 1a et 2a) et une seconde porte séparées par un trait mixte fin (resp. 1b et 2b). Cette notation sera respectée dans l'ensemble des dessins pour tous les modes de réalisation de l'invention, ainsi que pour toutes leurs variantes. A ce stade de la description, on ne fera pas encore un examen détaillé du schéma de la bascule. Pour le moment, en se référant à la figure 1B, on notera que la

porte 2a de l'esclave 2 (que l'on peut également appeler la porte NQ, c'est-à-dire celle délivrant la variable de sortie complémentée) comporte neuf transistors, ce qui est le prix à payer pour que cette bascule soit dépourvue de course.

5 On va maintenant examiner les figures 2A et 2B pour décrire un premier mode de réalisation de l'invention.

On retrouve le maître 1 et l'esclave 2, ainsi que les quatre portes 1a, 1b, 2a et 2b qui les composent. Selon le schéma fonctionnel de la figure 2A, la porte 1a comporte  
10 diverses portes élémentaires, à savoir une porte AND 1a-1 commandée par la variable D et la variable interne A, une porte AND 1a-2 commandée par la variable CK (c'est-à-dire l'horloge) et la variable interne A. Les sorties de ces deux portes sont appliquées comme entrées à une porte NOR 1a-3  
15 qui délivre la variable interne B.

La porte 1b du maître 1 ne comporte ici qu'une seule porte élémentaire 1b-1 formée par une porte NAND qui reçoit sur ces entrées la variable CK et la variable interne B tout en délivrant sur sa sortie la variable interne A. Dans le  
20 présent mode de réalisation, cette variable A est la seule variable de transfert intervenant pour passer la variable d'entrée D à l'esclave 2.

La première porte 2a de l'esclave 2 comporte les portes élémentaires suivantes: une porte AND 2a-1 dont l'une des  
25 entrées est commandée par la variable interne A et dont la seconde entrée est raccordée à la sortie vraie Q de l'esclave, une porte AND 2a-2 dont l'une des entrées reçoit également la variable interne A et dont l'autre entrée est commandée par la variable CK, et une porte NOR 2a-3 qui  
30 reçoit les sorties des portes AND 2a-1 et 2a-2 et qui délivre la variable de sortie complémentaire NQ.

La seconde porte 2b de l'esclave 2 ne comporte qu'un seul circuit élémentaire, à savoir un inverseur 2b-1 qui reçoit sur son entrée la variable NQ et délivre à sa sortie  
35 la variable Q.

On notera que dans tous les modes de réalisation et des

variantes de l'invention, les schémas fonctionnels de la première porte 1a du maître 1 et l'esclave 2 dans son ensemble sont identiques, tout au moins pour ce qui concerne leurs fonctions de base. Les éléments qui les composent sont donc, chaque fois, indiqués par les mêmes références comme décrites ci-dessus.

En examinant maintenant la figure 2B, on voit que la topographie de cette bascule est conçue comme suit:

		Canal P	Canal N
10	<u>Porte 1a</u> <u>groupe 1</u>	CK série D	A série CK
	(B) <u>groupe 2</u>	A	A série D
15	<u>Porte 1b</u> <u>groupe 1</u>	B	B série CK
	(A) <u>groupe 2</u>	CK	----
	<u>Porte 2a</u> <u>groupe 1</u>	CK série Q	A série CK
	(NQ) <u>groupe 2</u>	A	A série Q
20	<u>Porte 2b</u> <u>groupe 1</u>	NQ	NQ
	(Q)		

En comparant ce schéma en branches avec celui de la figure 1A, on constate que 1) l'un des transistors de la branche canal N du premier groupe dans la porte 1a est commandé par la variable A, au lieu de l'être par la variable C, 2) l'on se dispense d'utiliser un inverseur délivrant la variable C et 3) l'un des transistors de la branche canal N du premier groupe de la porte 2a est commandé par la variable A au lieu de l'être par la variable C.

En dressant la table d'état de cette bascule, on constate qu'elle présente deux courses critiques que l'on peut éliminer en dimensionnant les transistors de la bascule de telle façon que ces courses critiques soient toujours

gagnées par la variable A au dépens de la variable B. Un tel dimensionnement ne pose pas de problèmes dans la mesure où la porte A (1b) est une simple porte NAND, A étant par ailleurs une variable interne de la bascule. En revanche, ce mode de réalisation présente l'avantage de la simplicité puisque seulement vingt transistors sont nécessaires pour le construire. On notera en particulier que la porte 2a de l'esclave 2 comporte sept transistors seulement. Dans ces cas, le compromis penche donc en faveur de la simplicité du circuit, une précaution devant être prise lors de la conception du circuit en ce qui concerne son dimensionnement.

Les figures 3A et 3B montrent une variante du mode de réalisation que l'on vient de décrire, cette variante constituant un diviseur par 2. Pour obtenir cette fonction, la variable D commandant la porte 1a est en fait la variable de sortie complémentée, à savoir la variable NQ qui est appliquée à l'une des entrées de la porte élémentaire AND 1a-1, par l'intermédiaire d'une connexion 3 (figure 3A). On voit d'après le schéma en branches de la figure 3B que la porte 1a comporte alors un premier groupe canal P avec des transistors CK série NQ et un second groupe canal N avec des transistors A série NQ. Cette bascule comporte également vingt transistors et doit être dimensionnée convenablement pour éliminer la course, comme décrit ci-dessus à propos des figures 2A et 2B.

Le schéma en branches de cette variante est le suivant:

		Canal P	Canal N
30			
	<u>Porte 1a</u> <u>groupe 1</u>	CK série NQ	A série CK
	(B) <u>groupe 2</u>	A	A série NQ
	<u>Porte 1b</u> <u>groupe 1</u>	B	B série CK
35	(A) <u>groupe 2</u>	CK	----

<u>Porte 2a</u> (NQ)	<u>groupe 1</u>	CK série Q	A série CK
	<u>groupe 2</u>	A	A série Q
5 ( <u>Q</u> )	<u>Porte 2b</u> <u>groupe 1</u>	NQ	NQ

Les figures 4A et 4B montrent une autre variante du mode de réalisation des figures 2A et 2B, ce circuit formant une bascule munie d'une commande de mise à "1" de la sortie  
 10 Q par la variable S qui est active à l'état "0". Le schéma fonctionnel de cette bascule (figure 4A) montre que pour prendre en compte la variable S, la porte NAND 1b-1 comporte une entrée supplémentaire 4 commandée par la variable S. De même, l'inverseur 2b-1 qui constitue la porte 2b sur la  
 15 figure 2A est remplacé par une porte NAND comportant une entrée 5 commandée également par la variable S.

Le schéma en branches de la figure 4B montre par ailleurs la conception suivante pour la topographie de cette bascule (les portes 1a et 2a restant inchangées):

		Canal P	Canal N
20	<u>Porte 1a</u> (B)	CK série D	A série CK
	<u>groupe 1</u> <u>groupe 2</u>	A	A série D
25	<u>Porte 1b</u> (A)	B	S série B série CK
	<u>groupe 2</u>	CK	----
	<u>groupe 3</u>	S	----
30	<u>Porte 2a</u> (NQ)	CK série Q	A série CK
	<u>groupe 1</u> <u>groupe 2</u>	A	A série Q
35	<u>Porte 2b</u> (Q)	NQ	S série NQ
	<u>groupe 1</u> <u>groupe 2</u>	S	----

On constate que cette bascule munie de la fonction S

(SET) ne comporte que vingt quatre transistors, cependant qu'elle présente également deux courses critiques que l'on peut éviter par un dimensionnement convenable des transistors.

5 On va maintenant décrire un second mode de réalisation de l'invention en se référant aux figures 5A et 5B. Il diffère du mode de réalisation des figures 2A et 2B en ce que la porte 1b comporte deux circuits logiques élémentaires en remplacement de l'unique porte NAND 1b-1 représentée sur  
10 la figure 2A. Plus précisément, un inverseur 1b-2 délivrant la variable C est raccordé entre la sortie de la porte 1a et l'une des entrées de la porte élémentaire ET de la porte 1a. Cette inverseur délivre la variable C en tant que variable de transfert à la bascule esclave 2 sur l'une des entrées de  
15 la porte élémentaire ET 2a-2.

La porte 1b comporte également une porte élémentaire NAND 1b-3 dont l'une des entrées reçoit la variable B de la porte 1a et dont l'autre entrée est commandée par la variable CK. La sortie de la porte élémentaire NAND 1b-3  
20 délivre la variable A qui est aussi une variable de transfert entre le maître 1 et l'esclave 2 et commande l'une des entrées de la porte élémentaire ET 2a-1 de la porte 2a. La variable A commande également l'une des entrées de la porte élémentaire 1a-1 par l'intermédiaire d'une connexion  
25 6.

A priori, on pourrait dire que ce mode de réalisation de l'invention ne diffère pas du schéma de la bascule connue représenté sur les figures 1A et 1B. C'est vrai pour ce qui concerne le schéma fonctionnel des figures 1A et 5A.  
30 Cependant, en examinant les schémas en branches des figures 1B et 5B, l'on s'aperçoit que la réalisation de la porte 2a est différente en ce qu'elle est dépourvue de la branche canal P du premier groupe de transistors C et Q que l'on retrouve dans le schéma en branches de l'art antérieur.

35 Par conséquent, selon le mode de réalisation de l'invention représenté sur la figure 5B, la porte 2a de

l'esclave peut être réalisée avec sept transistors seulement au lieu de neuf dans l'art antérieur. Or, il s'est avéré que l'élimination des deux transistors en question supprime toute course lors du fonctionnement de la bascule maître-  
 5 esclave des figures 5A et 5B. Pour le dimensionnement des transistors de cette bascule, le concepteur dispose donc d'une plus grande souplesse puisque il n'a pas à tenir compte de la course. Le schéma en branches présente donc la forme suivante:

10			Canal P	Canal N
	<u>Porte 1a</u>	<u>groupe 1</u>	CK série D	C série CK
	(B)	<u>groupe 2</u>	A	A série D
15	<u>Porte 1b</u>	<u>groupe 1</u>	(C) B	B
		<u>groupe 2</u>	(A) B	B série CK
		<u>groupe 3</u>	(A) CK	-----
20	<u>Porte 2a</u>	<u>groupe 1</u>	CK série Q	C série CK
	(NQ)	<u>groupe 2</u>	A	A série Q
	<u>Porte 2b</u>	<u>groupe 1</u>	NQ	NQ
25	(Q)			

Les figures 6A et 6B montrent une première variante du second mode de réalisation de l'invention, dans laquelle la bascule comporte en supplément une commande de mise à zéro  
 30 de la sortie Q par la variable R qui est active à "0". A cet effet, la porte élémentaire ET 1a-1 comporte une troisième entrée 7 commandée par la variable R qui est également appliquée à l'esclave 2, à savoir à une troisième entrée 8 de la porte élémentaire ET 2a-1.

35 Le schéma en branches de la figure 6B montre une topographie particulière pour les portes 1a et 2a de cette

bascule comparée au schéma en branches de la figure 5B, comme suit:

			Canal P	Canal N
5	<u>Porte 1a</u>	<u>groupe 1</u>	R	----
	(B)	<u>groupe 2</u>	CK série D	R série C série CK
		<u>groupe 3</u>	A	R série A série D
10	<u>Porte 1b</u>	<u>groupe 1</u>	(C) B	B
		<u>groupe 2</u>	(A) B	B série CK
		<u>groupe 3</u>	(A) CK	-----
15	<u>Porte 2a</u>	<u>groupe 1</u>	R	-----
	(NQ)	<u>groupe 2</u>	CK série Q	C série CK
		<u>groupe 3</u>	A	R série A série Q
	<u>Porte 2b</u>	<u>groupe 1</u>	NQ	NQ
20	(Q)			

Cette bascule est également dépourvue de course et elle est réalisée à l'aide de vingt sept transistors tout en comportant la commande par la variable R qui implique l'utilisation de cinq transistors. Un sixième transistor R peut être ajoutée éventuellement si l'on veut éviter un état transitoire dans lequel la porte NQ (2a) est en court-circuit avec CK=1. Ce transistor R doit alors être inséré dans la branche canal N du deuxième groupe de transistors de cette porte.

Les figures 7A et 7B montrent une seconde variante du second mode de réalisation de l'invention qui comporte une commande de mise à "1" du signal Q par la variable S active à "0". Celle-ci commande une troisième entrée 9 de la porte élémentaire NAND 1b-3. Par ailleurs, la porte 2b comporte ici une porte élémentaire 2b-1 de type NAND dont l'une des

entrées 10 est commandée également par la variable S.

Le schéma en branches de cette bascule comporte des topographies particulières en ce qui concerne les portes 1b et 2b comme suit:

			Canal P	Canal N
	<u>Porte 1a</u>	<u>groupe 1</u>	CK série D	C série CK
	(B)	<u>groupe 2</u>	A	A série D
5				
	<u>Porte 1b</u>	<u>groupe 1</u>	(C) B	B
10		<u>groupe 2</u>	(A) B	S série B série CK
		<u>groupe 3</u>	(A) CK	-----
15		<u>groupe 4</u>	(A) S	-----
	<u>Porte 2a</u>	<u>groupe 1</u>	CK série Q	C série CK
	(NQ)	<u>groupe 2</u>	A	A série Q
20	<u>Porte 2b</u>	<u>groupe 1</u>	NQ	S série NQ
	(Q)	<u>groupe 2</u>	S	-----

Par conséquent, cette bascule maître-esclave comporte 26 transistors et elle est également dépourvue de course, tout en disposant d'une commande par la variable S.

Les bascules selon les variantes des figures 6A, 6B, 7A et 7B ont la particularité que les transistors commandés respectivement par les variables S et R sont connectés en parallèle dans les branches canal P et en série dans les branches canal N. Ainsi, la vitesse de fonctionnement de ces bascules ne souffre pas de la présence de ces transistors, car trois transistors dans une branche canal N ont à cet égard la même performance que deux transistors dans une branche canal P.

Une autre variante du second mode de réalisation de l'invention (qui n'est pas représentée aux dessins) consiste

à combiner dans une même bascule maître-esclave les deux commandes S et R en superposant en quelque sorte les schémas des figures 6A et 7A, d'une part et 6B et 7B d'autre part.

On va se référer maintenant aux figures 8A et 8B pour  
 5 décrire une autre variante du premier mode de réalisation de l'invention, dérivée du schéma des figures 2A et 2B. Cette variante comporte une commande de mise à zéro de la sortie Q par la variable R active à "1". Cette bascule est  
 10 différente par rapport aux précédentes variantes du premier mode de réalisation en ce que la porte 1b comporte une porte élémentaire ET 1b-4 dont une première entrée est commandée par la variable CK et dont l'autre entrée reçoit la variable B. La sortie de cette porte ET 1b-4 est raccordée à l'une des entrées d'une porte élémentaire NOR 1b-5 dont l'autre  
 15 entrée est commandée par la variable R. La sortie de cette porte 1b-5 fournit la variable de transfert A et est raccordée à l'une des entrées respectives des portes élémentaires ET 1a-1 et 1a-2.

Le schéma en branches de cet élément de mémoire est le  
 20 suivant:

		Canal P	Canal N
25	<u>Porte 1a</u> <u>groupe 1</u>	CK série D	A série CK
	(B) <u>groupe 2</u>	A	A série D
	<u>Porte 1b</u> <u>groupe 1</u>	B série R	B série CK
	(A) <u>groupe 2</u>	CK série R	R
30	<u>Porte 2a</u> <u>groupe 1</u>	CK série Q	A série CK
	(NQ) <u>groupe 2</u>	A	A série Q
35	<u>Porte 2b</u> <u>groupe 1</u>	NQ	NQ
	(Q)		

Cette variante ne comporte que vingt trois transistors,

mais elle présente une course critique qu'il faut éliminer par un dimensionnement adéquat des transistors. Bien entendu, pour obtenir une commande R active à zéro, il faut prévoir un inverseur sur la variable R ce qui porte le  
 5 nombre de transistors à vingt cinq.

Les figures 9A et 9B représentent une variante dérivée également du premier mode de réalisation de l'invention. Cette variante comporte des commandes R et S actives à "0" (en l'absence de l'inverseur 11 représenté en pointillés).  
 10 Pour ce qui concerne la commande par la variable R, le schéma fonctionnel de cette variante est identique à celui de la figure 8A, à ceci près que la porte élémentaire NAND 1b-4 comporte une troisième entrée 12 qui est commandée par la variable S. Par ailleurs, dans l'esclave 2, la porte 2b  
 15 comporte une porte élémentaire NAND 2b-1 à deux entrées dont l'une est également commandée par la variable S.

Cette variante comporte vingt sept transistors et si on souhaite travailler avec une variable R active à "1", il convient de prévoir l'inverseur 11, ce qui augmente le  
 20 nombre de transistors à vingt neuf.

Le schéma en branches de la figure 9B montre la topographie de cette variante qui est conçue comme suit:

		Canal P	Canal N
25	<u>Porte 1a</u>		
	<u>groupe 1</u>	CK série D	A série CK
	(B) <u>groupe 2</u>	A	A série D
	<u>Porte 1b</u>		
	<u>groupe 1</u>	B série R	S série B série CK
30	(A) <u>groupe 2</u>	CK série R	R
	<u>groupe 3</u>	S	-----
	<u>Porte 2a</u>		
	<u>groupe 1</u>	CK série Q	A série CK
	(NQ) <u>groupe 2</u>	A	A série Q
35	<u>Porte 2b</u>		
	<u>groupe 1</u>	NQ	S série NQ

(Q)            groupe 2            S            -----

Dans les variantes des figures 3A - 3B, 4A - 4B, 8A - 8B et 9A - 9B, les branches canal N des portes 1a et 2a  
5 comportent deux transistors A en parallèle. Selon une autre variante dérivée de la bascule des figures 3A et 3B et représentée sur les figures 10A et 10B, on montre que ces transistors peuvent être remplacés par un seul transistor A permettant ainsi une économie de transistors, cependant que  
10 le schéma n'est plus entièrement constitué de branches. Le schéma fonctionnel de la bascule prend alors un aspect un peu différent quoique les fonctionnalités restent les mêmes.

Les figures 11A et 11B montrent une variante du diviseur par 2 des figures 3A et 3B dans laquelle, comme  
15 dans ces figures, la variable de sortie NQ est ramenée à l'entrée D de la bascule maître 1. Cependant, par rapport aux figures 3A et 3B, il est possible de supprimer la porte 2b, car on peut utiliser directement la variable NQ comme variable de fréquence deux fois inférieure à celle de la  
20 variable CK contrairement à une bascule D où on doit en général disposer de la variable Q.

La figure 11A montre donc ce schéma où la bascula esclave ne comporte que la porte 2a, celle-ci recevant comme variable d'entrée la variable de transfert B provenant de la  
25 porte 1a.

Cet élément comporte des courses critiques qui peuvent être évitées si la variable A est plus rapide que la variable B, laquelle à son tour doit être plus rapide que la variable NQ. Cependant, cet élément ne présente que 18  
30 transistors, nombre que l'on peut réduire à 16 si les deux transistors A dans la porte 2a sont remplacés par un seul transistor.

On voit donc que l'invention propose un certain nombre de configurations d'une bascule D maître-esclave permettant  
35 d'obtenir soit une absence totale de course soit une course à laquelle il peut être remédiée par un dimensionnement

adéquat des transistors, facile à obtenir. En faisant pencher le compromis évoqué ci-dessus en faveur d'une absence de course, on consent à sacrifier quelque peu la rapidité de fonctionnement le faible encombrement et/ou de  
5 faible consommation. En revanche, en admettant une certaine course critique, on peut obtenir une réduction en surface (encombrement) de jusqu'à 20%, une faible consommation et une augmentation de la rapidité de fonctionnement. Le concepteur préférera l'un ou l'autre compromis lors de la  
10 conception des circuits intégrés devant comporter des bascules de type D qui ont été décrites ci-dessus.

REVENDICATIONS

1. Elément de mémoire du type bascule maître-esclave réalisé en technique CMOS et propre à transférer une variable logique d'entrée (D) sur une sortie vraie (Q) et  
5 une sortie complémentaire (NQ) de l'élément sous la commande d'un signal d'horloge (CK), ledit élément comportant une bascule maître (1) destinée à commander une bascule esclave (2) par l'intermédiaire d'au moins une variable de transfert (A, C), ladite bascule esclave (2)  
10 étant composée d'une première porte (2a) commandée par ladite au moins une variable de transfert (A, C), ledit signal d'horloge (CK) et ladite variable de sortie vraie (Q), pour délivrer ladite variable de sortie complémentaire (NQ), et une seconde porte (2b) commandée par ladite  
15 variable de sortie complémentaire (NQ) et délivrant ladite variable de sortie vraie (Q), ladite bascule maître (1) comportant une première porte (1a) commandée par ladite variable d'entrée (D), ledit signal d'horloge (CK) et au moins une troisième variable qui est formée par ladite au  
20 moins une variable de transfert (A, C), ladite bascule maître (1) comportant également une seconde porte (1b) de type inverseuse commandée par la sortie (B) de ladite première porte (1a) de la bascule maître (1) et délivrant au moins l'une desdites variables de transfert (A,C), ledit  
25 élément de mémoire étant caractérisé en ce que ladite première porte (2a) de ladite bascule esclave (2) ne comporte pour assurer le transfert dudit signal d'entrée, qu'au plus sept transistors.

2. Elément de mémoire suivant la revendication 1,  
30 caractérisé en ce que ladite seconde porte de type inverseuse (1b) de la bascule maître (1) comporte une porte de type NAND (1b-1) dont une première entrée est commandée par la sortie (B) de ladite première porte (1a) de la bascule maître (1), dont une seconde entrée est commandée  
35 par ledit signal d'horloge (CK) et dont la sortie est rebouclée sur ladite première porte (1a) de la bascule

maître (1), tout en formant l'unique sortie délivrant une variable de transfert (A).

3. Élément de mémoire suivant la revendication 2, caractérisé en ce qu'il est réalisé selon un schéma en 5 branches qui présente la forme suivante:

		Canal P	Canal N
10	<u>Porte 1a</u> <u>groupe 1</u> (B) <u>groupe 2</u>	CK série D A	A série CK A série D
	<u>Porte 1b</u> <u>groupe 1</u> (A) <u>groupe 2</u>	B CK	B série CK ----
15	<u>Porte 2a</u> <u>groupe 1</u> (NQ) <u>groupe 2</u>	CK série Q A	A série CK A série Q
	<u>Porte 2b</u> <u>groupe 1</u> (Q)	NQ	NQ

20 4. Élément de mémoire suivant la revendication 2, caractérisé en ce qu'il constitue un diviseur par deux et en ce qu'à cet effet, ladite sortie complémentaire (NQ) est rebouclée (connexion 3) sur l'entrée de ladite première porte (1a) de la bascule maître (1) en tant que ladite  
25 variable d'entrée (D=NQ).

5. Élément de mémoire suivant la revendication 4, caractérisé en ce qu'il est réalisé selon un schéma en branches qui présente la forme suivante:

		Canal P	Canal N
30	<u>Porte 1a</u> <u>groupe 1</u> (B) <u>groupe 2</u>	CK série NQ A	A série CK A série NQ
35	<u>Porte 1b</u> <u>groupe 1</u> (A) <u>groupe 2</u>	B CK	B série CK ----

	<u>Porte 2a</u>	<u>groupe 1</u>	CK série Q	A série CK
	(NQ)	<u>groupe 2</u>	A	A série Q
	<u>Porte 2b</u>	<u>groupe 1</u>	NQ	NQ
5	(Q)			

6. Elément de mémoire suivant la revendication 2, caractérisé en ce qu'il comprend également une commande (S) de mise à "1" de ladite sortie vraie (Q) et en ce ladite  
 10 seconde porte (1b) de la bascule maître (1) et ladite seconde porte (2b) de ladite bascule esclave (2) comportent chacune une entrée supplémentaire (4, 5) recevant ladite commande de mise à "1" (S).

7. Elément de mémoire suivant la revendication 6,  
 15 caractérisé en ce qu'il est réalisé selon un schéma en branches qui présente la forme suivante:

			Canal P	Canal N
20	<u>Porte 1a</u>	<u>groupe 1</u>	CK série D	A série CK
	(B)	<u>groupe 2</u>	A	A série D
	<u>Porte 1b</u>	<u>groupe 1</u>	B	S série B série CK
	(A)	<u>groupe 2</u>	CK	----
25		<u>groupe 3</u>	S	----
	<u>Porte 2a</u>	<u>groupe 1</u>	CK série Q	A série CK
	(NQ)	<u>groupe 2</u>	A	A série Q
30	<u>Porte 2b</u>	<u>groupe 1</u>	NQ	NQ série S
	(Q)	<u>groupe 2</u>	S	----

8. Elément de mémoire suivant la revendication 1, caractérisé en ce que ladite seconde porte du type  
 35 inverseuse (1b) de ladite bascule maître comporte un inverseur élémentaire (1b-2) dont l'entrée est connectée à

la sortie (B) de ladite première porte (1a) de cette bascule (1) et dont la sortie est rebouclée pour commander ladite première porte (1a) de la bascule maître (1) tout en fournissant l'une desdites variables de transfert (C),  
 5 ladite seconde porte du type inverseuse (1b) comprenant également une porte élémentaire de type NAND (1b-3) dont une première entrée est connectée à la sortie (B) de ladite première porte (1a) de la bascule maître (1), dont une seconde entrée est commandée par ledit signal d'horloge (CK)  
 10 et dont la sortie constitue l'autre variable de transfert (A) pour ladite bascule esclave (2), tout en étant également rebouclée pour commander ladite première porte (1a) de ladite bascule maître (1).

9. Élément de mémoire suivant la revendication 8,  
 15 caractérisé en ce qu'il est réalisé selon une schéma en branches qui présente la forme suivante:

			Canal P	Canal N
20	<u>Porte 1a</u>	<u>groupe 1</u>	CK série D	C série CK
	(B)	<u>groupe 2</u>	A	A série D
	<u>Porte 1b</u>	<u>groupe 1</u>	(C) B	B
25		<u>groupe 2</u>	(A) B	B série CK
		<u>groupe 3</u>	(A) CK	-----
	<u>Porte 2a</u>	<u>groupe 1</u>	CK série Q	C série CK
	(NQ)	<u>groupe 2</u>	A	A série Q
30	<u>Porte 2b</u>	<u>groupe 1</u>	NQ	NQ
	(Q)			

10. Élément de mémoire suivant la revendication 8,  
 caractérisé en ce qu'il comprend également une commande (R)  
 35 de mise à "0" de ladite sortie vraie (Q) et en ce ladite première porte (1a) de la bascule maître (1) et ladite

première porte (2a) de ladite bascule esclave (2) comportent chacune une entrée supplémentaire (7, 8) recevant ladite commande de mise à "0" (R).

11. Elément de mémoire suivant la revendication 10, 5 caractérisé en ce qu'il est réalisé sous la forme d'un schéma en branches qui présente la forma suivante:

			Canal P	Canal N
10	<u>Porte 1a</u>	<u>groupe 1</u>	R	----
	(B)	<u>groupe 2</u>	CK série D	R série C série CK
		<u>groupe 3</u>	A	R série A série D
	<u>Porte 1b</u>	<u>groupe 1</u> (C)	B	B
15		<u>groupe 2</u> (A)	B	B série CK
		<u>groupe 3</u> (A)	CK	-----
	<u>Porte 2a</u>	<u>groupe 1</u>	R	-----
20	(NQ)	<u>groupe 2</u>	CK série Q	C série CK
		<u>groupe 3</u>	A	R série A série Q
	<u>Porte 2b</u>	<u>groupe 1</u>	NQ	NQ
	(Q)			
25				

12. Elément de mémoire suivant la revendication 8, caractérisé en ce qu'il comprend également une commande (S) de mise à "1" de ladite sortie vraie (Q) et en ce ladite seconde porte (1b) de la bascule maître (1) et ladite 30 seconde porte (2b) de ladite bascule esclave (2) comportent chacune une entrée supplémentaire (9, 10) recevant ladite commande de mise à "1" (S).

13. Elément de mémoire suivant la revendication 12, caractérisé en ce qu'il est réalisé selon un schéma en 35 branches qui présente la forme suivante:

			Canal P	Canal N
	<u>Porte 1a</u>	<u>groupe 1</u>	CK série D	C série CK
	(B)	<u>groupe 2</u>	A	A série D
5				
	<u>Porte 1b</u>	<u>groupe 1</u>	(C) B	B
		<u>groupe 2</u>	(A) B	S série B série CK
		<u>groupe 3</u>	(A) CK	-----
10		<u>groupe 4</u>	(A) S	-----
	<u>Porte 2a</u>	<u>groupe 1</u>	CK série Q	C série CK
	(NQ)	<u>groupe 2</u>	A	A série Q
15				
	<u>Porte 2b</u>	<u>groupe 1</u>	NQ	S série NQ
	(Q)	<u>groupe 2</u>	S	-----

14. Elément de mémoire suivant la revendication 8, caractérisé en ce qu'il présente en combinaison les schémas en branches selon les revendications 11 et 13, les éléments logiques élémentaires identiques de ces schémas n'étant utilisés qu'une seule fois.

15. Elément de mémoire suivant la revendication 1, caractérisé en ce que ladite seconde porte de type inverseuse (1b) de la bascule maître (1) comporte une porte de type ET (1b-4) dont une première entrée est commandée par la sortie (B) de ladite première porte (1a) de la bascule maître (1), dont une seconde entrée est commandée par ledit signal d'horloge (CK) et dont la sortie commande la première entrée d'une porte de type NOR (1b-5) dont l'autre entrée est commandée par un signal (R) de mise à "0" de ladite sortie vraie (Q), la sortie de cette porte NOR (1b-5) étant rebouclée sur ladite première porte (1a) de la bascule maître (1) et fournissant ladite variable de transfert (A).

16. Elément de mémoire suivant la revendication 15, caractérisé en ce qu'il est réalisé selon un schéma en

branches qui présente la forme suivante:

		Canal P	Canal N
5	<u>Porte 1a</u> <u>groupe 1</u>	CK série D	A série CK
	(B) <u>groupe 2</u>	A	A série D
	<u>Porte 1b</u> <u>groupe 1</u>	B série R	B série CK
	(A) <u>groupe 2</u>	CK série R	R
10	<u>Porte 2a</u> <u>groupe 1</u>	CK série Q	A série CK
	(NQ) <u>groupe 2</u>	A	A série Q
	<u>Porte 2b</u> <u>groupe 1</u>	NQ	NQ
15	(Q)		

17. Elément de mémoire suivant la revendication 15, caractérisé en ce qu'il comprend également une commande (S) de mise à "1" de ladite sortie vraie (Q), et en ce ladite  
 20 seconde porte (1b) de la bascule maître (1) et ladite seconde porte (2b) de ladite bascule esclave (2) comportent chacune une entrée supplémentaire (4, 5) recevant ladite commande de mise à "1" (S).

18. Elément de mémoire suivant la revendication 17,  
 25 caractérisé en ce qu'il est réalisé selon un schéma en branches qui présente la forme suivante:

		Canal P	Canal N
	<u>Porte 1a</u> <u>groupe 1</u>	CK série D	A série CK
30	(B) <u>groupe 2</u>	A	A série D
	<u>Porte 1b</u> <u>groupe 1</u>	B série R	S série B série CK
	(A) <u>groupe 2</u>	CK série R	R
	<u>groupe 3</u>	S	-----
35	<u>Porte 2a</u> <u>groupe 1</u>	CK série Q	A série CK
	(NQ) <u>groupe 2</u>	A	A série Q

<u>Porte 2b</u>	<u>groupe 1</u>	NQ	S série NQ
(Q)	<u>groupe 2</u>	S	-----

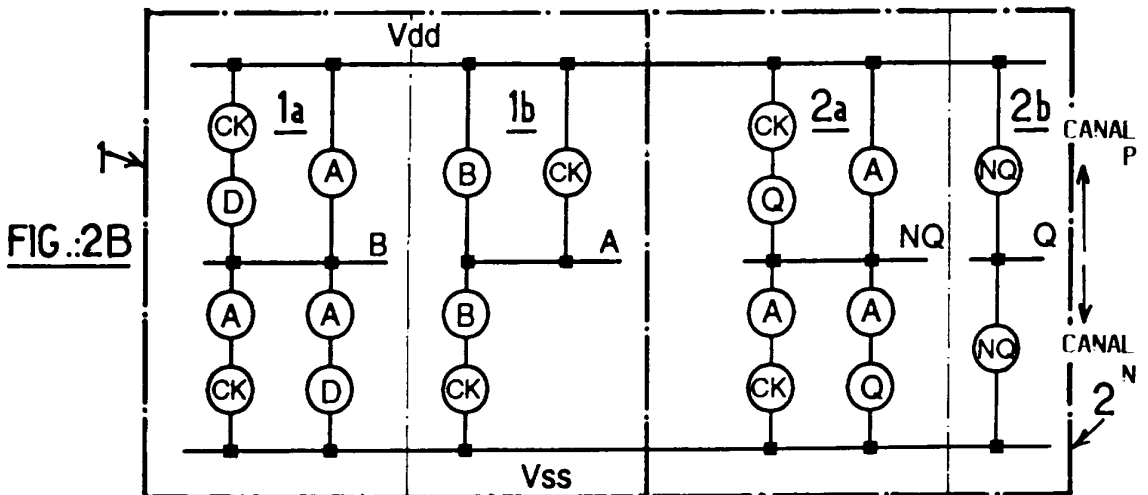
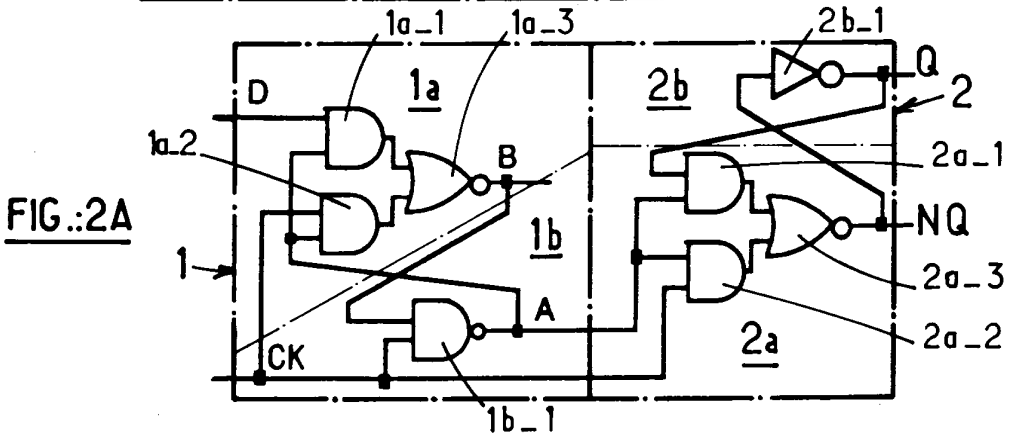
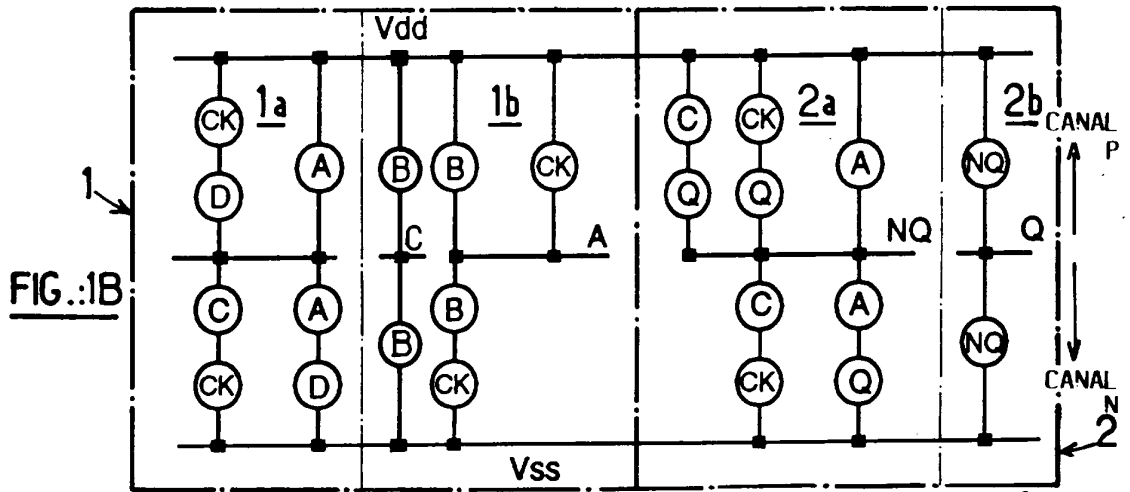
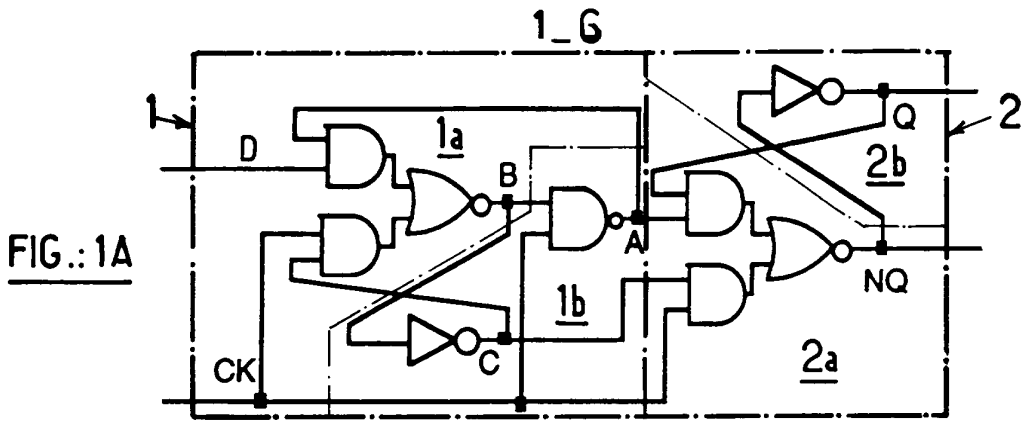
5           19. Elément de mémoire suivant l'une quelconque des revendications 3, 5, 7, 16 et 18, caractérisé en ce que dans le cas où des branches parallèles d'une même porte (1a, 2a) doivent comporter des transistors commandés par la même variable (A), ces transistors sont réalisés au moyen d'un  
10 seul transistor (A) formant un trajet série commun sur ces branches parallèles.

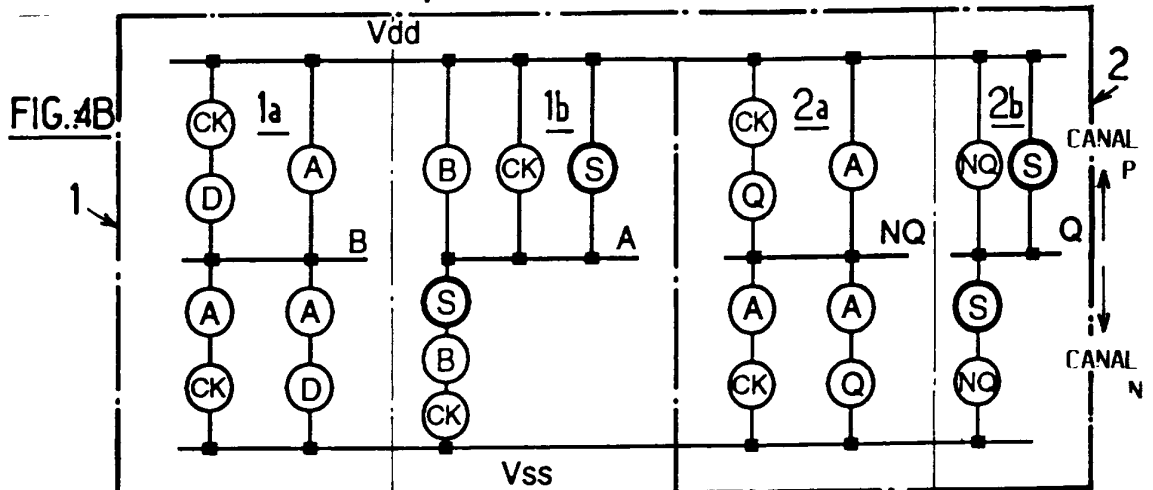
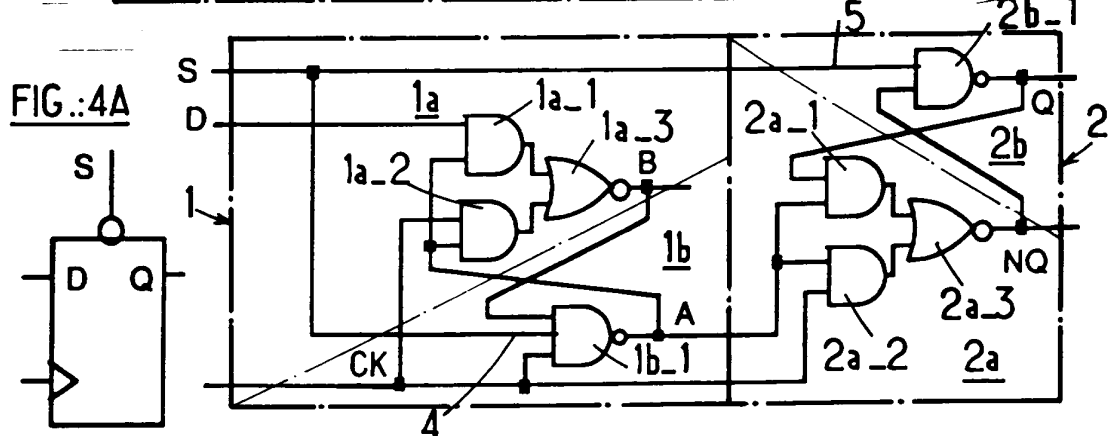
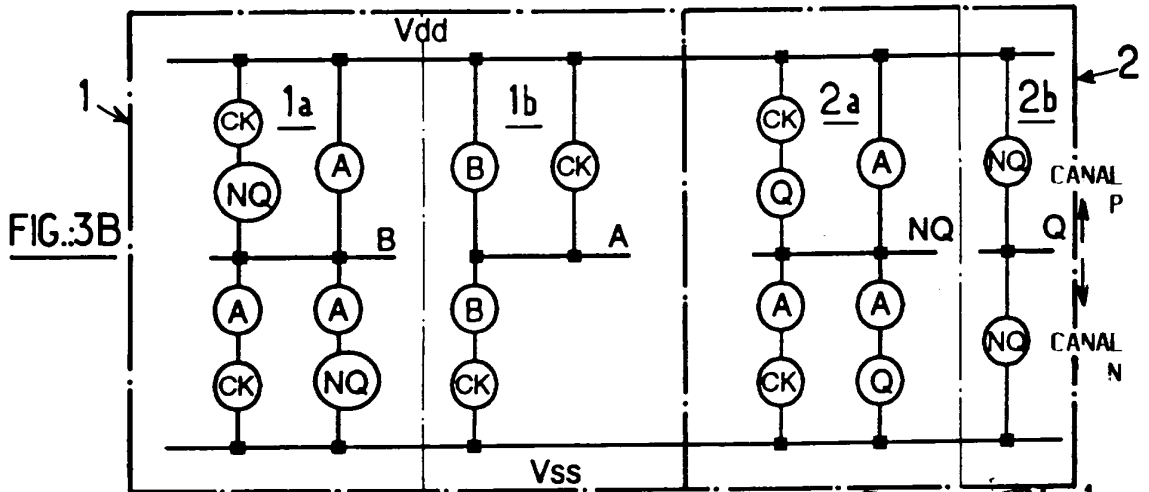
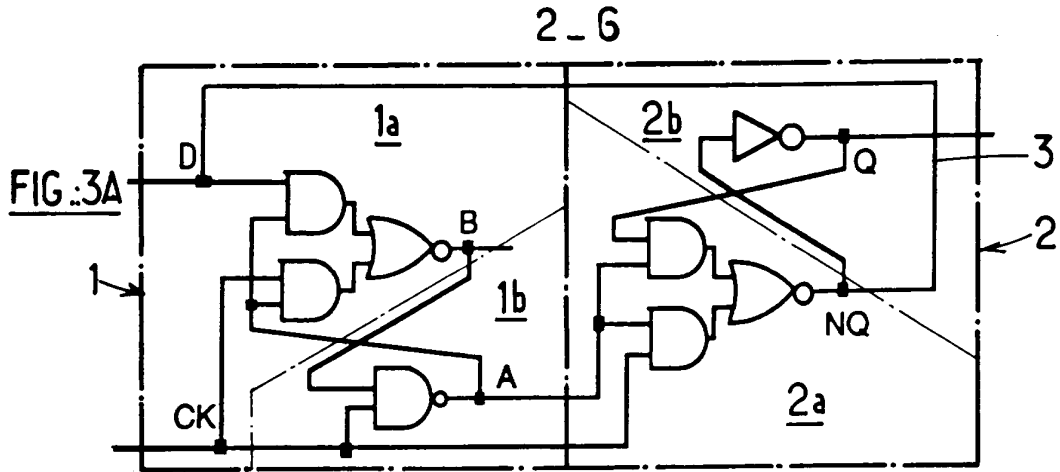
          20. Elément de mémoire du type bascule maître-esclave, réalisé en technique CMOS et propre à délivrer une variable logique de sortie (NQ) qui est la division par deux d'une  
15 variable logique d'entrée (CK), ledit élément comportant une bascule maître (1) destinée à commander une bascule esclave (2) par l'intermédiaire de variables de transfert (A, B), ladite bascule esclave (2) étant composée d'une porte (2a) commandée par lesdites variables de transfert (A, B) et  
20 ladite variable logique d'entrée (CK), pour délivrer ladite variable de sortie (NQ), ladite bascule maître (1) comportant une première porte (1a) commandée par ladite variable d'entrée (CK) et une autre variable (D) formée par ladite variable de sortie (NQ) rebouclée, ladite bascule  
25 maître (1) comportant également une seconde porte (1b) de type inverseuse commandée par la sortie (B) de ladite première porte (1a) de la bascule maître (1) et ladite variable d'entrée (CK) pour délivrer l'une desdites variables de transfert (A, B), ledit élément de mémoire  
30 étant caractérisé en ce que ladite porte (2a) de ladite bascule esclave (2) ne comporte, pour assurer le transfert de ladite variable d'entrée (CK), qu'au plus sept transistors.

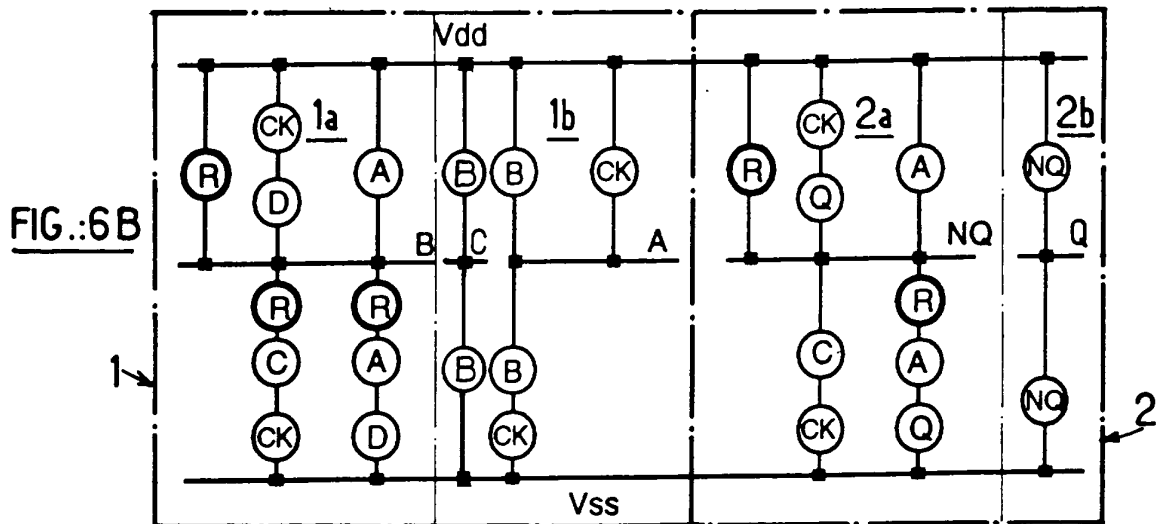
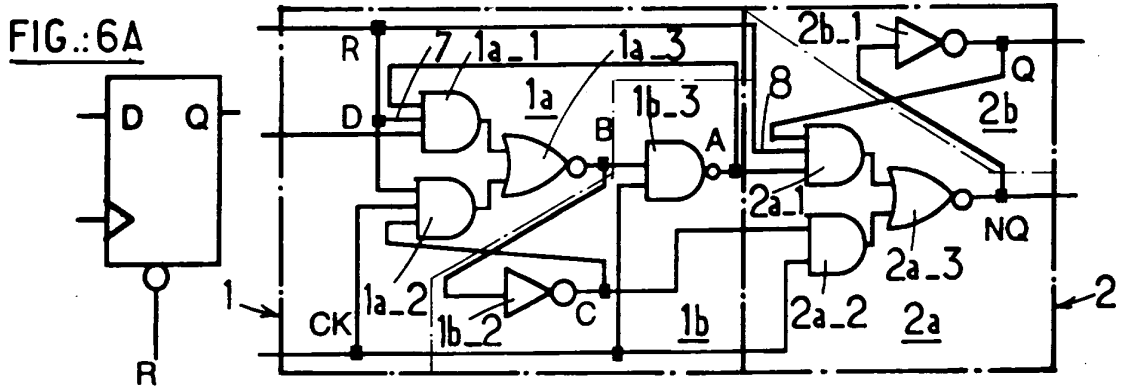
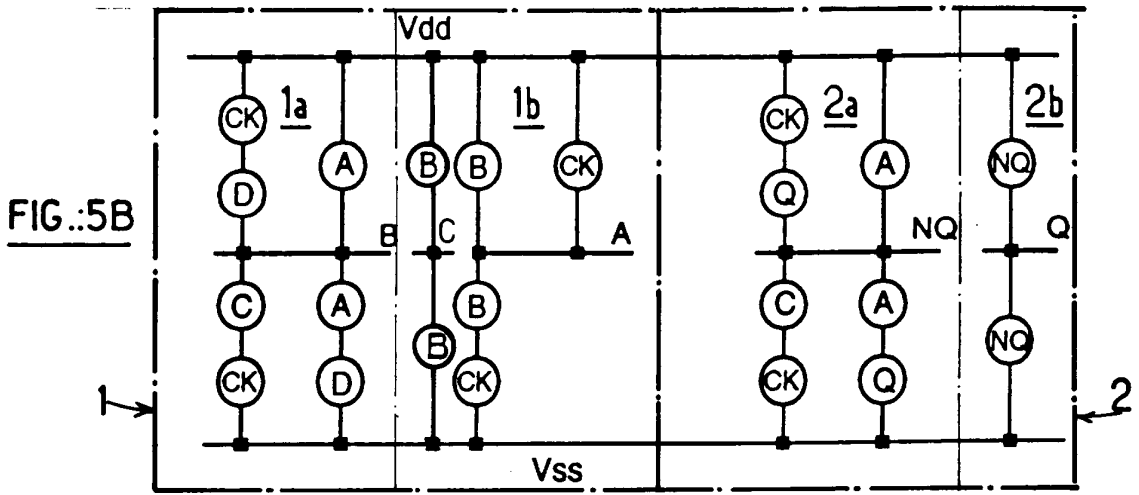
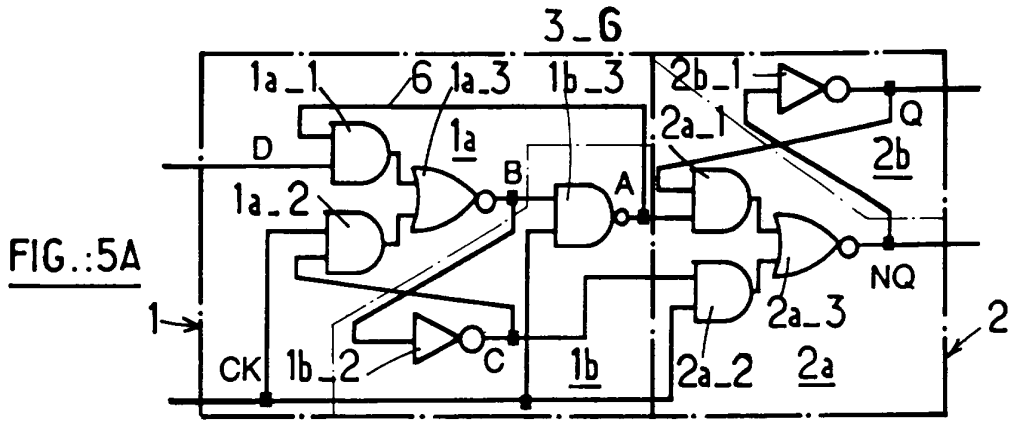
          21. Elément de mémoire suivant la revendication 20,  
35 caractérisé en ce qu'il est réalisé selon un schéma en branches qui présente la forme suivante:

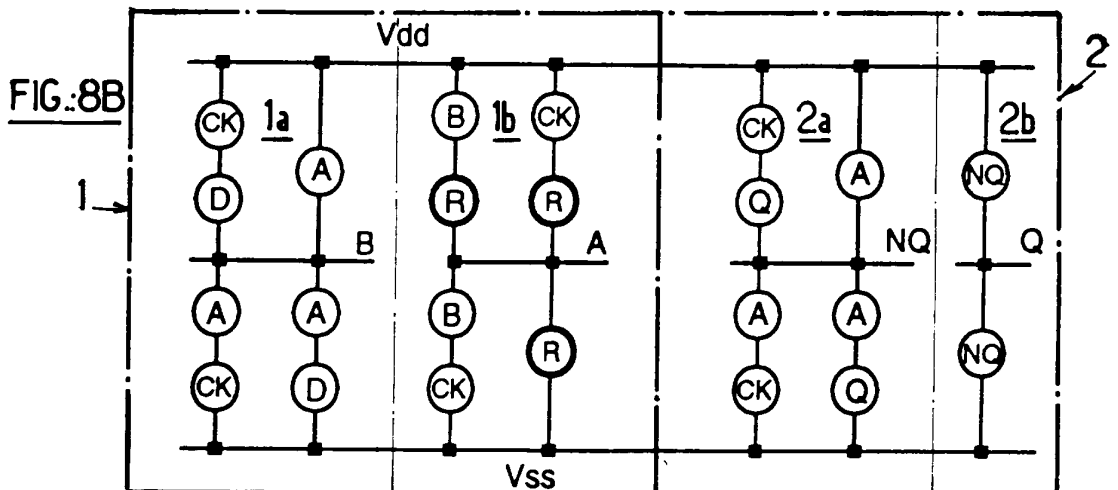
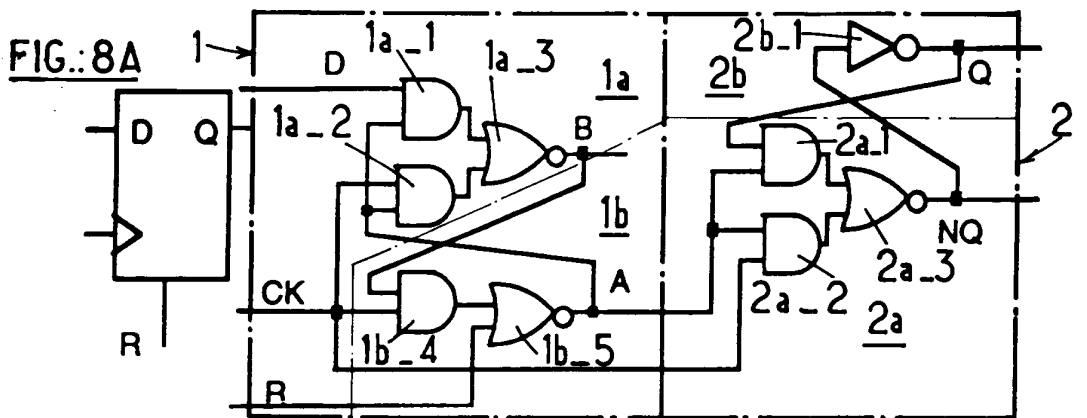
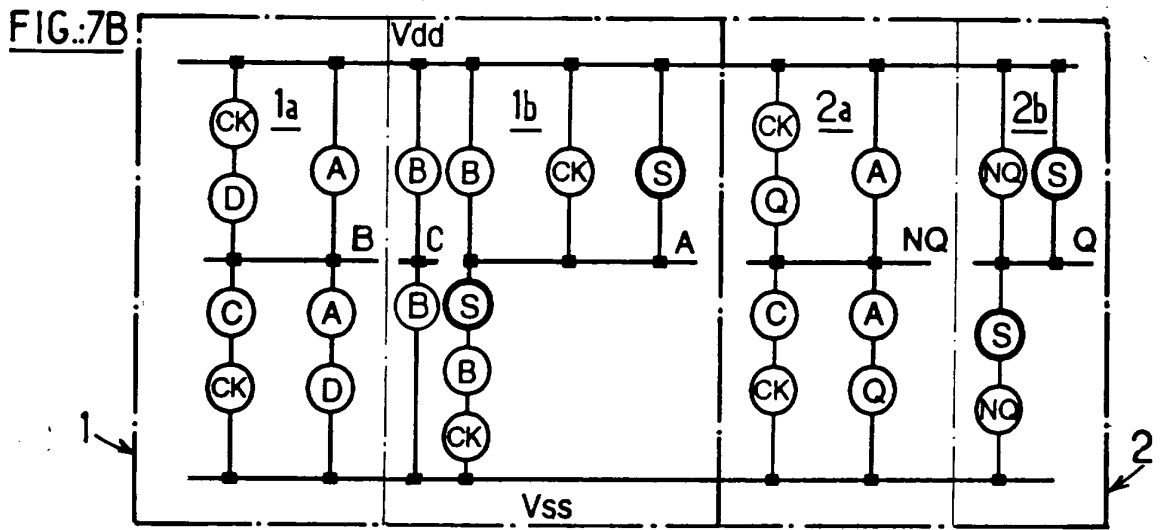
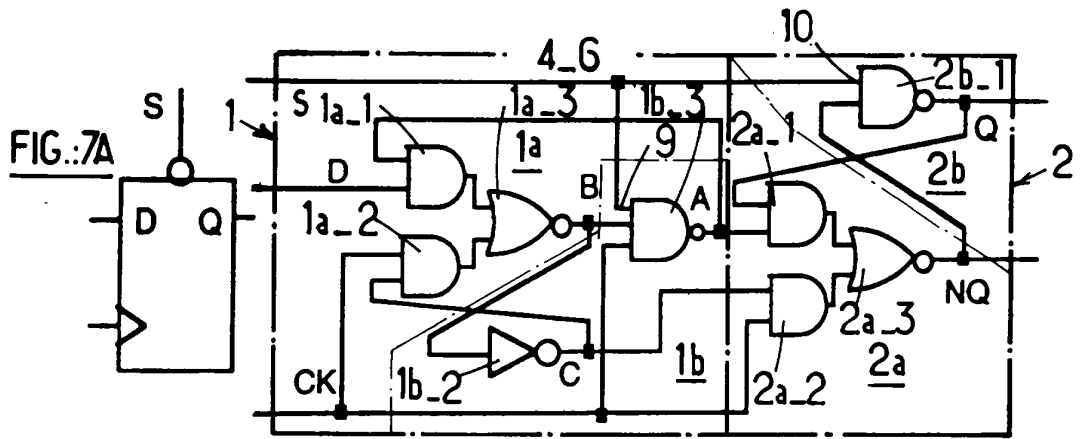
		Canal P	Canal N
5	<u>Porte 1a</u> <u>groupe 1</u>	CK série NQ	A série CK
	(B) <u>groupe 2</u>	A	A série NQ
	<u>Porte 1b</u> <u>groupe 1</u>	B	B série CK
	(A) <u>groupe 2</u>	CK	----
10	<u>Porte 2a</u> <u>groupe 1</u>	CK série Q	A série CK
	(NQ) <u>groupe 2</u>	A	A série Q

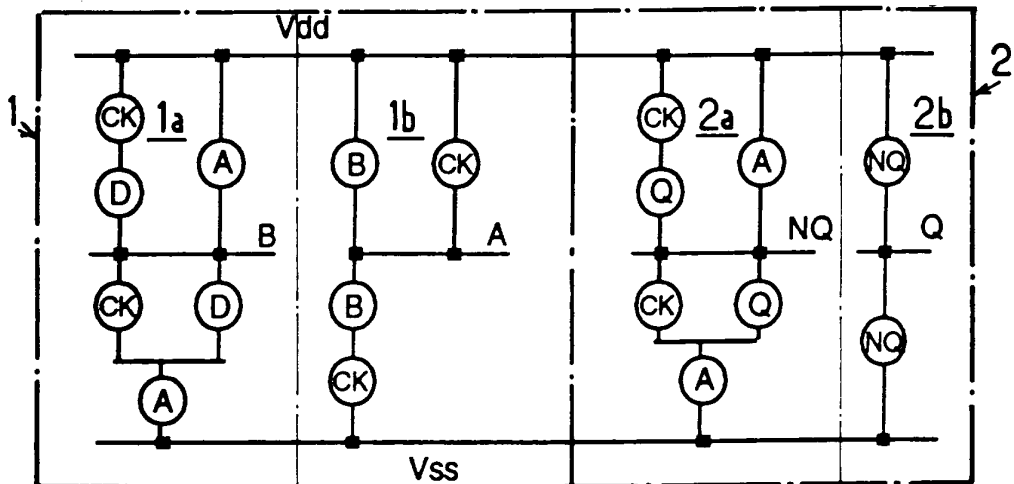
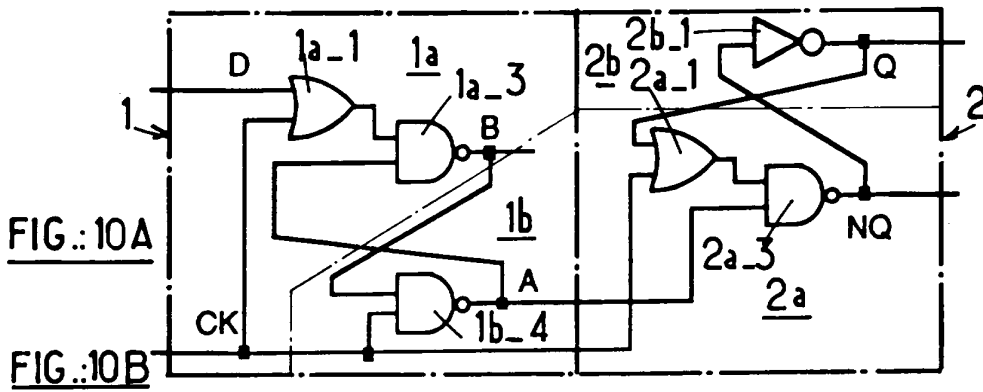
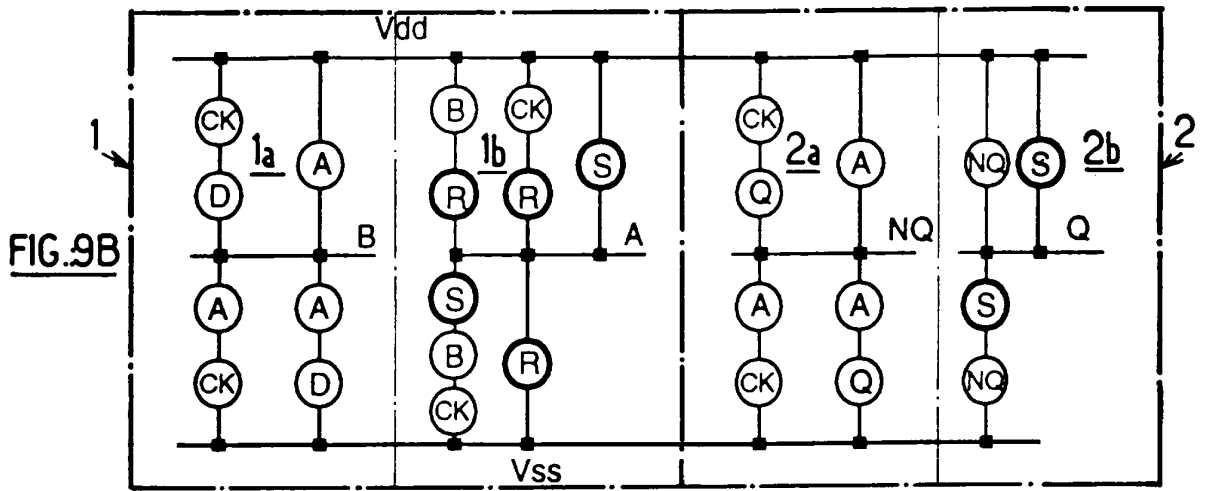
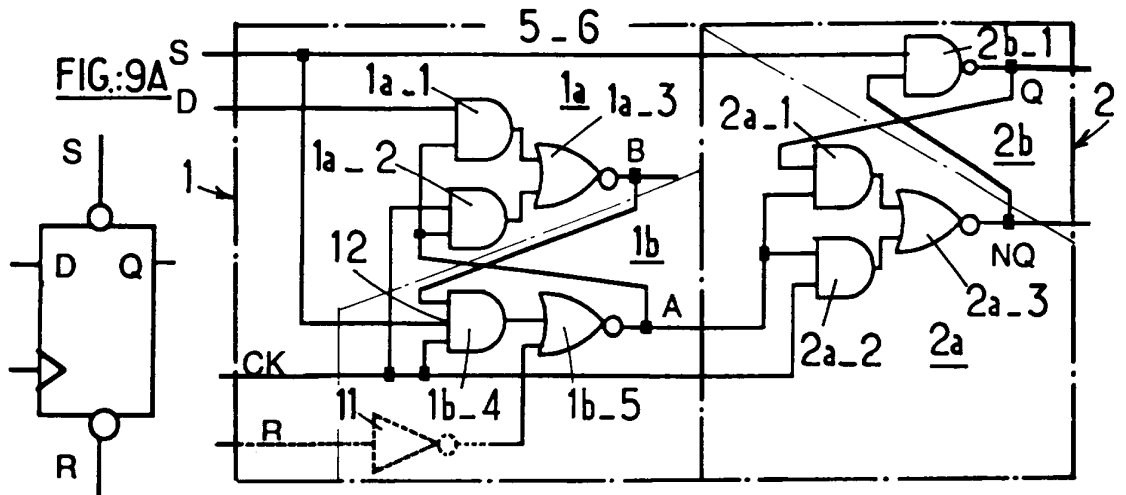
22. Elément de mémoire suivant la revendication 21, caractérisé en ce que les branches parallèles (CK, B) de ladite porte (2a) de ladite bascule esclave (2) comportent un seul transistor commandé par l'une desdites variables de transfert (A) et formant un trajet série commun sur ces branches parallèles.











G\_6

FIG.: 11B

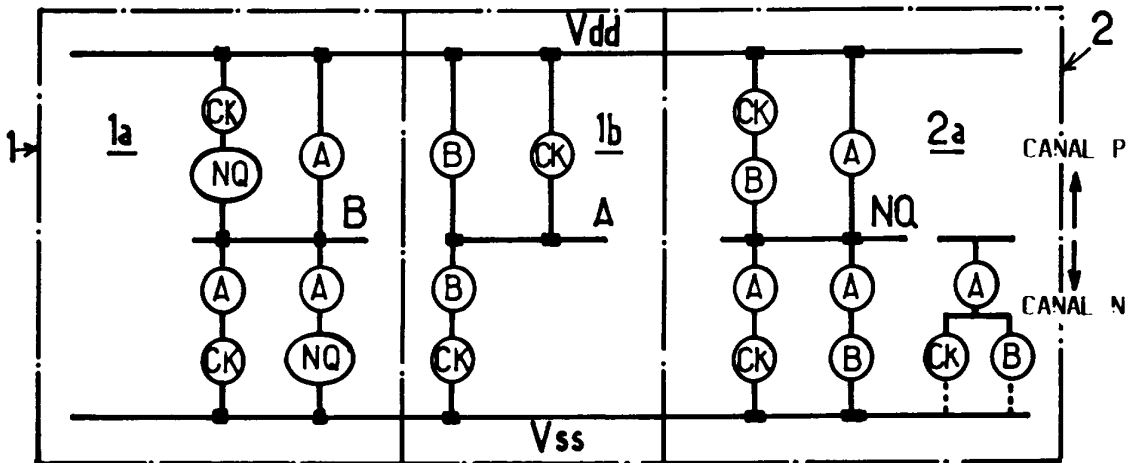
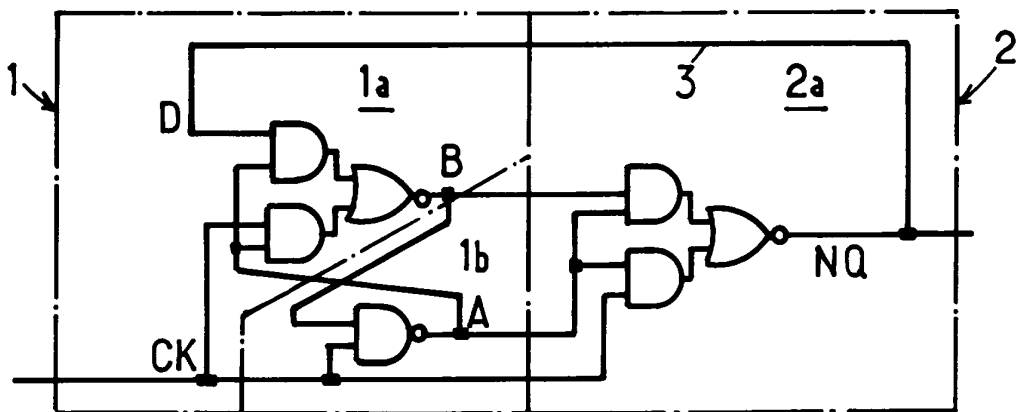


FIG.: 11A



DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
X	US-A-4 057 741 (PIGUET) * colonne 13, ligne 50 - colonne 14, ligne 7; figure 4 *	1
A	---	2-22
A	BULLETIN ANNUEL DE LA SOCIETE SUISSE DE CHRONOMETRIE ET DU LABORATOIRE SUISSE DE RECHERCHES HORLOGERES, vol. 7, no. 2, 1976 NEUCHATEL CH, pages 159-163, VITTOZ ET AL. 'Circuits C-MOS pseudo-aléatoires' * le document en entier *	1-22
A	IEEE JOURNAL OF SOLID-STATE CIRCUITS, vol. 26, no. 3, Mars 1991 NEW YORK US, pages 371-380, PIGUET 'Logis synthesis of race-free asynchronous CMOS circuits' * page 376, colonne de gauche, dernier alinéa - page 379, colonne de gauche, ligne 10; figures 20-37 *	1-22
A	DE-A-28 29 968 (CENTRE ELECTRONIQUE HORLOGER S.A.) * page 10, dernier alinéa - page 17, dernier alinéa; figures 1-4 *	1-22
A	DE-A-28 30 045 (CENTRE ELECTRONIQUE HORLOGER S.A.) * page 13, ligne 13 - page 19, dernier alinéa; figures 1-4 *	1-22
A,D	& CH-A-629 921	
A	EP-A-0 219 907 (N.V. PHILIPS GLOEILAMPENFABRIEKEN) * colonne 2, ligne 6 - colonne 4, ligne 49; figures 1-3 *	1-22
	-/--	
Date d'achèvement de la recherche		Examineur
11 Décembre 1995		Cantarelli, R
<p><b>CATEGORIE DES DOCUMENTS CITES</b></p> <p>X : particulièrement pertinent à lui seul  Y : particulièrement pertinent en combinaison avec un  autre document de la même catégorie  A : pertinent à l'encontre d'au moins une revendication  ou arrière-plan technologique général  O : divulgation non-écrite  P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention  E : document de brevet bénéficiant d'une date antérieure  à la date de dépôt et qui n'a été publié qu'à cette date  de dépôt ou qu'à une date postérieure.  D : cité dans la demande  L : cité pour d'autres raisons  .....  &amp; : membre de la même famille, document correspondant</p>		

EPO FORM 1503 03.82 (P04C13)

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
A	EP-A-0 225 075 (FUJITSU LIMITED) * colonne 4, ligne 21 - colonne 5, ligne 9; figures 4,5 * -----	1-22
		DOMAINES TECHNIQUES RECHERCHES (Int. CL.6)
Date d'achèvement de la recherche		Examineur
11 Décembre 1995		Cantarelli, R
<p><b>CATEGORIE DES DOCUMENTS CITES</b></p> <p>X : particulièrement pertinent à lui seul                      Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie                      A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général                      O : divulgation non-écrite                      P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention                      E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.                      D : cité dans la demande                      L : cité pour d'autres raisons                      .....                      &amp; : membre de la même famille, document correspondant</p>		

1  
EPO FORM 1501 03.82 (P04C13)