



(12) 发明专利申请

(10) 申请公布号 CN 117810268 A

(43) 申请公布日 2024. 04. 02

(21) 申请号 202311207996.9

(22) 申请日 2023.09.19

(30) 优先权数据

2022-157776 2022.09.30 JP

(71) 申请人 株式会社日本显示器

地址 日本东京都

(72) 发明人 渡壁创 津吹将志 佐佐木俊成

花田明纮 田丸尊也

(74) 专利代理机构 北京市金杜律师事务所

11256

专利代理师 韩雪莲

(51) Int. Cl.

H01L 29/786 (2006.01)

H01L 29/06 (2006.01)

H01L 29/24 (2006.01)

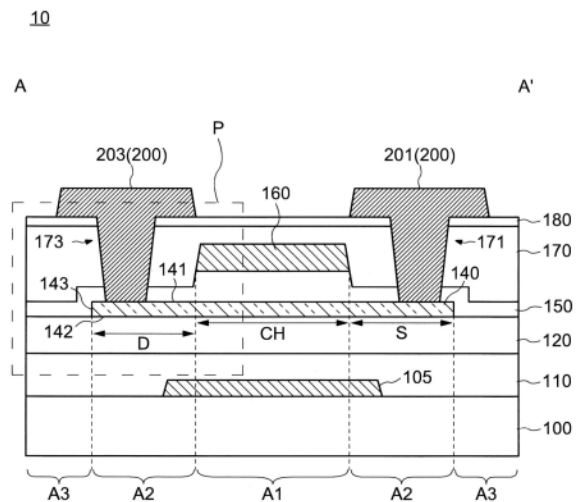
权利要求书2页 说明书14页 附图12页

(54) 发明名称

半导体装置

(57) 摘要

本发明涉及半导体装置。提供含有防止氢向沟道区域的侵入的氢陷阱区域的半导体装置。半导体装置包含氧化物绝缘层、氧化物半导体层、栅极绝缘层、栅电极、和保护绝缘层。半导体装置被划分为与栅电极重叠的第1区域、不与栅电极重叠但与氧化物半导体层重叠的第2区域、和与栅电极及氧化物半导体层重叠的第3区域。第1区域中的栅极绝缘层的厚度为200nm以上。第2区域及第3区域中的栅极绝缘层的厚度为150nm以下。第2区域中的氧化物半导体层所包含的杂质的量多于第1区域中的氧化物半导体层所包含的杂质的量。第3区域中的氧化物绝缘层所包含的杂质的量多于第1区域中的氧化物绝缘层所包含的杂质的量。



1. 半导体装置,其包含:
氧化物绝缘层;
所述氧化物绝缘层之上的氧化物半导体层;
覆盖所述氧化物半导体层的、所述氧化物绝缘层及所述氧化物半导体层之上的栅极绝缘层;
所述栅极绝缘层之上的栅电极;和
覆盖所述栅电极的、所述栅极绝缘层及所述栅电极之上的保护绝缘层,
所述半导体装置被划分为:
与所述栅电极重叠的第1区域;
不与所述栅电极重叠而与所述氧化物半导体层重叠的第2区域;和
不与所述栅电极及所述氧化物半导体层重叠的第3区域,
所述第1区域中的所述栅极绝缘层的厚度为200nm以上,
所述第2区域及所述第3区域中的所述栅极绝缘层的厚度为150nm以下,
所述第2区域中的所述氧化物半导体层所包含的杂质的量多于所述第1区域中的所述氧化物半导体层所包含的所述杂质的量,
所述第3区域中的所述氧化物绝缘层所包含的所述杂质的量多于所述第1区域中的所述氧化物绝缘层所包含的所述杂质的量。
2. 如权利要求1所述的半导体装置,其中,所述第3区域中的所述氧化物绝缘层所包含的所述杂质的量多于所述第2区域中的所述氧化物绝缘层所包含的所述杂质的量。
3. 如权利要求1所述的半导体装置,其中,所述第2区域中的所述氧化物绝缘层所包含的所述杂质的量多于所述第1区域中的所述氧化物绝缘层所包含的所述杂质的量。
4. 如权利要求1所述的半导体装置,其中,所述第2区域及所述第3区域中的所述栅极绝缘层所包含的所述杂质的量多于所述第1区域中的所述栅极绝缘层所包含的所述杂质的量。
5. 如权利要求1所述的半导体装置,其中,在所述第3区域中,所述氧化物绝缘层及所述栅极绝缘层的膜厚方向上的所述杂质的分布中峰存在于所述氧化物绝缘层之中。
6. 如权利要求1所述的半导体装置,其中,在所述第2区域中,所述氧化物绝缘层、所述氧化物半导体层、及所述栅极绝缘层的膜厚方向上的所述杂质的分布中峰存在于所述氧化物半导体层之中。
7. 如权利要求1所述的半导体装置,其中,在所述第1区域中,所述氧化物绝缘层、所述氧化物半导体层、所述栅极绝缘层、及所述栅电极的膜厚方向上的所述杂质的分布中峰存在于所述栅电极之中。
8. 如权利要求1所述的半导体装置,其中,在所述第3区域的深度方向上,所述氧化物绝缘层的规定位置所包含的所述杂质的量多于所述栅极绝缘层的规定位置所包含的所述杂质的量。
9. 如权利要求1所述的半导体装置,其中,在所述第2区域的深度方向上,所述氧化物半导体层的规定位置所包含的所述杂质的量多于所述栅极绝缘层的规定位置所包含的所述杂质的量、并多于所述氧化物绝缘层的规定位置所包含的所述杂质的量。
10. 如权利要求1所述的半导体装置,其中,在所述第1区域的深度方向上,所述栅电极

的规定位置所包含的所述杂质的量多于所述栅极绝缘层的规定位置所包含的所述杂质的量。

11. 如权利要求1所述的半导体装置,其中,在所述第3区域中,所述氧化物绝缘层与所述栅极绝缘层相接,所述栅极绝缘层与所述保护绝缘层相接。

12. 如权利要求1至11中任一项所述的半导体装置,其中,所述第2区域及所述第3区域中的所述栅极绝缘层的厚度为50nm以上100nm以下。

半导体装置

技术领域

[0001] 本发明的一个实施方式涉及使用氧化物半导体作为沟道的半导体装置。

背景技术

[0002] 近年来,代替非晶硅、低温多晶硅、及单晶硅等硅半导体,将氧化物半导体用作沟道的半导体装置的开发不断发展(例如,参见专利文献1~专利文献6)。含有这样的氧化物半导体的半导体装置与含有非晶硅的薄膜晶体管同样地,能够以简单的结构和低温工艺形成。已知含有氧化物半导体的半导体装置具有比含有非晶硅的半导体装置更高的场效应迁移率。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开2021-141338号公报

[0006] 专利文献2:日本特开2014-099601号公报

[0007] 专利文献3:日本特开2021-153196号公报

[0008] 专利文献4:日本特开2018-006730号公报

[0009] 专利文献5:日本特开2016-184771号公报

[0010] 专利文献6:日本特开2021-108405号公报

发明内容

[0011] 发明所要解决的课题

[0012] 在氧化物半导体中,若氢结合于氧缺陷,则生成载流子。在半导体装置中,通过利用该机理,在氧化物半导体层中形成氧缺陷、并向形成的氧缺陷供给氢,从而能够形成作为低电阻区域的源极区域及漏极区域。另一方面,若氢扩散至氧化物半导体层的沟道区域,则作为半导体装置的沟道,功能降低。具体而言,因氢扩散至沟道区域,半导体装置的电特性中的阈值电压发生变化,因此阈值电压的偏差增大,半导体装置的制造成品率降低。因此,通过使用能够捕获氢的含有过剩氧的氧化物层作为与氧化物半导体层相接的绝缘层,从而抑制氢向沟道区域的侵入。

[0013] 然而,由于含有过剩氧的氧化物层作为电子陷阱(electron trap)发挥功能,因此在含有这样的氧化物层的半导体装置中,可靠性显著降低。因此,为了在向氧化物半导体层的源极区域及漏极区域供给氢的同时抑制可靠性降低,期望一种能够抑制氢侵入氧化物半导体层的沟道区域的半导体装置。

[0014] 鉴于上述问题,本发明的一个实施方式的目的之一在于提供含有防止氢侵入沟道区域的氢陷阱(hydrogen trap)区域的半导体装置。

[0015] 用于解决课题的手段

[0016] 本发明的一个实施方式涉及的半导体装置包含:氧化物绝缘层;前述氧化物绝缘层之上的氧化物半导体层;覆盖前述氧化物半导体层的、前述氧化物绝缘层及前述氧化物

半导体层之上的栅极绝缘层；前述栅极绝缘层之上的栅电极；和覆盖前述栅电极的、前述栅极绝缘层及前述栅电极之上的保护绝缘层。前述半导体装置被划分为：与前述栅电极重叠的第1区域；不与前述栅电极重叠而与前述氧化物半导体层重叠的第2区域；和与前述栅电极及前述氧化物半导体层重叠的第3区域。前述第1区域中的前述栅极绝缘层的厚度为200nm以上。前述第2区域及前述第3区域中的前述栅极绝缘层的厚度为150nm以下。前述第2区域中的前述氧化物半导体层所包含的杂质的量多于前述第1区域中的前述氧化物半导体层所包含的前述杂质的量。前述第3区域中的前述氧化物绝缘层所包含的前述杂质的量多于前述第1区域中的前述氧化物绝缘层所包含的前述杂质的量。

附图说明

- [0017] 图1为示出本发明的一个实施方式涉及的半导体装置的概要的剖视图。
- [0018] 图2为示出本发明的一个实施方式涉及的半导体装置的概要的俯视图。
- [0019] 图3为示出本发明的一个实施方式涉及的半导体装置的构成的示意性局部放大剖视图。
- [0020] 图4为示出本发明的一个实施方式涉及的半导体装置中，第1区域～第3区域中的杂质浓度的分布的图。
- [0021] 图5为示出本发明的一个实施方式涉及的半导体装置的制造方法的顺序图。
- [0022] 图6为示出本发明的一个实施方式涉及的半导体装置的制造方法的剖视图。
- [0023] 图7为示出本发明的一个实施方式涉及的半导体装置的制造方法的剖视图。
- [0024] 图8为示出本发明的一个实施方式涉及的半导体装置的制造方法的剖视图。
- [0025] 图9为示出本发明的一个实施方式涉及的半导体装置的制造方法的剖视图。
- [0026] 图10为示出本发明的一个实施方式涉及的半导体装置的制造方法的剖视图。
- [0027] 图11为示出本发明的一个实施方式涉及的半导体装置的制造方法的剖视图。
- [0028] 图12为示出本发明的一个实施方式涉及的半导体装置的制造方法的剖视图。
- [0029] 图13为示出本发明的一个实施方式涉及的半导体装置的制造方法的剖视图。
- [0030] 图14为说明本发明的一个实施方式涉及的半导体装置中，第2区域及第3区域中的氢的捕获功能的示意性剖视图。
- [0031] 图15为说明本发明的一个实施方式涉及的半导体装置中，第2区域及第3区域中的氢的捕获功能的示意性剖视图。
- [0032] 图16为说明本发明的一个实施方式涉及的半导体装置中，由氢陷阱带来的效果的示意性剖视图及示出半导体装置的电特性的图。
- [0033] 附图标记说明
- [0034] 10：半导体装置、100：基板、105：遮光层、110：氮化物绝缘层、120：氧化物绝缘层、140：氧化物半导体层、141：上表面、142：下表面、143：侧面、150：栅极绝缘层、160：栅电极、170：绝缘层、171：开口、173：开口、180：绝缘层、200：源·漏电极、201：源电极、203：漏电极、A1：第1区域、A2：第2区域、A3：第3区域、CH：沟道区域、D：漏极区域、DB：悬空键 (dangling bond) 缺陷、S：源极区域

具体实施方式

[0035] 以下,参照附图来说明本发明的各实施方式。以下的公开内容只不过是一例。本领域技术人员在保证发明的主旨的同时通过适当变更实施方式的构成而能够容易想到的构成当然包含在本发明的范围内。另外,为了使说明更加清楚,存在与实际的方式相比,附图示意性表示各部分的宽度、厚度或形状等的情况。但是,图示的形状只不过是一例,并不限定本发明的解释。在本说明书和各图中,对于与关于前述附图而在前文陈述的构成同样的构成,有时标注相同的标记并适当省略详细说明。

[0036] 本发明的各实施方式中,将从基板朝向氧化物半导体层的方向称为上或上方。相反地,将从氧化物半导体层朝向基板的方向称为下或下方。如此,为方便说明,使用上方或下方这样的语句进行说明,但例如也可以将基板与氧化物半导体层的上下关系配置成与图示不同的朝向。以下的说明中,例如基板上的氧化物半导体层这样的表述只不过如上文所述对基板与氧化物半导体层的上下关系进行说明,也可以在基板与氧化物半导体层之间配置其他部件。上方或下方是指使多个层层叠而成的结构中的层叠顺序,在表述为晶体管的上方的像素电极的情况下,也可以是俯视下晶体管与像素电极不重叠的位置关系。另一方面,表述为晶体管的铅垂上方的像素电极的情况下,是指俯视下晶体管与像素电极重叠的位置关系。

[0037] 本说明书中,根据情况,“膜”这样的术语与“层”这样的术语可以互相替换。

[0038] “显示装置”是指使用电光层来显示影像的结构体。例如,显示装置这样的术语有时也指包含电光层的显示面板,或者有时指对显示单元安装其他光学部件(例如,偏振部件、背光灯、触摸面板等)而成的结构体。只要不产生技术上的矛盾,则“电光层”中可以包含液晶层、电致发光(EL)层、电致变色(EC)层、电泳层。因此,关于后述的实施方式,作为显示装置,示例地说明含有液晶层的液晶显示装置、及含有有机EL层的有机EL显示装置,但本实施方式中的结构能够适用于含有上述的其他电光层的显示装置。

[0039] 本说明书中,只要没有特别说明,“ α 包含A、B或C”、“ α 包含A、B及C中的任一者”、“ α 包含选自A、B及C组成的组中的一者”这样的表述不排除 α 包含A~C中多个的组合的情况。此外,这些表述也不排除 α 包含其他要素的情况。

[0040] 需要说明的是,只要不产生技术上的矛盾,以下的各实施方式可以互相组合。

[0041] 参照图1~图16,对本发明的一个实施方式涉及的半导体装置进行说明。例如,以下所示的实施方式的半导体装置除了用于显示装置所使用的晶体管以外,还可用于微处理器(Micro-Processing Unit:MPU)等的集成电路(Integrated Circuit:IC)、或存储器电路等。

[0042] [1. 半导体装置10的构成]

[0043] 使用图1及图2,对本发明的一个实施方式涉及的半导体装置10的构成进行说明。图1为示出本发明的一个实施方式涉及的半导体装置的概要的剖视图。图2为示出本发明的一个实施方式涉及的半导体装置的概要的俯视图。

[0044] 如图1所示,半导体装置10设置于基板100的上方。半导体装置10包含遮光层105、氮化物绝缘层110、氧化物绝缘层120、氧化物半导体层140、栅极绝缘层150、栅电极160、绝缘层170、180、源电极201、及漏电极203。在不特别区分源电极201及漏电极203的情况下,有时将它们一并称为源·漏电极200。

[0045] 遮光层105设置于基板100之上。氮化物绝缘层110及氧化物绝缘层120设置于基板100及遮光层105之上。氮化物绝缘层110将遮光层105的上表面及端部覆盖。氧化物半导体层140设置于氧化物绝缘层120之上。氧化物半导体层140被图案化。氧化物绝缘层120的一部分越过氧化物半导体层140的端部而延伸至与氧化物半导体层140的图案相比靠外侧。

[0046] 本实施方式中,示例了氧化物绝缘层120与氧化物半导体层140相接的构成,但不限于该构成。例如,可以在氧化物绝缘层120与氧化物半导体层140之间设置金属氧化物层,栅极绝缘层150可以不与氧化物绝缘层120相接。例如,作为该金属氧化物层,可以使用以铝作为主成分的金属氧化物。具体而言,作为该金属氧化物层,可以使用氧化铝。

[0047] 栅电极160在氧化物半导体层140的上方与氧化物半导体层140对置。栅极绝缘层150设置于氧化物半导体层140与栅电极160之间。栅极绝缘层150与氧化物半导体层140相接。氧化物半导体层140的主面中,与栅极绝缘层150相接的面为上表面141。氧化物半导体层140的主面中,与氧化物绝缘层120相接的面为下表面142。上表面141与下表面142之间的面为侧面143。栅极绝缘层150将氧化物半导体层140的上表面141及侧面143覆盖,与氧化物半导体层140的图案的外侧的区域(后述的第3区域A3)的氧化物绝缘层120相接。关于上述构成,换句话说,栅极绝缘层150将氧化物半导体层140覆盖,设置于氧化物绝缘层120及氧化物半导体层140之上。

[0048] 绝缘层170设置于栅极绝缘层150及栅电极160之上。绝缘层170将栅电极160覆盖。绝缘层180设置于绝缘层170之上。在绝缘层170、180中,设置有到达氧化物半导体层140的开口171、173。源电极201设置于开口171的内部。源电极201在开口171的底部与氧化物半导体层140相接。漏电极203设置于开口173的内部。漏电极203在开口173的底部与氧化物半导体层140相接。

[0049] 遮光层105具备作为针对氧化物半导体层140的遮光膜的功能。氮化物绝缘层110具备作为对从基板100朝向氧化物半导体层140扩散的杂质进行遮挡的阻隔膜的功能。遮光层105可以具备作为半导体装置10的底栅的功能。该情况下,氮化物绝缘层110及氧化物绝缘层120具备作为针对底栅的栅极绝缘层的功能。

[0050] 半导体装置10的动作主要由供给至栅电极160的电压控制。遮光层105具备作为底栅的功能的情况下,向遮光层105供给辅助电压。但是,也可以向遮光层105供给与供给至栅电极160的电压同样的电压。另一方面,遮光层105仅作为遮光膜使用的情况下,也可以不向遮光层105供给特定的电压,遮光层105的电位为浮动电位。或者,遮光层105可以为绝缘体。

[0051] 半导体装置10以栅电极160及氧化物半导体层140各自的图案为基准而被划分为第1区域A1、第2区域A2、及第3区域A3。第1区域A1是在俯视下与栅电极160重叠的区域。第2区域A2是在俯视下不与栅电极160重叠而与氧化物半导体层140重叠的区域。第3区域A3是在俯视下不与栅电极160及氧化物半导体层140这两者重叠的区域。

[0052] 第2区域A2及第3区域A3中的栅极绝缘层150的厚度比第1区域A1中的栅极绝缘层150的厚度小。换言之,俯视下不与栅电极160重叠的区域中的栅极绝缘层150的厚度比与栅电极160重叠的区域中的栅极绝缘层150的厚度小。详细情况如后文所述,第1区域A1中的栅极绝缘层150的厚度为200nm以上。第1区域A1中的栅极绝缘层150的厚度可以为250nm以上、或300nm以上。第2区域A2及第3区域A3中的栅极绝缘层150的厚度为150nm以下。第2区域A2及第3区域A3中的栅极绝缘层150的厚度可以为100nm以下、50nm以下、或30nm以下。例如,通

过使第2区域A2及第3区域A3中的栅极绝缘层150的厚度为50nm以上100nm以下,从而能够在确保阻挡从绝缘层170扩散的氢的功能的同时,利用离子注入向氧化物绝缘层120导入足够的杂质。

[0053] 氧化物半导体层140以栅电极160的图案为基准而被划分为源极区域S、漏极区域D、及沟道区域CH。源极区域S及漏极区域D为与第2区域A2对应的区域。沟道区域CH为与第1区域A1对应的区域。俯视下,沟道区域CH中的端部与栅电极160的端部一致。沟道区域CH中的氧化物半导体层140具有半导体的性质。源极区域S及漏极区域D中各自的氧化物半导体层140具有导体的性质。即,源极区域S及漏极区域D中的氧化物半导体层140的载流子浓度高于沟道区域CH中的氧化物半导体层140的载流子浓度。源电极201及漏电极203分别与源极区域S及漏极区域D中的氧化物半导体层140相接,并与氧化物半导体层140电连接。氧化物半导体层140可以为单层结构,也可以为层叠结构。

[0054] 本实施方式中,作为半导体装置10,示例了栅电极160设置于氧化物半导体层140的上方的顶栅型晶体管,但半导体装置10不限于该构成。例如,也可以如上文所述,半导体装置10为除了栅电极160外、遮光层105也作为栅极发挥功能的双栅型晶体管。或者,半导体装置10也可以是主要以遮光层105作为栅极发挥功能的、底栅型晶体管。上述的构成只不过是一个实施方式,本发明不限于上述的构成。

[0055] 在图2所示的D1方向上,遮光层105的宽度大于栅电极160的宽度。D1方向是将源电极201与漏电极203连接的方向,为表示半导体装置10的沟道长度L的方向。具体而言,氧化物半导体层140与栅电极160重叠的区域(沟道区域CH)中的D1方向的长度为沟道长度L,该沟道区域CH中的D2方向的宽度为沟道宽度W。遮光层105及栅电极160在D2方向上延伸存在。

[0056] 图2中,示例了在俯视下,源·漏电极200不与遮光层105及栅电极160重叠的构成,但不限于该构成。例如,在俯视下,源·漏电极200也可以与遮光层105及栅电极160中的至少任一者重叠。上述的构成只不过是一个实施方式,本发明不限于上述的构成。

[0057] [2. 半导体装置10的各部件的材质]

[0058] 作为基板100,可使用玻璃基板、石英基板、及蓝宝石基板等具有透光性的刚性基板。在需要基板100具备挠性的情况下,作为基板100,可使用聚酰亚胺基板、丙烯酸基板、硅氧烷基板、氟树脂基板等含有树脂的基板。在使用含有树脂的基板作为基板100的情况下,为了提高基板100的耐热性,可以向上述的树脂中导入杂质。特别是在半导体装置10为顶部发光型的显示器的情况下,由于无需基板100透明,因此也可以使用使基板100的透明度变差的杂质。在并非显示装置的集成电路中使用半导体装置10的情况下,作为基板100,可使用硅基板、碳化硅基板、化合物半导体基板等半导体基板、或者不锈钢基板等导电性基板等不具备透光性的基板。

[0059] 作为遮光层105、栅电极160、及源·漏电极200,使用通常的金属材料。例如,作为它们的部件,例如,使用铝(Al)、钛(Ti)、铬(Cr)、钴(Co)、镍(Ni)、钼(Mo)、铪(Hf)、钽(Ta)、钨(W)、铋(Bi)、银(Ag)、铜(Cu)、以及它们的合金或化合物。作为遮光层105、栅电极160、及源·漏电极200,上述的材料可以以单层使用,也可以层叠而使用。作为遮光层105,在无需导电性的情况下,可以使用上述的金属材料以外的材料。例如,作为遮光层105,例如可以使用黑色树脂等黑矩阵。遮光层105可以为单层结构,也可以为层叠结构。例如,遮光层105可以为红色滤光片、绿色滤光片、及蓝色滤光片的层叠结构。

[0060] 作为氮化物绝缘层110、氧化物绝缘层120、及绝缘层170、180,使用通常的绝缘性材料。例如,作为氧化物绝缘层120及绝缘层180,使用氧化硅(SiO_x)、氧化氮化硅(SiO_xN_y)、氧化铝(AlO_x)、氧化氮化铝(AlO_xN_y)等无机绝缘层。作为氮化物绝缘层110及绝缘层170,使用氮化硅(SiN_x)、氮化氧化硅(SiN_xO_y)、氮化铝(AlN_x)、氮化氧化铝(AlN_xO_y)等无机绝缘层。但是,作为绝缘层170,也可以使用氧化硅(SiO_x)、氧化氮化硅(SiO_xN_y)、氧化铝(AlO_x)、氧化氮化铝(AlO_xN_y)等无机绝缘层。作为绝缘层180,也可以使用氮化硅(SiN_x)、氮化氧化硅(SiN_xO_y)、氮化铝(AlN_x)、氮化氧化铝(AlN_xO_y)等无机绝缘层。

[0061] 作为栅极绝缘层150,使用上述的绝缘层中含有氧的绝缘层。例如,作为栅极绝缘层150,使用氧化硅(SiO_x)、氧化氮化硅(SiO_xN_y)、氧化铝(AlO_x)、氧化氮化铝(AlO_xN_y)等无机绝缘层。

[0062] 作为氧化物绝缘层120,使用具备通过热处理而放出氧的功能的绝缘层。即,作为氧化物绝缘层120,使用过剩地含有氧的氧化物绝缘层。氧化物绝缘层120放出氧的热处理的温度例如为600°C以下、500°C以下、450°C以下、或400°C以下。即,氧化物绝缘层120例如在将玻璃基板用作基板100的情况下的半导体装置10的制造工序中进行的热处理温度下放出氧。与氧化物绝缘层120同样地,绝缘层170、180中的至少任一者可以使用具备通过热处理而放出氧的功能的绝缘层。

[0063] 作为栅极绝缘层150,使用缺陷少的绝缘层。例如,在将栅极绝缘层150中的氧的组成比、与和栅极绝缘层150同样组成的绝缘层(以下,称为“其他绝缘层”)中的氧的组成比进行比较的情况下,栅极绝缘层150中的氧的组成比与该其他绝缘层中的氧的组成比相比,更接近该绝缘层中的化学计量比。具体而言,在栅极绝缘层150及绝缘层180各自使用氧化硅(SiO_x)的情况下,与作为绝缘层180使用的氧化硅中的氧的组成比相比,作为栅极绝缘层150使用的氧化硅中的氧的组成比更接近氧化硅中的化学计量比。例如,作为栅极绝缘层150,可以使用利用电子自旋共振法(ESR)进行评价时观测不到缺陷的层。

[0064] 上述的 SiO_xN_y 及 AlO_xN_y 是含有比率少于氧(O)($x>y$)的氮(N)的硅化合物及铝化合物。 SiN_xO_y 及 AlN_xO_y 是含有比率少于氮($x>y$)的氧的硅化合物及铝化合物。

[0065] 作为氧化物半导体层140,可以使用具有半导体特性的金属氧化物。例如,作为氧化物半导体层140,可以使用包含铟(In)、镓(Ga)、锌(Zn)、及氧(O)的氧化物半导体。例如,作为氧化物半导体层140,可以使用具有In:Ga:Zn:O=1:1:1:4的组成比的氧化物半导体。但是,本实施方式中使用的包含In、Ga、Zn、及O的氧化物半导体不限于上述的组成。作为该氧化物半导体,可以使用与上述不同的组成的氧化物半导体。例如,为了提高迁移率,可以使用In的比率比上述大的氧化物半导体层。另一方面,为了增大带隙、减小光照射带来的影响,可以使用Ga的比率比上述大的氧化物半导体层。

[0066] 例如,作为In的比率比上述大的氧化物半导体层140,可以使用含有包括铟(In)在内的2种以上金属的氧化物半导体。该情况下,在氧化物半导体层140中,铟元素相对于全部金属元素而言的比率按原子比率计可以为50%以上。作为氧化物半导体层140,除了铟外,还可以使用镓(Ga)、锌(Zn)、铝(Al)、铪(Hf)、钇(Y)、二氧化锆(Zr)、镧系元素。作为氧化物半导体层140,还可以使用上述以外的元素。

[0067] 作为氧化物半导体层140,可以向包含In、Ga、Zn、及O的氧化物半导体中添加其他元素,例如可以添加Al、Sn等金属元素。除了上述的氧化物半导体以外,包含In、Ga的氧化物

半导体(IGO)、包含In、Zn的氧化物半导体(IZO)、包含In、Sn、Zn的氧化物半导体(ITZO)、以及包含In、W的氧化物半导体等也可以作为氧化物半导体层140使用。

[0068] 铟元素的比率大时,氧化物半导体层140容易结晶化。通过如上文所述,在氧化物半导体层140中使用铟元素相对于全部金属元素而言的比率为50%以上的材料,从而能够得到具有多晶结构的氧化物半导体层140。作为铟以外的金属元素,氧化物半导体层140优选含有镓。镓属于与铟相同的第13族元素。因此,氧化物半导体层140的结晶性不会被镓阻碍,氧化物半导体层140具有多晶结构。

[0069] 氧化物半导体层140的详细制造方法如后文所述,氧化物半导体层140可以利用溅射法形成。由溅射法形成的氧化物半导体层140的组成依赖于溅射靶的组成。即使在氧化物半导体层140具有多晶结构的情况下,溅射靶的组成与氧化物半导体层140的组成也大致一致。该情况下,氧化物半导体层140的金属元素的组成能够基于溅射靶的金属元素的组成确定。

[0070] 氧化物半导体层140具有多晶结构的情况下,可以利用X射线衍射(X-ray Diffraction:XRD)法来确定氧化物半导体层的组成。具体而言,基于由XRD法取得的氧化物半导体层的晶体结构及晶格常数,能够确定氧化物半导体层的金属元素的组成。此外,氧化物半导体层140的金属元素的组成也可以使用荧光X射线分析或电子探针微量(Electron Probe Micro Analyzer:EPMA)分析等来确定。但是,由于氧化物半导体层140所包含的氧元素会根据溅射的工艺条件等而变化,因此有时利用这些方法无法确定。

[0071] 如上所述,氧化物半导体层140可以具有非晶结构,也可以具有多晶结构。具有多晶结构的氧化物半导体可以利用Poly-OS(Poly-crystalline Oxide Semiconductor,多晶氧化物半导体)技术制作。以下,与具有非晶结构的氧化物半导体区分时,有时将具有多晶结构的氧化物半导体记载为Poly-OS来进行说明。

[0072] 如上文那样在氧化物绝缘层120与氧化物半导体层140之间设置金属氧化物层的情况下,作为该金属氧化物层,使用以铝作为主成分的金属氧化物。例如,作为金属氧化物层,使用氧化铝(AlO_x)、氧化氮化铝(AlO_xN_y)、氮化氧化铝(AlN_xO_y)、氮化铝(AlN_x)等无机绝缘层。“以铝作为主成分的金属氧化物层”是指金属氧化物层所包含的铝的比率为金属氧化物层整体的1%以上。金属氧化物层所包含的铝的比率可以为金属氧化物层整体的5%以上70%以下、10%以上60%以下、或30%以上50%以下。上述的比率可以为质量比,也可以为重量比。

[0073] [3.氢陷阱区域的构成]

[0074] 氢陷阱区域形成于氧化物绝缘层120及栅极绝缘层150。因此,参照图3及图4,对形成于氧化物绝缘层120及栅极绝缘层150的氢陷阱区域的构成进行说明。图3为示出本发明的一个实施方式涉及的半导体装置的构成的示意性局部放大剖视图。具体而言,图3为将图1中的区域P放大的剖视图。图3所示的区域P为漏极区域D附近的区域,但源极区域S附近也具有与区域P同样的构成。

[0075] 氧化物绝缘层120及栅极绝缘层150被划分为第1区域A1、第2区域A2、及第3区域A3。各区域中的氧化物绝缘层120分别表述为氧化物绝缘层120-1、120-2、120-3。同样地,各区域中的栅极绝缘层150分别表述为栅极绝缘层150-1、150-2、150-3。如上文所述,栅极绝缘层150-2、150-3的厚度比栅极绝缘层150-1的厚度小。氧化物绝缘层120-1、120-2与氧化

物半导体层140相接。氧化物绝缘层120-3与栅极绝缘层150-3相接。栅极绝缘层150-1与沟道区域CH中的氧化物半导体层140及栅电极160相接。栅极绝缘层150-2与漏极区域D中的氧化物半导体层140及绝缘层170相接。栅极绝缘层150-3位于漏极区域D的外侧,与氧化物绝缘层120及绝缘层170相接。

[0076] 源极区域S及漏极区域D中的氧化物半导体层140通过将栅电极160作为掩模的、杂质的离子注入而形成,详细情况在后叙述。作为杂质,例如,使用硼(B)、磷(P)、氩(Ar)、或氮(N)等。通过离子注入,在源极区域S及漏极区域D中的氧化物半导体层140生成氧缺陷。通过由生成的氧缺陷捕获氢,源极区域S及漏极区域D中的氧化物半导体层140低电阻化。氮化硅层比氧化硅层含有更多的氢,因此,例如通过使用氮化硅作为绝缘层170,能够使源极区域S及漏极区域D中的氧化物半导体层140低电阻化。

[0077] 由于经由栅极绝缘层150进行离子注入,因此,通过离子注入,在栅极绝缘层150中生成悬空键缺陷DB。在第2区域A2中,离子注入的杂质越过栅极绝缘层150及氧化物半导体层140而到达氧化物绝缘层120。同样地,在第3区域A3中,离子注入的杂质越过栅极绝缘层150而到达氧化物绝缘层120。因此,在第2区域A2及第3区域A3中的氧化物绝缘层120也生成悬空键缺陷DB。

[0078] 由于以栅电极160作为掩模进行杂质的离子注入,因此在第1区域A1中,杂质未注入至氧化物绝缘层120-1及栅极绝缘层150-1。因此,氧化物绝缘层120-1及栅极绝缘层150-1中未生成悬空键缺陷DB。另一方面,如上所述,在氧化物绝缘层120-2、120-3及栅极绝缘层150-2、150-3中生成悬空键缺陷DB。例如,在使用氧化硅作为栅极绝缘层150及氧化物绝缘层120的情况下,在氧化物绝缘层120-2、120-3及栅极绝缘层150-2、150-3中,形成硅的悬空键缺陷DB。

[0079] 氧化物绝缘层120及栅极绝缘层150中形成的悬空键缺陷DB将氢捕获。即,在半导体装置10中,氧化物绝缘层120-2、120-3及栅极绝缘层150-2、150-3作为氢陷阱区域发挥功能。因此,在例如绝缘层170的成膜时从绝缘层170扩散的氢被这些绝缘层中的悬空键缺陷DB捕获,因此能够抑制氢侵入沟道区域CH中的氧化物半导体层140。因此,在将绝缘层170成膜后的状态下,氧化物绝缘层120-2、120-3的氢浓度高于氧化物绝缘层120-1的氢浓度。同样地,栅极绝缘层150-2、150-3的氢浓度高于栅极绝缘层150-1的氢浓度。

[0080] 上述的悬空键缺陷DB通过离子注入而形成,因此氧化物绝缘层120-2、120-3及栅极绝缘层150-2、150-3含有通过离子注入而导入的杂质。氧化物绝缘层120-2、120-3及栅极绝缘层150-2、150-3中形成的悬空键缺陷DB的量的分布与它们所包含的杂质的浓度分布对应。即,通过对利用离子注入而得到的杂质的分布进行调整,能够调整悬空键缺陷DB的位置及量。

[0081] 为了抑制因氢侵入沟道区域CH中的氧化物半导体层140而使半导体装置10的电特性发生异常,在氧化物绝缘层120中形成悬空键缺陷DB是有效的,详细情况在后叙述。因此,需要以经由栅极绝缘层150到达氧化物绝缘层120的方式注入杂质。

[0082] 例如,在对于栅极绝缘层要求对高电压的耐性的半导体装置的情况下,要求栅极绝缘层150的厚度为200nm以上。另一方面,在通过离子注入而使杂质到达氧化物绝缘层120的情况下,由于离子注入装置的加速电压存在限制,因此要求栅极绝缘层150的厚度为150nm以下。为了满足这些要求,采用栅极绝缘层150-2、150-3的厚度小于栅极绝缘层150-1

的厚度的构成。

[0083] 图4为示出在本发明的一个实施方式涉及的半导体装置中,第1区域A1~第3区域A3中的杂质浓度的分布的图。图4所示的3个浓度分布各自的纵轴表示每单位体积的杂质的浓度(Concentration[$/\text{cm}^3$]),横轴表示深度方向上的层的名称。横轴上的“UC”与氧化物绝缘层120及氮化物绝缘层110对应。“OS”与氧化物半导体层140对应。“GI”与栅极绝缘层150对应。“GL”与栅电极160对应。“PAS”与绝缘层170对应。

[0084] 如图4所示,在第1区域A1中,杂质的浓度分布在栅电极160(GL)中具有峰。因此,在第1区域A1的深度方向上,栅电极160的规定位置所包含的杂质的量多于栅极绝缘层150的规定位置所包含的杂质的量、氧化物半导体层140的规定位置所包含的杂质的量、及氧化物绝缘层120的规定位置所包含的杂质的量的各自。上述的“深度方向”是指各层的厚度方向。金属材料对通过离子注入而导入的杂质具备高的阻止能力。使用金属材料作为栅电极160的情况下,杂质被栅电极160阻止,不到达栅极绝缘层150(GI)。因此,在第1区域A1中的栅极绝缘层150及氧化物绝缘层120中,未形成伴随杂质的导入的悬空键缺陷DB。但是,若是不影响半导体装置10的电特性的范围,则杂质也可以到达栅极绝缘层150。

[0085] 在第2区域A2中,杂质的浓度分布在氧化物半导体层140(OS)中具有峰。因此,在第2区域A2的深度方向上,氧化物半导体层140的规定位置所包含的杂质的量多于栅极绝缘层150的规定位置所包含的杂质的量,且多于氧化物绝缘层120的规定位置所包含的杂质的量的各自。导入杂质的目的是使源极区域S及漏极区域D中的氧化物半导体层140低电阻化,因此以成为上述这样的浓度分布的方式设定离子注入的条件。第2区域A2中的氧化物半导体层140所包含的杂质的量多于第1区域A1中的氧化物半导体层140所包含的杂质的量。同样地,第2区域A2中的氧化物绝缘层120(UC)所包含的杂质的量多于第1区域A1中的氧化物绝缘层120所包含的杂质的量。同样地,第2区域A2中的栅极绝缘层150(GI)所包含的杂质的量多于第1区域A1中的栅极绝缘层150所包含的杂质的量。

[0086] 通过上述这样的杂质的浓度分布,在第2区域A2中,杂质也被导入栅极绝缘层150及氧化物绝缘层120中。因此,在栅极绝缘层150及氧化物绝缘层120中,形成与杂质的导入相伴的悬空键缺陷DB。但是,在第2区域A2中,存在于栅极绝缘层150及氧化物绝缘层120中的杂质的浓度低于存在于氧化物半导体层140中的杂质的浓度。

[0087] 在第3区域A3中,杂质的浓度分布在氧化物绝缘层120(UC)中具有峰。因此,在第3区域A3的深度方向上,氧化物绝缘层120的规定位置所包含的杂质的量多于栅极绝缘层150的规定位置所包含的杂质的量。在第3区域A3,氧化物绝缘层120之上未设置氧化物半导体层140。此外,在第2区域A2及第3区域A3中,栅极绝缘层150的厚度相同。结果,代替在第2区域A2处在氧化物半导体层140中存在浓度分布的峰,在第3区域A3处,在氧化物绝缘层120中存在浓度分布的峰。即,第3区域A3中的氧化物绝缘层120所包含的杂质的量多于第1区域A1中的氧化物绝缘层120所包含的杂质的量,并多于第2区域A2中的氧化物绝缘层120所包含的杂质的量。同样地,第3区域A3中的栅极绝缘层150所包含的杂质的量多于第1区域A1中的栅极绝缘层150所包含的杂质的量,并且在第2区域A2的深度方向上,与栅极绝缘层150的规定位置所包含的杂质的量同等。

[0088] 通过上述这样的杂质的浓度分布,在氧化物绝缘层120中,形成与杂质的导入相伴的悬空键缺陷DB。如上所述,在第3区域A3处,在氧化物绝缘层120中存在浓度分布的峰,因

此第3区域A3中的氧化物绝缘层120中存在的悬空键缺陷DB的量多于第2区域A2中的氧化物绝缘层120中存在的悬空键缺陷DB的量。因此,第3区域A3中的氧化物绝缘层120能够捕获比第3区域A3中的栅极绝缘层150更多的氢,并能够捕获比第2区域A2中的氧化物绝缘层120更多的氢。

[0089] 在本实施方式中,在第3区域A3的深度方向上,氧化物绝缘层120中的规定位置所包含的杂质的量为 $1 \times 10^{16}/\text{cm}^3$ 以上、 $1 \times 10^{17}/\text{cm}^3$ 以上、或 $1 \times 10^{18}/\text{cm}^3$ 以上。该规定位置可以为浓度分布的峰的位置,也可以为相当于氧化物绝缘层120与栅极绝缘层150的界面的位置。或者,该规定位置也可以是从相当于该界面的位置在氧化物绝缘层120的方向上移动了规定深度的位置。

[0090] 本实施方式中,示例了第3区域A3中的氧化物绝缘层120所包含的杂质的量多于第2区域A2中的氧化物绝缘层120所包含的杂质的量的构成,但不限于该构成。同样地,本实施方式中,示例了第3区域A3中的杂质的浓度分布的峰存在于氧化物绝缘层120中的构成,但不限于该构成。该峰也可以存在于栅极绝缘层150中。即,在第3区域A3中,氧化物绝缘层120所包含的杂质的量可以少于栅极绝缘层150所包含的杂质的量。该情况下,第2区域A2中的杂质的浓度分布的峰也存在于栅极绝缘层150中。即,在第2区域A2中,氧化物半导体层140所包含的杂质的量可以少于栅极绝缘层150所包含的杂质的量。

[0091] 参照图2时,沟道区域CH相当于第1区域A1,源极区域S及漏极区域D相当于第2区域A2,沟道区域CH、源极区域S、及漏极区域D以外的区域相当于第3区域A3。即,沟道区域CH被第2区域A2夹着,被第3区域A3包围。因此,在例如绝缘层170的成膜时从绝缘层170扩散的氢被位于沟道区域CH周围的第2区域A2及第3区域A3中设置的栅极绝缘层150及氧化物绝缘层120中形成的悬空键缺陷DB捕获。结果,能够抑制该氢侵入沟道区域CH中的氧化物半导体层140。

[0092] [4. 半导体装置10的制造方法]

[0093] 参照图5~图13,对本发明的一个实施方式涉及的半导体装置10的制造方法进行说明。图5为示出本发明的一个实施方式涉及的半导体装置的制造方法的顺序图。图6~图13为示出本发明的一个实施方式涉及的半导体装置的制造方法的剖视图。

[0094] 如图5及图6所示,在基板100之上形成有遮光层105,在遮光层105之上形成有氮化物绝缘层110及氧化物绝缘层120(图5的步骤S1001的“绝缘层/遮光层形成”)。作为氮化物绝缘层110,例如形成氮化硅。作为氧化物绝缘层120,例如形成氧化硅。氮化物绝缘层110及氧化物绝缘层120通过CVD(Chemical Vapor Deposition,化学气相沉积)法成膜。例如,氮化物绝缘层110的厚度为50nm以上500nm以下、或150nm以上300nm以下。氧化物绝缘层120的厚度为50nm以上500nm以下、或150nm以上300nm以下。

[0095] 通过使用氮化硅作为氮化物绝缘层110,氮化物绝缘层110能够阻挡例如从基板100侧朝向氧化物半导体层140扩散的杂质。例如,作为氧化物绝缘层120使用的氧化硅为具有通过热处理放出氧的物性的氧化硅。

[0096] 如图5及图7所示,在氧化物绝缘层120之上形成有氧化物半导体层140(图5的步骤S1002的“OS成膜”)。氧化物半导体层140利用溅射法或原子层沉积法(ALD:Atomic Layer Deposition)成膜。

[0097] 在氧化物绝缘层120与氧化物半导体层140之间设置有以铝作为主成分的金属氧

化物层的情况下,该金属氧化物层也与上述同样地利用溅射法或原子层沉积法成膜。

[0098] 氧化物半导体层140的厚度例如为10nm以上100nm以下、15nm以上70nm以下、或20nm以上40nm以下。本实施方式中,氧化物半导体层140的厚度为30nm。后述的热处理(Annealing OS)前的氧化物半导体层140为非晶体。

[0099] 在通过后述的OS退火将氧化物半导体层140结晶化的情况下,成膜后且OS退火前的氧化物半导体层140优选为非晶体(氧化物半导体的晶体成分少的状态)。即,氧化物半导体层140的成膜条件优选为刚成膜后的氧化物半导体层140尽可能不结晶化的条件。例如,在利用溅射法将氧化物半导体层140成膜的情况下,一边控制被成膜对象物(基板100及其上形成的结构物)的温度,一边将氧化物半导体层140成膜。

[0100] 利用溅射法对被成膜对象物进行成膜时,等离子体中产生的离子及被溅射靶反弹的原子与被成膜对象物碰撞,因此伴随成膜处理,被成膜对象物的温度上升。若成膜处理中的被成膜对象物的温度上升,则在刚成膜后的状态下,氧化物半导体层140中含有微晶,有时阻碍利用之后的OS退火进行的结晶化。为了如上所述控制被成膜对象物的温度,例如,可以一边将被成膜对象物冷却一边进行成膜。例如,可以从被成膜面的相反侧的面对该被成膜对象物进行冷却,以使被成膜对象物的被成膜面的温度(以下,称为“成膜温度”)成为100℃以下、70℃以下、50℃以下、或30℃以下。通过如上文所述一边冷却被成膜对象物一边进行氧化物半导体层140的成膜,能够在刚成膜后的状态下将晶体成分少的氧化物半导体层140成膜。氧化物半导体层140的成膜条件中的氧分压为2%以上20%以下、3%以上15%以下、或3%以上10%以下。

[0101] 如图5及图8所示,形成氧化物半导体层140的图案(图5的步骤S1003的“OS图案形成”)。虽然未图示,在氧化物半导体层140之上形成抗蚀剂掩模,使用该抗蚀剂掩模对氧化物半导体层140进行蚀刻。作为氧化物半导体层140的蚀刻,可以使用湿式蚀刻,也可以使用干式蚀刻。作为湿式蚀刻,能够使用酸性的蚀刻剂进行蚀刻。作为蚀刻剂,例如,可以使用草酸、PAN、硫酸、双氧水、或氢氟酸。由于步骤S1003中的氧化物半导体层140为非晶体,因此能够利用湿式蚀刻将氧化物半导体层140容易地图案化为规定的形状。

[0102] 在氧化物半导体层140的图案形成后,对氧化物半导体层140进行热处理(OS退火)(图5的步骤S1004的“OS退火”)。在OS退火中,氧化物半导体层140于规定的到达温度保持规定的时间。规定的到达温度为300℃以上500℃以下、或350℃以上450℃以下。到达温度下的保持时间为15分钟以上120分钟以下、或30分钟以上60分钟以下。本实施方式中,通过该OS退火,氧化物半导体层140结晶化。但是,也可以不必通过OS退火将氧化物半导体层140结晶化。

[0103] 如图5及图9所示,将栅极绝缘层150成膜(图5的步骤S1005的“GI形成”)。作为栅极绝缘层150,例如,形成氧化硅。栅极绝缘层150通过CVD法形成。例如,为了形成如上所述缺陷少的绝缘层作为栅极绝缘层150,可以于350℃以上的成膜温度将栅极绝缘层150成膜。栅极绝缘层150的厚度例如为200nm以上500nm以下、200nm以上400nm以下、或250nm以上350nm以下。在将栅极绝缘层150成膜后,可以进行向栅极绝缘层150的上部打入氧的处理。作为打入氧的处理,可以进行在栅极绝缘层150上利用溅射法形成金属氧化物层的构成。

[0104] 在氧化物半导体层140之上成膜有栅极绝缘层150的状态下,进行用于向氧化物半导体层140供给氧的热处理(氧化退火)(图5的步骤S1006的“氧化退火”)。在从使氧化物半

导体层140成膜直至氧化物半导体层140之上成膜有栅极绝缘层150之间的工序中,在氧化物半导体层140的上表面141及侧面143产生大量氧缺损。通过上述的氧化退火,从氧化物绝缘层120及栅极绝缘层150放出的氧被供给至氧化物半导体层140,氧缺损被修复。在不进行向栅极绝缘层150打入氧的处理的情况下,可以在栅极绝缘层150之上形成了通过热处理而放出氧的绝缘层的状态下进行氧化退火。

[0105] 为了使从栅极绝缘层150向氧化物半导体层140的氧供给量增多,也可以在栅极绝缘层150之上利用溅射法形成以铝作为主成分的金属氧化物层,以该状态进行氧化退火。通过使用对气体的阻隔性高的氧化铝作为该金属氧化物层,能够抑制在氧化退火时打入栅极绝缘层150中的氧向外侧扩散。通过上述的金属氧化物层的形成及氧化退火,打入栅极绝缘层150中的氧被高效地供给至氧化物半导体层140。

[0106] 如图5及图10所示,形成栅电极160,对栅极绝缘层150进行半蚀刻(图5的步骤S1007的“GE形成+GI半蚀刻”)。栅电极160通过溅射法或原子层沉积法而成膜,通过光刻工序而被图案化。栅电极160及栅极绝缘层150可以在同一工序(同一条件)中被蚀刻,也可以各自在不同的工序(不同的条件)中被蚀刻。即,栅极绝缘层150的半蚀刻可以通过对栅电极160的蚀刻工序中的过蚀刻(over etching)来实施,也可以在栅电极160的蚀刻之后,以栅电极160为掩模,通过与针对栅电极160的蚀刻不同的蚀刻来实施。

[0107] 通过栅极绝缘层150的半蚀刻,第2区域A2及第3区域A3中的栅极绝缘层150的厚度被薄膜化为150nm以下。半蚀刻后的栅极绝缘层150的厚度可以为100nm以下、50nm以下、或30nm以下。换言之,栅极绝缘层150的半蚀刻的量至少超过50nm。该半蚀刻的量可以超过100nm、超过150nm、或超过170nm。半蚀刻后的栅极绝缘层150的厚度被确定为使得杂质通过后述的离子注入而到达氧化物绝缘层120。

[0108] 如图11所示,在栅电极160被图案化、通过半蚀刻而使第2区域A2及第3区域A3中的栅极绝缘层150的厚度薄膜化为150nm以下的状态下,向氧化物半导体层140进行杂质的离子注入(图5的步骤S1008的“杂质离子注入”)。具体而言,以栅电极160为掩模,经由经半蚀刻的栅极绝缘层150向氧化物绝缘层120、氧化物半导体层140、及栅极绝缘层150注入杂质。通过离子注入,例如,硼(B)、磷(P)、氩(Ar)、或氮(N)等元素被注入到氧化物绝缘层120、氧化物半导体层140、及栅极绝缘层150。

[0109] 在不与栅电极160重叠的第2区域A2中的氧化物半导体层140中,通过离子注入而生成氧缺陷。氢被生成的氧缺陷捕获,由此第2区域A2中的氧化物半导体层140的电阻降低。另一方面,在与栅电极160重叠的第1区域A1中的氧化物半导体层140中,未注入杂质,因此不生成氧缺陷,第1区域A1中的电阻不降低。通过上述的工序,在第1区域A1中的氧化物半导体层140形成沟道区域CH,在第2区域A2中的氧化物半导体层140形成源极区域S及漏极区域D。

[0110] 通过上述离子注入,在第2区域A2及第3区域A3中的氧化物绝缘层120及栅极绝缘层150中生成悬空键缺陷DB。悬空键缺陷DB的位置及量可通过调整离子注入的工艺参数(例如,剂量、加速电压、等离子体电力等)来控制。例如,剂量为 $1 \times 10^{14}/\text{cm}^2$ 以上、 $5 \times 10^{14}/\text{cm}^2$ 、或 $1 \times 10^{15}/\text{cm}^2$ 以上。例如,加速电压超过10keV、为15keV以上、或20keV以上。

[0111] 如图5及图12所示,在栅极绝缘层150及栅电极160之上,作为层间膜,将绝缘层170、180成膜(图5的步骤S1009的“层间膜成膜”)。绝缘层170、180利用CVD法成膜。例如,作

为绝缘层170,形成氮化硅层,作为绝缘层180,形成氧化硅层。用作绝缘层170、180的材料不限于上述材料。绝缘层170的厚度为50nm以上500nm以下。绝缘层180的厚度为50nm以上500nm以下。

[0112] 如图5及图13所示,在栅极绝缘层150及绝缘层170、180中形成开口171、173(图5的步骤S1010的“接触开孔”)。通过开口171,源极区域S中的氧化物半导体层140露出。通过开口173,漏极区域D中的氧化物半导体层140露出。在通过开口171、173而露出的氧化物半导体层140之上及绝缘层180之上形成源·漏电极200(图5的步骤S1011的“SD形成”),由此完成图1所示的半导体装置10。

[0113] [5. 悬空键缺陷DB中的氢陷阱]

[0114] 参照图4、图5、及图14,通过步骤S1008的离子注入,也向第2区域A2及第3区域A3中的栅极绝缘层150(GI)及氧化物绝缘层120(UC)注入杂质。通过该杂质的离子注入,在第2区域A2及第3区域A3中的栅极绝缘层150及氧化物绝缘层120中生成悬空键缺陷DB。即,栅极绝缘层150及氧化物绝缘层120含有硼(B)、磷(P)、氩(Ar)、或氮(N)等杂质。本实施方式的情况下,在第2区域A2及第3区域A3中的栅极绝缘层150及氧化物绝缘层120中,第3区域A3中的氧化物绝缘层120所包含的杂质的量最多。第2区域A2及第3区域A3中的栅极绝缘层150所包含的杂质的量相同。图14中示意性地示出在如上所述导入了杂质的情况下栅极绝缘层150及氧化物绝缘层120中形成的悬空键缺陷DB。

[0115] 为了使绝缘层170具有阻挡从其上方扩散的杂质的功能,绝缘层170优选为缺陷少的致密的膜。为了得到这样的绝缘层170,需要于高温将绝缘层170成膜。例如,于高温将氮化硅层成膜作为绝缘层170的情况下,该绝缘层170中含有大量的氢,因此起因于成膜温度,大量的氢从绝缘层170向栅极绝缘层150扩散。因此,在栅极绝缘层150及氧化物绝缘层120中未形成氢陷阱区域的情况下,氢经由栅极绝缘层150及氧化物绝缘层120不仅扩散至源极区域S及漏极区域D中的氧化物半导体层140,而且扩散至沟道区域CH中的氧化物半导体层140。

[0116] 在步骤S1008中,栅极绝缘层150及氧化物绝缘层120中形成有图14所示的悬空键缺陷DB的情况下,如图15所示,在绝缘层170的成膜时从绝缘层170扩散的氢H被上述悬空键缺陷DB捕获(在“×”之上叠合“○”来表示)。因此,在步骤S1009中,能够抑制在成膜期间或成膜后从绝缘层170扩散出的氢H侵入沟道区域CH中的氧化物半导体层140。因此,作为绝缘层170,能够使用大量含有氢的膜,因此能够实现杂质的阻挡功能高的绝缘层170。此外,能够使源极区域S及漏极区域D中的氧化物半导体层140充分地低电阻化。

[0117] 本实施方式的情况下,在第2区域A2及第3区域A3中的栅极绝缘层150及氧化物绝缘层120中,被第3区域A3中的氧化物绝缘层120捕获的氢H的量最多。被第2区域A2及第3区域A3中的栅极绝缘层150捕获的氢H的量相同。

[0118] 图16为说明本发明的一个实施方式涉及的半导体装置中,由氢陷阱带来的效果的示意性剖视图及示出半导体装置的电特性的图。

[0119] 图16所示的电特性表示对形成氢陷阱的部位(层)为电特性带来的影响进行了调查的结果300。图16的310所示的电特性是氧化物绝缘层120及栅极绝缘层150中均未形成氢陷阱(相对少)的情况下的电特性。图16的320所示的电特性是仅栅极绝缘层150中形成有氢陷阱的情况下的电特性。图16的330所示的电特性是仅氧化物绝缘层120中形成有氢陷阱的

情况下的电特性。

[0120] 上述的氢陷阱不是如本实施方式那样通过杂质的离子注入而形成的,而是通过拟似地调整各绝缘层的成膜条件而形成的。在图16的构成中,作为氧化物绝缘层120及栅极绝缘层150,使用氧化硅层。判定为在过剩地含有氧的条件下将氧化硅层成膜的情况下,氧化硅层大量含有氢陷阱。即,在图16的320所示的条件下,作为栅极绝缘层150,使用过剩地含有氧的氧化硅层。在图16的330所示的条件下,作为氧化物绝缘层120,使用过剩地含有氧的氧化硅层。在图16中,除了不与栅电极160重叠的区域中的栅极绝缘层150被除去这一点以外,与图1的构成相同。

[0121] 如图16的310所示,在氧化物绝缘层120及栅极绝缘层150均未形成氢陷阱的情况下,确认到电特性中的驼峰(hump)(凸起)。判定由于在绝缘层170成膜时氢侵入沟道区域CH中的氧化物半导体层140,因而产生电特性中的驼峰。如图16的320所示,在仅栅极绝缘层150中形成有氢陷阱的情况下,电特性中的驼峰未被改善。另一方面,如图16的330所示,在仅氧化物绝缘层120中形成有氢陷阱的情况下,电特性中的驼峰降低。根据这些结果判定,为了抑制绝缘层170成膜时的氢侵入沟道区域CH中的氧化物半导体层140,在氧化物绝缘层120中形成氢陷阱是重要的。

[0122] 本实施方式中,如图2、图4、及图14所示,在包围沟道区域CH的第3区域A3中,氧化物绝缘层120中形成有大量悬空键缺陷DB。通过该构成,能够抑制氢侵入沟道区域CH中的氧化物半导体层140。结果,能够得到具有驼峰被抑制的电特性的半导体装置10。

[0123] 作为本发明的实施方式的上述各实施方式只要彼此不矛盾,就可以适当组合而实施。另外,以各实施方式为基础,本领域技术人员适当进行构成要素的追加、删除、或设计变更而得的实施方式、或者进行工序的追加、省略、或条件变更而得的实施方式只要具备本发明的主旨,则也包含在本发明的范围内。

[0124] 应理解,根据本说明书的记载能明确的或本领域技术人员能够容易预料的作用效果,即使是不同于通过上述的各实施方式的形态所获得的作用效果,当然也是通过本发明可获得的。

10

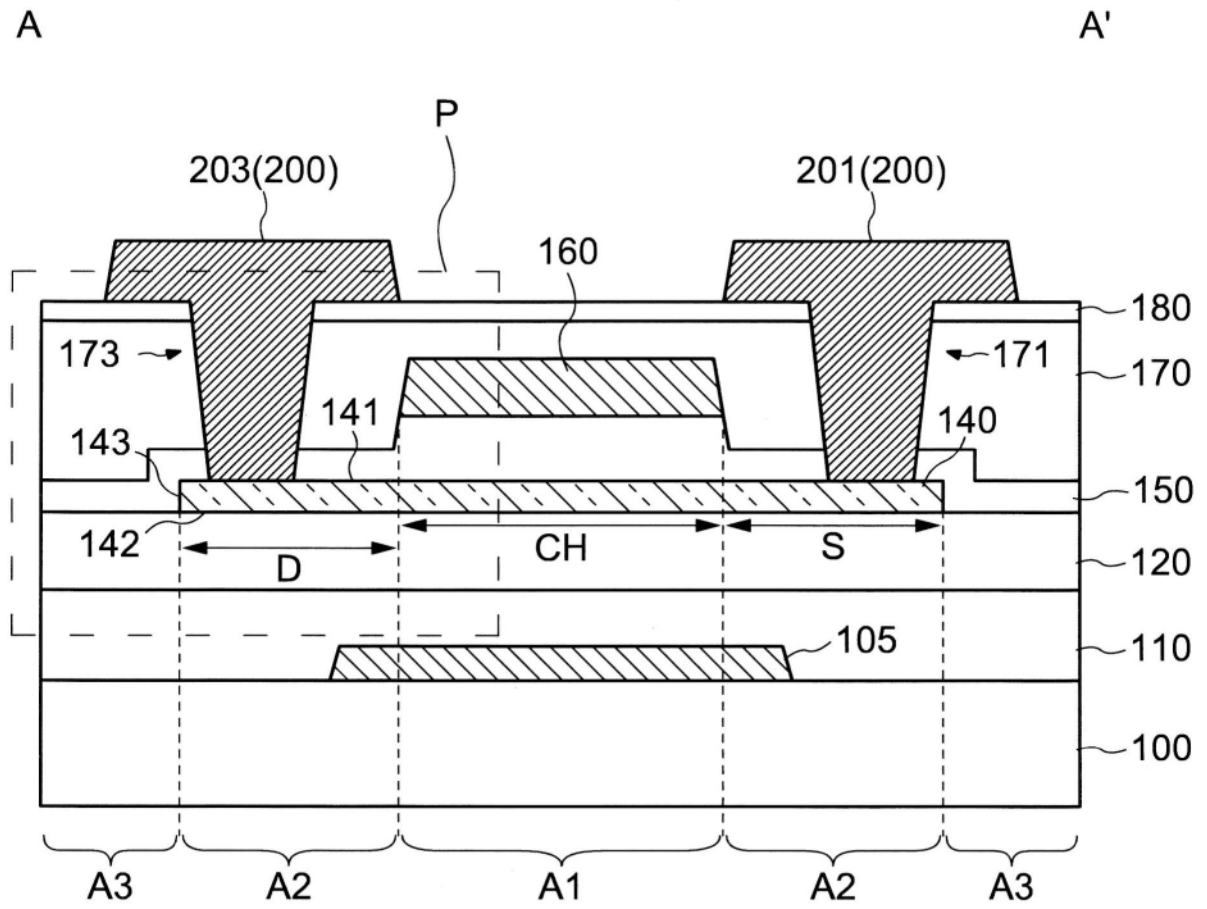


图1

10

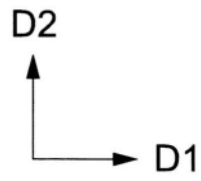
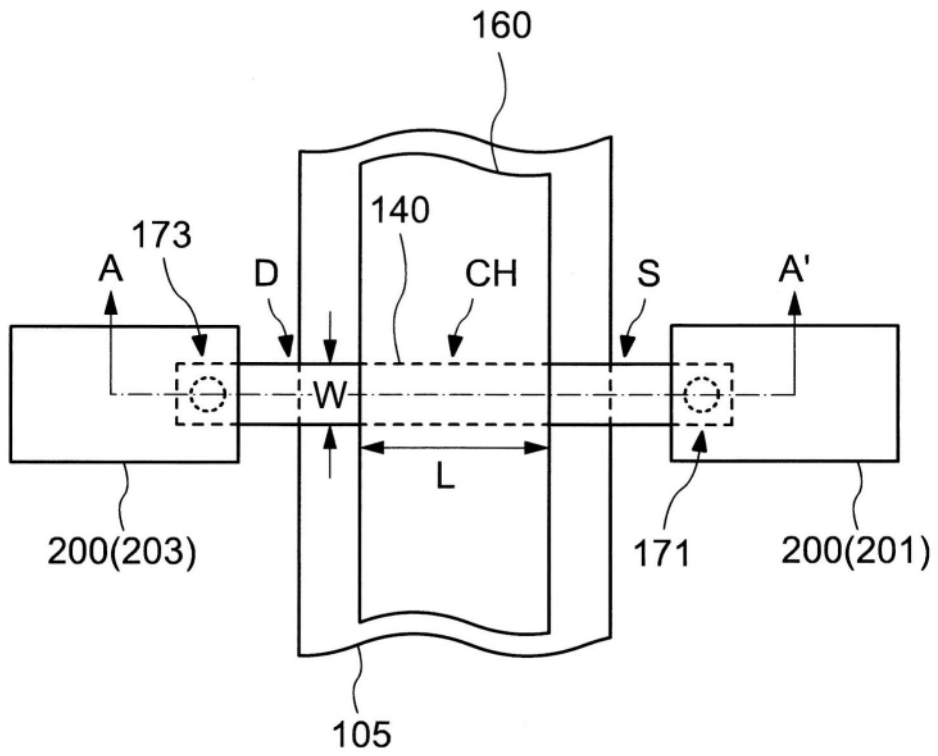


图2

P

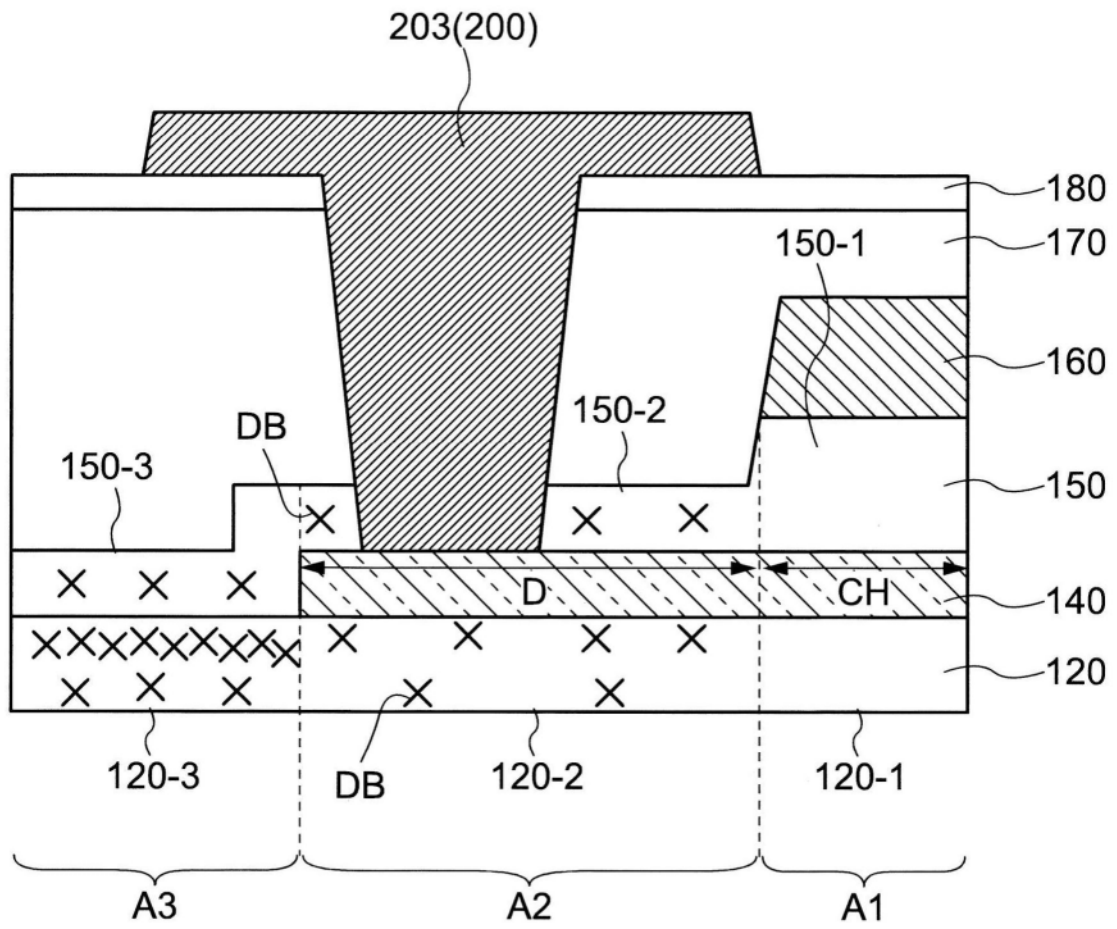


图3

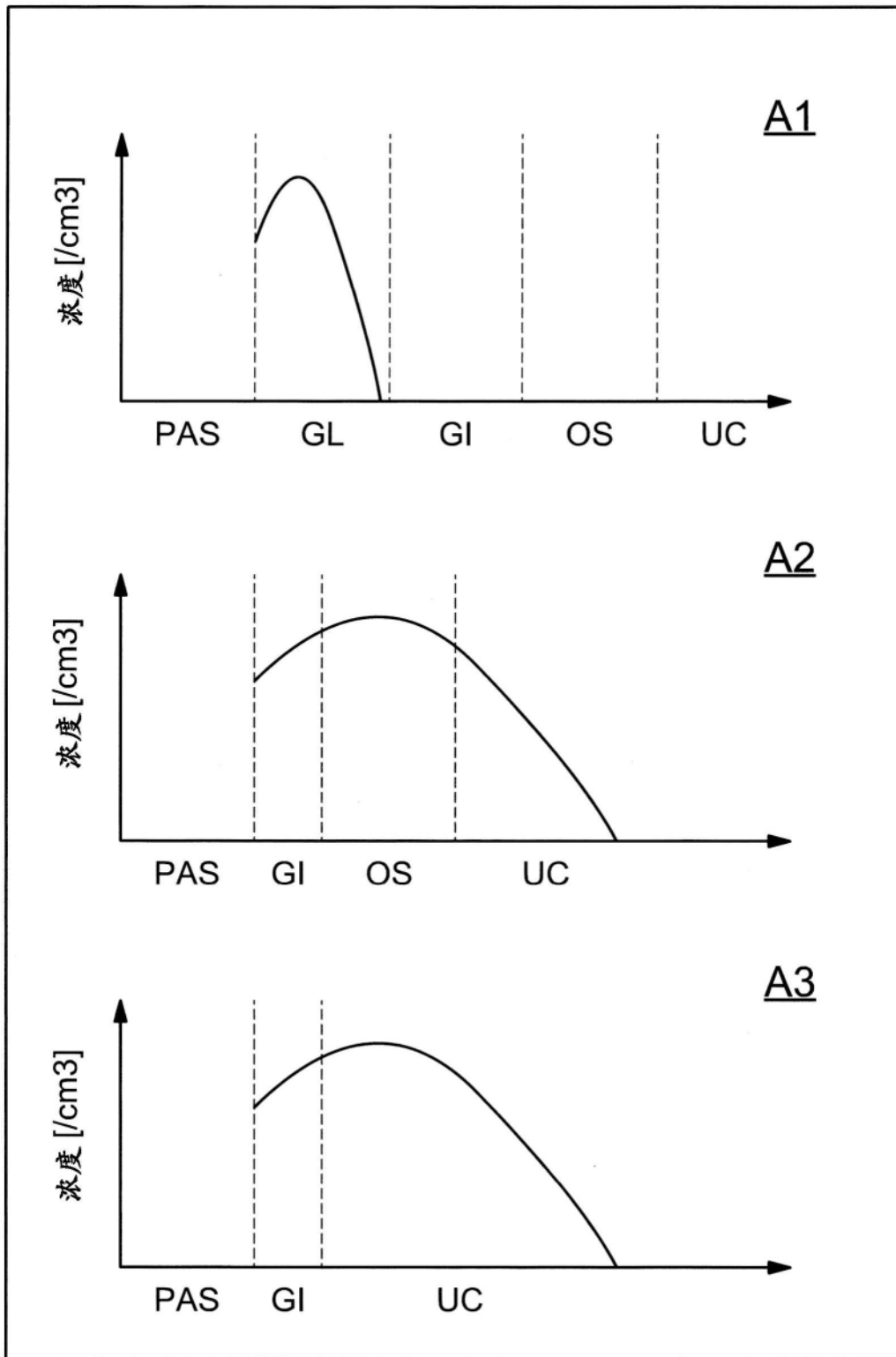


图4



图5

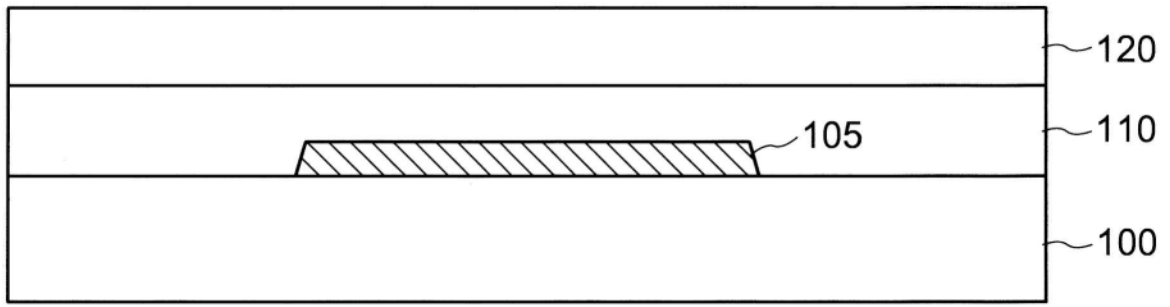


图6

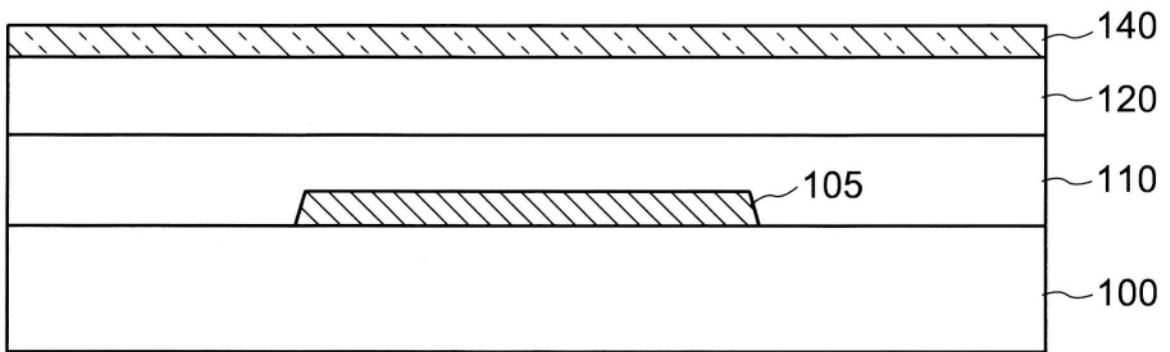


图7

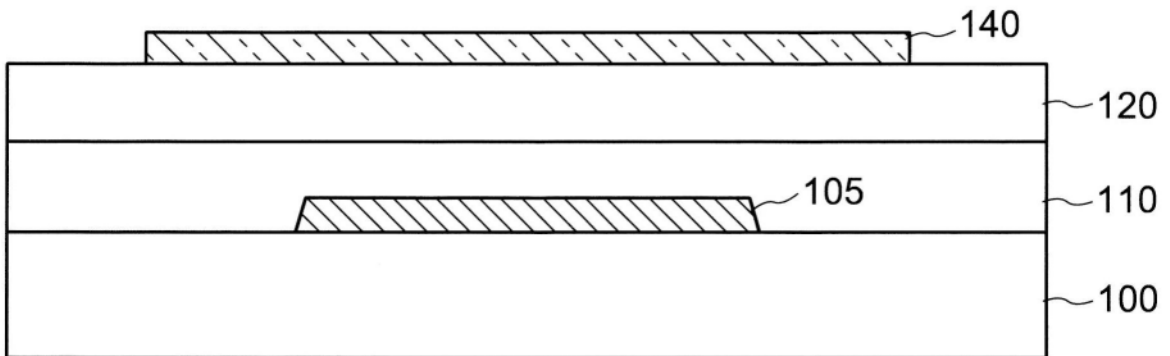


图8

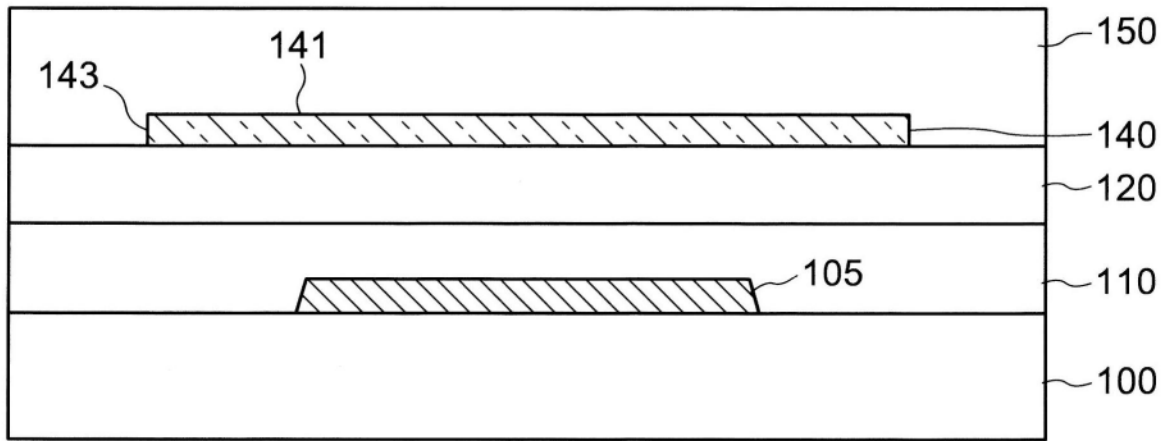


图9

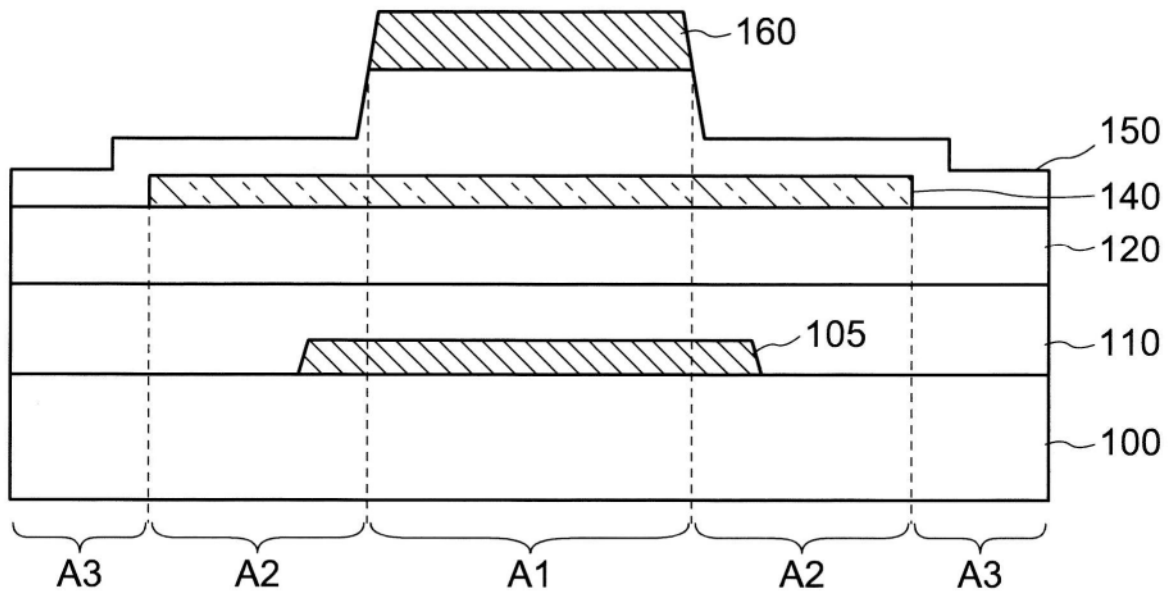


图10

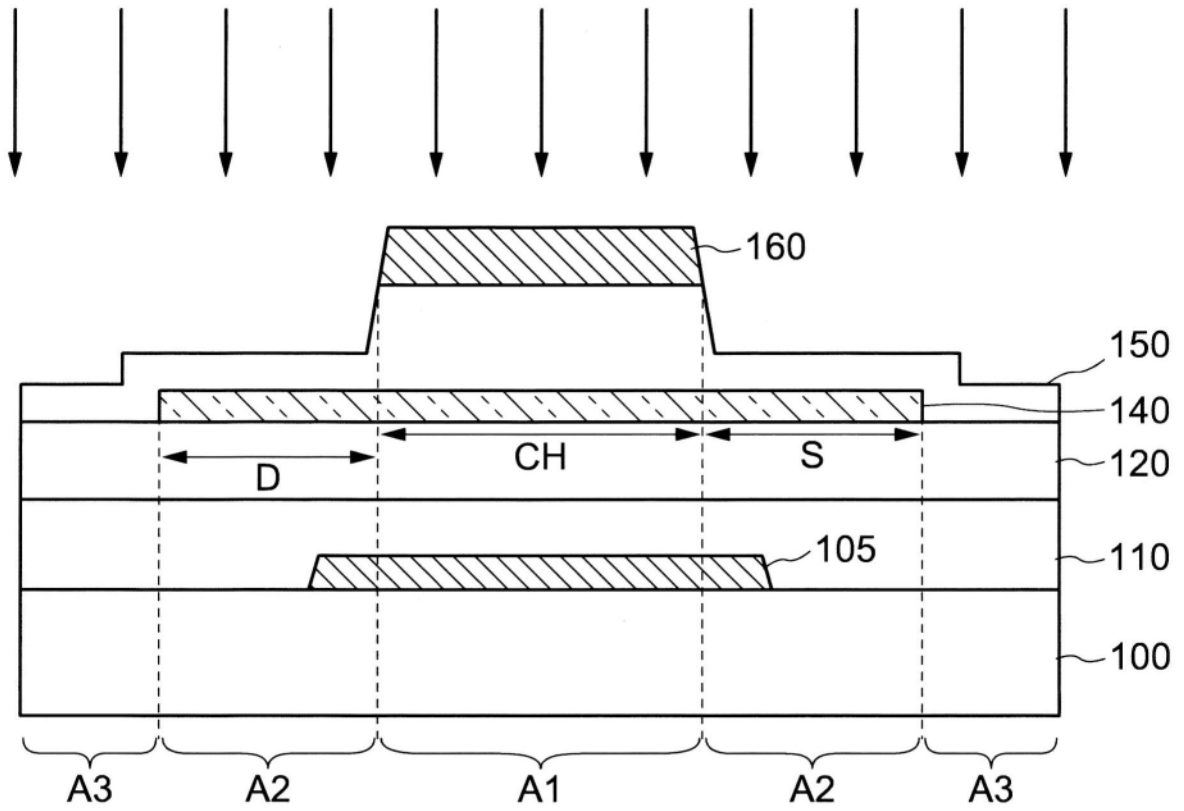


图11

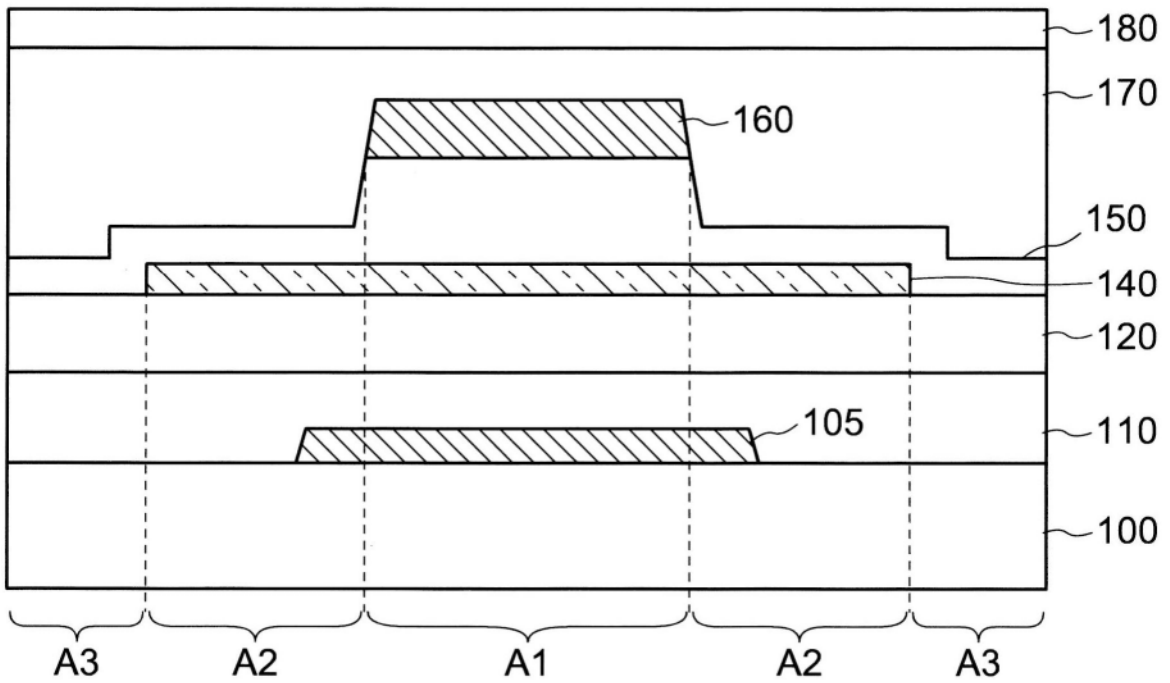


图12

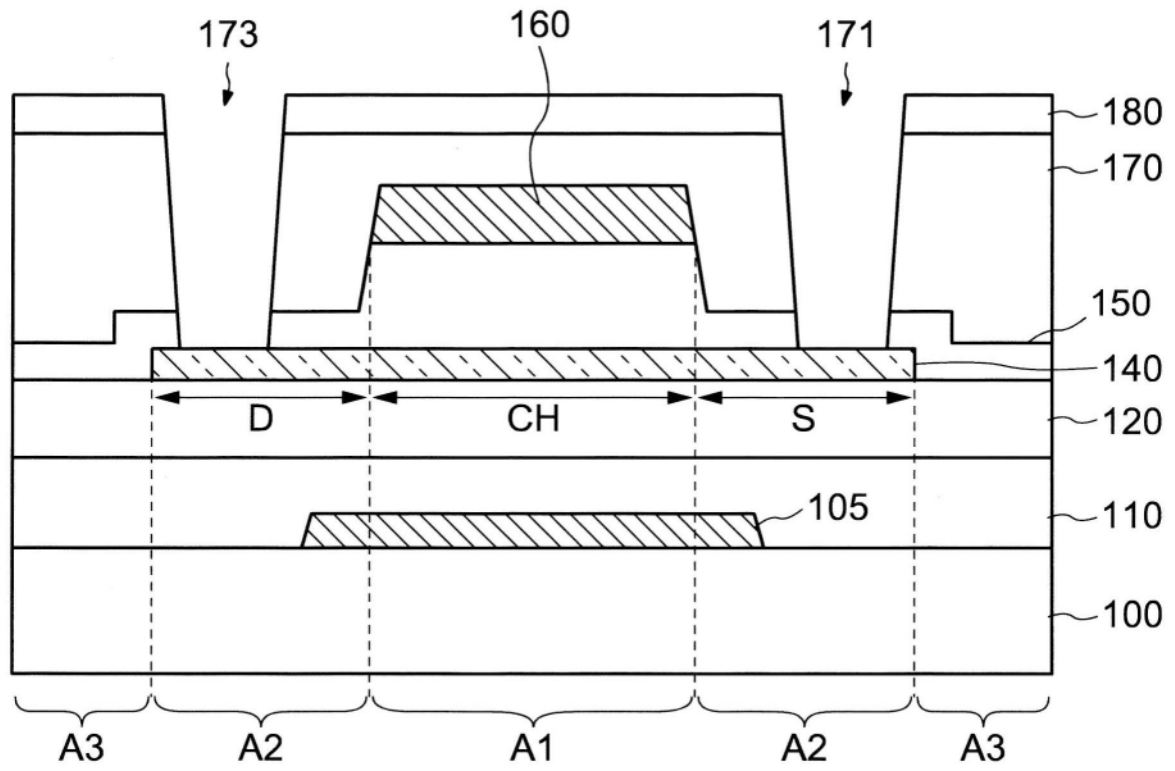


图13

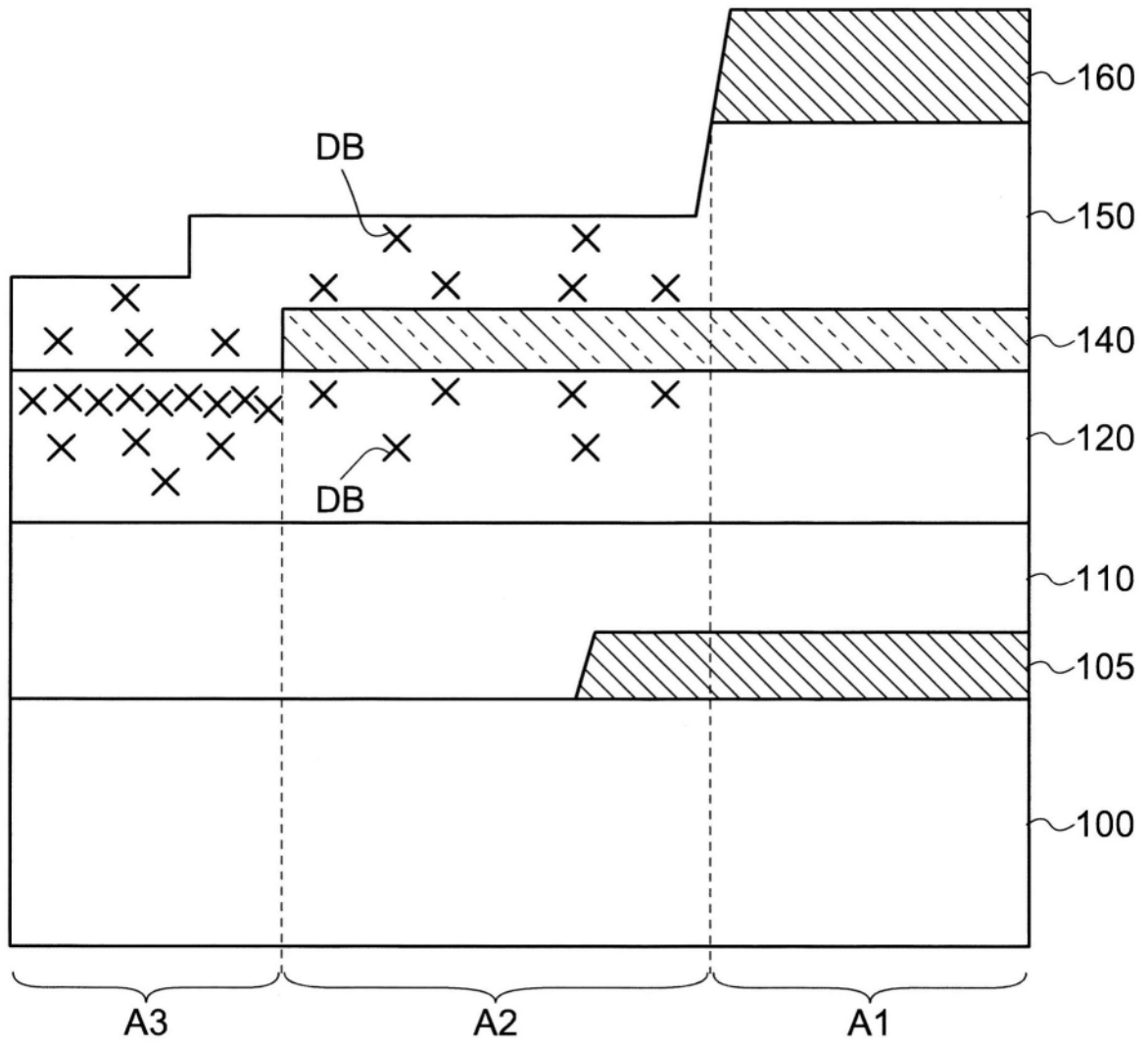


图14

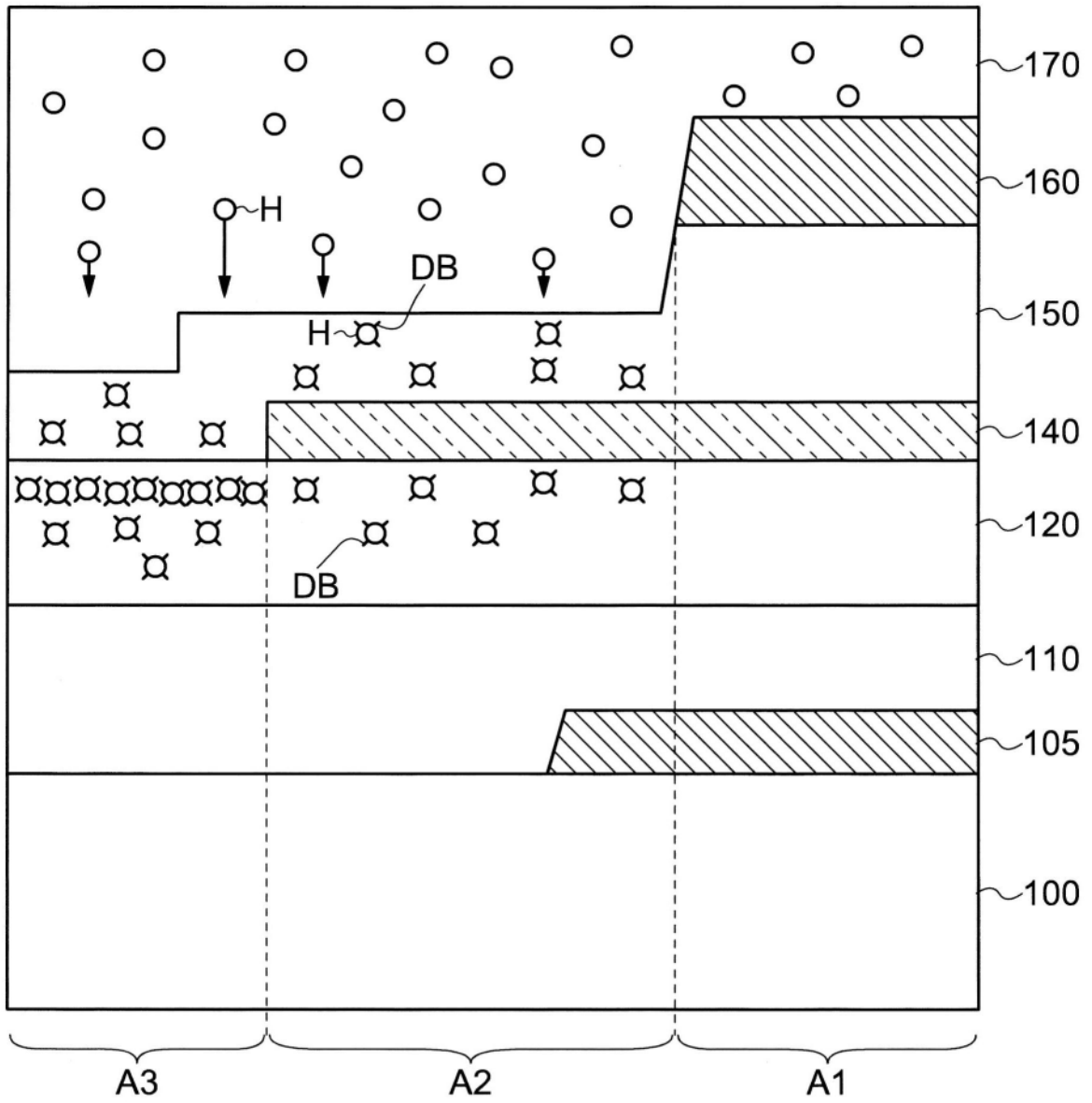


图15

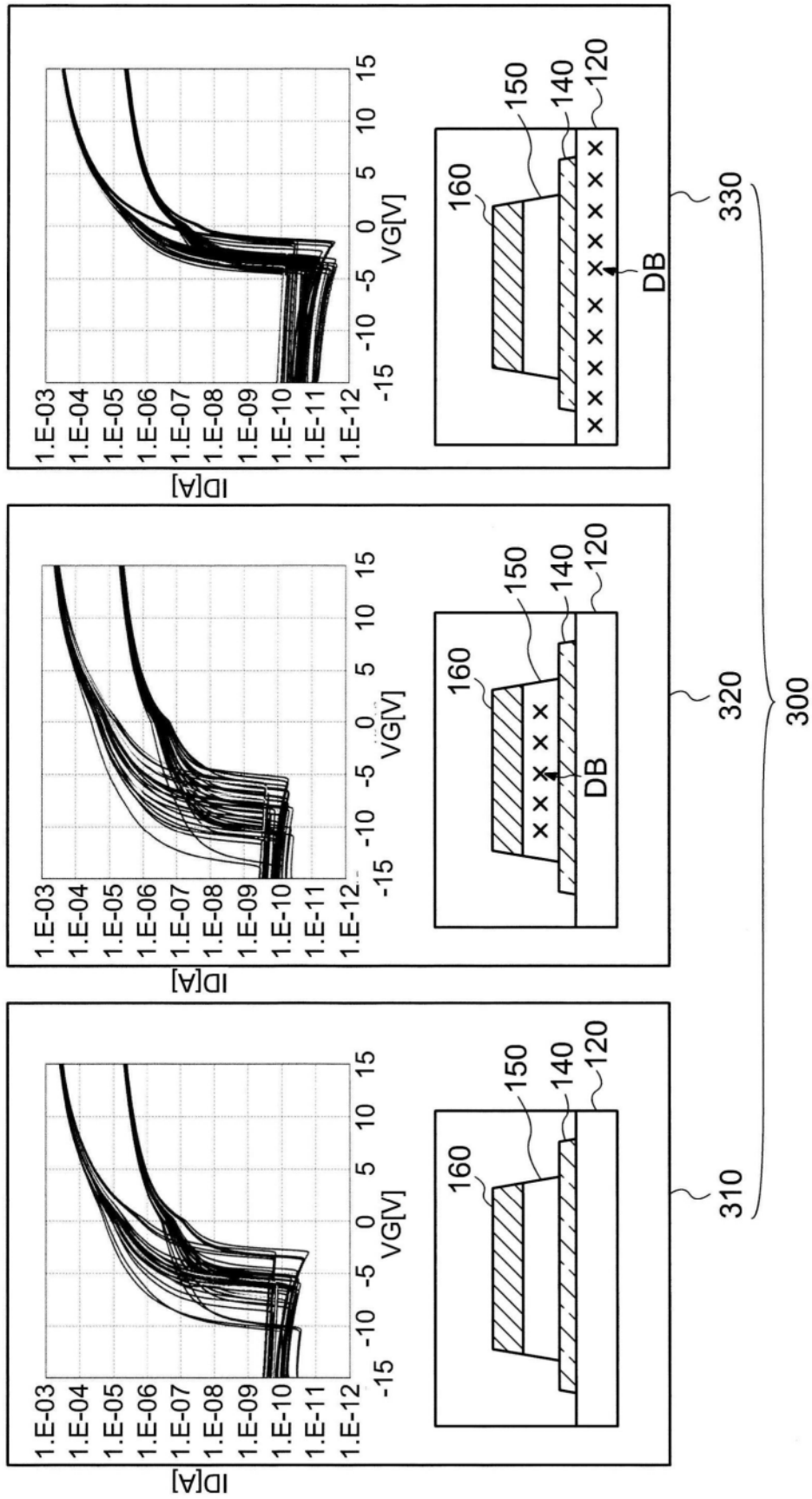


图16