

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年4月4日(04.04.2024)



(10) 国際公開番号
WO 2024/070523 A1

- (51) 国際特許分類:
H04N 25/707 (2023.01) H04N 25/77 (2023.01)
H04N 25/772 (2023.01)
- (21) 国際出願番号: PCT/JP2023/032304
- (22) 国際出願日: 2023年9月5日(05.09.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-158816 2022年9月30日(30.09.2022) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 上原 卓也 (UEHARA Takuya);
〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

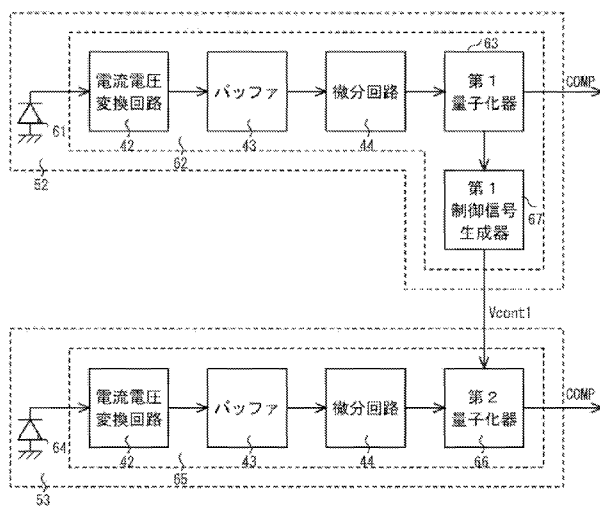
(74) 代理人: 宮嶋 学 (MIYAJIMA Manabu);
〒1000005 東京都千代田区丸の内1丁目6番6号 日本生命丸の内ビル 協和特許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,

(54) Title: LIGHT DETECTION ELEMENT AND ELECTRONIC DEVICE

(54) 発明の名称: 光検出素子及び電子機器

[図10]



- 42 Current voltage conversion circuit
43 Buffer
44 Differentiating circuit
63 First quantizer
66 Second quantizer
67 First control signal generator

(57) Abstract: [Problem] To suppress detection of noise events and to detect events quickly and precisely. [Solution] This light detection element comprises: a first pixel region including a plurality of first pixels which each detect an event based on the amount of change in the amount of incident light; and a second pixel region disposed in the vicinity of the first pixel region and including second pixels which detect the event in the surroundings of first pixels among the plurality of first pixels which have detected the event.

HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(57) 要約: [課題] ノイズイベントの検出を抑制し、かつイベントを迅速かつ精度よく検出する。[解決手段] 光検出素子は、入射光の光量の変化量に基づくイベントの検出をそれぞれ行う複数の第1画素を含む第1画素領域と、前記第1画素領域の近傍に配置され、前記複数の第1画素のうち前記イベントが検出された第1画素の周囲にて前記イベントの検出を行う第2画素を含む第2画素領域と、を備える。

明 細 書

発明の名称：光検出素子及び電子機器

技術分野

[0001] 本開示は、光検出素子及び電子機器に関する。

背景技術

[0002] 撮像シーンの中で、輝度変化などの何らかのイベントが発生した光電変換素子のデータだけを高速に取得するEVS(Event-based Vision Sensor)が提案されている。このEVSは、光の輝度変化をイベントとして検出する動作を行う。EVSの課題として、ノイズイベントの検出が知られている。ノイズイベントとは、実際にはイベントが発生していないにもかかわらず、誤って検出されるイベントを指す。特許文献1には、イベント検出回路内の電流電圧変換回路から出力される電圧信号の発振により、ノイズイベントが検出されることが開示されている。特許文献1では、電流電圧変換回路に電圧信号の位相遅れを補償するコンデンサを接続することにより、電圧信号の発振に起因するノイズイベントの検出を抑制している。

先行技術文献

特許文献

[0003] 特許文献1：国際公開第2019/087472号

発明の概要

発明が解決しようとする課題

[0004] ノイズイベントは、電流電圧変換回路から出力される電圧信号の発振以外の様々な要因でも発生しうる。しかしながら、特許文献1では、電圧信号の発振以外の要因で発生するノイズイベントの検出を抑制する対策は行っていない。

[0005] EVSは、画素アレイ部の画素単位でイベントの検出を行うのが一般的である。ノイズイベントは、画素アレイ部のランダムな画素位置で発生しうるため、ノイズイベントの検出を抑制するには、画素アレイ部の全画素を念頭

に置いて、何らかの対策を取る必要がある。ノイズイベントの対策として、例えば、画素アレイ部の中から単純に間引いた一部の画素だけでイベントを検出することも考えられるが、画素を間引く処理に時間がかかる上に、イベント検出画像の解像度が低下する。

[0006] そこで、本開示では、様々な要因で発生するノイズイベントの検出を抑制しつつ、イベント検出画像の解像度を低下させることなく、本来のイベントを迅速かつ精度よく検出可能な光検出素子及び電子機器を提供するものである。

課題を解決するための手段

[0007] 上記の課題を解決するために、本開示によれば、入射光の光量の変化量に基づくイベントの検出をそれぞれ行う複数の第1画素を含む第1画素領域と、

前記第1画素領域の近傍に配置され、前記複数の第1画素のうち前記イベントが検出された第1画素の周囲にて前記イベントの検出を行う第2画素を含む第2画素領域と、を備える、
光検出素子が提供される。

[0008] 前記第1画素領域内の1つの前記第1画素に対して、前記第2画素領域内の1つ以上の前記第2画素が対応づけられ、

前記イベントが検出された前記第1画素に対応するすべての前記第2画素にて前記イベントの検出を行ってもよい。

[0009] 前記第1画素領域内の前記複数の第1画素のそれぞれは、互いに交差する第1方向及び第2方向において、間に前記第1画素以外の画素を挟んで離隔して配置されてもよい。

[0010] 前記第1画素以外の画素は、前記第2画素を含んでもよい。

[0011] 前記第1画素領域内の前記複数の第1画素は、互いに交差する第1方向及び第2方向に延びる第1環状画素領域内に配置されてもよい。

[0012] 前記第1画素領域及び前記第2画素領域を有し、前記第1方向及び前記第2方向に延びる画素アレイ部を備え、

前記第 1 環状画素領域は、前記画素アレイ部の外周側に配置されてもよい。

[0013] 前記第 2 画素領域内の前記第 2 画素は、前記画素アレイ部内の前記第 1 環状画素領域よりも内側に配置されてもよい。

[0014] 前記第 2 画素領域内の前記第 2 画素は、前記画素アレイ部内の前記第 1 環状画素領域よりも内側の第 2 環状画素領域内に配置されてもよい。

[0015] 前記画素アレイ部の前記第 2 環状画素領域よりもさらに内側に配置され、2 以上の前記第 1 画素が配置される第 3 環状画素領域を備えてもよい。

[0016] 前記第 1 画素領域及び前記第 2 画素領域を有し、前記第 1 方向及び前記第 2 方向に延びる画素アレイ部を備え、

前記第 1 画素領域内の前記複数の第 1 画素は、前記第 1 方向又は前記第 2 方向に延びる複数のラインに沿って配置されてもよい。

[0017] 前記第 2 画素領域内の前記第 2 画素は、前記複数のラインの合間に、前記複数のラインの延びる方向に沿って配置されてもよい。

[0018] 前記第 2 画素領域の近傍に配置され、前記イベントが検出された前記第 2 画素の周囲にて前記イベントの検出を行う第 3 画素を含む第 3 画素領域を備えてもよい。

[0019] 前記第 1 画素のサイズは、前記第 2 画素のサイズより大きくてもよい。

[0020] 前記第 1 画素は、

入射光の光量に応じた電荷を蓄積する第 1 光電変換素子と、

前記電荷に基づいて前記イベントを検出する第 1 画素回路と、を有し、

前記第 1 画素回路は、前記イベントが検出されたときに前記イベントの検出信号とは別に所定の論理の第 1 制御信号を出力する第 1 制御信号生成器を有し、

前記第 2 画素は、

入射光の光量に応じた電荷を蓄積する第 2 光電変換素子と、

対応する前記第 1 画素内の前記第 1 制御信号が前記所定の論理のときに限って、前記第 2 光電変換素子に蓄積された前記電荷に基づいて前記イベント

を検出する第2画素回路と、を有してもよい。

[0021] 前記第2画素回路は、

前記第2光電変換素子に蓄積された前記電荷を電圧に変換する電荷電圧変換回路と、

前記電荷電圧変換回路で変換された電圧の変化に応じた微分信号を生成する微分回路と、

前記微分信号の信号レベルを閾値と比較する比較動作を行った結果に基づいて前記イベントの検出信号を生成する量子化器と、を有し、

前記量子化器は、対応する前記第1画素内の前記第1制御信号が前記所定の論理のときに限って、前記比較動作を行ってもよい。

[0022] 複数の前記第1画素のうち前記イベントが検出された前記第1画素の数と、複数の前記第2画素のうち前記イベントが検出された前記第2画素の数との少なくとも一方に応じて、前記閾値の電圧レベルを制御する閾値制御部をさらに備えてもよい。

[0023] 前記第1画素回路は、入射光の光量が低い状態から高い状態に変化したことを検出する第1イベント、又は入射光の光量が高い状態から低い状態に変化したことを検出する第2イベントを出力し、

前記第1制御信号生成器は、前記第1画素回路から前記第1イベント又は前記第2イベントが出力されたときに、前記第1制御信号を前記所定の論理にしてもよい。

[0024] 前記第1画素回路は、前記第1画素回路で前記イベントが検出されるか否かにかかわらず前記第1制御信号生成器から前記所定の論理の前記第1制御信号を出力させるか、又は前記第1画素回路で前記イベントが検出されたときに限って前記第1制御信号生成器から前記所定の論理の前記第1制御信号を出力させる画素動作切替器を有してもよい。

[0025] 前記画素アレイ部内の各画素は、前記画素アレイ部内の2以上の画素を含む画素群を単位として、前記画素群内の任意の1つの画素が前記第1画素となり、残りの画素が前記第2画素となるように、画素動作切替器を有しても

よい。

- [0026] また、本開示によれば、画像データを出力する光検出素子と、
前記画像データを記録する記録部と、を備える電子機器であって、
前記光検出素子は、
入射光の光量の変化量に基づくイベントの検出をそれぞれ行う複数の第1
画素を含む第1画素領域と、
前記第1画素領域の近傍に配置され、前記複数の第1画素のうち前記イベ
ントが検出された第1画素の周囲にて前記イベントの検出を行う第2画素を
含む第2画素領域と、を有する、
電子機器が提供される。

図面の簡単な説明

- [0027] [図1]本開示の第1の実施形態における電子機器のブロック図である。
[図2]光検出素子の積層構造の一例を示す図である。
[図3]受光チップの一例を示す平面図である。
[図4]検出チップの一例を示す平面図である。
[図5A]画素の第1例を示す回路図である。
[図5B]画素の第2例を示す回路図である。
[図6]微分回路の入力ノードに流れる電流の変化を示すグラフである。
[図7]微分回路の出力電圧の変化を示すグラフである。
[図8]画素アレイ部におけるノイズイベントの発生の一例を示す図である。
[図9]本開示の第1の実施形態における画素アレイ部の平面図である。
[図10]本開示の第1の実施形態における第1画素及び第2画素のブロック図
である。
[図11A]本開示の第1の実施形態における第1制御信号生成器、第1量子化器
及び第2量子化器の第1例を示す回路図である。
[図11B]本開示の第1の実施形態における第1制御信号生成器、第1量子化器
及び第2量子化器の第2例を示す回路図である。
[図12]1つの第1画素内の第1量子化器と複数の第2画素内の複数の第2量

子化器が、第1制御信号生成器を介して接続される例を示す回路図である。

[図13]本開示の第1の実施形態における光検出素子のイベント検出動作を示すフローチャートである。

[図14]画素アレイ部におけるイベント検出の一例を示す平面図である。

[図15A]本開示の第1の実施形態における画素アレイ部内の一部の画素でノイズイベントが発生する例を示す平面図である。

[図15B]本開示の第1の実施形態における画素アレイ部において、一部の第1画素がノイズイベントを検出する例を示す平面図である。

[図16A]本開示の第2の実施形態における画素アレイ部の第1例を示す平面図である。

[図16B]本開示の第2の実施形態における画素アレイ部の第2例を示す平面図である。

[図17]本開示の第3の実施形態における画素アレイ部の平面図である。

[図18]本開示の第4の実施形態における画素アレイ部の平面図である。

[図19]本開示の第4の実施形態における第1画素、第2画素、及び第3画素の内部構成を示すブロック図である。

[図20]本開示の第4の実施形態における第1制御信号生成器、第2制御信号生成器、第1量子化器、第2量子化器及び第3量子化器の回路図である。

[図21]本開示の第5の実施形態における画素アレイ部の平面図である。

[図22]本開示の第5の実施形態における第1画素、通常画素、及び第2画素の内部構成の一部を示す回路図である。

[図23]本開示の第6の実施形態における画素アレイ部の平面図である。

[図24]本開示の第7の実施形態における光検出素子の概略構成を示すブロック図である。

[図25]本開示の第8の実施形態における第1画素及び第2画素のブロック図である。

[図26A]本開示の第8の実施形態における第1制御信号生成器、オフ状態の画素動作切替器、第1量子化器及び第2量子化器の回路図である。

[図26B]本開示の第8の実施形態における第1制御信号生成器、オン状態の画素動作切替器、第1量子化器及び第2量子化器の回路図である。

[図27A]4つの画素のうち1つを第1画素とし、残りの画素を第2画素とする第1例を示す図である。

[図27B]4つの画素のうち1つを第1画素とし、残りの画素を第2画素とする第2例を示す図である。

[図28]本開示の第9の実施形態における1つの画素群に含まれる2つの画素のブロック図である。

[図29A]1つの画素群に含まれる2つの画素のうち一方を第1画素として動作させ、他方を第2画素として動作させる場合の2つの画素内の量子化器、画素動作切替器、及び制御信号生成器の第1例の回路図である。

[図29B]1つの画素群に含まれる2つの画素のうち一方を第1画素として動作させ、他方を第2画素として動作させる場合の2つの画素内の量子化器、画素動作切替器、及び制御信号生成器の第2例の回路図である。

[図30]1つの画素群に含まれる4つの量子化器、画素動作切替器、及び制御信号生成器の詳細な回路図である。

[図31]車両制御システムの概略的な構成の一例を示すブロック図である。

[図32]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0028] 以下、図面を参照して、光検出素子及び電子機器の実施形態について説明する。以下では、光検出素子及び電子機器の主要な構成部分を中心に説明するが、光検出素子及び電子機器には、図示又は説明されていない構成部分や機能が存在しうる。以下の説明は、図示又は説明されていない構成部分や機能を除外するものではない。

[0029] (第1の実施形態)

図1は、本開示の第1の実施形態における電子機器1のブロック図である。この電子機器1は、画像データを撮像するものであり、撮像レンズ11、光検出素子2、記録部3及び制御部4を備える。電子機器1としては、例え

ば、産業用ロボットに搭載されるカメラや、車載カメラなどが想定されるが、電子機器 1 の具体的な用途及び構成は任意である。

[0030] 撮像レンズ 11 は、入射光を集光して光検出素子 2 に導く。光検出素子 2 は、入射光を光電変換して画像データを撮像する。光検出素子 2 は、例えば E V S であり、撮像した画像データに対して、画像認識処理などの所定の信号処理を画像データに対して実行し、その処理後のデータを記録部 3 に信号線 12 を介して出力する。光検出素子 2 から出力される画像データは、入射光の光量の変化量に基づくデータを含む。より具体的には、画像データは、入射光の光量の変化量の絶対値が閾値を超えた場合に検出されるイベントの情報を含むイベント検出画像データを含む。また、光検出素子 2 から出力される画像データは、入射光の光量に応じた輝度及び色情報を含む階調データを含んでいてもよい。

[0031] 記録部 3 は、光検出素子 2 からのデータを記録する。記録部 3 は、ネットワークを介して接続されるサーバなどに配置されてもよい。制御部 4 は、制御線 13 を介して光検出素子 2 を制御して、画像データを撮像させる。

[0032] 図 2 は、光検出素子 2 の積層構造の一例を示す図である。この光検出素子 2 は、受光チップ 21 と、受光チップ 21 に積層された検出チップ 22 とを備える。これらのチップは、ビアなどにより接合される。なお、ビアの他、Cu-Cu 接合やバンプにより接合することもできる。

[0033] 図 3 は、受光チップ 21 の一例を示す平面図である。受光チップ 21 には、受光部 24 及び、複数のビア配置部 23 が設けられる。

[0034] ビア配置部 23 には、検出チップ 22 との間で各種の信号の送受を行うビアが配置される。また、受光部 24 には、第 1 方向 X 及び第 2 方向 Y に、複数の光電変換素子 31 が配列される。本明細書では、図 3 の左右方向を第 1 方向 X、図 3 の上下方向を第 2 方向 Y と呼ぶ。光電変換素子 31 は、入射光を光電変換し、入射光の光量に応じた電荷（以下、光電荷）を蓄積する。

[0035] 図 4 は、検出チップ 22 の一例を示す平面図である。この検出チップ 22 には、ビア配置部 23、イベント検出部 32、行駆動回路 33、列駆動回路

3 4 及び信号処理回路 3 5 が設けられる。ビア配置部 2 3 には、受光チップ 2 1 との間で各種の信号の送受を行う 1 つ以上のビアが配置される。

[0036] イベント検出部 3 2 は、複数の光電変換素子 3 1 への入射光の光量の変化量に基づくイベントの検出信号を生成して信号処理回路 3 5 に出力する。

[0037] イベント検出部 3 2 には、二次元格子状に複数のイベント検出回路（画素回路）4 1 が配列される。イベント検出回路 4 1 の一部は、受光チップ 2 1 側に配置にされてもよい。

[0038] イベント検出回路 4 1 は、対応する光電変換素子 3 1 からの光電荷に応じた電圧信号を量子化して検出信号として出力する。イベント検出回路 4 1 のそれぞれには画素アドレスが割り当てられ、同一アドレスの光電変換素子 3 1 と接続される。光電変換素子 3 1 及びイベント検出回路 4 1 は、1 つの画素を構成する。画素は、光電変換素子 3 1 及びイベント検出回路 4 1 と同様に二次元格子状に複数配列され、後述の画素アレイ部を構成する。後述するように、画素アレイ部の一部の画素については、イベント検出回路を持たずに、光電変換素子 3 1 と画素回路を有していてもよい。このような一部の画素を、本明細書では、階調画素と呼ぶ。

[0039] 行駆動回路 3 3 は、行アドレスを選択して、その行アドレスに対応する検出信号をイベント検出部 3 2 に出力させる。

[0040] 列駆動回路 3 4 は、列アドレスを選択して、その列アドレスに対応する検出信号をイベント検出部 3 2 に出力させる。

[0041] 信号処理回路 3 5 は、イベント検出部 3 2 からの検出信号に対して所定の信号処理を実行して、画像データを生成する。信号処理回路 3 5 は、生成された画像データに対して画像認識処理又は推論処理などの任意の信号処理を実行してもよい。

[0042] 図 5 A は、画素 4 0 の第 1 例を示す回路図である。画素 4 0 は、光電変換素子 3 1 とイベント検出回路 4 1 を備える。イベント検出回路 4 1 は、電流電圧変換回路（電荷電圧変換回路）4 2、バッファ 4 3、微分回路 4 4 及び量子化器 4 5 を備える。電流電圧変換回路 4 2 及び光電変換素子 3 1 は、対

数応答部46を構成する。

- [0043] 対数応答部46は、光電変換素子31で光電変換された電荷を、対数変換して電圧信号 $V_{\log}$ を生成する。対数変換する理由は、輝度情報を取得する画素40のダイナミックレンジを広げるためである。
- [0044] 光電変換素子31は、対応する画素40に入射される入射光に基づく電荷（光電荷）を蓄積する。光電変換素子31としては、例えばフォトダイオードが用いられる。光電変換素子31はアノード及びカソードを有する。アノード又はカソードのいずれか一方（例えば、カソード）は電流電圧変換回路42の入力ノードn1に接続され、他方（例えば、アノード）は、接地電圧等の所定の基準電圧ノードに接続される。
- [0045] 電流電圧変換回路42は、光電変換素子31に蓄積された電荷を電圧に変換する。電流電圧変換回路42は、トランジスタQ1、トランジスタQ2、トランジスタQ3、トランジスタQ4、及びトランジスタQ5を備える。トランジスタQ1～Q4には、例えばNMOSトランジスタが用いられる。トランジスタQ5には、例えばPMOSトランジスタが用いられる。
- [0046] トランジスタQ1及びQ2は、電源電圧ノードと所定の光電変換素子31との間にカスコード接続されている。トランジスタQ1のソースは光電変換素子31のカソード及びトランジスタQ3のゲートに接続され、トランジスタQ1のゲートはトランジスタQ3のドレインと、トランジスタQ4のソースに接続されている。トランジスタQ2のドレインは電源電圧ノードに接続され、ゲートは電流電圧変換回路42の出力ノードn2と、トランジスタQ4のドレインと、トランジスタQ5のドレインと、バッファ43の入力ノードに接続されている。
- [0047] トランジスタQ3及びトランジスタQ4は、ノードn2と基準電圧（接地）ノードとの間にカスコード接続されている。トランジスタQ3のソースは基準電圧（接地）ノードに接続され、ゲートはトランジスタQ1のソース及び光電変換素子31のカソードに接続されている。トランジスタQ4は、トランジスタQ3とトランジスタQ5の間に配置され、トランジスタQ4のゲ

ートはトランジスタQ 1のドレイン及びトランジスタQ 2のソースに接続され、トランジスタQ 4のドレインは出力ノードn 2に接続されている。

[0048] トランジスタQ 5のソースは電源電圧ノードに接続され、ゲートにはバイアス電圧Vblogが印加される。トランジスタQ 5は、バイアス電圧Vblogの電圧レベルによって、出力ノードn 2の電圧レベルを調整する。

[0049] 電流電圧変換回路4 2が対数変換した電圧信号V logは、バッファ4 3に入力される。バッファ4 3は、電源電圧ノードと基準電圧（例えば接地）ノードの間にカスコード接続される、トランジスタQ 7及びトランジスタQ 6を備える。トランジスタQ 6及びQ 7には、例えばPMOSトランジスタが用いられる。

[0050] バッファ4 3内のトランジスタQ 6は、ソースフォロワ回路を構成する。電流電圧変換回路4 2から出力された電圧信号V logに応じた画素電圧Vsfが、バッファ4 3から出力される。トランジスタQ 6のゲートには、電流電圧変換回路4 2の出力ノードn 2から、電圧信号V logが入力される。トランジスタQ 6のソースは、電源電圧ノードに接続され、ドレインはバッファ4 3の出力ノードn 3を介し、微分回路4 4に接続されている。

[0051] トランジスタQ 7はソースが電源電圧ノードに接続され、ドレインはトランジスタQ 6のソースに接続されている。トランジスタQ 7のゲートにはバイアス電圧Vbsfが印加される。トランジスタQ 7は、バイアス電圧Vbsfの電圧レベルに応じて、トランジスタQ 6のソースの電圧レベルを調整する。

[0052] バッファ4 3から出力された画素電圧Vsfは微分回路4 4に入力される。バッファ4 3は、画素電圧Vsfの駆動力を向上させることができる。また、バッファ4 3を設けることで、後段の微分回路4 4がスイッチング動作を行う際に発生するノイズが電流電圧変換回路4 2に伝達しないようにするアイソレーションを確保することができる。

[0053] 微分回路4 4は、電流電圧変換回路4 2で変換された電圧信号V logの変化に応じた微分信号Voutを生成する。微分回路4 4は、キャパシタC 1とトランジスタQ 8～Q 10を備える。トランジスタQ 10には、例えばNMOS

トランジスタが用いられ、トランジスタQ 8及びQ 9には、例えばPMOSトランジスタが用いられる。

[0054] キャパシタC 1は、トランジスタQ 8のソース及びトランジスタQ 9のゲートの接続ノードn 4と、バッファ4 3の出力ノードn 3の間に配置されている。キャパシタC 1は、バッファ4 3から出力された画素電圧 V_{sf} を時間微分した、画素電圧 V_{sf} の変化量に応じた電流をトランジスタQ 8のソース及びトランジスタQ 9のゲートに供給する。

[0055] トランジスタQ 8は、オートゼロ信号X A Zに従って、トランジスタQ 9のゲートとドレインを短絡するか否かを切り替える。オートゼロ信号X A Zは、初期化を指示する信号であり、例えば、画素4 0から後述のイベント検出信号が出力されるたびにハイレベルからローレベルになる。オートゼロ信号X A Zがローレベルになるとき、トランジスタQ 8はオンし、微分信号 V_{out} を初期値にするとともに、キャパシタC 1の電荷が初期化される。

[0056] トランジスタQ 1 0のソースは基準電圧（例えば接地）ノードに接続され、ゲートにはバイアス電圧 V_{bdiff} が印加される。トランジスタQ 1 0は、バイアス電圧 V_{bdiff} の電圧レベルに応じて、微分回路4 4の出力ノードn 5の電圧レベルを調整する。

[0057] トランジスタQ 9及びトランジスタQ 1 0は、トランジスタQ 9のゲート側の接続ノードn 4を入力ノードとし、トランジスタQ 9及びトランジスタQ 1 0の接続ノードn 5を出力ノードとする反転回路として機能する。

[0058] 上述したように、微分回路4 4は、微分演算により画素電圧 V_{sf} の変化量を検出する。画素電圧 V_{sf} の変化量は、画素4 0の入射光量の変化量を示す。微分回路4 4は、出力ノードn 5を介して微分信号 V_{out} を量子化器4 5に供給する。

[0059] 量子化器4 5は、微分信号 V_{out} を閾値電圧と比較する比較動作を行う。量子化器4 5は、比較動作を行った結果に基づいて、入射光の光量の変化量の絶対値が閾値電圧を超えたことを示すイベントを検出し、イベント検出信号COMP+及びイベント検出信号COMP-を出力する。量子化器4 5は、

トランジスタQ 1 1 ~ Q 1 4 とインバータK 1 を備える。トランジスタQ 1 1 及びQ 1 3 として、例えばPMOSトランジスタが用いられる。また、トランジスタQ 1 2 及びQ 1 4 として、例えばNMOSトランジスタが用いられる。

[0060] トランジスタQ 1 1 及びQ 1 2 は、電源電圧ノードと基準電圧（例えば接地）ノードとの間にカスコード接続されている。トランジスタQ 1 1 のゲートには、微分回路4 4 の出力信号V out が印加されている。トランジスタQ 1 2 のゲートには閾値電圧V high が印加されている。トランジスタQ 1 1 及びQ 1 2 は、出力信号V out と閾値電圧V high の比較を行う。具体的には、トランジスタQ 1 1 は微分回路4 4 の出力信号V out が閾値電圧V high より低いときにオンして、トランジスタQ 1 1 のドレインから、インバータK 1 を介して出力されるイベント検出信号COMP + はローレベルになる。

[0061] トランジスタQ 1 3 及びQ 1 4 は、電源電圧ノードと基準電圧（例えば接地）ノードとの間にカスコード接続されている。トランジスタQ 1 3 のゲートには、微分回路4 4 の出力信号V out が印加されている。トランジスタQ 1 4 のゲートには閾値電圧V low が印加されている。トランジスタQ 1 3 及びQ 1 4 は、出力信号V out と閾値電圧V low の比較を行う。具体的には、トランジスタQ 1 3 は微分回路4 4 の出力信号V out が閾値電圧V low より高いときにオフして、トランジスタQ 1 3 のドレインから出力されるイベント検出信号COMP - はローレベルになる。

[0062] 以下では図6 及び7 を用いて、図5 A に示す画素4 0 における、イベント検出信号COMP + 及びCOMP - の出力について説明する。図6 は、微分回路4 4 の入力ノードに流れる電流I ph の変化を示すグラフである。図6 のグラフの縦軸は電流I ph、横軸は時間を示す。図6 では、時刻t start から時刻t rev にかけて、画素4 0 に入射する光の光量が増加している。この場合、光電変換素子3 1 による光電荷が生成され、光電変換素子3 1 のカソードと接続されている入力ノードn 1 の電圧が下がる。入力ノードn 1 の電圧低下に応じて、電流電圧変換回路4 2 の出力電圧V log の電圧レベルが低下し、バ

バッファ 4 3 の出力電圧 V_{sf} も低下し、微分回路 4 4 の入力ノードに流れる電流 I_{ph} が増加する。

[0063] 図 7 は、微分回路 4 4 の出力電圧 V_{out} の変化を示すグラフである。図 7 のグラフの縦軸は出力電圧 V_{out} 、横軸は時間を示す。微分回路 4 4 は、電流 I_{ph} の単位時間あたりの増加量が大きいほど、出力電圧 V_{out} を低下させる。出力電圧 V_{out} が、例えば時刻 t_{e1} において閾値電圧 V_{high} を下回ると、量子化器 4 5 はローレベルのイベント検出信号 $COMP+$ を出力する。イベント検出信号 $COMP+$ がローレベルになることで、第 1 のイベントが検出される。

[0064] イベント検出信号 $COMP+$ がローレベルになると、オートゼロ信号 XAZ がローレベルになり、微分回路 4 4 の出力電圧 V_{out} は、基準電圧 V_{std} にリセットされる。時刻 t_{e1} の後も電流 I_{ph} の増加が続く場合、例えば時刻 t_{e2} において、再び出力電圧 V_{out} が閾値電圧 V_{high} を下回る。時刻 t_{e2} においても同様に、量子化器 4 5 においてローレベルのイベント検出信号 $COMP+$ が出力される。

[0065] 図 6 では、時刻 t_{rev} から時刻 t_{end} にかけて、画素 4 0 に入射する光の光量が減少している。この場合、光電変換素子 3 1 による光電荷の生成が抑制されて、入力ノード $n1$ の電圧が上がる。入力ノード $n1$ の電圧上昇に応じて、電流電圧変換回路 4 2 の出力電圧 V_{log} の電圧レベルが上昇し、バッファ 4 3 の出力電圧 V_{sf} も上昇し、微分回路 4 4 の入力ノードに流れる電流 I_{ph} が減少する。

[0066] 微分回路 4 4 は、電流 I_{ph} の単位時間あたりの減少量が大きいほど、出力電圧 V_{out} を上昇させる。出力電圧 V_{out} が、例えば図 7 の時刻 t_{e3} 及び t_{e4} において閾値電圧 V_{low} を上回ると、量子化器 4 5 はローレベルのイベント検出信号 $COMP-$ を出力する。イベント検出信号 $COMP-$ がローレベルになることで、第 2 のイベントが検出される。このように、画素 4 0 は、光電変換素子 3 1 に入射する光の光量の増減を検出し、イベント検出信号 $COMP+$ 又は $COMP-$ を出力する。

[0067] 本明細書では、イベント検出信号COMP+及びCOMP-を、総称してイベント検出信号COMPとも呼ぶ。イベント検出信号COMP+は、入射光の光量の変化量が急激に増加した場合にローレベルになり、イベント検出信号COMP-は、入射光の光量の変化量が急激に減少した場合にローレベルになる。また、本明細書では、イベント検出信号COMP+がローレベルに遷移した場合を第1イベント、イベント検出信号COMP-がローレベルに遷移した場合を第2イベントとも呼ぶ。

[0068] 画素40は、イベント検出信号COMP+とイベント検出信号COMP-の両方を検出する必要はなく、いずれか一方を検出してもよい。図5Bは、画素40の第2例を示す回路図である。図5Bに示す量子化器45aは、トランジスタQ13及びQ14を備えていないという点で、図5Aの量子化器45と異なる。

[0069] このため、図5Bの画素40a（及びイベント検出回路41a）は、光電変換素子31の入射光の光量の増減のうち、増加のみを検出し、イベント検出信号COMPを出力する。

[0070] 同様に、画素40は、図5Aの量子化器45からトランジスタQ11、Q12及びインバータK1を除去する構成であってもよい。その場合、画素40は、光電変換素子31の光の受光量の増減のうち、減少のみを検出する。あるいは、画素40は、入射光の光量が急激に増加した場合と、急激に減少した場合を区別せずに、入射光の光量が急激に変化した場合にイベントを検出してもよい。この場合、微分回路44の回路構成を図5A及び図5Bとは異なる回路構成にする必要がある。

[0071] 電流電圧変換回路42内のトランジスタの熱等によるノイズの影響で、微分回路44の出力信号Voutが低下又は上昇する場合がある。これにより、量子化器45において、イベント検出信号COMP+又はCOMP-が予期せずローレベルに遷移する場合がある。予期せぬ要因によるイベントを本明細書では、ノイズイベントと呼ぶ。特に、画素40の入射光に対する感度が高い場合には、ノイズイベントが多数検出されてしまう恐れがある。

[0072] 図8は、画素アレイ部50におけるノイズイベントの発生の一例を示す図である。ノイズイベント51は、入射光の光量の変化とは無関係に、各画素40においてランダムに発生しうる。画素アレイ部50内のすべての画素40がイベントを検出可能な場合、多数のノイズイベント51が検出されるおそれがある。以下に説明する各実施形態による光検出素子は、この問題を解決できることを特徴とする。

[0073] 図9は、本開示の第1の実施形態における画素アレイ部50の平面図である。図9の画素アレイ部50は、第1画素領域71と第2画素領域72を有する。第1画素領域71は、入射光の光量の変化量に基づくイベントの検出をそれぞれ行う複数の第1画素52を含む。第2画素領域72は、第1画素領域71の近傍に配置され、複数の第1画素52のうちイベントが検出された第1画素52の周囲にてイベントの検出を行う第2画素53を含む。

[0074] 第1画素領域71内の複数の第1画素52のそれぞれは、互いに交差する第1方向X及び第2方向Yにおいて、間に第1画素52以外の画素（図9の例では、第2画素53）を挟んでそれぞれ離隔して配置される。

[0075] 第1画素52は、画素アレイ部50内に飛び飛びに配置されている。第2画素53は、画素アレイ部50内の第1画素52以外の画素である。複数の第1画素52のそれぞれは、常にイベントを検出可能であるのに対し、複数の第2画素53のそれぞれは、特定の第1画素52に対応づけられており、対応する第1画素52がイベントを検出した場合のみ、イベントを検出可能になる。

[0076] 第1画素領域71内の複数の第1画素52の配置場所と個数は任意であり、図9に示したものに限定されない。

[0077] 図10は、本開示の第1の実施形態における第1画素52及び第2画素53のブロック図である。本開示の第1の実施形態における光検出素子2は、画素アレイ部50内に第1画素52と第2画素53を、それぞれ1つ以上含む。

[0078] 第1画素52は、第1光電変換素子61及び第1画素回路62を備える。

第1光電変換素子61は、図5Aの光電変換素子31と同様に、第1画素52に入射する入射光の光量に応じた光電荷を蓄積する。

[0079] 第1画素回路62は、図5Aのイベント検出回路41（又は、図5Bのイベント検出回路41a）と同様の構成のイベント検出回路を有する。第1画素回路62は、第1光電変換素子61が蓄積した光電荷に基づいてイベントを検出する。第1画素回路62内のイベント検出回路は、電流電圧変換回路42、バッファ43、微分回路44及び第1量子化器63を備える。

[0080] また、第1画素回路62は第1制御信号生成器67を備える。第1画素回路62は、第1イベント又は第2イベントの検出結果を示すイベント検出信号COMPを出力する。第1制御信号生成器67は、第1イベント又は第2イベントが検出されたときに、イベント検出信号COMPとは別に所定の論理（例えば、ハイレベル）の第1制御信号Vcont1を出力する。

[0081] 第2画素53は、第1画素52と同様に、第2光電変換素子64及び第2画素回路65を備える。第2光電変換素子64は、第2画素53に入射する入射光の光量に応じた光電荷を蓄積する。第2画素回路65は、対応する第1画素52内の第1制御信号Vcont1が所定の論理のときに限って、第2光電変換素子64に蓄積された光電荷に基づいてイベントを検出する。第2画素回路65は、電流電圧変換回路42、バッファ43、微分回路44及び第2量子化器66を備える。このように、第2画素53は、第1画素52内の第1制御信号生成器67を備えていない点で、第1画素52と異なっている。

[0082] 第1制御信号生成器67は、第1量子化器63から出力されたイベント検出信号COMP+、COMP-に基づいて第1制御信号Vcont1を生成して第2量子化器66に入力する。第1制御信号生成器67、第1量子化器63及び第2量子化器66の詳細について、図11A及び11Bを用いて説明する。

[0083] 図11Aは、本開示の第1の実施形態における第1制御信号生成器67、第1量子化器63及び第2量子化器66の第1例を示す回路図である。第1量子化器63と第1制御信号生成器67は第1画素52の一部であり、第2

量子化器 6 6 は第 2 画素 5 3 の一部である。

[0084] 第 1 量子化器 6 3 は、図 5 A の量子化器 4 5 と同様、トランジスタ Q 1 1 ~ Q 1 4 及びインバータ K 1 を備える。第 2 量子化器 6 6 は、第 1 量子化器 6 3 と同様に、インバータ K 2 と、トランジスタ Q 1 1 ~ Q 1 4 にそれぞれ対応するトランジスタ Q 2 1 ~ Q 2 4 を備える。第 2 量子化器 6 6 はさらに、トランジスタ Q 2 5 及びトランジスタ Q 2 6 を備える。

[0085] トランジスタ Q 2 5 及び Q 2 6 には、例えば NMOS トランジスタが用いられる。トランジスタ Q 2 5 は、トランジスタ Q 2 1 のドレインと電源電圧ノードを接続するか否かを切り替える。トランジスタ Q 2 6 は、トランジスタ Q 2 4 のソースと基準電圧（例えば接地）ノードを接続するか否かを切り替える。トランジスタ Q 2 5 及び Q 2 6 は、第 1 制御信号生成器 6 7 から第 1 制御信号 V_{cont1} が入力される。

[0086] トランジスタ Q 2 5 及び Q 2 6 にローレベルの第 1 制御信号 V_{cont1} が入力されているときは、トランジスタ Q 2 5 及び Q 2 6 はオフ状態である。トランジスタ Q 2 5 がオフ状態のとき、トランジスタ Q 2 1 及び Q 2 2 は電源電圧ノードとの接続が遮断され、第 2 量子化器 6 6 は出力信号 V_{out} と閾値電圧 V_{high} の比較を行わない。トランジスタ Q 2 6 がオフ状態のとき、トランジスタ Q 2 3 及び Q 2 4 は基準電圧（接地）ノードとの接続が遮断され、第 2 量子化器 6 6 は出力信号 V_{out} と閾値電圧 V_{low} の比較を行わない。

[0087] 第 1 制御信号生成器 6 7 は、例えば NAND 回路で構成される。第 1 制御信号生成器 6 7 には第 1 量子化器 6 3 から出力されたイベント検出信号 COMP+ 及び COMP- が入力される。なお、イベント検出信号 COMP+ 及び COMP- は、第 1 制御信号生成器 6 7 に入力されるとともに、後段の、例えば出力回路に入力される。

[0088] イベント検出信号 COMP+ 又は COMP- のいずれか一方がローレベルであるとき、第 1 制御信号生成器 6 7 はハイレベルの第 1 制御信号 V_{cont1} を出力する。第 2 量子化器 6 6 のトランジスタ Q 2 5 及び Q 2 6 はともに、ハイレベルの第 1 制御信号 V_{cont1} が入力されるとき、オン状態となる。

- [0089] トランジスタQ 2 5 がオン状態のとき、トランジスタQ 2 1 及びQ 2 2 は出力信号V outと閾値電圧V highの比較を行うとともに、第2量子化器6 6 はローレベルのイベント検出信号C O M P +を出力可能になる。
- [0090] トランジスタQ 2 6 がオン状態のとき、トランジスタQ 2 3 及びQ 2 4 は出力信号V outと閾値電圧V lowの比較を行うとともに、第2量子化器6 6 はローレベルのイベント検出信号C O M P −を出力可能になる。
- [0091] すなわち、第2量子化器6 6 は、第1制御信号V cont1がハイレベルであるとき、出力信号V outと閾値電圧V high、又は出力信号V outと閾値電圧V lowの比較動作を行う。これにより、第2量子化器6 6 は、イベントの検出が可能になる。このように、第1画素5 2のイベント検出結果を示す第1制御信号V cont1を第2画素5 3に入力することにより、第1画素5 2がイベントを検出した場合に限り、第1画素5 2に対応づけられる第2画素5 3は、イベント検出を行う。
- [0092] 図1 1 Bは、本開示の第1の実施形態における第1制御信号生成器6 7 a、第1量子化器6 3 a及び第2量子化器6 6 aの第2例を示す図である。第1量子化器6 3 aと第1制御信号生成器6 7 は第1画素5 2の一部であり、第2量子化器6 6 aは第2画素5 3の一部である。第1量子化器6 3 aと第2量子化器6 6 aは、入射光の光量が急激に増加した場合にイベントを検出し、入射光の光量が急激に減少した場合にはイベントを検出しない。
- [0093] 第1制御信号生成器6 7 aは、例えばインバータで構成される。図1 1 Aの例と同様、第1制御信号生成器6 7 aには、第1量子化器6 3 aからC O M P信号が入力され、C O M P信号がローレベルであるときに、ハイレベルの第1制御信号V cont1を出力する。第2量子化器6 6 aは、第1制御信号V cont1が入力されるトランジスタQ 2 5を備える。ハイレベルの第1制御信号V cont1が入力されるとき、トランジスタQ 2 5がオン状態となり、第2量子化器6 6 aは出力信号V outと閾値電圧V highの比較動作及びイベントの検出を行う。
- [0094] 図1 1 Aに示す第1制御信号生成器6 7 は、複数の第2画素5 3内の複数

の第2量子化器66と接続されてもよい。図12は、1つの第1画素52内の第1量子化器63と複数の第2画素53内の複数の第2量子化器66が、第1制御信号生成器67を介して接続される例を示す回路図である。第1制御信号生成器67の第1制御信号 V_{cont1} は、複数の第2量子化器66内の複数のトランジスタQ25のゲート及び、複数のトランジスタQ26のゲートに入力される。これにより、1つの第1画素52に、複数の第2画素53が対応づけられる。なお、図11Bに示す第1制御信号生成器67aについても、同様に複数の第2画素53内の複数の第2量子化器66aと接続できる。図12の場合、第1画素領域71内のいずれかの第1画素52がイベントを検出すると、その第1画素52に対応づけられた複数の第2画素53がイベントを検出可能になる。これにより、イベントを検出した第1画素52の周囲の複数の第2画素53でイベントを検出できる。

[0095] 図13は、本開示の第1の実施形態における光検出素子2のイベント検出動作を示すフローチャートである。画素アレイ部50内の第1画素領域71に含まれる複数の第1画素52は、入射光を受光する（ステップS1）。物体の輝度が変わるとき、光検出素子2内の画素アレイ部50が受光する入射光の光量が変わる。

[0096] 画素アレイ部50内の複数の第1画素52のそれぞれは、第1量子化器63にて、微分回路44の出力信号 V_{out} と、閾値電圧 V_{high} 又は V_{low} とを比較し、イベントが検出されるか否かの判定動作を行う（ステップS2）。

[0097] 第1画素52でイベントが検出されない場合、第1画素52に対応づけられる第2画素53内のトランジスタQ25及びQ26はオフ状態となり、第2画素53はイベント検出動作を行わない。

[0098] 第1画素52でイベントが検出される場合、第2画素53内のトランジスタQ25及びQ26はオン状態となる（ステップS3）。これにより、第1画素52に対応づけられる第2画素53は、イベント検出を行う（ステップS4）。

[0099] 図14は、画素アレイ部50におけるイベント検出の一例を示す平面図で

ある。図14は、第1画素52及び、第1画素52に対応づけられる第2画素53でイベント検出を行う例を示す。図14の第1画素52aは、ステップS3においてイベントを検出した第1画素52を示す。

[0100] 第1画素52aの周囲には、第1画素52aに対応づけられる1つ以上の第2画素53aが配置されている。図14の例では、第1画素52aを取り囲むように8個の第2画素53aが配置されている。ステップS4では、第1画素52aに対応づけられるすべての（図14では、8個の）第2画素53aでイベントの検出を行う。

[0101] 入射光の光量が急激に変化した場合に検出される本来のイベントは、1画素だけでなく、所定の画素範囲内にある複数の画素40で、ほぼ同時に検出される可能性が高い。よって、図14のように、イベントを検出した第1画素52aの周囲の第2画素53aでイベントを検出することで、入射光の光量変化に基づく本来のイベントを精度よく検出できる。

[0102] 第2画素53aがイベントを検出した場合、画素アレイ部50内の各画素40（又は、画素40a）に対してリセットを行う（ステップS5）。具体的には、各画素40にローレベルのオートゼロ信号XAZを入力する。なお、第1画素52は、ステップS2でYESになったときにリセットを行ってもよい。

[0103] ステップS2でNOと判定された場合、又はステップS5の処理が終わった後に、イベントの検出を続行するか否かを判断する（ステップS6）。イベント検出を続行する場合は、ステップS1からイベントの検出動作を繰り返す。イベント検出を続行しない場合は、図13の処理を終了する。

[0104] 図15Aは、本開示の第1の実施形態における画素アレイ部50内の一部の画素でノイズイベント51が発生する例を示す平面図である。図15Aの例においては、ノイズイベント51が発生した画素位置は、第2画素領域72内である例を示している。この場合、第1画素52でイベントを検出していないため、第2画素53からも、ノイズイベント51に基づくイベント検出信号COMPは出力されない。したがって、図15Aの例において、ノイ

ズイベント 5 1 は検出されない。また、複数の第 1 画素 5 2 を画素アレイ部 5 0 内に分散させて配置することで、複数の第 1 画素 5 2 がノイズイベント 5 1 を検出する確率を低減できる。

[0105] 図 1 5 B は、本開示の第 1 の実施形態における画素アレイ部 5 0 において、一部の第 1 画素 5 2 がノイズイベント 5 1 を検出する例を示す平面図である。図 1 5 B は、画素アレイ部 5 0 内の複数の第 1 画素 5 2 のうち、1 つの第 1 画素 5 2 a がノイズイベント 5 1 を検出する例を示す。この場合、第 1 画素 5 2 a の周囲に位置する複数の第 2 画素 5 3 でイベントの検出動作を行い、そのうち、1 つの第 2 画素 5 3 a がノイズイベント 5 1 を検出する例を示す。入射光の光量変化に基づく本来のイベントについては、イベントを検出した第 1 画素 5 2 a の周囲に位置する複数の第 2 画素 5 3 でイベントを検出することが多い。図 1 5 B のように、複数の第 2 画素 5 3 のうち 1 つの第 2 画素 5 3 a のみがイベントを検出する場合は、ノイズイベントを検出したものと判断できる。

[0106] このように、第 1 の実施形態においては、画素アレイ部 5 0 を第 1 画素領域 7 1 と第 2 画素領域 7 2 に分けて、第 1 画素領域 7 1 内の各第 1 画素 5 2 は常にイベントを検出可能とし、第 2 画素領域 7 2 内の各第 2 画素 5 3 は、対応づけられた第 1 画素 5 2 がイベントを検出したときのみイベントを検出可能にする。これにより、イベントを検出可能な画素数を削減でき、ノイズイベントを誤って検出する可能性が低くなる。また、入射光の光量変化に基づくイベントは、所定の画素範囲内の複数の画素で検出されることが多いため、イベントを検出した第 1 画素 5 2 の周囲に位置する第 2 画素 5 3 をイベント検出可能な状態に設定することで、ノイズイベントの影響を最小限に抑えつつ、本来のイベントを詳細に検出できる。

[0107] 本実施形態による光検出素子 2 は、画素アレイ部 5 0 内の一部の第 1 画素 5 2 のみをイベント検出可能にするため、画素アレイ部 5 0 内の全画素を常にイベント検出可能にするよりも、消費電力を削減できる。また、イベントを検出した第 1 画素 5 2 の周囲に位置する第 2 画素 5 3 をイベント検出可能

にするため、イベントを検出した第1画素52の周囲でイベントが検出されるか否かを詳細に検出でき、高解像度のイベント検出画像を生成できる。さらに、第1画素52でイベントを検出すると、対応づけられた第2画素53を即座にイベント検出可能にするため、時間遅れなく第2画素53でイベントを検出でき、最終的なイベント検出結果を迅速に出力できる。

[0108] また、本開示の光検出素子2は、各画素40でイベントを検出した後に、イベント検出結果を間引きする後段処理が不要である。これにより、最終的なイベント検出結果を迅速に出力できる。また、後段処理が不要であることで、光検出素子2の製造コストを抑えることができる。

[0109] (第2の実施形態)

画素アレイ部50内の第1画素領域71と第2画素領域72のサイズ及び形状には種々の変形例が考えられる。図9に示す画素アレイ部50の構成は、イベントを検出可能な画素数を制限しているため、フリッカ対策に有効である。しかし、液滴等のように常に一定方向に進行する物体からの入射光を受光する場合には、物体の特徴に合わせて画素アレイ部50内の第1画素領域71と第2画素領域72のサイズ及び形状を定めるのが望ましい。

[0110] 図16Aは、本開示の第2の実施形態の第1例による画素アレイ部50aの平面図である。図16Aに示す画素アレイ部50a内の第1画素領域71は、それぞれが第1方向Xに延びる複数の画素行52Lxを有する。各画素行52Lx内の複数の第1画素52は、第1方向Xに沿って配置される。第2画素領域72は、第1画素領域71内の複数の画素行52Lxの合間に配置される複数の画素行53Lxを有する。画素行53Lx内の複数の第2画素53は、第1方向Xに沿って配置される。

[0111] 画素アレイ部50aにおいては例えば、第1画素52と、第1画素52のすぐ下に配置される複数の第2画素53が、対応づけられる。例えば、第2方向Yに沿って、図16Aの上から下方向に落下する液滴で反射された光が画素アレイ部50aに入射される場合、第1画素52でイベントを検出すると、第1画素52のすぐ下に配置される第2画素53においてもイベントを

検出する可能性が高い。よって、図 1 6 A に示す画素アレイ部 5 0 a は、入射光が縦方向に進行する場合に、より確実にイベントを検出できる。

[0112] 図 1 6 B は、本開示の第 2 の実施形態の第 2 例による画素アレイ部 5 0 b の平面図である。図 1 6 B に示す画素アレイ部 5 0 b 内の第 1 画素領域 7 1 は、それぞれが第 2 方向 Y に延びる複数の画素列 5 2 L y を有する。各画素列 5 2 L y 内の複数の第 1 画素 5 2 は、第 2 方向 Y に沿って配置される。第 2 画素領域 7 2 は、複数の画素列 5 2 L y の合間に配置される複数の画素列 5 3 L y を有する。

[0113] 画素アレイ部 5 0 b は、第 1 方向 X に沿って移動する物体からの入射光の光量の変化に基づくイベントを精度よく検出できる。

[0114] このように、第 2 の実施形態に示す画素アレイ部 5 0 a 及び 5 0 b は、第 2 方向 Y 又は第 1 方向 X に沿って入射光の光量に変化する場合に、イベントを精度よく検出できる。

[0115] (第 3 の実施形態)

第 3 の実施形態は、物体が外側から内側に移動する動きなどを検出する場合に適したイベント検出を行うことを特徴とする。

[0116] 図 1 7 は、本開示の第 3 の実施形態における画素アレイ部 5 0 の平面図である。図 1 7 に示す画素アレイ部 5 0 c は、第 1 方向 X 及び第 2 方向 Y に配列された複数の第 1 画素 5 2 及び第 2 画素 5 3 を有する。画素アレイ部 5 0 c 内の第 1 画素領域 7 1 は、画素アレイ部 5 0 c の外周側に配置される画素環（第 1 環状画素領域）7 1 C を有する。画素環 7 1 C は、第 1 方向 X 及び第 2 方向 Y に沿って環状に配置される複数の第 1 画素 5 2 を有する。画素アレイ部 5 0 c 内の第 2 画素領域 7 2 は、第 1 画素領域 7 1（画素環 7 1 C）の内側の全域に配置される。

[0117] このように、第 3 の実施形態に示す画素アレイ部 5 0 c では、第 2 画素領域 7 2 を取り囲むように第 1 画素領域 7 1（画素環 7 1 C）が配置される。これにより、物体からの入射光が画素アレイ部 5 0 c の外側から内側へ移動する場合に、まず第 1 画素 5 2 でイベントを検出し、続いて第 2 画素 5 3 で

イベントを検出でき、ノイズイベントとの識別性能を向上させることができる。また、画素環 71C は、画素アレイ部 50c の外周側の全域に配置されるため、どの方向から画素アレイ部 50c に入射光が入射されても、均一な精度でイベントを検出できる。

[0118] (第4の実施形態)

第4の実施形態は、第2画素領域 72 内でイベントを検出した第2画素 53 に対応づけて、イベントを検出する第3画素を新たに設けるものである。

[0119] 図18は、本開示の第4の実施形態における画素アレイ部 50d の平面図である。図18に示す画素アレイ部 50d は、第1画素領域 71 と第2画素領域 72 に加えて、第3画素領域 73 を備える。第3画素領域 73 は、第2画素領域 72 の近傍に配置され、イベントが検出された第2画素 53 の周囲にてイベントの検出を行う第3画素 54 を含む。

[0120] 第1画素領域 71 は、図17と同様に、画素アレイ部 50d の外周側に環状に配置される画素環（第1環状画素領域） 71C1 を有する。第2画素領域 72 は、画素環 71C1 の内側に環状に配置される画素環（第2環状画素領域） 72C1 を有する。第3画素領域 73 は、第2画素領域 72 の内側に環状に配置される画素環 73C1 を有する。

[0121] さらに、第1画素領域 71 は、画素環 73C1 の内側に環状に配置される画素環（第3環状画素領域） 71C2 を有する。また、第2画素領域 72 は、画素環 71C2 の内側に環状に配置される画素環 72C2 を有する。また、第3画素領域 73 は、画素環 72C2 の内側に環状に配置される画素環 73C2 を有する。

[0122] 第1画素領域 71 内の画素環 71C1、71C2 のそれぞれは、第1方向 X 及び第2方向 Y に配置される複数の第1画素 52 を有する。第2画素領域 72 内の画素環 72C1、72C2 のそれぞれは、第1方向 X 及び第2方向 Y に配置される複数の第2画素 53 を有する。第3画素領域 73 内の画素環 73C1、73C2 のそれぞれは、第1方向 X 及び第2方向 Y に配置される複数の第3画素 54 を有する。

[0123] 画素環 7 2 C 1 内の各第 2 画素 5 3 は、画素環 7 1 C 1 内のいずれかの第 1 画素 5 2 に対応づけられている。画素環 7 1 C 1 内でイベントを検出した第 1 画素 5 2 に対応づけられる、画素環 7 2 C 1 内の 1 つ以上の第 2 画素 5 3 は、イベントを検出可能になる。画素環 7 3 C 1 内の各第 3 画素 5 4 は、画素環 7 2 C 1 内のいずれかの第 2 画素 5 3 に対応づけられている。画素環 7 2 C 1 内でイベントを検出した第 2 画素 5 3 に対応づけられる、画素環 7 3 C 1 内の 1 つ以上の第 3 画素 5 4 は、イベントを検出可能になる。

[0124] 同様に、画素環 7 2 C 2 内の各第 2 画素 5 3 は、画素環 7 1 C 2 内のいずれかの第 1 画素 5 2 に対応づけられている。画素環 7 1 C 2 内でイベントを検出した第 1 画素 5 2 に対応づけられる、画素環 7 2 C 2 内の 1 つ以上の第 2 画素 5 3 は、イベントを検出可能になる。画素環 7 3 C 2 内の各第 3 画素 5 4 は、画素環 7 2 C 2 内のいずれかの第 2 画素 5 3 に対応づけられている。画素環 7 2 C 2 内でイベントを検出した第 2 画素 5 3 に対応づけられる、画素環 7 3 C 2 内の 1 つ以上の第 3 画素 5 4 は、イベントを検出可能になる。

[0125] 図 1 8 の画素アレイ部 5 0 d では、第 1 画素領域 7 1 が 2 つの画素環 7 1 C 1、7 1 C 2 を有し、第 2 画素領域 7 2 が 2 つの画素環 7 2 C 1、7 2 C 2 を有し、第 3 画素領域 7 3 が 2 つの画素環 7 3 C 1、7 3 C 2 を有するが、各画素領域内に設けられる環状画素領域の数は任意である。また、必ずしも、環状でなくてもよい。

[0126] 図 1 9 は、本開示の第 4 の実施形態における第 1 画素 5 2、第 2 画素 5 3、及び第 3 画素 5 4 の内部構成を示すブロック図である。第 1 画素 5 2 の内部構成は、図 1 0 と同じである。第 2 画素 5 3 は、図 1 0 の第 2 画素 5 3 の内部構成に加えて、第 2 制御信号生成器 8 5 を有する。第 3 画素 5 4 は、第 3 光電変換素子 8 2 及び第 3 画素回路 8 3 を備える。第 3 画素回路 8 3 は、電流電圧変換回路 4 2、バッファ 4 3、微分回路 4 4 及び第 3 量子化器 8 4 を備える。

[0127] 第 2 画素回路 6 5 は、図 1 0 と同様に第 1 制御信号 V_{cont1} が所定の論理の

ときに限って、イベントを検出し、第1イベント又は第2イベントの検出結果を示すイベント検出信号COMPを出力する。第2制御信号生成器85は、第2画素回路65で第1イベント又は第2イベントが検出されたときに、第2制御信号Vcont2を所定の論理とする。第3画素回路83は、対応する第2画素53内の第2制御信号Vcont2が所定の論理のときに限って、第3光電変換素子82に蓄積された光電荷に基づいてイベントを検出する。

[0128] 画素アレイ部50dは、第3画素54に対応づけられる、不図示の第4画素を備えてもよい。その場合は、図19に破線で示すように、第3画素54に第3制御信号生成器86を設ける必要がある。このように、他の画素領域内の画素でイベントが検出された場合に、イベントを検出可能にする画素を含む画素領域を画素アレイ部50内に2以上の任意の数だけ設けてもよい。

[0129] 図20は、本開示の第4の実施形態における第1制御信号生成器67、第2制御信号生成器85、第1量子化器63、第2量子化器66及び第3量子化器84の回路図である。第1量子化器63及び第2量子化器66は、図11Aと同様の構成を有する。第3量子化器84は、インバータK3を備える。また、第3量子化器84は、第2量子化器66のトランジスタQ21～Q26にそれぞれ対応するトランジスタQ31～Q36を備える。

[0130] 第2制御信号生成器85は、例えばNAND回路で構成される。第2制御信号生成器85には、第2量子化器66から出力されたイベント検出信号COMP+及びCOMP-が入力される。第2制御信号生成器85から出力される第2制御信号Vcont2は、第3量子化器84のトランジスタQ35及びQ36の各ゲートに入力される。

[0131] 第2制御信号生成器85は、第2量子化器66からローレベルのイベント検出信号COMP+又はCOMP-が入力されるとき、ハイレベルの第2制御信号Vcont2を出力する。第3量子化器84は、第2量子化器66と同様に、ハイレベルの第2制御信号Vcont2が入力されたとき、イベント検出を行うことができ、イベントが検出されると、ローレベルのイベント検出信号COMP+及びCOMP-を出力する。

[0132] 上述の通り、第1画素52がイベントを検出した場合に限って、第1画素52に対応づけられる第2画素53は、イベント検出を行う。また、第1画素52及び第2画素53がともにイベントを検出した場合に限って、第2画素53に対応づけられる第3画素54は、イベント検出を行う。

[0133] このように、第4の実施形態では、画素アレイ部50dの外側から内側に向かって、第1画素領域71、第2画素領域72、及び第3画素領域73が順繰りに環状に配置される。これにより、画素アレイ部50dの外側から内側に向かって入射光が進行する場合に、その光量変化に基づくイベントを確実に検出でき、ノイズイベントとの識別性能をより向上できる。なお、第4の実施形態における第3画素54は、第1～2の実施形態においても、適用できる。

[0134] (第5の実施形態)

第1～第2の実施形態の画素アレイ部50では、第1画素領域71と第2画素領域72が、それぞれ隣接して配置されている。これに対して、第5の実施形態では、第1画素領域71と第2画素領域72を、間に第1画素52及び第2画素53以外の画素を挟んで離隔して配置する例を説明する。

[0135] 図21は、本開示の第5の実施形態における画素アレイ部50eの平面図である。図21に示す画素アレイ部50eは、第1画素領域71と第2画素領域72を備える他に、画素領域74を備えている。画素領域74は、複数の通常画素55を含む。通常画素55は、例えば図5Aの画素40と同様の構成のイベント検出回路を有し、第1画素領域71と第2画素領域72のイベント検出結果とは無関係に、入射光の光量の変化量に基づくイベントを検出する。通常画素55は、入射光の光量に応じて単色又は複数色の階調情報を含む画素信号を出力する、階調画素であってもよい。

[0136] 第1画素領域71は、画素アレイ部50eの外周側に環状に配置される画素環71Cを有する。第2画素領域72は、第1画素領域71よりも内側に環状に配置される画素環72Cを有する。画素領域74は、第1画素領域71と第2画素領域72の間に環状に配置される(画素環74C)とともに、

第2画素領域72よりも内側の全域に配置される。

[0137] 図22は、本開示の第5の実施形態における第1画素52、通常画素55、及び第2画素53の内部構成の一部を示す回路図である。図22には、第1画素52内の第1量子化器63と、通常画素55内の量子化器45と、第2画素53内の第2量子化器66と、第1制御信号生成器67が図示されている。第1制御信号生成器67から出力された第1制御信号 V_{cont1} は、通常画素55内の量子化器45には入力されず、第2画素53内の第2量子化器66に入力される。したがって通常画素55は、第1画素52がイベントを検出するか否かを問わず、入射光の光量の変化量に基づくイベントを検出する。

[0138] このように、第5の実施形態における画素アレイ部50eは、第1画素領域71と第2画素領域72を間に通常画素55を挟んで離隔して配置する。これにより、入射光が高速に移動する場合、あるいは第1画素52と第2画素53の間で第1制御信号 V_{cont1} の伝達の遅延が発生する場合でも、第1画素52と第2画素53の双方でイベントを検出しやすくなり、イベントの高速追従性を向上できる。同様に、第2画素領域72と第3画素領域73を、間に通常画素55を挟んで離隔して配置してもよい。

[0139] (第6の実施形態)

第1～5の実施形態においては、第1画素52と第2画素53のサイズが同じ例を示しているが、第1画素52と第2画素53のサイズは互いに異なってもよい。例えば、第1画素52のサイズを第2画素53のサイズより大きくしてもよい。

[0140] 図23は、本開示の第6の実施形態における画素アレイ部50fの平面図である。図23に示す画素アレイ部50fは、複数の第1画素52bを有する。第1画素52bのサイズを、第2画素53のサイズより大きくしている。これにより、第1画素52bでのイベント検出感度が向上できる。第1画素52bでイベントを検出した後に、第1画素52bよりサイズの小さい第2画素53でイベントを検出した場合に限って、イベントが検出されたと判

断することで、ノイズイベントとの識別性能を向上できる。なお、図23では、第1画素52bのサイズが第2画素53のサイズの4倍の例を示すが、どの程度のサイズ比にするかは任意である。

[0141] このように、第6の実施形態における画素アレイ部50fでは、第1画素52bと第2画素53のサイズを相違させている。検出したいイベントの種類、周囲の明るさ又はノイズイベントの数などに応じて、第1画素52と第2画素53のサイズを最適化することができる。

[0142] (第7の実施形態)

第1～第6の実施形態により、画素40のイベント検出感度を高めるとともに、ノイズイベントの検出を抑制することができる。画素40は、閾値電圧 V_{high} 及び V_{low} を調整することによって、イベント検出感度を調整することができる。閾値電圧 V_{high} 及び V_{low} は、イベント検出数に基づいて調整してもよい。これにより、一定のイベント検出数となるように、閾値電圧 V_{high} 及び V_{low} を調整することができる。

[0143] 図24は、本開示の第7の実施形態における光検出素子2の概略構成を示すブロック図である。図24に示す光検出素子2aは、閾値制御部91を備える。光検出素子2aは、図24に示した画素アレイ部50及び閾値制御部91のほか、信号処理回路等を備えるが、図24では省略している。

[0144] 閾値制御部91は、複数の第1画素52のうちイベントが検出された第1画素52の数と、複数の第2画素53のうちイベントが検出された第2画素53の数との少なくとも一方に応じて、閾値の電圧レベルを制御する。閾値制御部91は、カウンタ92、カウンタ93、差分検出器94、差分検出器95、閾値制御回路96及び閾値制御回路97を備える。なお、閾値制御部91は、複数の第3画素54のうちイベントが検出される第3画素54の数に応じて閾値の電圧レベルを制御してもよいし、複数の通常画素55のうちイベントが検出される通常画素55の数に応じて閾値の電圧レベルを制御してもよい。

[0145] カウンタ92には、画素アレイ部50内の、各画素40から出力されるイ

ベント検出信号COMP+が入力される。カウンタ92は、イベント検出信号COMP+のうち、例えばローレベルのものをカウントし、第1イベントのカウント値として差分検出器94に供給する。

[0146] 差分検出器94には、カウンタ92から第1イベントのカウント値が供給されるとともに、光検出素子2aの外部から第1イベントのイベント数目標値が供給される。差分検出器94は、第1イベントのカウント値及び第1イベントのイベント数目標値を比較し、第1イベントのカウント値の目標値に対する差分値を、閾値制御回路96に供給する。

[0147] 閾値制御回路96は、差分検出器94から受け取った第1イベントのカウント値の目標値に対する差分値に基づき、各画素40の閾値V_{high}を調整する。例えば、第1イベントのカウント値が、第1イベントのイベント数目標値より少ない場合、閾値制御回路96は閾値V_{high}を上昇させることにより、各画素40における第1イベントの検出数を増加させる。また、第1イベントのカウント値が、第1イベントのイベント数目標値より多い場合は、閾値制御回路96は閾値V_{high}を低下させることにより、各画素40における第1イベントの検出数を減少させる。閾値制御回路96は、各画素40の閾値V_{high}を調整して第1イベントの検出数を増減させることにより、第1イベントの検出数をイベント数目標値に近づける。

[0148] カウンタ93、差分検出器95及び閾値制御回路97は、第2イベントについて、カウンタ92、差分検出器94及び閾値制御回路96と同様の処理を行う。具体的には、カウンタ93には、各画素40から出力されたイベント検出信号COMP-が入力される。カウンタ93は、第2イベントのカウント値を差分検出器95に供給する。差分検出器95には、第2イベントのイベント数目標値が供給される。差分検出器95は、第2イベントのカウント値及び第2イベントのイベント数目標値を比較する。閾値制御回路97は、差分検出器95の比較結果に基づき、各画素40の閾値V_{low}を調整する。第2イベントのカウント値が、第2イベントのイベント数目標値より少ない場合は、各画素40の閾値V_{low}を低下させる。閾値制御回路97は、第2イ

ベントのカウント値が、第2イベントのイベント数目標値より多い場合は、各画素40の閾値 V_{low} を上昇させる。閾値制御回路97は、閾値 V_{low} を調整して、第2イベントの検出数をイベント数目標値に近づける。

[0149] このように、光検出素子2aは、第1～第6の実施形態で説明した手法によりノイズイベントに対する対策を行った上で、イベントの検出数をカウントして、そのカウント値に基づいて量子化器45で用いられる閾値を調整する。これにより、イベントの検出数を所望の値に調整でき、後段の信号処理が行いやすくなる。

[0150] (第8の実施形態)

第1～第2の実施形態における第2画素53は、対応する第1画素52がイベントを検出した場合のみ、イベントを検出可能な状態に設定される。これに対して、第2画素53は、常にイベントを検出可能なモードと、上述したように対応する第1画素がイベントを検出した場合のみイベントを検出可能にするモードのいずれか一方を、任意に切り替えられるようにしてもよい。

[0151] 図25は、本開示の第8の実施形態における第1画素52及び第2画素53のブロック図である。図25の第1画素回路62は、画素動作切替器101を備える。図25の第1制御信号生成器67は、イベントが検出されたとき、又は画素動作切替器101が所定の状態（例えば、オフ状態）のときに、イベント検出信号COMPとは別に所定の論理（例えば、ハイレベル）の第1制御信号 V_{cont1} を出力する。

[0152] 図26A及び26Bは、本開示の第8の実施形態における第1制御信号生成器67、画素動作切替器101、第1量子化器63及び第2量子化器66の回路図である。図26A及び26Bの画素動作切替器101は、2つのスイッチ101a、101bを有する。スイッチ101a、101bの各一端はいずれも、第1制御信号生成器67に接続されている。

[0153] 図26Aは、画素動作切替器101がオフ状態のときの回路図である。図26Aの第1制御信号生成器67は、スイッチ101aを介して基準電圧（

接地) ノードと接続されるとともに、スイッチ 101b を介して基準電圧 (接地) ノードと接続される。第 1 制御信号生成器 67 には、スイッチ 101a 及び 101b を介して、それぞれオフレベルの信号が入力される。これにより、第 1 制御信号生成器 67 は、第 1 量子化器 63 のイベント検出信号 COMP の信号レベルによらず、ハイレベルの第 1 制御信号 V_{cont1} を出力する。

[0154] 図 26B は、画素動作切替器 101 がオン状態のときの回路図である。図 26B の第 1 制御信号生成器 67 は、スイッチ 101a を介してインバータ K1 と接続されるとともに、スイッチ 101b を介してトランジスタ Q13 のドレインと接続される。第 1 制御信号生成器 67 には、スイッチ 101a を介してイベント検出信号 COMP+ が入力されるとともに、スイッチ 101b を介してイベント検出信号 COMP- が入力される。これにより、第 1 制御信号生成器 67 は、図 11A と同様に第 1 画素 52 でイベントが検出されるときに、ハイレベルの第 1 制御信号 V_{cont1} を出力する。

[0155] 図 26A 及び 26B に示す第 1 制御信号生成器 67 は、イベントが検出されたとき、又はスイッチ 101a 及び 101b がオフ状態のときに、ハイレベルの第 1 制御信号 V_{cont1} を出力する。

[0156] このように、第 8 の実施形態においては、第 1 画素回路 62 に画素動作切替器 101 を備えている。画素動作切替器 101 が、例えばオフ状態のときには、第 1 画素 52 がイベントを検出するか否かによらず、第 2 画素 53 はイベントを検出する。画素動作切替器 101 が、例えばオン状態のときには、第 1 画素 52 がイベントを検出した後に、第 2 画素 53 はイベントを検出する。画素動作切替器 101 により、第 2 画素 53 が第 1 画素 52 と対応づけられるか、又は図 5A の画素 40 と同様に常にイベントを検出するかを、切り替えることができる。画素動作切替器 101 は、第 1 ~ 7 の実施形態いずれにも適用できる。これにより、必要に応じて、第 1 画素領域 71 と第 2 画素領域 72 内の全画素でイベントを検出することができる。

[0157] (第 9 の実施形態)

第1～第7の実施形態では、第1画素領域でのイベント検出結果に基づいて第2画素領域でイベントを検出するか否かを切り替えている。第9の実施形態は、画素アレイ部50内の2以上の画素を含む画素群を単位とし、画素群ごとに、画素群内の任意の一つを第1画素52として使用し、残りの画素40を第2画素53として使用するものであり、必要に応じて、画素群内の第1画素52を変更できるようにしたことを特徴とする。

[0158] 図27Aは、画素群を構成する画素A、B、C、Dのうち画素Aを第1画素52とし、画素B、C、Dを第2画素53とする例を示す図である。すなわち、画素B、C、Dは、画素Aがイベントを検出した場合のみ、イベントを検出可能となる。

[0159] 一方、図27Bは、画素群を構成する画素A、B、C、Dのうち画素Bを第1画素52とし、画素A、C、Dを第2画素53とする例を示す図である。すなわち、画素A、C、Dは、画素Bがイベントを検出した場合のみ、イベントを検出可能となる。

[0160] このように、第9の実施形態における画素アレイ部50は、2以上の画素40からなる画素群ごとに、そのうちの1つを第1画素52とし、残りの画素を第2画素53とする。各画素群の第1画素52は必要に応じて切り替えることができる。以下では、図27A及び図27Bを実現するための具体的な構成を説明する。

[0161] 図28は、本開示の第9の実施形態における1つの画素群に含まれる2つの画素A、Bのブロック図である。画素群を構成する画素の数は任意であり、画素A、B以外の画素が画素群に含まれていてもよい。画素Aと画素Bはともに同じブロック構成を備えている。すなわち、画素Aと画素Bはともに、電流電圧変換回路42、バッファ43と、微分回路44を備える。また、画素Aと画素Bはそれぞれ同じ構成の、量子化器66A及び66Bと、画素動作切替器101A及び101Bと、制御信号生成器67A及び67Bとを備える。

[0162] 図25では、第1画素52内の第1制御信号生成器67から出力された第

1 制御信号 V_{cont1} により、第2画素53でイベント検出を行うか否かを切り替えている。これに対して、図28の画素動作切替器101A、101Bは、自画素を第1画素52として用いるか、あるいは、第2画素53として用いるかを任意に切替可能としている。

[0163] 図25では、第1画素52内の第1量子化器63の後段側に画素動作切替器101と第1制御信号生成器67を配置しているが、図28では、各画素の量子化器45A及び45Bの前段側に制御信号生成器67A及び67Bと、画素動作切替器101A及び101Bを配置している。

[0164] 画素A内の制御信号生成器67Aは、画素動作切替器101Aの切替に応じた第1制御信号 V_{cont1} を画素A内の量子化器66Aに入力する。量子化器66Aから出力されたイベント検出信号COMPは、後段の回路に送られるとともに、画素B内の画素動作切替器101Bに入力される。同様に、画素B内の制御信号生成器67Bは、画素動作切替器101Bの切替に応じた第1制御信号 V_{cont1} を画素B内の量子化器66Bに入力する。量子化器66Bから出力されたイベント検出信号COMPは、後段の回路に送られるとともに、画素A内の画素動作切替器101Aに入力される。なお、量子化器66A、66Bがイベントの極性を検出する場合は、量子化器66A、66Bはイベント検出信号COMP+、COMP-を出力する。

[0165] 画素A内の画素動作切替器101Aと画素B内の画素動作切替器101Bを同期して切り替えることで、画素Aと画素Bのいずれか一方は第1画素52として動作し、他方は第2画素53として動作する。

[0166] 図29Aは、画素Aを第1画素52として動作させ、画素Bを第2画素53として動作させる場合の画素A、B内の量子化器66A及び66B、画素動作切替器101A及び101B、制御信号生成器67A及び67Bの回路図である。

[0167] 画素B内の画素動作切替器101Bにおけるスイッチ101a、101bは、画素Aの量子化器66Aから出力されるイベント検出信号COMP+、COMP-を、制御信号生成器67BのNAND回路の2つの入力ノードに

入力する。これにより、制御信号生成器 6 7 B から出力される第 1 制御信号 V_{cont1} は、イベント検出信号 $COMP+$ 、 $COMP-$ のいずれかがローレベルになったときにハイレベルになる。画素 B 内の量子化器 6 6 B は、画素 A でイベントが検出された場合に限り、イベントの検出が可能となる。すなわち、画素 B は第 2 画素 5 3 として動作する。

[0168] 一方、画素 A 内の画素動作切替器 1 0 1 A におけるスイッチ 1 0 1 a、1 0 1 b は接地ノード側に接続されており、制御信号生成器 6 7 A の NAND 回路の 2 つの入力ノードはローレベルになる。よって、画素 A 内の制御信号生成器 6 7 A から出力される第 1 制御信号 V_{cont1} は、画素 B でイベントを検出するか否かに関係なく、ハイレベルになる。よって、画素 A は、常にイベントを検出可能となる。すなわち、画素 A は、第 1 画素 5 2 として動作する。

[0169] 図 2 9 B は、画素 B を第 1 画素 5 2 として動作させ、画素 A を第 2 画素 5 3 として動作させる場合の量子化器 6 6 A 及び 6 6 B、画素動作切替器 1 0 1 A 及び 1 0 1 B、制御信号生成器 6 7 A 及び 6 7 B の回路図である。

[0170] 画素 A 内の画素動作切替器 1 0 1 A におけるスイッチ 1 0 1 a、1 0 1 b は、画素 B の量子化器 6 6 B から出力されるイベント検出信号 $COMP+$ 、 $COMP-$ を、制御信号生成器 6 7 A の NAND 回路の 2 つの入力ノードに入力する。これにより、制御信号生成器 6 7 A から出力される第 1 制御信号 V_{cont1} は、イベント検出信号 $COMP+$ 、 $COMP-$ のいずれかがローレベルになったときにハイレベルになる。画素 A 内の量子化器 6 6 A は、画素 B でイベントが検出された場合に限り、イベントの検出が可能となる。すなわち、画素 A は第 2 画素 5 3 として動作する。

[0171] 一方、画素 B 内の画素動作切替器 1 0 1 B におけるスイッチ 1 0 1 a、1 0 1 b は接地ノード側に接続されており、制御信号生成器 6 7 B の NAND 回路の 2 つの入力ノードはローレベルになる。よって、画素 B 内の制御信号生成器 6 7 B から出力される第 1 制御信号 V_{cont1} は、画素 A でイベントを検出するか否かに関係なく、ハイレベルになる。よって、画素 B は、常にイベ

ントを検出可能となる。すなわち、画素Bは、第1画素52として動作する。

[0172] 図30は、図27Aを実現するための回路図である。図30には、画素A、B、C、Dの各画素回路内の量子化器66A、66B、66C、66Dと、制御信号生成器67A、67B、67C、67Dと、画素動作切替器101A、101B、101C、101Dが図示されている。

[0173] 図30では、図28と同様に、各画素の量子化器66A～66Dの前段側に制御信号生成器67A～67Dと、画素動作切替器101A～101Dを配置している。制御信号生成器67A～67Dと、画素動作切替器101A～101Dは、自画素を第1画素52として用いるか、あるいは、第2画素53として用いるかを任意に切替可能としている。

[0174] 画素動作切替器101A～101Dは、それぞれ2つのスイッチ101a、101bを有する。画素動作切替器101A～101D内のスイッチ101a、101bの各一端は、制御信号生成器67A～67D内のNAND回路に接続されている。

[0175] 図30では、画素Aの画素動作切替器101Aにおけるスイッチ101a、101bは接地ノード側に接続されている。これにより、NAND回路の出力はハイレベルになり、量子化器66Aは常にイベントを検出可能である。すなわち、画素Aは、第1画素52として動作する。

[0176] 一方、画素B～Dの画素動作切替器101B～101Dにおけるスイッチ101a、101bは、量子化器45Aから出力されるイベント検出信号COMP+、COMP-を制御信号生成器67B～67DのNAND回路の2つの入力ノードに入力する。これにより、量子化器66Aがイベントを検出した場合に限り、NAND回路の出力はハイレベルになり、量子化器66B～66Dはイベントを検出可能になる。すなわち、画素B～Dは、第2画素53として動作する。

[0177] また、図30の量子化器66A～66Dによって、図27Bを実現することもできる。すなわち、画素Bを第1画素52とし、残りの3つの画素A、

C、Dを第2画素53とすることもできる。その場合は、画素動作切替器101Bにおけるスイッチ101a、101bを接地ノード側に接続する必要がある。また、画素動作切替器101A、101C、101Dにおけるスイッチ101a、101bは、量子化器66Bから出力されるイベント検出信号COMP+、COMP-を制御信号生成器67A、67C、67DのNAND回路の2つの入力ノードに入力する必要がある。同様に、画素C又はDが第1画素52になることも可能である。

[0178] このように、第9の実施形態では、画素アレイ部50内の2以上の画素40からなる画素群ごとに、画素群内の任意の1画素を第1画素52とし、残りを第2画素53とすることができるため、どの画素40で最初にイベントを検出するかを任意に設定できる。これにより、入射光の移動方向に合わせて臨機応変に第1画素52と第2画素53の画素位置を調整できる。

[0179] (応用例)

本開示に係る技術は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット、建設機械、農業機械（トラクター）などのいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0180] 図31は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システム7000の概略的な構成例を示すブロック図である。車両制御システム7000は、通信ネットワーク7010を介して接続された複数の電子制御ユニットを備える。図31に示した例では、車両制御システム7000は、駆動系制御ユニット7100、ボディ系制御ユニット7200、バッテリー制御ユニット7300、車外情報検出ユニット7400、車内情報検出ユニット7500、及び統合制御ユニット7600を備える。これらの複数の制御ユニットを接続する通信ネットワーク7010は、例えば、CAN (Controller Area Network)、LIN (Local Interconnect Network)、LAN (Local Area Network) 又はFlexRay (登録商標

）等の任意の規格に準拠した車載通信ネットワークであってよい。

[0181] 各制御ユニットは、各種プログラムにしたがって演算処理を行うマイクロコンピュータと、マイクロコンピュータにより実行されるプログラム又は各種演算に用いられるパラメータ等を記憶する記憶部と、各種制御対象の装置を駆動する駆動回路とを備える。各制御ユニットは、通信ネットワーク 7010 を介して他の制御ユニットとの間で通信を行うためのネットワーク I/F を備えるとともに、車内外の装置又はセンサ等との間で、有線通信又は無線通信により通信を行うための通信 I/F を備える。図 31 では、統合制御ユニット 7600 の機能構成として、マイクロコンピュータ 7610、汎用通信 I/F 7620、専用通信 I/F 7630、測位部 7640、ビーコン受信部 7650、車内機器 I/F 7660、音声画像出力部 7670、車載ネットワーク I/F 7680 及び記憶部 7690 が図示されている。他の制御ユニットも同様に、マイクロコンピュータ、通信 I/F 及び記憶部等を備える。

[0182] 駆動系制御ユニット 7100 は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット 7100 は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。駆動系制御ユニット 7100 は、ABS (Antilock Brake System) 又は ESC (Electronic Stability Control) 等の制御装置としての機能を有してもよい。

[0183] 駆動系制御ユニット 7100 には、車両状態検出部 7110 が接続される。車両状態検出部 7110 には、例えば、車体の軸回転運動の角速度を検出するジャイロセンサ、車両の加速度を検出する加速度センサ、あるいは、アクセルペダルの操作量、ブレーキペダルの操作量、ステアリングホイールの操舵角、エンジン回転数又は車輪の回転速度等を検出するためのセンサのうちの少なくとも一つが含まれる。駆動系制御ユニット 7100 は、車両状態

検出部 7110 から入力される信号を用いて演算処理を行い、内燃機関、駆動用モータ、電動パワーステアリング装置又はブレーキ装置等を制御する。

[0184] ボディ系制御ユニット 7200 は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット 7200 は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグラмп等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット 7200 には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット 7200 は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0185] バッテリ制御ユニット 7300 は、各種プログラムにしたがって駆動用モータの電力供給源である二次電池 7310 を制御する。例えば、バッテリ制御ユニット 7300 には、二次電池 7310 を備えたバッテリ装置から、バッテリ温度、バッテリ出力電圧又はバッテリの残存容量等の情報が入力される。バッテリ制御ユニット 7300 は、これらの信号を用いて演算処理を行い、二次電池 7310 の温度調節制御又はバッテリ装置に備えられた冷却装置等の制御を行う。

[0186] 車外情報検出ユニット 7400 は、車両制御システム 7000 を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット 7400 には、撮像部 7410 及び車外情報検出部 7420 のうちの少なくとも一方が接続される。撮像部 7410 には、ToF (Time of Flight) カメラ、ステレオカメラ、単眼カメラ、赤外線カメラ及びその他のカメラのうちの少なくとも一つが含まれる。車外情報検出部 7420 には、例えば、現在の天候又は気象を検出するための環境センサ、あるいは、車両制御システム 7000 を搭載した車両の周囲の他の車両、障害物又は歩行者等を検出するための周囲情報検出センサのうちの少なくとも一つが含まれる。

[0187] 環境センサは、例えば、雨天を検出する雨滴センサ、霧を検出する霧セン

サ、日照度合いを検出する日照センサ、及び降雪を検出する雪センサのうちの少なくとも一つであってよい。周囲情報検出センサは、超音波センサ、レーダ装置及びL I D A R (Light Detection and Ranging, Laser Imaging Detection and Ranging) 装置のうちの少なくとも一つであってよい。これらの撮像部7410及び車外情報検出部7420は、それぞれ独立したセンサないし装置として備えられてもよいし、複数のセンサないし装置が統合された装置として備えられてもよい。

[0188] ここで、図32は、撮像部7410及び車外情報検出部7420の設置位置の例を示す。撮像部7910, 7912, 7914, 7916, 7918は、例えば、車両7900のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部のうちの少なくとも一つの位置に設けられる。フロントノーズに備えられる撮像部7910及び車室内のフロントガラスの上部に備えられる撮像部7918は、主として車両7900の前方の画像を取得する。サイドミラーに備えられる撮像部7912, 7914は、主として車両7900の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部7916は、主として車両7900の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部7918は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0189] なお、図32には、それぞれの撮像部7910, 7912, 7914, 7916の撮影範囲の一例が示されている。撮像範囲aは、フロントノーズに設けられた撮像部7910の撮像範囲を示し、撮像範囲b, cは、それぞれサイドミラーに設けられた撮像部7912, 7914の撮像範囲を示し、撮像範囲dは、リアバンパ又はバックドアに設けられた撮像部7916の撮像範囲を示す。例えば、撮像部7910, 7912, 7914, 7916で撮像された画像データが重ね合わせられることにより、車両7900を上方から見た俯瞰画像が得られる。

[0190] 車両7900のフロント、リア、サイド、コーナ及び車室内のフロントガ

ラスの上部に設けられる車外情報検出部 7920, 7922, 7924, 7926, 7928, 7930 は、例えば超音波センサ又はレーダ装置であってよい。車両 7900 のフロントノーズ、リアバンパ、バックドア及び車室内のフロントガラスの上部に設けられる車外情報検出部 7920, 7926, 7930 は、例えば L I D A R 装置であってよい。これらの車外情報検出部 7920 ~ 7930 は、主として先行車両、歩行者又は障害物等の検出に用いられる。

[0191] 図 31 に戻って説明を続ける。車外情報検出ユニット 7400 は、撮像部 7410 に車外の画像を撮像させるとともに、撮像された画像データを受信する。また、車外情報検出ユニット 7400 は、接続されている車外情報検出部 7420 から検出情報を受信する。車外情報検出部 7420 が超音波センサ、レーダ装置又は L I D A R 装置である場合には、車外情報検出ユニット 7400 は、超音波又は電磁波等を発信させるとともに、受信された反射波の情報を受信する。車外情報検出ユニット 7400 は、受信した情報に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。車外情報検出ユニット 7400 は、受信した情報に基づいて、降雨、霧又は路面状況等を認識する環境認識処理を行ってもよい。車外情報検出ユニット 7400 は、受信した情報に基づいて、車外の物体までの距離を算出してもよい。

[0192] また、車外情報検出ユニット 7400 は、受信した画像データに基づいて、人、車、障害物、標識又は路面上の文字等を認識する画像認識処理又は距離検出処理を行ってもよい。車外情報検出ユニット 7400 は、受信した画像データに対して歪補正又は位置合わせ等の処理を行うとともに、異なる撮像部 7410 により撮像された画像データを合成して、俯瞰画像又はパノラマ画像を生成してもよい。車外情報検出ユニット 7400 は、異なる撮像部 7410 により撮像された画像データを用いて、視点変換処理を行ってもよい。

[0193] 車内情報検出ユニット 7500 は、車内の情報を検出する。車内情報検出

ユニット 7500 には、例えば、運転者の状態を検出する運転者状態検出部 7510 が接続される。運転者状態検出部 7510 は、運転者を撮像するカメラ、運転者の生体情報を検出する生体センサ又は車室内の音声を集音するマイク等を含んでもよい。生体センサは、例えば、座面又はステアリングホイール等に設けられ、座席に座った搭乗者又はステアリングホイールを握る運転者の生体情報を検出する。車内情報検出ユニット 7500 は、運転者状態検出部 7510 から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。車内情報検出ユニット 7500 は、集音された音声信号に対してノイズキャンセリング処理等の処理を行ってもよい。

[0194] 統合制御ユニット 7600 は、各種プログラムにしたがって車両制御システム 7000 内の動作全般を制御する。統合制御ユニット 7600 には、入力部 7800 が接続されている。入力部 7800 は、例えば、タッチパネル、ボタン、マイクロフォン、スイッチ又はレバー等、搭乗者によって入力操作され得る装置によって実現される。統合制御ユニット 7600 には、マイクロフォンにより入力される音声を音声認識することにより得たデータが入力されてもよい。入力部 7800 は、例えば、赤外線又はその他の電波を利用したリモートコントロール装置であってもよいし、車両制御システム 7000 の操作に対応した携帯電話又は PDA (Personal Digital Assistant) 等の外部接続機器であってもよい。入力部 7800 は、例えばカメラであってもよく、その場合搭乗者はジェスチャにより情報を入力することができる。あるいは、搭乗者が装着したウェアラブル装置の動きを検出することで得られたデータが入力されてもよい。さらに、入力部 7800 は、例えば、上記の入力部 7800 を用いて搭乗者等により入力された情報に基づいて入力信号を生成し、統合制御ユニット 7600 に出力する入力制御回路などを含んでもよい。搭乗者等は、この入力部 7800 を操作することにより、車両制御システム 7000 に対して各種のデータを入力したり処理動作を指示したりする。

- [0195] 記憶部 7690 は、マイクロコンピュータにより実行される各種プログラムを記憶する ROM (Read Only Memory)、及び各種パラメータ、演算結果又はセンサ値等を記憶する RAM (Random Access Memory) を含んでもよい。また、記憶部 7690 は、HDD (Hard Disc Drive) 等の磁気記憶デバイス、半導体記憶デバイス、光記憶デバイス又は光磁気記憶デバイス等によって実現してもよい。
- [0196] 汎用通信 I/F 7620 は、外部環境 7750 に存在する様々な機器との間の通信を仲介する汎用的な通信 I/F である。汎用通信 I/F 7620 は、GSM (登録商標) (Global System of Mobile communications)、WiMAX (登録商標)、LTE (登録商標) (Long Term Evolution) 若しくは LTE-A (LTE-Advanced) などのセルラー通信プロトコル、又は無線 LAN (Wi-Fi (登録商標) ともいう)、Bluetooth (登録商標) などのその他の無線通信プロトコルを実装してよい。汎用通信 I/F 7620 は、例えば、基地局又はアクセスポイントを介して、外部ネットワーク (例えば、インターネット、クラウドネットワーク又は事業者固有のネットワーク) 上に存在する機器 (例えば、アプリケーションサーバ又は制御サーバ) へ接続してもよい。また、汎用通信 I/F 7620 は、例えば P2P (Peer To Peer) 技術を用いて、車両の近傍に存在する端末 (例えば、運転者、歩行者若しくは店舗の端末、又は MTC (Machine Type Communication) 端末) と接続してもよい。
- [0197] 専用通信 I/F 7630 は、車両における使用を目的として策定された通信プロトコルをサポートする通信 I/F である。専用通信 I/F 7630 は、例えば、下位レイヤの IEEE 802.11p と上位レイヤの IEEE 1609 との組合せである WAVE (Wireless Access in Vehicle Environment)、DSRC (Dedicated Short Range Communications)、又はセルラー通信プロトコルといった標準プロトコルを実装してよい。専用通信 I/F 7630 は、典型的には、車車間 (Vehicle to Vehicle) 通信、路車間 (Vehicle to Infrastructure) 通信、車両と家との間 (Vehicle to H

ome) の通信及び歩車間 (Vehicle to Pedestrian) 通信のうちの1つ以上を含む概念であるV2X通信を遂行する。

[0198] 測位部7640は、例えば、GNSS (Global Navigation Satellite System) 衛星からのGNSS信号 (例えば、GPS (Global Positioning System) 衛星からのGPS信号) を受信して測位を実行し、車両の緯度、経度及び高度を含む位置情報を生成する。なお、測位部7640は、無線アクセスポイントとの信号の交換により現在位置を特定してもよく、又は測位機能を有する携帯電話、PHS若しくはスマートフォンといった端末から位置情報を取得してもよい。

[0199] ビーコン受信部7650は、例えば、道路上に設置された無線局等から発信される電波あるいは電磁波を受信し、現在位置、渋滞、通行止め又は所要時間等の情報を取得する。なお、ビーコン受信部7650の機能は、上述した専用通信I/F7630に含まれてもよい。

[0200] 車内機器I/F7660は、マイクロコンピュータ7610と車内に存在する様々な車内機器7760との間の接続を仲介する通信インタフェースである。車内機器I/F7660は、無線LAN、Bluetooth (登録商標)、NFC (Near Field Communication) 又はWUSB (Wireless USB) といった無線通信プロトコルを用いて無線接続を確立してもよい。また、車内機器I/F7660は、図示しない接続端子 (及び、必要であればケーブル) を介して、USB (Universal Serial Bus)、HDMI (登録商標) (High-Definition Multimedia Interface、又はMHL (Mobile High-definition Link) 等の有線接続を確立してもよい。車内機器7760は、例えば、搭乗者が有するモバイル機器若しくはウェアラブル機器、又は車両に搬入され若しくは取り付けられる情報機器のうちの少なくとも1つを含んでいてもよい。また、車内機器7760は、任意の目的地までの経路探索を行うナビゲーション装置を含んでいてもよい。車内機器I/F7660は、これらの車内機器7760との間で、制御信号又はデータ信号を交換する。

- [0201] 車載ネットワーク I / F 7 6 8 0 は、マイクロコンピュータ 7 6 1 0 と通信ネットワーク 7 0 1 0 との間の通信を仲介するインタフェースである。車載ネットワーク I / F 7 6 8 0 は、通信ネットワーク 7 0 1 0 によりサポートされる所定のプロトコルに則して、信号等を送受信する。
- [0202] 統合制御ユニット 7 6 0 0 のマイクロコンピュータ 7 6 1 0 は、汎用通信 I / F 7 6 2 0、専用通信 I / F 7 6 3 0、測位部 7 6 4 0、ビーコン受信部 7 6 5 0、車内機器 I / F 7 6 6 0 及び車載ネットワーク I / F 7 6 8 0 のうちの少なくとも一つを介して取得される情報に基づき、各種プログラムにしたがって、車両制御システム 7 0 0 0 を制御する。例えば、マイクロコンピュータ 7 6 1 0 は、取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット 7 1 0 0 に対して制御指令を出力してもよい。例えば、マイクロコンピュータ 7 6 1 0 は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含む A D A S (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行ってもよい。また、マイクロコンピュータ 7 6 1 0 は、取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行ってもよい。
- [0203] マイクロコンピュータ 7 6 1 0 は、汎用通信 I / F 7 6 2 0、専用通信 I / F 7 6 3 0、測位部 7 6 4 0、ビーコン受信部 7 6 5 0、車内機器 I / F 7 6 6 0 及び車載ネットワーク I / F 7 6 8 0 のうちの少なくとも一つを介して取得される情報に基づき、車両と周辺の構造物や人物等の物体との間の 3 次元距離情報を生成し、車両の現在位置の周辺情報を含むローカル地図情報を作成してもよい。また、マイクロコンピュータ 7 6 1 0 は、取得される情報に基づき、車両の衝突、歩行者等の近接又は通行止めの道路への進入等の危険を予測し、警告用信号を生成してもよい。警告用信号は、例えば、警告音を発生させたり、警告ランプを点灯させたりするための信号であってよ

い。

[0204] 音声画像出力部 7670 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図 31 の例では、出力装置として、オーディオスピーカ 7710、表示部 7720 及びインストルメントパネル 7730 が例示されている。表示部 7720 は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。表示部 7720 は、AR (Augmented Reality) 表示機能を有していてもよい。出力装置は、これらの装置以外の、ヘッドホン、搭乗者が装着する眼鏡型ディスプレイ等のウェアラブルデバイス、プロジェクタ又はランプ等の他の装置であってもよい。出力装置が表示装置の場合、表示装置は、マイクロコンピュータ 7610 が行った各種処理により得られた結果又は他の制御ユニットから受信された情報を、テキスト、イメージ、表、グラフ等、様々な形式で視覚的に表示する。また、出力装置が音声出力装置の場合、音声出力装置は、再生された音声データ又は音響データ等からなるオーディオ信号をアナログ信号に変換して聴覚的に出力する。

[0205] なお、図 31 に示した例において、通信ネットワーク 7010 を介して接続された少なくとも二つの制御ユニットが一つの制御ユニットとして一体化されてもよい。あるいは、個々の制御ユニットが、複数の制御ユニットにより構成されてもよい。さらに、車両制御システム 7000 が、図示されていない別の制御ユニットを備えてもよい。また、上記の説明において、いずれかの制御ユニットが担う機能の一部又は全部を、他の制御ユニットに持たせてもよい。つまり、通信ネットワーク 7010 を介して情報の送受信がされるようになっていけば、所定の演算処理が、いずれかの制御ユニットで行われるようになってもよい。同様に、いずれかの制御ユニットに接続されているセンサ又は装置が、他の制御ユニットに接続されるとともに、複数の制御ユニットが、通信ネットワーク 7010 を介して相互に検出情報を送受信してもよい。

[0206] なお、本技術は以下のような構成を取ることができる。

(1) 入射光の光量の変化量に基づくイベントの検出をそれぞれ行う複数の第1画素を含む第1画素領域と、

前記第1画素領域の近傍に配置され、前記複数の第1画素のうち前記イベントが検出された第1画素の周囲にて前記イベントの検出を行う第2画素を含む第2画素領域と、を備える、
光検出素子。

(2) 前記第1画素領域内の1つの前記第1画素に対して、前記第2画素領域内の1つ以上の前記第2画素が対応づけられ、

前記イベントが検出された前記第1画素に対応するすべての前記第2画素にて前記イベントの検出を行う、

(1)に記載の光検出素子。

(3) 前記第1画素領域内の前記複数の第1画素のそれぞれは、互いに交差する第1方向及び第2方向において、間に前記第1画素以外の画素を挟んで離隔して配置される、

(1)又は(2)に記載の光検出素子。

(4) 前記第1画素以外の画素は、前記第2画素を含む、

(3)に記載の光検出素子。

(5) 前記第1画素領域内の前記複数の第1画素は、互いに交差する第1方向及び第2方向に延びる第1環状画素領域内に配置される、

(1)又は(2)に記載の光検出素子。

(6) 前記第1画素領域及び前記第2画素領域を有し、前記第1方向及び前記第2方向に延びる画素アレイ部を備え、

前記第1環状画素領域は、前記画素アレイ部の外周側に配置される、

(5)に記載の光検出素子。

(7) 前記第2画素領域内の前記第2画素は、前記画素アレイ部内の前記第1環状画素領域よりも内側に配置される、

(6)に記載の光検出素子。

(8) 前記第2画素領域内の前記第2画素は、前記画素アレイ部内の前記第1環状画素領域よりも内側の第2環状画素領域内に配置される、

(6) 又は(7)に記載の光検出素子。

(9) 前記画素アレイ部の前記第2環状画素領域よりもさらに内側に配置され、2以上の前記第1画素が配置される第3環状画素領域を備える、

(8)に記載の光検出素子。

(10) 前記第1画素領域及び前記第2画素領域を有し、前記第1方向及び前記第2方向に延びる画素アレイ部を備え、

前記第1画素領域内の前記複数の第1画素は、前記第1方向又は前記第2方向に延びる複数のラインに沿って配置される、

(3)に記載の光検出素子。

(11) 前記第2画素領域内の前記第2画素は、前記複数のラインの合間に、前記複数のラインの延びる方向に沿って配置される、

(10)に記載の光検出素子。

(12) 前記第2画素領域の近傍に配置され、前記イベントが検出された前記第2画素の周囲にて前記イベントの検出を行う第3画素を含む第3画素領域を備える、

(1)乃至(11)のいずれか一項に記載の光検出素子。

(13) 前記第1画素のサイズは、前記第2画素のサイズより大きい、

(1)乃至(12)のいずれか一項に記載の光検出素子。

(14) 前記第1画素は、

入射光の光量に応じた電荷を蓄積する第1光電変換素子と、

前記電荷に基づいて前記イベントを検出する第1画素回路と、を有し、

前記第1画素回路は、前記イベントが検出されたときに前記イベントの検出信号とは別に所定の論理の第1制御信号を出力する第1制御信号生成器を有し、

前記第2画素は、

入射光の光量に応じた電荷を蓄積する第2光電変換素子と、

対応する前記第 1 画素内の前記第 1 制御信号が前記所定の論理のときに限って、前記第 2 光電変換素子に蓄積された前記電荷に基づいて前記イベントを検出する第 2 画素回路と、を有する、

(1) 乃至 (13) のいずれか一項に記載の光検出素子。

(15) 前記第 2 画素回路は、

前記第 2 光電変換素子に蓄積された前記電荷を電圧に変換する電荷電圧変換回路と、

前記電荷電圧変換回路で変換された電圧の変化に応じた微分信号を生成する微分回路と、

前記微分信号の信号レベルを閾値と比較する比較動作を行った結果に基づいて前記イベントの検出信号を生成する量子化器と、を有し、

前記量子化器は、対応する前記第 1 画素内の前記第 1 制御信号が前記所定の論理のときに限って、前記比較動作を行う、

(14) に記載の光検出素子。

(16) 複数の前記第 1 画素のうち前記イベントが検出された前記第 1 画素の数と、複数の前記第 2 画素のうち前記イベントが検出された前記第 2 画素の数との少なくとも一方に応じて、前記閾値の電圧レベルを制御する閾値制御部をさらに備える、

(15) に記載の光検出素子。

(17) 前記第 1 画素回路は、入射光の光量が低い状態から高い状態に変化したことを検出する第 1 イベント、又は入射光の光量が高い状態から低い状態に変化したことを検出する第 2 イベントを出力し、

前記第 1 制御信号生成器は、前記第 1 画素回路から前記第 1 イベント又は前記第 2 イベントが出力されたときに、前記第 1 制御信号を前記所定の論理にする、

(14) 乃至 (16) のいずれか一項に記載の光検出素子。

(18) 前記第 1 画素回路は、前記第 1 画素回路で前記イベントが検出されるか否かにかかわらず前記第 1 制御信号生成器から前記所定の論理の前記

第1制御信号を出力させるか、又は前記第1画素回路で前記イベントが検出されたときに限って前記第1制御信号生成器から前記所定の論理の前記第1制御信号を出力させる画素動作切替器を有する、

(14)乃至(17)のいずれか一項に記載の光検出素子。

(19)前記画素アレイ部内の各画素は、前記画素アレイ部内の2以上の画素を含む画素群を単位として、前記画素群内の任意の1つの画素が前記第1画素となり、残りの画素が前記第2画素となるように、画素動作切替器を有する、

(6)乃至(11)のいずれか一項に記載の光検出素子。

(20)画像データを出力する光検出素子と、

前記画像データを記録する記録部と、を備える電子機器であって、

前記光検出素子は、

入射光の光量の変化量に基づくイベントの検出をそれぞれ行う複数の第1画素を含む第1画素領域と、

前記第1画素領域の近傍に配置され、前記複数の第1画素のうち前記イベントが検出された第1画素の周囲にて前記イベントの検出を行う第2画素を含む第2画素領域と、を有する、

電子機器。

[0207] 本開示の態様は、上述した個々の実施形態に限定されるものではなく、当業者が想到しうる種々の変形も含むものであり、本開示の効果も上述した内容に限定されない。すなわち、特許請求の範囲に規定された内容およびその均等物から導き出される本開示の概念的な思想と趣旨を逸脱しない範囲で種々の追加、変更および部分的削除が可能である。

符号の説明

[0208] 1 電子機器、2、2a 光検出素子、3 記録部、4 制御部、11 撮像レンズ、12 信号線、13 制御線、21 受光チップ、22 検出チップ、23 ピア配置部、24 受光部、31 光電変換素子、32 イベント検出部、33 行駆動回路、34 列駆動回路、35 信号処理回路、

40 画素、41、41a イベント検出回路、42 電流電圧変換回路、
43 バッファ、44 微分回路、45、45a 量子化器、46 対数応
答部、50、50a、50b、50c、50d、50e、50f 画素アレ
イ部、51 ノイズイベント、52、52a、52b 第1画素、52Lx
、53Lx 画素行、52Ly、53Ly 画素列、53、53a 第2画
素、54 第3画素、55 通常画素、61 第1光電変換素子、62 第
1画素回路、63、63a 第1量子化器、64 第2光電変換素子、65
第2画素回路、66、66a 第2量子化器、66A、66B、66C、
66D 量子化器、67、67a、67A、67B、67C、67D 制御
信号生成器、71 第1画素領域、71C、71C1、71C2、72C、
72C1、72C2、73C1、73C2、74C 画素環、72 第2画
素領域、73 第3画素領域、74 画素領域、82 第3光電変換素子、
83 第3画素回路、84 第3量子化器、85 第2制御信号生成器、8
6 第3制御信号生成器、91 閾値制御部、92、93 カウンタ、94
、95 差分検出器、96、97 閾値制御回路、101、101A、10
1B、101C、101D 画素動作切替器、101a、101b スイッ
チ

請求の範囲

- [請求項1] 入射光の光量の変化量に基づくイベントの検出をそれぞれ行う複数の第1画素を含む第1画素領域と、
前記第1画素領域の近傍に配置され、前記複数の第1画素のうち前記イベントが検出された第1画素の周囲にて前記イベントの検出を行う第2画素を含む第2画素領域と、を備える、
光検出素子。
- [請求項2] 前記第1画素領域内の1つの前記第1画素に対して、前記第2画素領域内の1つ以上の前記第2画素が対応づけられ、
前記イベントが検出された前記第1画素に対応するすべての前記第2画素にて前記イベントの検出を行う、
請求項1に記載の光検出素子。
- [請求項3] 前記第1画素領域内の前記複数の第1画素のそれぞれは、互いに交差する第1方向及び第2方向において、間に前記第1画素以外の画素を挟んで離隔して配置される、
請求項1に記載の光検出素子。
- [請求項4] 前記第1画素以外の画素は、前記第2画素を含む、
請求項3に記載の光検出素子。
- [請求項5] 前記第1画素領域内の前記複数の第1画素は、互いに交差する第1方向及び第2方向に延びる第1環状画素領域内に配置される、
請求項1に記載の光検出素子。
- [請求項6] 前記第1画素領域及び前記第2画素領域を有し、前記第1方向及び前記第2方向に延びる画素アレイ部を備え、
前記第1環状画素領域は、前記画素アレイ部の外周側に配置される、
請求項5に記載の光検出素子。
- [請求項7] 前記第2画素領域内の前記第2画素は、前記画素アレイ部内の前記第1環状画素領域よりも内側に配置される、

請求項 6 に記載の光検出素子。

[請求項8] 前記第 2 画素領域内の前記第 2 画素は、前記画素アレイ部内の前記第 1 環状画素領域よりも内側の第 2 環状画素領域内に配置される、請求項 6 に記載の光検出素子。

[請求項9] 前記画素アレイ部の前記第 2 環状画素領域よりもさらに内側に配置され、2 以上の前記第 1 画素が配置される第 3 環状画素領域を備える、請求項 8 に記載の光検出素子。

[請求項10] 前記第 1 画素領域及び前記第 2 画素領域を有し、前記第 1 方向及び前記第 2 方向に延びる画素アレイ部を備え、
前記第 1 画素領域内の前記複数の第 1 画素は、前記第 1 方向又は前記第 2 方向に延びる複数のラインに沿って配置される、請求項 3 に記載の光検出素子。

[請求項11] 前記第 2 画素領域内の前記第 2 画素は、前記複数のラインの合間に、前記複数のラインの延びる方向に沿って配置される、請求項 10 に記載の光検出素子。

[請求項12] 前記第 2 画素領域の近傍に配置され、前記イベントが検出された前記第 2 画素の周囲にて前記イベントの検出を行う第 3 画素を含む第 3 画素領域を備える、請求項 1 に記載の光検出素子。

[請求項13] 前記第 1 画素のサイズは、前記第 2 画素のサイズより大きい、請求項 1 に記載の光検出素子。

[請求項14] 前記第 1 画素は、
入射光の光量に応じた電荷を蓄積する第 1 光電変換素子と、
前記電荷に基づいて前記イベントを検出する第 1 画素回路と、を有し、
前記第 1 画素回路は、前記イベントが検出されたときに前記イベントの検出信号とは別に所定の論理の第 1 制御信号を出力する第 1 制御

信号生成器を有し、

前記第 2 画素は、

入射光の光量に応じた電荷を蓄積する第 2 光電変換素子と、

対応する前記第 1 画素内の前記第 1 制御信号が前記所定の論理のときに限って、前記第 2 光電変換素子に蓄積された前記電荷に基づいて前記イベントを検出する第 2 画素回路と、を有する、

請求項 1 に記載の光検出素子。

[請求項15]

前記第 2 画素回路は、

前記第 2 光電変換素子に蓄積された前記電荷を電圧に変換する電荷電圧変換回路と、

前記電荷電圧変換回路で変換された電圧の変化に応じた微分信号を生成する微分回路と、

前記微分信号の信号レベルを閾値と比較する比較動作を行った結果に基づいて前記イベントの検出信号を生成する量子化器と、を有し、

前記量子化器は、対応する前記第 1 画素内の前記第 1 制御信号が前記所定の論理のときに限って、前記比較動作を行う、

請求項 1 4 に記載の光検出素子。

[請求項16]

複数の前記第 1 画素のうち前記イベントが検出された前記第 1 画素の数と、複数の前記第 2 画素のうち前記イベントが検出された前記第 2 画素の数との少なくとも一方に応じて、前記閾値の電圧レベルを制御する閾値制御部をさらに備える、

請求項 1 5 に記載の光検出素子。

[請求項17]

前記第 1 画素回路は、入射光の光量が低い状態から高い状態に変化したことを検出する第 1 イベント、又は入射光の光量が高い状態から低い状態に変化したことを検出する第 2 イベントを出力し、

前記第 1 制御信号生成器は、前記第 1 画素回路から前記第 1 イベント又は前記第 2 イベントが出力されたときに、前記第 1 制御信号を前記所定の論理にする、

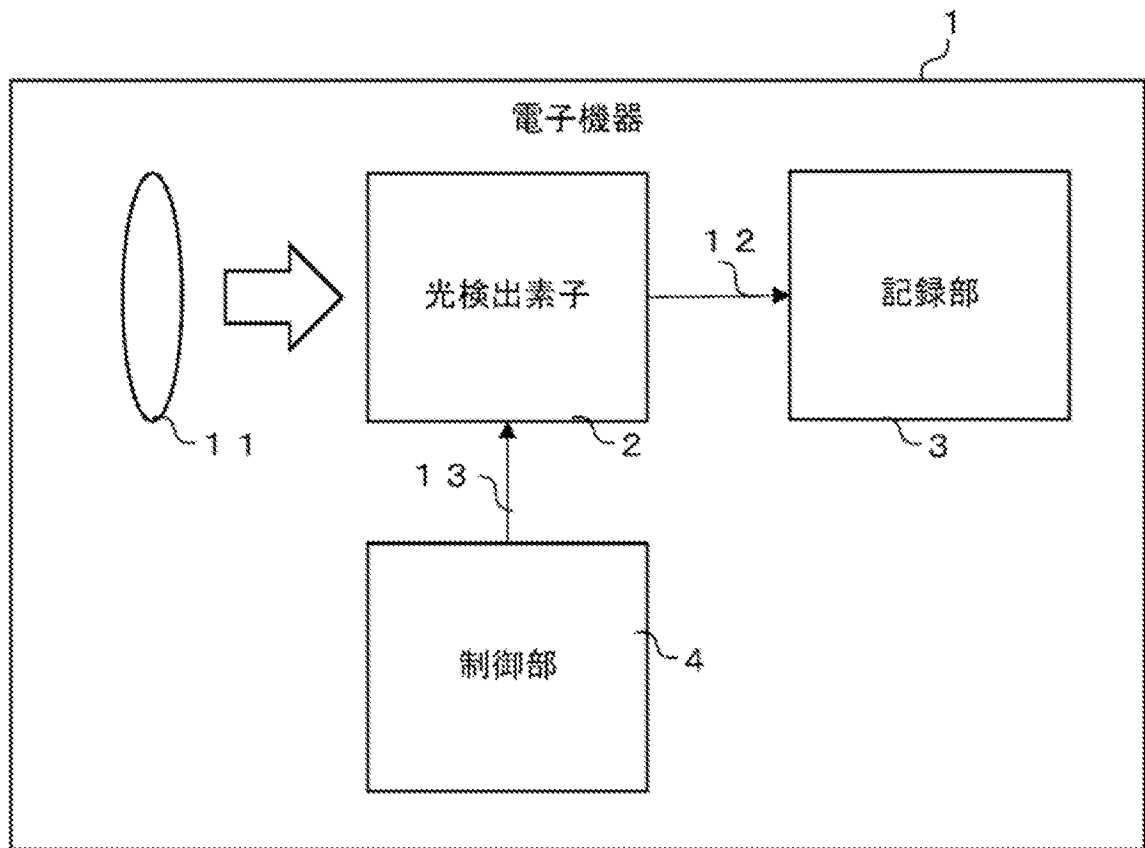
請求項 1 4 に記載の光検出素子。

[請求項18] 前記第 1 画素回路は、前記第 1 画素回路で前記イベントが検出されるか否かにかかわらず前記第 1 制御信号生成器から前記所定の論理の前記第 1 制御信号を出力させるか、又は前記第 1 画素回路で前記イベントが検出されたときに限って前記第 1 制御信号生成器から前記所定の論理の前記第 1 制御信号を出力させる画素動作切替器を有する、請求項 1 4 に記載の光検出素子。

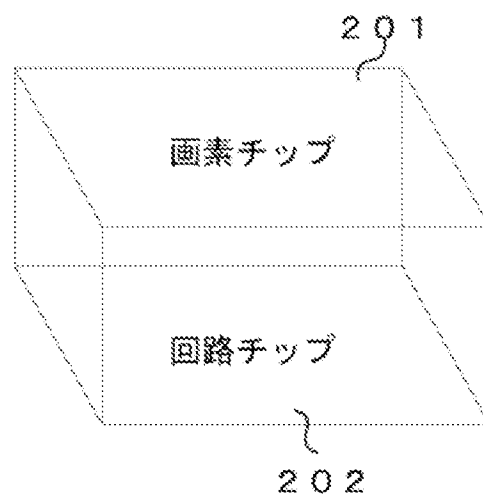
[請求項19] 前記画素アレイ部内の各画素は、前記画素アレイ部内の 2 以上の画素を含む画素群を単位として、前記画素群内の任意の 1 つの画素が前記第 1 画素となり、残りの画素が前記第 2 画素となるように、画素動作切替器を有する、請求項 6 に記載の光検出素子。

[請求項20] 画像データを出力する光検出素子と、
前記画像データを記録する記録部と、を備える電子機器であって、
前記光検出素子は、
入射光の光量の変化量に基づくイベントの検出をそれぞれ行う複数の第 1 画素を含む第 1 画素領域と、
前記第 1 画素領域の近傍に配置され、前記複数の第 1 画素のうち前記イベントが検出された第 1 画素の周囲にて前記イベントの検出を行う第 2 画素を含む第 2 画素領域と、を有する、
電子機器。

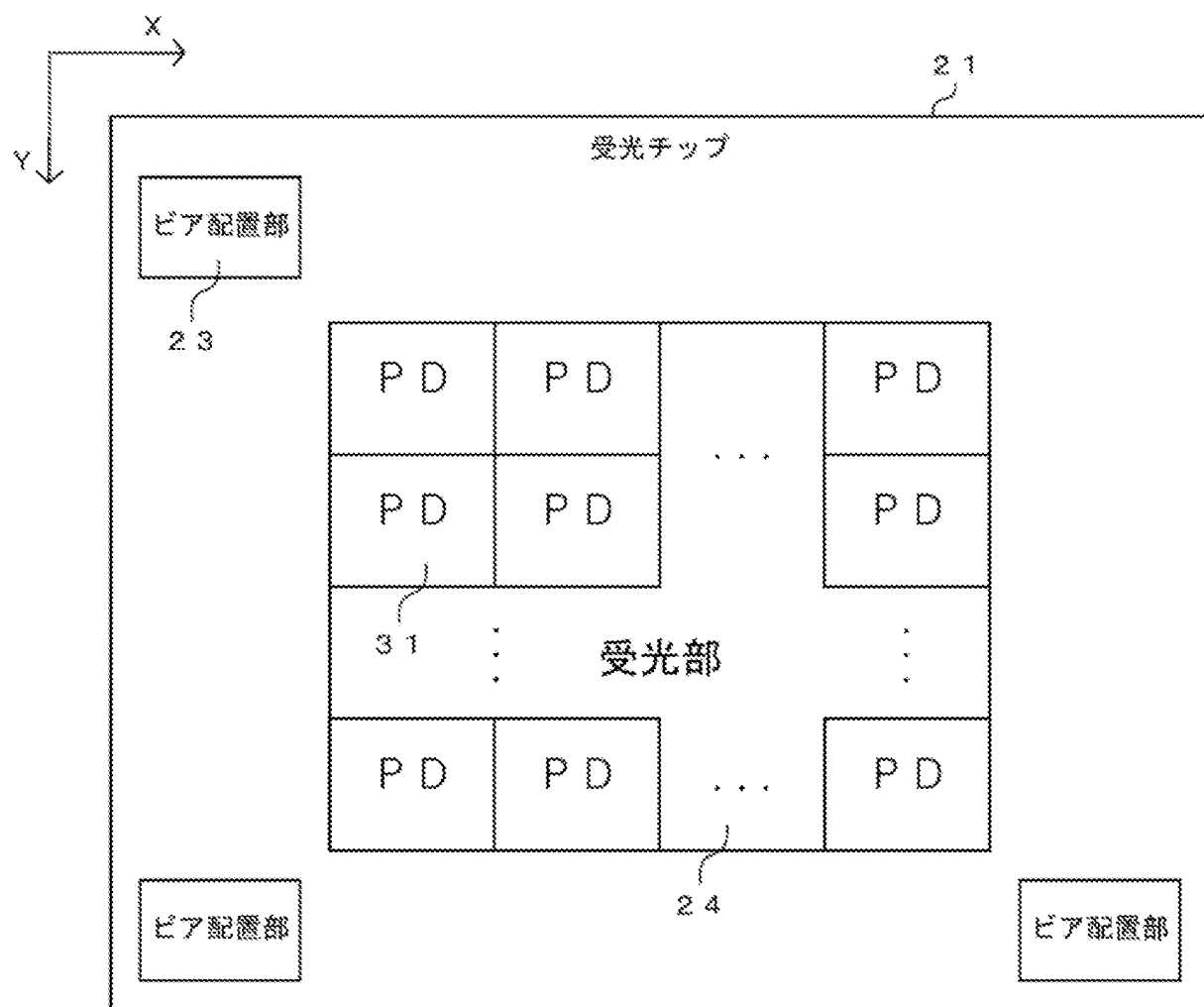
[図1]



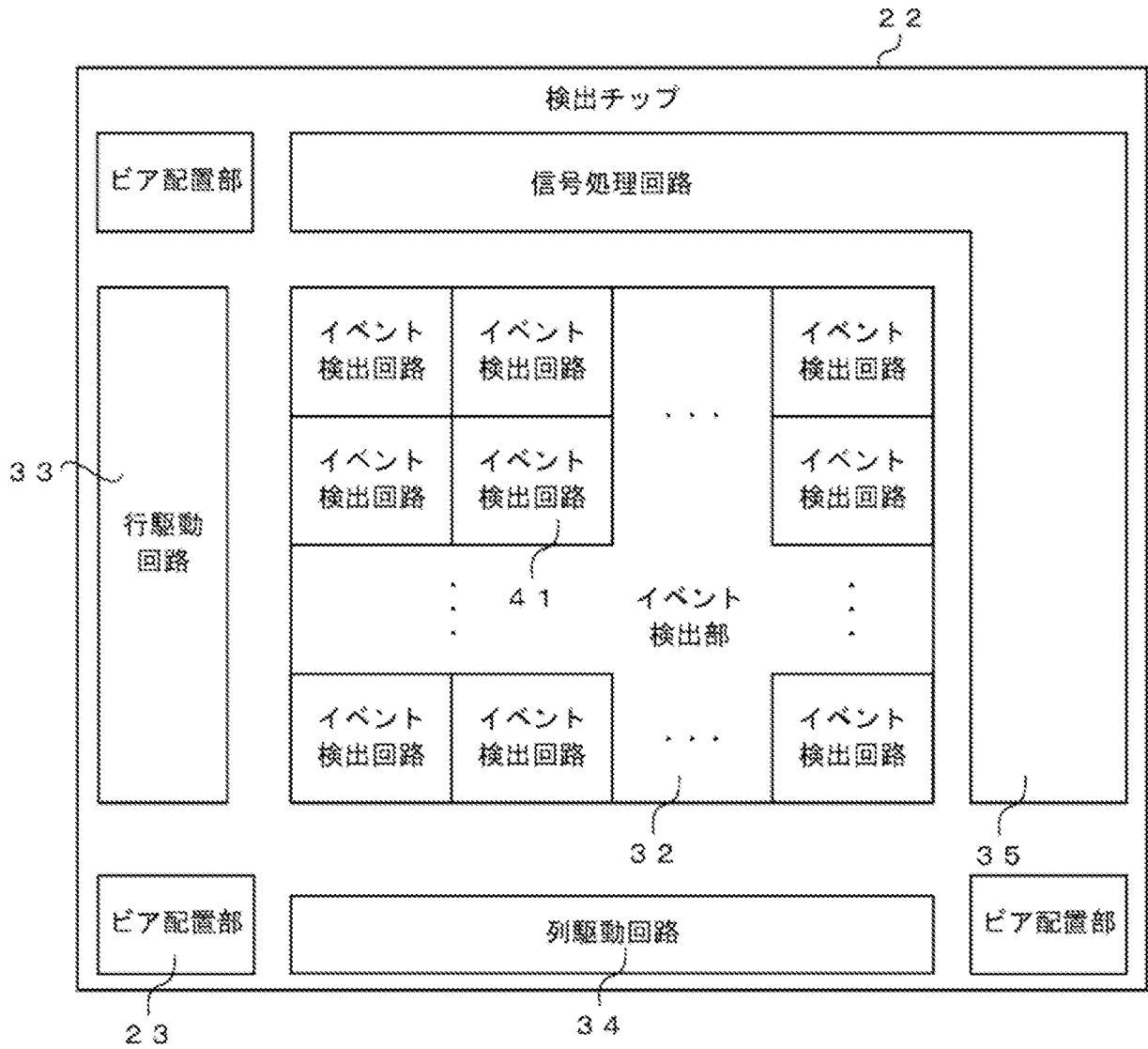
[図2]



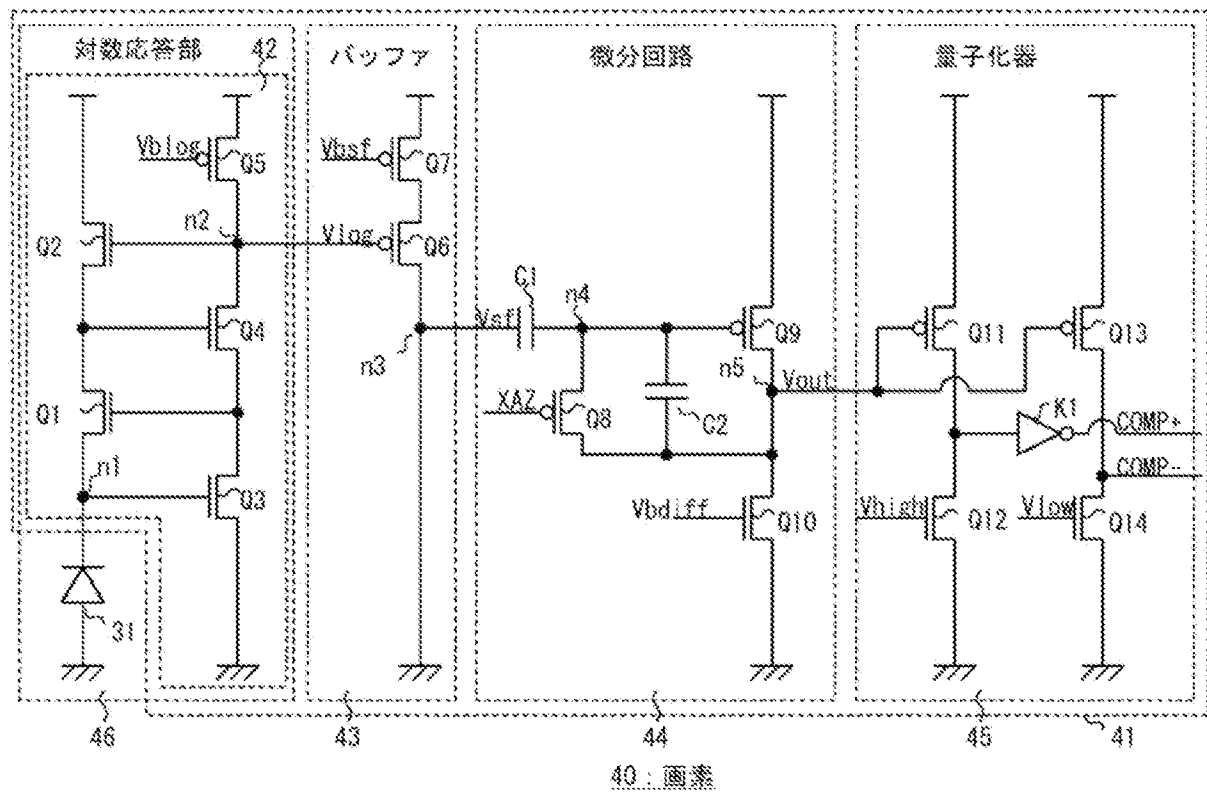
[図3]



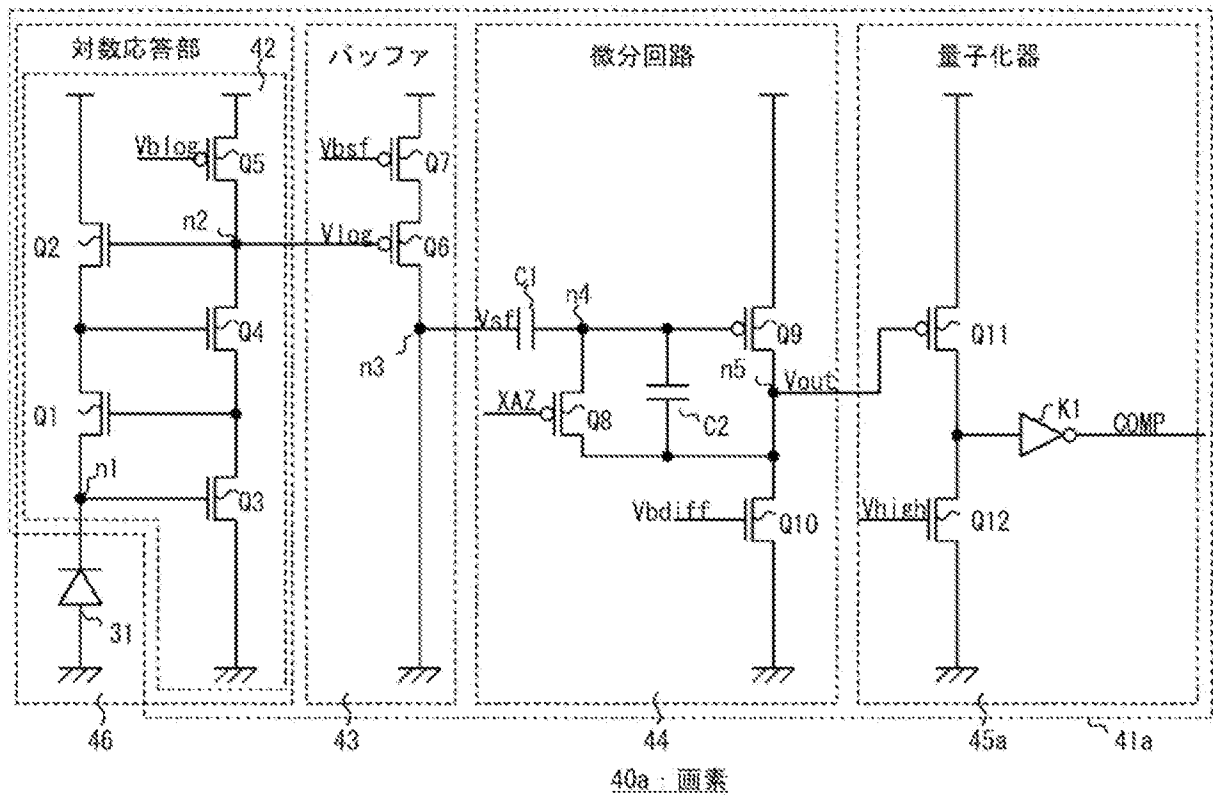
[図4]



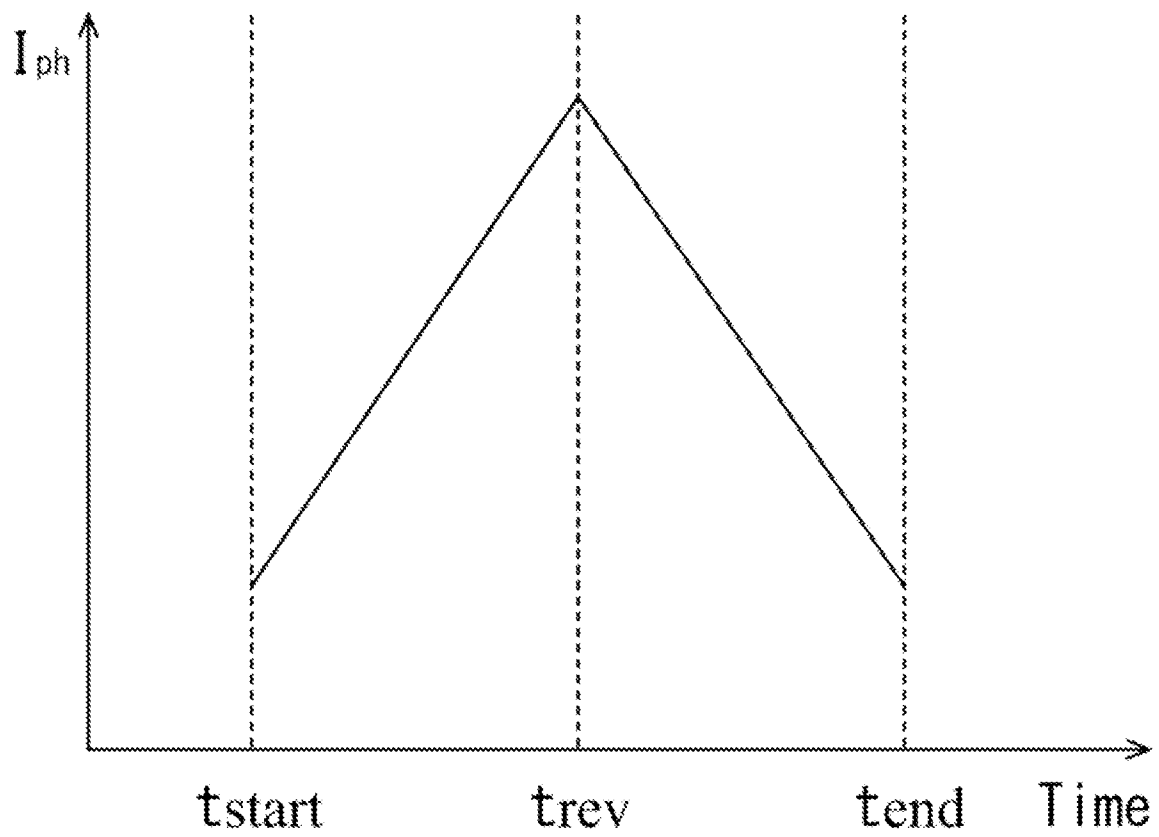
[図5A]



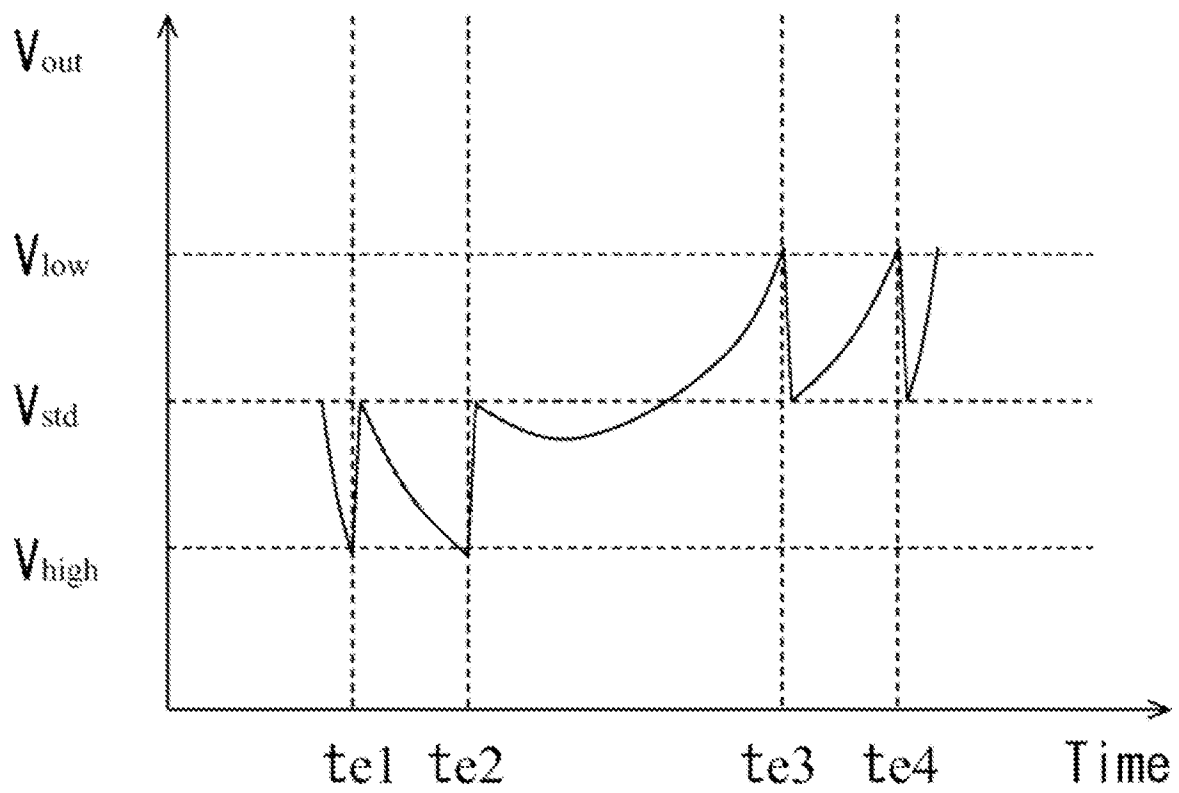
[図5B]



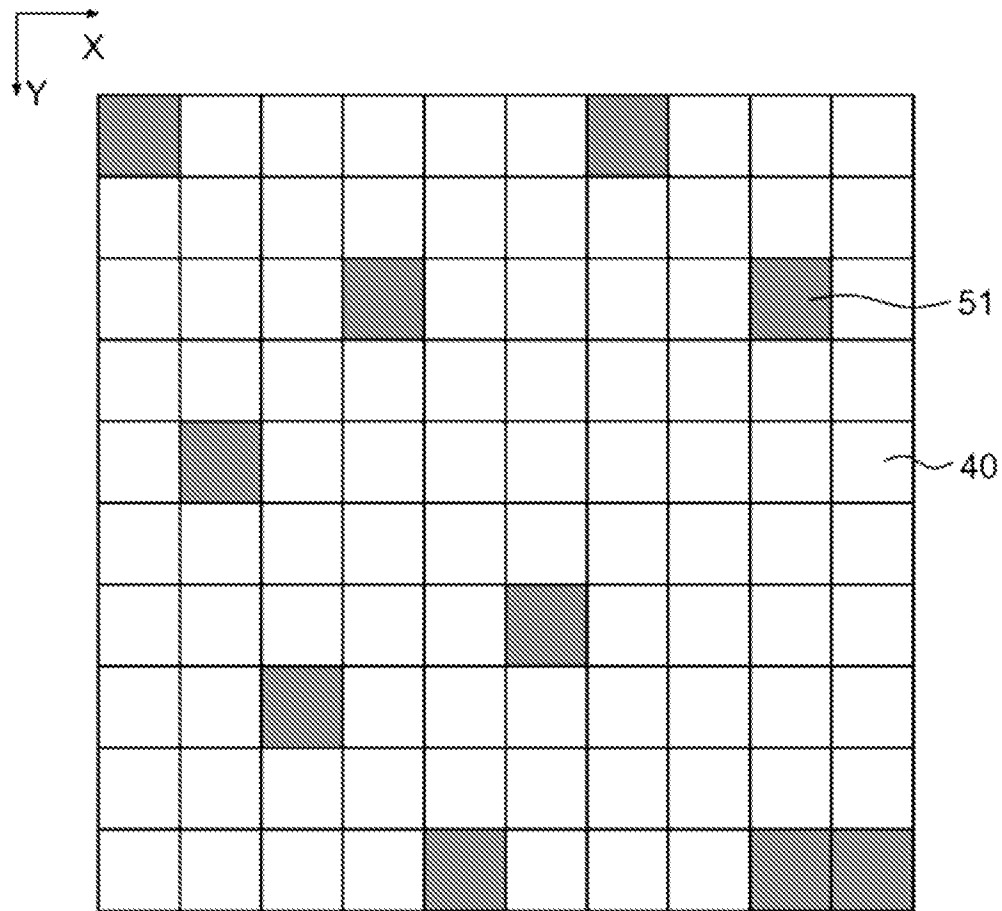
[図6]



[図7]

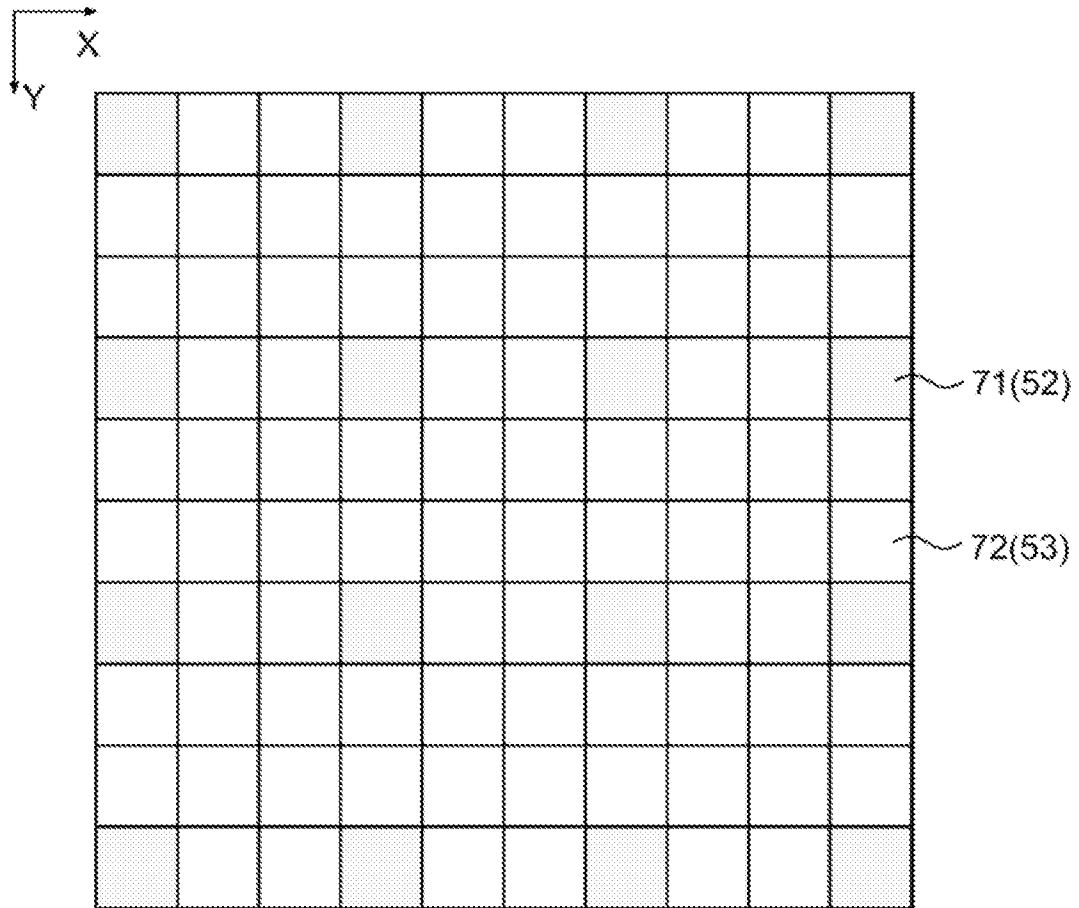


[図8]



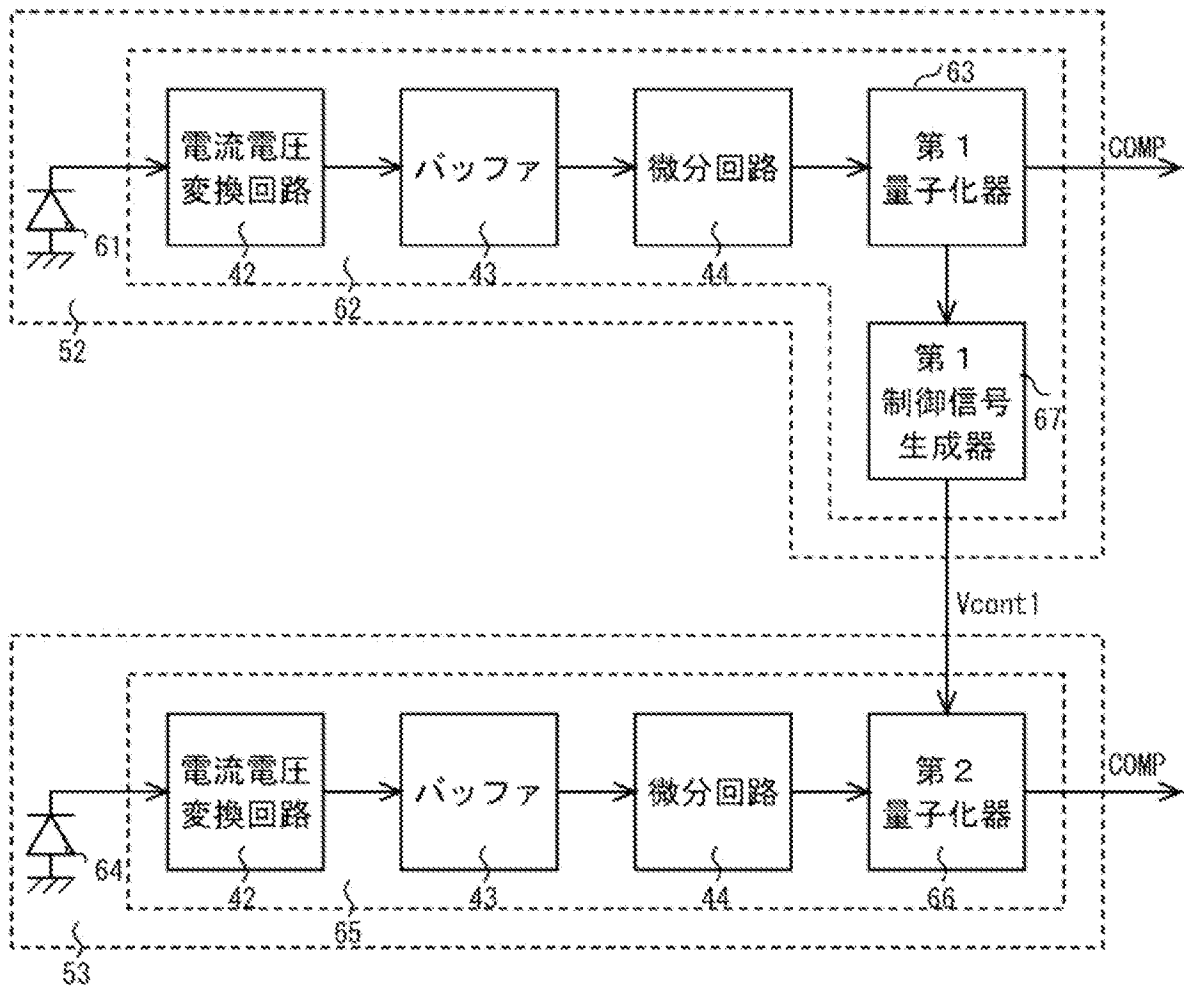
50 : 画素アレイ部

[図9]

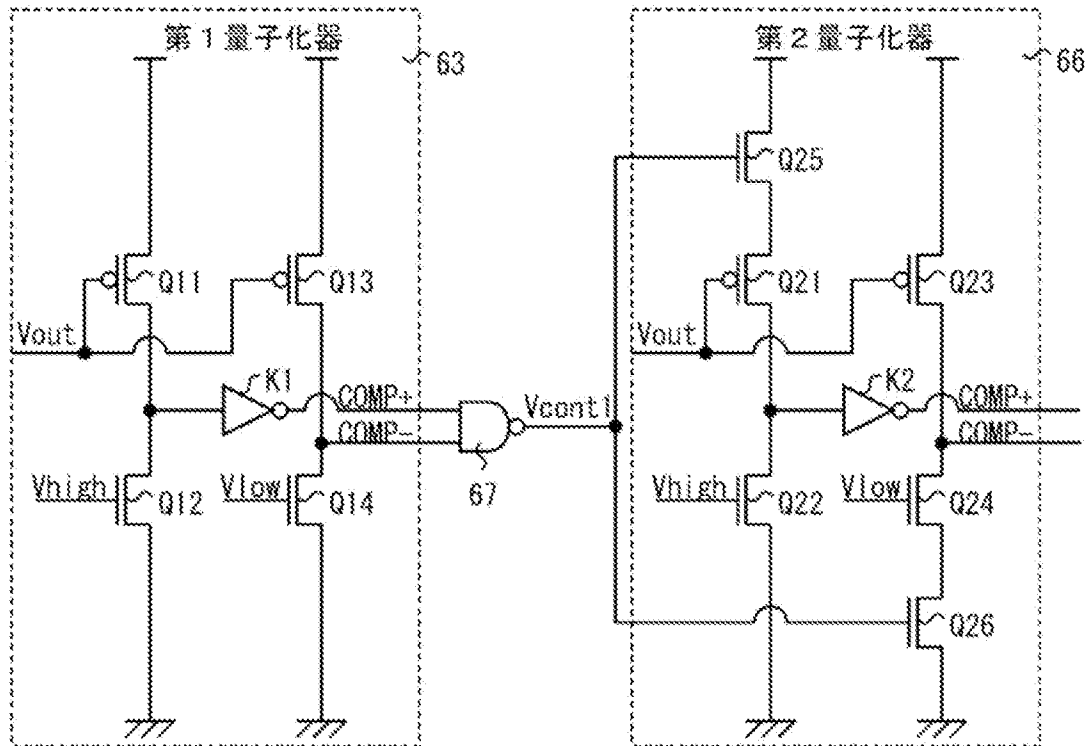


50: 画素アレイ部

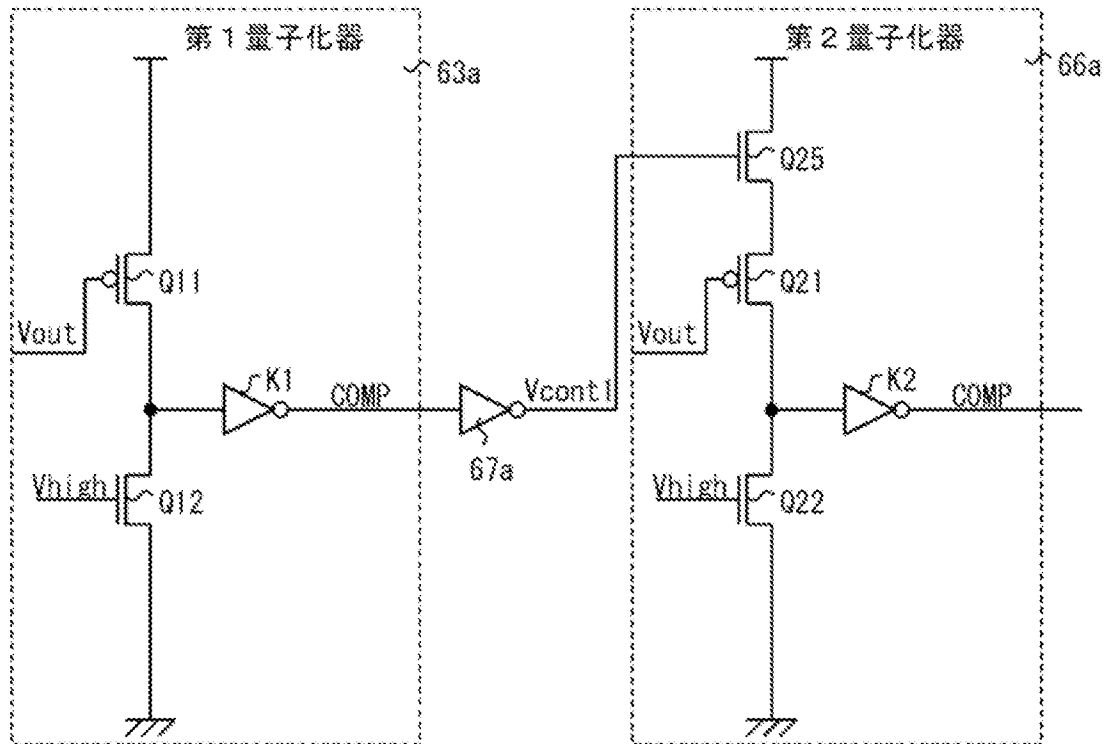
[図10]



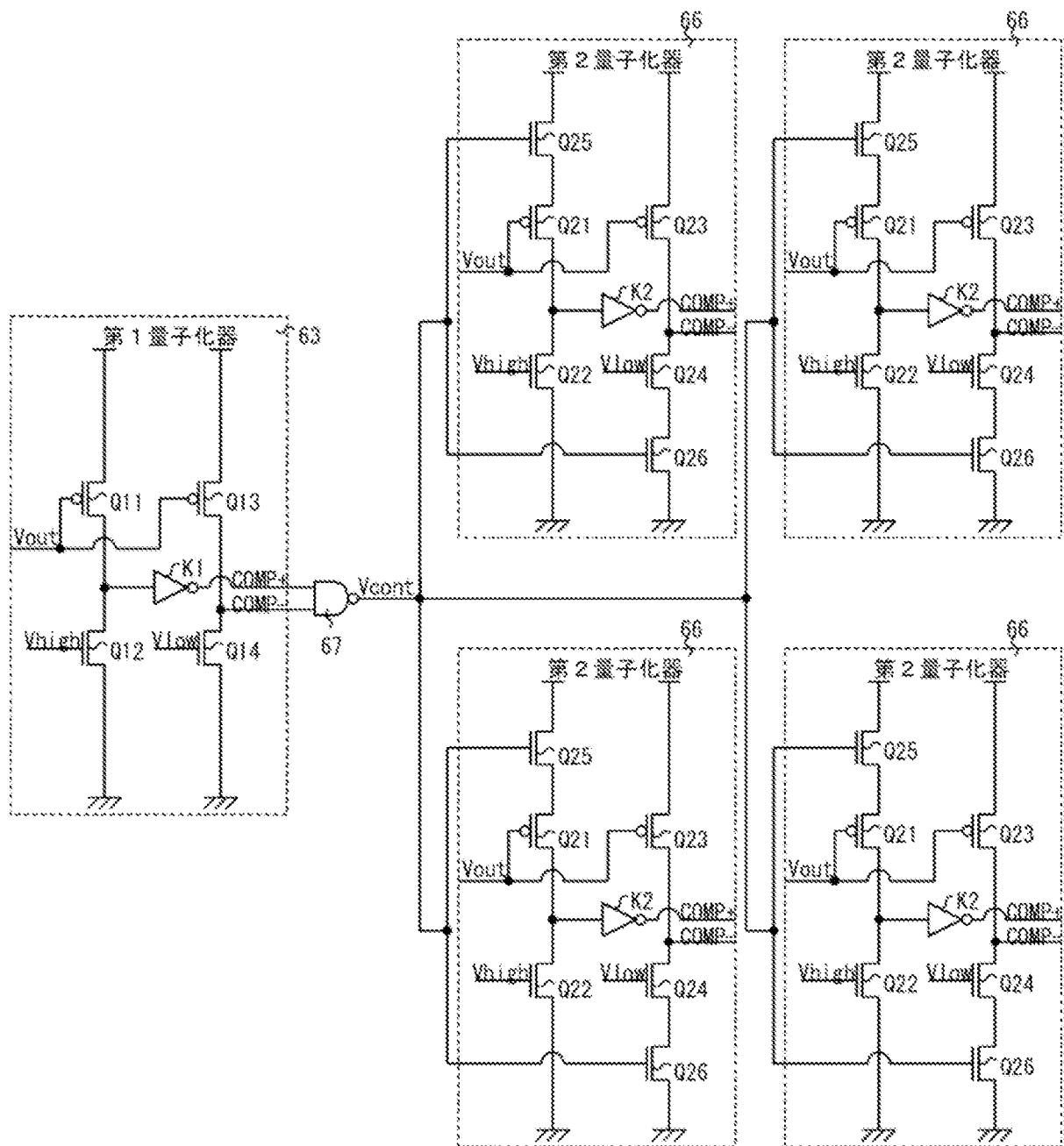
[図11A]



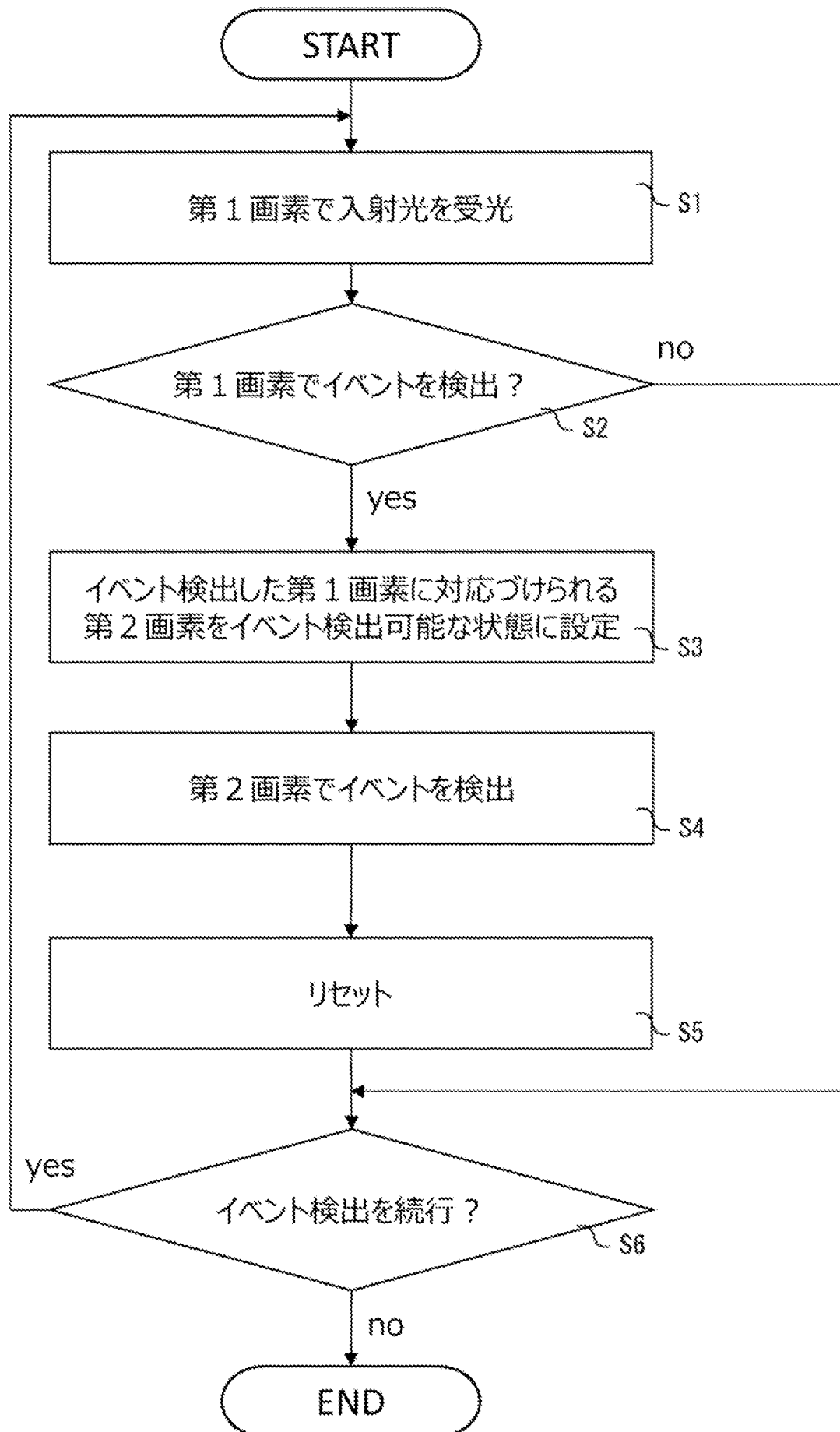
[図11B]



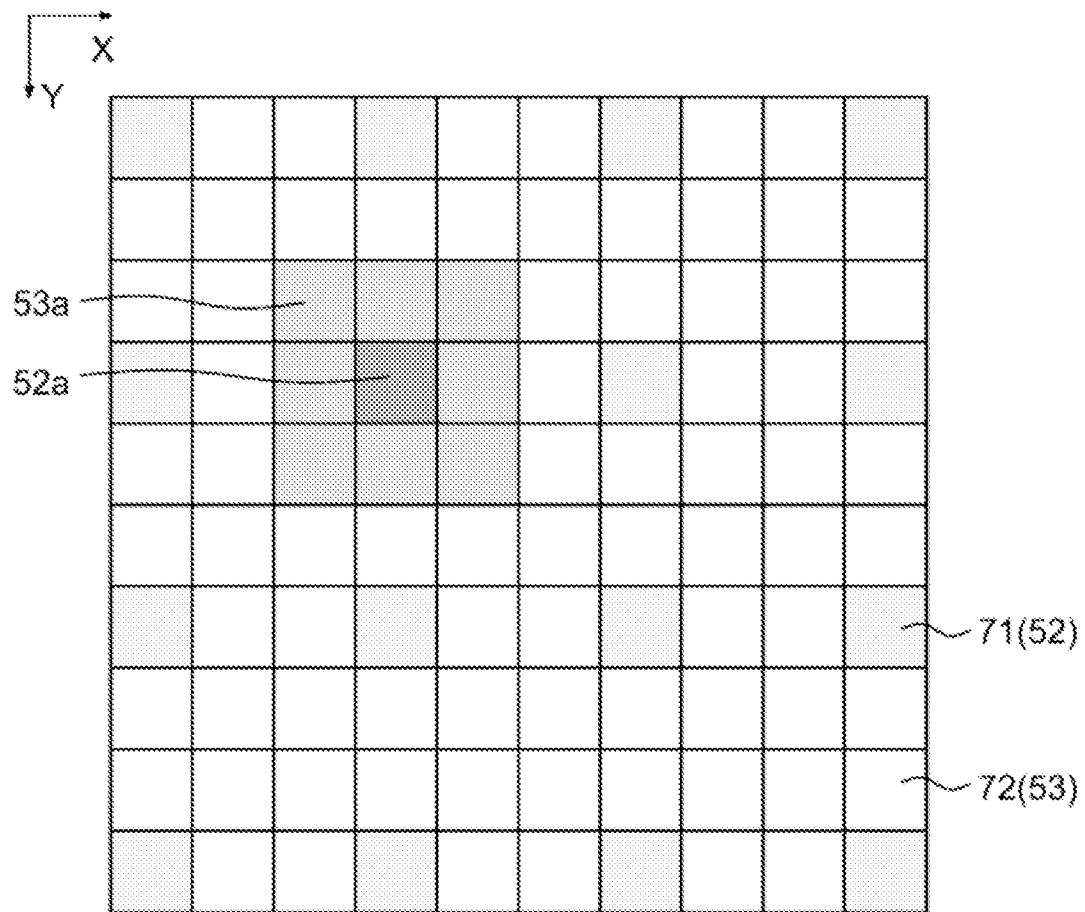
[図12]



[図13]

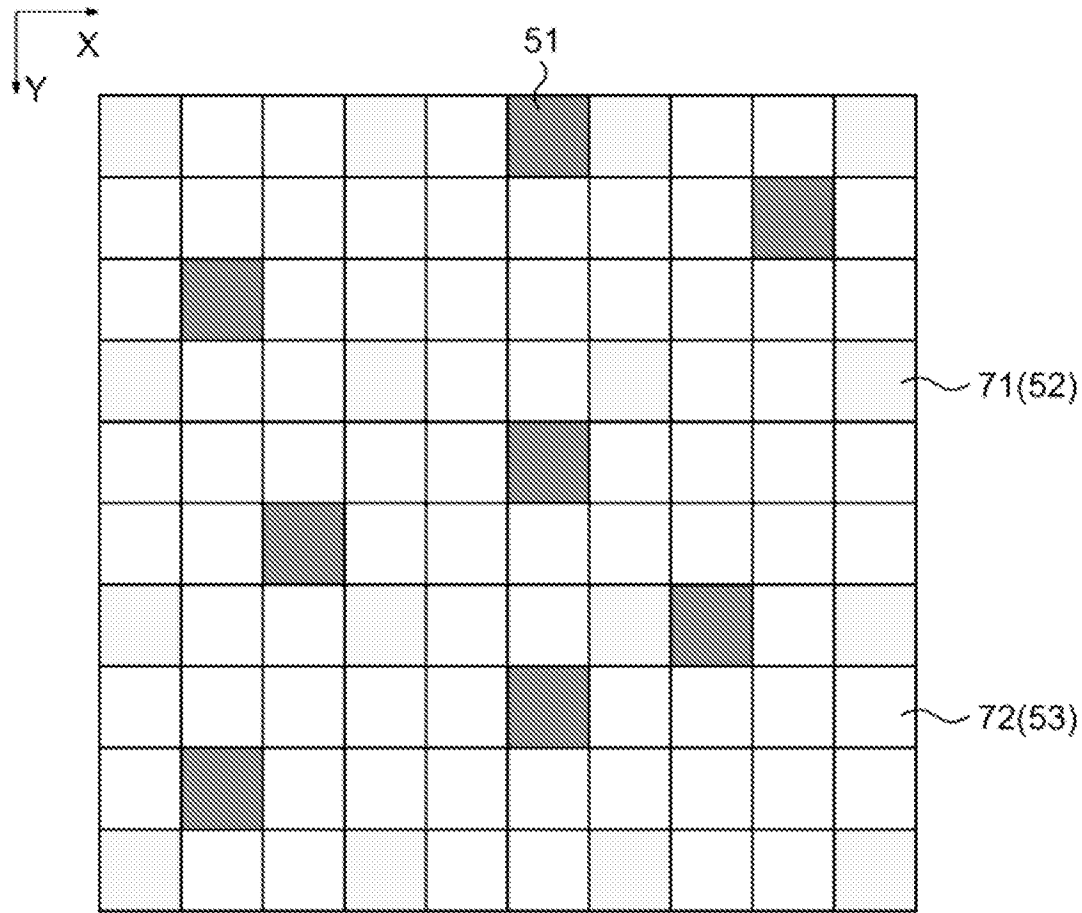


[図14]



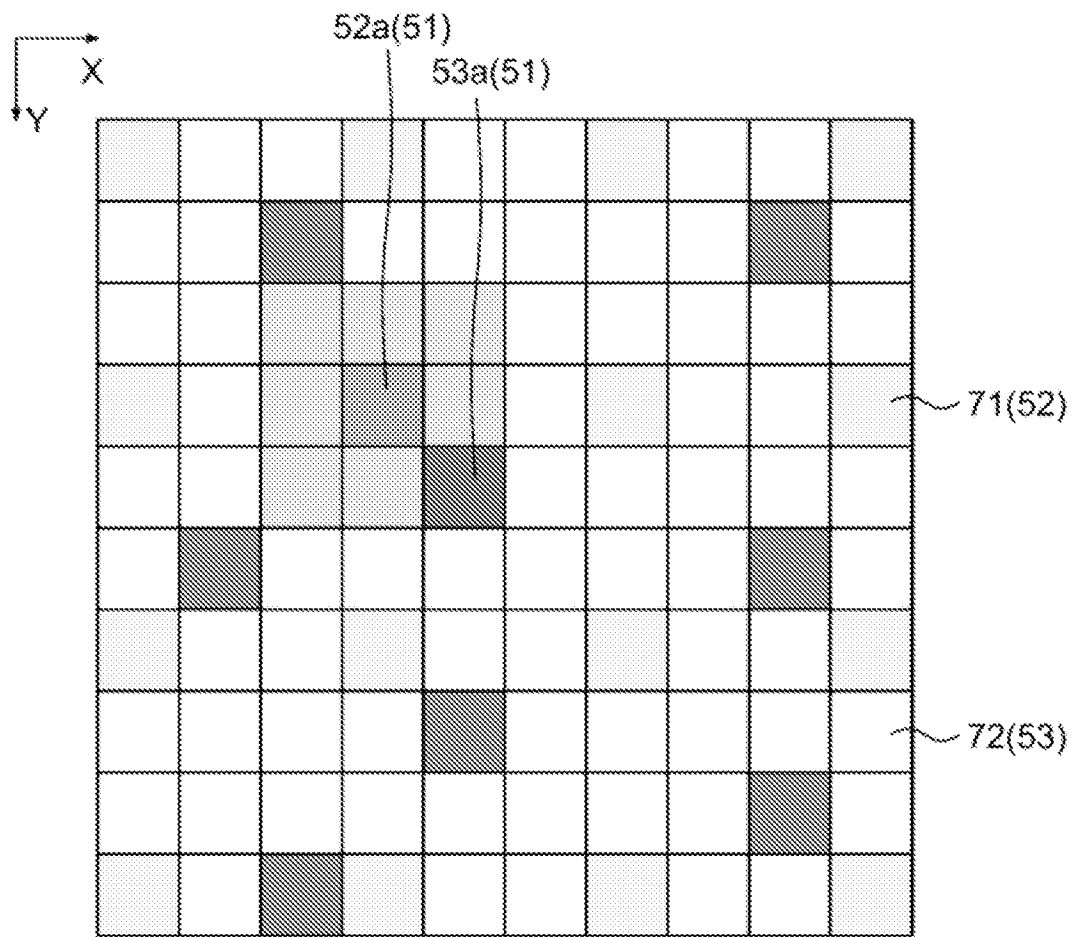
50: 画素アレイ部

[図15A]



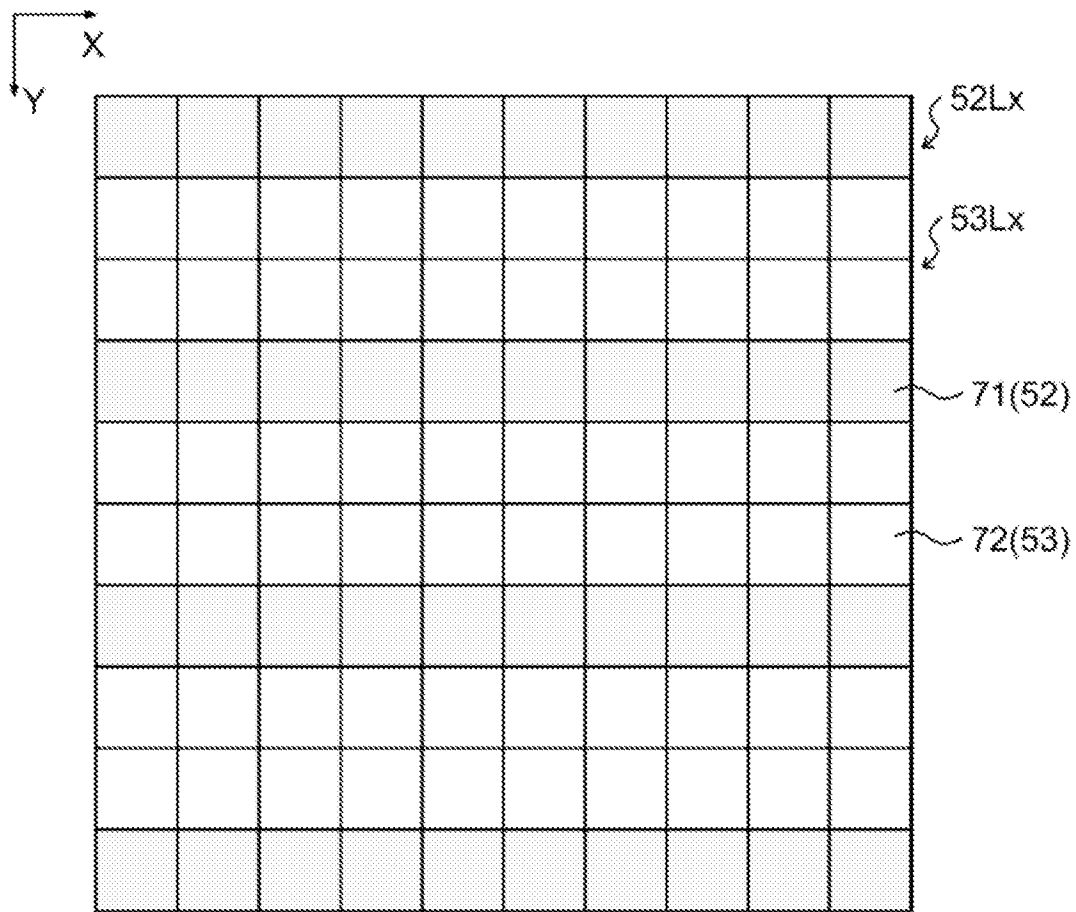
50 : 画素アレイ部

[図15B]



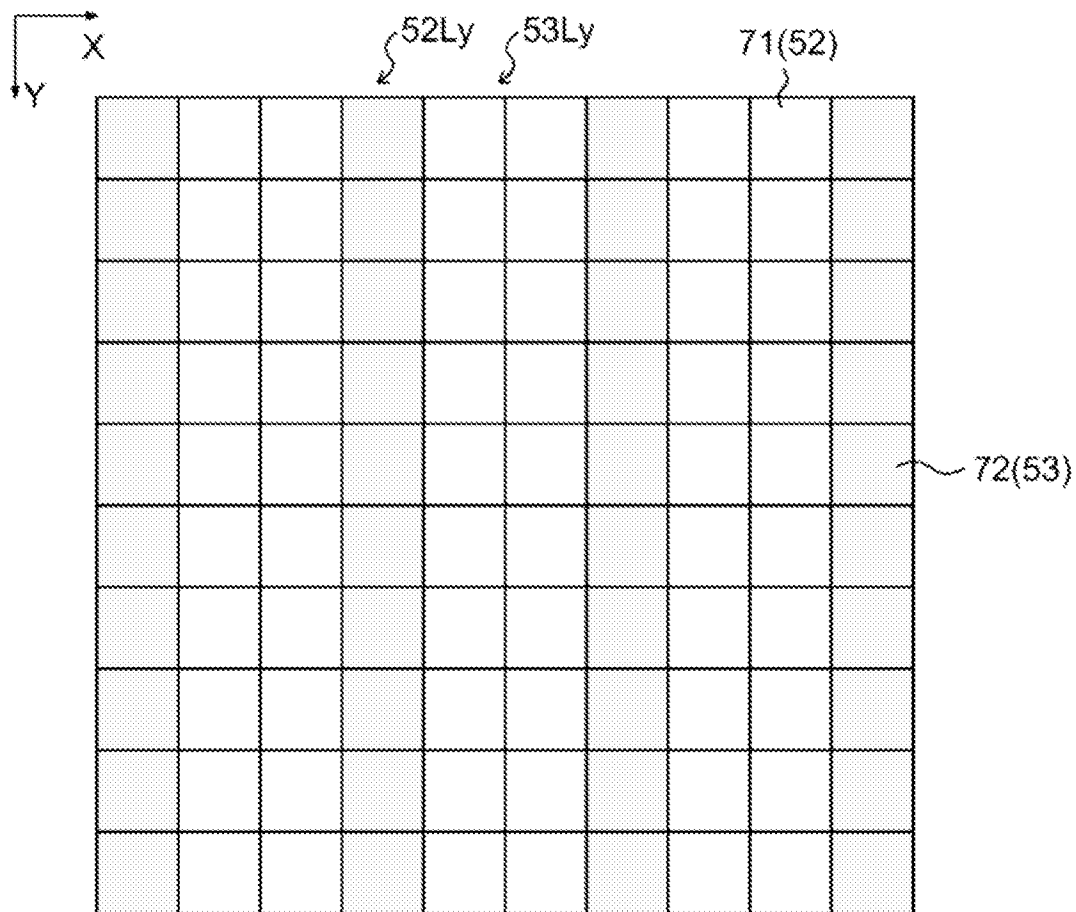
50 : 画素アレイ部

[図16A]



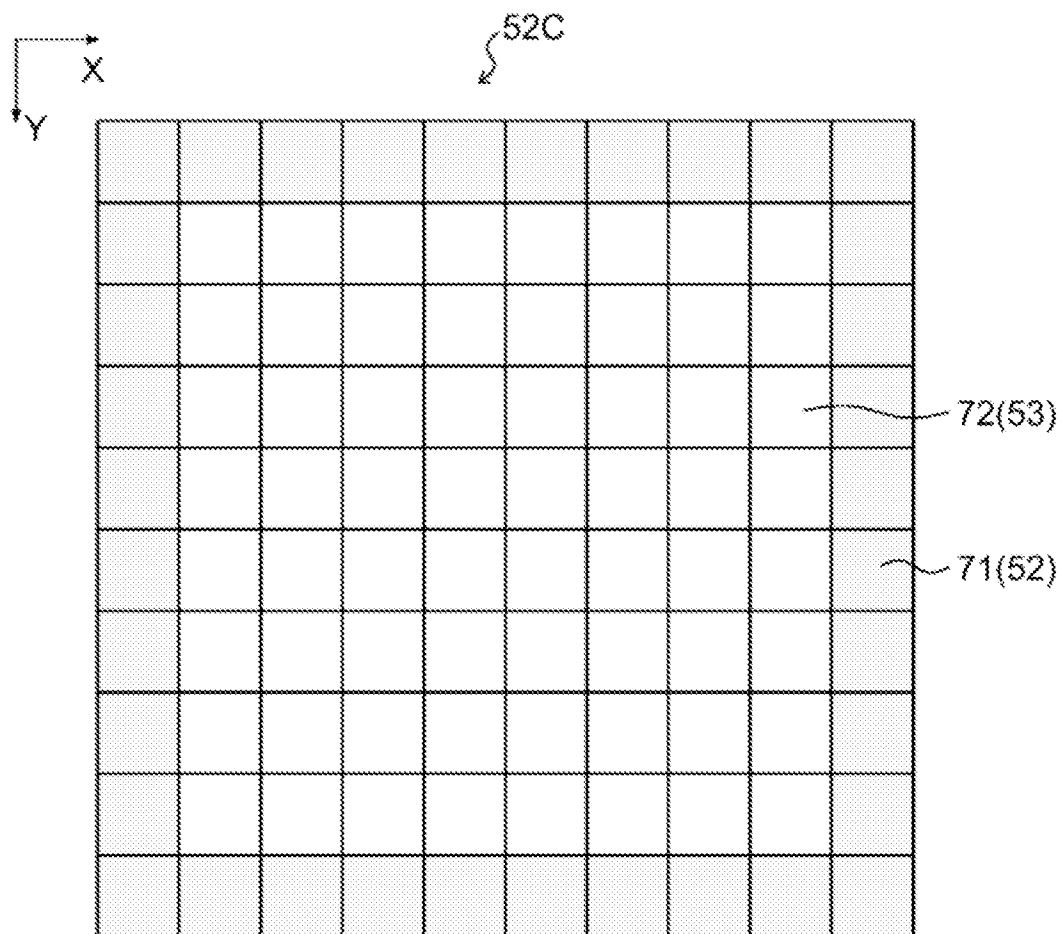
50a: 画素アレイ部

[図16B]



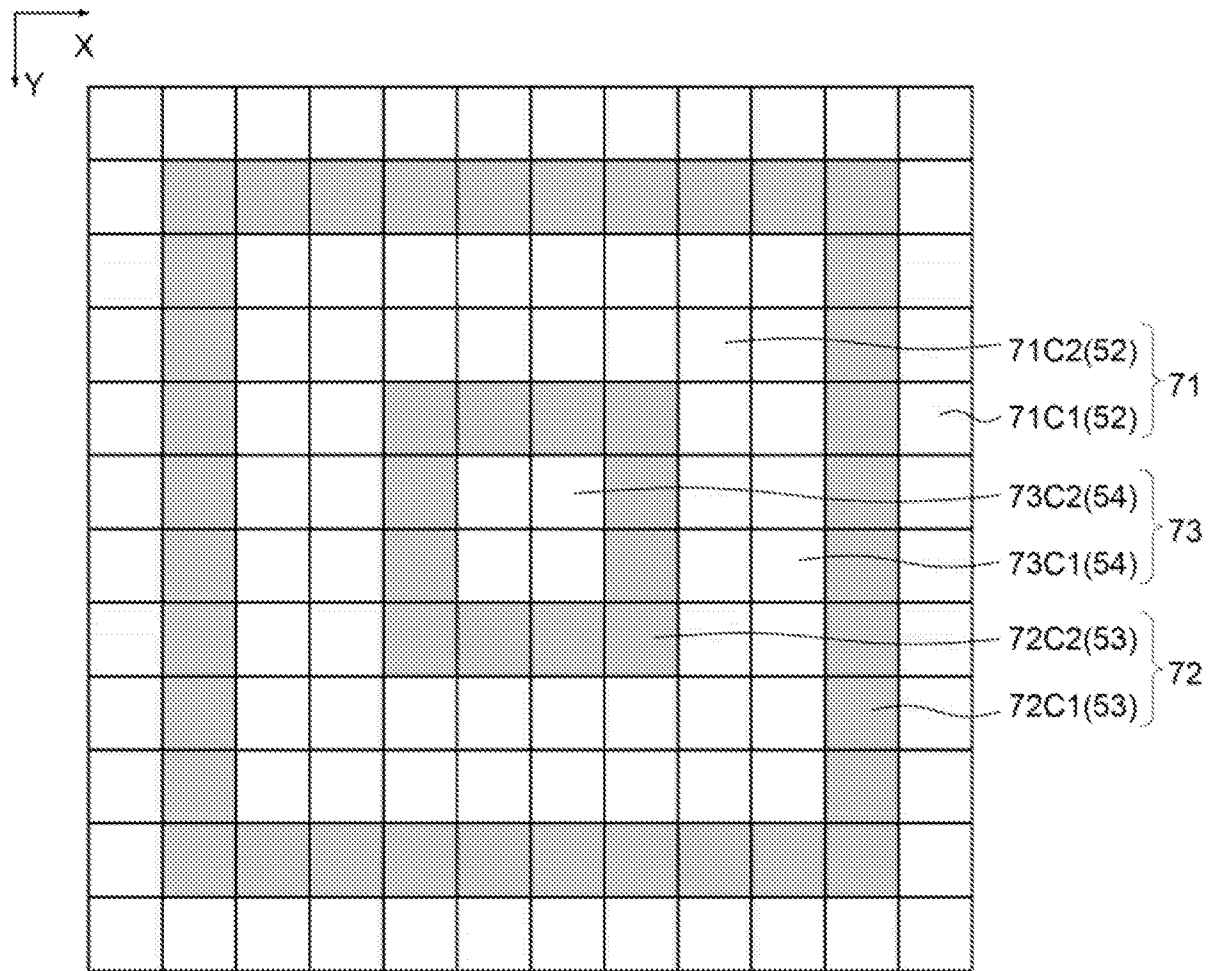
50b: 画素アレイ部

[図17]



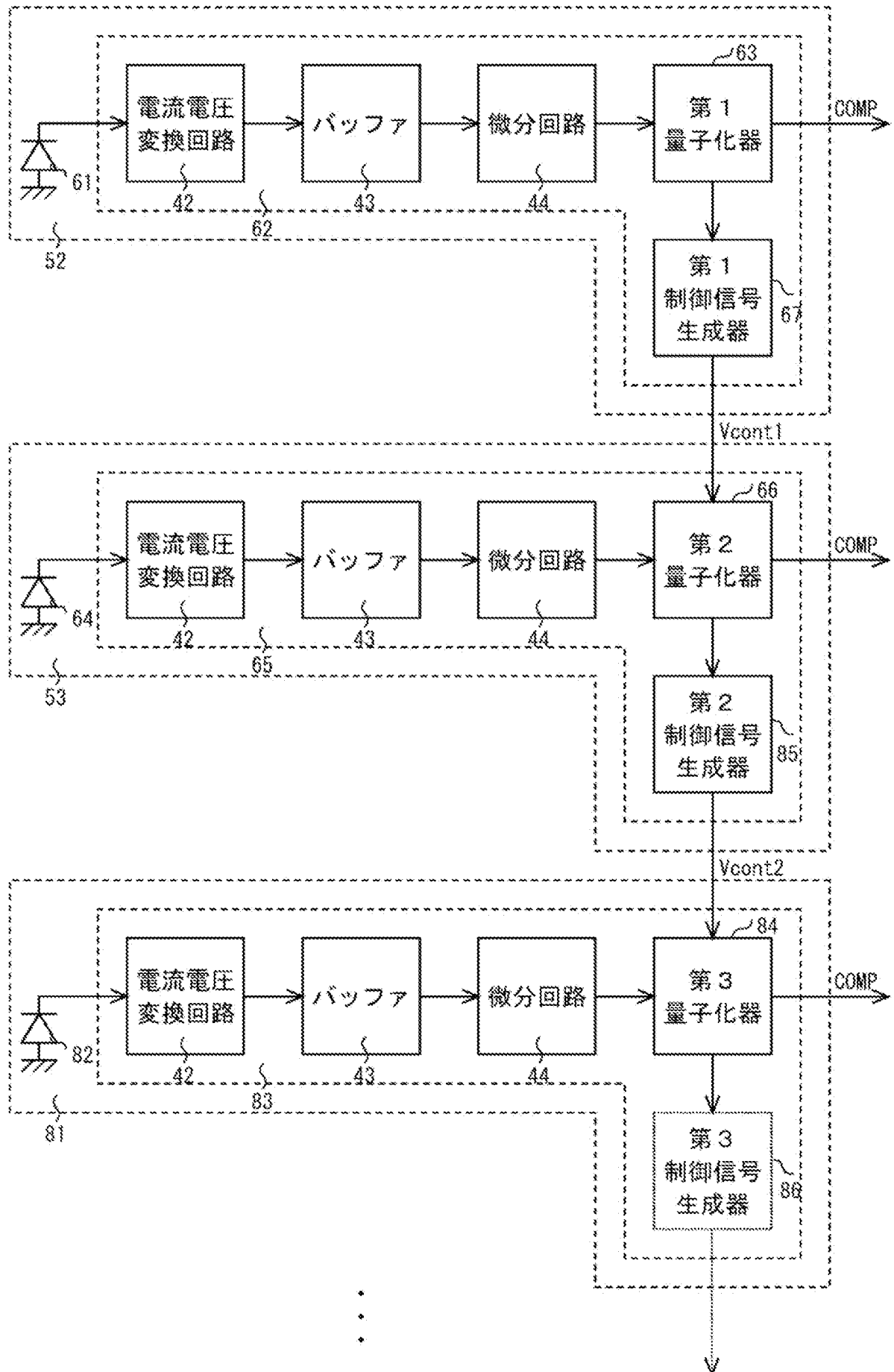
50c: 画素アレイ部

[図18]

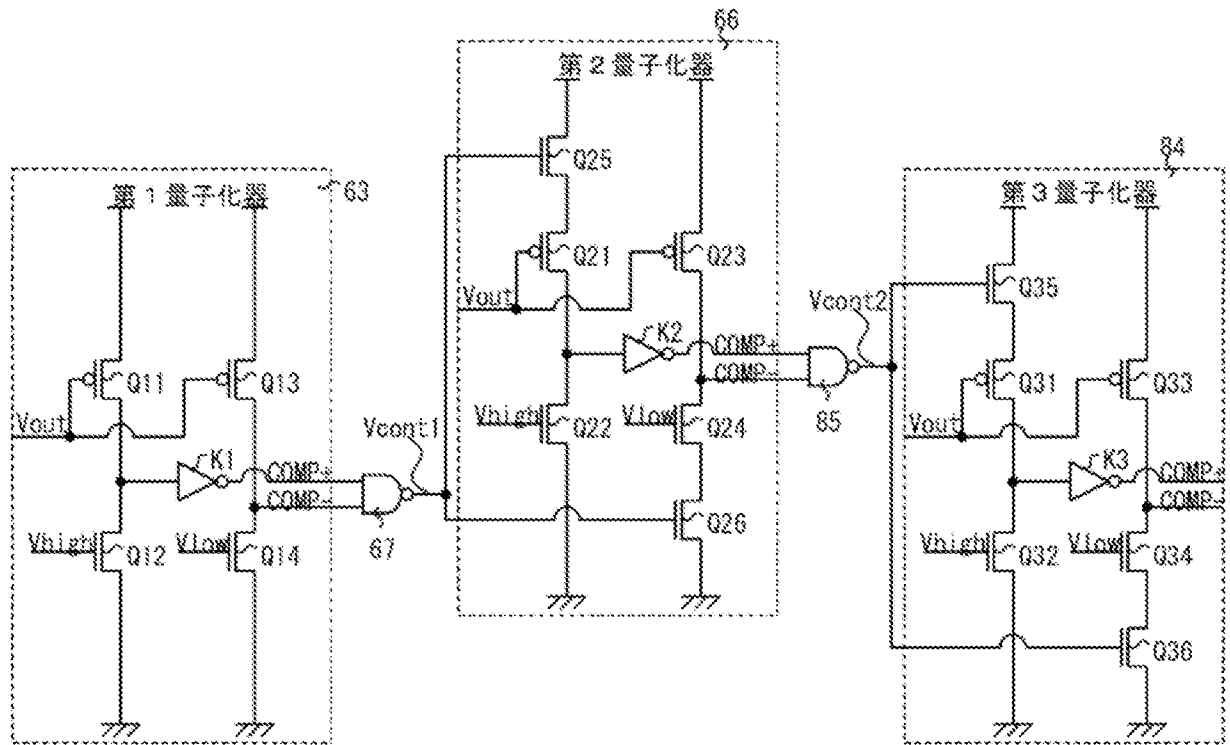


50d: 画素アレイ部

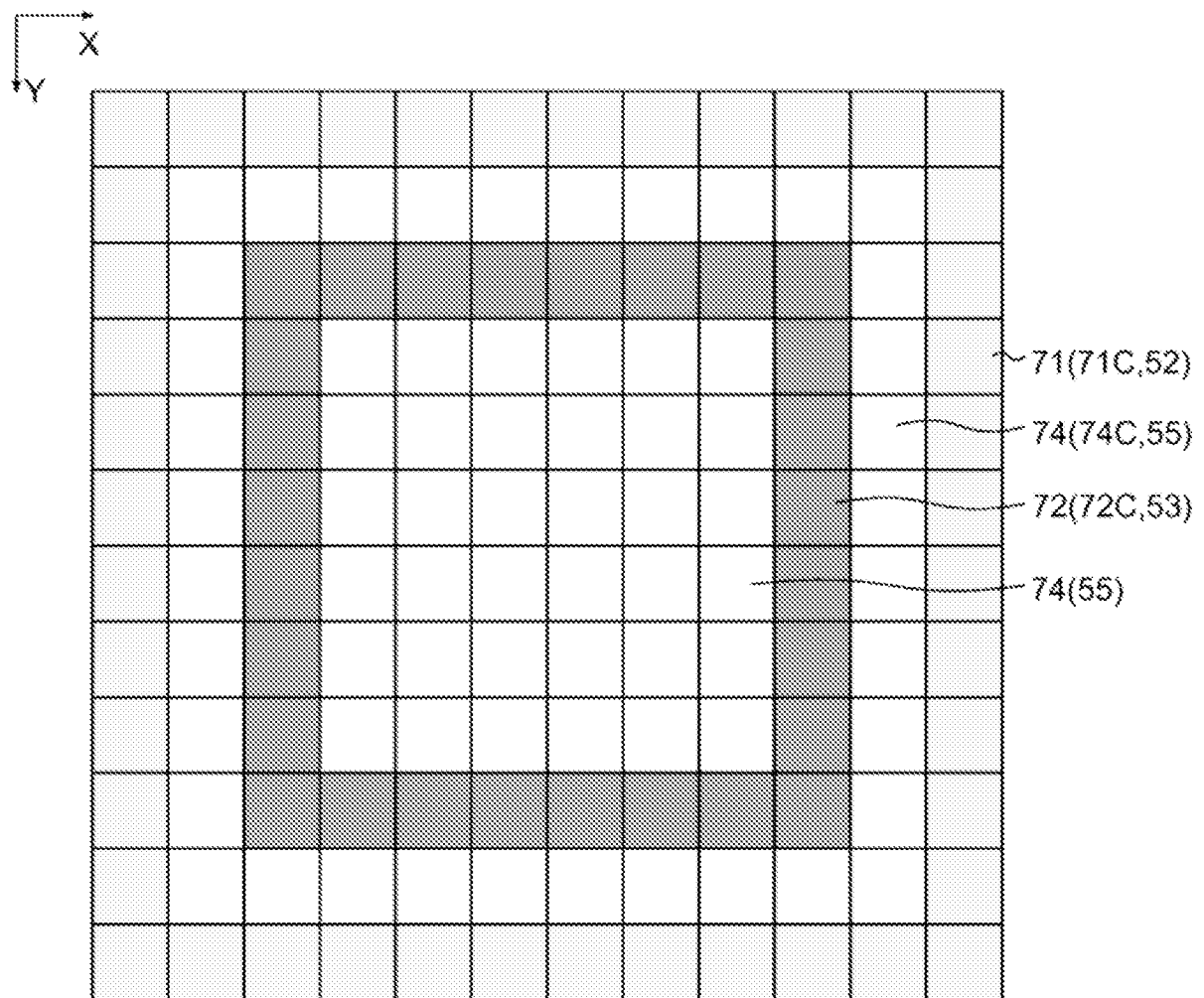
[図19]



[図20]

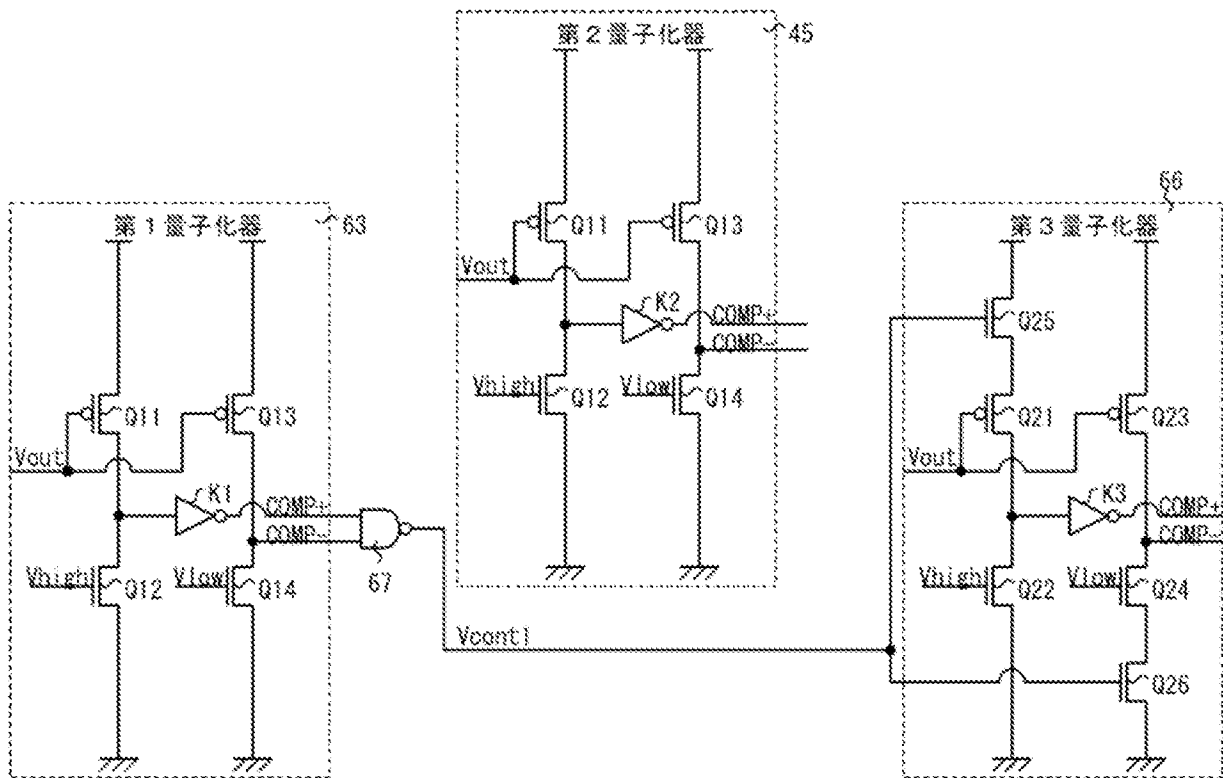


[図21]

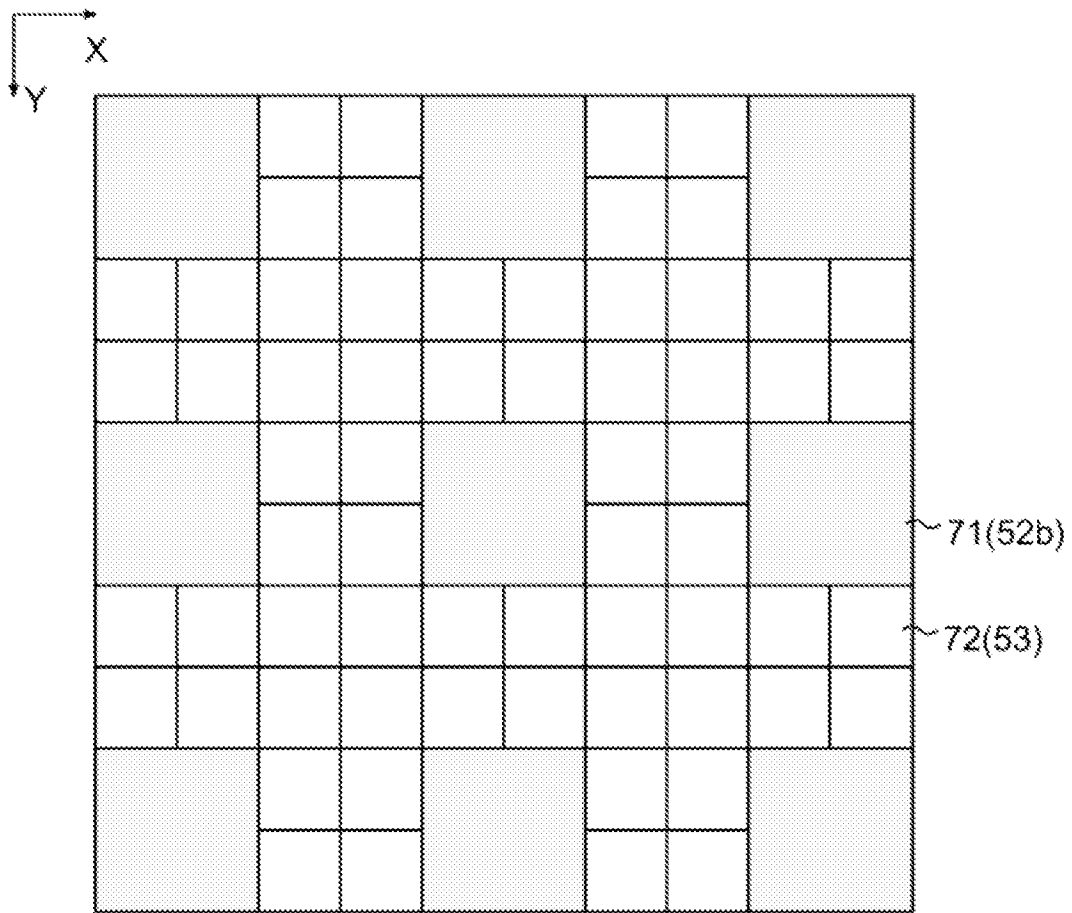


50e : 画素アレイ部

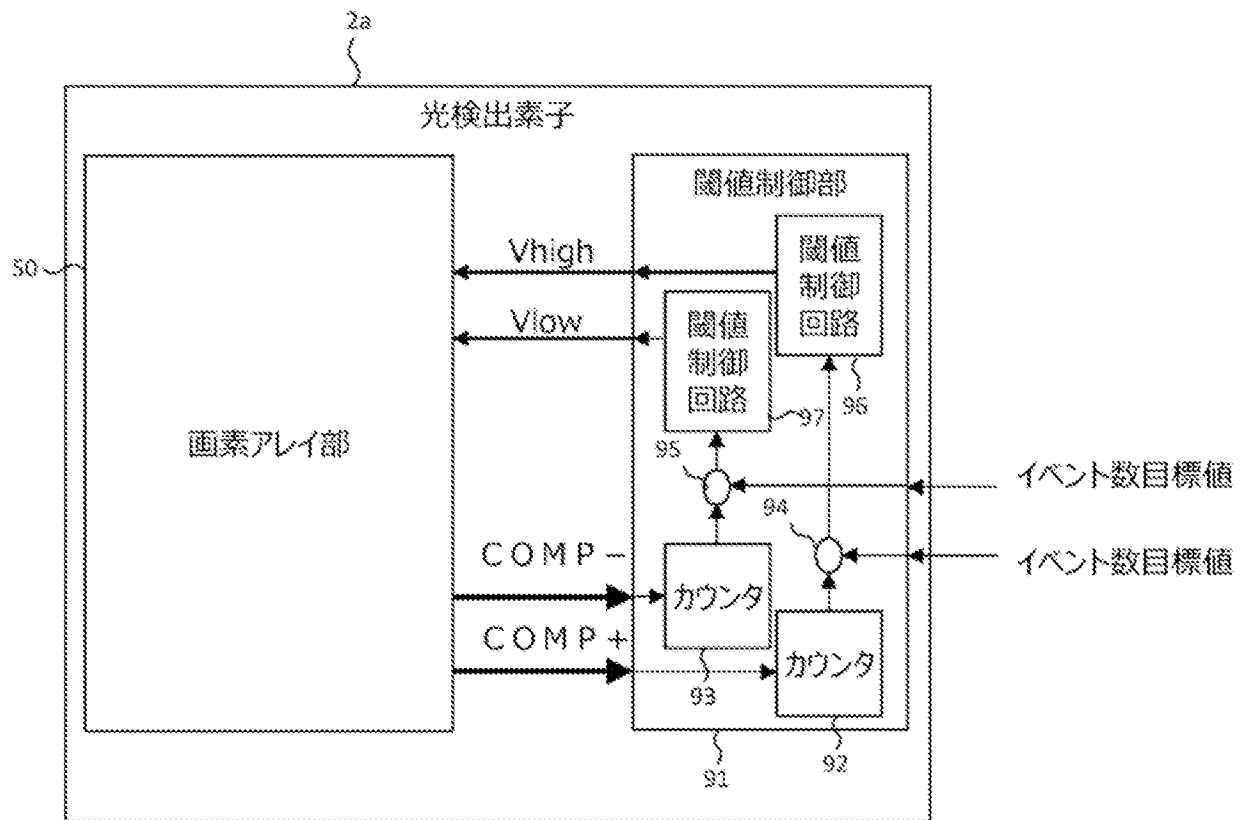
[図22]



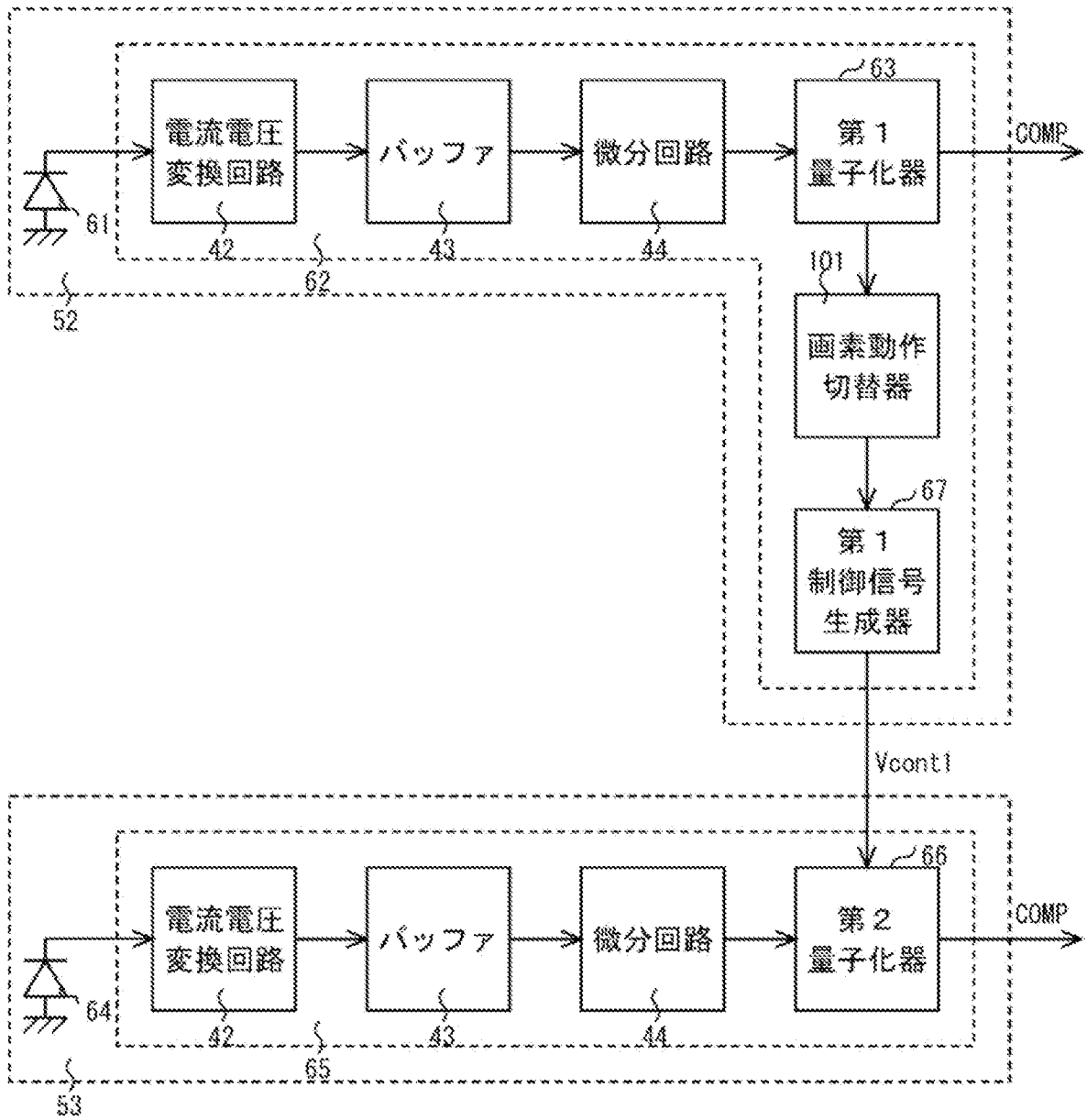
[図23]



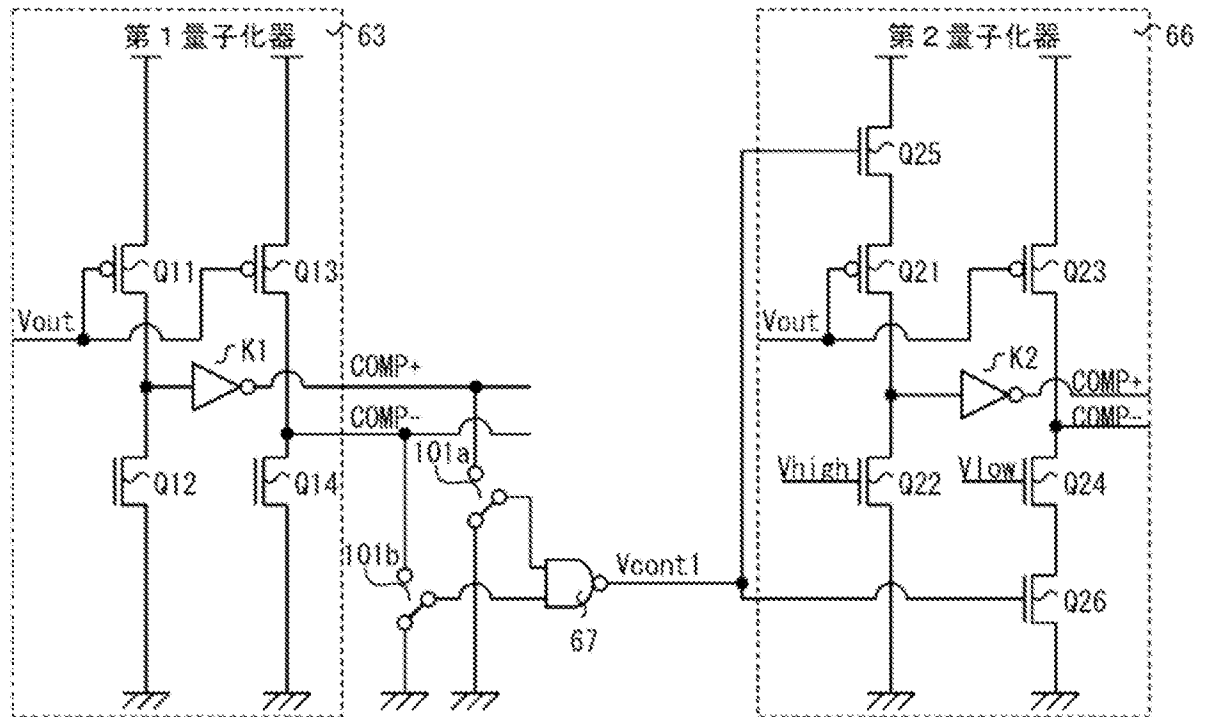
50f: 画素アレイ部



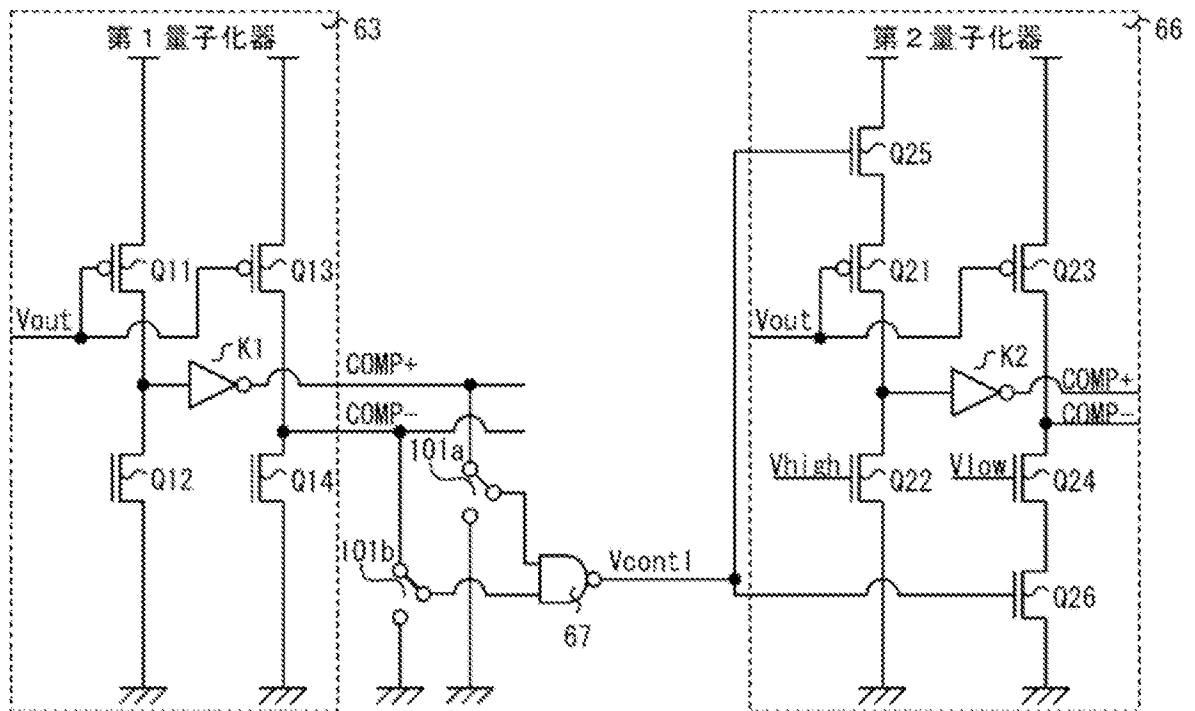
[図25]



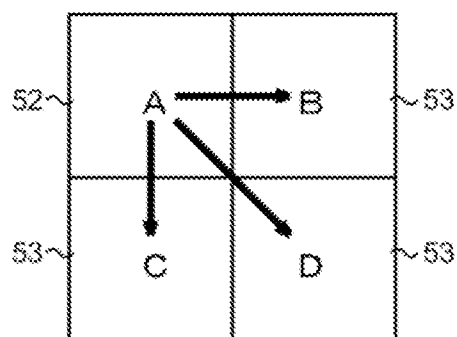
[図26A]



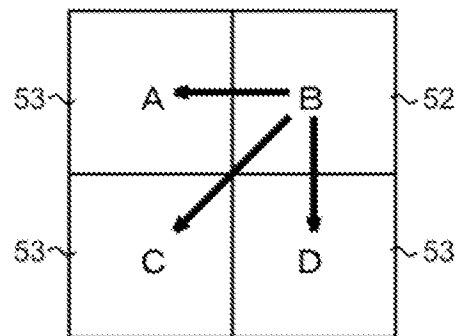
[図26B]



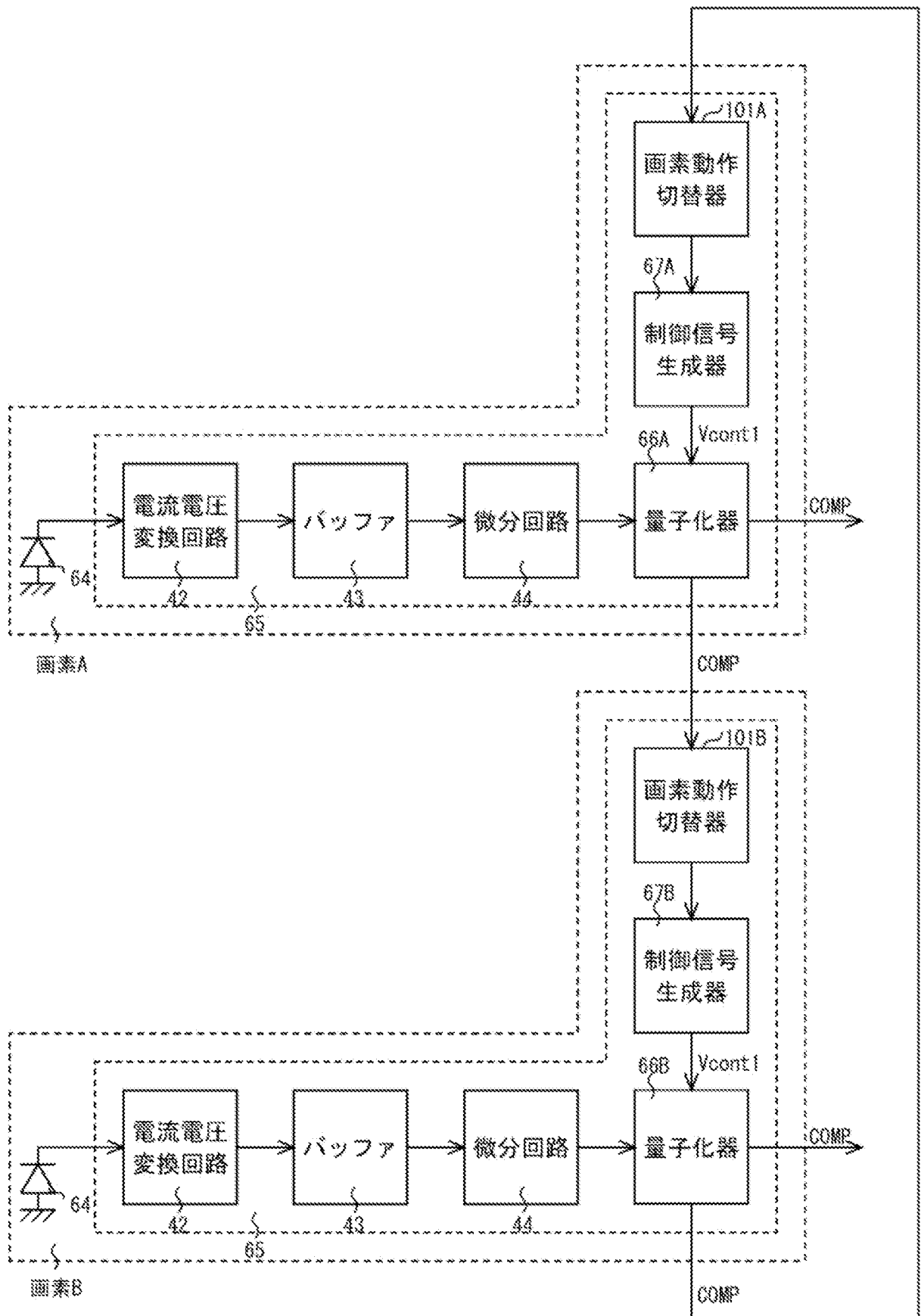
[図27A]



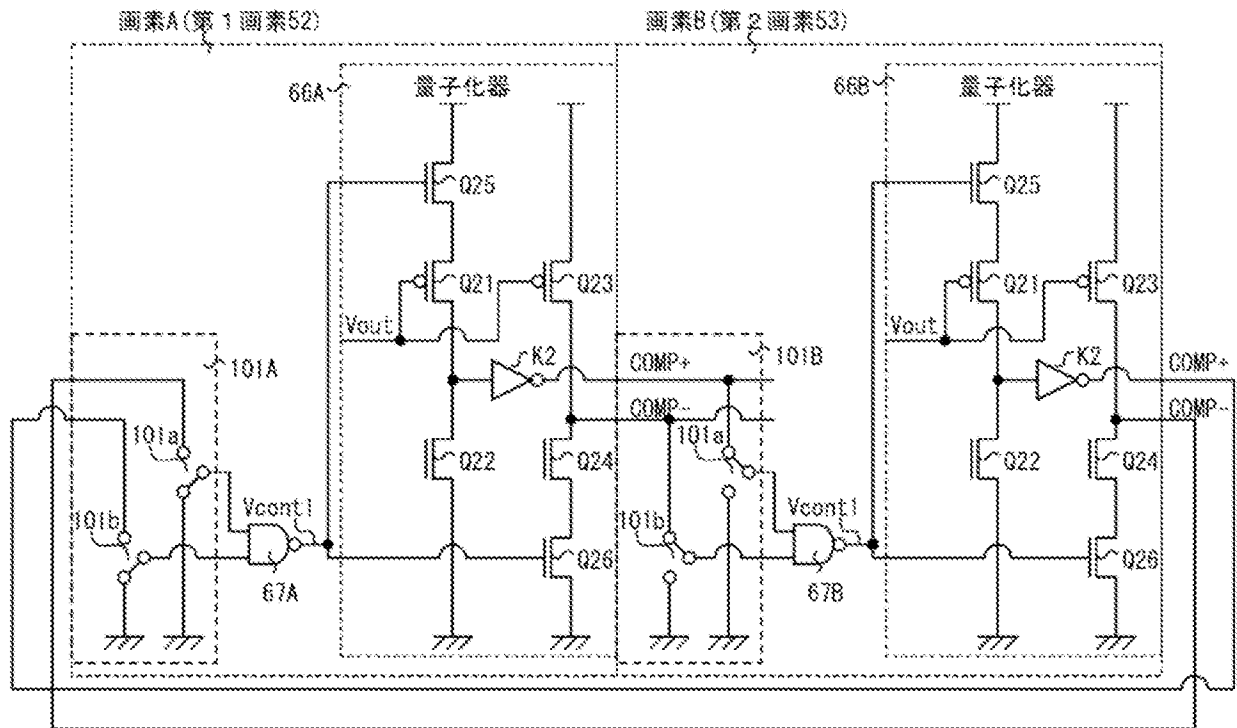
[図27B]



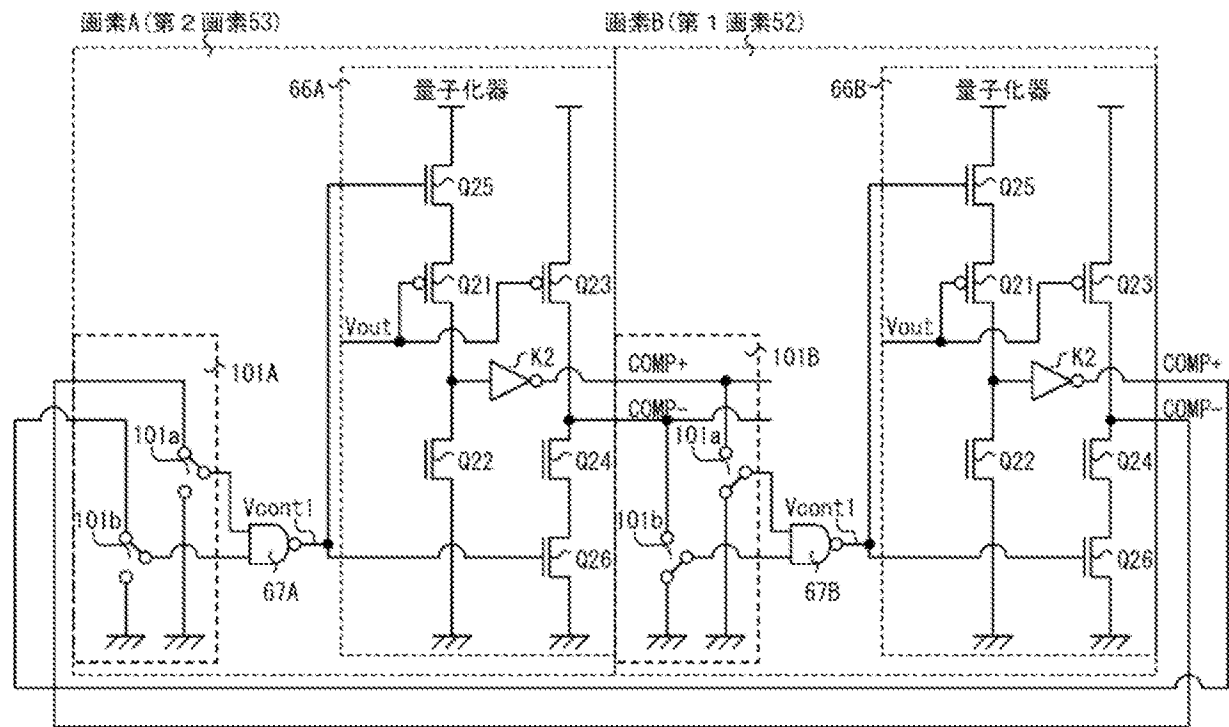
[図28]



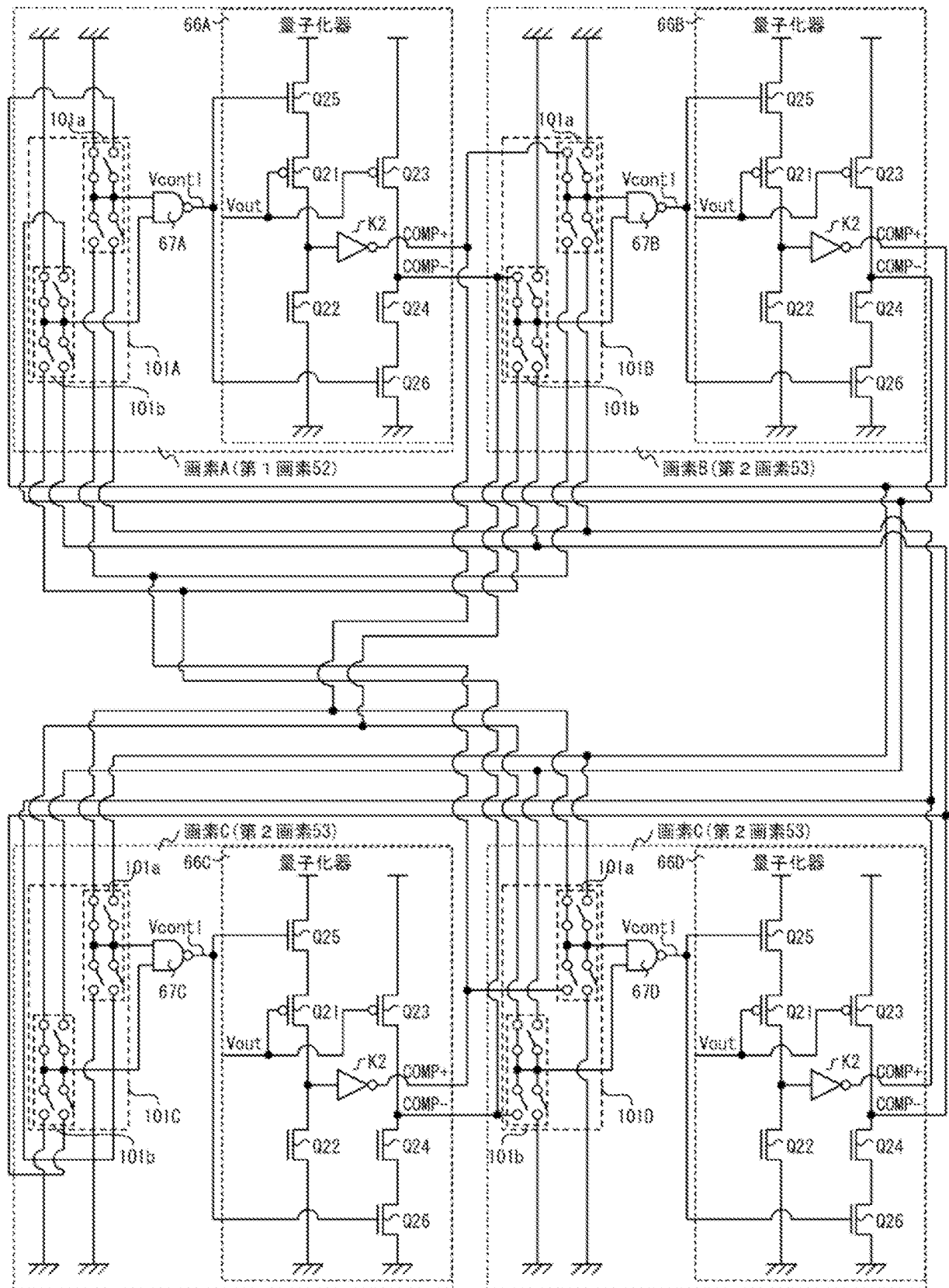
[圖29A]



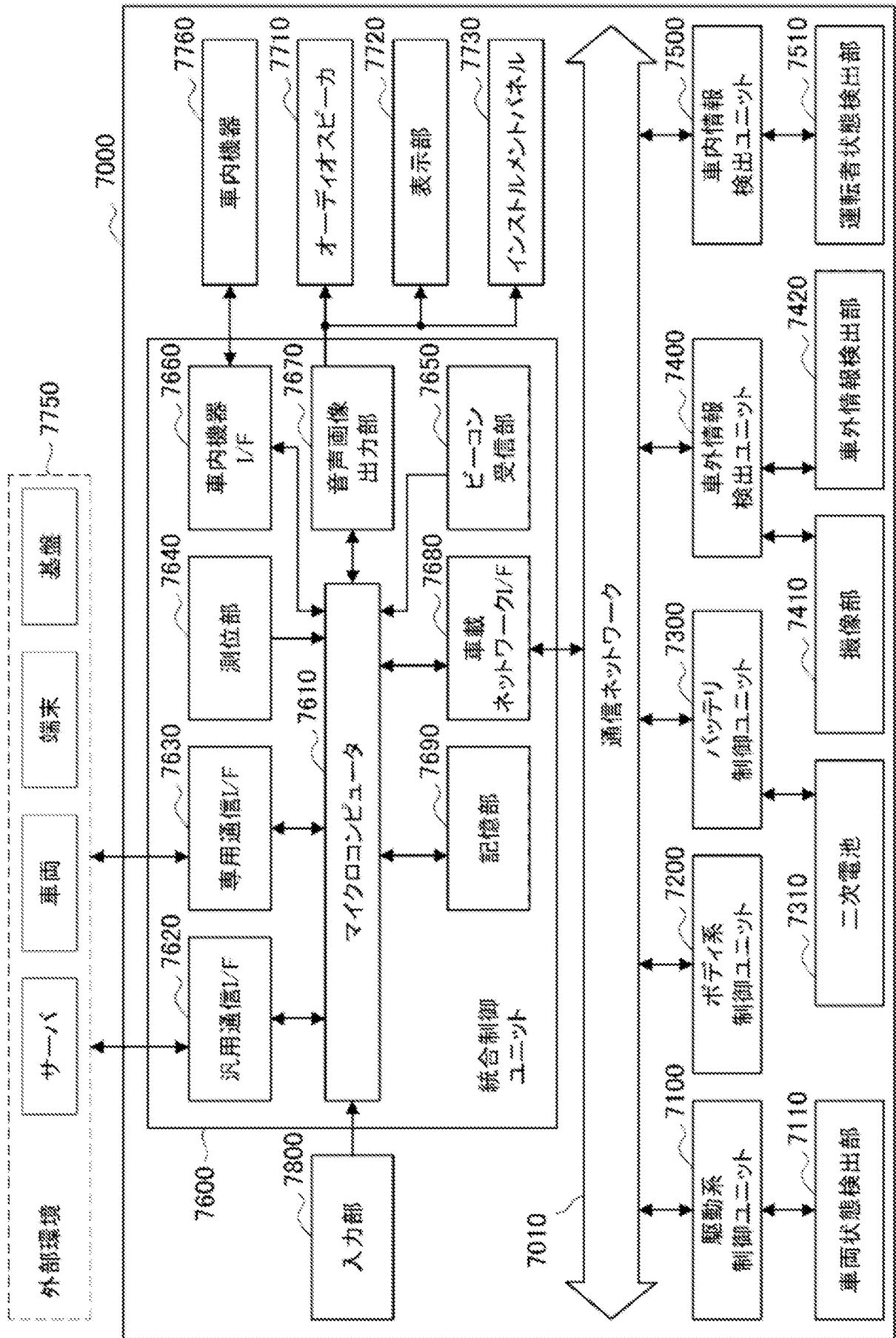
[圖29B]



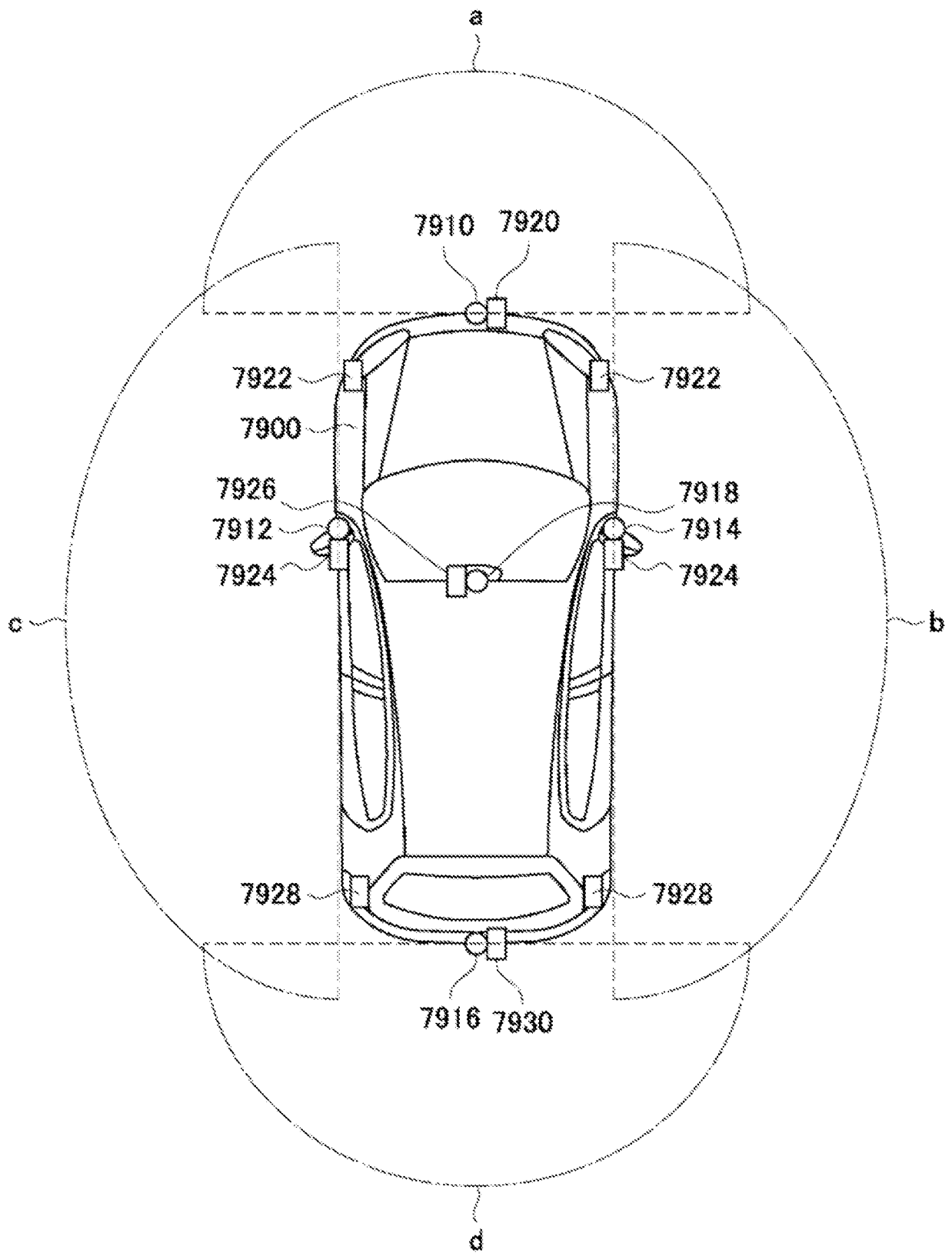
[図30]



[図31]



[図32]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/032304

A. CLASSIFICATION OF SUBJECT MATTER**H04N 25/707**(2023.01)i; **H04N 25/772**(2023.01)i; **H04N 25/77**(2023.01)i

FI: H04N25/707; H04N25/772; H04N25/77

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N25/707; H04N25/772; H04N25/77

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2020/080383 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 23 April 2020 (2020-04-23) paragraphs [0015]-[0046], [0068], [0088]-[0112], fig. 1, 3, 4, 15-18	1-4, 14-16, 20
Y	paragraphs [0015]-[0046], [0068], [0088]-[0112], fig. 1, 3, 4, 15-18	5-11, 13, 17
A	entire text, all drawings	12, 18-19
Y	WO 2021/084833 A1 (SONY CORP.) 06 May 2021 (2021-05-06) paragraphs [0099]-[0103], fig. 12-14	5-11
A	entire text, all drawings	12, 18-19
Y	WO 2020/110484 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 04 June 2020 (2020-06-04) paragraphs [0046]-[0062], [0094]-[0096], fig. 7, 8, 16, 17	13, 17
A	entire text, all drawings	12, 18-19



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

08 November 2023

Date of mailing of the international search report

21 November 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/032304

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2020/080383	A1	23 April 2020	US 2021/0400222 A1 paragraphs [0058]-[0089], [0111], [0132]-[0156], fig. 1, 3, 4, 15-18	
WO	2021/084833	A1	06 May 2021	US 2022/0375256 A1 paragraphs [0142]-[0146], fig. 12-14 EP 4053500 A1 CN 114600116 A	
WO	2020/110484	A1	04 June 2020	US 2022/0006965 A1 paragraphs [0078]-[0095], [0126]-[0129], fig. 7, 8, 16, 17 JP 2020-96347 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 25/707(2023.01)i; H04N 25/772(2023.01)i; H04N 25/77(2023.01)i FI: H04N25/707; H04N25/772; H04N25/77		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H04N25/707; H04N25/772; H04N25/77 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2023年 日本国実用新案登録公報 1996-2023年 日本国登録実用新案公報 1994-2023年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2020/080383 A1（ソニーセミコンダクタソリューションズ株式会社）23.04.2020 (2020-04-23) 段落[0015]-[0046], [0068], [0088]-[0112], 図1, 3-4, 15-18	1-4, 14-16, 20
Y	段落[0015]-[0046], [0068], [0088]-[0112], 図1, 3-4, 15-18	5-11, 13, 17
A	全文, 全図	12, 18-19
Y	WO 2021/084833 A1（ソニー株式会社）06.05.2021（2021-05-06） 段落[0099]-[0103], 図12-14	5-11
A	全文, 全図	12, 18-19
Y	WO 2020/110484 A1（ソニーセミコンダクタソリューションズ株式会社）04.06.2020 (2020-06-04) 段落[0046]-[0062], [0094]-[0096], 図7-8, 16-17	13, 17
A	全文, 全図	12, 18-19
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 08.11.2023		国際調査報告の発送日 21.11.2023
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 三沢 岳志 5V 2590 電話番号 03-3581-1101 内線 3571

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/032304

引用文献			公表日	パテントファミリー文献	公表日
WO	2020/080383	A1	23.04.2020	US 2021/0400222 A1 段落[0058]-[0089], [0111], [0132]-[0156], 図 1, 3-4, 15-18	
WO	2021/084833	A1	06.05.2021	US 2022/0375256 A1 段落[0142]-[0146], 図 12-14 EP 4053500 A1 CN 114600116 A	
WO	2020/110484	A1	04.06.2020	US 2022/0006965 A1 段落[0078]-[0095], [0126]-[0129], 図 7-8, 16-17 JP 2020-96347 A	