



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I502738 B

(45)公告日：中華民國 104 (2015) 年 10 月 01 日

(21)申請案號：101131917

(22)申請日：中華民國 94 (2005) 年 05 月 09 日

(51)Int. Cl. : H01L29/772 (2006.01)

H01L31/0328(2006.01)

(30)優先權：2004/05/13 美國

60/571,342

2004/10/04 美國

10/958,945

(71)申請人：克立公司(美國) CREE, INC. (US)

美國

(72)發明人：吳宜芳 WU, YIFENG (CN)；普米特 帕瑞克 PRIMIT, PARIKH (IN)；鄔米希 米希拉 UMESH, MISHRA (US)；瑪希亞 摩爾 MARCIA, MOORE (US)

(74)代理人：陳長文

(56)參考文獻：

US 2002/0137318A1

US 2004/0227211A1

審查人員：陳建仲

申請專利範圍項數：19 項 圖式數：6 共 20 頁

(54)名稱

電晶體、場效電晶體及金屬半導體場效電晶體

TRANSISTOR, FIELD EFFECT TRANSISTOR, AND METAL SEMICONDUCTOR FIELD EFFECT TRANSISTOR

(57)摘要

一種場效電晶體包含一依序形成於一基板上之緩衝層與通道層。一源極、汲極、及閘極係皆形成以電接觸於該通道層，且該閘極設於該源極與汲極之間。一填隙層係形成於該閘極與汲極之間之該通道層之至少一部分表面上，及一場板係形成於該填隙層上且隔離於該通道層與閘極。該填隙層藉由至少一傳導性路徑以電連接於該源極，其中該場板減低該 MESFET 內之峰值操作電場。

A field effect transistor comprising a buffer and channel layer formed successively on a substrate. A source electrode, drain electrode, and gate are all formed in electrical contact with the channel layer, with the gate between the source and drain electrodes. A spacer layer is formed on at least a portion of a surface of the channel layer between the gate and drain electrode and a field plate is formed on the spacer layer isolated from the gate and channel layer. The spacer layer is electrically connected by at least one conductive path to the source electrode, wherein the field plate reduces the peak operating electric field in the MESFET.

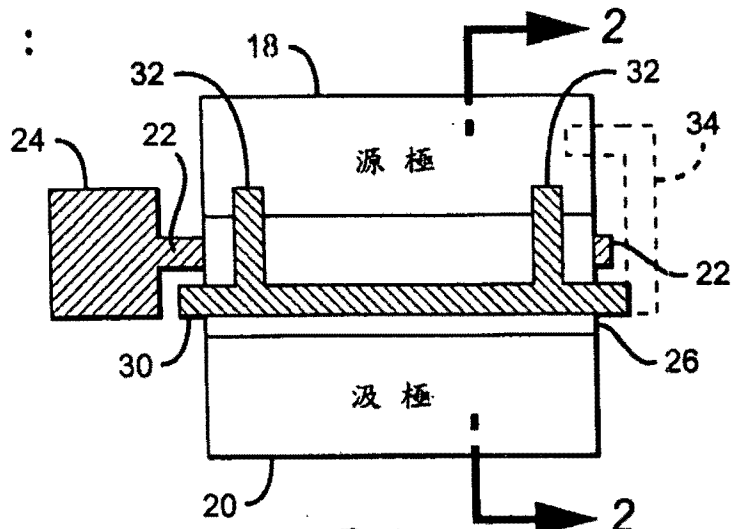


圖 1

- 10 . . . MESFET
- 18 . . . 源極
- 20 . . . 汲極
- 22 . . . 閘極
- 24 . . . 閘極接觸件
- 26 . . . 第一填隙層
- 30 . . . 場板
- 32 . . . 傳導性匯流排
- 34 . . . 傳導性路徑

公告本**發明專利說明書**

分割子案

中文說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：101131917

※申請日：94.5.9

※IPC 分類：H01L 29/772 (2006.1)
H01L 31/0328 (2006.1)

原申請案號：094114829

分割案

一、發明名稱：(中文/英文)

電晶體、場效電晶體及金屬半導體場效電晶體

TRANSISTOR, FIELD EFFECT TRANSISTOR, AND METAL
SEMICONDUCTOR FIELD EFFECT TRANSISTOR**二、中文發明摘要：**

一種場效電晶體包含一依序形成於一基板上之緩衝層與通道層。一源極、汲極、及閘極係皆形成以電接觸於該通道層，且該閘極設於該源極與汲極之間。一填隙層係形成於該閘極與汲極之間之該通道層之至少一部分表面上，及一場板係形成於該填隙層上且隔離於該通道層與閘極。該填隙層藉由至少一傳導性路徑以電連接於該源極，其中該場板減低該MESFET內之峰值操作電場。

三、英文發明摘要：

A field effect transistor comprising a buffer and channel layer formed successively on a substrate. A source electrode, drain electrode, and gate are all formed in electrical contact with the channel layer, with the gate between the source and drain electrodes. A spacer layer is formed on at least a portion of a surface of the channel layer between the gate and drain electrode and a field plate is formed on the spacer layer isolated from the gate and channel layer. The spacer layer is electrically connected by at least one conductive path to the source electrode, wherein the field plate reduces the peak operating electric field in the MESFET.

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

10	MESFET
18	源極
20	汲極
22	閘極
24	閘極接觸件
26	第一填隙層
30	場板
32	傳導性匯流排
34	傳導性路徑

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明關於電晶體，且特別是使用場板之場效電晶體。

【先前技術】

本申請案聲明 Wu 多人在 2004 年 5 月 13 日提出之第 60/571,342 號美國專利暫時申請案之權益。

在鋁鎵氮/鎵氮半導體材料製造上之改良已增進了鋁鎵氮/鎵氮電晶體之發展，例如用於高頻率、高溫及高功率應用上之高電子遷移率電晶體 (HEMTs)。鋁鎵氮/鎵氮具有大頻帶間隙、高峰值及飽和電子速度值 [B.Gelmont, K.Kim and M.Shur, *Monte Carlo Simulation of Electron Transport in Gallium Nitride*, J.Appl.Phys.74, (1993), pp.1818-1821]。

電子入陷及 DC 與 RF 特徵之間之生成差異為該等裝置性能中之一限制性因素。氮化矽 (SiN) 鈍化已被成功地採用，以消除在 10 GHz 時有 10 W/mm 以上功率密度之高性能裝置中所產生之此項入陷問題。例如，在此將其內文納入供作參考之第 6,586,781 號美國專利即揭露一種減少以氮化鎵為主之電晶體內之入陷效應之方法及結構。惟，由於高電場存在於諸結構中，因此電荷入陷仍為一項關鍵。

場板 (FP) 已被用於增進在微波頻率時之以氮化鎵為主之 HEMTs 性能 [請參閱 S Kamalkar and U.K.Mishra, *Very High Voltage AlGaIn/GaN High Electron Mobility Transistors Using a Field Plate Deposited on a Stepped Insulator*, Solid State Electronics 45, (2001), pp.1645- 1662]。惟，諸方法牽

涉到一連接於電晶體閘極之場板，且該場板位於通道之汲極側之頂面上。此將導致一明顯之場板-汲極電容，且連接於閘極之該場板會對該裝置增添額外之閘極-汲極電容(C_{gd})。此舉不僅減低了增益，亦會因為不良之輸入-輸出隔離而導致不穩定性。

【發明內容】

本發明提供一種具有一源極連接的場板之改良式場效電晶體。根據本發明之一場效電晶體實施例包含一金屬半導體場效電晶體(MESFET)，其具有一設於一基板上之緩衝層，及一通道層，其設於該緩衝層上且該緩衝層被夾置於該通道層與該基板之間。一源極，其電接觸於該複數個通道層，且伴隨著一電接觸於該通道層之汲極。一閘極，其電接觸於該源極與汲極之間之該通道層。一填隙層，其覆蓋該閘極與該汲極之間之該通道層之至少一部分。一場板，其形成於該填隙層上且電隔離於該通道層與閘極，該場板係藉由至少一傳導性路徑以電連接於該源極。

根據本發明之另一場效電晶體實施例包含一依序形成於一基板上之緩衝層與通道層。一源極、汲極、及閘極係皆形成以電接觸於該通道層，且該閘極設於該源極與汲極之間。一填隙層係形成於該閘極與汲極之間之該通道層之至少一部分表面上，及一場板分隔地形成於該填隙層上且隔離於該通道層與閘極。該填隙層藉由至少一傳導性路徑以電連接於該源極，其中該場板減低該電晶體內之峰值操作電場。

根據本發明之又一電晶體實施例包含一金屬半導體場效電晶體(MESFET)，其具有一緩衝層與通道層，其依序形成於一基板上。源極、汲極、及閘極皆形成以電連接於該通道層且該閘極設於該源極與汲極之間。一場板係自該閘極之緣部朝向該汲極延伸出一距離 L_f ，該場板隔離於該閘極與主動層。至少一傳導性路徑將該場板電連接於該源極，該至少一傳導性路徑覆蓋該閘極與源極之間少於全部之最頂表面。

根據本發明之再一電晶體實施例包含一主動區，其具有一通道。源極、汲極、及閘極皆電連接於該主動區且該閘極設於該主動區上之該源極與汲極之間。一填隙層設於該閘極與汲極之間之該主動區之至少一部分上。一場板設於該填隙層上且其隔離於該主動區與閘極，該場板藉由至少一傳導性路徑以電連接於該源極，該場板係在該填隙層上自該閘極之緣部朝向該汲極延伸出一距離 L_f 。

本發明之上述及其他特性與優點將由以下詳細說明且配合附圖，供習於此技者瞭解，其中：

【實施方式】

本發明之場板配置方式可用於許多不同之電晶體結構。寬頻帶間隙電晶體結構大體上包括一主動區，其具有形成電力性接觸於該主動區之金屬源極與汲極，及一閘極，其形成於該源極與汲極之間，以調制該主動區內之電場。一填隙層形成於該主動區上方。該填隙層可包含一介電質層，或多數個介電質層之組合。一傳導性場板形成於該填

隙層上，且自該閘極之緣部朝向該汲極延伸一距離 L_f 。

該場板可以電連接於該源極。此場板配置方式可以減小該裝置內之峰值電場，造成增大之崩潰電壓及減少入陷。電場減小亦可產生其他效益，例如減小崩潰電流及增進可靠性。藉由將場板電連接於該源極，由閘極連接之場板所致之減小增益與不穩定性即減少。當根據本發明而配置時，一源極連接之場板之遮蔽效果可以減少 C_{gd} ，而增進了輸入-輸出隔離。

可以使用本發明場板配置方式之其中一電晶體類型係一場效電晶體，且特別是一金屬半導體場效電晶體(MESFET)，其典型上包括一緩衝層及一設於該緩衝層上之通道層。一閘極形成於該源極與汲極之間之該通道層上。

根據本發明，一填隙層形成於該通道層上且覆蓋該閘極與汲極之間之至少一部分通道層，以致使一場板可以形成於填隙層上且電隔離於該通道層。在其他實施例中該填隙層亦可覆蓋該閘極之全部或一部分，以致使場板可以疊覆於該閘極同時仍電隔離於該閘極與該通道層。在一較佳實施例中，該填隙層覆蓋該閘極以及該閘極與該源極、汲極之間之障壁層表面。該填隙層可包含一介電質層，或多數個介電質層之組合。可以使用不同之介電性材料，例如氮化矽、二氧化矽、矽、鍺、鎂氧化物(MgO_x)、鎂氮化物(MgN_x)、氧化鋅、矽氮化物(SiN_x)、矽氧化物(SiO_x)、其合金或層列，或文後所述之外延生長材料。

一傳導性場板形成於該填隙層上且自該閘極之緣部朝向該汲極延伸一測得距離 L_f ，而該場板與閘極典型上係在分離之沉積步驟作期間形成。該場板典型上係藉由以不同方式配置之傳導性路徑而電連接於該源極。

應該瞭解的是當一元件或層被稱為"在上面"、"連接於"、"聯結於"或"接觸於"另一元件或層時，其可直接在上面、連接於或聯結於、或接觸於另一元件或層，或是可設有介置元件或層。對比之下，當一元件或層被稱為"直接在上面"、"直接連接於"、"直接聯結於"或"直接接觸於"另一元件或層時，則無介置元件或層存在。同樣地，當一第一元件或層被稱為"電接觸於"或"電耦合於"一第二元件或層時，則有一電力路徑可允許電流流動於該第一元件或層與該第二元件或層之間。該電力路徑可包括電容器、耦合之電感器、及/或其他即使是在傳導性元件之間無直接接觸下仍允許電流流動之其他元件。

圖1、2揭示根據本發明之一MESFET 10之實施例，其可由許多不同半導體材料系統構成，且一較佳之MESFET 10係以碳化矽為主。MESFET 10包含一基板12，其可由能支撐碳化矽生長之許多不同材料構成。較佳之基板材料為碳化矽，且在一些實施例中，基板12可包含購自北卡州杜罕市Cree公司之半絕緣性4H-SiC。

MESFET 10尚包含一形成於基板12上之碳化矽緩衝層14且具有一形成於該緩衝層上之碳化矽通道層16，而緩衝層14被夾置於通道層16與基板12之間。緩衝層與通道層14、

16皆可使用習知半導體生長技術而形成於基板12上，例如金屬氧化物化學氣體沉積(MOCVD)、氮化物氣相外延(HVPE)或分子束外延(MBE)。

一成核層(圖中未示)可以包括在基板12與緩衝層14之間，以減少二者之間之任意晶格錯配。該成核層可包含許多不同材料，亦可利用MOCVD、HVPE或MBE而形成於基板12上。該成核層之形成可以取決於基板12所用之材料。例如，將一成核層形成於不同基板上之方法係揭述於第5,290,393及5,686,738號美國專利中，其內文在此納入供作參考。將複數個成核層形成於碳化矽基板上之方法係揭述於第5,393,993、5,523,589及5,739,554號美國專利中，其內文在此納入供作參考。

金屬源極與汲極18、20係形成接觸於通道層16，且一閘極22形成於源極與汲極18、20之間之通道層16上。當閘極22被以適當位準偏壓時，電流即可通過通道層16而流動於源極與汲極18、20之間。源極與汲極18、20可由不同材料構成，其包括但是不限定的有鈦、鋁、金或鎳等之合金、鎳、金、鉑、鈦、鉻、鈦與鎢之合金、或矽化鉑。閘極22可以具有許多不同長度，且一較佳之閘極長度(L_g)為大約0.5微米。如圖1所示，閘極22連接於且接觸於一閘極接觸件24。

如圖2所示，一第一填隙層26形成於閘極22上，以及閘極22與源極、汲極18、20之間之通道層16之表面上。惟，如上所述，填隙層26可以覆蓋較少之該通道層與閘極，只

要備有一足夠之填隙層以將該場板隔離於該閘極與通道層即可。填隙層26可以包含許多上述之不同材料，無論是單獨或組合上，但是較佳為包含一層之上列其中一介電性材料，或複數個不同層之介電性材料。填隙層26可為許多不同厚度，且適當之厚度範圍在大約0.05至2微米。該等裝置之間之電隔離係利用在MESFET之主動區以外之突塊蝕刻或離子實施而達成。

當填隙層26係在該裝置金屬化之前形成時，填隙層26可以包含一外延材料，例如一具有不同III族元素之III族氮化物材料，例如鋁、鎵、或銦之合金，而一適當之填隙層材料為 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$)。在通道層16之外延生長後，填隙層26可以使用相同之外延生長方法生長。填隙層26隨後被蝕刻，以致使閘極22、源極18及汲極20可以正確地形成接觸於緩衝層14與2DEG 17。一場板可以隨後沉積於閘極22與汲極20之間之該填隙層上。在該場板疊覆於該閘極之諸實施例中，另一介電性材料之填隙層應被包括在內且至少一部分在該閘極上方，以將該閘極隔離於該場板。

一場板30形成於閘極22與汲極20之間之填隙層26上，且場板30接近於閘極22但是不疊覆於其上。閘極22與該場板之間之一間隙(L_{gf})不變，且應該寬到足以隔離於場板30，同時小到足以將場板30提供之場效應最大化。若 L_{gf} 太寬，場效應即減小。在本發明之一實施例中， L_{gf} 可為大約0.4微米或更小，儘管較大及較小之間隙亦可使用。

場板30可以自閘極24之緣部延伸出不同之距離 L_f ，且一

適當之距離範圍在大約0.1至2微米。場板30可以包含許多不同之傳導性材料，且一適當材料為一金屬、或多數個金屬之組合，其利用標準金屬化方法而沉積。在本發明之一些實施例中，場板30包含鈦/金或鎳/金。

場板30係電連接於源極接觸件18且圖1揭示二種可以依本發明使用之連接結構，儘管可以瞭解到其他連接結構亦能使用。在該填隙層覆蓋該閘極以及閘極22與源極18之間之通道層表面上之諸實施例中，傳導性匯流排32可以形成於填隙層26上，以利延伸於場板30與源極18之間。不同數量之匯流排32皆可使用，儘管匯流排數量越多則由匯流排所生之不必要電容會越多。該匯流排應具有一足夠數量，使電流有效地分布於源極接觸件18與場板30之間，同時不致於覆蓋過多之MESFET主動區，匯流排32之一適當數量為2。在一實施例中，傳導性路徑並未覆蓋該閘極與源極之間之所有最頂層，而其較佳為填隙層26。

或者，填隙層26可以僅覆蓋該閘極與源極之間之長條(圖中未示)內之通道層表面，且該長條具有一足以支撐傳導性匯流排32之寬度。匯流排32隨後從場板30延伸至將該通道層覆蓋之該等填隙層上。

場板30亦可透過一傳導性路徑34而電連接於源極接觸件18，該路徑延伸於該MESFET 10之主動區與填隙層26外且聯結於源極接觸件18。此配置方式可用於其他實施例中，但是特別適用於填隙層26未覆蓋閘極22與源極18之間之通道層16的實施例。如圖1所示，路徑34係在閘極22之相對

側延伸於該MESFET之主動區外。在本發明之可替代實施例中，該傳導性路徑可在閘極22側延伸於MESFET 10之主動區外，或MESFET 10可包括二或多條延伸於MESFET 10之相同或不同側之傳導性路徑。

在場板30沉積及連接於源極接觸件18後，主動結構可以由一介電性鈍化層(圖中未示)覆蓋，例如氮化矽。鈍化層可以利用已知生長方法形成。

圖3、4揭示根據本發明之一MESFET 40之另一實施例，其具有許多相似於MESFET 10者之元件。針對相似元件則使用相同參考編號，且該等元件即不做詳細說明，應該瞭解的是上述元件之說明同樣適用於MESFET 40。

MESFET 40較佳係以碳化矽為主，且包含一碳化矽基板12、碳化矽緩衝層14、碳化矽通道層16、源極接觸件18、汲極接觸件20、閘極22、閘極接觸件24及填隙層26。MESFET 40亦包含一場板42，其主要形成於閘極22與汲極接觸件20之間之填隙層26上，但是亦疊覆一部分之閘極22。對於圖1、2中之MESFET 10，其 L_{gf} 小，因而在製造期間會出現一些困難。藉由將場板42疊覆於閘極22，HEMT 40可以不必符合 L_{gf} 之公差而製成。惟，場板42之疊覆段會引起額外不必要之電容。在決定是否使用一場板30或42時，使用場板42之製造方便性必需與圖1、2中之場板30所提供之減小電容達成平衡。MESFET 40亦包含匯流排44或一傳導性路徑34，以將場板42電連接於源極接觸件18。

根據本發明之源極連接場板配置方式可以使用在上述者

以外之許多不同 MESFETs。例如，圖 5 揭示根據本發明之一 MESFET 50 之另一實施例，其具有許多相似於 MESFET 10、40 者之元件，包括一基板 12、緩衝層 14、通道層 16、源極 18、及汲極 20。惟，MESFET 50 具有一伽瑪 (Γ) 形狀之閘極 52，其特別適用於高頻率操作。閘極長度 (L_g) 為在決定裝置速度時之其中一重要裝置尺寸，且較高頻率之裝置則其閘極長度較短。較短之閘極長度可導致高電阻，此對於高頻率操作有負面衝擊。T-閘極被普遍用在高頻率操作，但是吾人難以達成一場板與一 T-閘極之良好聯結。

伽瑪閘極 52 提供用於低閘極電阻，且容許做閘極涵蓋範圍之控制性界定。一填隙層 54 被包括在內，其覆蓋伽瑪閘極 52 以及伽瑪閘極 52 與源極、汲極 18、20 之間之障壁層 16 表面。一間隙保留在伽瑪閘極 52 之水平部分與填隙層 54 之頂部之間，以及閘極 52 與源極之間。MESFET 50 亦包括一設於填隙層 54 上之場板 56，填隙層則疊覆於伽瑪閘極 52，且場板 56 較佳為設於無水平懸伸段之伽瑪閘極 52 一側上。此配置方式可供場板 56 與其下方諸主動層之間有緊密配置及有效聯結。在其他伽瑪閘極實施例中，場板可與場板 56 同樣地配置，但是疊覆於閘極，閘極緣部與場板之間可以有一間隙，如圖 2 中所示之間隙 L_{gf} 。

場板 56 可用許多不同方式電連接於源極 18。由於閘極 52 之水平段之下表面與填隙層 54 之間之間隙，故其難以直接在場板 56 與源極 18 之間提供一傳導性路徑。取代的是，一傳導性路徑可被包括在場板 56 與源極 18 之間，其延伸於

MESFET 50之主動區外。另者，伽瑪閘極52可由填隙層54完全覆蓋，且將該閘極水平段下方之間隙填充。傳導性路徑隨後直接從場板56延伸至填隙層54上方之源極。主動結構接著可由一介電性鈍化層(圖中未示)覆蓋。

圖6揭示根據本發明之又一MESFET 60，其亦可配置一源極連接之場板。MESFET 60亦具有許多相似於圖1-4所示MESFET 10、40者之元件，包括一基板12、緩衝層14、通道層16、源極18、及汲極20。惟，閘極62係在通道層16內凹陷，且由一填隙層64覆蓋。在其他實施例中，該閘極之底表面可以僅為局部凹陷，或者該閘極之不同部分可以在通道層16內凹陷至不同深度。一場板66係配置於填隙層64上且電連接於源極18，及該主動結構可由一介電性鈍化層(圖中未示)覆蓋。如同上述MESFET 60者，場板66可經配置以致使閘極緣部與場板之間有一間隙 L_{gf} 。

上述實施例提供寬頻帶間隙之電晶體，特別是MESFETs，且其在微波與毫米波頻率時有改善之功率。MESFETs同時可因為較高之輸入-輸出隔離而展現高增益、高功率、及較穩定之操作。該結構可以針對高壓低頻之應用而延伸至較大尺寸。

儘管本發明已參考其特定之較佳構形詳細說明於前，其他版本仍是可行的。該場板配置方式可用於許多不同裝置中。該場板亦可具有許多不同形狀，及以許多不同方式連接於該源極接觸件。本發明之精神及範疇不應被侷限於上述之本發明較佳版本內。

【圖式簡單說明】

圖1係根據本發明之一MESFET實施例之平面圖；

圖2係圖1內之MESFET之截面圖；

圖3係根據本發明之另一MESFET實施例之平面圖；及

圖4係圖3內之MESFET之截面圖；

圖5係根據本發明之另一MESFET實施例之截面圖，其具有一伽瑪閘極；及

圖6係根據本發明之又一MESFET實施例之截面圖，其具有一凹陷形閘極。

【主要元件符號說明】

10、40、50、60	MESFET
12	基板
14	緩衝層
16	通道層、障壁層
18	源極
20	汲極
22、62	閘極
24	閘極接觸件
26	第一填隙層
30、42、56、66	場板
32、44	傳導性匯流排
34	傳導性路徑
52	伽瑪閘極
54、64	填隙層

七、申請專利範圍：

1. 一種場效電晶體，其包含：

一主動區，包含一緩衝層與通道層；

源極電極、汲極電極、及閘極，其皆電接觸該通道層且該閘極設於該源極電極與汲極電極之間；

一填隙層，其位於該閘極與汲極電極之間之該通道層之至少一部分表面上；及

一場板，其位於該填隙層上且電性隔離於該通道層與閘極，及藉由至少一傳導性路徑以電連接於該源極電極，各該至少一傳導性路徑延伸於該主動區外且並未覆蓋該閘極與源極之間之該主動區，其中該場板減低該電晶體內之峰值操作電場。

2. 如請求項1之電晶體，其中該峰值操作電場之減低係增大該電晶體之崩潰電壓。

3. 如請求項1之電晶體，其中該峰值操作電場之減低係減少該電晶體內之入陷。

4. 如請求項1之電晶體，其中該峰值操作電場之減低係減少該電晶體內之漏電流。

5. 如請求項1之電晶體，其中該填隙層至少局部性覆蓋該閘極且延伸於該閘極與汲極電極之間之該通道層之至少一部分表面上，該場板至少局部性疊覆該閘極且在該填隙層上延伸向該汲極電極。

6. 如請求項1之電晶體，其中該填隙層位於該閘極與該源極電極之間之該等主動半導體層表面上。

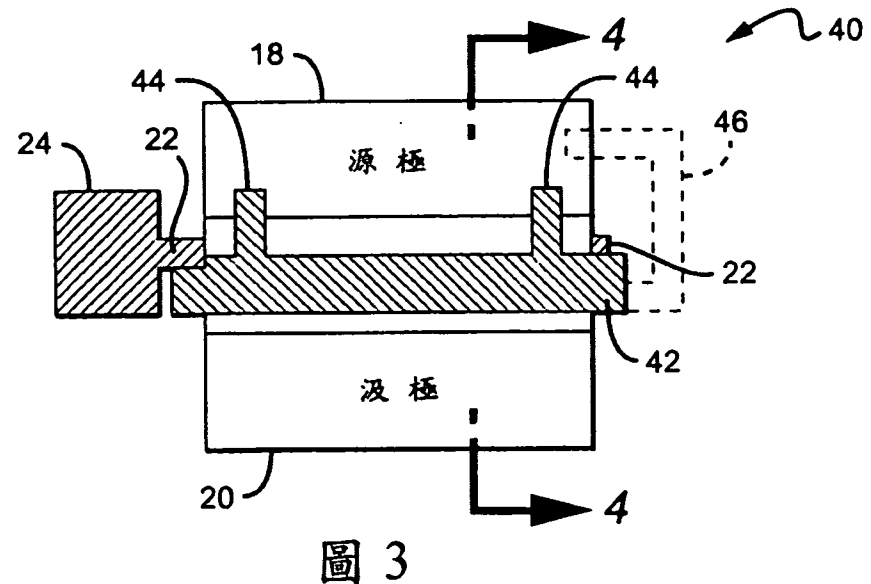
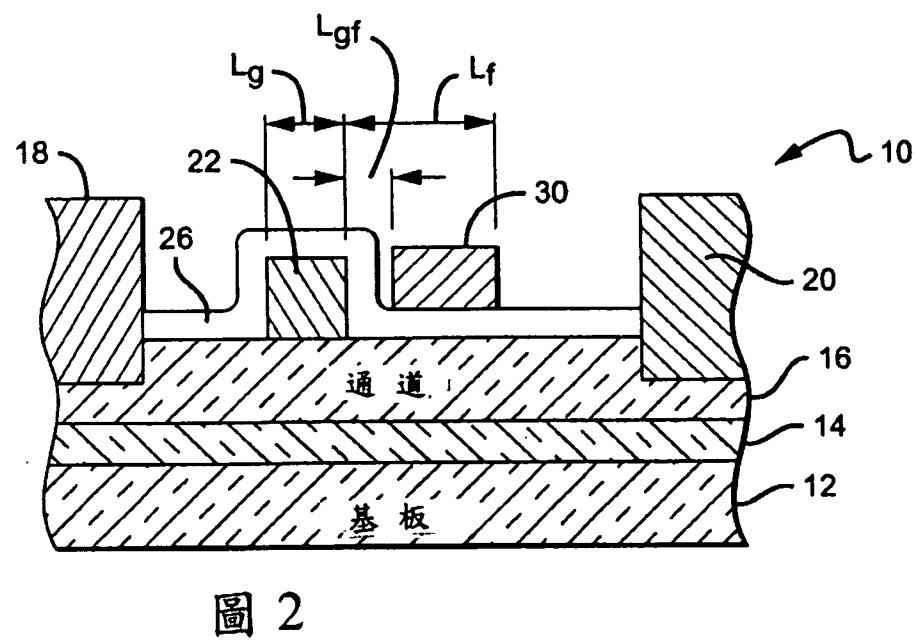
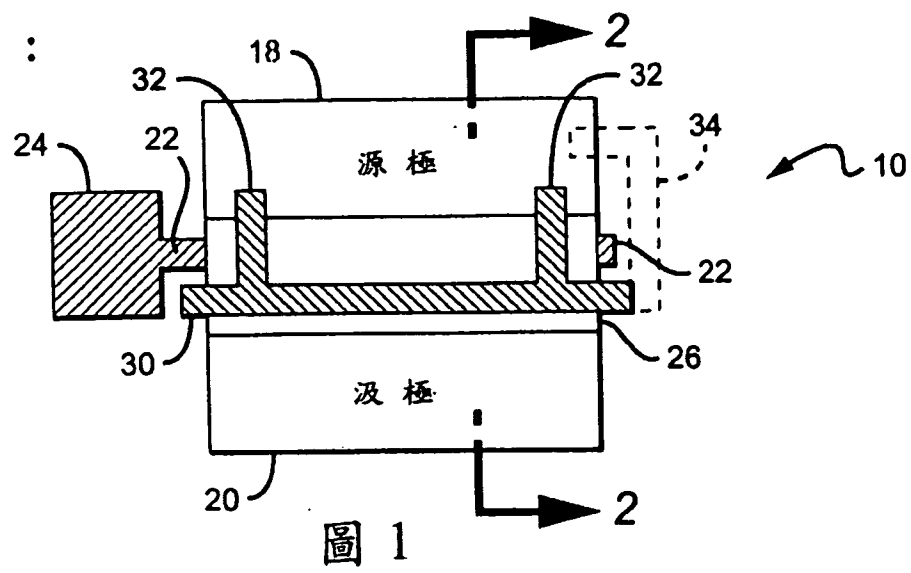
7. 如請求項1之電晶體，其中該填隙層包含一介電性材

料，或多層介電性材料。

8. 如請求項1之電晶體，其中該場板自該閘極之一緣部與該閘極間隔一距離 L_{gf} 。
9. 一種金屬半導體場效電晶體(MESFET)，其包含：
 - 一主動區，包含一緩衝層與通道層；
 - 源極電極、汲極電極、及閘極，其皆電接觸該通道層且該閘極設於該源極與汲極之間；
 - 一場板，其係自該閘極之一緣部朝向該汲極延伸出一距離 L_f ，該場板藉由一填隙層電性隔離於該閘極與主動層，該填隙層至少局部性覆蓋該閘極；及
 - 至少一傳導性路徑，其將該場板電連接於該源極電極，各該至少一傳導性路徑係形成於該閘極與源極之間該電晶體之少於全部之最頂表面上且覆蓋該閘極與源極之間少於全部之最頂表面，各該傳導性路徑藉由該填隙層與該等主動層電性隔離。
10. 如請求項9之MESFET，尚包含一設於該場板與該閘極及主動層之間之填隙層，以提供該場板隔離。
11. 如請求項9之MESFET，其中該場板減低該MESFET內之峰值操作電場。
12. 如請求項11之MESFET，其中該峰值操作電場之減低係增大該MESFET之崩潰電壓。
13. 如請求項11之MESFET，其中該峰值操作電場之減低係減少該MESFET內之入陷。
14. 如請求項11之MESFET，其中該峰值操作電場之減低係減少該電晶體內之漏電流。

15. 如請求項9之MESFET，其中該場板自該閘極之該緣部與該閘極間隔一距離 L_{gf} 。
16. 一種電晶體，其包含：
 - 一主動區，其具有一通道；
 - 源極電極、汲極電極、及閘極，其皆電接觸於該主動區且該閘極設於該主動區上之該源極與汲極之間；
 - 一填隙層，其設於該閘極與汲極電極之間之該主動區之至少一部分上；及
 - 一場板，其設於該填隙層上且藉由該填隙層電性隔離於該主動區與閘極，該填隙層至少局部性覆蓋該閘極，該場板藉由至少一傳導性路徑以電連接於該源極，該至少一傳導性路徑延伸於該主動區外且並未覆蓋該主動區，該場板係自該閘極之一緣部朝向該汲極電極伸展一距離 L_{gf} 且在該填隙層上自該閘極之該緣部朝向該汲極電極延伸出一距離 L_f 。
17. 如請求項16之電晶體，其中將該場板電連接於該源極電極之該至少一傳導性路徑覆蓋該閘極與源極電極之間少於全部之最頂表面處。
18. 如請求項16之電晶體，尚包含一設於該場板與該閘極及主動區之間之填隙層，以提供該場板隔離。
19. 如請求項16之電晶體，其中該場板自該閘極間隔一距離 L_{gf} 。

八、圖式：



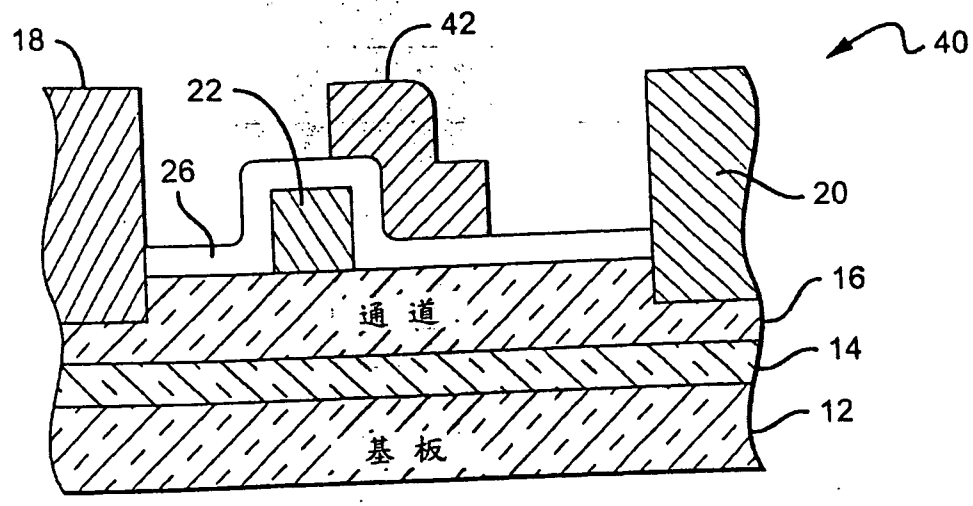


圖 4

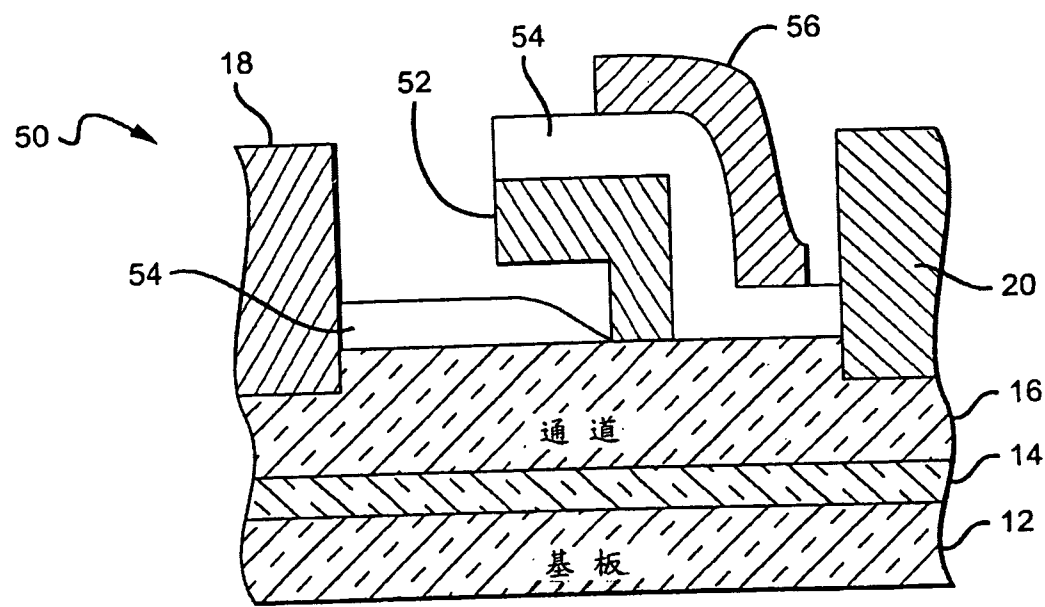


圖 5

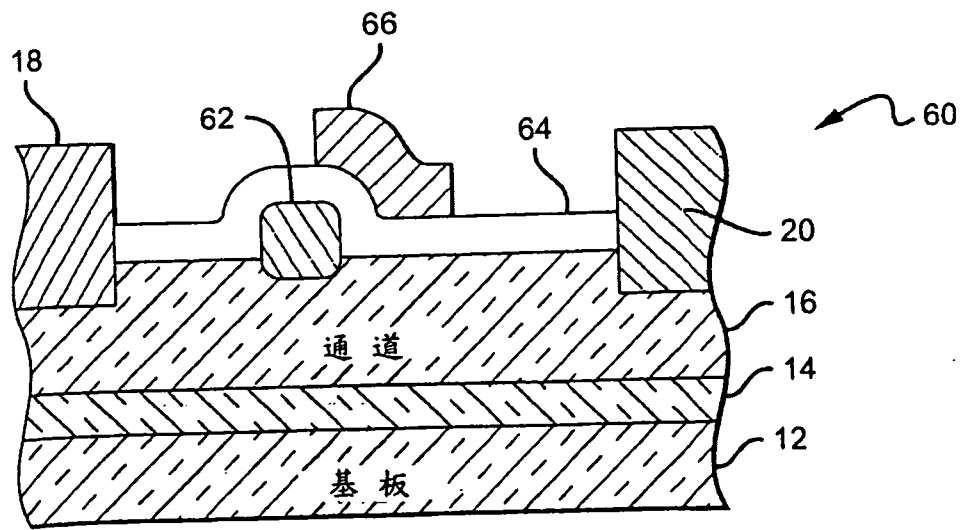


圖 6