

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-5156

(P2017-5156A)

(43) 公開日 平成29年1月5日(2017.1.5)

(51) Int.Cl.

H01L 33/14 (2010.01)

F I

H01L 33/00 150

テーマコード (参考)

5F241

審査請求 未請求 請求項の数 7 O L (全 18 頁)

(21) 出願番号 特願2015-118917 (P2015-118917)
 (22) 出願日 平成27年6月12日 (2015.6.12)

(71) 出願人 000102212
 ウシオ電機株式会社
 東京都千代田区丸の内一丁目6番5号
 (74) 代理人 110000729
 特許業務法人 ユニ阿斯国際特許事務所
 (72) 発明者 杉山 徹
 兵庫県姫路市別所町佐土1194番地 ウ
 シオ電機株式会社内
 Fターム(参考) 5F241 AA03 CA04 CA05 CA12 CA40
 CA65 CA74 CA85 CA86 CA87
 CB15

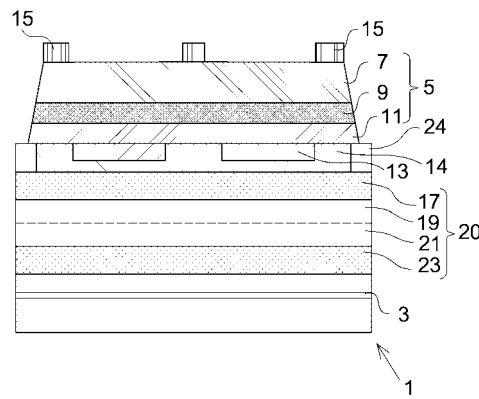
(54) 【発明の名称】 半導体発光素子及びその製造方法

(57) 【要約】

【課題】従来よりも光取り出し効率の向上した半導体発光素子を提供する。

【解決手段】 半導体発光素子は、第一半導体層と、活性層と、第二半導体層と、第一半導体層の面のうちの基板に近い側の面に接触して形成された電流遮断層と、第一半導体層の面のうちの前記基板に近い側の面であって、電流遮断層が形成されていない領域内の面に接触して形成された第一電極と、第二半導体層に接触し、基板の面に直交する方向に関して電流遮断層と対向する位置に形成された第二電極とを備える。電流遮断層は、Pd又はCuの少なくとも一方を含むAg合金で構成される。電流遮断層と第一半導体層との間の接触抵抗が、第一電極と第一半導体層との間の接触抵抗よりも高い。

【選択図】 図1A



【特許請求の範囲】

【請求項 1】

n 型又は p 型の第一半導体層、前記第一半導体層の上層に形成された活性層、及び前記活性層の上層に形成され前記第一半導体層とは導電型の異なる第二半導体層を含む半導体層が、基板上に形成されてなる半導体発光素子であって、

前記第一半導体層の面のうちの前記基板に近い側の面に、接触して形成された電流遮断層と、

前記第一半導体層の面のうちの前記基板に近い側の面であって、前記電流遮断層が形成されていない領域内の面に接触して形成された第一電極と、

前記第二半導体層に接触し、前記基板の面に直交する方向に関して前記電流遮断層と対向する位置に形成された第二電極とを備え、

前記電流遮断層は、Pd 又は Cu の少なくとも一方を含む Ag 合金で構成されており、

前記電流遮断層と前記第一半導体層との間の接触抵抗が、前記第一電極と前記第一半導体層との間の接触抵抗よりも高いことを特徴とする半導体発光素子。

【請求項 2】

前記第一電極は、Ag を含む材料で構成されていることを特徴とする請求項 1 に記載の半導体発光素子。

【請求項 3】

前記第一半導体層の端部の領域において、前記第一半導体層の面のうちの前記基板に近い側の面に接触して形成された絶縁層を有することを特徴とする請求項 1 又は 2 に記載の半導体発光素子。

【請求項 4】

n 型又は p 型の第一半導体層、前記第一半導体層の上層に形成された活性層、及び前記活性層の上層に形成され前記第一半導体層とは導電型の異なる第二半導体層を含む半導体層が、基板上に形成されてなる半導体発光素子の製造方法であって、

前記第二半導体層、前記活性層、及び前記第一半導体層の順に前記半導体層を形成する工程 (a) と、

前記第一半導体層の上面の第一領域に、第一電極を形成する工程 (b) と、

前記第一半導体層の上面であって、前記第一領域とは異なる第二領域に、Pd 又は Cu の少なくとも一方を含む Ag 合金で構成された電流遮断層を形成する工程 (c) と、

前記第一電極及び前記電流遮断層の上層に前記基板を貼り合わせると共に、前記第二半導体層を露出する工程 (d) と、

露出された前記第二半導体層の上面のうち、前記基板の面に直交する方向に関して前記電流遮断層と対向する位置に第二電極を形成する工程 (e) とを有し、

前記工程 (c) は、前記工程 (b) で形成された前記第一電極と比較して、前記第一半導体層との接触抵抗が高くなるように前記電流遮断層を形成する工程であることを特徴とする半導体発光素子の製造方法。

【請求項 5】

前記工程 (b) は、金属材料を成膜した後にアニール処理を行う工程を含み、

前記工程 (c) は、前記 Ag 合金を成膜した後に、前記工程 (b) よりも低温でアニール処理を行う工程を含むか、又はアニール処理を行わないことを特徴とする請求項 4 に記載の半導体発光素子の製造方法。

【請求項 6】

前記工程 (b) において成膜される前記金属材料が、Ag を含むことを特徴とする請求項 5 に記載の半導体発光素子の製造方法。

【請求項 7】

前記工程 (d) よりも前に、前記第一半導体層の上面の端部の領域に絶縁層を形成する工程 (f) と、

前記工程 (d) よりも後に、前記絶縁層が露出するまで前記半導体層をエッチングする工程 (g) とを有することを特徴とする請求項 4 ~ 6 のいずれか 1 項に記載の半導体発光

10

20

30

40

50

素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体発光素子及びその製造方法に関する。

【背景技術】

【0002】

近年、窒化物半導体を用いた発光素子の開発が進められている。この発光素子は、n型半導体層と、p型半導体層と、これらn型半導体層及びp型半導体層に挟まれるように形成された活性層とを含んで構成される。n型半導体層とp型半導体層の間に電位差が設けられることで両者間に電流が流れ、活性層内で電子と正孔が再結合して発光する。活性層内で生成されたこの光を有効に利用すべく、種々の研究開発が進められている。

10

【0003】

例えば、下記特許文献1には、いわゆる「縦型構造」を有する発光素子が開示されている。縦型構造の素子とは、活性層に対して基板に直交する方向に電圧が印加されることで、活性層が発光する素子を指す。

【0004】

図7は、特許文献1に開示された発光素子の断面図を模式的に示したものである。従来の発光素子90は、基板91上に導電層92、反射膜93、絶縁層94、反射電極95、半導体層99、及びn側電極100を備えて構成される。半導体層99は、p型半導体層96、活性層97、及びn型半導体層98が基板91側から順に積層されて構成される。

20

【0005】

絶縁層94の下層には金属材料からなる反射膜93が形成されているが、この反射膜93はオーミック性を有さず電極としての機能を奏さない。一方、反射電極95は金属材料からなり、p型半導体層96の間でオーミック接触が実現されることで電極(p側電極)として機能している。

【0006】

反射電極95は、活性層97で生成された光のうち、基板91に向かう方向(図面下向き)に放射された光を反射させてn側半導体層98側(図面上向き)に取り出すことで、光の取り出し効率を高める目的を兼ねている。反射膜93も同様の目的で形成されており、反射電極95が形成されていない箇所を通過して下向きに進行した光を反射させてn側半導体層98側に進行方向を変えることで、光の取り出し効率が高められる。

30

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特許第4207781号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかし、活性層97から下向きに放射された光が反射膜93によって反射されて上向きに取り出されるに際し、この光は、反射膜93で反射される前と反射した後の2回にわたって、絶縁層94内を通過することになる。絶縁層94は透明膜として構成されるものの、この絶縁層94内を光が通過する際に数%の光が絶縁層94によって吸収されてしまう。より詳細には、活性層97から絶縁層94を通過して反射膜93に達するまでに3-4%程度の光が吸収され、更に反射膜93で反射された光が絶縁層94を通過してn型半導体層98側の外部に取り出されるまでに更に3-4%の光が吸収される。

40

【0009】

つまり、従来の構成では、活性層97から放射された光のうち、下向きに放射された光を反射させて取り出し効率を高めてはいるものの、一部の光が絶縁層94内に吸収されてしまっているため、取り出し効率を十分に高められているとはいえない。

50

【 0 0 1 0 】

本発明は、上記の課題に鑑み、従来よりも光取り出し効率の向上した半導体発光素子を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 1 】

本発明は、n型又はp型の第一半導体層、前記第一半導体層の上層に形成された活性層、及び前記活性層の上層に形成され前記第一半導体層とは導電型の異なる第二半導体層を含む半導体層が、基板上に形成されてなる半導体発光素子であって、

前記第一半導体層の面のうちの前記基板に近い側の面に、接触して形成された電流遮断層と、

前記第一半導体層の面のうちの前記基板に近い側の面であって、前記電流遮断層が形成されていない領域内の面に接触して形成された第一電極と、

前記第二半導体層に接触し、前記基板の面に直交する方向に関して前記電流遮断層と対向する位置に形成された第二電極とを備え、

前記電流遮断層は、Pd又はCuの少なくとも一方を含むAg合金で構成されており、

前記電流遮断層と前記第一半導体層との間の接触抵抗が、前記第一電極と前記第一半導体層との間の接触抵抗よりも高いことを特徴とする。

【 0 0 1 2 】

上記構成によれば、電流遮断層と第二電極の間を基板の面に直交する方向に電流が流れにくくなり、半導体層内に流れる電流を、基板の面に平行な方向に拡げる効果が得られる。この結果、活性層内の広い範囲に発光領域を設けることができ、発光効率が高められる。また、図7に示す半導体発光素子90のように、電流を拡げる目的で絶縁層を設ける必要がないため、絶縁層内で光が吸収されるという事態が生じない。この結果、従来の発光素子90よりも光取り出し効率が高められる。

【 0 0 1 3 】

また、電流遮断層は、Agを含む材料で構成されている。Agは、活性層から射出された光に対して高い反射率を示すため、活性層から基板側に向けて射出された光を、第二半導体層側に高効率で反射させることができる。

【 0 0 1 4 】

更に、上記の構成では、電流遮断層は、Pd又はCuの少なくとも一方を含むAg合金で構成されている。本発明者の鋭意研究により、電流遮断層を上記Ag合金で構成した場合、純粋なAgで構成する場合よりも、第一半導体層との間でショットキー接触を実現しながらも素子の動作電圧を低減させる効果が得られることを見出した。この点は、「発明を実施するための形態」の項で、実施例を参照して後述される。

【 0 0 1 5 】

よって、上記の構成によれば、動作電圧を低くした状態で、従来よりも高い光取り出し効率を示す半導体発光素子の実現される。

【 0 0 1 6 】

上記構成において、前記第一電極は、Agを含む材料で構成されるものとしても構わない。

【 0 0 1 7 】

かかる構成によれば、第一電極及び電流遮断層の両方において、活性層から射出された光に対する反射率を高めることができ、光取り出し効率を向上させることができる。なお、この第一電極を電流遮断層と同一の材料で構成しても構わない。

【 0 0 1 8 】

なお、前記第一半導体層の端部の領域において、前記第一半導体層の面のうちの前記基板に近い側の面に接触して形成された絶縁層を有するものとしても構わない。この絶縁層を、半導体発光素子の製造時においてエッチングストッパとして機能させることができる。すなわち、特に素子分離に係るエッチング工程において、半導体層が必要以上にエッチングされることを防止できる。

10

20

30

40

50

【 0 0 1 9 】

本発明は、 n 型又は p 型の第一半導体層、前記第一半導体層の上層に形成された活性層、及び前記活性層の上層に形成され前記第一半導体層とは導電型の異なる第二半導体層を含む半導体層が、基板上に形成されてなる半導体発光素子の製造方法であって、

前記第二半導体層、前記活性層、及び前記第一半導体層の順に前記半導体層を形成する工程（ a ）と、

前記第一半導体層の上面の第一領域に、第一電極を形成する工程（ b ）と、

前記第一半導体層の上面であって、前記第一領域とは異なる第二領域に、 Pd 又は Cu の少なくとも一方を含む Ag 合金で構成された電流遮断層を形成する工程（ c ）と、

前記第一電極及び前記電流遮断層の上層に前記基板を貼り合わせると共に、前記第二半導体層を露出する工程（ d ）と、

露出された前記第二半導体層の上面のうち、前記基板の面に直交する方向に関して前記電流遮断層と対向する位置に第二電極を形成する工程（ e ）とを有し、

前記工程（ c ）は、前記工程（ b ）で形成された前記第一電極と比較して、前記第一半導体層との接触抵抗が高くなるように前記電流遮断層を形成する工程であることを特徴とする。

【 0 0 2 0 】

上記方法によれば、動作電圧を低くした状態で、従来よりも高い光取り出し効率を示す半導体発光素子を製造することができる。

【 0 0 2 1 】

上記方法において、前記工程（ b ）は、金属材料を成膜した後にアニール処理を行う工程を含み、前記工程（ c ）は、前記 Ag 合金を成膜した後に、前記工程（ b ）よりも低温でアニール処理を行う工程を含むか、又はアニール処理を行わないものとして行うことができる。

【 0 0 2 2 】

また、前記工程（ b ）において成膜される前記金属材料は、 Ag を含むものとして行うことができる。

【 0 0 2 3 】

上記方法において、前記工程（ d ）よりも前に、前記第一半導体層の上面の端部の領域に絶縁層を形成する工程（ f ）と、

前記工程（ d ）よりも後に、前記絶縁層が露出するまで前記半導体層をエッチングする工程（ g ）とを有するものとしても構わない。

【 0 0 2 4 】

上記工程（ f ）において製造された絶縁層は、工程（ g ）に係る素子分離工程においてエッチングストッパとして機能させることができ、半導体層が必要以上にエッチングされることを防止できる。

【 発明の効果 】

【 0 0 2 5 】

本発明によれば、動作電圧の上昇を招くことなく、従来よりも光取り出し効率の高い半導体発光素子の実現される。

【 図面の簡単な説明 】

【 0 0 2 6 】

【 図 1 A 】半導体発光素子の一実施形態の構成を模式的に示す図面である。

【 図 1 B 】半導体発光素子の一実施形態の構成を模式的に示す図面である。

【 図 2 A 】半導体発光素子の製造方法を模式的に示す工程断面図の一部である。

【 図 2 B 】半導体発光素子の製造方法を模式的に示す工程断面図の一部である。

【 図 2 C 】半導体発光素子の製造方法を模式的に示す工程断面図の一部である。

【 図 2 D 】半導体発光素子の製造方法を模式的に示す工程断面図の一部である。

【 図 2 E 】半導体発光素子の製造方法を模式的に示す工程断面図の一部である。

【 図 2 F 】半導体発光素子の製造方法を模式的に示す工程断面図の一部である。

10

20

30

40

50

【図 2 G】半導体発光素子の製造方法を模式的に示す工程断面図の一部である。
 【図 2 H】半導体発光素子の製造方法を模式的に示す工程断面図の一部である。
 【図 2 I】半導体発光素子の製造方法を模式的に示す工程断面図の一部である。
 【図 2 J】半導体発光素子の製造方法を模式的に示す工程断面図の一部である。
 【図 3】電流遮断層と p 型半導体層の間の電流電圧特性を示すグラフである。
 【図 4】実施例と参考例の発光素子の電流電圧特性を対比したグラフである。
 【図 5】半導体発光素子の別実施形態の構成を模式的に示す図面である。
 【図 6】半導体発光素子の別実施形態の構成を模式的に示す図面である。
 【図 7】従来の発光素子の構成を模式的に示す図面である。
 【発明を実施するための形態】

10

【0027】

本発明の窒化物半導体発光素子につき、図面を参照して説明する。なお、各図において、図面の寸法比と実際の寸法比は必ずしも一致しない。また、以下において、「AlGa_mN」という記述は、Al_mGa_{1-m}N (0 < m < 1) という記述と同義であり、Al と Ga の組成比の記述を単に省略して記載したものであって、Al と Ga の組成比が 1 : 1 である場合に限定する趣旨ではない。「InGa_mN」という記述についても同様である。

【0028】

[構成]

図 1 A 及び図 1 B は、本発明の半導体発光素子の一実施形態の構成を模式的に示す図面である。図 1 B は光取り出し方向から見たときの平面図に対応し、図 1 A は図 1 B 内における X - X 線で切断したときの断面図に対応する。半導体発光素子 1 は、基板 3、半導体層 5、第一電極 13、電流遮断層 14、及び第二電極 15 を含んで構成される。以下では、半導体発光素子 1 を単に「発光素子 1」と適宜略記する。

20

【0029】

(基板 3)

基板 3 は、例えば CuW、W、Mo などの導電性基板、又は Si などの半導体基板で構成される。

【0030】

(半導体層 5)

本実施形態では、半導体層 5 は、基板 3 に近い側から p 型半導体層 11、活性層 9 及び n 型半導体層 7 が順に積層されて形成されている。本実施形態では、p 型半導体層 11 が「第一半導体層」に対応し、n 型半導体層 7 が「第二半導体層」に対応する。

30

【0031】

p 型半導体層 11 は、例えば Mg、Be、Zn、又は C などの p 型不純物がドーブされた窒化物半導体層で構成される。窒化物半導体層としては、例えば GaN、AlGa_mN、AlInGa_mN 等を利用することができる。

【0032】

活性層 9 は、例えば InGa_mN で構成される発光層及び n 型 AlGa_mN で構成される障壁層が周期的に繰り返されてなる半導体層で形成される。これらの層はアンドープでも p 型又は n 型にドーブされていても構わない。活性層 9 は、少なくともエネルギーバンドギャップの異なる 2 種類の材料からなる層が積層されて構成されていけばよい。活性層 9 の構成材料は、生成したい光の波長に応じて適宜選択される。

40

【0033】

n 型半導体層 7 は、例えば Si、Ge、S、Se、Sn、又は Te などの n 型不純物がドーブされた窒化物半導体層で構成される。この窒化物半導体層としては、例えば GaN、AlGa_mN、AlInGa_mN 等を利用することができる。なお、n 型半導体層 7 は、p 型半導体層 11 と異なる組成の材料で構成されているものとしても構わない。

【0034】

(第一電極 13)

第一電極 13 は、p 型半導体層 11 に接触して形成されており、p 型半導体層 11 との

50

間でオーミック接触が形成されている。本実施形態では、第一電極 13 は p 側電極を構成する。

【0035】

本実施形態において、第一電極 13 は、活性層 9 から射出される光に対して高い反射率（例えば 80% 以上であり、より好ましくは 90% 以上）を示す導電性の材料で構成される。より具体的には、例えば Ag、Al、又は Rh を含む材料で構成される。

【0036】

（第二電極 15）

第二電極 15 は、n 型半導体層 7 の上面に形成されており、例えば Cr - Au で構成される。本実施形態では、第二電極 15 は n 側電極を構成する。

10

【0037】

図 1 B に示すように、本実施形態の発光素子 1 では、基板 3 とは反対側から、すなわち光取り出し方向から見たときに、第二電極 15 が n 型半導体層 7 の周囲を取り囲むように形成されている。より詳細には、第二電極 15 は、離間した 3 箇所において、所定の方向に延伸するように構成されている。ただし、この第二電極 15 の延伸する本数については、3 本に限られるものではなく 4 本以上であっても構わない。図 1 B に示した第二電極 15 の形状はあくまで一例であって、設計に応じて適宜変更して構わない。

【0038】

なお、図 1 B に示す例では、第二電極 15 が、一部の箇所において光取り出し方向から見て幅広い領域 15a を有している。この領域 15a は、例えば Au、Cu などによって構成されるワイヤ（不図示）が連絡されることで、パッド電極を構成するものとしても構わない。このとき、ワイヤの他端は基板 3 の給電パターンなどに接続されるものとして構わない。なお、第二電極 15 は、この幅広い領域 15a を必ずしも備えなければならないというものではない。

20

【0039】

第一電極 13 と第二電極 15 の間に電圧を印加することで、活性層 9 内を電流が流れ、活性層 9 が発光する。

【0040】

第一電極 13 は、上述したように、活性層 9 で生成される光に対して高い反射率を示す材料で構成される。図 1 A に示す発光素子 1 は、活性層 9 から射出された光を n 型半導体層 7 側に取り出すことが想定されている。第一電極 13 は、活性層 9 から基板 3 側に向けて射出された光を n 型半導体層 7 側に向けて反射させることで、光取り出し効率を高める機能を果たしている。

30

【0041】

（導電層 20）

導電層 20 は、基板 3 の上層に形成されている。本実施形態では、導電層 20 は、保護層 23、接合層 21、接合層 19 及び保護層 17 の多層構造で構成されている。

【0042】

接合層 19 及び接合層 21 は、例えば Au - Sn、Au - In、Au - Cu - Sn、Cu - Sn、Pd - Sn、Sn などによって構成される。後述するように、これらの接合層 19 と接合層 21 は、基板 3 上に形成された接合層 21 と、別の基板（後述する成長基板 25）上に形成された接合層 19 を対向させた後に、両者を貼り合わせることで形成されたものである。これらの接合層 19 及び接合層 21 は、単一の層として一体化されているものとしても構わない。

40

【0043】

保護層 17 は、例えば Ni / Ti / Pt の多層構造で構成される。このうち、Ti / Pt 層は、接合層（19、21）を構成する材料が第一電極 13 側に拡散して、第一電極 13 の反射率が低下することを抑制する目的で設けられている。また、Ni 層は、Ti / Pt 層に含まれる材料、特に Ti が第一電極 13 側に拡散し、第一電極 13 の反射率が低下することを抑制する目的で設けられている。ただし、保護層 17 は、少なくとも接合層（

50

１９，２１）を構成する材料が拡散するのを抑制する機能を有する材料で構成されていればよい。

【００４４】

保護層２３は、例えば保護層１７と同一の材料で構成され、接合層（１９，２１）を構成する材料が基板３側に拡散するのを抑制する目的で設けられている。ただし、保護層２３は必ずしも備えられていなくても構わない。

【００４５】

（電流遮断層１４）

発光素子１は、電流遮断層１４を備える。この電流遮断層１４は、ｐ型半導体層１１と接触する箇所であって、第一電極１３が形成されていない領域の少なくとも一部に形成されている。本実施形態では、電流遮断層１４は、Ｐｄ及びＣｕを含むＡｇ合金で構成されており、第一電極１３と同様に、活性層９から射出される光に対して高い反射率を示す材料で構成されている。

10

【００４６】

図１Ａに示すように、第一電極１３及び電流遮断層１４は、いずれもｐ型半導体層１１と接触して形成されている。前述したように、第一電極１３は、ｐ型半導体層１１との間でオーミック接触が形成されている。一方で、電流遮断層１４は、ｐ型半導体層１１との間でショットキー接触が形成されており、第一電極１３に比べてｐ型半導体層１１との接触抵抗が高い。

【００４７】

20

電流遮断層１４は、基板３の面に直交する方向（以下、一例として「鉛直方向」と記載する。）に関して、第二電極１５に対向する位置に形成されている。仮に、鉛直方向に第二電極１５に対向する位置において、ｐ型半導体層１１との接触抵抗が低い層が形成されている場合、発光素子１に対して電圧を印加すると、鉛直方向に第二電極１５に対向する領域内に大部分の電流が流れてしまう。この結果、活性層９の特定の領域のみが発光してしまい、発光効率が低下する。電流遮断層１４は、活性層９を流れる電流を基板３の面に平行な方向に拡げることで、活性層９の発光効率を高める機能を有している。

【００４８】

また、本実施形態のように、電流遮断層１４が、活性層９で生成された光に対して高い反射率を示す材料で形成されることで、第一電極１３と同様の理由により、光取り出し効率を向上させることができる。

30

【００４９】

（絶縁層２４）

本実施形態において、発光素子１は、半導体層５の端部領域において、ｐ型半導体層１１の一部と接触して形成された絶縁層２４を備えている。絶縁層２４は、例えばＳｉＯ₂、ＳｉＮ、Ｚｒ₂Ｏ₃、ＡｌＮ、Ａｌ₂Ｏ₃などで構成される。この絶縁層２４は、製造方法の項で後述するように、素子分離時におけるエッチングストップパとして機能させる目的で設けられている。

【００５０】

なお、図１Ａでは図示していないが、半導体層５の側面に保護膜としての絶縁層を形成しても構わない。

40

【００５１】

図１Ａに示す発光素子１によれば、従来よりも光取り出し効率が向上する点については、発光素子１の製造方法の説明を行った後に説明される。

【００５２】

〔製造方法〕

次に、発光素子１の製造方法の一例につき、図２Ａ～図２Ｊに模式的に示す工程断面図を参照して説明する。なお、以下で説明する製造条件や膜厚等の寸法はあくまで一例である。

【００５３】

50

(ステップ S 1)

図 2 A に示すように、成長基板 25 を準備する。成長基板 25 としては、一例として C 面を有するサファイア基板を用いることができる。

【0054】

準備工程として、成長基板 25 のクリーニングを行う。このクリーニングは、より具体的な一例としては、MOCVD (Metal Organic Chemical Vapor Deposition: 有機金属化学気相蒸着) 装置の処理炉内に成長基板 25 を配置し、処理炉内に流量が例えば 10 s l m の水素ガスを流しながら、炉内温度を例えば 1150 に昇温することにより行われる。

【0055】

10

(ステップ S 2)

図 2 B に示すように、成長基板 25 の上層に、アンドープ層 27、n 型半導体層 7、活性層 9、及び p 型半導体層 11 を順に形成する。このステップ S 2 は、例えば以下の手順で行われる。

【0056】

まず、成長基板 25 の上面に、Ga N よりなる低温バッファ層を形成し、その上層に Ga N よりなる下地層を形成する。これらの低温バッファ層及び下地層がアンドープ層 27 に対応する。具体的なアンドープ層 27 の形成方法は、例えば以下の通りである

【0057】

まず、MOCVD 装置の炉内圧力を 100 k P a、炉内温度を 480 とする。そして、処理炉内にキャリアガスとして流量がそれぞれ 5 s l m の窒素ガス及び水素ガスを流しながら、原料ガスとして、流量が 50 μ m o l / m i n のトリメチルガリウム (T M G) 及び流量が 250000 μ m o l / m i n のアンモニアを処理炉内に 68 秒間供給する。これにより、成長基板 25 の表面に、厚みが 20 n m の Ga N よりなる低温バッファ層を形成する。

20

【0058】

次に、MOCVD 装置の炉内温度を 1150 に昇温する。そして、処理炉内にキャリアガスとして流量が 20 s l m の窒素ガス及び流量が 15 s l m の水素ガスを流しながら、原料ガスとして、流量が 100 μ m o l / m i n の T M G 及び流量が 250000 μ m o l / m i n のアンモニアを処理炉内に 30 分間供給する。これにより、低温バッファ層の表面に、厚みが 1.7 μ m の Ga N よりなる下地層を形成する。

30

【0059】

次に、アンドープ層 27 の上層に n 型半導体層 7 を形成する。n 型半導体層 7 の具体的な形成方法は、例えば以下の通りである。

【0060】

まず、引き続き炉内温度を 1150 とした状態で、MOCVD 装置の炉内圧力を 30 k P a とする。そして、処理炉内にキャリアガスとして流量が 20 s l m の窒素ガス及び流量が 15 s l m の水素ガスを流しながら、原料ガスとして、流量が 94 μ m o l / m i n の T M G、流量が 6 μ m o l / m i n のトリメチルアルミニウム (T M A)、流量が 250000 μ m o l / m i n のアンモニア及び流量が 0.013 μ m o l / m i n のテトラエチルシランを処理炉内に 60 分間供給する。これにより、例えば $A l_{0.06} G a_{0.94} N$ の組成を有し、厚みが 2 μ m の n 型半導体層 7 がアンドープ層 27 の上層に形成される。

40

【0061】

なお、この後、T M A の供給を停止すると共に、それ以外の原料ガスを 6 秒間供給することにより、n 型 $A l G a N$ 層の上層に、厚みが 5 n m 程度の n 型 Ga N よりなる保護層を有してなる n 型半導体層 7 を実現してもよい。

【0062】

上記の説明では、n 型半導体層 7 に含まれる n 型不純物を S i とする場合について説明したが、n 型不純物としては、S i 以外に G e、S、S e、S n 又は T e 等を用いることができる。

50

【0063】

次に、 n 型半導体層7の上層に活性層9を形成する。活性層9の具体的な形成方法は、例えば以下の通りである。

【0064】

まずMOCVD装置の炉内圧力を100kPa、炉内温度を830とする。そして、処理炉内にキャリアガスとして流量が15slmの窒素ガス及び流量が1slmの水素ガスを流しながら、原料ガスとして、流量が10 μ mol/minのTMG、流量が12 μ mol/minのトリメチルインジウム(TMI)及び流量が300000 μ mol/minのアンモニアを処理炉内に48秒間供給するステップを行う。その後、流量が10 μ mol/minのTMG、流量が1.6 μ mol/minのTMA、0.002 μ mol/minのテトラエチルシラン及び流量が300000 μ mol/minのアンモニアを処理炉内に120秒間供給するステップを行う。以下、これらの2つのステップを繰り返すことにより、厚みが2nmのInGa_{0.13}Nよりなる発光層、及び厚みが7nmの n 型AlGa_{0.13}Nよりなる障壁層が15周期積層されてなる活性層9が、 n 型半導体層7の上層に形成される。

10

【0065】

次に、活性層9の上層に p 型半導体層11を形成する。 p 型半導体層11の具体的な形成方法は、例えば以下の通りである。

【0066】

具体的には、MOCVD装置の炉内圧力を100kPaに維持し、処理炉内にキャリアガスとして流量が15slmの窒素ガス及び流量が25slmの水素ガスを流しながら、炉内温度を1025に昇温する。その後、原料ガスとして、流量が35 μ mol/minのTMG、流量が20 μ mol/minのTMA、流量が250000 μ mol/minのアンモニア及び p 型不純物をドーピングするための流量が0.1 μ mol/minのビスシクロペンタジエニルマグネシウム(Cp₂Mg)を処理炉内に60秒間供給する。これにより、活性層33の表面に、厚みが20nmのAl_{0.3}Ga_{0.7}Nの組成を有する正孔供給層を形成する。その後、TMAの流量を4 μ mol/minに変更して原料ガスを360秒間供給することにより、厚みが120nmのAl_{0.13}Ga_{0.87}Nの組成を有する正孔供給層を形成する。これらの正孔供給層により p 型半導体層11が形成される。

20

【0067】

なお、この工程の後、TMAの供給を停止すると共に、Cp₂Mgの流量を0.2 μ mol/minに変更して原料ガスを20秒間供給することにより、厚みが5nm程度で、 p 型不純物濃度が $1 \times 10^{20} / \text{cm}^3$ 程度の p 型Ga_{0.13}N層を有してなる p 型半導体層11を実現してもよい。

30

【0068】

このステップS2が工程(a)に対応する。

【0069】

(ステップS3)

ステップS2で得られたウェハに対して活性化処理を行う。具体的な一例としては、RTA(Rapid Thermal Anneal: 急速加熱)装置を用いて、窒素雰囲気下中650で15分間の活性化処理を行う。

40

【0070】

(ステップS4)

p 型半導体層11の上面の所定箇所に絶縁層24を形成する(図2C参照)。

【0071】

より具体的には、隣接する素子との境界となる領域内における p 型半導体層11の上面に、例えばAl₂O₃をスパッタリング法によって200nm程度の膜厚で成膜することで絶縁層24を形成する。なお、成膜する材料は絶縁性材料であればよく、Al₂O₃の他、SiNやSiO₂でも構わない。

【0072】

50

このステップ S 4 が工程 (f) に対応する。

【 0 0 7 3 】

(ステップ S 5)

p 型半導体層 1 1 の上面の所定領域に第一電極 1 3 を形成する (図 2 C 参照) 。第一電極 1 3 の具体的な形成方法は、例えば以下の通りである。

【 0 0 7 4 】

p 型半導体層 1 1 の上面の所定領域に、導電性材料で構成された材料膜を成膜する。一例としては、スパッタリング法によって p 型半導体層 1 1 の上面の所定の領域に、膜厚 1 5 0 n m 程度の A g 及び膜厚 3 n m 程度の N i を成膜する。

【 0 0 7 5 】

ここで、材料膜に含まれる A g は、発光素子 1 が備える活性層 9 から射出される光に対して高い反射率 (9 0 % 以上) を示す材料の例である。活性層 9 から射出される光に対して高い反射率を示す材料であれば、A g 以外の材料 (例えば A l や R h など) が含まれるものとしても構わない。また、これらの高反射率を示す材料を含む合金で構成されていても構わない。

10

【 0 0 7 6 】

また、材料膜に含まれる N i は、他の層との密着性を高める目的で成膜されているものであるが、十分な密着性が確保されていればこの材料膜に N i を含めなくても構わない。また、密着性を確保するための他の材料が含まれるものとしても構わない。

【 0 0 7 7 】

上記の材料膜を成膜した後に、R T A 装置等を用いてドライエア又は不活性ガス雰囲気中で例えば 4 0 0 ~ 5 5 0 、 6 0 秒 ~ 3 0 0 秒間のコンタクトアニール処理を行う。これにより、p 型半導体層 1 1 との間でオーミック接触が形成された、第一電極 1 3 が形成される。

20

【 0 0 7 8 】

ステップ S 5 は、工程 (b) に対応する。このステップ S 5 を、ステップ S 4 の前に行っても構わない。

【 0 0 7 9 】

(ステップ S 6)

次に、p 型半導体層 1 1 が露出している領域に電流遮断層 1 4 を形成する (図 2 D 参照) 。

30

【 0 0 8 0 】

より具体的な一例としては、ステップ S 5 と同様に、スパッタリング法によって、膜厚 2 0 0 n m 程度で、C u 及び P d を含む A g 合金を成膜する。一例として、A g 合金に含まれる C u の濃度は 1 % 程度であり、P d の濃度は 1 % 程度である。A g に C u を含ませることで、A g の耐酸化性及び耐硫化性が向上し、A g に P d を含ませることで、p 型半導体層 1 1 との密着性が向上する。ただし C u 及び P d を過剰に含有させた場合には A g 合金の反射率が低減してしまう。そこで、A g 合金に含まれる C u の濃度は 0 % 以上 0 . 5 % 以下とするのが好ましく、A g 合金に含まれる P d の濃度は 0 % 以上 1 % 以下とするのが好ましい。なお、電流遮断層 1 4 と p 型半導体層 1 1 との密着性を高めるために、上記 A g 合金と共に、膜厚 3 n m 程度の薄膜の N i を成膜するものとしても構わない。

40

【 0 0 8 1 】

そして、ステップ S 5 よりも低温でアニール処理をするか、又はアニール処理を行わない。これにより、本ステップで成膜された材料膜は、p 型半導体層 1 1 との間でショットキー接触が形成される。これにより電流遮断層 1 4 が形成される。

【 0 0 8 2 】

なお、ステップ S 5 において、本ステップ S 6 で成膜した材料と同一の材料を成膜することで第一電極 1 3 を形成するものとしても構わない。

【 0 0 8 3 】

このステップ S 6 は、工程 (c) に対応する。

50

【 0 0 8 4 】

(ステップ S 7)

第一電極 1 3 及び電流遮断層 1 4 の上面を覆うように、全面に保護層 1 7 を形成する。その後、保護層 1 7 の上面に接合層 1 9 を形成する (図 2 E 参照) 。具体的な方法の一例は以下のとおりである。

【 0 0 8 5 】

まず、電子線蒸着装置 (E B 装置) を用いて、膜厚 1 0 0 n m の T i と膜厚 2 0 0 n m の P t を 3 周期成膜することで保護層 1 7 を形成する。更にその後、保護層 1 7 の上面 (P t 表面) に、膜厚 1 0 n m の T i を蒸着させた後、 A u 8 0 % S n 2 0 % で構成される A u - S n ハンダを膜厚 3 μ m 蒸着させることで接合層 1 9 を形成する。

10

【 0 0 8 6 】

(ステップ S 8)

成長基板 2 5 とは別に準備された基板 3 の上面に、ステップ S 7 と同様の方法で、保護層 2 3 及び接合層 2 1 を形成する (図 2 F 参照) 。基板 3 としては、上述したように C u W、W、M o 等の導電性基板、又は S i 等の半導体基板を利用することができる。なお、保護層 2 3 については形成しないものとしても構わない。

【 0 0 8 7 】

(ステップ S 9)

図 2 G に示すように、成長基板 2 5 の上層に形成された接合層 1 9 と、基板 3 の上層に形成された接合層 2 1 を貼り合わせることで、成長基板 2 5 と基板 3 の貼り合わせを行う。具体的な一例としては、 2 8 0 の温度、 0 . 2 M P a の圧力下で、貼り合わせ処理が行われる。

20

【 0 0 8 8 】

この工程により、接合層 1 9 及び接合層 2 1 が溶融して接合されることで、基板 3 と成長基板 2 5 が表裏面に貼り合わされた構造が形成される。つまり、接合層 1 9 と接合層 2 1 は、本ステップ以後においては一体化されているものとして構わない。そして、本ステップ S 9 の実行前の段階で保護層 2 3 及び保護層 1 7 が形成されていることで、接合層 (1 9 , 2 1) の構成材料の拡散が抑制されている。

【 0 0 8 9 】

(ステップ S 1 0)

次に、成長基板 2 5 を剥離する (図 2 H 参照) 。より具体的には、成長基板 2 5 を上に向け、基板 3 を下に向けた状態で、成長基板 2 5 側からレーザ光を照射する。ここで、照射するレーザ光を、成長基板 2 5 の構成材料 (本実施形態ではサファイア) を透過し、アンドープ層 2 7 の構成材料 (本実施形態では G a N) によって吸収されるような波長の光とする。これにより、アンドープ層 2 7 でレーザ光が吸収されるため、成長基板 2 5 とアンドープ層 2 7 の界面が高温化して G a N が分解され、成長基板 2 5 が剥離される。

30

【 0 0 9 0 】

その後、ウェハ上に残存している G a N (アンドープ層 2 7) を、塩酸等を用いたウェットエッチング、又は I C P 装置を用いたドライエッチングによって除去し、 n 型半導体層 7 を露出させる。なお、本ステップ S 1 0 においてアンドープ層 2 7 が除去されて、 p 型半導体層 1 1、活性層 9、及び n 型半導体層 7 が、基板 3 側からこの順に積層されてなる半導体層 5 が残存する (図 2 I 参照) 。

40

【 0 0 9 1 】

ステップ S 9 及び S 1 0 が工程 (d) に対応する。

【 0 0 9 2 】

(ステップ S 1 1)

次に、図 2 J に示すように、隣接する素子同士を分離する。具体的には、隣接素子との境界領域に対し、 I C P 装置を用いて絶縁層 2 4 の上面が露出するまで半導体層 5 をエッチングする。このとき、上述したように絶縁層 2 4 はエッチングストッパーとして機能する。

50

【0093】

なお、図2Jでは、半導体層5の側面が鉛直方向に対して傾斜を有するように図示しているが、これは一例であって、このような形状に限定する趣旨ではない。

【0094】

このステップS11が工程(g)に対応する。

【0095】

(ステップS12)

次に、n型半導体層7の上面の所定の領域、より詳細には、n型半導体層7の上面のうち、第一電極13に対して鉛直方向に対向しない領域の一部、すなわち電流遮断層14に対して鉛直方向に対向する領域の一部に、第二電極15を形成する。具体的な方法の一例としては、n型半導体層7の上面のうち、第二電極15を形成する予定の領域以外をレジスト等でマスクした状態で、n型半導体層7の上面に膜厚100nmのCrと膜厚3μmのAuを蒸着する。その後、マスクを剥離して、窒素雰囲気中で250、1分間程度のアニール処理を行う。

10

【0096】

このステップS12が工程(e)に対応する。

【0097】

(ステップS13)

次に、各素子同士を例えばレーザダイシング装置によって分離し、基板3の裏面を例えばAgペーストにてパッケージと接合する。その後は、第二電極15の一部領域に対してワイヤボンディングを行う。以上の工程を経て、図1Aに示す発光素子1が製造される。

20

【0098】

[作用]

図1Aに示す発光素子1によれば、前述したように、電流遮断層14が設けられることで、活性層9内の広い範囲に電流を流すことができ、発光効率が高められる。そして、この電流遮断層14によって電流を拡げる効果を実現できるため、図7に示す発光素子90のように、電流を拡げる目的で絶縁層94を設ける必要がない。

【0099】

この結果、第一電極13及び電流遮断層14を、活性層9から射出される光に対する反射率の高い材料で構成することで、活性層9から基板3に向けて射出された光を、絶縁層内を透過させることなく光取り出し面(n型半導体層7)に向けて反射させることができる。この結果、従来よりも光取り出し効率が向上する。

30

【0100】

また、発光素子1のように、電流遮断層14をPd及びCuを含むAg合金で構成することで、p型半導体層11との間でショットキー接触を実現しながらも、発光素子1の動作電圧を低減させる効果を得ることができる。

【0101】

図3は、電流遮断層14とp型半導体層11の間の電流電圧特性を示すグラフである。なお、この図3は、AlGaNからなるp型半導体層11の上面に、Pd及びCuを含むAg合金を、離間を有して2箇所成膜した後、アニール処理を行わず、当該2箇所に形成されたAg合金間に電圧を印加して電流電圧特性を測定したことで得られたグラフである。なお、Ag合金の成膜方法は、ステップS6と同様の方法を採用している。ここでは、2箇所に設けられたAg合金間の距離を5μmとした。

40

【0102】

また、実際に発光素子1を製造する際におけるステップS6の状況に更に近似させる目的で、Ag合金を成膜する前の時点で、ステップS5と同様に450程度の加熱処理を行った。

【0103】

図3によれば、電流電圧特性が非線形性を示しており、ショットキー接触が実現されていることが分かる。これにより、上述した製造方法で製造された発光素子1においても、

50

電流遮断層 14 と p 型半導体層 11 とはショットキー接触が実現できていることが分かる。すなわち、電流遮断層 14 と p 型半導体層 11 との間の接触抵抗を、第一電極 13 と p 型半導体層 11 との間の接触抵抗よりも高めることができる。

【0104】

図 4 は、実施例と参考例で発光素子の電流電圧特性を比較したグラフである。実施例は、上述したステップ S1 ~ S13 を経て製造された発光素子 1 に対応する。実施例では、第一電極 13 及び電流遮断層 14 の双方共を、Pd 及び Cu を含む Ag 合金で形成した。

【0105】

参考例は、ステップ S6 において、純粋な Ag からなる電流遮断層 14 を形成した点が異なる。なお、参考例は、第一電極 13 についても純粋な Ag で形成した。

10

【0106】

図 4 によれば、参考例に比べて実施例の方が同一の電流を流すために必要な電圧を低下できていることが分かる。例えば、1 A の電流を流すために必要な電圧について見ると、参考例では約 4.3 V の電圧の印加が必要であるのに対し、実施例では約 3.8 V の電圧の印加で実現できている。

【0107】

なお、図 4 のグラフには示されていないが、実施例において、第一電極 13 の材料を純粋な Ag で構成して製造された素子においては、実施例とほぼ同様の電流電圧特性が得られることが確認された。

【0108】

以上によれば、電流遮断層 14 を純粋な Ag ではなく、Pd 及び Cu を含む Ag 合金で構成することで、発光素子の動作電圧を低減できる効果が得られることが分かる。これは以下の理由によるものと推察される。

20

【0109】

Pd は、Ag よりも密着性の高い材料である。このため、Ag に Pd を混在させることで、p 型半導体層 11 との密着性が高まり、接触抵抗が低下したものと推察される。また、Pd 及び Cu はいずれも Ag に比べると仕事関数が高い材料であるため、純粋な Ag の場合と比べると p 型半導体層 11 とのコンタクト性が良好になり、接触抵抗が低下したものと考えられる。なお、この場合においても、図 3 を参照して上述したように、電流遮断層 14 と p 型半導体層 11 の間はショットキー接触が形成されているため、電流を基板 3 の面に平行な方向に拡げる機能は実現される。

30

【0110】

なお、Ag に酸化又は硫化が生じると、反射率が低下してしまう。Cu は純粋な Ag に対して耐酸化性や耐硫化性を向上させる機能を有しているため、Cu を混在させることで反射率の低下を抑制する機能も有する。よって、光取り出し効率を更に向上させる観点からは、電流遮断層 14 のみならず、第一電極 13 についても Ag 合金で構成するのが好ましい。

【0111】

[別実施形態]

以下、別実施形態につき説明する。

40

【0112】

1 上記の実施形態では、電流遮断層 14 が、Pd 及び Cu を含む Ag 合金で構成されるものとして説明したが、Pd 又は Cu のいずれか一方を含む Ag 合金で構成されるものとしても構わない。Pd 又は Cu のいずれか一方を含む場合であっても、純粋な Ag で構成する場合に比べて動作電圧を低下させる効果を得ることができる。

【0113】

2 上記の実施形態では、第一電極 13 が、電流遮断層 14 及び絶縁層 24 の膜厚よりも薄く、第一電極 13 の下層に電流遮断層 14 の一部が潜り込む構成(図 1A 参照)を例示して説明した。しかし、第一電極 13、電流遮断層 14、及び絶縁層 24 の層の厚みの関係は設計に応じて適宜設定されるものとして構わない。

50

【 0 1 1 4 】

例えば、図 5 に示される構造のように、第一電極 1 3 及び電流遮断層 1 4 がほぼ同等の厚みで構成され、絶縁層 2 4 の厚みが電流遮断層 1 4 よりも薄く、電流遮断層 1 4 の一部が絶縁層 2 4 の下層に潜り込む構成であっても構わない。また、図 6 に示される構造のように、第一電極 1 3、電流遮断層 1 4 及び絶縁層 2 4 の厚みがほぼ同等であり、いずれの層も、基板 3 の面に平行な方向にのみ隣接して、基板 3 の面に直交する方向には隣接しない構成であっても構わない。

【 0 1 1 5 】

3 図 1 A、図 5、又は図 6 に示した発光素子 1 において、更に光取り出し効率を向上させる目的で n 型半導体層 7 の上面に微細な凹凸形状を形成するものとしても構わない。

10

【 0 1 1 6 】

4 上記の実施形態では、半導体層 5 を構成する層のうち、基板 3 に近い側を p 型半導体層 1 1、基板 3 から遠い側を n 型半導体層 7 として説明したが、これらの導電型を反転させても構わない。

【 0 1 1 7 】

5 上記の実施形態では、発光素子 1 が保護層 1 7 を備えているものとして説明したが、保護層 1 7 を必ずしも備えなければならないものではない。ただし、保護層 1 7 を備えることで、第一電極 1 3 及び電流遮断層 1 4 の反射率が低下されるのを抑制することができるため、高い光取り出し効率を持続的に実現させるためには保護層 1 7 を備えるのが好ましい。

20

【 符号の説明 】

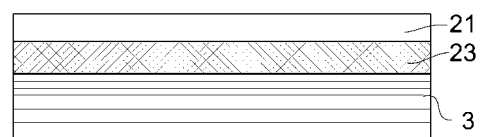
【 0 1 1 8 】

1	:	半導体発光素子
3	:	基板
7	:	n 型半導体層
9	:	活性層
1 1	:	p 型半導体層
1 3	:	第一電極
1 4	:	電流遮断層
1 5	:	第二電極
1 5 a	:	パッド電極
1 7	:	保護層
1 9	:	接合層
2 0	:	導電層
2 1	:	接合層
2 3	:	保護層
2 5	:	成長基板
2 7	:	アンドープ層
9 0	:	従来の発光素子
9 1	:	基板
9 2	:	導電層
9 3	:	反射膜
9 4	:	絶縁層
9 5	:	反射電極
9 6	:	p 型半導体層
9 7	:	活性層
9 8	:	n 型半導体層
9 9	:	半導体層
1 0 0	:	n 側電極

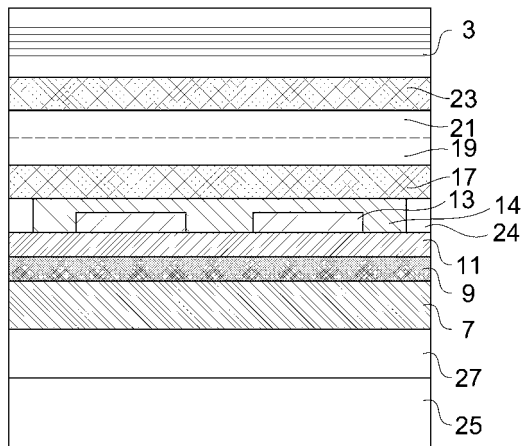
30

40

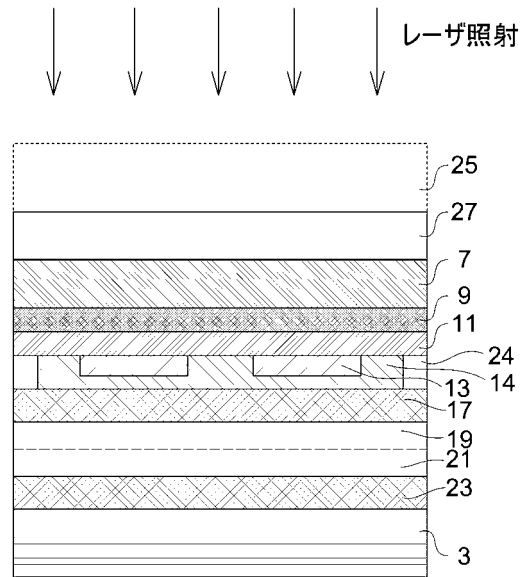
50



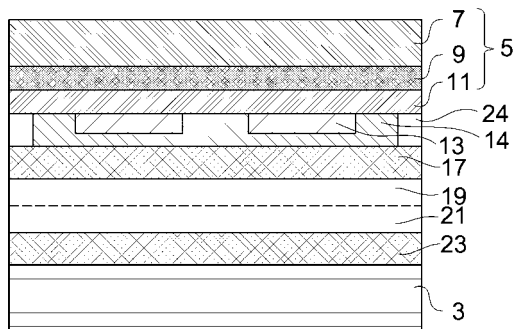
【図 2 G】



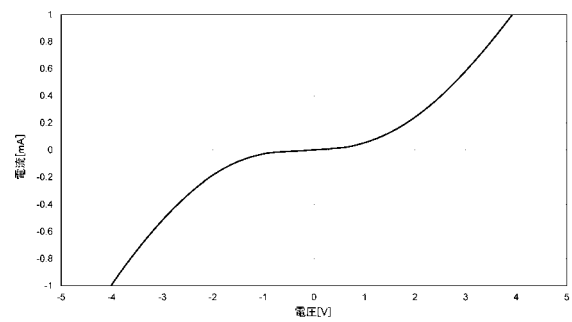
【図 2 H】



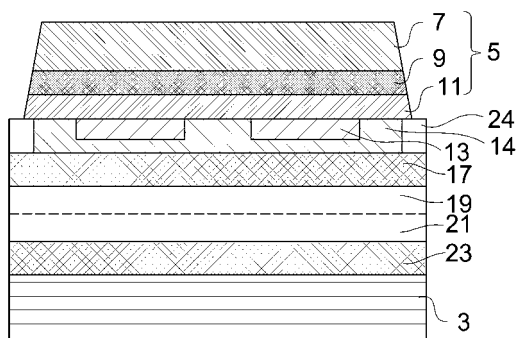
【図 2 I】



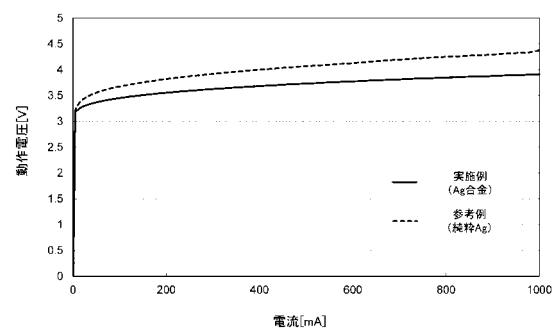
【図 3】



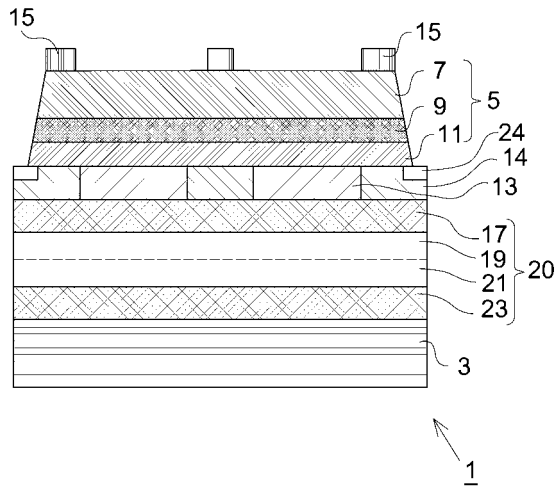
【図 2 J】



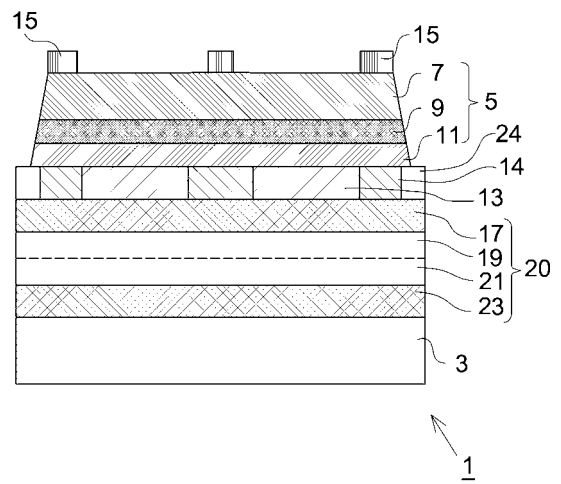
【図 4】



【図 5】



【図 6】



【図 7】

