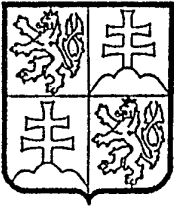


ČESKÁ A SLOVENSKÁ
FEDERATIVNÍ
REPUBLIKA
(19)

PATENTOVÝ SPIS

275 692



FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

(21) Číslo přihlášky : 2947-90.0
(22) Přihlášeno : 14 06 90
(30) Prioritní data : 19 06 89-US- 367836

(13) Druh dokumentu : B6
(51) Int. Cl.⁵ :
H 03 M 1/18

(40) Zveřejněno : 18 03 92
(47) Uděleno : 20 12 91
(24) Oznámeno udělení ve Věstníku : 18 03 92

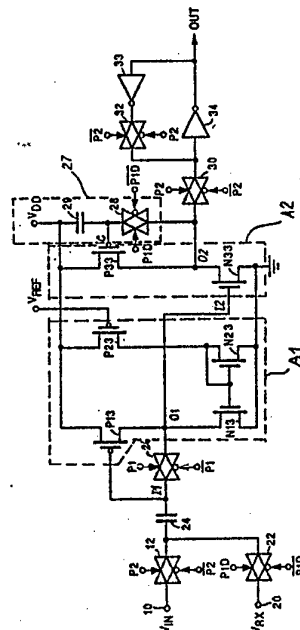
(73) Majitel patentu : RCA LICENSING CORPORATION, PRINCETON,
NEW JERSEY (US)

(72) Původce vynálezu : SAUER DONALD JON, ALLENTOWN, NEW JERSEY (US)

(54) Název vynálezu : Obvod komparátoru s polem řízeným tranzistorem

(57) Anotace :

Obvod komparátoru pro činnost se signály na obšzovém kmitočtu zahrnuje vstupní spínací obvody (12,22) pro střídavé připojování referenčního a signálového potenciálu (V_{dx} , V_{in}) k sumačnímu kondenzátoru (24). Tento kondenzátor je připojen ke vstupu prvního invertujícího zesilovače (A1). Tento zesilovač (A1) zahrnuje spínací obvod (26) mezi vstupní a výstupní svorkou pro selektivní automatické nulování zesilovače a je přímo připojen ke vstupu (I2) druhého invertujícího zesilovače (A2), přičemž signál (P1) automatického nulování je odpojen od vstupu (I2) druhého zesilovače (A2). Časovací obvod (27) pro řízení funkce automatického nulování je uspořádán pro minimalizaci účinků hodinových přechodových jevů narušujících automaticky nulované potenciály, čímž se zkracuje doba odezvy a zvyšuje se citlivost komparátoru.



Vynález se týká obvodu komparátoru s polem řízeným tranzistorem, zejména pro analogově číslicový převodník.

Technologie číslicových obvodů byla vyvinuta až k bodu, kde je praktické začít zahrnovat zpracování číslicového signálu ve spotřebitelcích elektronických přístrojích. Například výrobci začínají zavádět televizní přijímače a magnetoskopy, které zahrnují číslicovou elektroniku, aby přidali zvláštní vlastnosti, jako je statický obrázek, nebo obraz v obraze, do přijímačů. Pro dosažení číslicového zpracování je nejprve vhodné převést přijatý vysílaný signál do číslicového formátu, a tato funkce je prováděna analogově číslicovým převodníkem. Ve zpracování číslicového televizního signálu je žádoucí vzorkovat televizní signál na četnosti čtyřnásobné pomocné nosné barvy, to je asi 14,32 MHz, a převést signál do formátu impulsové kódové modulace s osmibitovým rozlišením. Existují bipolární analogově číslicové převodníky, které pracují uspokojivě na těchto četnostech a s tímto rozlišením. Technologie výběru provedení číslicového zpracování v elektronických výrobcích je však technologií unipolárních polem řízených tranzistorů. Důvodem pro to je, že technologie unipolárních polem řízených tranzistorů umožňuje velkou hustotu sestavení přístrojů s nízkým výkonovým rozptylem.

Osmibitové čtrnáctimegahertzové analogově číslicové převodníky provedené unipolární technologií podle dosevedního stavu techniky jsou běžně k dostání. Výrobní výtěžnost takových zařízení je však relativně slabá. Příklad typického unipolárního analogově číslicového převodníku je popsán v americkém patentu číslo 4691189, který je tímto zahrnut do popisu jako reference. Četné varianty tohoto typu analogově číslicového převodníku byly vytvořeny pro zvýšení buď jeho operační rychlosti, nebo linearity jeho převodu. Tyto návrhy však nezajišťují zařízení s uspokojivými výkony a výtěžností pro zpracovávání signálu obrazového kmitočtu. Analogově číslicové převodníky typu zobrazeného v americkém patentu číslo 4691189 jsou výsledkem kompromisu mezi výkonností a výtěžkem v tom, že rozměry tranzistorů jsou extrémně malé, aby se zvýšila hustota montáže a tím výtěžek. Jak jsou však tranzistorové přístroje vyráběny menší, hrají stále významnější roli rozptylové kapacity, kde tyto rozptylové kapacity v unipolárních obvodech mají tendenci k nelinearitě vzhledem k přiloženému potenciálu a takto nejsou zcela předvídatelné.

Obvod komparátoru popsáný v americkém patentu číslo 4691189, jehož část je zobrazena na obrázku 1 zde, používá dva invertující zesilující stupně I1, I2, které jsou kapacitně spřezeny (C2) v kaskádě a z nichž každý zahrnuje spínací obvody (TG1, TG2) pro automatické nulování v průběhu části každé vzorkovací periody. K mezistupňovému vzájemnému kondenzátoru C2 je přidružena rozptylová kapacita mezi jednou z jeho desek a nosnou vrstvou obvodu, přičemž rozptylová kapacita je téhož řádu velikosti, jako vazební kondenzátor sám. Tato rozptylová kapacita zpomalí dobu odezvy na výstupu prvního invertujícího zesilovače, a tím zpomalí dobu odezvy komparátoru.

V návrhu komparátoru podle amerického patentu číslo 4691189 jsou invertující zesilovače I1, I2 navrženy s komplementárními polem řízenými tranzistory majícími propojené báze a jejich dráhy kolektor - emitor jsou sériově zapojeny mezi potenciály zdroje. Přepínače automatického nulování jsou uspořádány pro připojení výstupních svorek invertujících zesilovačů k jejich příslušným vstupním svorkám bezprostředně před každým intervalem vzorkování signálu. Tento způsob automatického nulování propůjčuje invertujícím zesilovačům citlivost na velmi malé změny vstupního potenciálu, což je žádoucí vlastnost pro tento typ komparátoru.

Pro každý komparátor v analogově číslicovém převodníku, a v osmibitovém mžikovém analogově číslicovém převodníku může být 256 komparátorů, alespoň všechny druhé invertující zesilovače I2 budou vykazovat saturovaný výstupní potenciál každou vzorkovací periodu vyžadující značnou změnu potenciálu v průběhu automatického nulování. Bude zřejmé, že rychlost, na které se invertující zesilovače mohou automaticky nulovat, je záporně ovlivněna rozptylovou kapacitou v obvodu, například rozptylovými kapacitami mezi C1 a C2 a substrátem a rozptylovými kapacitami mezi spínacími obvody TG1, TG2 automatického nulování a substrátem.

Vynález se týká obvodu komparátoru s polem řízeným tranzistorem, jehož vstupní spínací obvod pro připojení signálového potenciálu a první spínací obvod pro připojení referenčního potenciálu jsou svými výstupy spojeny přes kondenzátor se vstupem prvního invertujícího zesilovače, mezi jehož vstup a výstup je vražen druhý spínací obvod, přičemž jednotlivé spínací obvody jsou opatřeny vstupními řídicími svorkami příslušných řídicích hodinových signálů, jehož podstata spočívá v tom, že k výstupu prvního invertujícího zesilovače je přímo připojen vstup druhého invertujícího zesilovače, jehož výstup je připojen na obvod automatického nulování, který je účinně izolován od vstupu druhého invertujícího zesilovače.

Pro správnou funkci je výhodné, když druhý invertující zesilovač sestává ze dvou tranzistorů komplementárního typu, kde řídicí elektroda prvního tranzistoru je připojena k výstupu prvního invertujícího zesilovače a hlavní vodivé dráty obou tranzistorů jsou propojeny v sérii a tvoří výstup druhého invertujícího zesilovače a že obvod automatického nulování druhého invertujícího zesilovače zahrnuje třetí spínač pro střídavé spojování výstupu druhého invertujícího zesilovače a řídicí elektrody druhého tranzistoru. Pro správnou funkci je dále výhodné, když obvod automatického nulování druhého invertujícího zesilovače zahrnuje kondenzátor, spojený mezi řídicí elektrodou druhého tranzistoru a bod prvního potenciálu.

Pro správnou funkci je také výhodné, když druhý spínací obvod je připojen na vstupní svorku řídicího hodinového signálu, zatímco třetí spínací obvod je připojen na vstupní svorku zpožděného řídicího hodinového signálu.

Na obr. 1 je znázorněno schéma obvodu komparátoru podle dosavadního stavu techniky, na obr. 2 je znázorněno schéma obvodu komparátoru podle vynálezu, na obr. 3 jsou znázorněny průběhy hodinových signálů užitečných při popisu činnosti obvodu z obr. 2 a na obr. 4 jsou znázorněny příkladné obvody pro generování hodinových signálů zobrazených na obr. 3.

Pokud jde o dosavadní stav techniky podle obvodu z obr. 1, bude krátce popsána činnost tohoto obvodu. V průběhu první poloviny každé vzorkovací periody spínací obvody TG1, případně TG2 zkratují vstupní a výstupní propojení invertujících zesilovačů I1 a I2. To ustaví vstupní potenciál každého zesilovače uprostřed jeho dynamického operačního rozsahu. Tyto potenciály jsou uloženy na příslušných deskách kondenzátorů C1 a C2. V téže době, kdy jsou spínací obvody TG1 a TG2 zkratovány, je spínací obvod TGR také zkratován a připojuje referenční potenciál ke vstupní desce kondenzátoru C1. Spínací obvody TG1, TG2 a TGR jsou pak jednotlivě rozpojeny. Zesilovač I1 a I2 mají značný zisk a jsou nyní opatřeny předpětím na nestabilním pracovním bodě.

Spínací obvod TGS je pak zkratován a připojí vstupní potenciál k desce kondenzátoru C1. Jestliže je vstupní potenciál o něco málo větší nebo menší než referenční potenciál, výstupní potenciál z invertujícího zesilovače I2 bude přiveden k v podstatě své kladné či záporné výstupní saturační úrovni a poté uložen v blokovacím obvodu pro periodu vzorkování. Detailnější popis činnosti tohoto obvodu, viz americký patent č. 4691189.

Obvod zobrazený na obr. 2 pracuje podobně jako obvod zobrazený na obr. 1, ale je uspořádán pro rychlejší operační výkon. Na obrázku 2 jsou znázorněny spínací obvody 12, 22, 26, 28, 30 a 32 a mohou být realizovány přenosovými hradly komplementárních tranzistorů, jako jsou spínací obvody TG1 a TG2 na obr. 1.

Vstupní signál, který má být srovnáván, je přiveden přes svorku 10 ke spínacímu obvodu 12. Referenční signál, vůči němuž má být vstupní signál srovnáván, je přiveden přes svorku 20 ke spínacímu obvodu 22. Spínací obvody 12 a 22 jsou ošetřeny v podstatě protifázovými hodinovými signály P2, P10, aby střídavě připojovaly vstupní a referenční signály k první desce vstupní kondenzátoru 24. Druhá deska vstupního kondenzátoru 24 je připojena k elektrodě báze tranzistoru T13 typu p a předpětím jako k zesilovači A1 se společným emitorem. Tranzistor N13 typu n, z něhož jeho předpětí dělá zdroj konstantního proudu, má svou elektrodu kolektoru připojenou k elektrodě kolektoru tranzistoru P13 a vytváří zatěžovací impedanci pro zesilovač. Propojení tranzistorů N13 a P13 je výstupní spojení zesilovače se společným emitorem. Spínací obvod 26 je zapojen mezi vstupní a výstupní propojení zesilovače se společným emitorem. Spínací obvod 26 je ošetřen hodinovým signálem P1 pro automatické nulování zesilovacího stupně v podstatě koincidující se spínacím obvodem 22 připojujícím referenční signál ke kondenzátoru 24. Pokud jde o relativní časování hodinových signálů P1, P2 a P10, viz obrázek 3.

Potenciál předpětí pro tranzistor N13 typu n je zajištěno tranzistorem P23 typu p a tranzistorem P23 typu n, majícími své příslušné základní vodivé dráhy zapojeny do série mezi potenciály zdroje. Tranzistor N23 je zapojen jako hlavní tranzistor proudového zrcadlového zesilovače s tranzistorem N13 zapojeného jako podřízený tranzistor. Řídící elektroda tranzistoru P23 je opatřena předpětím na potenciálu, který je asi uprostřed mezi potenciály zdroje. Poměr transkonduktancí P23/N23 tranzistorů P23, N23 je roven poměru transkonduktancí P13 a N13 tranzistorů P13 a N13.

Výstupní zapojení zesilovače A1 je připojeno k řídicí elektrodě dalšího tranzistoru N33 typu n, zapojeného jako zesilovač A2 se společným emitorem. Zatěžovací obvod tranzistoru N33 je zajištěn tranzistorem P33 typu p majícím vodivostní dráhu emitor-kolektró zapojenou do série s vodivostní dráhou emitor-kolektró tranzistoru N33 mezi napájecí potenciály V_{DD} a zemí. Propojení tranzistorů P33 a N33 vytváří výstupní zapojení zesilovače A2.

Řídící elektroda tranzistoru P33 je připojena k výstupnímu zapojení zesilovače A2 spínacím obvodem 28. Spínací obvod 28 je řízen hodinovým signálem P10. V průběhu intervalů, kde spínací obvod 26 spojuje vstupní a výstupní zapojení zesilovače A1 pro automatické nulování zesilovače A1, spojuje spínací obvod 28 výstupní zapojení zesilovače A2 s elektrodou báze tranzistoru P33 pro automatické nulování zesilovače A2.

Kondenzátor 29 je zapojen mezi řídicí elektrodu tranzistoru P33 a bod pevného potenciálu, například napájecího potenciálu P_{DD} nebo zemního potenciálu. Kondenzátor 29 může být navržen do obvodu nebo může sestávat z rozptylové kapacity. Kondenzátor 29 je zahrnut pro uložení potenciálu předpětí automatického nulování a jeho přivedení k řídicí elektrodě tranzistoru P33, když je spínací obvod 28 rozpojen.

Spínací obvody 30, 32, 33 a 34 připojené k výstupnímu zapojení zesilovače A2 vytvářejí běžný blokovací obvod pro uložení výsledků každého srovnání na alespoň polovinu následné vzorkovací periody do paměti.

Nominálně mohou být spínací obvody 26 a 28 řízeny týmiž hodinovými signály. Ve výhodném příkladném provedení však spínací obvod 28 zůstane uzavřen nebo zkratován na krátkou dobu poté, co spínací obvod 26 byl rozpojen. Důvod toho je následující: Za předpokladu, že kondenzátory 24 a 29 by měly tutéž hodnotu kapacity a tranzistory P13 a P33 byly komplementární k tranzistorům N13 a N33, pak tranzistory P13, P33 a N33 budou vykazovat podobnou velikost zisku. Jsou-li spínací obvody 26 a 28 rovněž podobné konstrukce, pak v důsledku inherentní rozptylové kapacity mezi jejich řídicími elektrodami a jejich příslušnými vstupními/výstupními svorkami budou připojovat část přechodových jevů hodinového signálu k řídicím elektrodám tranzistorů P13 a P33, když jsou spínací obvody rozpojeny při ukončení intervalu automatického nulování. Může tedy nastat případ, kdy například zisk zesilovače A1 je $-A$, že zisk zesilovače A2 vzhledem k potenciálům přiloženým k řídicí elektrodě tranzistoru N33 je $-A$ a že zisk zesilovače A2 vzhledem k signálům přivedeným k tranzistoru T33 je $-A$. Může nastat i případ, že spínací obvody 26 a 28 současně připojí potenciál ΔV k řídicím elektrodám tranzistorů P13 a P33 v důsledku přechodových jevů hodinového signálu. Potenciál ΔV vytvoří změnu ve výstupních potenciálech automaticky nulovaných zesilovačů A1 a A2 rovnou $-A V$, případně $\Delta V A (A-1)$, to jest přibližně $\Delta V A^2$. Jednou z indikací této změny potenciálu je, že alespoň výstupní potenciál překmitne do opačného směru v důsledku srovnání signálu, výstup na zesilovači A2 musí procházet přidanou potenciálovou odchylkou $\Delta V A^2$ voltů, čímž dochází ke zpomalení odezvy obvodu. Dalším účinkem je snížení citlivosti.

Alternativně, jestliže je spínací obvod 28 udržován sepnutý, když je spínací obvod 26 rozepnut, zesilovač A2 se automaticky vynuluje navzdory změně potenciálu automatického nulování zesilovače A1. Poté když se spínací obvod 28 rozevře, objeví se ve výstupním potenciálu automatického nulování zesilovače A2 změna pouze $A V$. V tomto režimu činnosti je doba odezvy systému a citlivost záporně ovlivněna ve značně menším rozsahu.

Vstup zesilovače A2 je přímo připojen k výstupu zesilovače A1, což představuje dvě značné výhody vůči kapacitní vazbě obvodu z obrázku 1 podle dosavadního stavu techniky. Je-li rozptylová kapacita vůči zemi, to je vůči substrátu, na výstupním zapojení zesilovače A1, čímž dojde ke zlepšení doby odezvy obvodu, jednak řídicí elektrod tranzistoru N33 a jednak tranzistorů N21 a P21 z obr. 1 představuje kapacitní zátěž C vůči výstupu zesilovače A1 či I1. Jestliže by byl zesilovač A1 kapacitně spřažen kapacitou C_C s tranzistorem N13, došlo by k rozdělení výstupního potenciálu V_{A1} ze zesilovače A1. Potenciál přivedený k tranzistoru N13 by byl snížen na $V_{A1} \cdot \frac{C_C}{C_C + C}$ ($C_C + C$), přičemž toto snížení by vedlo k nežádoucímu nárůstu doby odezvy a snížení citlivosti obvodu. Takto odstranění vazebního kondenzátoru mezi zesilovacími stupni vykazuje značné výhody.

Další výhodou tohoto vynálezu spočívá v umístění spínacího obvodu 28 automatického nulování. V obvodu podle dosavadního stavu techniky je třeba si všimnout, že v průběhu intervalu automatického nulování je výstup zesilovače I2 připojen ke vstupu zesilovače I1 přes spínací obvody TG1, TG2 a kondenzátor C2. Toto spojení má snahu zajistit regenerativní zpětnou vazbu podél dvou zesilovačů, zpomaluje dobu odezvy automatického nulování systému podle dosavadního stavu techniky. V příkladném provedení podle obr. 2 je regenerativní zpětná vazba vyloučena, poněvadž žádná obvodová dráha mezi vstupním zapojením zesilovače A1 a výstupním zapojením zesilovače A2 neexistuje.

Na výkrese lze provést několik změn v obvodu. Například výstup zesilovače A1 může být připojen k řídicí elektrodě tranzistoru T3 a spínací obvod 28 zapojený mezi výstup zesilovače A2 a řídicí elektrodu tranzistoru N33. Alternativně vstup k zesilovači A1 může být připojen ke tranzistoru N13 s tranzistorem P13 řízeným jako zátěž proudového zdroje. Je třeba také uvážit velký počet typů komparátorových obvodů z obr. 2 připojených ke společné vstupní svorce jako v mžikovém analogově číslicovém převodníku. V tomto případě každé ze vstupních zapojení 20 bude připojeno k rozdílnému referenčnímu napětí implementárně narůstajícímu v rozsahu od zemního potenciálu k potenciálu zdroje. Za předpokladu, že průměrná nebo stejnosměrná hodnota signálu přivedeného ke společné vstupní svorce je 1/2 napájecího napětí, je žádoucí vytvořit všechny srovnávací obvody připojené k referenčním potenciálům větším než 1/2 potenciálu zdroje, jak je znázorněno na obr. 2 a všechny srovnávací obvody připojené k referenčním potenciálům menším než 1/2 potenciálu zdroje vytvořit komplementárně k obvodům z obrázku 2 nebo naopak. Komplementární v tomto případě znamená, že vstupy k zesilovačům A1 a A2 jsou připojeny k řídicím elektrodám tranzistorů N13, případně P33 a podobně.

V ještě dalším příkladném provedení mohou být obvody prvního invertujícího zesilovače A1 na obrázku 2 nahrazeny invertujícím zesilovačem takovým, jako je zesilovač I1, znázorněný v obvodech na obr. 1. V tomto příkladném provedení řídicí elektroda či elektroda báze tranzistoru N33 je přímo připojena k propojení tranzistorů P11, N11 a tranzistory P23 a N23 jsou eliminovány.

Obr. 3 znázorňuje výhodné časování hodinových signálů přivedených pro řízení spínacích obvodů. Je žádoucí, aby hodinové signály P1 a P2 byly fázově nepřekrývající se signály.

Obr. 4 znázorňuje příkladné provedení obvodů pro generování hodinových signálů znázorněných na obr. 3. Odborníci v oboru navrhování obvodů snadno pochopí činnost tohoto obvodu a proto tato činnost nebude detailně popisována. Stačí pouze říci, že zpožděný signál P10 je vytvořen generováním zpožděné verze signálu P1. Na obr. 4 je toto zpoždění realizováno prostřednictvím inherentního zpoždění řady zapojených hradlových obvodů, například čtyř inverterových obvodů.

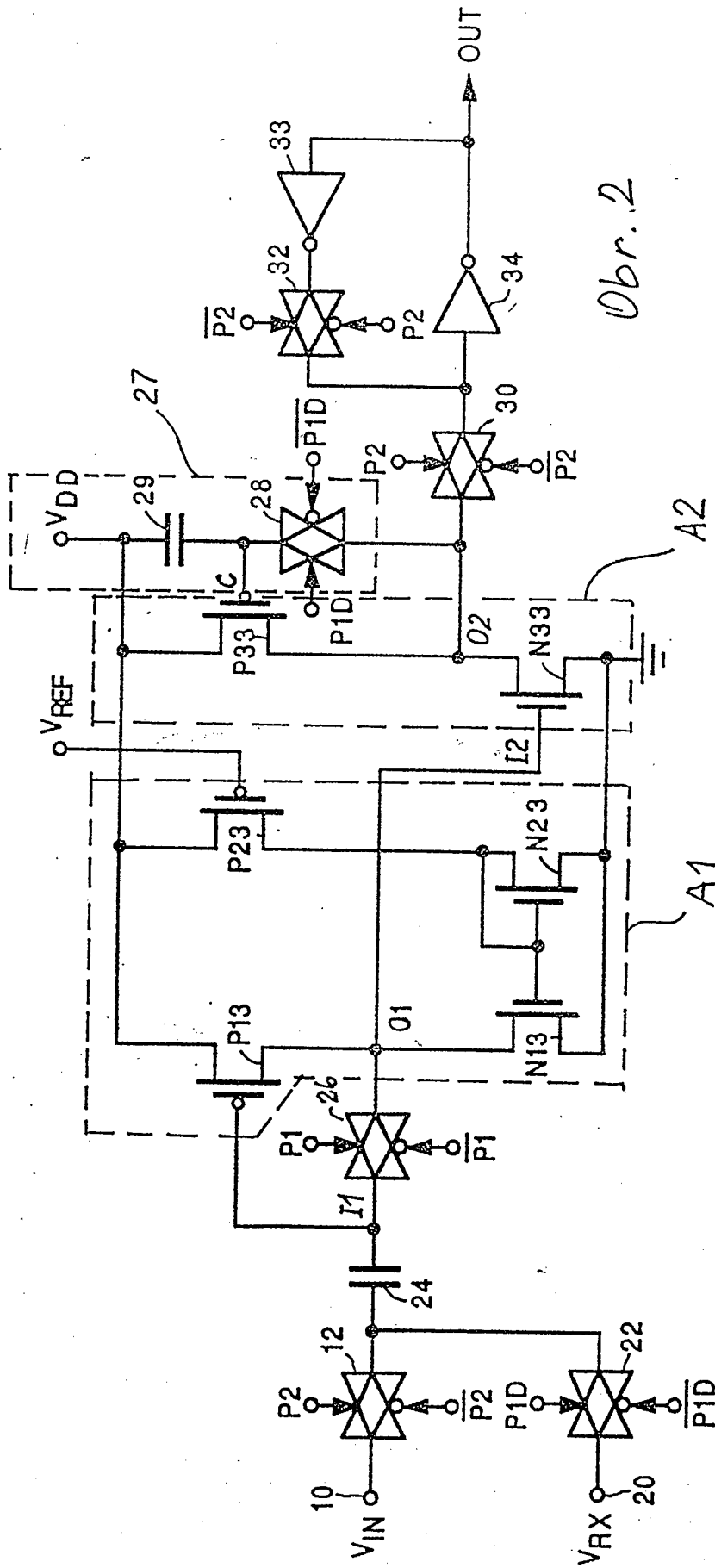
P A T E N T O V É N Á R O K Y

1. Obvod komparátoru a polem řízeným tranzistorem, jehož vstupní spínací obvod pro připojení signálového potenciálu a první spínací obvod pro připojení referenčního potenciálu jsou svými výstupy spojeny přes kondenzátor se vstupem prvního invertujícího zesilovače, mezi jehož vstup a výstup je vražen druhý spínací obvod, přičemž jednotlivé spínací obvody jsou opatřeny vstupními řídicími svorkami příslušných řídicích hodinových signálů, vyznačený tím, že k výstupu (O1) prvního invertujícího zesilovače (A1) je přímo připojen vstup (I2) druhého invertujícího

zesilovače (A2), jehož výstup (02) je připojen na obvod (27) automatického nulování, který je účinně izolován od vstupu (I2) druhého invertujícího zesilovače (A2).

2. Obvod komparátoru s polem řízeným tranzistorem podle nároku 1, vyznačující se tím, že druhý invertující zesilovač (A2) sestává ze dvou tranzistorů (N33, P33) komplementárního typu, kde řídicí elektroda prvního tranzistoru (N33) je připojena k výstupu (01) prvního invertujícího zesilovače (A1) a hlavní vodivé dráhy obou tranzistorů (N33, P33) jsou propojeny v sérii a tvoří výstup (02) druhého invertujícího zesilovače (A2) a že obvod (27) automatického nulování druhého invertujícího zesilovače (A2) zahrnuje třetí spínač (28) pro střídavé spojování výstupu (02) druhého invertujícího zesilovače (A2) a řídicí elektrody (C) druhého tranzistoru (P33).
3. Obvod komparátoru s polem řízeným tranzistorem podle nároků 1 a 2, vyznačující se tím, že obvod (27) automatického nulování druhého invertujícího zesilovače (A2) zahrnuje kondenzátor (29), zapojený mezi řídicí elektrodu (C) druhého tranzistoru (P33) a bod (VDD) prvního potenciálu.
4. Obvod komparátoru s polem řízeným tranzistorem podle nároků 1, 2 a 3, vyznačující se tím, že druhý spínací obvod (26) je připojen na vstupní svorku (P1) řídicího hodinového signálu, zatímco třetí spínací obvod (28) je připojen na vstupní svorku (P1D) zpožděného řídicího hodinového signálu.

4 výkresy



0br. 2

pkt. 3

