

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 27/146

H01L 21/82



[12] 发明专利申请公开说明书

[21] 申请号 200310104488.4

[43] 公开日 2004年10月6日

[11] 公开号 CN 1534790A

[22] 申请日 1999.2.28

[21] 申请号 200310104488.4

分案原申请号 99105588.8

[30] 优先权

[32] 1998.2.28 [33] KR [31] 6687/1998

[71] 申请人 海力士半导体有限公司

地址 韩国京畿道

[72] 发明人 伍德沃德·杨 李柱日 李兰伊

[74] 专利代理机构 北京市柳沈律师事务所

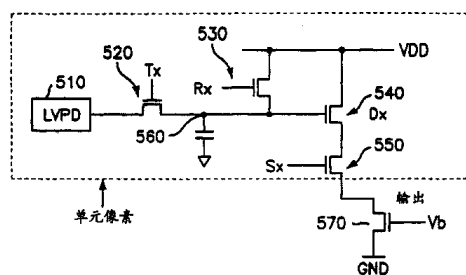
代理人 郭鸿禧 马莹

权利要求书 4 页 说明书 12 页 附图 10 页

[54] 发明名称 图像传感器件及制造方法

[57] 摘要

一种本发明的 CMOS 图像传感器，具有在 1.2-4.5V 的偏压下完全耗尽的低压光电二极管。该光电二极管包括：P-epi 层；将 P-epi 层分成场区和有源区的场氧化层；形成在 P-epi 层的 N⁻ 区，其中第一杂质区与隔离层分隔开；以及形成在 P-epi 层下面和 N⁻ 区上面的导电类型的 P⁰ 区，其中 P⁰ 区的宽度宽于 N⁻ 区的宽度，从而使 P⁰ 区的一部分形成在 P-epi 层上，由此使 P⁰ 区具有与 P-epi 层相同的电位。



ISSN 1008-4274

1. 一种 CMOS 图像传感器件, 包括:
第一导电类型的半导体层;
- 5 第一导电类型的阱区, 局部定位在半导体层;
形成在半导体层中的光电二极管, 用于检测来自物体的光;
形成在半导体层中的至少一个耗尽型晶体管, 用于将光电二极管中产生的光电电荷转移到浮动结, 该浮动结形成在半导体层的一部分上, 并存储光电电荷; 以及
- 10 形成在阱区中的至少一个增强型晶体管, 用于输出电信号, 该电信号与从浮动结转移的光电电荷的量相对应。
2. 如权利要求 1 所述的 CMOS 图像传感器件, 其特征在于, 耗尽型晶体管有负的阈值电压, 并且其中 CMOS 图像传感器件还包括形成在半导体层中的复位晶体管, 并且其中复位晶体管具有负的阈值电压, 用于将浮动结
- 15 的电位复位。
3. 如权利要求 1 所述的 CMOS 图像传感器件, 其特征在于, 浮动结是第二导电类型的重掺杂区, 它形成在半导体层中和耗尽型晶体管与复位晶体管之间。
4. 如权利要求 1 所述的 CMOS 图像传感器件, 其特征在于, 光电二极
- 20 管包括:
第二导电类型的第一杂质区, 形成在半导体层内, 其中第一杂质区与一隔离层分隔开; 以及
第一导电类型的第二杂质区, 形成在半导体层的表面下面和第一杂质区上面, 其中第二杂质区的宽度宽于第一杂质区的宽度, 从而使第二杂质
- 25 区的一部分与半导体层直接接触,
由此使第二杂质区具有与半导体层相同的电位。
5. 如权利要求 4 所述的 CMOS 图像传感器件, 其特征在于, 光电二极管在约 1.2-4.5V 下在半导体层中有一完全耗尽层。
6. 一种 CMOS 图像传感器件, 包括:
- 30 第一导电类型的半导体层;
第一导电类型的阱区, 局部定位在半导体层;

形成在半导体层中并在阱区之外的至少一个光电二极管，用于检测来自物体的光；

浮动结，用于存储光电二极管中产生的光电电荷；

5 形成在阱区之外并处于光电二极管和浮动结之间的第一耗尽型晶体管，用于将光电电荷转移到浮动结，并且其中，根据第一控制信号来控制第一耗尽型晶体管；

形成在阱区之外并被耦合到浮动结的第二耗尽型晶体管，用于将浮动结复位到预定电位；

10 第一增强型晶体管，形成在阱区中，并用于输出电信号，该电信号与存储在浮动结中的光电电荷的量相对应，其中，第二耗尽型晶体管和第一增强型晶体管的公用有源区定位在半导体层和阱区之间的边界处；以及

第二增强型晶体管，形成在阱区中，并接收用于选择像素的地址信号。

7. 如权利要求 6 所述的 CMOS 图像传感器件，其特征在于，第一和第二增强型晶体管具有轻掺杂漏 (LDD) 结构。

15 8. 如权利要求 6 所述的 CMOS 图像传感器件，其特征在于，光电二极管包括：

第二导电类型的第一杂质区，形成在半导体层内，其中第一杂质区与一隔离层分隔开；以及

20 第一导电类型的第二杂质区，形成在半导体层的表面下面和第一杂质区上面，其中第二杂质区的宽度宽于第一杂质区的宽度，从而使第二杂质区的一部分与半导体层直接接触，

由此使第二杂质区具有与半导体层相同的电位。

9. 如权利要求 8 所述的 CMOS 图像传感器件，其特征在于，光电二极管在约 1.2-4.5V 下在半导体层中有一完全耗尽层。

25 10. 如权利要求 8 所述的 CMOS 图像传感器件，其特征在于，半导体层是形成在第一导电类型的半导体衬底上的外延层。

11. 如权利要求 8 所述的 CMOS 图像传感器件，其特征在于，第一或第二耗尽型晶体管具有包括多晶硅层和硅化物层的栅极。

30 12. 如权利要求 8 所述的 CMOS 图像传感器件，其特征在于，第一或第二耗尽型晶体管具有形成在其栅极上的间隔绝缘层。

13. 一种用于制造具有光电二极管的 CMOS 图像传感器件的方法，该方

法包括:

提供第一导电类型的半导体层的第一步骤;

在半导体层的一部分中形成第一导电类型的阱区的第二步骤;

为调节阈值电压向阱区中引入杂质离子的第三步骤;

- 5 形成用于转移晶体管的第一栅、用于复位晶体管的第二栅以及用于输出晶体管的至少一个第三栅的第四步骤, 其中第一栅和第二栅形成在阱区之外, 而第三栅形成在阱区上, 并且其中复位晶体管和输出晶体管的公用有源区定位在半导体层和阱区之间的边界处;

- 10 在半导体层中形成光电二极管的第五步骤, 其中光电二极管电耦合到转移晶体管上;

形成露出阱区的第一离子注入掩膜, 并将第二导电类型的低浓度杂质离子引入阱区中的第六步骤;

形成绝缘间隔层、第三栅的侧壁的第七步骤; 以及

- 15 形成露出除光电二极管以外的半导体层和阱区的第二离子注入掩膜, 并将第二导电类型的高浓度杂质离子引入半导体层和阱区中的第八步骤,

由此使其有源区形成在半导体层中的转移晶体管和复位晶体管工作于耗尽模式, 而其有源区形成在阱区中的输出晶体管工作于增强模式。

- 20 14. 如权利要求 13 所述的方法, 其特征在于, 半导体层是形成在第一导电类型的半导体衬底的外延层, 并且其中半导体衬底的浓度高于半导体层的浓度。

15. 如权利要求 14 所述的方法, 其特征在于, 形成的半导体层的厚度约为 2 到 5 μm 。

16. 如权利要求 13 所述的方法, 其特征在于, 第三栅包括:

用于 CMOS 图像传感器的驱动晶体管的第四栅; 以及

- 25 用于 CMOS 图像传感器的选择晶体管的第五栅, 其中, 驱动晶体管和选择晶体管形成在阱区中并具有共同的源/漏区。

17. 如权利要求 13 所述的方法, 其特征在于, 第三步骤包括下列步骤:

形成露出阱区的第三离子注入掩膜;

将离子注入到阱区中, 用于调节输出晶体管的阈值电压; 以及

- 30 将离子注入到阱区中, 用于调节输出晶体管的穿通。

18. 如权利要求 13 所述的方法, 其特征在于, 第四步骤包括下列步骤:

在半导体层中形成第二导电类型的第一杂质区，从而使第一杂质区被半导体层包围；以及

在半导体层中以及第一杂质区上方形成第二杂质区，其中第二杂质区在第一杂质区的一侧与半导体层接触。

- 5 19. 如权利要求 18 所述的方法，其特征在于，第一杂质区的杂质浓度高于半导体层的杂质浓度，而第二杂质区的杂质浓度高于第一杂质区的杂质浓度。

20. 如权利要求 19 所述的方法，其特征在于，光电二极管在约 1.2-4.5V 下在半导体层中具有完全耗尽层。

- 10 21. 如权利要求 13 所述的方法，其特征在于，第一导电类型是 P 型，而第二导电类型是 N 型。

22. 如权利要求 13 所述的方法，其特征在于，该方法还包括下列步骤：
形成通过绝缘层与相邻金属层隔离的多个金属层；
在所获得的结构上形成钝化层；以及

- 15 在钝化层上形成滤色器。

图像传感器件及制造方法

本申请是申请日为1999年2月28日、申请号为99105588.8、发明名称为“互补型金属氧化物半导体图像传感器及其制造方法”的发明专利申请的分案申请。

技术领域

本发明涉及一种能产生高质量画面的固态图像传感器件，特别是涉及一种与CMOS(互补型金属氧化物半导体)技术有关的图像传感器和用于制造该传感器的方法。

背景技术

随着电信和计算机系统的发展，可以在电子成像系统中使用CMOS图像传感器。对于CMOS图像传感器的需求将与数字静态摄像机、PC摄像机、数字摄录一体机(camcoder)和PCS(个人通信系统)以及标准模拟和先进数字TV和视频系统的发展成比例地有更大的增长。此外，可将CMOS图像传感器用于视频游戏机，保安摄像机和用于医疗的微型摄像机中。

图1是示出常规CCD(电荷耦合器件)图像传感器的方框图。如图1所示，CCD图像传感器100包括光电转移和电荷累积器10，用于吸收来自物体的光并将光生电荷收集到信号电荷包中。此外，CCD图像传感器100还包括：电荷转移区20，用于输送来自光电转换和电荷累积器10的电荷包；以及电荷-电压信号转换器30，用以随着信号电荷包被通过电荷转移区20转移来产生该信号电荷包的电压输出。

光电二极管被广泛用做光电转换和电荷累积器。具有PN结的光电二极管形成势阱以累积由来自物体的光产生的电荷。在光电转换和电荷累积器10中产生的电荷被捕获在光电二极管的势阱中，并且被捕获的电荷按照势阱的移动被转移到希望的位置。这样的电荷移动由电荷转移区20控制。

电荷-电压信号转换器30产生与被转移信号电荷包相关的电压。因为电荷产生与静电势相对应的电场。作为引入信号电荷包的结果的电荷聚集区中的电荷可以通过静电势(即势阱深度)中的电荷来测量。这种势阱深度的改变有助于CCD图像传感器中的电压检测。

另一方面，在检测信号之后，必须去除当前势阱中的电荷，以便进行后面的信号检测。这种电荷的去除通过将信号电荷包释放到漏来实现。通过降低势阱和漏之间的势垒，可以将势阱“复位”。

如上所述，常规 CCD 图像传感器通过电荷耦合来检测图像信号。作为
5 与图像像素对应的光敏板的光电二极管不是立即提取光电电流，而是在以预定的时间将电荷累积到信号包中后才提取电流。因此，CCD 图像传感器具有好的敏感度且噪声低。但是，由于 CCD 图像传感器必须连续地转移光电电荷包，因此要求的驱动信号非常复杂，要求约 8V 到 10V 的大电压摆幅，具有高的功率损耗，并且要求正的和负电源。与需要大约 20 个光掩膜的
10 亚微米 CMOS 技术相比，由于附加的光掩膜工艺(约 30 到 40 个光掩膜)，因而 CCD 技术更复杂并且也更昂贵。另外，因为 CCD 图像传感器芯片不能与一般利用 CMOS 电路实现的信号处理电路集成，因此很难使图像传感器的尺寸小型化以及在更广泛的各种不同应用中实现。

因此，已结合 CMOS 及 CCD 技术对受晶体管的开关操作控制的 APS(有源
15 像素传感器)进行了更广泛和更深入的研究。

图 2 是示出由 Fossum 等的 US 专利 5, 471, 515 提出的常规 APS 的单元像素的电路图。APS 使用 MOS 电容器结构的光门 (photogate) 21 来收集光电电荷。为将在光门 21 下面产生的电荷转移到浮动扩散区 22，APS 包括转移晶体管 23。同时，APS 还包括复位晶体管 24、漏扩散区 25、用作源极跟
20 随器的驱动晶体管 26、用以选择像素阵列排的选择晶体管 27 和负载晶体管 28。

但是，在图 2 所示的 APS 中，起光敏板作用的 MOS 电容器是由厚的多晶硅层构成的，从而使蓝光(其波长比红光短)的大部分被多晶硅优先吸收。结果在低照度时难于获得高质量彩色图像。

图 3 是 Lee 等的 US 专利 5, 625, 210 提出的 APS 的剖面图，该 US 专利
25 5, 625, 210 披露了带有公知的管脚化光电二极管 (pinned photodiode) 的 APS。图 3 中的 APS 包括：用以收集光电电荷的管脚化光电二极管 (PPD)；以及具有 N 区 36 的转移晶体管 Tx，该转移晶体管 Tx 用于将来自 PPD 的光电电荷转移到输出节点的浮动 N 区 37。还提供复位晶体管，它具有用于一个有源区的 N 区 37，并具有用于耦合到电源 VDD 上的另一个有源区的 N 区
30 38。将杂质引入在更重掺杂的 P-型衬底 31 上生长的轻掺杂 P-epi (外延) 层

32 中。PPD 是利用隐埋的 N⁺区 33 和 P⁺管脚区 (pinning region) 34 形成的。此外, 在图 3 中, 标号 35a、35b 和 35c 每个都代表一个晶体管栅。

具体地说, 如图 4 和 Lee 等的 US 专利 5, 625, 210 中所示, 使用单个掩膜层 41 (例如光致抗蚀剂图形), 通过顺序的 N⁺和 P⁺杂质的离子注入来形成 PPD。特别是, PPD 是只利用一个用于 N⁺和 P⁺两个离子注入工艺的掩膜形成的。

但是, 如果只使用一个掩膜来顺序进行 N⁺和 P⁺离子注入, 则在 N⁺区 33 上形成的 P⁺管脚区 34 将不会可靠地电连接到 P-epi 层 32 上。特别是由于与 P⁺管脚区 34 相比将更高的能量用于注入 N⁺区 33, 因而这种离子注入工艺将导致 P⁺管脚区 34 与 P-epi 32 电隔离。结果, 当使用 3.3V 的低电源时, P⁺管脚区 34 和 P-epi 层 32 将处于不同的电位。这种电位的不同妨碍了 N⁺区 33 的完全耗尽, 并因此不能获得稳定的管脚电压 (pinning voltage)。另外, 硼原子向场氧化层 39 的掺杂偏析也对 P⁺管脚区 34 与 P-epi 层 32 的隔离产生影响。

Nakashiba 和 Uchiya 的另一个 US 专利 5, 567, 632 披露了隐埋 (或管脚化) 光电二极管制造方法, 该方法采用倾斜的离子注入和单个掩膜层。在这种情况下, 难于控制和监视批量生产环境中的离子注入角度。即, 测量 N⁺管脚区 34 和 P⁺区 33 的精确对准和使隐埋光电二极管均匀可靠非常困难。此外, N⁺或 P⁺定向倾斜离子注入的使用将转移栅的设置限制在相对于由倾斜离子注入造成的芯片和晶片的特定取向。

发明内容

因此, 本发明的一个目的是提供一种可以工作于低电压的图像传感器。本发明的另一个目的是提供使用亚微米 CMOS 技术制造图像传感器的方法。

本发明的再一个目的是提供具有提高的电荷转移效率的图像传感器和该图像传感器的制造方法。

根据本发明的一个方案, 提供一种在 CMOS 图像传感器中使用的光电二极管, 包括: 第一导电类型的半导体层; 将半导体层分成场区和有源区的隔离层; 第二导电类型的第一杂质区, 形成在半导体层内, 其中第一杂质区与隔离层分隔开; 以及第一导电类型的第二杂质区, 形成在半导体层的表面下面和第一杂质区上面, 其中第二杂质区的宽度宽于第一杂质区的宽

度，从而使第二杂质区的一部分形成在半导体层上，由此第二杂质区具有与半导体层相同的电位。

5 根据本发明的另一个方案，提供一种 CMOS 图像传感器，包括：第一导电类型的半导体层；第一导电类型的阱区，局部定位在半导体层；形成在半导体层中的光电二极管，用于检测来自物体的光；形成在半导体层中的至少一个耗尽型晶体管，用于将光电二极管中产生的光电电荷转移到浮动结，该浮动结形成在半导体层的一部分上，并存储光电电荷；以及形成在阱区中的至少一个增强型晶体管，用于输出电信号，该电信号与从浮动结转移的光电电荷的量相对应。

10 根据本发明的又一个方案，提供一种 CMOS 图像传感器件，包括：第一导电类型的半导体层；第一导电类型的阱区，局部定位在半导体层；形成在半导体层中并在阱区之外的至少一个光电二极管，用于检测来自物体的光；浮动结，用于存储光电二极管中产生的光电电荷；形成在阱区之外并处于光电二极管和浮动结之间的第一耗尽型晶体管，用于将光电电荷转移到浮动结，并且其中，根据第一控制信号来控制第一耗尽型晶体管；形成
15 在阱区之外并被耦合到浮动结的第二耗尽型晶体管，用于将浮动结复位到预定电位；第一增强型晶体管，形成在阱区中，并用于输出电信号，该电信号与存储在浮动结中的光电电荷的量相对应，其中，第二耗尽型晶体管和第一增强型晶体管的公用有源区定位在半导体层和阱区之间的边界处；
20 以及第二增强型晶体管，形成在阱区中，并接收用于选择像素的地址信号。

根据本发明的再一个方案，提供一种用于制造 CMOS 图像传感器中使用的光电二极管的方法，包括下列步骤：提供第一导电类型的半导体层；形成将半导体层分成场区和有源区的隔离层；使用第一离子注入掩膜在半导体层内形成第二导电类型的第一杂质区，其中第一离子注入掩膜覆盖半导
25 体层的一部分，从而使第一杂质区与隔离层分隔开；以及使用第二离子注入掩膜在半导体层的表面下面和第一杂质区上面形成第一导电类型的第二杂质区，其中第二离子注入掩膜敞开半导体层的一部分，从而使第二杂质区的宽度宽于第一杂质区的宽度，并且使第二杂质区的一部分与半导体层接触。

30 根据本发明的又一个方案，提供一种用于制造具有光电二极管的 CMOS 图像传感器件的方法，该方法包括下列步骤：提供第一导电类型的半导体

层；在半导体层上形成隔离层，以便限定场区和有源区；在半导体层上形成耗尽型晶体管的栅极，该栅极与隔离层分隔开；形成第一离子注入掩膜，该掩膜露出定位在隔离层和耗尽型晶体管的栅极之间的光敏区域的一部分，其中第一离子注入掩膜覆盖隔离层和与隔离层相邻的光敏区域的一部分；

5 通过第二导电类型的杂质离子引入露出的光敏区域来形成第一杂质区；去除第一离子注入掩膜；形成敞开全部光敏区域的第二离子注入掩膜，其中第二离子注入掩膜定位在隔离层和光敏区域之间的界面处，从而第二离子注入掩膜的开口区宽于第一离子注入的开口区；以及通过第一导电类型的杂质离子引入全部光敏区域中来形成第二杂质区，由此使第一杂质区

10 与隔离层分隔开，第二杂质区的宽度宽于第一杂质区的宽度，并且第二杂质区的一部分与半导体层接触。

根据本发明的又一个方案，提供一种用于制造具有光电二极管的 CMOS 图像传感器件的方法，该方法包括：提供第一导电类型的半导体层的第一步；在半导体层的一部分中形成第一导电类型的阱区的第二步；为调节

15 阈值电压来向阱区中引入杂质离子的第三步；形成用于转移晶体管的第一栅、用于复位晶管的第二栅以及用于输出晶管的至少一个第三栅的第四步，其中第一栅和第二栅形成在阱区之外，而第三栅形成在阱区上，并且其中复位晶管和输出晶管的公用有源区定位在半导体层和阱区之间的边界处；在半导体层中形成光电二极管的第五步，其中光电二

20 极管电耦合到转移晶体管上；形成露出阱区的第一离子注入掩膜、并将第二导电类型的低浓度杂质离子引入阱区中的第六步；形成绝缘间隔层、第三栅的侧壁的第七步；以及形成露出除光电二极管以外的半导体层和阱区的第二离子注入掩膜、并将第二导电类型的高浓度杂质离子引入半导体层和阱区中的第八步，由此使其有源区形成在半导体层中的转移晶体

25 管和复位晶体管工作于耗尽模式，而其有源区形成在阱区中的输出晶体管工作于增强模式。

附图说明

从下面参照附图对实施例所作的描述，本发明的其它目的和方案将变得更明显，附图中：

- 30 图 1 是示出常规 CCD 图像传感器的方框图；
图 2 是示出常规 APS 的单元像素的电路图；

- 图 3 和 4 是示出图 2 的常规 APS 的剖面图；
图 5 是示出根据本发明的 CMOS 图像传感器的单元像素的电路图；
图 6 是示出根据本发明的 CMOS 图像传感器的单元像素的剖面图；
图 7A 到 7J 是示出图 6 的单元像素的制造方法的剖面图；以及
5 图 8A 和 8B 是将杂质离子注入到有源区时使用的掩膜图形的顶视图。

具体实施方式

下面将参照附图详细描述本发明。

- 参看图 5，其中展示了根据本发明的 CMOS 图像传感器的单元像素。单元像素包括低压光电二极管 (LVPD) 510 和四个 NMOS 晶体管。转移晶体管 (Tx) 520 转移低压光电二极管 510 收集的光电电荷，以便在浮动节点 560 上进行检测。复位晶体管 (Rx) 530 通过释放电荷并将节点的电位设置为已知的值来使浮动节点 560 复位。驱动晶体管 (Dx) 540 起源极跟随缓冲放大器作用，而选择晶体管 550 提供对公用负载晶体管 570 的寻址能力。

- 本发明的重要优点在于包括低压光电二极管 510 和 NMOS 晶体管的图像传感器可以利用通常的 CMOS 技术来制造。同时，为提高电荷转移效率并降低输出信号的任何电压降和/或信号电荷的损失，将转移晶体管 (Tx) 520 和复位晶体管 (Rx) 530 形成为耗尽模式或低阈值电压 NMOS 晶体管。特别是，可以通过使用不带有 P 阱的 P-epi 层来制造合适的 NMOS 晶体管。这种负 NMOS 晶体管 (negative NMOS transistor) 可以具有稍负的阈值电压。

- 20 图 6 是示出根据本发明的 CMOS 图像传感器的单元像素的剖面图。如图 6 所示，为了通过减小对光生电荷的“误收集”来提高 CMOS 图像传感器的灵敏度和改善调制传递函数，在本发明中利用外延层来制造 CMOS 器件。即，使用具有 P-epi 层 602 的晶片，该 P-epi 层 602 形成在 P⁺衬底 601 上，杂质浓度约为 10^{14} 离子/cm³。使用 P-epi 层 602 的原因如下：

- 25 1) P-epi 层 602 使低压光电二极管的耗尽区能够较大和较深，而这通过增大低压光电二极管收集光生电荷的能力而提高了灵敏度。在本发明中，P-epi 层 602 的厚度在约 2 到 5 μm 的范围内。

- 30 2) 通过减小光电电荷的随机扩散，P-epi 层 32 下面的重掺杂 P⁺衬底 601 改善了传感器阵列的调制传递函数。在 P-型衬底中电荷的随机扩散导致相邻像素光生电荷的可能的“误收集”，并且直接造成图像清晰度的损失或更低的调制传递函数。由于在扩散到相邻像素之前电荷快速地复合，因

此 P⁺衬底 601 的更短的少数载流子寿命和更高的掺杂浓度明显减少了光电电荷的“误收集”。在本发明中，最好 P⁺衬底 601 和 P-epi 层 602 分别具有约 0.01Ωcm 和 10-25Ωcm 的电阻率。因此，P⁺衬底 601 的杂质浓度应该比 P-epi 层 602 的高得多，而 P⁺衬底 601 的相应少数载流子寿命应比 P-epi 层 5 602 的低得多。

再参看图 6，根据本发明的低压光电二极管包括在 P-epi 层 602 中形成的轻掺杂 N⁻区 603 和形成在轻掺杂 N⁻区 603 上的轻掺杂 P⁰区 604。由于光敏区没有被多晶硅层覆盖，因此该低压光电二极管有极好的灵敏度和光-电量子效率。特别是，短波长、蓝光的灵敏度明显提高。由于该轻掺杂 P-epi 10 层，低压光电二极管的电荷耗尽区对于长波长、红光或红外光也具有高灵敏度。此外，该低压光电二极管有快速和有效地将电荷从光敏区转移到浮动检测节点的能力。此外，通过控制硅-二氧化硅界面的界面产生状态的电势，减小了暗电流。

为实现上述优点，低压光电二极管在与 5V、3.3V 或 2.5V 电源兼容的低电压下应完全耗尽。但是，为有效地转移电荷和使按典型 CCD 工艺制造的隐埋光电二极管完全耗尽，常规 CCD 要求超过 8V 的高驱动电压。由于在 CCD 工艺中隐埋光电二极管的离子注入之后的高温工艺，使所获得的隐埋光电二极管在小于 5V 的电压下不能完全耗尽。同时，使用倾斜的离子注入技 15 术的隐埋光电二极管也不能通过利用低温工艺的典型亚微米 CMOS 工艺来稳定地实现。 20

例如，用于 3.3V 工作的 0.5μm CMOS 工艺可以具有在 1.2V-2.8V 范围内完全耗尽的隐埋光电二极管结构。如果该电压太高，则光电电荷向浮动检测节点的不完全电荷转移将引起许多不希望的成像伪迹 (imaging artifacts)。另一方面，如果该电压太低，则隐埋光电二极管的电荷容量 25 将非常低，造成小的输出信号。

通过只使用两个掩膜、两次离子注入工艺和常规亚微米 CMOS 工艺的热处理，而不使用在常规 CCD 工艺中所使用的额外的热处理，本发明制造出在 3.3V 和 5V 电源情况下能够在 1.2V-4.5V 电压范围上完全耗尽的低压光电二极管。这将在根据本发明的处理步骤中详细说明。如图 6 所示，由于 30 场氧化层 607 的边缘和 N⁻区 603 的边缘充分隔开 (见图 6 中的“A”)，使 P⁰区 604 电连接到 P-epi 层 602，并被保证处于同样的电位。即，P⁰区 604 的

侧壁和底部与 P-epi 层 602 接触，由此使 603 和 602 两层有相同的电位。因此，通过适当选择 N⁻和 P⁰区的注入能量，并进行注入，N⁻层 603 可以在 1.2V-4.5V 之间的电压下可靠地完全耗尽。

在四个 NMOS 晶体管中，转移晶体管 (Tx) 和复位晶体管 (Rx) 是低阈值电压或耗尽型晶体管，以便保证浮动节点的完全复位和使输出电压动态范围最大。驱动晶体管 (Dx) 和选择晶体管 (Sx) 是典型的 NMOS 晶体管。因此，驱动晶体管 (Dx) 和选择晶体管 (Sx) 形成在 P 阱中。然而，像素内的横向阱扩散造成低压光电二极管和 N 型晶体管 (native transistor) 的电特性变坏。因此，P 阱 605 被限制在小的区域内，但通过横向扩散，把全部驱动晶体管

5 和选择晶体管包括在内，而不影响低压光电二极管和相关的复位晶体管和转移晶体管。在本发明的优选实施例中，P 阱区包括复位晶体管 (Rx) 的漏

10 606 的一部分，并延伸到场氧化层 607 (下面将该 P 阱 605 称作小 P 阱)。此外，形成在 P 阱 605 中的驱动晶体管 (Dx) 和选择晶体管 (Sx) 使用 LDD (轻掺杂漏) 结构。形成在 P-epi 层 602 中的转移晶体管 (Tx) 和复位晶体管 (Rx) 不

15 使用 LDD (轻掺杂漏) 结构，这改善了浮动节点与复位电压的隔离，通过减小覆盖电容而减小了复位和转移时钟信号之间的耦合量，并通过减小与浮动节点有关的总电容增大了像素的总灵敏度。

下面将详细描述根据本发明的图像传感机理：

- a) 转移晶体管 (Tx)、复位晶体管 (Rx) 和选择晶体管 (Sx) 截止。此时，
- 20 低压光电二极管完全耗尽。
- b) 在硅衬底中光子被吸收，并产生光电电荷。
- c) 光电电荷被低压光电二极管收集。
- d) 在收集预定积分时间的光电电荷之后，通过导通复位晶体管 (Rx) 使浮动检测节点复位。
- 25 e) 通过导通选择晶体管 (Sx) 选择单元像素以便读出。
- f) 测量源极跟随缓冲器的输出电压 V1 (该电压只表示浮动检测节点的 DC (直流) 电平移动)。
- g) 导通转移晶体管 (Tx)。
- h) 将全部收集的光电电荷转移到浮动检测节点。
- 30 i) 转移晶体管截止 (Tx)。
- j) 测量源极跟随缓冲器的输出电压 V2。所获得的输出信号差，V1-V2

是由光电电荷的转移造成的。该方法被称为 CDS (相关双重采样) 方法, 并保证抵消失调电压、复位开关噪声和 $1/f$ 闪烁噪声。

k) 重复步骤(a)到(j)。在步骤(h)低压光电二极管完全耗尽。

5 图 7A 到 7J 是示出根据本发明制造 CMOS 图像传感器的单元像素的方法的剖面图。

参看图 7A, 在 P⁺衬底 701 上形成 P-epi 层 702, 并将杂质引入暴露出的 P-epi 层中。此时, 由于在单元像素内有一个低压光电二极管和两个 NMOS 晶体管(转移晶体管和复位晶体管)以及亚微米 NMOS 晶体管(驱动晶体管和选择晶体管), 因此对于本发明的 CMOS 图像传感器, 不使用象在典型亚微米 CMOS 工艺中看到的那样的常规 P 阱衬底。由于在小的像素内横向掺杂物扩散的有限的容限, 象在典型亚微米 CMOS 工艺中看到的那样的常规阱结构会使低压光电二极管和 NMOS 晶体管的电特性降低。即, 如上所述, 进行小 P 阱工艺。

15 参看图 7B, 在去除 P 阱离子注入掩膜 703 之后, 通过在热处理期间的横向扩散来形成包含驱动晶体管和选择晶体管的 P 阱 705。

参看图 7C, 为了器件隔离的目的, 利用 LOCOS 工艺、沟槽隔离工艺等形成限定场区和有源区的场氧化膜 707。在本实施例中, 按顺序形成基层氧化层、缓冲多晶硅层和氮化物层的多层掩膜图形 706 用作湿氧化掩膜, 以便形成场氧化物层。这种隔离是与本发明主题有关的领域的普通技术人员所公知的。

20 参照图 7D, 在去除多层掩膜图形 706 后, 形成露出 P 阱 705 的掩膜图形 740, 并进行离子注入以调节 N 沟道阈值电压和穿通。通过使用这种离子注入, 单元像素内的驱动晶体管和选择晶体管可以显示出亚微米 NMOS 晶体管的典型特性。同时, 调节阈值电压的这种离子注入不在要形成低压光电二极管和两个 N 型晶体管的区域中进行。

参看图 7E, 为在单元像素内形成四个 NMOS 晶体管, 在 P-epi 层 702 上按顺序形成多晶硅层 709 和硅化钨层 710, 并利用掩膜和腐蚀工艺将其图形化, 由此形成以预定距离相隔开的四个栅极 711。

接着, 参看图 7F, 在所获得的结构上形成掩膜图形 713 以便形成低压光电二极管的轻掺杂 N⁻区 721, 并以约 10^{17} 离子/cm³ 的浓度向 P-epi 层 702 引入杂质。此时, 应注意将掩膜图形 713 用作注入掩膜来限制离子注入区

域非常重要。如图 7F 的剖面图所示，掩膜图形 713 的一端 715 被定位在转移晶体管的栅极的中间，而其另一端 716 被定位在有源区内。换句话说，场区和有源区之间的界面被掩膜图形 713 所覆盖，使处于界面附近的有源区的部分不会受到离子注入。掩膜图形 713 是沿图 8A 中的光掩膜的 A-A' 5 线所作的。如图 8A 所示，掩膜图形 713 沿有源区和场区之间的界面(图 8A 中的虚线)对准，但覆盖有源区的一部分 800，由此防止 N 杂质离子被引入其边缘。

参看图 7G，去除掩膜图形 713，并形成另一掩膜图形 717，以便形成轻掺杂 P⁰ 区 722。以约 10¹⁸ 离子/cm³ 的浓度将杂质引入 P-epi 层 702。此时，10 P⁰ 离子的加速能量低于图 7F 的 N 离子的加速能量，从而使轻掺杂 P⁰ 区 722 定位于轻掺杂 N 区 721 上。如图 7G 的剖面图所示，掩膜图形 717 的一端 719 定位在转移晶体管的栅极的中间，而其另一端 720 定位在场氧化层 707 上。图 8B 示出掩膜图形 717 的顶视图。因此，漏出了本发明的低压光电二极管的整个有源区，从而与图 3 中所示的电连接相比，在 P⁰ 区 722 和 P-epi 层 15 702 之间获得了充分的电连接 A。尽管本发明采用了两个大小不同的掩膜，但应注意可以通过控制杂质区的深度来获得这种连接 A。

另一方面，对于图 7F 和 7G 和这些离子注入工艺，必须控制转移晶体管栅极的厚度。由于低压光电二极管的掺杂轮廓决定电荷转移效率，因此使掺杂区域与转移晶体管的栅极的一端自对准。因此，转移晶体管的栅极 20 必须具有能阻挡被加速的离子的厚度。如果不这样，离子会渗入栅极，使离子掺杂层 721 和 722 不与转移晶体管的栅极边缘自对准。这种不对准降低电荷转移效率。在常规 CMOS 工艺中，分别以约 1500 Å 和低于 1500 Å 的厚度形成多晶硅层和硅化钨层，但在根据本发明的优选实施例中，它们分别是以 2000 Å 以上和 1500 Å 以上的厚度形成的。结果，根据本发明的转移晶 25 体管的栅极厚度比利用常规 CMOS 工艺制造的 NMOS 晶体管的栅极厚度更厚。

此外，由于轻掺杂 N 区 721 的边缘与场氧化层 707 的边缘分隔开，并且在 P⁰ 区 722 和 P-epi 层 702 之间获得充分的电连接 A，因而即使在低于 5V 的电源电压下，P⁰ 区 722 和 P-epi 层 702 也具有相同的电位。因此，在 1.2-4.5V 下轻掺杂 N 区 721 将完全耗尽。如果在 P⁰ 区 722 和 P-epi 层 702 30 之间没有获得充分的电连接 A，则光电二极管将不能起低压光电二极管的作用，并且不会实现完全耗尽。

下面,参看图 7H,在去除掩膜图形 717 之后,在所获得的结构上形成掩膜图形 723,将 P 阱区露出以便提供 LDD 结构的驱动晶体管和选择晶体管。通过这样的处理, P 阱中的驱动晶体管和选择晶体管将具有与常规亚微米 NMOS 晶体管相同的特性。由于在 P-epi 层 702 中没有进行用于 LDD 结构的这种离子注入,因此转移晶体管和复位晶体管不具有 LDD 结构,即 NMOS 晶体管。

参看图 7I,在去除掩膜图形 723 之后,为在单元像素内形成四个晶体管的源/漏区,利用 LPCVD(低压化学气相淀积)方法在所获得的结构上淀积氧化物层。将深腐蚀工艺用于该氧化物层,然后在所有晶体管的侧壁上形成氧化物间隔层 726。在所获得的结构上形成用于将杂质离子注入到除低压光电二极管区域以外的 P-epi 层 702 和 P 阱 705 中的掩膜图形 727,并进行 N⁺离子注入,由此形成用于源/漏的高掺杂 N⁺区 729。

如上所述,形成在 P-epi 层 702 上的 N 型晶体管 Tx 和 Rx 具有负的阈值电压(耗尽模式)。N 型耗尽型晶体管的特性被有效地用于本发明的转移晶体管。例如,当达到光电二极管的电荷容量时,过量的光电电荷将溢出光电二极管并被相邻的像素收集。在图像中由强光源所导致的串扰被称做“模糊现象”。

如在本发明中所述,在使用耗尽模式的 N 型转移晶体管的情况下,即使将 0V 加于 N 型转移晶体管的栅极,因为在低压光电二极管和浮动检测节点之间增大的电位差,也会有电流流动,由此消除“模糊现象”。

另一方面,在低压光电二极管内自对准的 N⁻区 721 和 P⁰区 722 通过用于形成氧化物间隔层 726 的高温 LPCVD 工艺进行外扩散工艺。在 P⁰区 722 扩散到 N⁻区 721 之外的转移晶体管栅极下面的情况下,在转移晶体管的一侧产生势垒,这降低了电荷转移效率。因此为了在进行高温 LPCVD 工艺时不产生这种不希望的势垒,要小心地控制 P⁰和 N⁻区 722 和 721 的横向轮廓。

图 7J 是在一般的背-端工艺(back-end process)之后的单元像素的剖面图。如图 7J 所示,在形成重掺杂的 N⁺区 729 之后,形成层间绝缘层 PMD、IMD1 和 IMD2 以及金属层 M1 和 M2,并形成钝化层,以便保护器件不受潮和划伤。最后,在钝化层上形成由红色、绿色和蓝色装置或黄色、深红色和蓝绿色装置构成的滤色器阵列。在低压光电二极管的传感区域上只有绝缘层、钝化层和滤色器。同时,为使非光敏区与入射光屏蔽,可以使用另一

金属层或不透明光屏蔽层。

尽管为进行说明已公开了本发明的优选实施例，但本领域技术人员可以理解本发明可以有各种改型、添加和替换而不脱离在所附权利要求中披露的本发明的范围和实质。

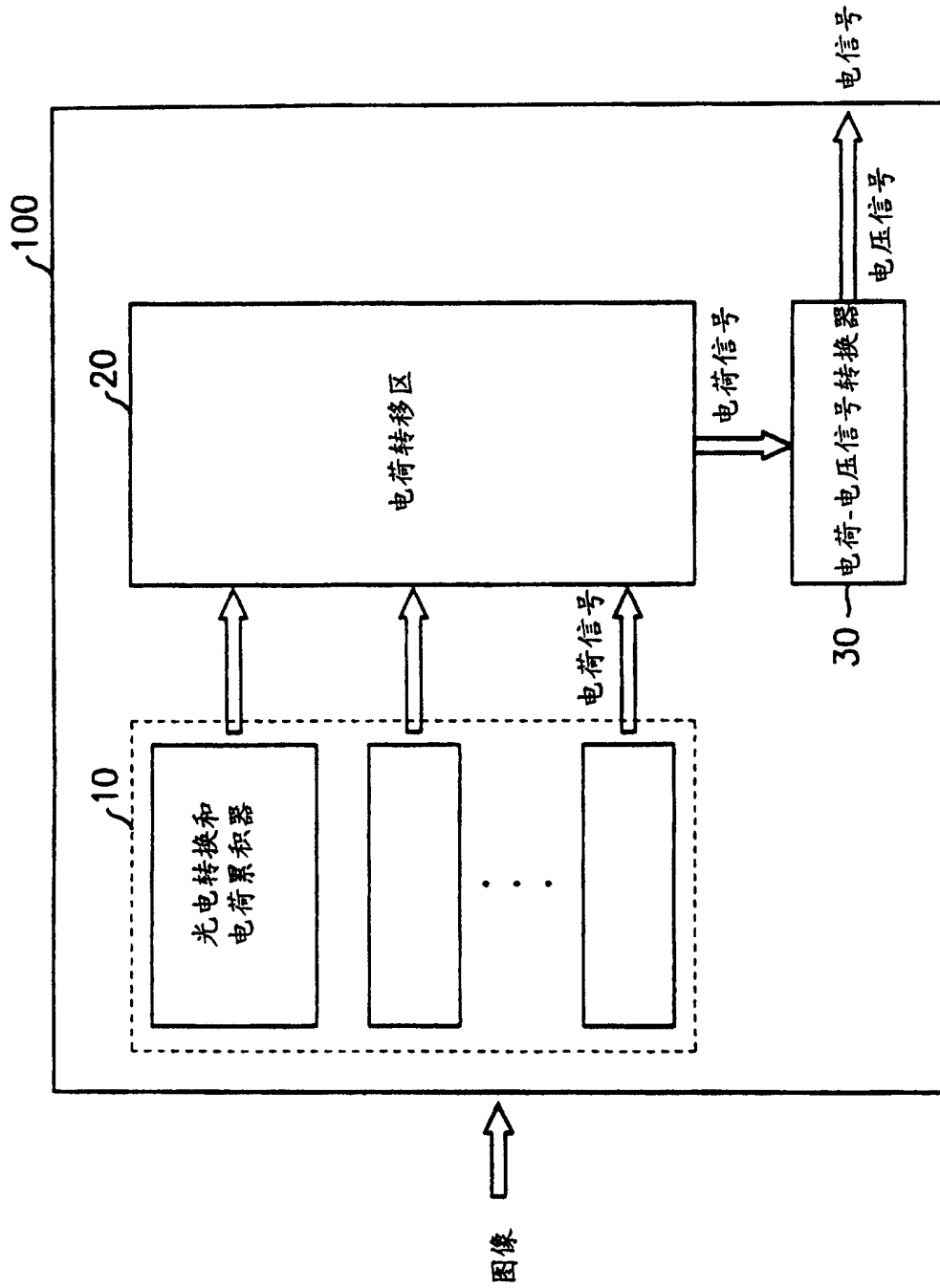
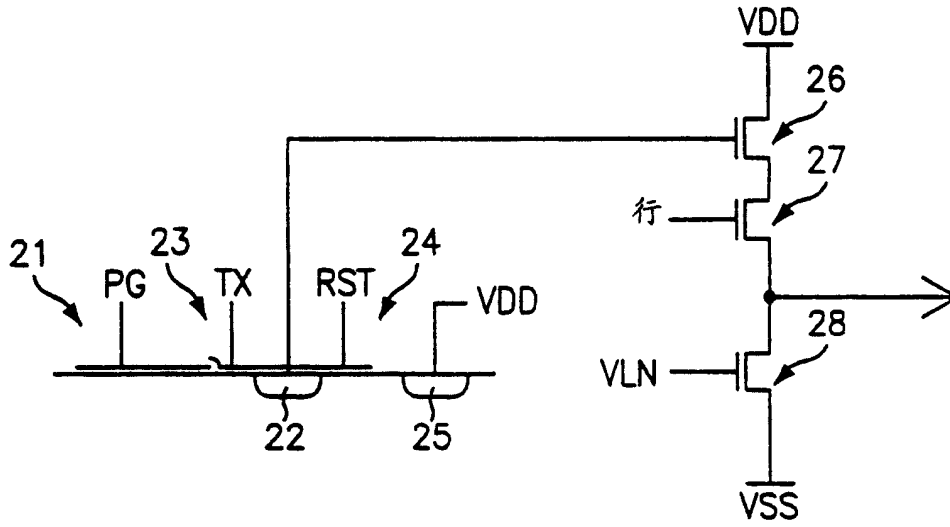
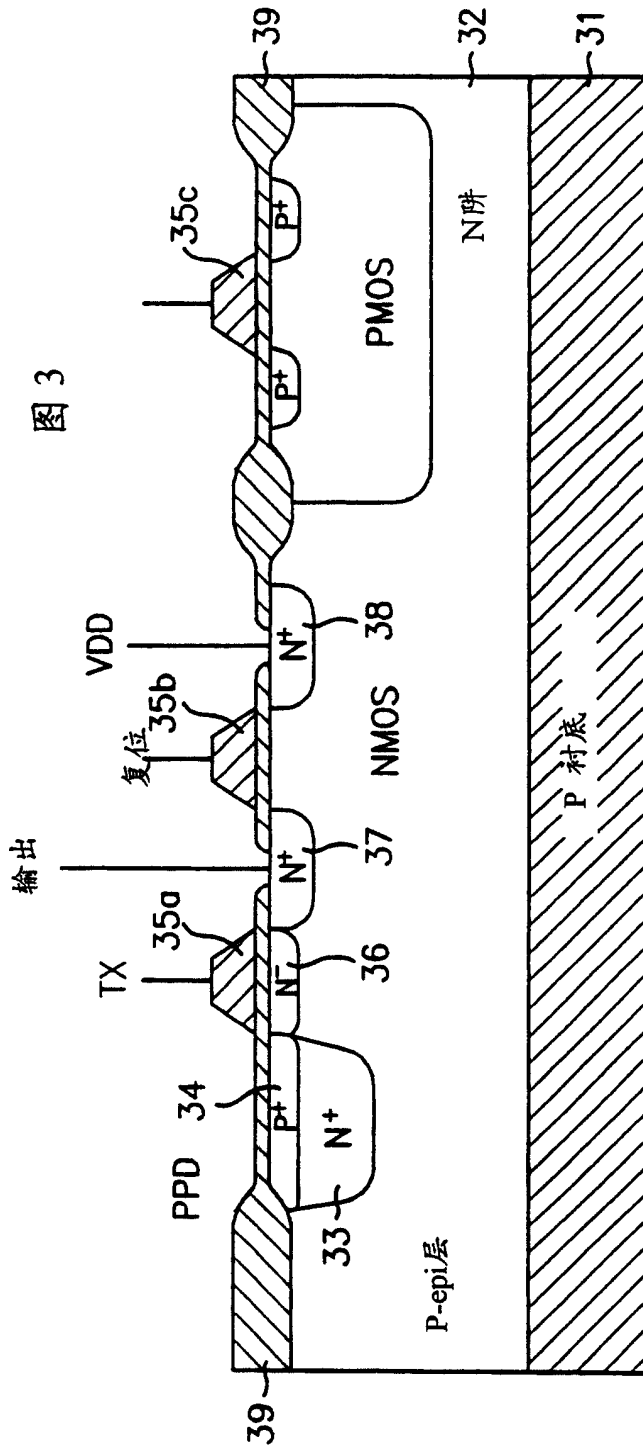


图 1

图 2





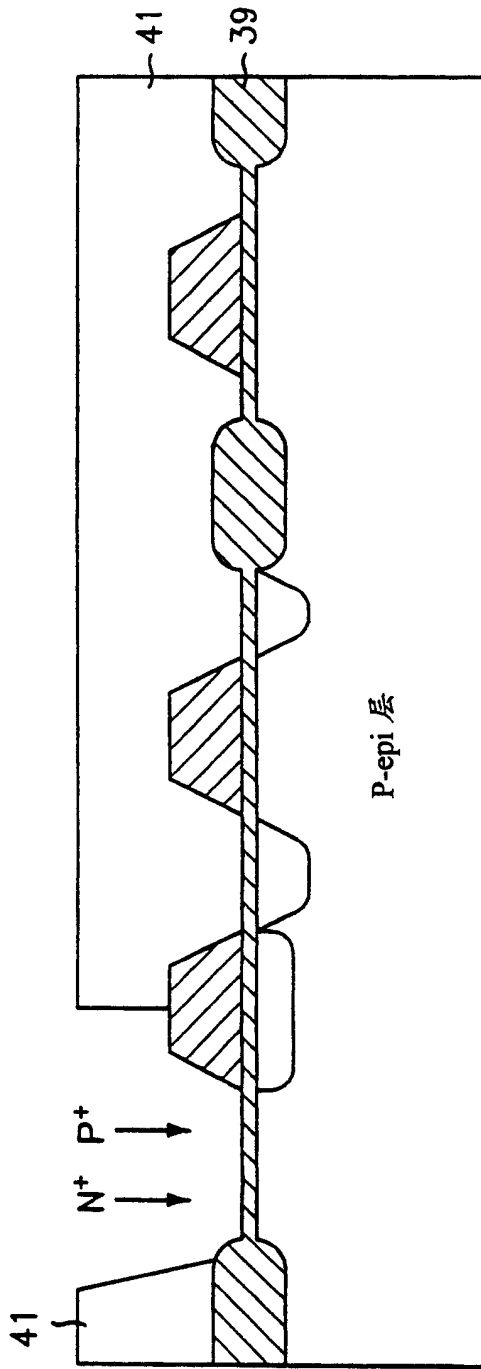


图 4

图 5

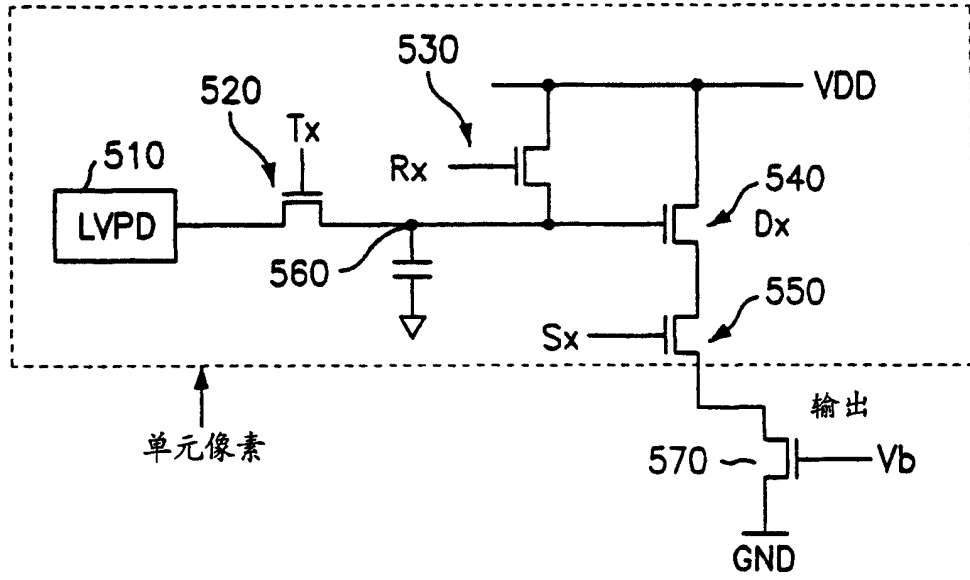


图6

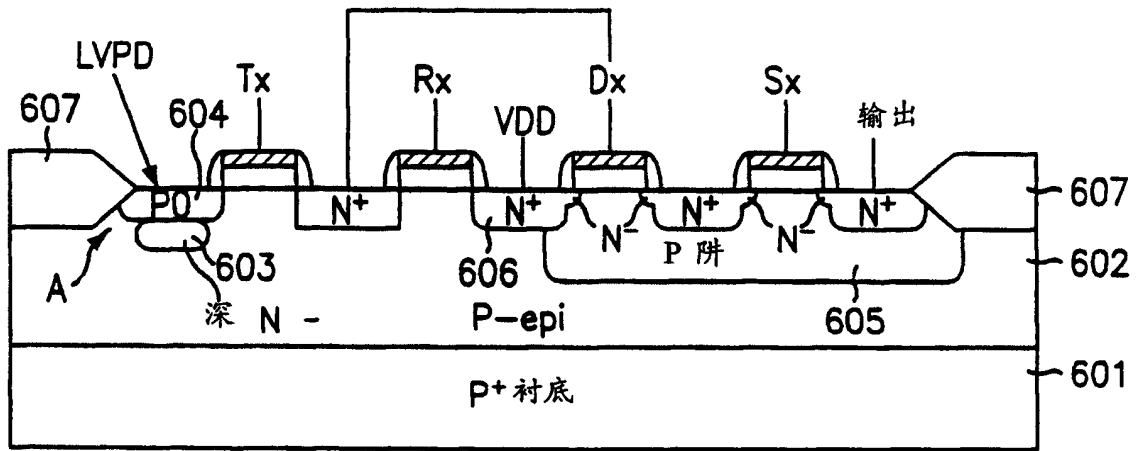


图 7A

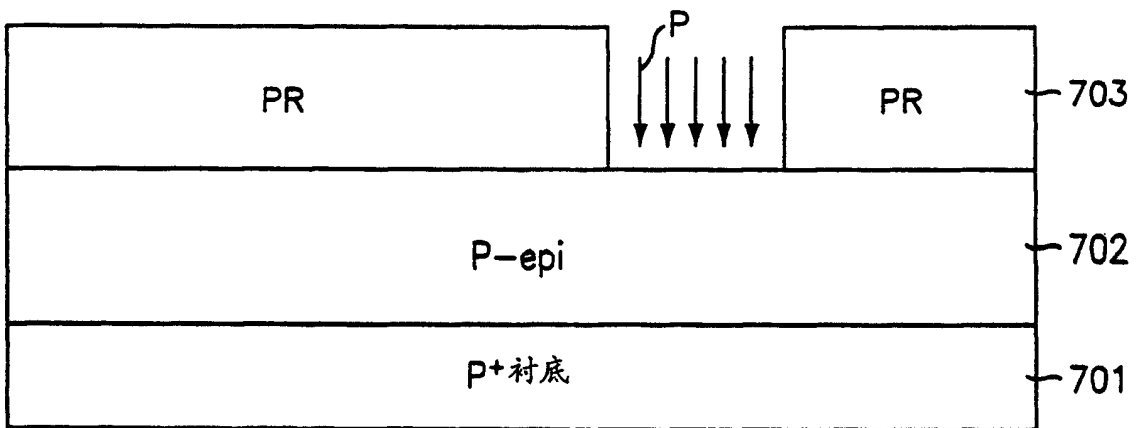


图 7B

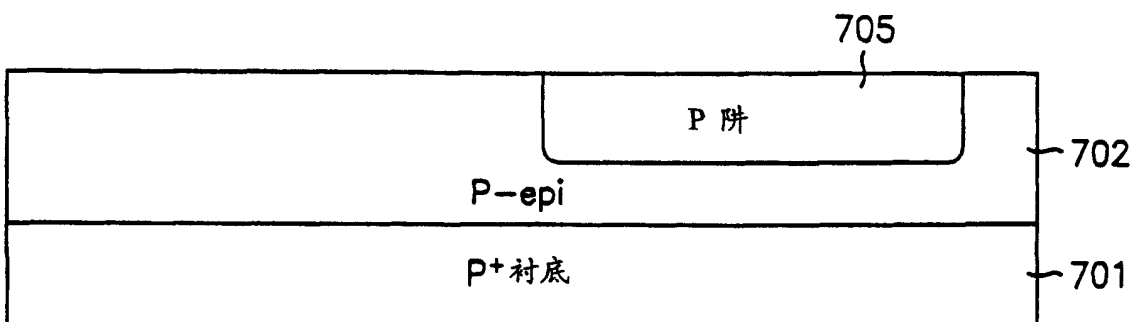


图 7C

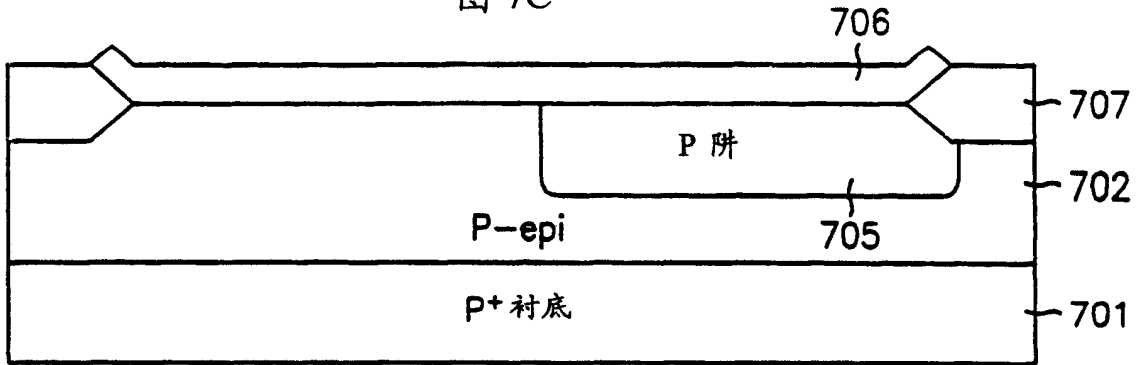


图 7D

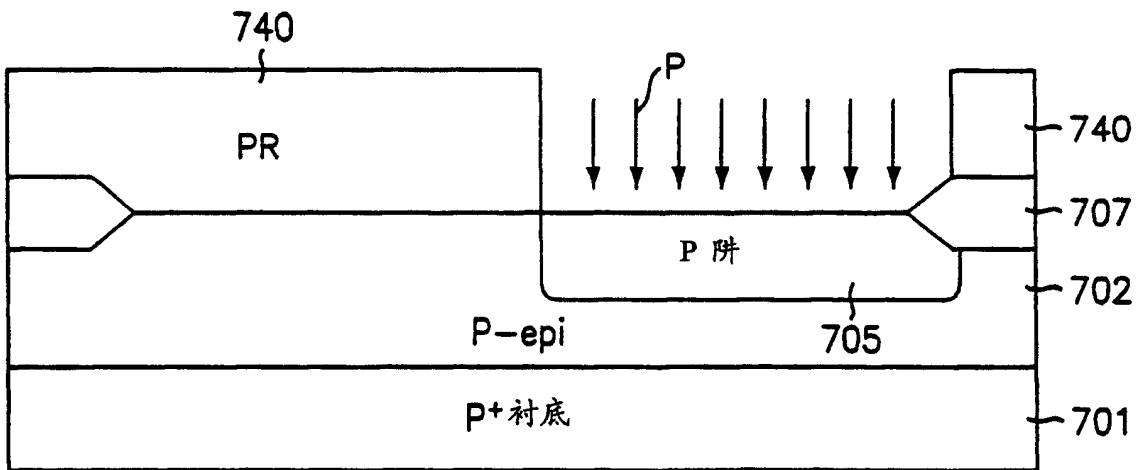
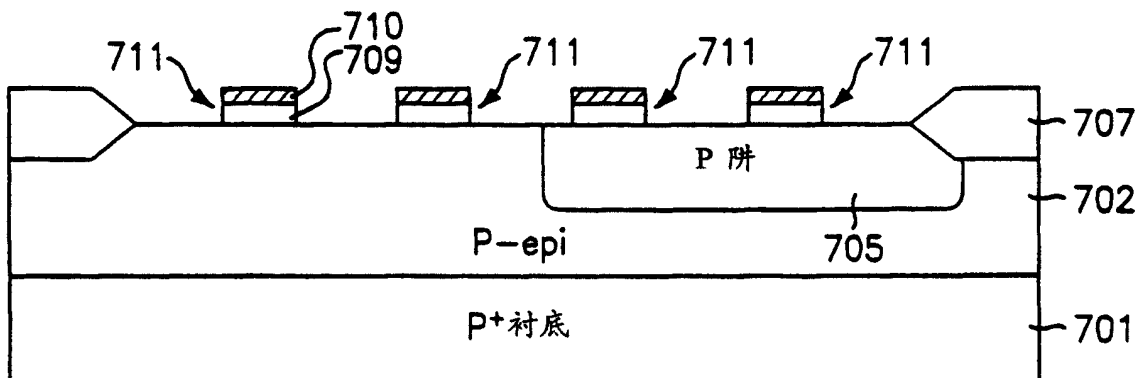


图 7E



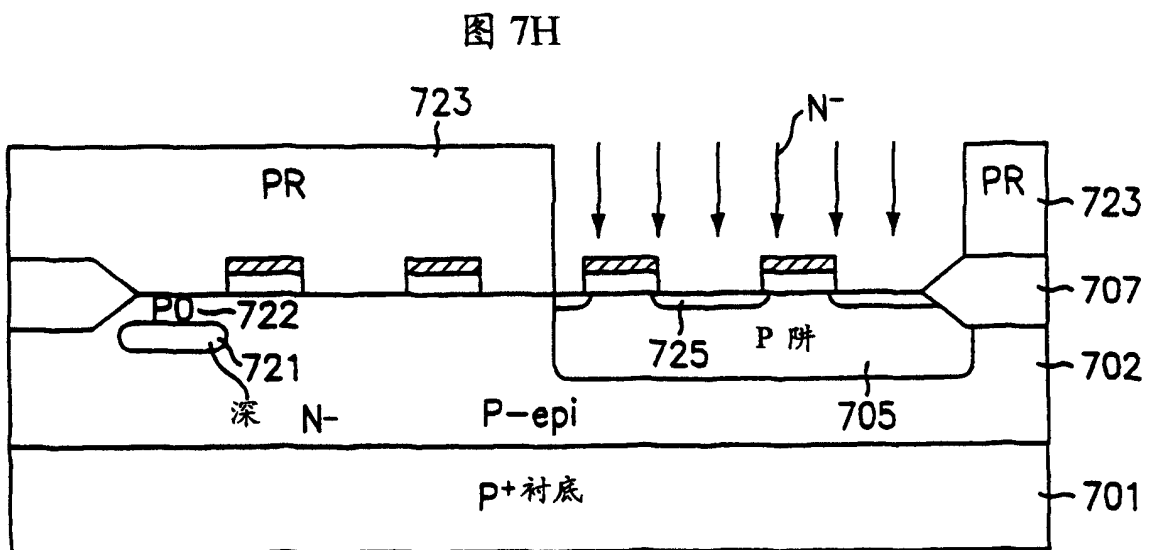
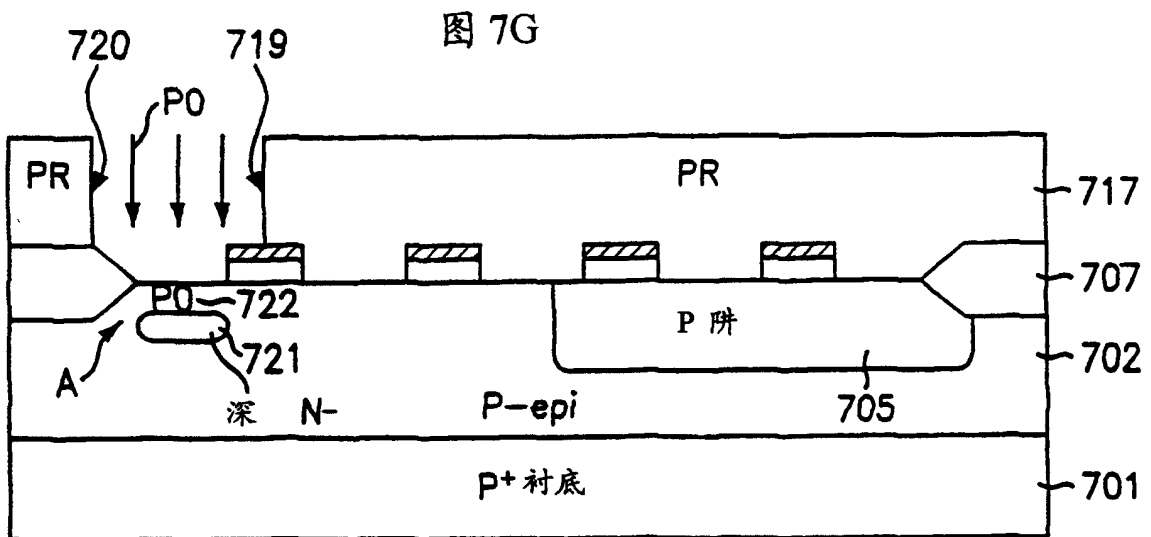
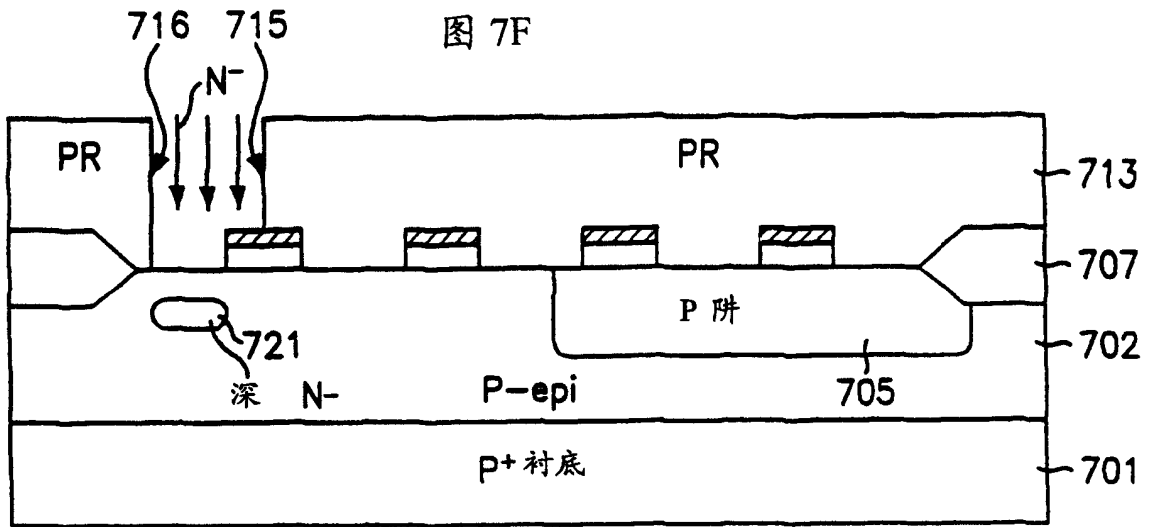


图 7I

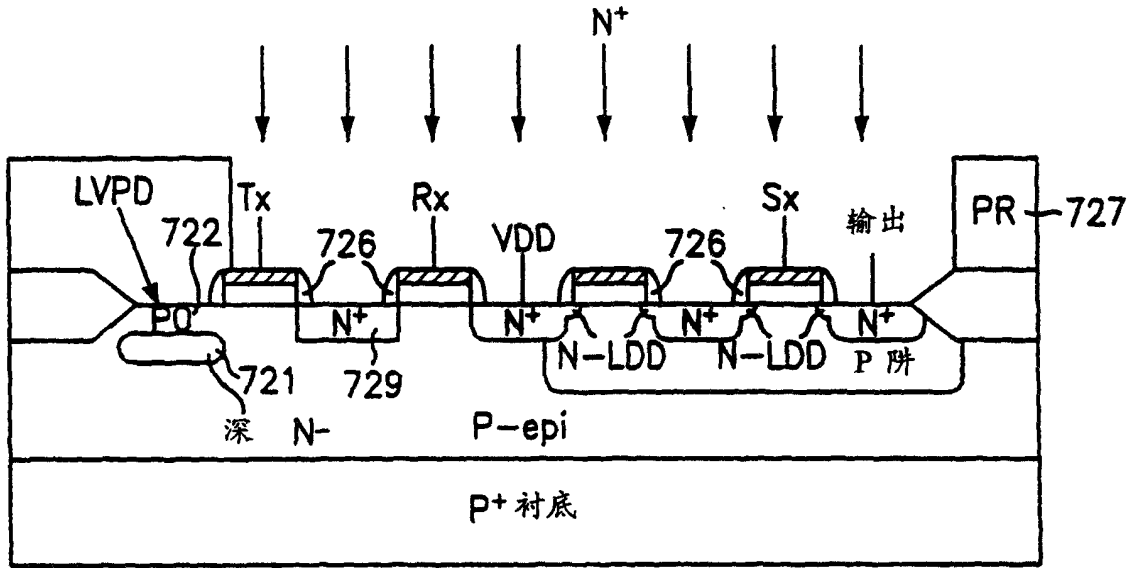


图 7J

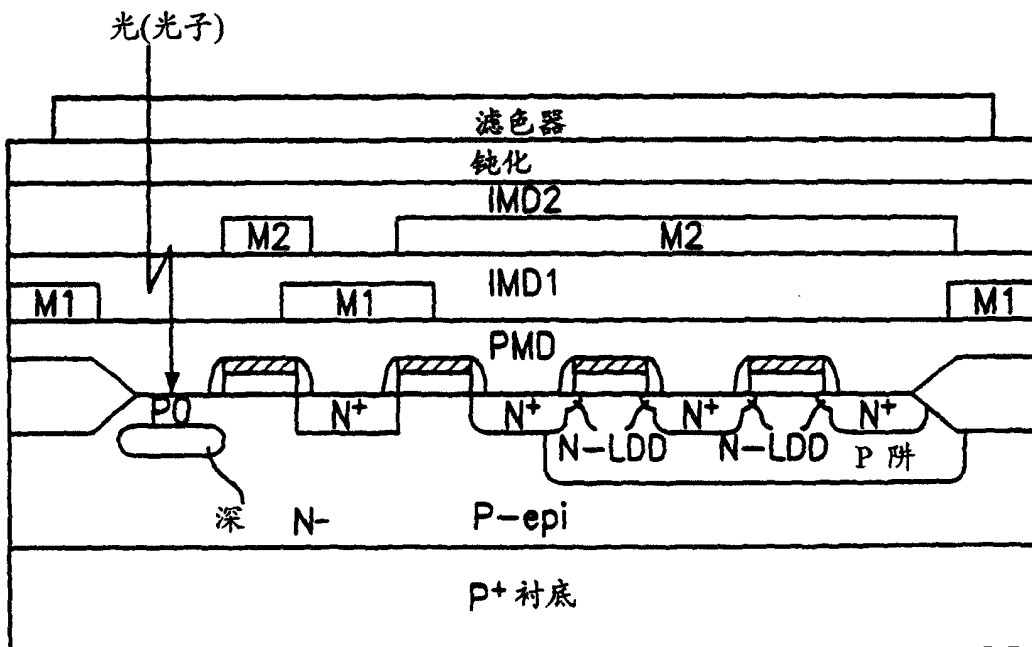


图 8A

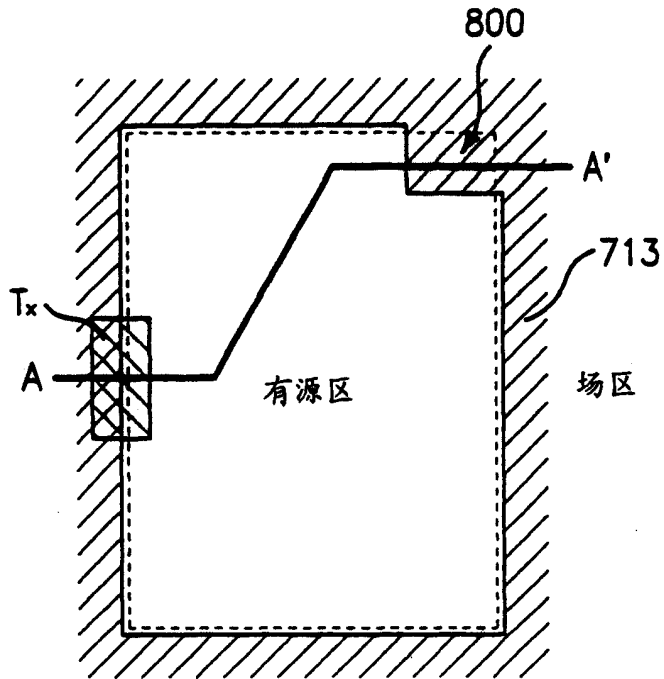


图 8B

