

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4944520号
(P4944520)

(45) 発行日 平成24年6月6日 (2012. 6. 6)

(24) 登録日 平成24年3月9日 (2012. 3. 9)

(51) Int. Cl.

F I

HO 4 L 25/03 (2006. 01)

HO 4 B 3/06 (2006. 01)

HO 4 L 25/03 C

HO 4 B 3/06 C

請求項の数 41 (全 18 頁)

(21) 出願番号	特願2006-187052 (P2006-187052)	(73) 特許権者	597154922
(22) 出願日	平成18年7月6日 (2006. 7. 6)		アルテラ コーポレーション
(65) 公開番号	特開2007-37114 (P2007-37114A)		Altera Corporation
(43) 公開日	平成19年2月8日 (2007. 2. 8)		アメリカ合衆国 95134 カリフォル
審査請求日	平成21年6月30日 (2009. 6. 30)		ニア州 サン ホセ イノベーション ド
(31) 優先権主張番号	11/192, 539		ライヴ 101
(32) 優先日	平成17年7月28日 (2005. 7. 28)	(74) 代理人	100078282
(33) 優先権主張国	米国 (US)		弁理士 山本 秀策
		(74) 代理人	100062409
			弁理士 安村 高明
		(74) 代理人	100113413
			弁理士 森下 夏樹

最終頁に続く

(54) 【発明の名称】 高速データ受信回路網および方法

(57) 【特許請求の範囲】

【請求項 1】

入力信号における動作のために選択的に有効にされるフィードフォワードイコライザ回路網と、

該フィードフォワードイコライザ回路網の出力信号と選択的に有効にされたフィードバック信号とを結合するための結合回路網と、

該結合回路網の出力信号からデジタルデータ信号をリカバリするためのデータリカバリ回路網と、

該デジタルデータ信号で動作し、該選択的に有効にされたフィードバック信号を生成するための決定フィードバックイコライザ回路網とを備える、イコライジング回路網。

【請求項 2】

前記入力信号が差動信号を備える、請求項 1 に記載の回路網。

【請求項 3】

前記データリカバリ回路網と前記決定フィードバックイコライザ回路網が共同で、前記フィードフォワードイコライザ回路網の出力信号と前記フィードバック信号との間に、1つのデジタルデータ信号ユニットインターバルの遅延を有する、請求項 1 に記載の回路網。

【請求項 4】

前記フィードフォワードイコライザ回路網が、イコライザアダプテーション回路網を備

える、請求項 1 に記載の回路網。

【請求項 5】

前記イコライザアダプテーション回路網が、フィードフォワードイコライザ係数決定回路網を備える、請求項 4 に記載の回路網。

【請求項 6】

前記決定フィードバックイコライザ回路網が、少なくとも 1 つの選択可能な決定フィードバックイコライザ係数に基づいて、可变的に動作可能である、請求項 1 に記載の回路網。

【請求項 7】

前記少なくとも 1 つの決定フィードバックイコライザ係数を、前記フィードフォワードイコライザ回路網の動作特性に、少なくとも一部は基づかせる回路網をさらに備える、請求項 6 に記載の回路網。

10

【請求項 8】

前記フィードフォワードイコライザ回路網の動作特性が、アダプティブに選択可能である、請求項 7 に記載の回路網。

【請求項 9】

前記決定フィードバックイコライザ回路網の動作を選択的に有効にする回路網をさらに備える、請求項 1 に記載の回路網。

【請求項 10】

前記イコライザアダプテーション回路網の動作を選択的に有効にする回路網をさらに備える、請求項 4 に記載の回路網。

20

【請求項 11】

入力信号をイコライジングする方法であって、該方法は、
入力信号をフィードフォワードイコライジングに与えることであって、該フィードフォワードイコライジングは選択的に有効にされる、ことと、
該フィードフォワードイコライジングの出力信号を、選択的に有効にされたフィードバック信号と結合することと、
該結合の出力信号をデータリカバリに与えることと、
該データリカバリの出力信号を決定フィードバックイコライジングに与えて、選択的に有効にされるフィードバック信号を生成することと
を包含する、方法。

30

【請求項 12】

動作の初期に、前記フィードバック信号が有効とされていない、請求項 11 に記載の方法。

【請求項 13】

前記フィードバック信号は、選択的に前記決定フィードバックイコライジングを有効にすることで、選択的に有効とされる、請求項 11 に記載の方法。

【請求項 14】

前記フィードフォワードイコライジングは、アダプティブに実行される、請求項 11 に記載の方法。

40

【請求項 15】

前記フィードフォワードイコライジングのアダプティブな実行は、前記フィードフォワードイコライジングで使われた少なくとも 1 つの係数を変化できる、請求項 14 に記載の方法。

【請求項 16】

前記フィードフォワードイコライジングで使われた少なくとも 1 つの係数から、前記決定フィードバックイコライジングで使う少なくとも 1 つの係数を導き出すことをさらに包含する、請求項 15 に記載の方法。

【請求項 17】

前記フィードフォワードイコライジングのアダプティブな実行は、前記結合の出力信号

50

に少なくとも一部は基づく、請求項 15 に記載の方法。

【請求項 18】

前記フィードフォワードイコライジングで使われた少なくとも 1 つの係数から、前記決定フィードバックイコライジングで使う少なくとも 1 つの係数を導き出すことをさらに包含する、請求項 17 に記載の方法。

【請求項 19】

前記導き出すことの後、前記フィードフォワードイコライジングをアダプティブに実行して、前記フィードフォワードイコライジングで使われた少なくとも 1 つの係数を変化させることをさらに包含する、請求項 18 に記載の方法。

【請求項 20】

前記アダプティブな実行の後、前記決定フィードバックイコライジングで使われた少なくとも 1 つの係数のための新たな値を、前記フィードフォワードイコライジングで使われ、変化した係数から導き出すことをさらに包含する、請求項 19 に記載の方法。

【請求項 21】

プログラマブルロジックデバイスであって、
プログラマブルロジック回路網と、
該デバイスに適用されるシリアルデータ信号で選択的に有効にされたイコライジング動作を実行する、フィードフォワードイコライザ回路網と、
該フィードフォワードイコライザ回路網の出力信号を選択的に有効にされたフィードバック信号と結合する、結合回路網と、
該結合回路網の出力信号で動作し、該プログラマブルロジック回路網によって使用するためにリカバリされたデータ信号を生成する、データリカバリ回路網と、
該リカバリされたデータ信号でイコライゼーション動作を実行し、該選択的に有効にされたフィードバック信号を生成する、決定フィードバックイコライザ回路網と
を備える、デバイス。

【請求項 22】

前記決定フィードバックイコライザ回路網は、前記決定フィードバックイコライザ回路網によって実行されたイコライジング動作に対応して、前記プログラマブルロジック回路網に、少なくとも一部は応答する、請求項 21 に記載のデバイス。

【請求項 23】

イコライジング動作が、前記フィードフォワードイコライザ回路網によって実行されたことを示す信号を、前記プログラマブルロジック回路網に適用するための回路網をさらに備える、請求項 21 に記載のデバイス。

【請求項 24】

制御回路網をさらに備え、該制御回路網は、
エラー信号を計算するために、前記結合回路網の出力と基準とを比較することと、
前記入力信号に適應させるように、該エラー信号に基づいて、前記フィードフォワードイコライザ回路網の特性を調整することと
を行うように構成される、請求項 1 に記載のイコライジング回路網。

【請求項 25】

前記特性は係数値である、請求項 24 に記載のイコライジング回路網。

【請求項 26】

前記制御回路網に連結されるロジック回路網と、
選択回路網であって、
該ロジック回路網から受信された制御信号に基づいて、該制御回路網から受信された第一の係数値と、該ロジック回路網から受信された第二の係数値との間で選択することと、
該選択された係数値を前記フィードフォワードイコライザ回路網に出力することと
を行うように動作する、選択回路網と
をさらに備え、該制御信号は、該制御回路網が前記入力信号に適應されている間に該第

10

20

30

40

50

一の係数値を選択し、該ロジック回路網が安定性の指示を受けているときに該第二の係数値を選択する、請求項 2 4 に記載のイコライジング回路網。

【請求項 2 7】

エラー信号を計算するために、結合回路網の出力と基準とを比較することと、
前記入力信号に適應させるように、該エラー信号に基づいて、前記フィードフォワードイコライジングの特性を調整することと
をさらに包含する、請求項 1 1 に記載の方法。

【請求項 2 8】

前記特性は係数値である、請求項 2 7 に記載の方法。

【請求項 2 9】

フィードフォワードイコライザ回路網に提供するために、第一の係数値と第二の係数値との間で選択することをさらに包含し、

該第一の係数値は、該フィードフォワードイコライザ回路網が前記入力信号に適應されている間に選択され、該第二の係数値は安定性の指示が受けられているときに選択される、請求項 2 7 に記載の方法。

【請求項 3 0】

エラー信号を計算するために、前記結合回路網の出力と基準とを比較することと、
入力信号に適應させるために、該エラー信号に基づいて前記フィードフォワードイコライザ回路網の特性を調整することと

を行うように構成される制御回路網をさらに備えている、請求項 2 1 に記載のプログラマブルロジックデバイス。

【請求項 3 1】

前記特性は係数値である、請求項 3 0 に記載のプログラマブルロジックデバイス。

【請求項 3 2】

選択回路網であって、

前記プログラマブルロジック回路網から受信された制御信号に基づいて、前記制御回路網から受信された第一の係数値と、該プログラマブルロジック回路網から受信された第二の係数値との間で選択することと、

該選択された係数値を前記フィードフォワードイコライザ回路網に出力することと

を行うように動作する、選択回路網

をさらに備え、該制御信号は、該制御回路網が前記入力信号に適應されている間に該第一の係数値を選択し、該プログラマブルロジック回路網が安定性の指示を受けているときに該第二の係数値を選択する、請求項 3 0 に記載のプログラマブルロジックデバイス。

【請求項 3 3】

それぞれ制御回路網およびロジック回路網から受信された第一の係数値と第二の係数値との間で選択するための選択回路網をさらに備え、該選択回路網は、

該制御回路網が前記入力信号に適應されている間に該第一の係数値を選択することと、
安定性の指示が該ロジック回路網によって受けられているときに該第二の係数値を選択することと

を行うように動作する、請求項 1 に記載のイコライジング回路網。

【請求項 3 4】

前記選択された係数値は、前記フィードフォワードイコライザ回路網に提供される、請求項 3 3 に記載のイコライジング回路網。

【請求項 3 5】

前記フィードフォワードイコライザ回路網に提供するために、2つの係数値の間から選択するように動作する選択回路網をさらに備え、該選択は、(1)該フィードフォワードイコライザ回路網が前記入力信号に適應されているかどうか、そして(2)安定性の指示がロジック回路網によって受けられているかどうか、に依存する、請求項 1 に記載のイコライジング回路網。

【請求項 3 6】

制御回路網が前記入力信号に適応されている間に第一の係数値を選択することと、安定性の指示がロジック回路網によって受けられているときに第二の係数値を選択することと

をさらに包含する、請求項 11 に記載の方法。

【請求項 37】

前記選択された係数値は、フィードフォワードイコライザ回路網に提供される、請求項 36 に記載の方法。

【請求項 38】

フィードフォワードイコライザ回路網に提供するために、2つの係数値の間から選択することをさらに包含し、該選択は、(1) 該フィードフォワードイコライザ回路網が前記入力信号に適応されているかどうか、そして(2) 安定性の指示が受けられているかどうか、に依存する、請求項 11 に記載の方法。

【請求項 39】

それぞれ制御回路網およびロジック回路網によって受信された第一の係数値と第二の係数値との間で選択するための選択回路網をさらに備え、該選択回路網は、

該制御回路網が入力信号に適応されている間に該第一の係数値を選択することと、

安定性の指示が該プログラマブルロジック回路網によって受けられているときに該第二の係数値を選択することと

を行うように動作する、請求項 21 に記載のプログラマブルロジックデバイス。

【請求項 40】

前記選択された係数値は、前記フィードフォワードイコライザ回路網に提供される、請求項 39 に記載のプログラマブルロジックデバイス。

【請求項 41】

前記フィードフォワードイコライザ回路網に提供するために、2つの係数値の間で選択するように動作する選択回路網をさらに備え、該選択は、(1) 該フィードフォワードイコライザ回路網が入力信号に適応されているかどうか、そして(2) 安定性の指示が前記プログラマブルロジック回路網によって受けられているかどうか、に依存する、請求項 21 に記載のプログラマブルロジックデバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、高速データ信号を受信する回路網および方法に関する。例えば、本発明の回路網は、プログラマブルロジックデバイス(「PLD」)で提供され得る。また、本発明の方法は、回路網を動作する方法であり得る。

【背景技術】

【0002】

いわゆる高速シリアルインターフェース(「HSSE」)は、システムのデバイス間で通信するために使われ得る。典型的には、このようなシステムの通信機が意図するのは、2つの特有のレベルを有する信号で、その一方のレベルから他方のレベルへの明確な(すなわち、非常に急峻な)変化をするデジタル(バイナリ)信号を送信することである。このような急峻な変化は、データを高速で送信するめには不可欠である。送信機から受信機に信号を伝達する媒体は、通常、送信されている信号にロスを生じる。こうしたロスは、一般に、信号振幅の減少や、変化の急峻さの減少を含む。正確で高速なデータ送信を維持するためには、こうしたロスを補償する回路網が必要である。

【0003】

これを行う方法の一つは、送信機に信号のプリエンファシスを与えることである。これは、各変化の直後に、信号に追加エネルギーを与えることを意味する。追加エネルギーは、追加振幅(電圧)、および/または、追加電流であり得る。非常に速いデータ速度の(例えば、毎秒約3ギガビット(3Gbps)以上の範囲の)とき、プリエンファシスは、高周波数成分で送信される信号にとって、不利であり得る。高周波成分は、望ましからぬこと

10

20

30

40

50

だが、他の回路網と結合し得るからである。

【 0 0 0 4 】

上述のブリエンファシスによる不利益を避けるために、受信機でいわゆるイコライジングを利用することが好ましい。イコライジング回路は、典型的には、入ってくる信号が受信機に到達するとき、その信号を体験する最初の回路網の中にある。イコライジング回路網は、受信信号の中で検出されたいかなる変化にも、強く、速く応答するように、設計されている。この強く速い応答によって、これら変化の当所の急峻さを回復する。こうして、受信機の更なる回路網は、たとえ、信号が非常に速いデータ速度であったとしても、その信号を正しく解釈することが可能である。

【 0 0 0 5 】

特に、P L Dの中に含まれることを意図したイコライジング回路網の場合、幅広いデータ速度の範囲で実行でき、様々な種類と度合いの信号ロスを補償できるこのような回路網に対するニーズがある。なぜなら、P L Dは、典型的には、可能な使用範囲の幅が広くなるように設計されているからである。任意の特定の使用に対する正確なパラメータは、事前に知られていない。P L Dはユーザによってカスタム化可能でなければならない。および/または、P L Dは考えられる比較的広い範囲における個々の特定の使用要求に対応するように自己アダプティブでなければならない。したがって、この種のアプリケーションに向けて、イコライジング回路網の改善が探索されている。

【 発明の開示 】

【 課題を解決するための手段 】

【 0 0 0 6 】

(発明の概要)

本発明に従う改善イコライジング回路網は、適用されたデータ信号を受け取り、その回路網でアナログのイコライジングを実行するフィードフォワードイコライザ(「 F F E 」)回路網を含む。F F E回路網の出力信号は、フィードバック信号と結合され、その結果得られた信号は、データリカバリ回路網に適用される(例えば、クロックデータリカバリ、あるいは、C D R回路網)。C D R回路網によって出力されたリタイミングされたデータ信号は、決定フィードバックイコライザ(「 D F E 」)回路網に適用される。このD F E回路網は、そのリタイミングされたデータ信号に、デジタルフィルタ型イコライジング動作を実行する。D F E回路網の出力信号は、F F E回路網の出力信号と結合された上述のフィードバック信号である。

【 0 0 0 7 】

最初に行われる任意のイコライジングの大部分あるいは全部が、F F E回路網によって実行されるように、回路網は動作され得る。回路網の動作が続く限り、イコライジングタスクのほとんどが、D F E回路網にシフトされ得る。

【 0 0 0 8 】

F F EおよびD F Eの一方または双方が、イコライジングの種類および/または度合いに応じて、制御され得る。F F Eは、アダプティブなループまたは自己アダプティブなループの一部をなし得る。本発明のP L Dの実施形態において、P L Dの他の回路網は、F F Eおよび/またはD F Eの性能のモニタおよび/または制御用に使われ得る。このモニタおよび/または制御は、F F EからD F Eへのイコライジングタスクで上述のシフトすることも含み得る。

【 0 0 0 9 】

本発明は、さらに以下の手段を提供する。

【 0 0 1 0 】

(項目 1)

入力信号で動作するためのフィードフォワードイコライザ回路網と、
該フィードフォワードイコライザ回路網の出力信号とフィードバック信号とを結合するための結合回路網と、
該結合回路網の出力信号からデジタルデータ信号をリカバリするためのデータリカバリ

10

20

30

40

50

回路網と、

該デジタルデータ信号で動作し、該フィードバック信号を生成するための決定フィードバックイコライザ回路網と
を備える、イコライジング回路網。

【 0 0 1 1 】

(項目 2)

上記入力信号が差動信号を備える、項目 1 に記載の回路網。

【 0 0 1 2 】

(項目 3)

上記データリカバリ回路網と上記決定フィードバックイコライザ回路網が共同で、上記
フィードフォワードイコライザ回路網の出力信号と上記フィードバック信号との間に、1
つのデジタルデータ信号ユニットインターバルの遅延を有する、項目 1 に記載の回路網。

【 0 0 1 3 】

(項目 4)

上記フィードフォワードイコライザ回路網が、イコライザアダプテーション回路網を備
える、項目 1 に記載の回路網。

【 0 0 1 4 】

(項目 5)

上記イコライザアダプテーション回路網が、フィードフォワードイコライザ係数決定回
路網を備える、項目 4 に記載の回路網。

【 0 0 1 5 】

(項目 6)

上記決定フィードバックイコライザ回路網が、少なくとも 1 つの選択可能な決定フィ
ードバックイコライザ係数に基づいて、可变的に動作可能である、項目 1 に記載の回路網。

【 0 0 1 6 】

(項目 7)

上記少なくとも 1 つの決定フィードバックイコライザ係数が、上記フィードフォワード
イコライザ回路網の動作特性に、少なくとも一部は基づく回路網をさらに備える、項目 6
に記載の回路網。

【 0 0 1 7 】

(項目 8)

上記フィードフォワードイコライザ回路網の動作特性が、アダプティブに選択可能であ
る、項目 7 に記載の回路網。

【 0 0 1 8 】

(項目 9)

上記決定フィードバックイコライザ回路網の動作を選択的に有効にする回路網をさらに
備える、項目 1 に記載の回路網

(項目 1 0)

上記イコライザアダプテーション回路網の動作を選択的に有効にする回路網をさらに備
える、項目 4 に記載の回路網。

【 0 0 1 9 】

(項目 1 1)

入力信号をイコライジングする方法であって、該方法は、
入力信号をフィードフォワードイコライジングに与えることと、
該フィードフォワードイコライジングの出力信号を、選択的に有効にされたフィードバ
ック信号と結合することと、
該結合の出力信号をデータリカバリに与えることと、
該データリカバリの出力信号を決定フィードバックイコライジングに与えて、選択的に
有効にされるフィードバック信号を生成することと
を包含する、方法。

10

20

30

40

50

【 0 0 2 0 】

(項 目 1 2)

動作の初期に、上記フィードバック信号が有効とされていない、項目 1 1 に記載の方法。

【 0 0 2 1 】

(項 目 1 3)

上記フィードバック信号は、選択的に上記決定フィードバックイコライジングを有効にすることで、選択的に有効とされる、項目 1 1 に記載の方法。

【 0 0 2 2 】

(項 目 1 4)

上記フィードフォワードイコライジングは、アダプティブに実行される、項目 1 1 に記載の方法。

【 0 0 2 3 】

(項 目 1 5)

上記フィードフォワードイコライジングのアダプティブな実行は、上記フィードフォワードイコライジングで使われた少なくとも 1 つの係数を変化できる、項目 1 4 に記載の方法。

【 0 0 2 4 】

(項 目 1 6)

上記フィードフォワードイコライジングで使われた少なくとも 1 つの係数から、上記決定フィードバックイコライジングで使う少なくとも 1 つの係数を導き出すことをさらに包含する、項目 1 5 に記載の方法。

【 0 0 2 5 】

(項 目 1 7)

上記フィードフォワードイコライジングのアダプティブな実行は、上記結合の出力信号に少なくとも一部は基づく、項目 1 5 に記載の方法。

【 0 0 2 6 】

(項 目 1 8)

上記フィードフォワードイコライジングで使われた少なくとも 1 つの係数から、上記決定フィードバックイコライジングで使う少なくとも 1 つの係数を導き出すことをさらに包含する、項目 1 7 に記載の方法。

【 0 0 2 7 】

(項 目 1 9)

上記導き出すことの後、上記フィードフォワードイコライジングをアダプティブに実行して、上記フィードフォワードイコライジングで使われた少なくとも 1 つの係数を変化させることをさらに包含する、項目 1 8 に記載の方法。

【 0 0 2 8 】

(項 目 2 0)

上記アダプティブな実行の後、上記決定フィードバックイコライジングで使われた少なくとも 1 つの係数のための新たな値を、上記フィードフォワードイコライジングで使われ、変化した係数から導き出すことをさらに包含する、項目 1 9 に記載の方法。

【 0 0 2 9 】

(項 目 2 1)

プログラマブルロジックデバイスであって、

プログラマブルロジック回路網と、

該デバイスに適用されるシリアルデータでイコライジング動作を実行する、フィードフォワードイコライザ回路網と、

該フィードフォワードイコライザ回路網の出力信号をフィードバック信号と結合する、結合回路網と、

該結合回路網の出力信号で動作し、該プログラマブルロジック回路網によって使用する

10

20

30

40

50

ためにリカバリされたデータ信号を生成する、データリカバリ回路網と、

該リカバリされたデータ信号でイコライゼーション動作を実行し、該フィードバック信号を生成する、決定フィードバックイコライザ回路網と
を備える、デバイス。

【 0 0 3 0 】

(項目 2 2)

上記フィードフォワードイコライザ回路網は、その回路網のイコライジング動作のため、アダプティブな制御回路網を含む、項目 2 1 に記載のデバイス。

【 0 0 3 1 】

(項目 2 3)

上記アダプティブ制御回路網は、上記結合回路網の出力信号に、少なくとも一部は応答する、項目 2 2 に記載のデバイス。

【 0 0 3 2 】

(項目 2 4)

上記決定フィードバックイコライザ回路網は、上記決定フィードバックイコライザ回路網によって実行されたイコライジング動作に対応して、上記プログラマブルロジック回路網に、少なくとも一部は応答する、項目 2 1 に記載のデバイス。

【 0 0 3 3 】

(項目 2 5)

イコライジング動作が、上記フィードフォワードイコライザ回路網によって実行されたことを示す信号を、上記プログラマブルロジック回路網に適用するための回路網をさらに備える、項目 2 1 に記載のデバイス。

【 0 0 3 4 】

(摘要)

デジタルデータ信号を受け取るイコライジング回路網は、フィードフォワードイコライザ(「 F F E 」)、および、決定フィードバックイコライザ(「 D F E 」)の双方を含む。 F F E 回路網は、 D F E 回路網に、 D F E 回路網の適切なスタートアップに、少なくとも最低限で十分な信号を与えるために使われ得る。したがって、イコライジングのタスクの負担が重ければ重いほど、タスクは F F E 回路網から、 D F E 回路網へとシフトされ得る。

【 0 0 3 5 】

本発明のさらなる特徴は、その特徴、および、様々な利点は、添付図面と以下の詳細な記述によって、より明確になる。

【発明を実施するための最良の形態】

【 0 0 3 6 】

(発明の詳細な説明)

図 1 は本発明に従う説明的な回路網 1 0 である。回路網 1 0 は、入ってくるデジタル信号 2 0 を受け取るフィードフォワードイコライザ回路網 3 0 を含む。この信号 2 0 は、受信機によってイコライジングされ、さらに処理されるべきものである。本議論において、受信機は、プログラマブルロジックデバイス(「 P L D 」)を備えるものと仮定する。さらに、(1) P L D は、広い範囲での可能な使用を支援するように製造されていること、(2) 本明細書に記載される例の中で置かれている回路網 1 0 の使用は、一般的に P L D で支援される使用範囲内であること、(3) その特定の使用における細かな特徴の全てを、 P L D の製造業者は知り得ないことが、仮定される。実際、回路網 1 0 を用いている各システムで必要とされる細かなイコライジングについて、 P L D のユーザですら、事前に知らないかもしれない。回路網 1 0 が一般的事項に順応するように設計される変数の中に、回路網 1 0 に届く前に、信号 2 0 が体験してきた様々なデータ速度および様々な種類や量のロスがある。

【 0 0 3 7 】

フィードフォワードイコライザ(「 F F E 」)回路網 3 0 は、信号 2 0 の各変化に追加

10

20

30

40

50

のブーストを与えるように設計されたアナログイコライザ回路網であることが好ましい。F F E 回路網 30 は、信号 20 の任意の特定のデータ速度に限定されないことが好ましい。むしろ、F F E 回路網 30 は、可能なデータ速度の幅広い範囲で、信号 20 の変化にブーストを与えることが可能であることが、概して好ましい。F F E 回路網 30 は、1 つ以上の観点からアダプティブであり得る。例えば、回路網 30 自身が、信号 20 の変化に与えるブーストの大きさ、このようなブーストに使う周波数成分などを、ある程度まで自ら決定できる。また、F F E 回路網 30 は、上述した観点の一部または全部で、代替的あるいは追加的に、制御可能であり得る（例えば、関連 P L D 回路網によって）。F F E 回路網用に使われ得る回路網の例は、以下の参考文献、例えば、B e r e z a らによる米国特許出願第 10 / 702 , 196 号（2003 年 11 月 4 日出願）、M a a n g a t による米国特許第 6 , 870 , 404 号、W o n g らによる米国特許出願第 10 / 762 , 864 号（2004 年 1 月 21 日出願）、W o n g らによる米国特許出願第 10 / 853 , 987 号（2004 年 5 月 25 日出願）、および、W a n g らによる米国特許出願第 10 / 967 , 459 号（2004 年 10 月 18 日出願）に示されている。

【0038】

F F E 回路網 30 の出力信号 40 は、アナログ結合（例えば、減算器）回路網 50 の 1 つの入力端子に適用される。この回路網は、信号 40 からその他の入力端子に適用された信号 100 を減じる。例えば、これは、信号 40 の電流から、信号 100 の電流を減じることによって行われ得る。信号 100 については、以下に詳細に記載される。

【0039】

結合器 50 の出力信号 60 は、クロックデータリカバリ（「C D R」）回路網 70 に適用される。この回路網は、デジタルデータ信号 80 をそれに適用された信号 60 からリカバリするように設計される。C D R 回路網 70 は、また、クロック信号を信号 60 からリカバリし得る。出力信号 80 は、リタイミングされたデータ信号としても称され得る。信号 80 は、入ってくる信号 20 に比べ、1 ユニットインターバル（「U I」）遅れていることが好ましい。（ユニットインターバルとは、データ信号が処理される 1 データビットの継続時間である。）信号 80 は、典型的には、その信号によって表される情報（データ）を実際に解釈し、利用する他の回路網に出力される。C D R 回路網用に使われ得る回路網の例は、以下の参考文献、例えば、A u n g らによる米国特許出願第 09 / 805 , 843 号（2001 年 3 月 13 日出願）、L e e らによる米国特許出願第 10 / 059 , 014 号（2002 年 1 月 29 日出願）、V e n k a t a らによる米国特許出願第 10 / 273 , 899 号（2002 年 10 月 16 日出願）、V e n k a t a らによる米国特許出願第 10 / 317 , 264 号（2002 年 12 月 10 日出願）、V e n k a t a らによる米国特許出願第 10 / 349 , 541 号（2003 年 1 月 21 日出願）、V e n k a t a らによる米国特許第 6 , 867 , 616 号、C h u r c h i l l らによる米国特許出願第 10 / 713 , 877 号（2003 年 11 月 14 日出願）、A s a d u z z a m a n らによる米国特許出願第 10 / 668 , 900 号（2003 年 9 月 22 日出願）、A s a d u z z a m a n らによる米国特許出願第 10 / 672 , 901 号（2003 年 9 月 26 日出願）、V e n k a t a らによる米国特許出願第 10 / 670 , 845 号（2003 年 9 月 24 日出願）、W a n g らによる米国特許出願第 10 / 740 , 120 号（2003 年 12 月 17 日出願）、K w a s n i e w s k i らによる米国特許出願第 10 / 739 , 445 号（2003 年 12 月 17 日出願）、および、S h u m a r a y e v らによる米国特許出願第 11 / 040 , 342 号（2005 年 1 月 21 日出願）に示されている。

【0040】

信号 80 は、決定フィードフォワードイコライザ（「D F E」）回路網 90 に適用される。これは、デジタルフィルタ回路網のように幾分か動作し、出力信号 100 を生成する回路網であることが好ましい。この出力信号 100 は、リタイミングされたデータ信号 80 の変化がエンファシスされている。回路網 90 は、他の関連する回路網（例えば、関連 P L D 回路網）によって、信号 80 のデータ速度で動作するために、制御可能である回路網であることが好ましい。回路網 90 は、信号 80 の各変化に、どれだけのエンファシス

あるいはブーストを与えるか、各変化後に、そのブーストがどのくらい続くのか、そのブーストがどのような形状を有するかという観点から、制御可能であることが、また好ましい。

【0041】

D F E 回路網 9 0 の出力信号 1 0 0 は、上述のように、結合回路網 5 0 の減算入力端子に適用され得る。

図 2 a ~ 図 2 g は、回路網 1 0 と関連する様々な点における典型的な信号のトレースである。これらは、図 1 の回路網の様々な構成要素の動作と影響をさらに説明するのに有用である。図 2 a ~ 図 2 g は、同じ横軸時間ベースに対して、プロットされる。図 2 a ~ 図 2 g に示される信号の全ては、差動信号 (d i f f e r e n t i a l s i g n a l) である。つまり、情報が一對の信号の相対的極性によって送信されることを意味する。この一對の信号の一方は、実線を使って表され、他方の信号は、破線を使って表される。1 ユニットインターバルの継続時間は、図 2 a において、U I で示される。このように、図 2 a で示される差動信号は、データ 1 1 0 1 1 0 1 0 0 を表し得る。

10

【0042】

図 2 a は、送信回路網 (図 1 に図示していないが、受信回路網 1 0 への信号 2 0 となるものを送信する) によって送信されたままの典型的な差動データ信号である。図 2 a の信号の状態は、非常に良好であることは、注目される。これは、そのレベルの間、急峻で明確な変化を有し、また、構成信号の間に、強い極性反転もある。

【0043】

20

図 2 a の差動信号が、送信媒体を介して、送信機から回路網 1 0 に進んだ後、信号 (すなわち、現在の信号 2 0) の状態は、図 2 b に示されるようになり得る。この図に示すように、信号は、鋭さと急峻さの一部を失う。さらに、構成信号の極性も、もはや反転していない。これら信号のロスおよび / または弱体化減少は、C D R 回路網 7 0 が 2 0 のような信号を正確に解釈すること、および、許容可能なりタイミングされたデータ信号 8 0 を生成することは、困難であり、あるいは、不可能でさえある。

【0044】

図 2 c は、回路網 1 0 の動作の少なくとも初期における、F F E 回路網 3 0 が信号 2 0 に与える影響を示す。図 2 c は、それゆえ、少なくとも回路動作の上述した初期における、信号 4 0 を示す。F F E 回路網 3 0 は、構成信号が極性反転を幾分か回復するのに十分なように、信号の強度を強化できる。図 2 b において、1 1 0 a と 1 1 0 b の「目 (e y e) 」は開いていないのに対し、図 2 c において、これらの目は、少なくとも幾分かの度合い開いている。それゆえ、C D R 回路網 7 0 上の信号は、動作を開始し得る。

30

【0045】

図 2 d は、C D R 回路網 7 0 の出力信号 8 0 で、図 2 c に示される信号に応答するものを示す。図 2 d における信号は、図 2 c における信号に比べ、ちょうど 1 つ分の U I 遅れていることに注意されたい。(C D R 回路網 7 0 が、完全に 1 つ分の U I 遅延を提供できない場合、回路網 7 0 の遅延が、D F E 回路網 9 0 によって、D F E フィードバックループで補充され得る。)

図 2 e は、D F E 回路網 9 0 の出力信号 1 0 0 で、図 2 d に示される信号に応答するものである。図 2 e は、D F E 回路網 9 0 の最も簡単で可能な構成の結果を示していることは、強調される。これは、回路網 9 0 が、信号 8 0 (図 2 d) の変化に一次のエンファシスのみを適用し、次いで、その結果得られた信号全体を縮小するような構成である。D F E 回路網 9 0 が、信号 8 0 の変化に対し、より高次の応答を有するように構成されている場合は、信号 1 0 0 の形状は、図 2 e に示される形状より複雑となり得る。例えば、信号 1 0 0 は、各変化の後、より大きな量、上昇 / 下降し得るし、そして、次の変化まで、幾分か後退する。しかしながら、図 2 e に示される比較的簡単な例は、本発明の一般的な動作原理を述べるのに十分である。

40

【0046】

図 2 f は、図 2 e の信号を図 1 の結合回路網 5 0 の負極性入力端子に適用した結果得ら

50

れた信号の反転を示す。

【 0 0 4 7 】

図 2 g は、図 2 f の信号を図 2 c の信号に加算した結果を示す。これは、C D R 回路網 7 0 と D F E 回路網 9 0 が動作開始後の結合回路網 5 0 の影響である。それゆえ、図 2 g は、回路網の幾分か後の動作状態である信号 6 0 を示す。

【 0 0 4 8 】

図 2 g の以下の議論を簡単にするために、図に示される U I は、左から右に、a ~ i でラベル付けされる。U I a と U I b において、図 2 g の信号の振幅は、図 2 c の信号の振幅に比べ、幾分か減少している。これは、これらの U I において、図 2 f の信号が幾分か図 2 c の信号を弱めている結果である。しかしながら、U I c において、図 2 f の信号は、図 2 c の信号の振幅を加える。これは、非常に望ましいことである。なぜなら、示された信号の第一の変化に引き続いて、目を開くのに役立つからである（図 2 c の U I c における目のサイズを、図 2 g の U I の非常に大きな目と比較のこと）。U I d において、図 2 f における信号は、再び、図 2 c の信号を加える。これは、再び、図 2 g の第二の変化に引き続いて、目を開くのに役立つ。U I e において、図 2 f の信号がもはや図 2 c の信号を加えない結果、図 2 g の振幅は戻って落ちていく。U I f において、図 2 f の信号は、再び、図 2 c の信号を加える。こうして、図 2 g の第三の変化に引き続いて、さらに大きく目を開く。同じことが、第四と第五の変化に引き続き、U I g と U I h でも起こる。U I i において、U I e で示されたのと同様に、振幅は幾分か落ちていく。

【 0 0 4 9 】

以上に、いかにして D F E フィードバックループが、回路網 1 0 でイコライジング促進の機能を果たすかを示す。

【 0 0 5 0 】

図 3 は、図 1 の別なバージョンである。ここで、差動信号の利用が分かりやすく示されている。図 3 も、送信機回路網の出力ドライバ 5 と、送信機から回路網 1 0 への典型的な送信リンク 7 とを明確に示す。出力ドライバ 5 は、図 2 a に示す信号のソースであり、送信リンク 7 は、図 2 b に示された信号劣化を引き起こす。図 3 の他の部分は、図 1 に示された他の部分と同じである。

【 0 0 5 1 】

回路網 1 0 をより高度に発展させた実施形態 1 0 ' を図 4 に示す。回路網 1 0 ' は、アダプティブな F F E ループ（構成要素 6 2、6 4、および、マルチプレクサ 6 6 から右方向への経路）を含む。F E R R 回路網 6 4 は、F F E 回路網 3 0 の動作を制御するための係数を提供し得る。F E R R 回路網 6 4 は、バッファ / 整流器回路網 6 2 の出力信号に基づいて、使われる係数値を決定する。回路網 6 2 は、1 つ以上の選択された特性を、基準特性と比較し、1 つ以上の誤差信号を生成し、信号 6 0 が基準とどの程度ずれているかを示す。次いで、回路網 6 4 は、検出された誤差を減らす意図のある係数値を選択する。F F E 回路網 3 0 に、アダプティブな能力を与えることで、回路網 3 0 は任意の幅広いイコライジングの必要性を有する信号 2 0 をイコライジングするのに適応（アダプト）する。

【 0 0 5 2 】

リード線またはバス 6 5 a は、回路網 6 4 が他の関連回路網（例えば、関連 P L D コア回路網）に、回路網 6 4 の様々な動作状況を指し示すフラグ信号を送ることができる。考えられるフラグ信号の例として、アダプティブループが適切に動作していないように見えるとき、アダプティブループが適切に動作しているように見えるとき、係数が安定しているとき、係数が変化しそうなときなどを含む。

【 0 0 5 3 】

リード線またはバス 6 5 b は、回路網 6 4 が他の関連回路網（例えば、関連 P L D コア回路網）に、回路網 6 4 が現在 F F E 回路網 3 0 に提供している係数の値を送ることができる。

【 0 0 5 4 】

アダプティブループ構成要素 62 と 64 の代替として、あるいは、追加として、マルチプレクサ 66 を介する左方向への経路は、他の関連回路（例えば、関連 PLD コア回路網）が、FFE 回路網 30 で使われる 1 つ以上の係数の提供することを可能とする。この例の一つとして、回路網は、最初からアダプティブループ構成要素 62 および 64 とを用いて動作され得る。これは、FFE 係数に、最適な値を見つけるためである。満足いく安定な動作が達成されたとき、関連回路網（例えば、関連 PLD コア回路網）は、マルチプレクサ 66 を、回路網 64 によって供給される係数をパスすることから、リード線 65 c を介した関連回路網から係数（例えば、最適化された値の係数）を供給することに、切り換え得る。

【0055】

10

図 4 に示す別の特徴は、DFE 回路網 90 によって使われる係数を、リード線 91 a 0 を介する関連回路網（例えば、関連 PLD コア回路網）から、供給することである。さらに、図 4 は、DFE ループの信号スケーリング機能がイコライザ機能（構成要素 90）から分離され得る（構成要素 92 において）ことを示す。スケラ回路網 92 によって実行されるスケーリングは、図 2 d から図 2 e への信号振幅の落ち込みによって、示されている。図 4 は、スケラ回路網 92 によって実行されるスケーリングの大きさが、他の関連回路網（例えば、関連 PLD コア回路網）からのリード線 91 b によって供給される信号によって、制御され得ることを示す。

【0056】

図 5 a と図 5 b は、図 4 に示すタイプの回路網を動作する方法で、本発明の別の可能な側面に従う方法を示す。イコライジング動作の開始（ステップ 210）時に、FFE アダプテーション（構成要素 30、50、62、64、66）は、DFE 回路網 90 が有効となるのに十分な程度に、信号 20 の目を開かせるために使われる。これは、図 2 c に示されるような動作に相当し得る。DFE 回路網 90 は、その時点においては無効であり得る。バス 91 a は、この目的のため、有効 / 無効リード線を含み得る。

20

【0057】

ステップ 212 において、FFE アダプティブループが到達する FFE 係数が、リード線 65 b を介して、読み取られる。

【0058】

ステップ 214 において、（ステップ 212 で読み取られた FFE 係数に、少なくとも一部は基づく）適切な係数が、リード線 91 a および / または 91 b を介して DFE 回路網 90 および / または 92 に適用される。

30

【0059】

ステップ 220 において、DFE 回路網 90 / 92 が有効にされ、ステップ 214 でその回路網に供給された係数とともに動作する。ステップ 220 が示すように、DFE 回路網 90 / 92 がラインに入って来るとき、一時的に、FFE アダプテーションを中断することも望ましいことがある。それは、その回路網の一面のみが任意の時間において、流れの中にあるようにするためである。

【0060】

ステップ 222 において、FFE アダプテーションは、再び有効になる。アダプテーションは、今では、DFE の機能を果たす。なぜなら、DFE 回路網 90 / 92 の出力は、FFE アダプテーションループへの入力（回路網 50 を介して）だからである。

40

【0061】

ステップ 222 における FFE アダプテーションが再開するのは、新たな FFE 係数がステップ 224 で、決定された結果に起因し得る。

【0062】

ステップ 230 で、これら新たな FFE 係数は読み取られ、ステップ 234 で、安定性をテストされる。安定性の判断は、新たな FFE 係数が、これら係数の以前の値と、顕著な差があるか否かに基づいて行われ得る。顕著な差がある場合は、安定性が達成されており、ステップ 234 からステップ 250 に飛ぶ。係数が相変わらず変化している場合は、

50

安定性は未達であり、ステップ 2 3 4 からステップ 2 4 0 の経路に従って制御する。

【 0 0 6 3 】

ステップ 2 4 0 において、新たな F F E 係数情報が、新たな D F E 係数情報に、対応付けられる。この D F E 係数情報が、リード線 9 1 a / b を介して D F E 回路網 9 0 / 9 2 に供給される。

【 0 0 6 4 】

ステップ 2 4 2 において、F F E アダプテーションは、再び有効にされ、さらなる繰り返しのため、ステップ 2 2 4 に戻って制御する。

【 0 0 6 5 】

ステップ 2 5 0 において、F F E アダプテーション（上述のように、安定性がステップ 2 3 4 で検出された後に実行されている）は、無効にされる。この時点で、マルチプレクサ 6 6 は切り替えられ得て、F F E アダプテーションループからよりも、むしろ、リード線 6 5 c から F F E 係数を供給する。

【 0 0 6 6 】

図 5 a と図 5 b に示し、上述した方法には、数多くの利点がある。その利点の一つは、D F E エラー伝播の通り抜けを避けることである。なぜなら、入って来る信号は、D F E の開始が許可される前に F F E によって、既に、十分に広く開かれているからである。D F E が早まって開始すると、誤って動作し得るし、その結果、間違った種類のイコライジングを確実に与え得る。これは、D F E フィードバックループを介して、間違ったイコライジング自身を永遠に続けることになる。そして、その結果、適切な動作は、決して確立されないこともあり得る。別の利点としては、イコライジング係数は、徐々に、F F E から D F E に移ることである。このアプローチは、ビットエラー率（「BER」）の更なる削減が可能となる。なぜなら、D F E システムは（F F E システムと異なり）、完全な入力スペクトルを増幅しないが、プログラムされたデータ速度に基づいて、動作するからである。さらに、別の利点は、F F E アダプテーションから D F E アダプテーションへと効率的に達成するからである。換言すれば、一つのアダプテーションが（F F E 用の）エンジンとなり、さらには、関連 P L D 回路網のプログラマブル性が、D F E アダプテーションをも可能とするからでもある。F F E 係数に加え、F F E フラグが、プログラムされた D F E 係数の増加のみならず、その減少も可能とする P L D に読み込まれる。ただし、入って来る信号がイコライジングされ過ぎであったことを、F F E フラグが示すときは除く。

【 0 0 6 7 】

図 6 は、プログラマブルロジックデバイス（「PLD」）3 0 0 内の回路網 1 0 または 1 0 '（上述したような）の説明的な実施形態である。回路網 1 0 / 1 0 ' は、入力信号 2 0 を受け取り、リカバリされたデータ信号 8 0 ' を、デバイス 3 0 0 の P L D コアまたはロジック回路網 3 1 0 に適用する。参照番号 8 0 '（8 0 でない）が図 6 では使われる。なぜなら、以前の図ではいずれも、用いられたリカバリされたデータ信号 8 0 が、P L D コア 3 1 0 に適用される前に、さらに処理され得るからである。さらなるこのような処理のほんの一例として、リカバリされたシリアルデータ信号 8 0 は、P L D コア 3 1 0 への適用のため、幾つかの平行信号 8 0 ' に変換され得る。また、P L D コア 3 1 0 は、例えば、図 4 に示す入力回路網 1 0 から、6 5 a や 6 5 b のような信号を受け取り得る。入力回路網 1 0 は、P L D コア 3 1 0 から 6 5 c、9 1 a および 9 1 b のような信号を受け取り得る。これもまた図 4 に示すようにである。

【 0 0 6 8 】

上記は、本発明の原理を説明的に述べているに過ぎないこと、および、本発明の範囲と精神から逸脱することなく、様々な改変が、当業者によって成され得ることは、理解されるべきである。例えば、C D R や C D R 型回路の幅広い範囲のいずれもが、図 1、図 3、および、図 4 の構成要素 7 0 に使われ得る。

【図面の簡単な説明】

【 0 0 6 9 】

【図 1】本発明に従って構成された回路網の説明的な実施形態の簡便なブロック回路図である。

【図 2 a ~ 図 2 g】は、本発明のある種の側面を説明するのに便利な例示的信号トレースである。

【図 3】本発明に従って構成された、図 1 で示された回路網とは別の簡便なブロック回路図である。

【図 4】本発明に従って構成された回路網の説明的で、より複雑な実施形態の簡便なブロック回路図である。

【図 5 a】本発明のある方法側面の説明的な実施形態の簡便な流れ図である。

【図 5 b】本発明のある方法側面の説明的な実施形態の簡便な流れ図である。

【図 6】本発明に従うプログラマブルロジックデバイスの説明的な実施形態の簡便なブロック図である。

【符号の説明】

【 0 0 7 0 】

1 0 回路網

2 0 デジタル信号

3 0 フィードフォワードイコライザ (F F E) 回路網

4 0、6 0、8 0 信号

5 0 結合回路網

7 0 クロックデータリカバリ (C D R) 回路網

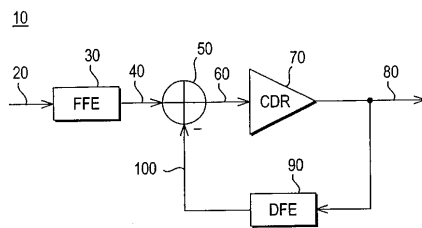
9 0 決定フィードバックイコライザ (D F E) 回路網

1 0 0 出力信号

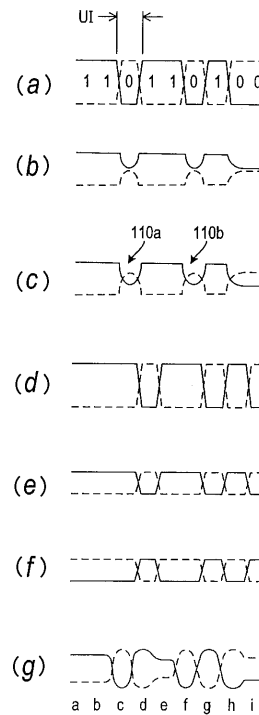
10

20

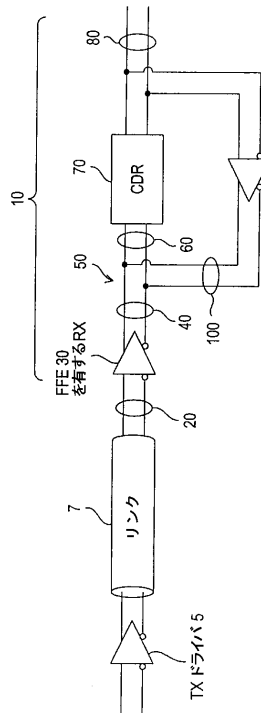
【図 1】



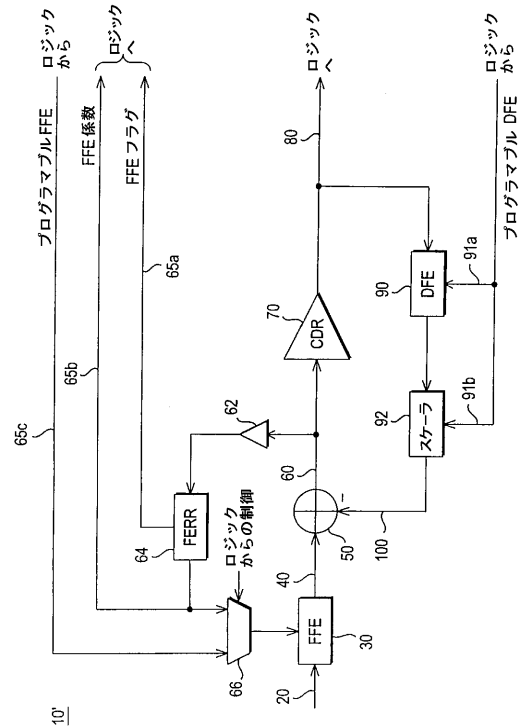
【図 2】



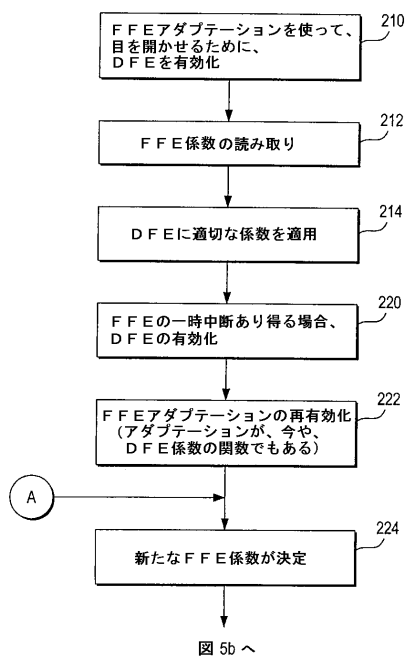
【図 3】



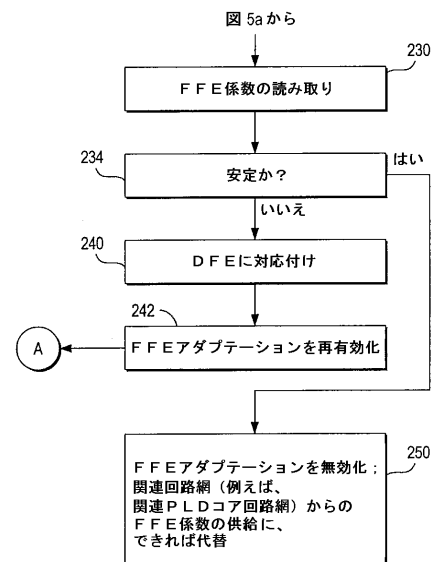
【図 4】



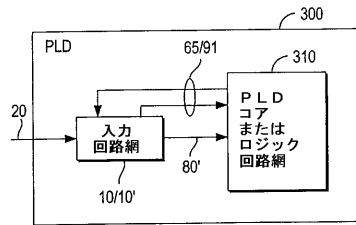
【図 5 a】



【図 5 b】



【図 6】



フロントページの続き

- (72)発明者 セルゲイ ユーリエフビッチ シュマライェフ
アメリカ合衆国 カリフォルニア 94579, サンリアンドロ, ロッキー ポイント コー
ト 2328
- (72)発明者 ウィルスン ワン
アメリカ合衆国 カリフォルニア 95134, サンフランシスコ, フェルトン ストリート
301
- (72)発明者 ラクシュ パテル
アメリカ合衆国 カリフォルニア 95014, クパチーノ, ラス オンダス コート 20
087

審査官 白井 亮

- (56)参考文献 特開2001-189686(JP,A)
特開2000-036776(JP,A)
米国特許出願公開第2003/0223489(US,A1)
米国特許出願公開第2005/0095988(US,A1)

- (58)調査した分野(Int.Cl., DB名)
H04L 25/00 - 25/66