

(43) 国際公開日
2006年6月1日 (01.06.2006)

PCT

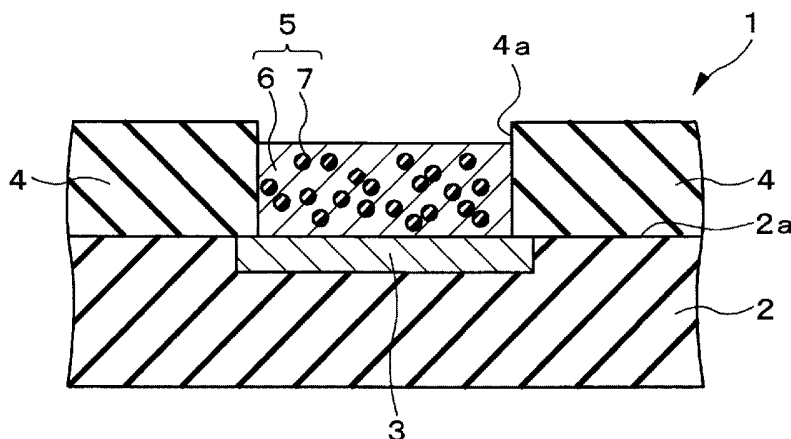
(10) 国際公開番号
WO 2006/057360 A1

- (51) 国際特許分類:
H01L 21/60 (2006.01)
- (21) 国際出願番号: PCT/JP2005/021729
- (22) 国際出願日: 2005年11月25日 (25.11.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2004-341002
2004年11月25日 (25.11.2004) JP
- (71) 出願人(米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 Tokyo (JP). NECエレクトロニクス株式会社 (NEC ELECTRONICS CORPORATION) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部1753番地 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 曾川 禎道 (SOGAWA, Yoshimichi) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 山崎 隆雄 (YAMAZAKI, Takao) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 高橋 信明 (TAKAHASHI, Nobuaki) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内 Kanagawa (JP).
- (74) 代理人: 藤巻 正憲 (FUJIMAKI, Masanori); 〒1000011 東京都千代田区内幸町二丁目2番2号 富国生命ビル5階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND PRODUCTION METHOD THEREFOR, WIRING BOARD AND PRODUCTION METHOD THEREFOR, SEMICONDUCTOR PACKAGE AND ELECTRONIC APPARATUS

(54) 発明の名称: 半導体装置及びその製造方法、配線基板及びその製造方法、半導体パッケージ並びに電子機器



(57) Abstract: A terminal pad is formed on the active surface of an LSI chip, and composite barrier metal layer is provided on this terminal pad. A plurality of low-elasticity-modulus particles consisting of silicone resin are dispersed into a metal parent phase consisting of NiP in the composite barrier metal layer. The film thickness of the composite barrier layer is, for example, 3 μm , and the diameter of the low-elasticity-modulus particles is, for example, 1 μm . With the composite barrier metal layer connected with a solder bump, a semiconductor device is mounted on a wiring board. Accordingly, since low-elasticity-modulus

particles are deformed according to an applied stress when the semiconductor device is connected with the wiring board via the solder bump, the stress can be absorbed.

(57) 要約: LSIチップの能動面に端子パッドを形成し、この端子パッド上に複合バリアメタル層を設ける。複合バリアメタル層においては、NiPからなる金属母相中に、シリコン樹脂からなる複数の低弾性率粒子を分散させる。複合バリアメタル層の膜厚は例えば3 μm であり、低弾性率粒子の直径は例えば1 μm である。複合バリアメタル層に半田バンプが接続されることにより、半導体装置は配線基板に実装される。これにより、前記半導体装置を、半田バンプを介して配線基板に接続したときに、印加される応力に応じて低弾性率粒子が変形することにより、前記応力を吸収することができる。



SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

半導体装置及びその製造方法、配線基板及びその製造方法、半導体パッケージ並びに電子機器

技術分野

[0001] 本発明は、半田バンプにより配線基板に接続される半導体装置及びその製造方法、半田バンプにより半導体装置が接続される配線基板及びその製造方法、これらの半導体装置及び配線基板のうち少なくとも一方を備えた半導体パッケージ並びにこの半導体パッケージを備えた電子機器に関する。

背景技術

[0002] 電子機器の高性能化に伴い、半導体装置の高密度化に対する要求が高まっている。近時、この要求に対応すべく、半導体チップをキャリア基板等の配線基板に実装する際に、フリップチップ接続(以下、FCB(Flip Chip Bonding)ともいう)が行われている。フリップチップ接続とは、半導体チップの能動面に複数の半田バンプをマトリクス状に配置し、この能動面を配線基板に向け、半田バンプを介して半導体チップを配線基板に接続する接続方法である。FCBによれば、半導体装置の多ピン化、小型化及び信号伝送の高速化が可能であるため、高機能デバイスをはじめ種々のデバイスに使用され始めている。

[0003] 一般に、半田バンプによりFCBを行う場合には、半導体チップ及び配線基板中に半田が拡散することを防止すると共に、パッドに対する半田バンプの濡れ性を改善するために、半田の拡散防止性及び濡れ性が優れたバリアメタルを、パッドの表面、即ち、半田バンプが接触する面に設けている。

[0004] 一方、FCBを用いた半導体装置においては、配線基板として広く使用されている有機樹脂基板又はセラミックス基板等の熱膨張係数と、主としてシリコンからなる半導体チップの熱膨張係数との差が大きい。このため、半導体チップを配線基板に実装した後にヒートサイクルが印加されると、熱膨張差に起因する熱応力が半田バンプに印加され、半田バンプ中にクラックが発生してしまう。この現象は、半田バンプの微小化に伴いますます大きな問題となっている。

- [0005] また、FCBに限らず、高密度実装を必要としているモバイル機器においては、CSP（チップサイズパッケージ）と呼ばれる接続方法、即ち、半田バンプを介して半導体チップを実装基板に接続する方法が広く用いられている。しかし、このCSPにより組み立てられた半導体パッケージにおいても、熱応力及び落下時の衝撃により、半田バンプによる接続部分にクラックが発生し、これが接続不良を引き起こす原因となっている。特に、落下時には短時間に大きな力が半田バンプの根元に加わるため、半田バンプとバリアメタルとの間の接合界面において破壊が起りやすい。この現象も、半田バンプの小型化による接合界面積の減少に伴い、大きな問題となっている。
- [0006] そこで、従来より、熱応力又は落下時の衝撃による半田バンプの破壊を防止し、半導体パッケージの接続信頼性を確保するために、半田バンプに印加される応力を緩和する技術がいくつか提案されている。特許文献1（特開2000－228455号公報）及び特許文献2（特開平11－254185号公報）には、半田バンプに弾性体を混入させることにより、半田バンプの柔軟性を改善し、応力を緩和する技術が開示されている。
- [0007] 図21は、特許文献1に開示された半導体パッケージの接続部分を示す断面図である。図21に示すように、特許文献1に記載の半導体パッケージにおいては、その上面に半導体チップ（図示せず）が実装されたテープ101の下面に形成された金属パッド102と、配線基板103の上面に形成された金属パッド104との間に、接続部分毎に1個の半田ボール105が設けられている。半田ボール105においては、耐熱性シリコンゴムからなり直径が200乃至800 μm である球体106が設けられており、この球体106の全表面上に、Au、Ag、Cu、Pd、Ni等からなり厚さが1乃至5 μm の密着金属殻107が設けられており、密着金属殻107の全外表面上に、半田からなり厚さが5乃至20 μm の半田金属殻108が設けられている。そして、金属パッド102と半田ボール105との間及び金属パッド104と半田ボール105との間には、半田ペースト109が設けられており、半田ペースト109内には、極小直径の樹脂ボール110が多数分散されている。特許文献1には、これにより、テープ101と配線基板102との間の接続部分に印加される応力を、耐熱シリコンゴムからなる球体106が変形することによって吸収し、半田ボール105にクラックが入ったり破壊されたりすることを防止できると記

載されている。

[0008] また、図22は、特許文献2に開示されたフレックス接合材を示す断面図である。図22に示すように、特許文献2には、直径が0.05乃至1.5mmである球状の半田111の内部に、直径が3乃至30 μ mの耐熱性樹脂粉末112を含有させたフレックス接合材113が開示されている。特許文献2には、回路基板に電子部品を接続する際に、従来の半田ボールの代わりにフレックス接合材113を使用することにより、耐熱性樹脂粉末112の弾性により、回路基板と電子部品との間に発生する熱応力を吸収できると記載されている。

[0009] また、特許文献3(特開平11-54672号公報)及び特許文献4(特開2004-51755号公報)には、半導体チップと半田バンプとの間の電流経路に導電性樹脂材を挿入することにより、半田バンプに印加される応力を緩和する技術が開示されている。

[0010] 図23は、特許文献3に開示された電子部品を示す断面図である。図23に示すように、特許文献3には、半田バンプが接続される端子を導電性樹脂により形成する技術が開示されている。即ち、電子部品121においては、サブ基板122が設けられており、サブ基板122の上面には電極123が形成されている。そして、この電極123に、バンプ124を介してフリップチップ125が接続されており、バンプ124はバンド126により封止されている。また、サブ基板122における電極123の直下域の一部にはスルーホール127が形成されており、スルーホール127の内部には導電性樹脂層128が設けられている。導電性樹脂層128の下面には金属めっき層129が設けられており、金属めっき層129には半田バンプ130が接続されている。半田バンプ130はサブ基板122を主基板(図示せず)に実装するためのものである。特許文献3には、電極123と半田バンプ130との間に導電性樹脂層128を介在させることにより、サブ基板122を主基板に実装した後にヒートサイクルを受けた場合に、サブ基板122と主基板との間に生じる熱応力による変位を導電性樹脂層128の弾性変形により吸収することができるので、半田バンプ130の破断を防止できると記載されている。

[0011] また、図24は、特許文献4に開示された導電バンプを示す断面図である。図24に示すように、特許文献4においては、電子部品131の電極132上に設ける導電バン

プ133において、ゴム状弾性樹脂134からなる母相中に、導電フィラー135を含有させる技術が開示されている。これにより、導電バンブ133に弾性を持たせ、熱応力を吸収することができる。また、特許文献4には、導電フィラー135としてウイスキーの表面を金属層で被覆したものを使用することにより、導電フィラー135のアスペクト比を高め、導電フィラー135同士が接触しやすくなるため、導電バンブ133の導電性を確保しつつ、導電フィラー135の含有率を低減し、導電バンブ133の弾力性をより向上させることができると記載されている。

[0012] 更に、特許文献5(特開2002-118199号公報)及び特許文献6(特開2003-124389号公報)には、半導体チップ上にポストを立設し、このポストの上面上に半田バンブを設けることにより、半田バンブに印加される応力を緩和する技術が開示されている。

[0013] 図25は、特許文献5に開示された半導体装置を示す断面図である。図25に示すように、特許文献5においては、半導体チップ141と半田バンブ142との間にポスト143を設け、各ポスト143の中間部分にAu、Pd等の低ヤングの金属又は異方性導電材料からなる応力緩衝材144を挿入する技術が開示されている。なお、ポスト143は半導体チップ141の表面上に形成された電極パッド145に接続されており、ポスト143の周囲は封止樹脂146により封止されている。この半導体装置においては、ポスト143を設けることにより、半田バンブ142に印加される熱応力を緩和することができる。また、特許文献5には、ポスト143に応力緩衝材144を設けることにより、ポスト143に加わる応力をより効果的に緩和できると記載されている。

[0014] また、図26は、特許文献6に開示された半導体パッケージを示す断面図である。図26に示すように、特許文献6においては、Siウエハ151上に絶縁層152を設け、この絶縁層152上に樹脂製突部153を設け、この樹脂製突部153を覆いSiウエハ151の表面に形成されたAlパッド154に接続されるように導電層155を設ける技術が開示されている。そして、樹脂製突部153とそれを覆う導電層155によりポスト156が形成され、ポスト156の上面に半田バンブ157が接続されている。また、ポスト156の周囲には封止樹脂層158が設けられており、封止樹脂層158の上面におけるポスト156を囲む部分には溝159が形成されている。この半導体パッケージにおいては、Siウ

エハ151と半田バンプ157との間にポスト156を設けることにより、半田バンプ157に印加される応力を緩和することができる。また、特許文献6には、ポスト156の内部に樹脂製突部153を設けることにより、樹脂製突部153の変形によりポスト156にかかる応力をより効果的に吸収することができ、更に、封止樹脂層158に溝159を形成することにより、封止樹脂層158がポスト156の変形を拘束することを防止できるため、ポスト156にかかる応力をより一層効果的に吸収できると記載されている。

[0015] 特許文献1:特開2000－228455号公報(図3)

特許文献2:特開平11－254185号公報(図1)

特許文献3:特開平11－54672号公報(図1)

特許文献4:特開2004－51755号公報(図7)

特許文献5:特開2002－118199号公報(図1)

特許文献6:特開2003－124389号公報(図1)

発明の開示

発明が解決しようとする課題

[0016] しかしながら、上述の従来技術には以下に示すような問題点がある。特許文献1及び2に記載されている技術、即ち、半田バンプに弾性体を混入させることにより、半田バンプの柔軟性を改善し、応力を緩和する技術においては、他の金属部に比べて強度が低く破壊されやすい半田バンプの強度が更に低下するため、半田バンプが却って破壊されやすくなってしまう。また、半田からなる母相中に樹脂材を均一に分散させるためには、予め樹脂材の表面に半田に対して濡れ性が良い金属層を形成しておかなくてはならず、コストが高くなってしまう。

[0017] また、特許文献3及び4に記載の技術、即ち、半導体チップと半田バンプとの間の電流経路に導電性樹脂材を挿入することにより、応力を緩和する技術においては、以下に示す問題点がある。導電性樹脂材においては、絶縁性樹脂からなる母相中に金属微粒子を分散させることにより、導電性を得ている。しかし、この導電性樹脂材中においては、金属微粒子同士の点接触により導電性を確保しているだけなので、電気抵抗値がかなり大きくなってしまう。このため、電流経路に導電性樹脂材を挿入した半導体パッケージは、液晶デバイスのように、電気抵抗値が大きくても使用可能

なデバイスに用途が限定されてしまう。これは、導電性接着剤についても同様である。

[0018] 更に、特許文献5及び6に記載の技術、即ち、半導体チップ上にポストを立設し、このポストの上面に半田バンプを接続することにより、半田バンプに印加される応力を緩和する技術においては、以下に示す問題点がある。即ち、半導体チップ上にポストを立設させると、ポストの分だけ半導体パッケージが厚くなってしまう。また、ポストの形成に時間がかかるため、半導体パッケージの生産性が低下してしまう。更に、特許文献5に示すように、ポストの中間部に応力緩衝材を介在させる場合は、応力緩衝材を金属により形成すると応力緩和機能が乏しくなり、応力緩衝材を異方性導電膜により形成すると導電性が低くなる。

[0019] 本発明はかかる問題点に鑑みてなされたものであって、半田バンプの強度を低下させることがなく、コストが低く、電気抵抗値を増大させることがなく、半導体パッケージの厚さを増大させることがなく、半田バンプに印加される応力を吸収することができる半導体装置及びその製造方法、配線基板及びその製造方法、これらの半導体装置及び配線基板のうち少なくとも一方を備えた半導体パッケージ、並びにこの半導体パッケージを備えた電子機器を提供することを目的とする。

課題を解決するための手段

[0020] 本発明に係る半導体装置は、表面に端子パッドが設けられた半導体チップと、前記端子パッド上に設けられたバリアメタル層と、を有し、前記バリアメタル層が、導電性材料からなる母相と、この母相中に分散され前記母相よりも弾性率が低い材料からなる複数の低弾性率粒子と、を有することを特徴とする。

[0021] 本発明においては、前記半導体装置を、半田バンプを介して配線基板に接続したときに、印加される応力に応じて低弾性率粒子が変形することにより、前記応力を吸収することができる。

[0022] また、本発明に係る半導体装置は、前記端子パッドと前記バリアメタル層との間に設けられ導電性材料からなる密着強化層を有することが好ましい。これにより、端子パッドとバリアメタル層との間の密着性を向上させることができる。また、この密着強化層が前記母相を形成する導電性材料と同じ材料により形成されていることが好ましい。

。これにより、密着強化層とバリアメタル層との間の密着性が良好になる。

[0023] 更に、本発明に係る半導体装置は、前記バリアメタル層上に設けられ導電性材料からなる脱離防止層を有することが好ましい。これにより、低弾性率粒子がバリアメタル層から脱落することを防止できる。

[0024] 更にまた、前記バリアメタル層における前記低弾性率粒子の含有率が前記バリアメタル層の膜厚方向において連続的に変化しており、前記バリアメタル層の下層部及び上層部における前記低弾性率粒子の含有率が、前記下層部と前記上層部との間の中間部における前記低弾性率粒子の含有率よりも低くなっていることが好ましい。これにより、端子パッドとバリアメタル層との間の密着性を向上させることができると共に、低弾性率粒子がバリアメタル層から脱落することを防止でき、且つ、バリアメタル層内に界面が存在しないため、界面に応力が集中することがない。

[0025] 本発明に係る配線基板は、表面に端子パッドが設けられた配線基板本体と、前記端子パッド上に設けられたバリアメタル層と、を有し、前記バリアメタル層が、導電性材料からなる母相と、この母相中に分散され前記母相よりも弾性率が低い材料からなる複数の低弾性率粒子と、を有することを特徴とする。

[0026] 本発明においては、前記配線基板に、半田バンプを介して半導体装置を接続したときに、印加される応力に応じて低弾性率粒子が変形することにより、前記応力を吸収することができる。

[0027] 本発明に係る半導体パッケージは、配線基板と、この配線基板に実装された半導体装置と、前記半導体装置の端子パッドを前記配線基板の端子パッドに接続する半田バンプと、を有し、前記半導体装置が、前述の本発明に係る半導体装置であることを特徴とする。

[0028] 本発明に係る他の半導体パッケージは、配線基板と、この配線基板に実装された半導体装置と、前記半導体装置の端子パッドを前記配線基板の端子パッドに接続する半田バンプと、を有し、前記配線基板が、前述の本発明に係る配線基板であることを特徴とする。

[0029] 本発明に係る更に他の半導体パッケージは、配線基板と、この配線基板に実装された半導体装置と、前記半導体装置の端子パッドを前記配線基板の端子パッドに接

続する半田バンプと、を有し、前記半導体装置が、前述の本発明に係る半導体装置であり、前記配線基板が、前述の本発明に係る配線基板であることを特徴とする。

[0030] また、前記バリアメタル層と前記半田バンプとの間に、前記母相を形成する導電性材料と前記半田バンプを形成する半田とが合金化して形成された金属間化合物層が形成されており、前記金属間化合物層中にも前記低弾性率粒子が分散されていることが好ましい。これにより、応力が印加された場合に、金属間化合物層がクラックにより破壊されることを防止することができる。

[0031] 本発明に係る電子機器は、前記半導体パッケージを有することを特徴とする。また、この電子機器は、携帯電話、ノートパソコン、デスクトップパソコン、液晶デバイス、インターポザー又はモジュールであってもよい。

[0032] 本発明に係る半導体装置の製造方法は、半導体ウエハの表面に形成された端子パッドに、低弾性率粒子を含有しためっき液によりめっきを施すことにより、導電性材料からなる母相中に前記母相よりも弾性率が低い材料からなる複数の低弾性率粒子が分散されたバリアメタル層を形成する工程と、前記半導体ウエハをダイシングして複数の半導体チップに切り分ける工程と、を有することを特徴とする。

[0033] また、前記バリアメタル層を形成する工程において、1つのめっき浴中に前記半導体ウエハを浸漬し、前記バリアメタル層の堆積中に前記めっき浴の温度、pH又は攪拌条件を変化させることにより、前記バリアメタル層における前記低弾性率粒子の含有率を前記バリアメタル層の膜厚方向において連続的に変化させ、前記バリアメタル層の下層部及び上層部における前記低弾性率粒子の含有率を、前記下層部と前記上層部との間の中間部における前記低弾性率粒子の含有率よりも低くすることができる。これにより、端子パッドとバリアメタル層との間の密着性を向上させることができると共に、低弾性率粒子がバリアメタル層から脱落することを防止でき、且つ、バリアメタル層内に界面が存在しないため、界面に応力が集中することがないバリアメタル層を形成することができる。

[0034] 更に、前記バリアメタル層を形成する工程は、前記めっき浴の温度を第1の温度として前記バリアメタル層の堆積を行う工程と、前記めっき浴の温度を前記第1の温度からこの第1の温度よりも高い第2の温度に変化させて前記バリアメタル層の堆積を行う

工程と、前記めっき浴の温度を前記第2の温度からこの第2の温度よりも低い第3の温度に変化させて前記バリアメタル層の堆積を行う工程と、を有していてもよい。

- [0035] 本発明に係る配線基板の製造方法は、配線基板本体の表面に形成された端子パッドに、低弾性率粒子を含有しためっき液によりめっきを施すことにより、導電性材料からなる母相中に前記母相よりも弾性率が低い材料からなる複数の低弾性率粒子が分散されたバリアメタル層を形成する工程を有することを特徴とする。

発明の効果

- [0036] 本発明によれば、バリアメタル層内に低弾性率粒子を分散させることにより、半導体装置に応力が印加されたときにはこの低弾性率粒子が変形するため、半田バンプの強度を低下させることがなく、コストが低く、電気抵抗値を増大させることがなく、半導体パッケージの厚さを増大させることがなく、半田バンプに印加される応力を吸収することができる半導体装置を得ることができる。

図面の簡単な説明

- [0037] [図1]本発明の第1の実施形態に係る半導体装置を示す断面図である。
[図2]本発明の第3の実施形態に係る半導体装置を示す断面図である。
[図3]本発明の第5の実施形態に係る半導体装置を示す断面図である。
[図4]脱離防止層が設けられていない半導体装置を示す一部拡大断面図である。
[図5]本実施形態に係る半導体装置を示す一部拡大断面図である。
[図6]本発明の第7の実施形態に係る半導体装置を示す断面図である。
[図7]本発明の第8の実施形態に係る半導体装置を示す断面図である。
[図8]本発明の第10の実施形態に係る配線基板を示す断面図である。
[図9]本発明の第12の実施形態に係る配線基板を示す断面図である。
[図10]本発明の第13の実施形態に係る配線基板を示す断面図である。
[図11]本発明の第14の実施形態に係る配線基板を示す断面図である。
[図12]本発明の第15の実施形態に係る配線基板を示す断面図である。
[図13]本発明の第16の実施形態に係る半導体パッケージを示す断面図である。
[図14]本発明の第17の実施形態に係る半導体パッケージを示す断面図である。
[図15]本発明の第18の実施形態に係る半導体パッケージを示す断面図である。

[図16]本発明の第19の実施形態に係る半導体パッケージを示す断面図である。

[図17]本発明の第20の実施形態に係る半導体パッケージを示す断面図である。

[図18]本発明の第21の実施形態に係る半導体パッケージを示す断面図である。

[図19]本発明の第22の実施形態に係る半導体パッケージを示す断面図である。

[図20]本発明の第23の実施形態に係る半導体パッケージを示す断面図である。

[図21]特許文献1に開示された半導体パッケージの接続部分を示す断面図である。

[図22]特許文献2に開示されたフレックス接合材を示す断面図である。

[図23]特許文献3に開示された電子部品を示す断面図である。

[図24]特許文献4に開示された導電バンプを示す断面図である。

[図25]特許文献5に開示された半導体装置を示す断面図である。

[図26]特許文献6に開示された半導体パッケージを示す断面図である。

符号の説明

[0038] 1、11、13、15、16;半導体装置

2;LSIチップ

2a;能動面

3;端子パッド

4;パッシベーション膜

4a;開口部

5;複合バリアメタル層

6;金属母相

7;低弾性率粒子

12;密着強化層

14;脱離防止層

17;複合バリアメタル層

18、20;低弾性率粒子プア層

19;低弾性率粒子リッチ層

21、26、27、28、29;配線基板

22;配線基板本体

22a;搭載面
23;端子パッド
24;ソルダーレジスト
24a;開口部
31、36、38、39、40、41、42、43;半導体パッケージ
32;配線基板
33;バリアメタル層
34;半田バンプ
37;金属間化合物層
44;コアボール
45;半田層
46;半田ボール
47;半田ペースト
101;テープ
102;金属パッド
103;配線基板
104;金属パッド
105;半田ボール
106;球体
107;密着金属殻
108;半田金属殻
109;半田ペースト
110;樹脂ボール
111;半田
112;耐熱性樹脂粉末
113;フレックス接合材
121;電子部品
122;サブ基板

- 123;電極
- 124;バンブ
- 125;フリップチップ
- 126;バンド
- 127;スルーホール
- 128;導電性樹脂層
- 129;金属めっき層
- 130;半田バンブ
- 131;電子部品
- 132;電極
- 133;導電バンブ
- 134;ゴム状弾性樹脂
- 135;導電フィラー
- 141;半導体チップ
- 142;半田バンブ
- 143;ポスト
- 144;応力緩衝材
- 145;電極パッド
- 146;封止樹脂
- 151;Siウエハ
- 152;絶縁層
- 153;樹脂製突部
- 154;Alパッド
- 155;導電層
- 156;ポスト
- 157;半田バンブ
- 158;封止樹脂層
- 159;溝

発明を実施するための最良の形態

[0039] 以下、本発明の実施形態について添付の図面を参照して具体的に説明する。

[0040] (第1の実施形態)

先ず、本発明の第1の実施形態について説明する。図1は、本実施形態に係る半導体装置を示す断面図である。図1に示すように、本実施形態に係る半導体装置1においては、半導体チップとしてのLSI (Large Scale Integrated circuit: 大規模集積回路) チップ2が設けられている。LSIチップ2はシリコンチップの表面にLSIが形成されたものであり、その能動面2aには例えばアルミニウム (Al) からなる端子パッド3が形成されている。また、LSIチップ2の能動面2a上にはパッシベーション膜4が設けられており、パッシベーション膜4における端子パッド3の直上域には、開口部4aが形成されている。

[0041] 端子パッド3上、即ち開口部4a内には、複合バリアメタル層5が設けられている。複合バリアメタル層5においては、例えばNiPからなる金属母相6中に、例えばシリコン樹脂からなる複数の低弾性率粒子7が分散されている。低弾性率粒子7の形状は例えば球状である。そして、低弾性率粒子7の弾性率は、金属母相6の弾性率よりも低くなっている。複合バリアメタル層5の膜厚は例えば1乃至10 μm であり、例えば3 μm である。低弾性率粒子7の直径は例えば0.01乃至5 μm であって複合バリアメタル層5の膜厚よりも小さい値であり、例えば1 μm である。低弾性率粒子7の直径は複合バリアメタル層5の膜厚の数分の1程度であることが好ましい。

[0042] 次に、上述の如く構成された本実施形態に係る半導体装置の動作について説明する。本実施形態に係る半導体装置1は、複合バリアメタル層5上に半田バンプ (図示せず) が搭載され、この半田バンプを介して配線基板 (図示せず) に実装され、半導体パッケージを構成するものである。即ち、配線基板はLSIチップ2の能動面2a側に配置される。LSIチップ2の端子パッド3は、複合バリアメタル層5、半田バンプを介して、配線基板の端子パッドに接続される。

[0043] そして、この半導体パッケージがヒートサイクルを受けると、LSIチップ2と配線基板との間の熱膨張係数の差により、LSIチップ2と配線基板との間に熱応力が発生する。このとき、複合バリアメタル層5内の低弾性率粒子7が変形することにより、複合バ

アメタル層5全体が変形し、熱応力を吸収する。

[0044] 次に、本実施形態の効果について説明する。本実施形態に係る半導体装置1においては、半導体装置1が実装される配線基板との間で熱応力が発生したときに、複合バリアメタル層5が変形してこの熱応力を吸収することにより、半田バンプが破壊されることを防止できる。また、複合バリアメタル層5が設けられていることにより、半田バンプの溶融時に、半田が端子パッド3内に拡散することを防止でき、半田がLSIチップ2内に拡散することを防止できる。一方、複合バリアメタル層5の金属母相6が、電気抵抗率が低いNiPにより形成されているため、複合バリアメタル層5を設けることにより端子パッド3と半田バンプとの間の電気抵抗値が増大することを抑制できる。更に、本実施形態においては、半田バンプに比べて強度が高いバリアメタル層にシリコーン樹脂からなる低弾性率粒子を分散させているため、半田バンプの強度を低下させずに、印加される応力を緩和することができる。更にまた、本実施形態によれば、従来のバリアメタル層の代わりに複合バリアメタル層を設けているため、半導体装置の厚さが増大することがない。

[0045] なお、本実施形態においては、複合バリアメタル層5の金属母相6をNiPにより形成する例を示したが、本発明はこれに限定されず、他の金属又は合金により形成してもよい。但し、金属母相6の材料は導電率が高い材料であることが好ましく、例えば、Ni、Cu、Fe、Co、Pdからなる群から選択された1種の金属又は1種以上の金属を含む合金であることが好ましい。これにより、複合バリアメタル層5に、LSIチップ2に対する半田拡散防止機能の他に、従来の導電性樹脂及び導電性接着剤においては得られなかった高い導電性を付与することができる。

[0046] また、本実施形態においては、低弾性率粒子7の材料としてシリコーン樹脂を使用する例を示したが、本発明はこれに限定されず、フッ素樹脂、アクリル樹脂、ニトリル樹脂、ウレタン樹脂等を使用してもよく、これらの樹脂を混合させて使用してもよく、複数種類の樹脂からなる粒子を混合させて使用してもよい。また、低弾性率粒子7の形状を球状とする例を示したが、本発明はこれに限定されず、針状、扁平状、立方体形状等の球状以外の形状であってもよい。但し、製造が簡便であり、どの方向からの応力に対しても変形能力が高いことから、低弾性率粒子7の形状は球状とすることが最

も望ましい。低弾性率粒子7のサイズ、即ち、低弾性率粒子7の形状が球状である場合はその直径、球状以外の形状である場合はその長径は、複合バリアメタル層5の厚さよりも小さいことが好ましい。これは、低弾性率粒子7のサイズが複合バリアメタル層5の膜厚よりも小さいと、複合バリアメタル層5に取り込まれやすくなるためである。但し、低弾性率粒子7のサイズが小さすぎると低弾性率粒子7の製造が困難になるため、現実的には0.01乃至5 μ m程度が好適である。

[0047] 更に、複合バリアメタル層5中における低弾性率粒子7の含有率は、応力緩和効果を発現させるために電気抵抗率が大きくなりすぎない範囲において高いことが望ましい。また、低弾性率粒子7が島状に分散し金属母層6がスポンジ状の構造になると、複合バリアメタル層5が外力に対してより変形しやすくなるため、低弾性率粒子7は金属母層6中に均一に分散されていることが望ましい。

[0048] 更にまた、端子パッド3の材料はAlに限定されず、例えば銅(Cu)であってもよい。また、LSIチップ2の基材はSiに限定されず、他の半導体材料であってもよい。

[0049] (第2の実施形態)

次に、本発明の第2の実施形態について説明する。本実施形態は、前述の第1の実施形態に係る半導体装置の製造方法の実施形態である。図1に示すように、先ず、シリコンウエハの表面にLSI(図示せず)を形成し、その能動面にAlからなる端子パッド3を形成する。次に、このシリコンウエハの能動面上にパッシベーション膜4を形成する。そして、パッシベーション膜4における端子パッド3の直上域に開口部4aを形成し、端子パッド3を露出させる。次に、ジンケート処理を施し、端子パッド3の表面を亜鉛(Zn)で被覆する。次に、このシリコンウエハを、シリコーン樹脂を含有させ界面活性剤を添加した無電解NiPめっき液中に浸漬する。これにより、パッシベーション膜4の開口部4a内、即ち端子パッド3上にNiP層が堆積するが、このときNiP層内にシリコーン樹脂が取り込まれ、NiPからなる金属母相6とシリコーン樹脂からなる低弾性率粒子7とが複合共析する。これにより、複合バリアメタル層5が形成される。

[0050] このとき、無電解NiPめっき液中のシリコーン樹脂の含有率を調整したり、析出速度を調整したり、界面活性剤の種類を選択したりすることにより、複合バリアメタル層5中の低弾性率粒子7の含有率を制御することができる。また、複合バリアメタル層5の膜

厚は、めっき処理時間、めっき処理温度等を調整することにより、任意の膜厚に制御することができる。本実施形態においては、複合バリアメタル層5の膜厚は例えば1乃至10 μm 、例えば3 μm とする。

[0051] 次に、シリコンウエハをダイシングすることにより、LSIチップ2が作製される。これにより、半導体装置1が製造される。

[0052] 本実施形態においては、上述の方法により、従来の低弾性率粒子を含有していないバリアメタルを形成する場合と比較して工程数を増やすことなく、複合バリアメタル層5を形成することができる。これにより、低コストで生産性よく複合バリアメタル層5を形成することができる。

[0053] なお、端子パッド3の材料がAlではなくCu等である場合は、ジンケート処理の代わりに、例えばPd触媒処理を施した後、無電解NiPめっきを行えばよい。このように、無電解NiPめっきの前処理だけを変えれば、端子パッド3がCuからなる場合も、Alからなる場合と同じように、複合バリアメタル層を形成することが可能である。

[0054] また、複合バリアメタル層5の母層金属6の材料はNiPに限定されず、Cu、Pd、Co、Fe等の金属又はその合金であってもよい。更に、端子パッド3上に導通層としてのシード層を形成し、フォトリソグラフィープロセスによりめっきを施す領域を選択すれば、無電解めっきの代わりに電解めっきにより複合バリアメタル層を形成することができる。電解めっきにより複合バリアメタル層を形成する場合も、低弾性率粒子をめっき浴中に分散させておくことで、低弾性率粒子と金属母相中とを共析させることが可能である。この場合、析出させる金属母層の材料は、電気めっきが可能な金属であり半田拡散防止特性を持つ材料であれば、どのような金属又は合金であっても構わない。

[0055] 更にまた、複合バリアメタル層5の表面に、無電解Auめっきにより膜厚が0.05乃至0.3 μm 程度のAu層を形成してもよい。これにより、複合バリアメタル層5の酸化を防止し、半田の濡れ性を改善することができる。

[0056] (第3の実施形態)

次に、本発明の第3の実施形態について説明する。図2は、本実施形態に係る半導体装置を示す断面図である。図2に示すように、本実施形態に係る半導体装置11においては、前述の第1の実施形態に係る半導体装置1(図1参照)と比較して、端

子パッド3と複合バリアメタル層5との間に密着強化層12が設けられている点が異なっている。本実施形態における上記以外の構成は、前述の第1の実施形態と同様である。

[0057] 密着強化層12は、端子パッド3及び複合バリアメタル層5の双方に対して密着性が良い材料により形成されている。即ち、密着強化層12の材料は、端子パッド3の材料によっても異なるが、Ni、Cu、Fe、Co、Pd、Ti、Cr、W等の金属、又はこれらの金属を主体とした合金等が好適である。又は、複合バリアメタル層5との間の密着性を向上させるためには、複合バリアメタル層5の金属母相6を形成する材料と同一な材料、即ちNiPであってもよい。上述の如く、密着強化層12は端子パッド3と複合バリアメタル層5との間の密着性を向上させるために設けるものであるため、膜厚はそれほど必要ではなく、例えば0.1 μm 以上であればよく、例えば0.5 μm である。

[0058] 本実施形態においては、前述の第1の実施形態と比較して、密着強化層12を設けることにより、端子パッド3と複合バリアメタル層5との間の密着性をより向上させることができる。通常の用途では、前述の第1の実施形態のように、端子パッド3上に複合バリアメタル層5を形成するだけで、端子パッド3と複合バリアメタル層5との間の密着性は十分に確保される。しかし、チップサイズが大きく、熱応力が大きくなるようなデバイスに使用する場合、及び落下衝撃が加わる可能性があるデバイスに使用する場合等には、密着強化層12を設け、端子パッド3と複合バリアメタル層5との間の密着性をより向上させることが、接続信頼性を向上させるために有効である。本実施形態における上記以外の効果は、前述の第1の実施形態と同様である。

[0059] (第4の実施形態)

次に、本発明の第4の実施形態について説明する。本実施形態は、前述の第3の実施形態に係る半導体装置の製造方法の実施形態である。図2に示すように、本実施形態においては、ジンケート処理の後に、シリコンウエハを、低弾性率粒子を含まない無電解NiPめっき浴に浸漬し、NiP層を例えば0.1 μm 以上、例えば0.5 μm の厚さに形成することにより、密着強化層12を形成する。この密着強化層12の厚さは、めっき時間及びめっき温度等の条件により任意に制御することができる。その後、前述の第2の実施形態と同様な方法により、複合バリアメタル層5を形成する。本実

施形態における上記以外の構成及び効果は、前述の第2の実施形態と同様である。

[0060] (第5の実施形態)

次に、本発明の第5の実施形態について説明する。図3は、本実施形態に係る半導体装置を示す断面図であり、図4は、脱離防止層が設けられていない半導体装置を示す一部拡大断面図であり、図5は、本実施形態に係る半導体装置を示す一部拡大断面図である。図3に示すように、本実施形態に係る半導体装置13においては、前述の第1の実施形態に係る半導体装置1(図1参照)と比較して、複合バリアメタル層5の表面上に、低弾性率粒子7の脱落を防止する脱離防止層14が設けられている点が異なっている。本実施形態における上記以外の構成は、前述の第1の実施形態と同様である。

[0061] 脱離防止層14は、低弾性率粒子7を含まない導電層からなり、例えば、Ni、Cu、Fe、Co、Pd、Ti、Cr、Wからなる群から選択された1種の金属又は1種以上の金属を含む合金により形成されており、例えば、複合バリアメタル層5の金属母相6と同じ材料、即ち、NiPにより形成されている。脱離防止層14の膜厚は低弾性率粒子7のサイズより厚いことが好ましく、例えば低弾性率粒子7のサイズが $2\mu\text{m}$ である場合は、脱離防止層14の膜厚は $2\mu\text{m}$ より厚いことが好ましい。

[0062] 次に、上述の如く構成された本実施形態の効果について説明する。図4に示すように、複合バリアメタル層5上に脱離防止層14(図3参照)が設けられていない場合は、金属母相6に完全に埋め込まれておらず、複合バリアメタル層5の表面に露出している低弾性率粒子7が存在する。このような露出している低弾性率粒子7は、シリコンウエハの運搬中等に脱落し、シリコンウエハの表面を汚染してしまう場合がある。これに対して、図5に示すように、複合バリアメタル層5上に脱離防止層14を設けることにより、低弾性率粒子7を金属母相6及び脱離防止層14により埋め込むことができ、低弾性率粒子7の脱落を防止することができる。

[0063] また、脱離防止層14の膜厚を低弾性率粒子7のサイズより厚くすることにより、全ての低弾性率粒子7を覆うことができ、低弾性率粒子7の脱離を完全に防止することができる。但し、低弾性率粒子7を完全に覆っていないくても、低弾性率粒子7が半分以上埋まっていれば脱離しにくくなるため、例えば、低弾性率粒子7の直径が $2\mu\text{m}$ で

ある場合には、脱離防止層14の膜厚を1 μ m以上とすれば、一定の効果が得られる。一方、脱離防止層14が必要以上に厚いと、生産性が低下するため、現実的には、脱離防止層14の膜厚は例えば1乃至5 μ m程度が好適である。

[0064] 更に、複合バリアメタル層5自体は、従来の導電性樹脂及び異方性導電膜等とは異なり、基本的に半田接合性が優れているが、脱離防止層14を設けることにより、半田接合性をより一層向上させることができる。本実施形態における上記以外の効果は、前述の第1の実施形態と同様である。

[0065] (第6の実施形態)

次に、本発明の第6の実施形態について説明する。本実施形態は、前述の第5の実施形態に係る半導体装置の製造方法の実施形態である。図3に示すように、本実施形態においては、複合バリアメタル層5を形成した後に、シリコンウエハを、低弾性率粒子を含まない無電解NiPめっき浴に浸漬させ、NiP層を例えば2 μ mの厚さに形成することにより、NiPからなる脱離防止層14を形成する。この脱離防止層14の厚さはめっき時間及びめっき温度等の条件により、任意に制御することができる。本実施形態における上記以外の構成及び効果は、前述の第2の実施形態と同様である。

[0066] (第7の実施形態)

次に、本発明の第7の実施形態について説明する。図6は、本実施形態に係る半導体装置を示す断面図である。図6に示すように、本実施形態は、前述の第3の実施形態と第5の実施形態とを組み合わせた実施形態である。即ち、本実施形態に係る半導体装置15においては、端子パッド3と複合バリアメタル層5との間に密着強化層12が設けられており、複合バリアメタル層5上に脱離防止層14が設けられている。本実施形態における上記以外の構成は、前述の第1の実施形態と同様である。また、本実施形態に係る半導体装置15の製造方法は、前述の第4及び第6の実施形態を組み合わせた方法である。即ち、3つの無電解NiPめっき浴にシリコンウエハを順次浸漬することにより、密着強化層12、複合バリアメタル層5及び脱離防止層14を順次形成する。

[0067] 本実施形態によれば、密着強化層12を設けることにより、端子パッド3と複合バリアメタル層5との間の密着性を向上させることができる。また、脱離防止層14を設けるこ

とにより、低弾性率粒子7の脱落を防止することができる。

[0068] (第8の実施形態)

次に、本発明の第8の実施形態について説明する。図7は、本実施形態に係る半導体装置を示す断面図である。図7に示すように、本実施形態に係る半導体装置16の構成は、前述の第7の実施形態に係る半導体装置15の構成と類似しているが、密着強化層12と複合バリアメタル層5との界面、及び複合バリアメタル層5と脱離防止層14との界面が明瞭になっていない点が異なっている。即ち、本実施形態においては、前述の第7の実施形態における密着強化層12、複合バリアメタル層5及び脱離防止層14からなる積層膜の替わりに、複合バリアメタル層17が設けられており、この複合バリアメタル層17においては、端子パッド3側から順に、低弾性率粒子プア層18、低弾性率粒子リッチ層19、低弾性率粒子プア層20が積層されている。但し、各層間に明確な境界は存在しない。そして、低弾性率粒子7の含有率が、低弾性率粒子プア層18内では低く、低弾性率粒子プア層18から低弾性率粒子リッチ層19に向かうにつれて増加し、低弾性率粒子リッチ層19において略一定の最大値となり、低弾性率粒子リッチ層19から低弾性率粒子プア層20に向かうにつれて減少し、低弾性率粒子プア層20内には再び低くなっている。即ち、複合バリアメタル層17における低弾性率粒子7の含有率は複合バリアメタル層17の膜厚方向に沿って連続的に変化しており、複合バリアメタル層17の下層部(低弾性率粒子プア層18)及び上層部(低弾性率粒子プア層20)における低弾性率粒子7の含有率は、前記下層部と上層部との間の中間部(低弾性率粒子リッチ層19)における低弾性率粒子7の含有率よりも低くなっている。本実施形態における上記以外の構成は、前述の第1の実施形態と同様である。

[0069] 本実施形態においては、複合バリアメタル層17内において低弾性率粒子7の含有率が連続的に変化しており、複合バリアメタル層17内に明確な界面が形成されていないため、前述の第7の実施形態のように、密着強化層12、複合バリアメタル層5及び脱離防止層14の相互間に界面が形成されている場合と比較して、印加された応力が界面に集中して界面を剥離させることを防止することができる。これにより、半導体装置の接続信頼性をより一層向上させることができる。

[0070] (第9の実施形態)

次に、本発明の第9の実施形態について説明する。本実施形態は、前述の第8の実施形態に係る半導体装置の製造方法の実施形態である。図7に示すように、端子パッド3の表面にジンケート処理を施した後、シリコンウエハを、シリコン樹脂を含有させ界面活性剤を添加した無電解NiPめっき液中に浸漬する。このとき、前述の第7の実施形態においては、3つの無電解NiPめっき浴にシリコンウエハを順次浸漬し、密着強化層12、複合バリアメタル層5及び脱離防止層14を順次形成するが、本実施形態においては1つの無電解NiPめっき浴にシリコンウエハを浸漬し、複合バリアメタル層17の成膜中に成膜条件を変化させることにより、1つの無電解NiPめっき浴中において、低弾性率粒子プア層18、低弾性率粒子リッチ層19及び低弾性率粒子プア層20がこの順に積層された複合バリアメタル層17を形成する。

[0071] 無電解めっきの場合、複合バリアメタル層17中の低弾性率粒子7の含有率は、NiPめっき液の温度、pH又は攪拌条件等の条件を調節することによって、変化させることが可能である。これは、低弾性率粒子7の金属母相6 (NiP) 中への取り込み量は、NiPの析出速度に依存するためであり、NiPの析出速度は、浴温又はpHを変化させることにより容易に制御できるからである。

[0072] 図7に示すように、密着強化層としての低弾性率粒子プア層18を形成する段階では、浴温を例えば80度前後と低めに設定し、膜中に取り込まれる低弾性率粒子7の量を減らす。次に、低弾性率粒子リッチ層19を形成する段階では、浴温を上昇させて例えば90度とし、析出速度を向上させて低弾性率粒子7の取り込み量を増加させる。次に、脱離防止層としての低弾性率粒子プア層20を形成する段階では、再び浴温を80度前後にまで下降させて析出速度を低下させる。これにより、低弾性率粒子7の含有率が連続的に変化した複合バリアメタル層17を形成することができる。なお、前述の浴温は一例であり、実際には、めっき浴中の低弾性率粒子の量及び界面活性剤の種類によって低弾性率粒子の含有率の温度依存性は変化するので、その都度条件を設定する必要がある。

[0073] なお、本実施形態においては、複合バリアメタル層17中の低弾性率粒子7の含有率を3段階に変化させ、前述の第7の実施形態に示す(密着強化層12／複合バリア

メタル層5／脱離防止層14)の3層膜に相当する膜を形成する例を示したが、本発明はこれに限定されず、複合バリアメタル層17中の低弾性率粒子7の含有率を2段階に変化させ、(密着強化層／複合バリアメタル層)の2層膜、又は(複合バリアメタル層／脱離防止層)の2層膜に相当する膜を形成してもよい。この膜の形成方法は、上述の3層膜の形成方法を応用すればよい。

[0074] (第10の実施形態)

次に、本発明の第10の実施形態について説明する。図8は、本実施形態に係る配線基板を示す断面図である。本実施形態は配線基板に複合バリアメタル層を形成した実施形態である。図8に示すように、本実施形態に係る配線基板21においては、例えば樹脂からなる配線基板本体22が設けられており、この配線基板本体22における半導体装置の搭載面22aに、例えばAlからなる端子パッド23が形成されている。また、配線基板本体22の搭載面22a上には、溶剤レジスト24が設けられており、溶剤レジスト24における端子パッド23の直上域には、開口部24aが形成されている。端子パッド23上、即ち開口部24a内には、複合バリアメタル層5が設けられている。複合バリアメタル層5の構成は、前述の第1の実施形態における複合バリアメタル層5と同じである。

[0075] 次に、上述の如く構成された本実施形態に係る配線基板の動作について説明する。本実施形態に係る配線基板21は、複合バリアメタル層5上に半田バンプ(図示せず)が搭載され、この半田バンプを介して半導体装置が実装され、半導体パッケージを構成するものである。即ち、半導体装置は配線基板本体22の搭載面22a側に配置される。配線基板本体22の端子パッド23は、複合バリアメタル層5、半田バンプを介して、半導体装置の端子パッドに接続される。

[0076] そして、この半導体パッケージがヒートサイクルを受けると、配線基板21と半導体装置との間の熱膨張係数の差により、配線基板21と半導体装置との間に熱応力が発生する。このとき、複合バリアメタル層5内の低弾性率粒子7が変形することにより、複合バリアメタル層5全体が変形し、熱応力を吸収する。

[0077] 次に、本実施形態の効果について説明する。本実施形態に係る配線基板21においては、配線基板21に実装する半導体装置との間で熱応力が発生したときに、複合

バリアメタル層5が変形してこの熱応力を吸収することにより、半田バンプが破壊されることを防止できる。また、複合バリアメタル層5が設けられていることにより、半田バンプの溶融時に、半田が端子パッド23内に拡散することを防止でき、半田が配線基板本体22内に拡散することを防止できる。一方、複合バリアメタル層5の金属母相6が、電気抵抗率が低いNiPにより形成されているため、複合バリアメタル層5を設けることにより端子パッド23と半田バンプとの間の電気抵抗値が増大することを抑制できる。

[0078] (第11の実施形態)

次に、本発明の第11の実施形態について説明する。本実施形態は、前述の第10の実施形態に係る配線基板の製造方法の実施形態である。図8に示すように、先ず、例えば樹脂からなる配線基板本体22を用意し、必要な配線等を形成した後、その半導体装置搭載面22aに、Alからなる端子パッド23を形成する。次に、この配線基板本体22の搭載面22a上にソルダーレジスト24を形成する。そして、ソルダーレジスト24における端子パッド23の直上域に開口部24aを形成し、端子パッド23を露出させる。

[0079] 次に、端子パッド23の表面にジンケート処理を施し、その後、無電解NiPめっきを施すことにより、複合バリアメタル層5を形成する。複合バリアメタル層5の形成方法は、前述の第2の実施形態と同様である。これにより、配線基板22が製造される。

[0080] 本実施形態においては、上述の方法により、従来の低弾性率粒子を含有していないバリアメタル層を形成する場合と比較して、工程数を増やすことなく、複合バリアメタル層5を形成することができる。これにより、低コストで生産性よく複合バリアメタル層5を形成することができる。

[0081] (第12の実施形態)

次に、本発明の第12の実施形態について説明する。図9は、本実施形態に係る配線基板を示す断面図である。図9に示すように、本実施形態に係る配線基板26は、前述の第10の実施形態に係る配線基板21(図8参照)と比較して、端子パッド23と複合バリアメタル層5との間に密着強化層12が設けられている点が異なっている。密着強化層12の構成は、前述の第3の実施形態における密着強化層12(図2参照)と同様である。本実施形態における上記以外の構成は、前述の第10の実施形態と同

様である。また、本実施形態に係る配線基板26の製造方法は、前述の第11の実施形態に示す配線基板の製造方法に対して、前述の第4の実施形態に示す密着強化層12の形成方法を付加したものである。本実施形態の効果は、前述の第10の実施形態の効果に、前述の第3の実施形態の効果が付加したものである。

[0082] (第13の実施形態)

次に、本発明の第13の実施形態について説明する。図10は、本実施形態に係る配線基板を示す断面図である。図10に示すように、本実施形態に係る配線基板27は、前述の第10の実施形態に係る配線基板21(図8参照)と比較して、複合バリアメタル層5上に脱離防止層14が設けられている点が異なっている。脱離防止層14の構成は、前述の第5の実施形態における脱離防止層14(図3参照)と同様である。本実施形態における上記以外の構成は、前述の第10の実施形態と同様である。また、本実施形態に係る配線基板27の製造方法は、前述の第11の実施形態に示す配線基板の製造方法に対して、前述の第6の実施形態に示す脱離防止層14の形成方法を付加したものである。本実施形態の効果は、前述の第10の実施形態の効果に、前述の第5の実施形態の効果が付加したものである。

[0083] (第14の実施形態)

次に、本発明の第14の実施形態について説明する。図11は、本実施形態に係る配線基板を示す断面図である。図11に示すように、本実施形態に係る配線基板28は、前述の第10の実施形態に係る配線基板21(図8参照)と比較して、端子パッド23と複合バリアメタル層5との間に密着強化層12が設けられており、複合バリアメタル層5上に脱離防止層14が設けられている点が異なっている。密着強化層12の構成は、前述の第3の実施形態における密着強化層12(図2参照)と同様であり、脱離防止層14の構成は、前述の第5の実施形態における脱離防止層14(図3参照)と同様である。本実施形態における上記以外の構成は、前述の第10の実施形態と同様である。また、本実施形態に係る配線基板28の製造方法は、前述の第11の実施形態に示す配線基板の製造方法に対して、前述の第4の実施形態に示す密着強化層12の形成方法及び前述の第6の実施形態に示す脱離防止層14の形成方法を付加したものである。本実施形態の効果は、前述の第10の実施形態の効果に、前述の第3

及び第5の実施形態の効果を付加したものである。

[0084] (第15の実施形態)

次に、本発明の第15の実施形態について説明する。図12は、本実施形態に係る配線基板を示す断面図である。図12に示すように、本実施形態に係る配線基板29は、前述の第14の実施形態に係る配線基板28(図11参照)と比較して、密着強化層12、複合バリアメタル層5及び脱離防止層14からなる積層膜の替わりに、複合バリアメタル層17が設けられている点が異なっている。複合バリアメタル層17の構成は、前述の第8の実施形態における複合バリアメタル層17(図7参照)と同様である。本実施形態における上記以外の構成は、前述の第10の実施形態と同様である。また、本実施形態に係る配線基板29の製造方法は、前述の第11の実施形態に示す配線基板の製造方法において、密着強化層12、複合バリアメタル層5及び脱離防止層14からなる積層膜を形成する替わりに、前述の第9の実施形態に示す方法によって、複合バリアメタル層17を形成するものである。本実施形態の効果は、前述の第10の実施形態の効果に、前述の第8の実施形態の効果を付加したものである。

[0085] (第16の実施形態)

次に、本発明の第16の実施形態について説明する。図13は、本実施形態に係る半導体パッケージを示す断面図である。図13に示すように、本実施形態に係る半導体パッケージ31においては、前述の第1の実施形態に係る半導体装置1が設けられており、この半導体装置1が、配線基板32に実装されている。なお、半導体装置1の構成は、前述の第1の実施形態において説明したとおりである。

[0086] 一方、配線基板32は従来の配線基板である。即ち、配線基板32においては、例えば樹脂からなる配線基板本体22が設けられており、その表面に、例えばAlからなる端子パッド23が形成されている。また、配線基板本体22の搭載面22a上に溶ダレージスト24が設けられており、溶ダレージスト24における端子パッド23の直上域には開口部24aが形成されている。また、開口部24a内、即ち端子パッド23上には、NiPからなるバリアメタル層33が設けられている。

[0087] そして、配線基板32のバリアメタル層33上には半田バンプ34が設けられており、バリアメタル層33は、半田バンプ34を介して、半導体装置1の複合バリアメタル層5

に接続されている。半田バンプ34は例えば共晶SnPbにより形成されているが、高温SnPbにより形成されていてもよく、又はSnAg系、SnZn系、SnAgCu系若しくはSnCu系等の鉛フリーハンダにより形成されていてもよい。

[0088] なお、半導体装置1の製造方法は、前述の第2の実施形態に係る製造方法と同じである。また、半田バンプ34による配線基板32のバリアメタル層33と半導体装置1の複合バリアメタル層5との間の接続は、公知の半田接続プロセスを用いて行うことができる。本実施形態における動作及び効果は、前述の第1の実施形態と同様である。

[0089] (第17の実施形態)

次に、本発明の第17の実施形態について説明する。図14は、本実施形態に係る半導体パッケージを示す断面図である。図14に示すように、本実施形態に係る半導体パッケージ36は、前述の第16の実施形態に係る半導体パッケージ31と比較して、複合バリアメタル層5の表面に金属間化合物層37が形成されており、この金属間化合物層37内にも低弾性率粒子7が含有されている点が異なっている。金属間化合物層37は、複合バリアメタル層5の金属母相6を形成するNiPと、半田バンプ34を形成する半田とが合金化して形成されたものである。

[0090] 複合バリアメタル層5上において半田バンプ34を溶融させたときに、複合バリアメタル層5の金属母相6と半田バンプ34の半田との間で合金化反応が起こり、金属間化合物層37が形成されると、落下等により衝撃が加わったときに、この金属間化合物層37においてクラックが発生しやすくなり、断線の原因となる。しかしながら、金属間化合物層37内に低弾性率粒子7が分散されていると、衝撃が加わったときに金属間化合物層37をクラックが一気に貫通することを防ぐことができ、断線を防止し、半導体パッケージの信頼性を高めることが可能である。この効果は、低弾性率粒子7を衝撃吸収能力が優れたシリコーン樹脂により形成した場合に最も大きい。低弾性率粒子7をフッ素樹脂、アクリル樹脂、ニトリル樹脂又はウレタン樹脂等の樹脂により形成した場合にも得られる。

[0091] 本実施形態に係る半導体パッケージ36の製造方法は、前述の第16の実施形態に係る半導体パッケージの製造方法において、低弾性率粒子7が金属間化合物37内に多く含有されるように、低弾性率粒子7のサイズを大きくして、金属間化合物37内

に取り込まれる低弾性率粒子7の粒子数は同じでも金属間化合物37に占める低弾性率粒子7の体積率を高くしたり、無電解NiPめっき液中の低弾性率粒子7の含有率を高くして、金属間化合物37内に取り込まれる低弾性率粒子7の粒子数を増加せたりすればよい。また、脱離防止層14を省略したり、その厚さを薄くしたりすることによっても実現できる。

[0092] (第18の実施形態)

次に、本発明の第18の実施形態について説明する。図15は、本実施形態に係る半導体パッケージを示す断面図である。図15に示すように、本実施形態に係る半導体パッケージ38は、前述の第16の実施形態に係る半導体パッケージ31と比較して、半導体装置として前述の第3の実施形態に係る半導体装置11(図2参照)、即ち、端子パッド3と複合バリアメタル層5との間に密着強化層12が設けられた半導体装置を設けている点が異なっている。本実施形態における上記以外の構成は、前述の第16の実施形態と同様である。また、本実施形態に係る半導体パッケージ38は、前述の第16の実施形態の製造方法に対して、前述の第4の実施形態における密着強化層12の形成工程を付加することにより製造することができる。本実施形態における効果は、前述の第3の実施形態と同様である。

[0093] (第19の実施形態)

次に、本発明の第19の実施形態について説明する。図16は、本実施形態に係る半導体パッケージを示す断面図である。図16に示すように、本実施形態に係る半導体パッケージ39は、前述の第16の実施形態に係る半導体パッケージ31と比較して、半導体装置として前述の第5の実施形態に係る半導体装置13(図3参照)、即ち、複合バリアメタル層5上に脱離防止層14が設けられた半導体装置を設けている点が異なっている。本実施形態における上記以外の構成は、前述の第16の実施形態と同様である。また、本実施形態に係る半導体パッケージ39は、前述の第16の実施形態の製造方法に対して、前述の第6の実施形態における脱離防止層14の形成工程を付加することにより製造することができる。本実施形態における効果は、前述の第5の実施形態と同様である。

[0094] (第20の実施形態)

次に、本発明の第20の実施形態について説明する。図17は、本実施形態に係る半導体パッケージを示す断面図である。図17に示すように、本実施形態に係る半導体パッケージ40は、前述の第16の実施形態に係る半導体パッケージ31と比較して、半導体装置として前述の第7の実施形態に係る半導体装置15(図6参照)、即ち、端子パッド3と複合バリアメタル層5との間に密着強化層12が設けられ、複合バリアメタル層5上に脱離防止層14が設けられた半導体装置を設けている点が異なっている。本実施形態における上記以外の構成は、前述の第16の実施形態と同様である。また、本実施形態に係る半導体パッケージ40は、前述の第16の実施形態の製造方法に対して、前述の第4の実施形態における密着強化層12の形成工程、及び前述の第6の実施形態における脱離防止層14の形成工程を付加することにより製造することができる。本実施形態における効果は、前述の第7の実施形態と同様である。

[0095] (第21の実施形態)

次に、本発明の第21の実施形態について説明する。図18は、本実施形態に係る半導体パッケージを示す断面図である。図18に示すように、本実施形態に係る半導体パッケージ41は、前述の第16の実施形態に係る半導体パッケージ31と比較して、半導体装置として前述の第8の実施形態に係る半導体装置16(図7参照)、即ち、密着強化層12、複合バリアメタル層5及び脱離防止層14の替わりに、低弾性率粒子7の含有率を膜厚方向において連続的に異ならせた複合バリアメタル層17を備えた半導体装置を設けている点が異なっている。本実施形態における上記以外の構成は、前述の第16の実施形態と同様である。また、本実施形態に係る半導体パッケージ41は、前述の第16の実施形態の製造方法に対して、密着強化層12、複合バリアメタル層5及び脱離防止層14の形成工程の替わりに、前述の第9の実施形態における複合バリアメタル層17の形成工程を実施することにより製造することができる。本実施形態における効果は、前述の第8の実施形態と同様である。

[0096] (第22の実施形態)

次に、本発明の第22の実施形態について説明する。図19は、本実施形態に係る半導体パッケージを示す断面図である。図19に示すように、本実施形態に係る半導体パッケージ42は、前述の第16の実施形態に係る半導体パッケージ31と比較して

、半導体装置として前述の第7の実施形態に係る半導体装置15(図6参照)、即ち、端子パッド3と複合バリアメタル層5との間に密着強化層12が設けられ、複合バリアメタル層5上に脱離防止層14が設けられた半導体装置を設け、配線基板として前述の第14の実施形態に係る配線基板28(図11参照)、即ち、端子パッド23と複合バリアメタル層5との間に密着強化層12が設けられ、複合バリアメタル層5上に脱離防止層14が設けられた配線基板が設けられている点が異なっている。本実施形態における上記以外の構成は、前述の第16の実施形態と同様である。

[0097] 本発明の半導体パッケージにおいては、半田バンプ34を介して接続される半導体装置及び配線基板のうち、少なくとも一方の端子パッド上に複合バリアメタル層5が設けられていれば応力を緩和する効果が得られるが、本実施形態のように、半導体装置及び配線基板の双方の端子パッド上に複合バリアメタル層5を設けることにより、より大きな応力緩和効果及び衝撃吸収効果を得ることができる。

[0098] なお、本発明に係る半導体パッケージは、前述の第16乃至第21の実施形態において示したものに限定されず、前述の第1、3、5、7、8の実施形態に係る各半導体装置と、前述の第10、12乃至15の実施形態に係る各配線基板とを、任意に組み合わせることができる。また、前述の第10、12乃至15の実施形態に係る各配線基板に、従来の半導体装置を実装したものであってもよい。更に、半導体装置同士又は配線基板同士を接続する組み合わせであってもよい。

[0099] (第23の実施形態)

次に、本発明の第23の実施形態について説明する。図20は、本実施形態に係る半導体パッケージを示す断面図である。図20に示すように、本実施形態に係る半導体パッケージ43は、前述の第22の実施形態に係る半導体パッケージ42と比較して、半田バンプ34内に、樹脂製のコアボール44の表面を半田層45で被覆した半田ボール46が設けられており、半田バンプ34を形成する半田ペースト47内にも、低弾性率粒子7が分散されている点が異なっている。本実施形態における上記以外の構成は、前述の第22の実施形態と同様である。

[0100] 本実施形態においては、半田バンプ34内に樹脂製のコアボール44及び低弾性率粒子7が設けられていることにより、半田バンプ34自体の強度は低下するものの、複

合バリアメタル層5内の低弾性率粒子7並びに半田バンプ34内のコアボール44及び低弾性率粒子7が変形することにより、熱応力及び落下衝撃等に伴う変位をより効果的に吸収することができる。従って、半田バンプ34が比較的大きく、半田バンプ34自体の強度がある程度確保できている場合には、本実施形態を適用することにより、半導体パッケージの接続信頼性をより一層向上させることができる。

[0101] (第24の実施形態)

次に、本発明の第23の実施形態について説明する。本実施形態に係る電子機器は、前述の第1、3、5、7、8の実施形態に係る半導体装置、前述の第10、12乃至15の実施形態に係る配線基板、及び前述の第16乃至23の実施形態に係る半導体パッケージのうち、いずれかを備えた電子機器である。本実施形態に係る電子機器は、例えば、携帯電話、ノートパソコン、デスクトップパソコン、液晶デバイス、インターポザー又はモジュールである。本実施形態によれば、熱応力緩和性及び耐落下衝撃性が優れ信頼性が高い電子機器を得ることができる。

産業上の利用可能性

[0102] 本発明は、携帯電話、ノートパソコン、デスクトップパソコン、液晶デバイス、インターポザー、モジュール等の電子機器に好適に利用することができる。特に、落下の可能性が高い携帯用の電子機器に好適に利用することができる。

請求の範囲

- [1] 表面に端子パッドが設けられた半導体チップと、前記端子パッド上に設けられたバリアメタル層と、を有し、前記バリアメタル層が、導電性材料からなる母相と、この母相中に分散され前記母相よりも弾性率が低い材料からなる複数の低弾性率粒子と、を有することを特徴とする半導体装置。
- [2] 前記端子パッドと前記バリアメタル層との間に設けられ導電性材料からなる密着強化層を有することを特徴とする請求項1に記載の半導体装置。
- [3] 前記密着強化層が前記母相を形成する導電性材料と同じ材料により形成されていることを特徴とする請求項2に記載の半導体装置。
- [4] 前記バリアメタル層上に設けられ導電性材料からなる脱離防止層を有することを特徴とする請求項1に記載の半導体装置。
- [5] 前記脱離防止層が前記母相を形成する導電性材料と同じ材料により形成されていることを特徴とする請求項4に記載の半導体装置。
- [6] 前記バリアメタル層における前記低弾性率粒子の含有率が前記バリアメタル層の膜厚方向において連続的に変化しており、前記バリアメタル層の下層部及び上層部における前記低弾性率粒子の含有率が、前記下層部と前記上層部との間の中間部における前記低弾性率粒子の含有率よりも低くなっていることを特徴とする請求項1に記載の半導体装置。
- [7] 前記母相を形成する導電性材料が、Ni、Cu、Fe、Co、Pdからなる群から選択された1種の金属又は1種以上の金属を含む合金であることを特徴とする請求項1乃至6のいずれか1項に記載の半導体装置。
- [8] 前記母相を形成する導電性材料がNiPであることを特徴とする請求項7に記載の半導体装置。
- [9] 前記低弾性率粒子が、シリコーン樹脂、フッ素樹脂、アクリル樹脂、ニトリル樹脂及びウレタン樹脂からなる群から選択された1種又は2種以上の樹脂により形成されていることを特徴とする請求項1乃至8のいずれか1項に記載の半導体装置。
- [10] 表面に端子パッドが設けられた配線基板本体と、前記端子パッド上に設けられたバリアメタル層と、を有し、前記バリアメタル層が、導電性材料からなる母相と、この母相

中に分散され前記母相よりも弾性率が低い材料からなる複数の低弾性率粒子と、を有することを特徴とする配線基板。

- [11] 前記端子パッドと前記バリアメタル層との間に設けられ導電性材料からなる密着強化層を有することを特徴とする請求項10に記載の配線基板。
- [12] 前記密着強化層が前記母相を形成する導電性材料と同じ材料により形成されていることを特徴とする請求項11に記載の配線基板。
- [13] 前記バリアメタル層上に設けられ導電性材料からなる脱離防止層を有することを特徴とする請求項10に記載の配線基板。
- [14] 前記脱離防止層が前記母相を形成する導電性材料と同じ材料により形成されていることを特徴とする請求項13に記載の配線基板。
- [15] 前記バリアメタル層における前記低弾性率粒子の含有率が前記バリアメタル層の膜厚方向において連続的に変化しており、前記バリアメタル層の下層部及び上層部における前記低弾性率粒子の含有率が、前記下層部と前記上層部との間の中間部における前記低弾性率粒子の含有率よりも低くなっていることを特徴とする請求項10に記載の配線基板。
- [16] 前記母相を形成する導電性材料が、Ni、Cu、Fe、Co、Pdからなる群から選択された1種の金属又は1種以上の金属を含む合金であることを特徴とする請求項10乃至15のいずれか1項に記載の配線基板。
- [17] 前記母相を形成する導電性材料がNiPであることを特徴とする請求項16に記載の配線基板。
- [18] 前記低弾性率粒子が、シリコーン樹脂、フッ素樹脂、アクリル樹脂、ニトリル樹脂及びウレタン樹脂からなる群から選択された1種又は2種以上の樹脂により形成されていることを特徴とする請求項10乃至17のいずれか1項に記載の配線基板。
- [19] 配線基板と、この配線基板に実装された半導体装置と、前記半導体装置の端子パッドを前記配線基板の端子パッドに接続する半田バンプと、を有し、前記半導体装置が、請求項1乃至9のいずれか1項に記載の半導体装置であることを特徴とする半導体パッケージ。
- [20] 配線基板と、この配線基板に実装された半導体装置と、前記半導体装置の端子パッド

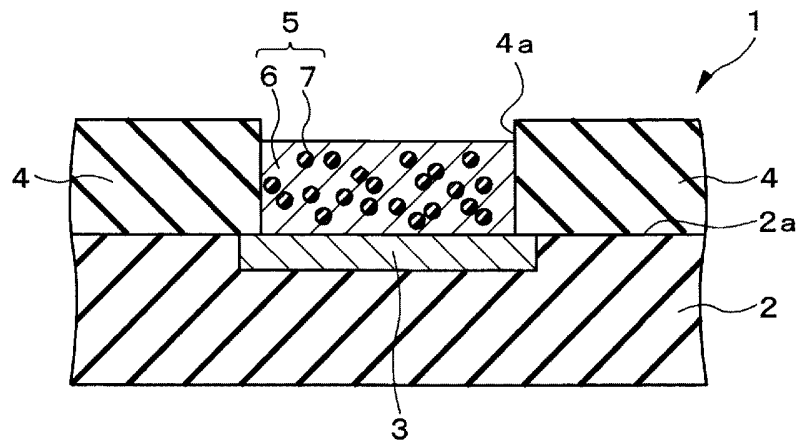
ドを前記配線基板の端子パッドに接続する半田バンプと、を有し、前記配線基板が、請求項10乃至18のいずれか1項に記載の配線基板であることを特徴とする半導体パッケージ。

- [21] 配線基板と、この配線基板に実装された半導体装置と、前記半導体装置の端子パッドを前記配線基板の端子パッドに接続する半田バンプと、を有し、前記半導体装置が、請求項1乃至9のいずれか1項に記載の半導体装置であり、前記配線基板が、請求項10乃至18のいずれか1項に記載の配線基板であることを特徴とする半導体パッケージ。
- [22] 前記バリアメタル層と前記半田バンプとの間に、前記母相を形成する導電性材料と前記半田バンプを形成する半田とが合金化して形成された金属間化合物層が形成されており、前記金属間化合物層中にも前記低弾性率粒子が分散されていることを特徴とする請求項19乃至21のいずれか1項に記載の半導体パッケージ。
- [23] 前記半田バンプ中に配置された樹脂部材を有することを特徴とする請求項19乃至22のいずれか1項に記載の半導体パッケージ。
- [24] 請求項19乃至23のいずれか1項に記載の半導体パッケージを有することを特徴とする電子機器。
- [25] 携帯電話、ノートパソコン、デスクトップパソコン、液晶デバイス、インターポザー又はモジュールであることを特徴とする請求項24に記載の電子機器。
- [26] 半導体ウエハの表面に形成された端子パッドに、低弾性率粒子を含有しためっき液によりめっきを施すことにより、導電性材料からなる母相中に前記母相よりも弾性率が低い材料からなる複数の低弾性率粒子が分散されたバリアメタル層を形成する工程と、前記半導体ウエハをダイシングして複数の半導体チップに切り分ける工程と、を有することを特徴とする半導体装置の製造方法。
- [27] 前記バリアメタル層を形成する工程において、1つのめっき浴中に前記半導体ウエハを浸漬し、前記バリアメタル層の堆積中に前記めっき浴の温度、pH又は攪拌条件を変化させることにより、前記バリアメタル層における前記低弾性率粒子の含有率を前記バリアメタル層の膜厚方向において連続的に変化させ、前記バリアメタル層の下層部及び上層部における前記低弾性率粒子の含有率を、前記下層部と前記上層部と

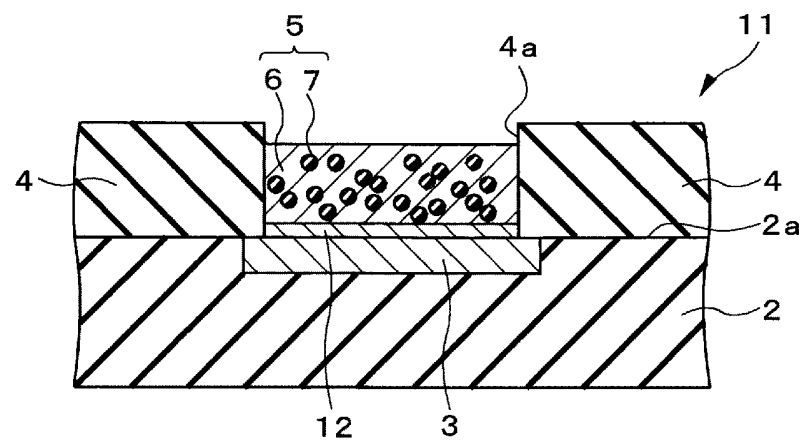
の間の中間部における前記低弾性率粒子の含有率よりも低くすることを特徴とする請求項26に記載の半導体装置の製造方法。

- [28] 前記バリアメタル層を形成する工程が、前記めっき浴の温度を第1の温度として前記バリアメタル層の堆積を行う工程と、前記めっき浴の温度を前記第1の温度からこの第1の温度よりも高い第2の温度に変化させて前記バリアメタル層の堆積を行う工程と、前記めっき浴の温度を前記第2の温度からこの第2の温度よりも低い第3の温度に変化させて前記バリアメタル層の堆積を行う工程と、を有することを特徴とする請求項27に記載の半導体装置の製造方法。
- [29] 配線基板本体の表面に形成された端子パッドに、低弾性率粒子を含有しためっき液によりめっきを施すことにより、導電性材料からなる母相中に前記母相よりも弾性率が低い材料からなる複数の低弾性率粒子が分散されたバリアメタル層を形成する工程を有することを特徴とする配線基板の製造方法。
- [30] 前記バリアメタル層を形成する工程において、1つのめっき浴中に前記配線基板本体を浸漬し、前記バリアメタル層の堆積中に前記めっき浴の温度、pH又は攪拌条件を変化させることにより、前記バリアメタル層における前記低弾性率粒子の含有率を前記バリアメタル層の膜厚方向において連続的に変化させ、前記バリアメタル層の下層部及び上層部における前記低弾性率粒子の含有率を、前記下層部と前記上層部との間の中間部における前記低弾性率粒子の含有率よりも低くすることを特徴とする請求項29に記載の配線基板の製造方法。
- [31] 前記バリアメタル層を形成する工程が、前記めっき浴の温度を第1の温度として前記バリアメタル層の堆積を行う工程と、前記めっき浴の温度を前記第1の温度からこの第1の温度よりも高い第2の温度に変化させて前記バリアメタル層の堆積を行う工程と、前記めっき浴の温度を前記第2の温度からこの第2の温度よりも低い第3の温度に変化させて前記バリアメタル層の堆積を行う工程と、を有することを特徴とする請求項30に記載の配線基板の製造方法。

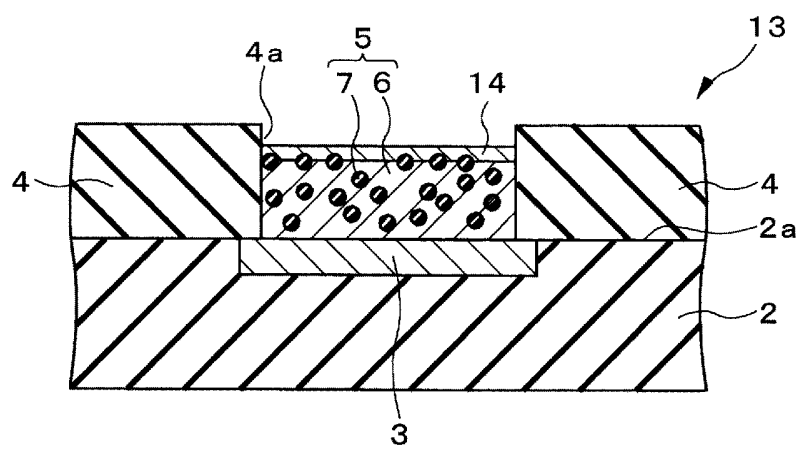
[図1]



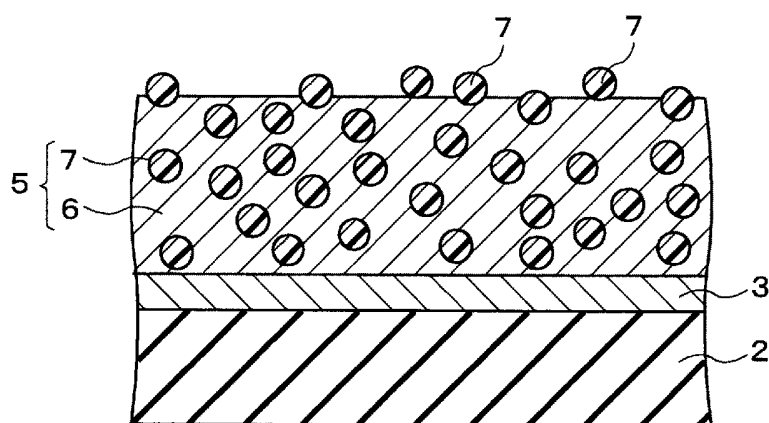
[図2]



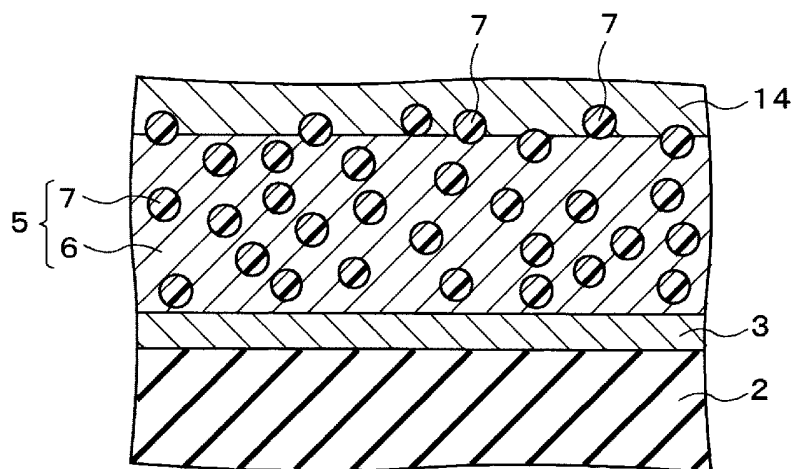
[図3]



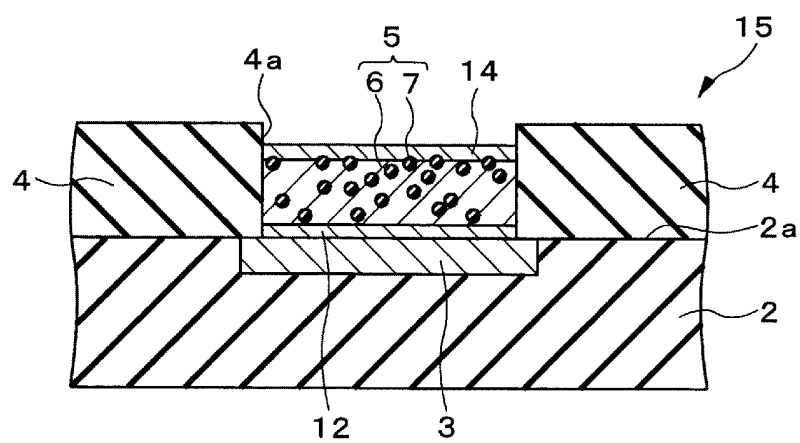
[図4]



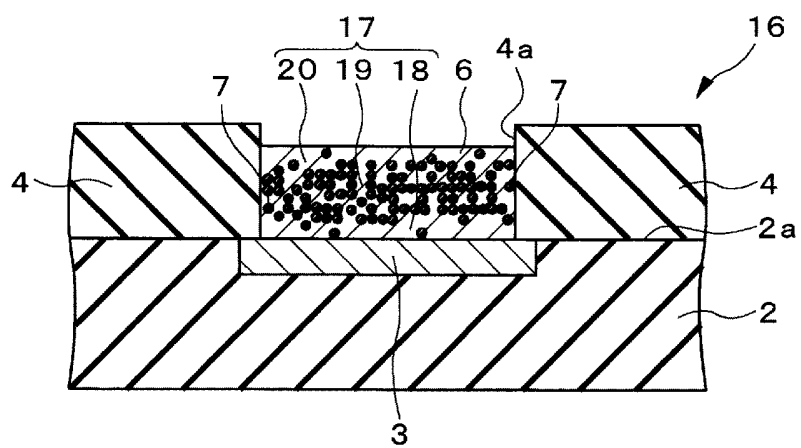
[図5]



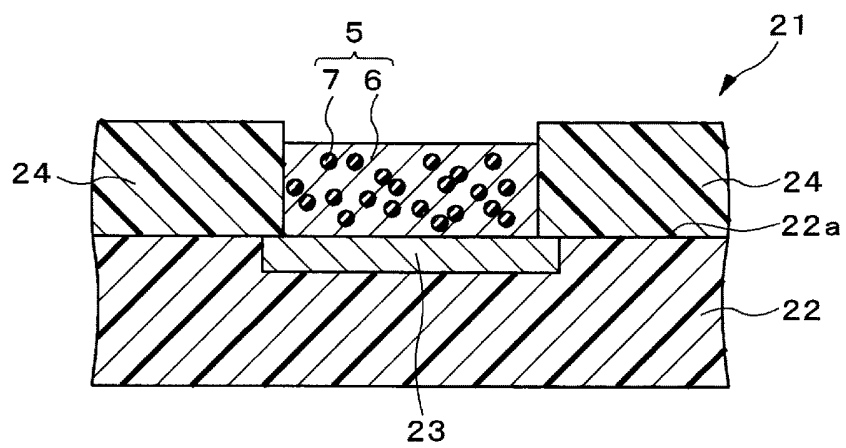
[図6]



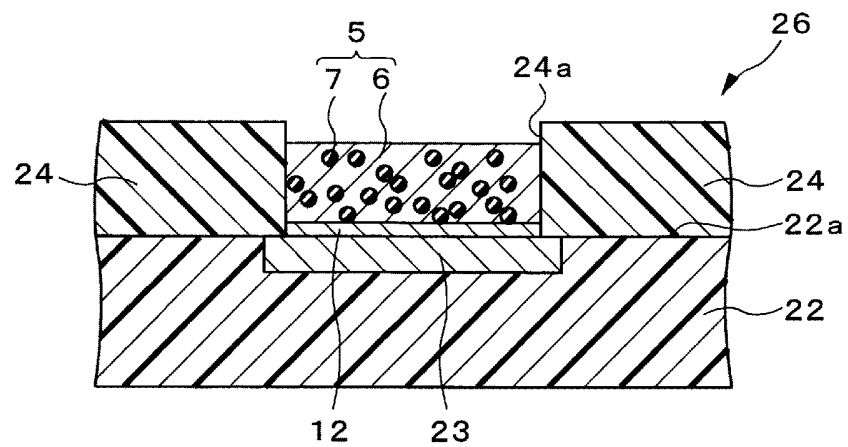
[図7]



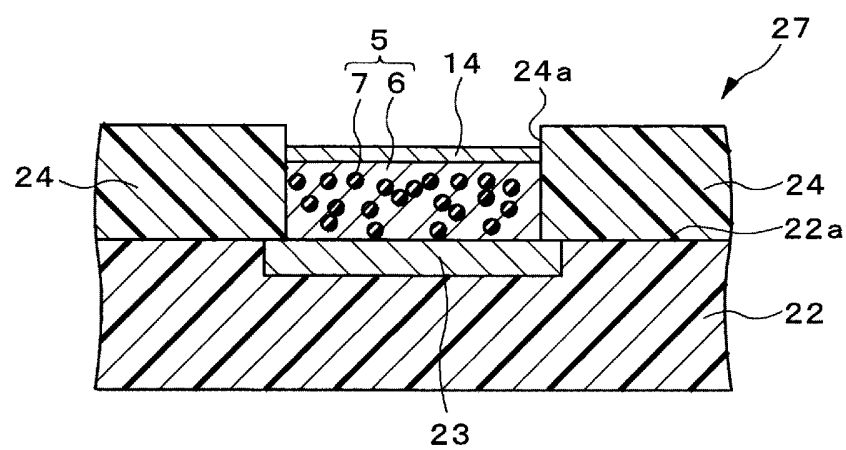
[図8]



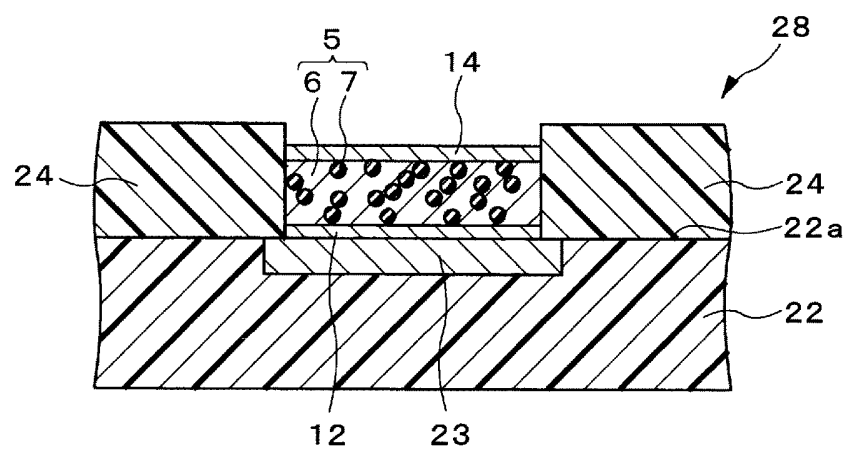
[図9]



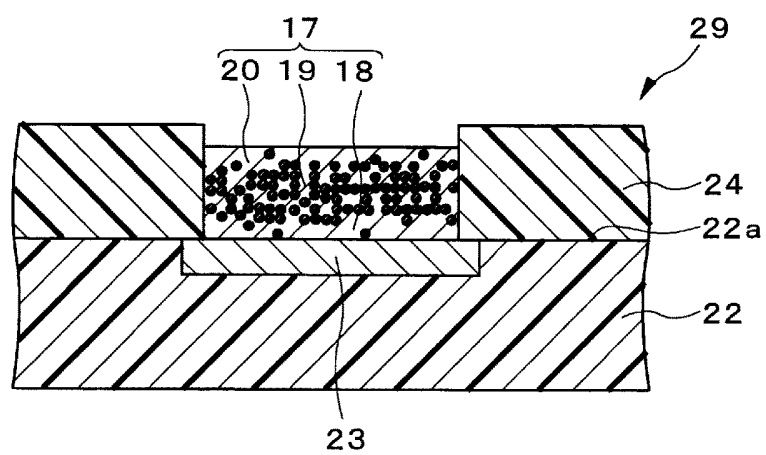
[図10]



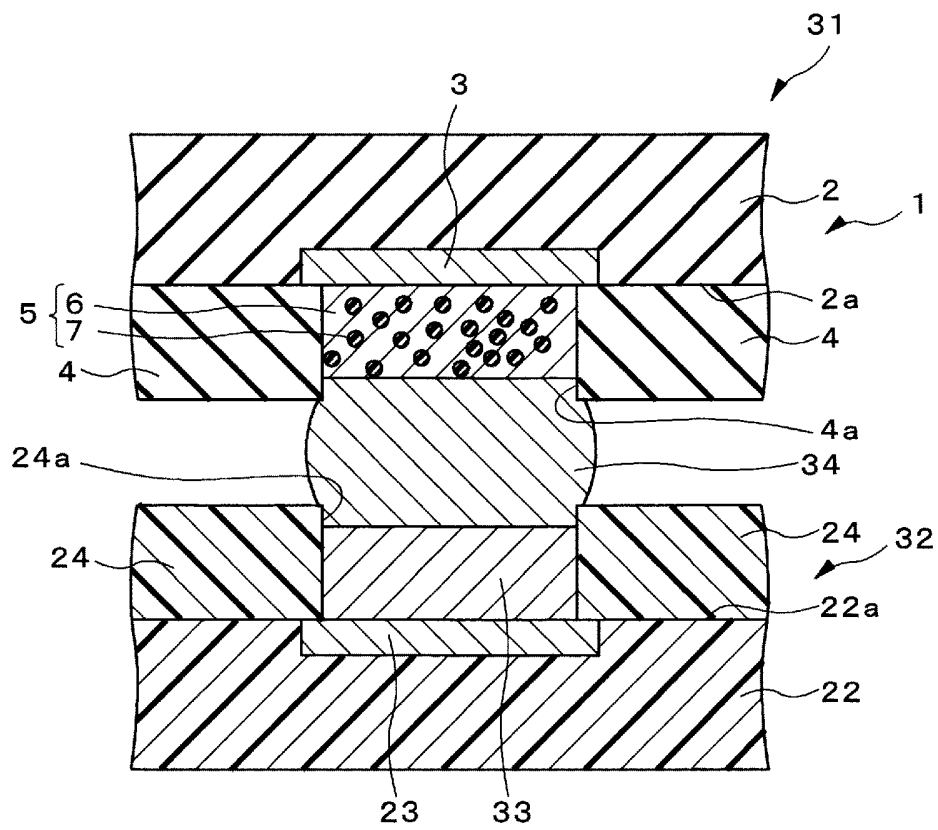
[図11]



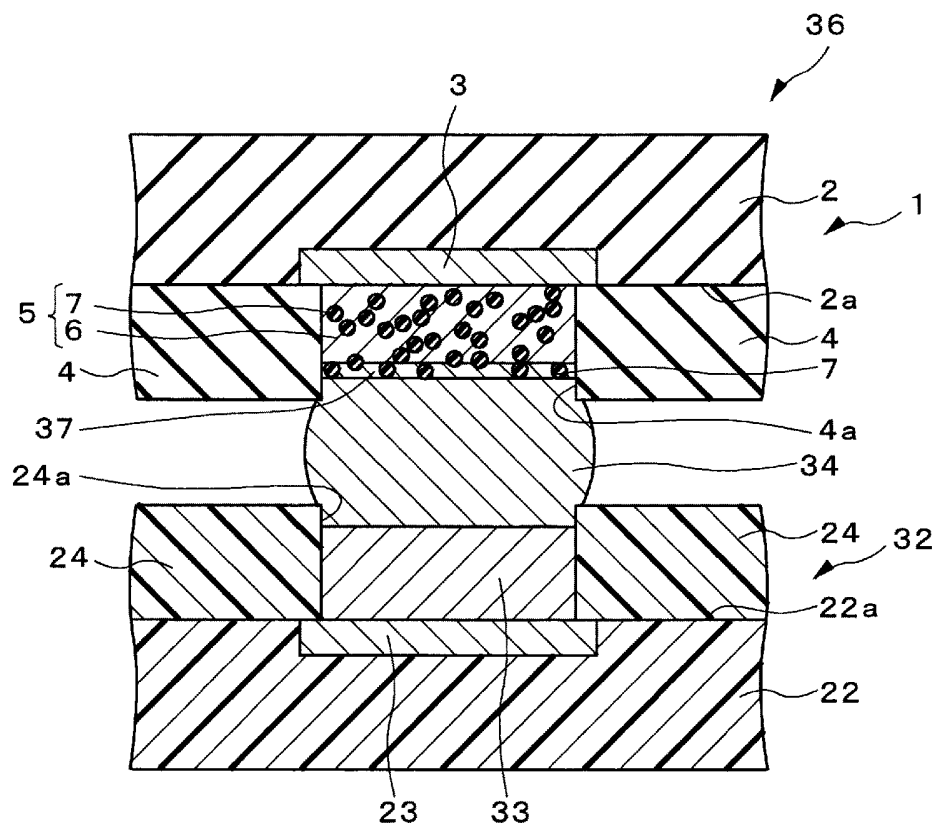
[図12]



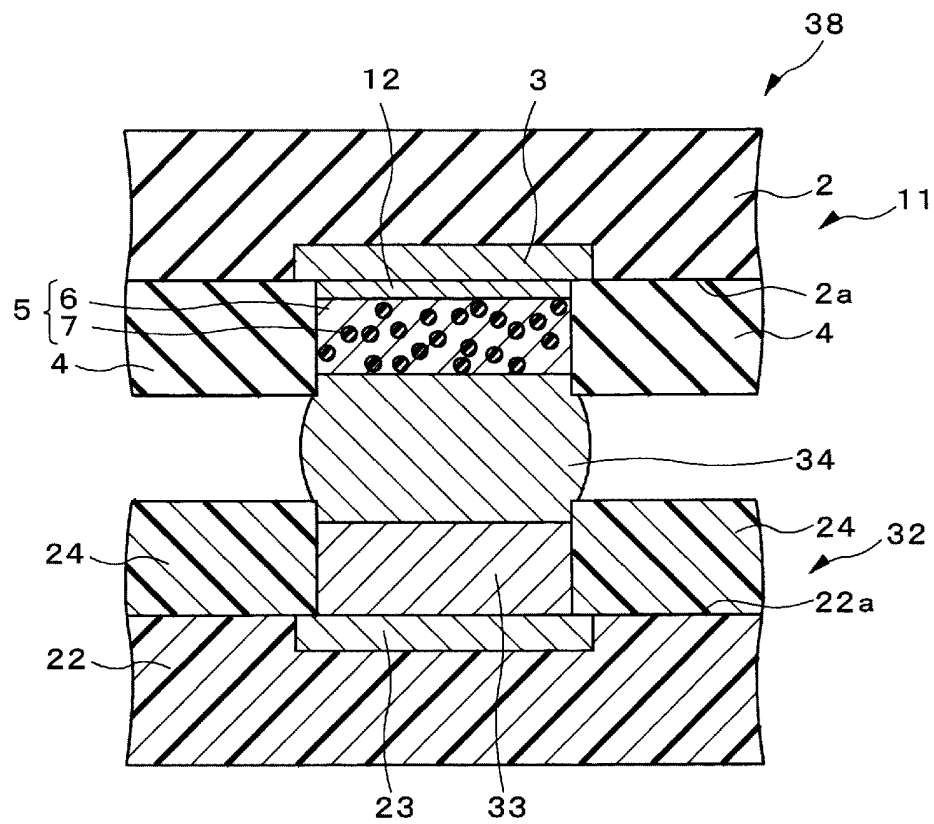
[図13]



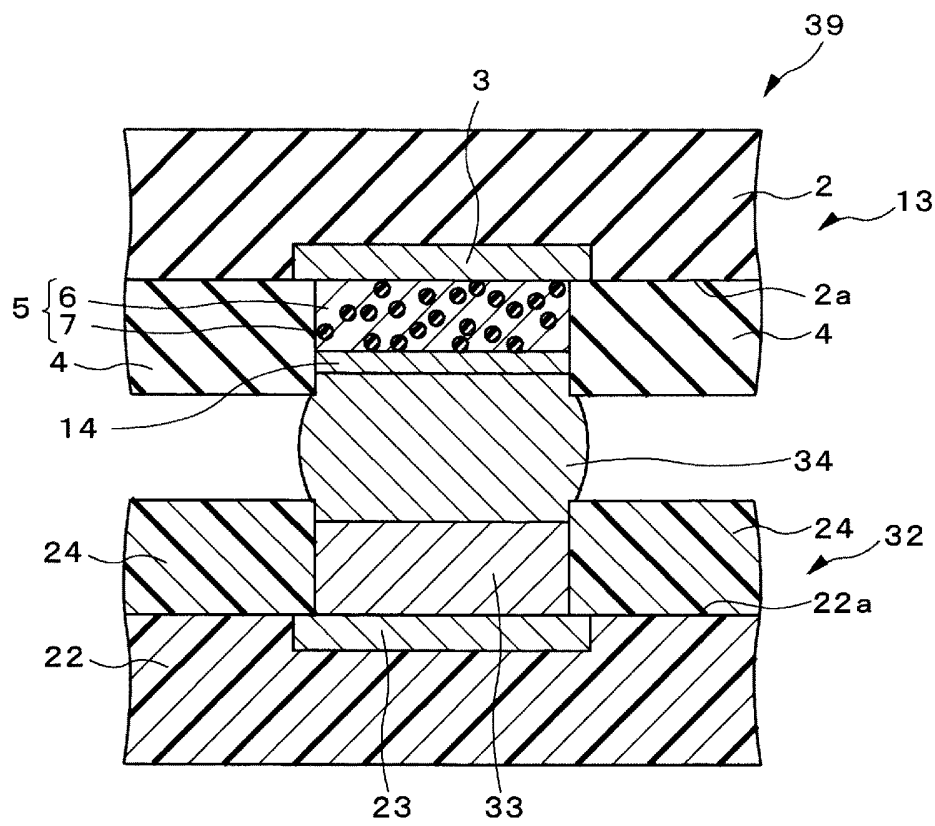
[図14]



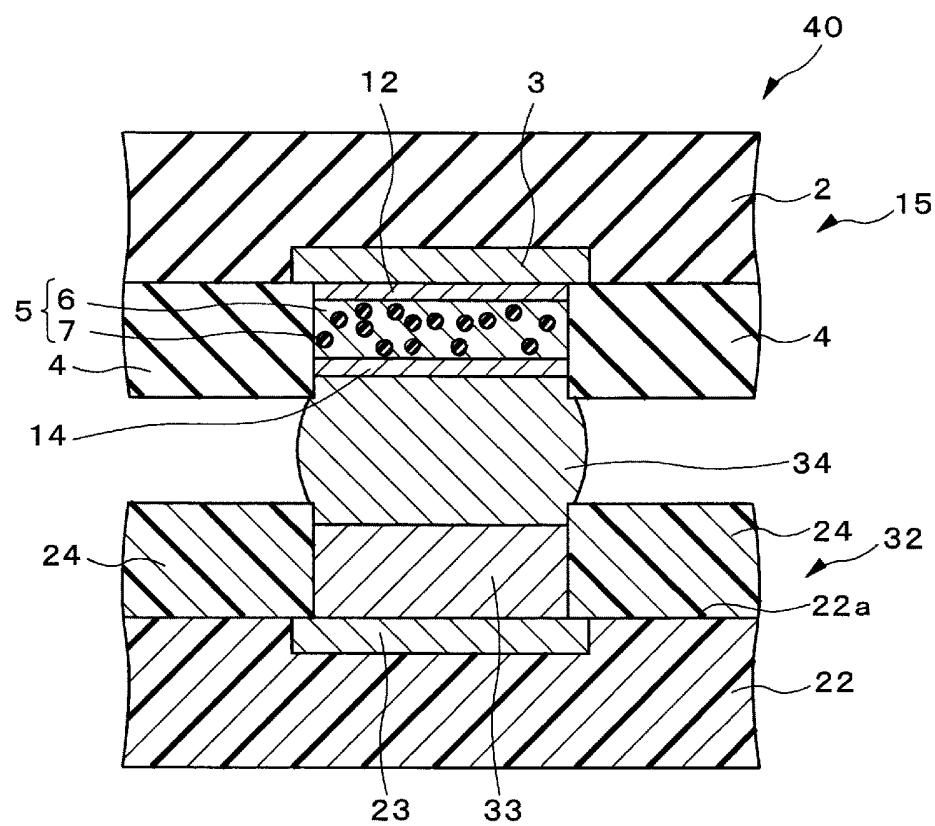
[図15]



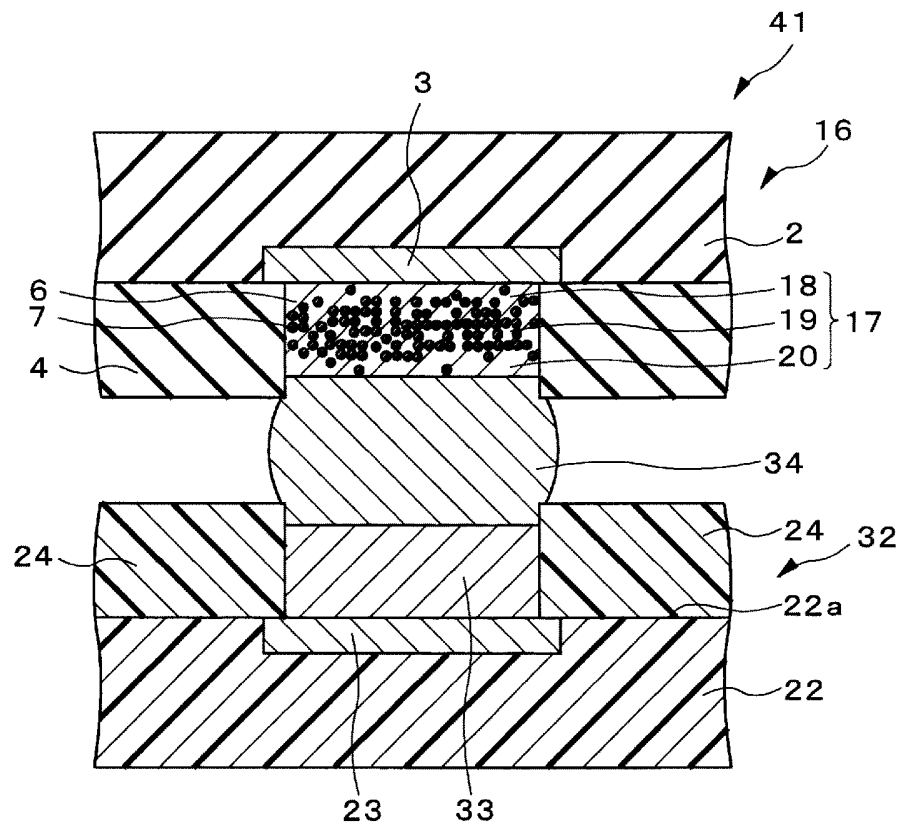
[図16]



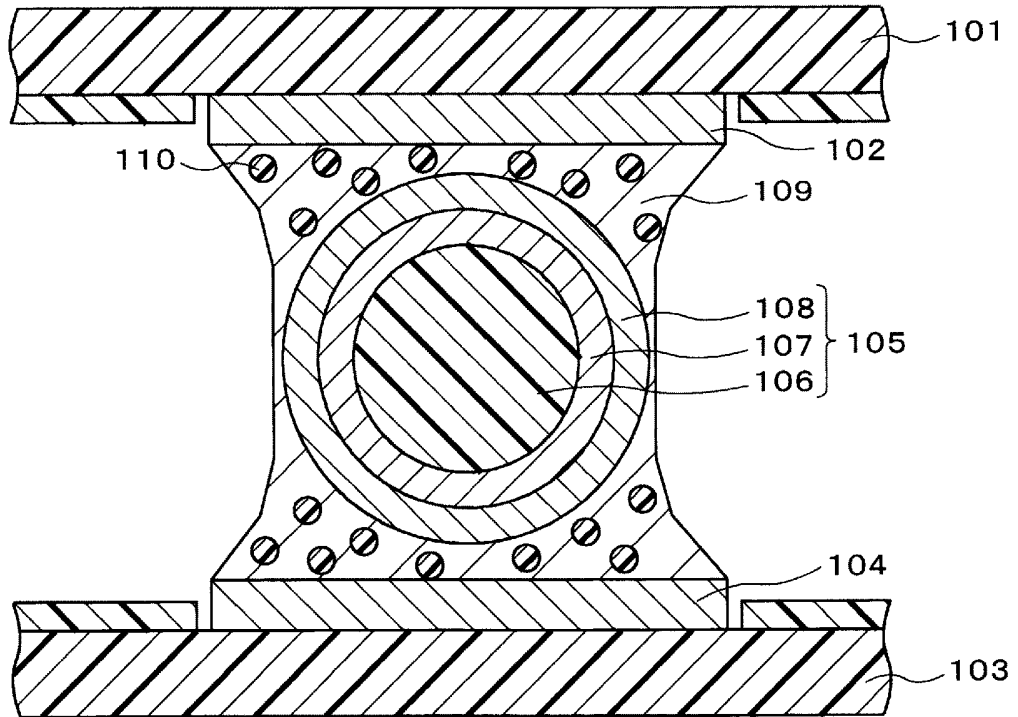
[図17]



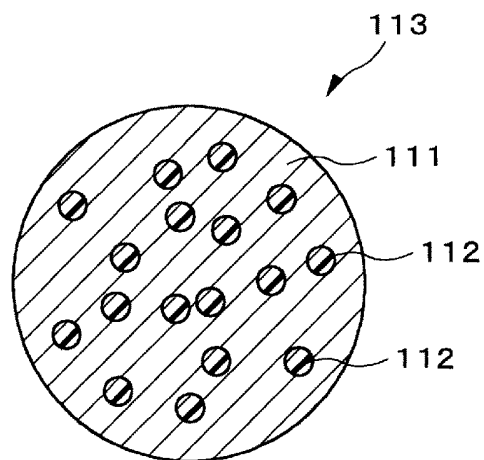
[図18]



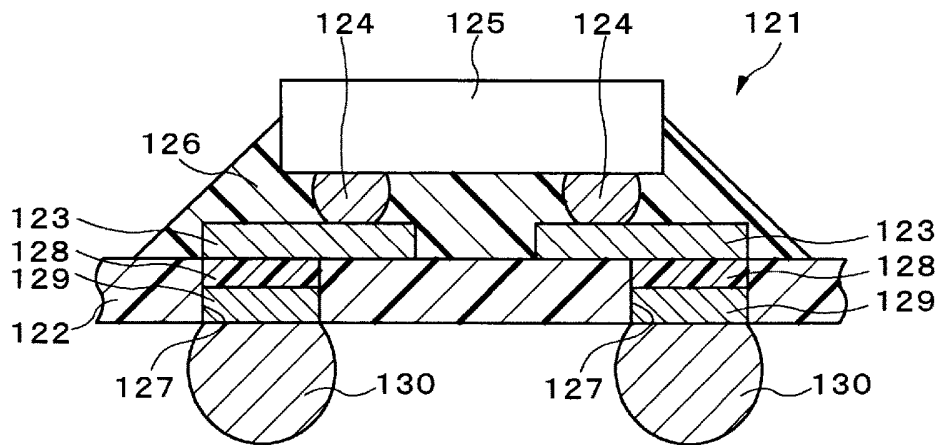
[図21]



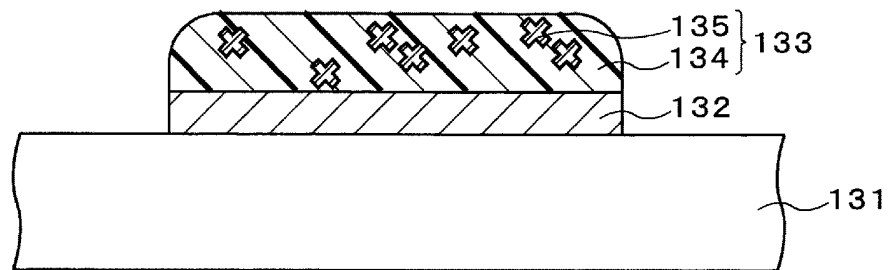
[図22]



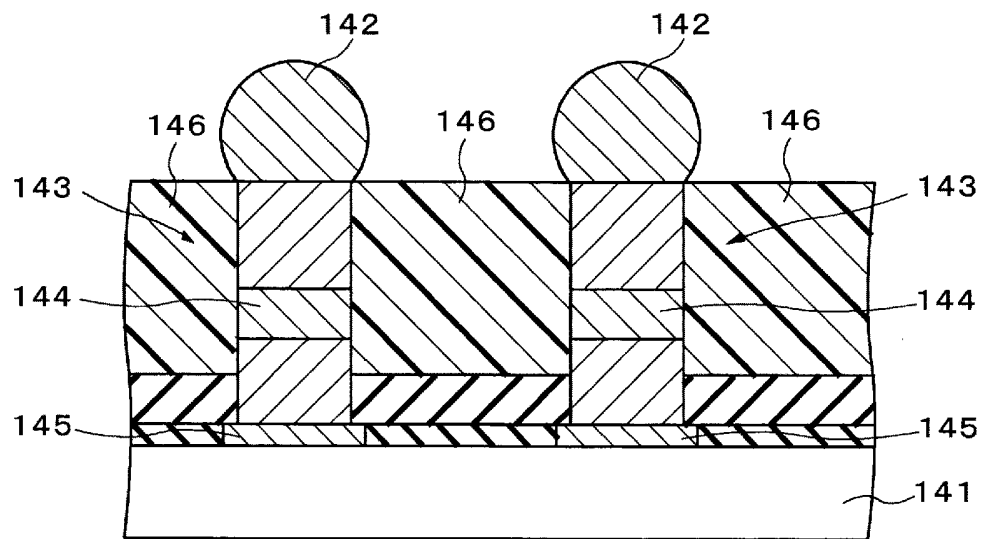
[図23]



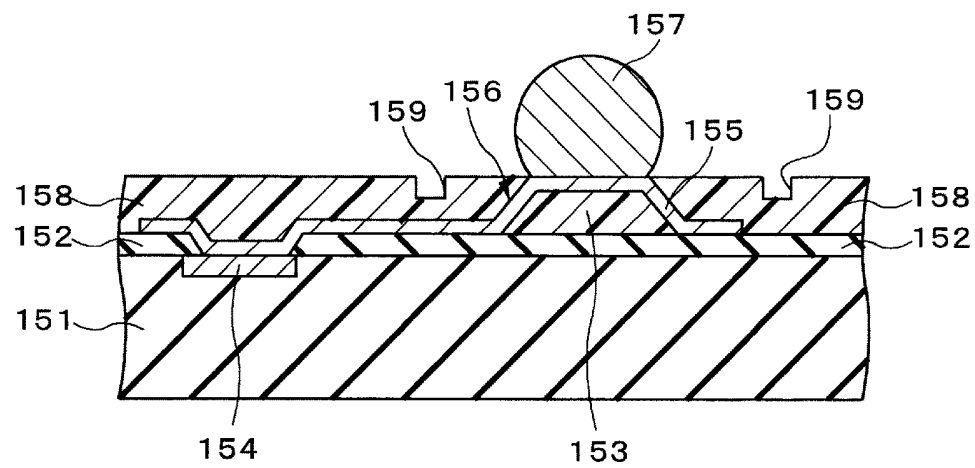
[図24]



[図25]



[図26]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/021729

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/60 (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/60 (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 05-047769 A (Matsushita Electric Industrial Co., Ltd.), 26 February, 1993 (26.02.93), Full text (Family: none)	1-31
A	JP 2000-332045 A (Sanyo Electric Co., Ltd.), 30 November, 2000 (30.11.00), Full text (Family: none)	1-31
A	JP 2003-092306 A (Oki Electric Industry Co., Ltd.), 28 March, 2003 (28.03.03), Full text & US 2003/0052412 A1	1-31

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
23 February, 2006 (23.02.06)

Date of mailing of the international search report
07 March, 2006 (07.03.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/021729

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-173006 A (Hitachi, Ltd.), 26 June, 1998 (26.06.98), Full text (Family: none)	1-31
A	JP 2003-338516 A (Mitsubishi Electric Corp.), 28 November, 2003 (28.11.03), Full text & US 2003/0214038 A1 & DE 010261460 A	1-31

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/60(2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/60(2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2006年
日本国実用新案登録公報	1996-2006年
日本国登録実用新案公報	1994-2006年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 05-047769 A (松下電器産業株式会社) 1993.02.26, 全文 (ファミリーなし)	1-31
A	JP 2000-332045 A (三洋電機株式会社) 2000.11.30, 全文 (ファミリーなし)	1-31
A	JP 2003-092306 A (沖電気工業株式会社) 2003.03.28, 全文 & US 2003/0052412 A1	1-31

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

23.02.2006

国際調査報告の発送日

07.03.2006

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

坂本 薫昭

電話番号 03-3581-1101 内線 3471

4R

3547

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 10-173006 A (株式会社日立製作所) 1998. 06. 26, 全文 (ファミリーなし)	1-31
A	JP 2003-338516 A (三菱電機株式会社) 2003. 11. 28, 全文 & US 2003/0214038 A1 & DE 010261460 A	1-31