



(12)发明专利申请

(10)申请公布号 CN 107026613 A

(43)申请公布日 2017.08.08

(21)申请号 201610980183.7

(22)申请日 2016.11.08

(30)优先权数据

2015-220119 2015.11.10 JP

(71)申请人 精工爱普生株式会社

地址 日本东京

(72)发明人 矶崎繁纪 福沢晃弘 薄井敏正

(74)专利代理机构 北京金信知识产权代理有限公司 11225

代理人 苏萌萌 许梅钰

(51)Int.Cl.

H03B 5/36(2006.01)

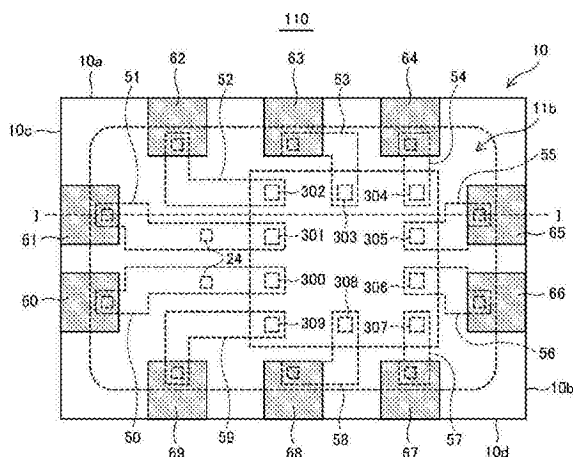
权利要求书1页 说明书12页 附图6页

(54)发明名称

振荡器、电子设备、以及移动体

(57)摘要

本发明提供了一种振荡器、电子设备、以及移动体。在振荡动作中对振荡频率动态地实施数字控制的振荡器中,降低因数字控制信号等的干涉而导致的振荡精度的恶化。该振荡器具备:封装件,其具有第一边至第四边;振动体以及振荡电路,所述振动体以及所述振荡电路被配置在封装件中;输出端子,其沿着封装件的第一边而配置,并输出通过振荡电路而生成的时钟信号;控制端子,其沿着封装件的第二边而配置,并被供给用于对振荡电路的动作状态进行更新的数字控制信号。



1. 一种振荡器,具备:

封装件,其具有第一边至第四边;

振动体以及振荡电路,所述振动体以及所述振荡电路被配置在所述封装件中;

输出端子,其沿着所述封装件的第一边而配置,并输出通过所述振荡电路而生成的时钟信号;

控制端子,其沿着所述封装件的第二边而配置,并被供给用于对所述振荡电路的动作状态进行更新的数字控制信号。

2. 如权利要求1所述的振荡器,其中,

还具有第一配线图案以及第二配线图案,所述第一配线图案以及所述第二配线图案被配置在所述封装件中并对所述振动体的一组端子与所述振荡电路进行电连接,且朝向所述封装件的第三边而延伸。

3. 如权利要求2所述的振荡器,其中,还具备:

第三配线图案,其被配置在所述封装件中并与所述输出端子电连接,且在俯视观察时与所述第一配线图案以及所述第二配线图案不交叉;

第四配线图案,其被配置在所述封装件中并与所述控制端子电连接,且在俯视观察时与所述第一配线图案至所述第三配线图案不交叉。

4. 如权利要求3所述的振荡器,其中,

还具备第五配线图案,所述第五配线图案在所述封装件中被配置在所述第一配线图案或所述第二配线图案与所述第三配线图案或所述第四配线图案之间,并与被供给电源电位或基准电位的电源端子电连接。

5. 如权利要求1至4中任一项所述的振荡器,其中,

构成所述振荡电路的至少一个半导体装置具有:第一端子,其在半导体装置中沿着最靠近所述封装件的第一边的边而配置并输出时钟信号;第二端子,其在半导体装置中沿着最靠近所述封装件的第二边的边而配置并被供给数字控制信号。

6. 一种振荡器,具备:

封装件;

振动体以及振荡电路,所述振动体以及所述振荡电路被配置在所述封装件中;

第一配线图案以及第二配线图案,所述第一配线图案以及所述第二配线图案被配置在所述封装件中并对所述振动体的一组端子与所述振荡电路进行电连接;

第三配线图案,其被配置在所述封装件中,并与输出通过所述振荡电路而生成的时钟信号的输出端子电连接,且在俯视观察时与所述第一配线图案以及第二配线图案不交叉;

第四配线图案,其被配置在所述封装件中,并与被供给用于对所述振荡电路的动作状态进行更新的数字控制信号的控制端子电连接,且在俯视观察时与所述第一配线图案至所述第三配线图案不交叉;

第五配线图案,其在所述封装件中被配置在所述第一配线图案或第二配线图案与所述第三配线图案或第四配线图案之间,并与被供给电源电位或基准电位的电源端子电连接。

7. 一种电子设备,其具备权利要求1至6中任一项所述的振荡器。

8. 一种移动体,其具备权利要求1至6中任一项所述的振荡器。

振荡器、电子设备、以及移动体

技术领域

[0001] 本发明涉及一种将振动体及振荡电路安装在封装件中而构成的振荡器。并且，本发明涉及一种使用了这种振荡器的电子设备以及移动体。

背景技术

[0002] 例如，实施将晶体振动体以及半导体装置(IC)安装在封装件中而构成晶体振荡器的过程。在这种晶体振荡器中，在安装IC之前，实施如下的工序，即，利用与晶体振动体连接的两个监视端子而使晶体振动体进行强激励来改善特性，或者将晶体振动体连接于外部测定装置而对特性进行检查。因此，一般情况下，对晶体振动体和监视端子进行连接的配线图案较长，从而容易受到来自数字电路的噪声等外来噪声的影响。其结果为，存在振荡频率偏离设定值、或者产生相位失真等问题。

[0003] 作为相关的技术，在专利文献1中公开了一种在配线基板上安装有半导体封装件和晶体振子的晶体振荡装置。半导体封装件具备作为晶体振子的连接用的第一外部端子以及第二外部端子。在配线基板上，形成有从第一外部端子延伸并被连接于晶体振子的一端的第一配线图案、以及从第二外部端子向与第一配线图案大致相同的方向延伸并被连接于晶体振子的另一端的第二配线图案。

[0004] 并且，在配线基板上形成有被配置在第一配线图案与第二配线图案之间的区域内、且与接地电压电源电连接的第三配线图案。由此，能够减少第一外部端子与第二外部端子之间的引脚间的寄生电容，或者，降低引脚间的耦合噪声。其结果为，能够满足寄生电容的降低或耐噪声性的提高的要求。

[0005] 此外，在专利文献2中公开了一种使将振荡电路、温度补偿电路、以及存储电路等集成化而成的IC与压电振子组合而构成的压电振荡器。该压电振荡器的特征在于，在将包含温度补偿电路的第一模拟电路模块、包含振荡电路的第二模拟电路模块、以及包含存储电路的数字电路模块集成化而成的压电振荡器用IC中，将第一模拟电路模块与第二模拟电路模块分离地配置，并使数字电路模块介于上述模拟电路模块之间。

[0006] 在该压电振荡器中，数字电路仅仅为了在对TCXO进行制品化时在工厂的调节作业中将数据写入存储器中而被使用，在作为TCXO而被使用的状态下，不会使数字电路进行工作。因此，目的在于，防止因模拟电路内的AC电路模块与DC电路模块之间的干涉、和例如振荡电路的AC动作成为DC电路的噪声由此而对作为晶体振荡器的重要的特性的相位噪声造成影响等的干涉所引起的压电振荡器的动作不良。

[0007] 虽然在专利文献1中公开了使与晶体振子连接的第一外部端子以及第二外部端子的耐噪声性提高的技术，但并未特别公开使除此以外的端子的耐噪声性提高的内容。此外，与专利文献2所公开的压电振荡器不同，在于振荡动作中动态地对振荡频率实施数字控制的DCXO(Digitally Controlled Crystal Oscillator:数字控制晶体振荡器)这种振荡器中，数字控制信号将与模拟振荡信号发生干涉而对相位噪声特性带来影响，从而使振荡精度恶化。

[0008] 专利文献

[0009] 专利文献1:日本特开2012-186784号公报(0021-0022段、图1)

[0010] 专利文献2:日本特开2006-54269号公报(0001-0005段、图1)

发明内容

[0011] 在此,鉴于上述的点,本发明的第一目的在于,在振荡动作中振荡频率被动态地数字控制的振荡器中,降低由数字控制信号等的干涉而导致的振荡精度的恶化。此外,本发明的第二目的在于,提供一种使用了这种振荡器的电子设备以及移动体等。

[0012] 为了解决以上的课题的至少一部分,本发明的第一观点所涉及的振荡器具备:封装件,其具有第一边至第四边;振动体以及振荡电路,所述振动体以及所述振荡电路被配置在封装件中;输出端子,其沿着封装件的第一边而配置,并输出通过振荡电路而生成的时钟信号;控制端子,其沿着封装件的第二边而配置,并被供给用于对振荡电路的动作状态进行更新的数字控制信号。

[0013] 根据本发明的第一观点,在振荡动作中对振荡频率动态地实施数字控制的振荡器中,通过将输出时钟信号的输出端子与被供给数字控制信号的控制端子配置在封装件的不同边上,从而能够增大对时钟信号进行传送的配线图案与对数字控制信号进行传送的配线图案之间的距离,从而使两者的电容耦合下降,由此减少因数字控制信号的干涉而导致的振荡精度的恶化。

[0014] 此外,也可以采用如下方式,即,振荡器还具备第一配线图案以及第二配线图案,所述第一配线图案以及所述第二配线图案被配置在封装件内并对振动体的一组端子与振荡电路进行电连接,且朝向封装件的第三边而延伸。由此,能够通过将对噪声敏感的第一配线图案以及第二配线图案从时钟信号及数字控制信号的传送路径远离而使两者的电容耦合下降,从而减少因时钟信号及数字控制信号的干涉而导致的振荡精度的恶化。

[0015] 在该情况下,也可以采用如下方式,即,振荡器还具备:第三配线图案,其被配置在封装件内并与输出端子电连接,且在俯视观察时与第一配线图案以及第二配线图案不交叉;第四配线图案,其被配置在封装件内并与控制端子电连接,且在俯视观察时与第一至第三配线图案不交叉。由此,能够使对噪声敏感的第一配线图案以及第二配线图案与对时钟信号进行传送的第三配线图案和对数字控制信号进行传送的第四配线图案之间的耦合电容下降,从而降低因时钟信号或数字控制信号的干涉而导致的振荡精度的恶化。

[0016] 此外,也可以采用如下方式,即,振荡器还具备第五配线图案,所述第五配线图案在封装件内被配置在第一或第二配线图案与第三或第四配线图案之间,并与被供给电源电位或基准电位的电源端子电连接。由此,能够使对噪声敏感的第一或第二配线图案与对时钟信号进行传送或对数字控制信号进行传送的第三或第四配线图案之间的耦合电容进一步下降,从而进一步降低因时钟信号或数字控制信号的干涉而导致的振荡精度的恶化。

[0017] 在上文中,也可以采用如下方式,即,构成振荡电路的至少一个半导体装置具有:第一端子,其在半导体装置中沿着最靠近封装件的第一边的边而配置并输出时钟信号;第二端子,其在半导体装置中沿着最靠近封装件的第二边的边而配置并被供给数字控制信号。由此,能够缩短对半导体装置的第一端子和输出端子进行连接的配线图案,并且缩短对半导体装置的第二端子和控制端子进行连接的配线图案,从而使两者的电容耦合下降,由

此而降低因数字控制信号的干涉而导致的振荡精度的恶化。

[0018] 本发明的第二观点所涉及的振荡器具备：封装件；振动体以及振荡电路，所述振动体以及所述振荡电路被配置在封装件内；第一配线图案以及第二配线图案，所述第一配线图案以及所述第二配线图案被配置在封装件内并对振动体的一组端子和振荡电路进行电连接；第三配线图案，其被配置在封装件内，并与输出通过振荡电路而生成的时钟信号的输出端子电连接，且在俯视观察时与第一配线图案以及第二配线图案不交叉；第四配线图案，其被配置在封装件中，并与被供给用于对振荡电路的动作状态进行更新的数字控制信号的控制端子电连接，且在俯视观察时与第一至第三配线图案不交叉；第五配线图案，其在封装件中被配置在第一或第二配线图案与第三或第四配线图案之间，且与被供给电源电位或基准电位的电源端子电连接。

[0019] 根据本发明的第二观点，在振荡动作中对振荡频率动态地实施数字控制的振荡器中，能够使对噪声敏感的第一配线图案以及第二配线图案与对时钟信号进行传送的第三配线图案、和对数字控制信号进行传送的第四配线图案之间的耦合电容下降，从而降低因时钟信号或数字控制信号的干涉而导致的振荡精度的恶化。

[0020] 本发明的第三观点所涉及的电子设备具备上述任意一个振荡器。本发明的第四观点所涉及的移动体，具备上述任意一个振荡器。根据本发明的第三或第四观点，能够提供一种以使用降低了因数字控制信号等的干涉而导致的振荡精度的恶化的振荡器所生成的准确的时钟信号来进行动作的电子设备或移动体。

附图说明

[0021] 图1为本发明的第一实施方式所涉及的晶体振荡器的剖视图。

[0022] 图2为图1所示的晶体振荡器的仰视图。

[0023] 图3为本发明的第二实施方式所涉及的晶体振荡器的剖视图。

[0024] 图4为图3所示的晶体振荡器的仰视图。

[0025] 图5为表示使用了实施方式所涉及的晶体振荡器的PLL电路的结构例的框图。

[0026] 图6为表示图5所示的VCXO的结构例的电路图。

[0027] 图7为表示多个端子间的寄生电容与寄生电平之间的关系的图。

[0028] 图8为表示本发明的一个实施方式所涉及的电子设备的第一结构例的框图。

[0029] 图9为表示本发明的一个实施方式所涉及的电子设备的第二结构例的框图。

[0030] 图10为表示本发明的一个实施方式所涉及的移动体的结构例的框图。

具体实施方式

[0031] 以下，参照附图对本发明的实施方式进行详细说明。另外，对于相同的结构要素标注相同的参照符号，并省略重复说明。在以下的实施方式中，作为振荡器的一个示例，对使用了晶体振动体的晶体振荡器进行说明。

[0032] 第一实施方式

[0033] 图1为本发明的第一实施方式所涉及的晶体振荡器的剖视图。如图1所示，晶体振荡器110包括：封装件10；晶体振动体20以及半导体装置(IC) 30，所述晶体振动体20以及半导体装置(IC) 30被安装在于封装件10的主面(图中的上表面)上所形成的空腔内；盖部40，

其对晶体振动体20以及半导体装置30进行覆盖。

[0034] 封装件10以例如将形成侧壁的第二基板12层压在第一基板11上的方式而构成。第一基板11以及第二基板12例如由陶瓷等绝缘体构成。第一基板11具有相互对置的第一面11a及第二面11b。第一面11a以及第二面11b可以相互大致平行。

[0035] 第二基板12在第一基板11的第一面11a的四周区域内形成与第一面11a相比而突出的侧壁。通过第一基板11以及侧壁,从而构成具有对晶体振动体20及半导体装置30进行收纳的空腔的封装件10。封装件10能够安全地保护晶体振动体20以及半导体装置30。

[0036] 晶体振动体20在封装件10中被配置在第一基板11的第一面11a上,并且具有:作为压电体的晶体片21,其作为振动片;第一电极22及第二电极23,它们夹着晶体片21;一组端子24,其将该电极22及23电连接于被设置在第一面11a上的配线层上。通过经由一组端子24而向电极22和电极23之间施加交流电压,从而利用压电效应来激发晶体振动体20的机械振动。

[0037] 此外,对晶体振动体20及半导体装置30进行覆盖的盖部40与设置在第一基板11的第一面11a的四周区域上的侧壁(第二基板12)接合。盖部40例如,由铁(Fe)、钴(Co)、镍(Ni)、或这些金属的合金等构成。也可以在收纳有晶体振动体20及半导体装置30的空腔内封入氦等惰性气体。

[0038] 半导体装置30在封装件10中被配置在第一基板11的第一面11a上,并且经由被设置在第一面11a上的配线层以及晶体振动体20的一组端子24而与晶体振动体20的电极22及23电连接。半导体装置30内置有振荡电路,从而以通过数字控制信号而被控制的振荡频率实施振荡动作并生成时钟信号。半导体装置30也可以是例如未被封入到封装件中的半导体芯片(裸芯片)。裸芯片通过倒装式接合等方式被安装在第一基板11的第一面11a上。

[0039] 图2为图1所示的晶体振荡器的仰视图。图2中的I-I表示通过图1而示出的截面的位置。如图2所示,封装件10具有四个边10a~10d。在图2所示的示例中,边10a与边10d大致平行,边10b与边10c大致平行,边10a与边10b大致正交。

[0040] 晶体振荡器110具有在封装件10中被配置在第一基板11的第一面11a上的包括多个配线图案50~59的配线层。各个配线图案中的一部分构成了与半导体装置30的各个端子电连接的IC连接衬垫。

[0041] 此外,晶体振荡器110具有在封装件10中被配置在第一基板11的第二面11b上的多个外部连接端子60~69。第一基板11上形成有多个通孔,通过这些通孔而使配线图案50~59与外部连接端子60~69分别电连接。

[0042] 配线图案50~59、以及外部连接端子60~69例如由铝(Al)或铜(Cu)等导电体构成。此外,在多个通孔内填充有例如铝(Al)、铜(Cu)、或钨(W)等导电体。

[0043] 外部连接端子60以及61被用作经由晶体振动体20的一组端子24而分别与电极22及23电连接的监视端子。在安装半导体装置30之前,通过使探测针与监视端子60及61抵接,从而利用外部装置来对晶体振动体20的共振特性进行测定,并且利用激光等而对电极23进行微调从而对晶体振动体20的共振频率进行调节。

[0044] 或者,通过使探测针与监视端子60及61抵接,并向晶体振动体20的电极22及23施加较大的交流电压,从而使晶体振动体20进行强激振来改善特性。此外,也可以将晶体振动体20的电极22及23连接于外部测定装置而对晶体振动体20的特性进行检查。例如,能够通

过使从外部测定装置施加在晶体振动体20的电极22及23上的电压发生变化,并对共振频率或阻抗等进行测定,从而基于测定值的大小或变化量,来对晶体振动体20为良品或不良品进行判断。

[0045] 作为一个示例,半导体装置30具有端子300~309。当半导体装置30被安装在第一基板11的第一面11a上时,半导体装置30的端子300及301经由配线图案50及51而分别与晶体振动体20的一组端子24电连接。此外,半导体装置30的端子302~309经由配线图案52~59而分别与外部连接端子62~69电连接。

[0046] 外部连接端子62及69作为分别被供给电源电位VCC及基准电位VEE的电源端子而被使用。外部连接端子63及64被用作分别输出通过振荡电路而生成的反相时钟信号以及正相时钟信号的输出端子。另外,时钟信号也可以不是差分信号,在该情况下,输出时钟信号的输出端子的数量可以为一个。外部连接端子65~67被用作分别被供给用于对振荡电路的动作状态进行更新的数字控制信号的控制端子。另外,只要被供给数字控制信号的控制端子的数量为一个以上即可。在外部连接端子68上,被供给输出使能信号。

[0047] 配线图案50及51对晶体振动体20的一组端子24和振荡电路进行电连接,并且分别与监视端子60及61电连接。另外,也可以在实施了晶体振动体20的共振频率的调节等之后,通过激光等而对配线图案50及51的一部分进行切割或消除监视端子60及61。

[0048] 配线图案52与被供给电源电位VCC的电源端子62电连接,配线图案59与被供给基准电位VEE的电源端子69电连接。配线图案53及54分别与输出通过振荡电路而生成的时钟信号的输出端子63及64电连接。配线图案55~57分别与被供给用于对振荡电路的动作状态进行更新的数字控制信号的控制端子65~67电连接。配线图案58与被供给输出使能信号的外部连接端子68电连接。

[0049] 在本实施方式中,输出通过振荡电路而生成的时钟信号的输出端子63及64沿着封装件10的第一边10a而配置。另一方面,被供给用于对振荡电路的动作状态进行更新的数字控制信号的控制端子65及66沿着封装件10的第二边10b而配置。或者,将被供给用于对振荡电路的动作状态进行更新的数字控制信号的控制端子67沿着封装件10的第二边10d而配置。另外,“第二边”是指与第一边10a不同的边的意思。

[0050] 如此一来,在振荡动作中对振荡频率动态地实施数字控制的晶体振荡器110中,通过将输出时钟信号的输出端子63及64与被供给数字控制信号的控制端子65~67配置在封装件10的不同的边上,从而能够增大对时钟信号进行传送的配线图案53及54与对数字控制信号进行传送的配线图案55~57之间的距离而降低两者的电容耦合,由此降低了由数字控制信号的干涉所导致的振荡精度的恶化。

[0051] 此外,对晶体振动体20的一组端子24和振荡电路进行电连接的配线图案50及51朝向封装件的第三边10c而延伸。由此,能够使对噪声敏感的配线图案50及51从时钟信号或数字控制信号的传送路径远离从而使两者的电容耦合下降,由此降低由时钟信号或数字控制信号的干涉所导致的振荡精度的恶化。

[0052] 并且,分别与输出端子63及64电连接的配线图案53及54与配线图案50及51在俯视观察时不交叉,并且,分别与控制端子65~67电连接的配线图案55~57与配线图案50~54在俯视观察时不交叉。另外,在本申请中,“俯视观察”是指,从与封装件10的主面垂直的方向透视观察各部分。

[0053] 由此,能够使对噪声敏感的配线图案50及51与对时钟信号进行传送的配线图案53及54、以及对数字控制信号进行传送的配线图案55~57之间的耦合电容下降,从而降低由时钟信号或数字控制信号的干涉所导致的振荡精度的恶化。

[0054] 此外,与被供给电源电位VCC的电源端子62电连接的配线图案52被配置在配线图案51与配线图案53及54之间,与被供给基准电位VEE的电源端子69电连接的配线图案59被配置在配线图案50与配线图案57之间。

[0055] 由此,能够使对噪声敏感的配线图案50或51与对时钟信号或数字控制信号进行传送的配线图案53、54、或57之间的耦合电容进一步下降,从而进一步降低由时钟信号或数字控制信号的干涉所导致的振荡精度的恶化。

[0056] 在半导体装置30中,输出时钟信号的端子303及304在半导体装置30中沿着最靠近封装件10的第一边10a的边而配置。另一方面,被供给数字控制信号的端子305及306在半导体装置30中沿着最靠近封装件10的第二边10b的边而配置。或者,被供给数字控制信号的端子307在半导体装置30中沿着最靠近封装件10的第二边10d的边而配置。

[0057] 由此,能够使对半导体装置30的端子303及304与输出端子63及64分别进行连接的配线图案53及54缩短、且使对半导体装置30的端子305~307与控制端子65~67分别进行连接的配线图案55~57缩短,从而使两者的电容耦合下降,由此降低由数字控制信号的干涉所导致的振荡精度的恶化。

[0058] 第二实施方式

[0059] 图3为本发明的第二实施方式所涉及的晶体振荡器的剖视图。在第二实施方式中,代替图1所示的第一实施方式中的半导体装置30,而由实施振荡动作并生成时钟信号的半导体装置70以及根据数字控制信号而对半导体装置70的振荡频率进行控制的半导体装置80构成振荡电路。关于其他点,第二实施方式可以与第一实施方式相同。

[0060] 半导体装置70及80在封装件10中被配置在第一基板11的第一面11a上。半导体装置70经由被设置在第一基板11的第一面11a上的配线层以及晶体振动体20的一组端子24而与晶体振动体20的电极22及23电连接。半导体装置70及80各自也可以是例如未被封入到封装件中的半导体芯片(裸芯片)。裸芯片通过倒装式接合等方式被安装在第一基板11的第一面11a上。

[0061] 图4为图3所示的晶体振荡器的仰视图。图4中的III-III表示通过图3所表示的截面的位置。如图4所示,封装件10具有四个边10a~10d。

[0062] 晶体振荡器110具有在封装件10中被配置在第一基板11的第一面11a上的包括多个配线图案50~59等的配线层。各个配线图案的一部分构成了与半导体装置70或80的各个端子电连接的IC连接衬垫。

[0063] 此外,晶体振荡器110具有在封装件10中被配置在第一基板11的第二面11b上的多个外部连接端子60~69。在第一基板11上形成有多个通孔,通过这些通孔而使配线图案50~59与外部连接端子60~69分别电连接。

[0064] 作为一个示例,半导体装置70具有端子71~78,半导体装置80具有端子81~86。当半导体装置70及80被安装在第一基板11的第一面11a上时,半导体装置70的端子72及73经由配线图案50及51而分别与晶体振动体20的一组端子24电连接。

[0065] 此外,端子74及75经由配线图案53及54而分别与输出端子63及64电连接。端子76

及71经由配线图案52及59而分别与电源端子62及69电连接。端子78经由配线图案58而与外部连接端子68电连接。

[0066] 半导体装置70的端子77经由配线图案而与半导体装置80的端子82电连接。由此，从半导体装置80的端子82输出的控制电压被供给至半导体装置70的端子77。半导体装置80的端子83及81经由配线图案52及59而与电源端子62及69电连接。端子84~86经由配线图案55~57而分别与控制端子65~67电连接。

[0067] 在本实施方式中，输出通过振荡电路而生成的时钟信号的输出端子63及64沿着封装件10的第一边10a而配置。另一方面，被供给用于对振荡电路的动作状态进行更新的数字控制信号的控制端子65及66沿着封装件10的第二边10b而配置。或者，将被供给用于对振荡电路的动作状态进行更新的数字控制信号的控制端子67沿着封装件10的第二边10d而配置。

[0068] 如上文所述，在振荡动作中对振荡频率动态地进行数字控制的晶体振荡器110中，通过将输出时钟信号的输出端子63及64和被供给数字控制信号的控制端子65~67配置在封装件10的不同的边上，从而能够增大对时钟信号进行传送的配线图案53及54与对数字控制信号进行传送的配线图案55~57之间的距离而使两者的电容耦合下降，进而降低由数字控制信号的干涉所导致的振荡精度的恶化。

[0069] 此外，对晶体振动体20的一组端子24和振荡电路进行电连接的配线图案50及51朝向封装件的第三边10c而延伸。由此，能够使对噪声敏感的配线图案50及51从时钟信号或数字控制信号的传送路径远离，从而使两者的电容耦合下降，进而降低由时钟信号或数字控制信号的干涉所导致的振荡精度的恶化。

[0070] 并且，分别与输出端子63及64电连接的配线图案53及54与配线图案50及51在俯视观察时不交叉，并且，分别与控制端子65~67电连接的配线图案55~57与配线图案50~54在俯视观察时不交叉。

[0071] 由此，能够使对噪声敏感的配线图案50及51与对时钟信号进行传送的配线图案53及54、以及对数字控制信号进行传送的配线图案55~57之间的耦合电容下降，从而降低由时钟信号或数字控制信号的干涉所导致的振荡精度的恶化。

[0072] 此外，与被供给电源电位VCC的电源端子62电连接的配线图案52被配置在配线图案51与配线图案53及54之间，与被供给基准电位VEE的电源端子69电连接的配线图案59被配置在配线图案50与配线图案57之间。

[0073] 由此，使对噪声敏感的配线图案50或51与对时钟信号或数字控制信号进行传送的配线图案53、54、或57之间的耦合电容进一步下降，从而进一步降低由时钟信号或数字控制信号的干涉所导致的振荡精度的恶化。

[0074] 在半导体装置70及80中，输出时钟信号的端子74及端子75在半导体装置70中沿着最靠近封装件10的第一边10a的边而配置。另一方面，被供给数字控制信号的端子84及端子85在半导体装置80中沿着最靠近封装件10的第二边10b的边而配置。或者，被供给数字控制信号的端子86在半导体装置80中沿着最靠近封装件10的第二边10d的边而配置。

[0075] 由此，能够使分别对半导体装置70的端子74及端子75与输出端子63及输出端子64进行连接的配线图案53及54缩短，并且使分别对半导体装置80的端子84~86与控制端子65~67进行连接的配线图案55~57缩短，从而使两者的电容耦合下降，进而降低由数字控制

信号的干涉所导致的振荡精度的恶化。

[0076] PLL电路的结构

[0077] 图5为表示使用了本发明的第一或第二实施方式所涉及的晶体振荡器的PLL (Phase Lock Loop: 锁相环) 电路的结构例的框图。如图5所示, 该PLL电路包括逻辑电路101、接口(I/F)电路102以及晶体振荡器110。在下文中, 作为一个示例, 对使用了第二实施方式所涉及的晶体振荡器的PLL电路进行说明。

[0078] 晶体振荡器110包括串行接口(I/F)801、DAC(数字/模拟转换器)802、LPF(低通滤波器)803、VCX0(电压控制晶体振荡器)701以及输出电路702。在此, 串行接口801~LPF803被内置在半导体装置80内, VCX0701以及输出电路702被内置在半导体装置70中。

[0079] 图6为表示图5所示的VCX0的结构例的电路图。如图6所示, VCX0701包括NPN双极型晶体管Q1、电容器C1~C4、阻抗R1~R4以及缓冲放大器BA1。在端子72与端子73之间连接有晶体振动体20。

[0080] 在端子76上被供给电源电位VCC, 在端子71上被供给基准电位VEE。阻抗R1及R2被串联连接在晶体振动体20的两个电极之间。电容器C1及C2分别被连接在晶体振动体20的两个电极与基准电位VEE的配线之间。电容器C3被连接在晶体振动体20的一个电极与晶体管Q1的集电极之间。电容器C4被连接在晶体振动体20的另一个电极与晶体管Q1的基极之间。

[0081] 晶体管Q1的集电极经由阻抗R3而与电源电位VCC的配线连接, 发射极与基准电位VEE的配线连接。阻抗R4被连接在晶体管Q1的集电极与基极之间。缓冲放大器BA1将在晶体管Q1的集电极上所生成的振荡信号进行缓冲而向图5所示的输出电路702供给。例如, 输出电路702基于振荡信号而生成正相时钟信号OUT以及反相时钟信号OUTX并向外部电路输出。正相时钟信号OUT还被供给至逻辑电路101。

[0082] 晶体管Q1实施反相放大动作, 并在集电极上所生成的振荡信号经由晶体振动体20等而被反馈到基极。此时, 晶体振动体20通过由晶体管Q1所施加的交流电压而进行振动。该振动在固有的共振频率中被大幅度激发, 从而晶体振动体20作为负电阻而进行动作。其结果为, VCX0701主要以由晶体振动体20的共振频率决定的振荡频率进行振荡。

[0083] 然而, 通过对电容器C1或C2的电容值进行变更, 从而能够对VCX0701的振荡频率进行微调节。在此, 在图6所示的示例中, 电容器C1及C2由例如根据向端子77供给的控制电压而电容值发生变化的可变电容二极管(变容二极管)构成。可变电容二极管根据被施加在阴极与阳极之间的反向偏置电压而使电容值变化。

[0084] 当再次参照图5时, 逻辑电路101通过将从输出电路702供给的正相时钟信号OUT的相位或频率与基准信号的相位或频率进行比较而生成误差信号, 并将该误差信号向接口电路102输出。接口电路102基于从逻辑电路101输出的误差信号而生成用于对VCX0701的动作状态进行更新的数字控制信号。在数字控制信号的串行传送中, 能够使用SPI规格或I2C规格等。

[0085] 例如, 接口电路102也可以生成用于实施串行传送的串行时钟信号、用于对振荡频率进行调节的串行的控制数据、以及用于对半导体装置(芯片)进行选择的芯片选择信号。接口电路102将这些数字控制信号向被内置在半导体装置80中的串行接口801输出。成为噪声源的串行时钟信号以及控制数据分别被输出至图4所示的端子84及86。

[0086] 串行接口801接收从接口电路102被输出的数字控制信号并供给至DAC802。DAC802

将从串行接口801供给的控制数据转换为控制电压。LPF803对从DAC802输出的控制电压实施低通滤波处理。从LPF803输出的控制电压经由图4所示的端子77而被供给至VCX0701。由此,能够从外部对VCX0701的振荡频率进行控制。

[0087] 图7为表示多个端子间的寄生电容与振荡信号中的寄生电平之间的关系图。在图7中,横轴表示寄生电容(F),纵轴表示相对于基本波(载波)的每1Hz的寄生电平(dBc/Hz)。寄生是指,高频波或低频波或通过寄生振动等而产生的基本波以外的成分。此外,实线表示测定值,也包括测定误差。另一方面,虚线表示计算值。

[0088] 图7的(A)表示图4所示的半导体装置70的端子73与半导体装置80的端子86之间的寄生电容和寄生电平之间的关系。根据计算值,为了将寄生电平设为-120dBc/Hz,而需要将端子间的寄生电容设为 1.14×10^{-16} F。

[0089] 图7的(B)表示图4所示的半导体装置70的端子72与半导体装置80的端子86之间的寄生电容和寄生电平之间的关系。根据计算值,为了将寄生电平设为-120dBc/Hz,而需要将端子间的寄生电容设为 6.05×10^{-15} F。

[0090] 图7的(C)表示图4所示的半导体装置70的端子77与半导体装置80的端子86之间的寄生电容与寄生电平之间的关系。根据计算值,为了将寄生电平设为-120dBc/Hz,而需要将端子间的寄生电容设为 6.28×10^{-14} F。

[0091] 一般情况下,在将数字信号的电压设为Vd、将噪声产生源与噪声接收侧之间的寄生电容(耦合电容)设为Cd、将噪声接收侧与基准电位的配线之间的容量设为Cg时,混入至基本波中的数字信号的噪声的功率Pd通过下式(1)来表示。

$$[0092] \quad Pd = QV = Cd^3 \times Cg / (Cd + Cg)^3 \times Vd^2 \cdots (1)$$

[0093] 在此,数字信号的电压Vd通过所使用的电子设备来确定,噪声接收侧的电容Cg由于会影响振荡频率的可变范围从而不能变更。因此,为了降低噪声的影响,只有减小寄生电容Cd。

[0094] 另一方面,在将模拟噪声的电压设为Va时,被输入到VCX0的控制电压输入端子的模拟噪声的功率Pa由下式(2)来表示。

$$[0095] \quad Pa = (Cd + Cg) \times Va^2 \cdots (2)$$

[0096] 在实施数字控制的振荡器中,优选为,将数字噪声设为与模拟噪声相比而足够小,并设为不逊色于实施模拟控制的振荡器的噪声特性。在此,当根据式(1)及(2)来试算为了达到 $Pd < Pa$ 的寄生电容Cd的值时,则如下所述。

[0097] 例如,当代入普通的插入电容10pF以作为Cg,并代入与电源电压相同的3.3V以作为Vd,并代入一般的噪声电平 $60 \text{ nV/Hz}^{1/2}$ 以作为Va,并根据式(1)及(2)而求出为了达到 $Pd < Pa$ 的寄生电容Cd时,成为0.069aF(阿托法拉(atto-Farad): 10^{-18} F)以下。该电容相当于噪声接收侧的电容Cg的大约15万分之一。

[0098] 寄生电容Cd由下式(3)来表示。

$$[0099] \quad Cd = \epsilon_0 \times \epsilon_r \times S / r \cdots (3)$$

[0100] 在此 ϵ_0 为真空的电容率, ϵ_r 为绝缘材料的相对电容率,S为并排布置的噪声产生源图案与噪声接收侧图案的对置面积,r为噪声产生源图案与噪声接收侧图案之间的距离。

[0101] 为了减小寄生电容Cd,只要将两个图案的对置面积S减小、或者将两个图案之间的距离r增大即可。在此,在本发明的各实施方式中,通过将噪声产生源图案与噪声接收侧图

案之间的距离 r 增大,从而使两者的电容耦合下降,进而将降低由数字控制信号等的干涉所导致的振荡精度的恶化作为着重点。

[0102] 电子设备

[0103] 接下来,对使用了本发明的任意一个实施方式所涉及的晶体振荡器的电子设备进行说明。

[0104] 图8为表示本发明的一个实施方式所涉及的电子设备的第一结构例的框图。

[0105] 该电子设备包括本发明的任意一个实施方式所涉及的晶体振荡器110、CPU120、操作部130、ROM(只读存储器)140、RAM(随机存取存储器)150、通信部160、显示部170以及声音输出部180。另外,也可以对图8所示的结构要素的一部分进行省略或变更,或者,也可以将其其他结构要素追加到图8所示的结构要素中。

[0106] 晶体振荡器110通过以根据数字控制信号而被控制的振荡频率来实施振荡动作,从而生成时钟信号。通过晶体振荡器110而生成的时钟信号经由CPU120等而被供给至电子设备的各部。

[0107] CPU120与从晶体振荡器110供给的时钟信号同步地动作,并按照被存储于ROM140等中的程序来实施各种的信号处理及控制处理。例如,CPU120根据从操作部130供给的操作信号而实施各种的信号处理、或者为了在与外部之间实施数据通信而对通信部160进行控制。或者,CPU120生成用于使显示部170显示各种图像的图像信号、或生成用于使声音输出部180输出各种声音的声音信号。

[0108] 操作部130为例如包括操作键或按钮开关等的输入装置,并将与由用户所进行的操作相对应的操作信号向CPU120输出。ROM140对用于使CPU120实施各种信号处理或控制处理的程序或数据等进行存储。此外,RAM150被用作CPU120的作业区域,并对从ROM140读取的程序及数据、利用操作部130而被输入的数据、或者CPU120按照程序而执行的运算结果等进行临时存储。

[0109] 通信部160例如由模拟电路以及数字电路构成,并实施CPU120与外部装置之间的数据通信。显示部170包括例如LCD(液晶显示装置)等,并基于从CPU120供给的图像信号来显示各种信息。此外,声音输出部180包括例如扬声器等,并基于从CPU120供给的声音信号而对声音进行输出。

[0110] 作为上述的电子设备,例如,移动电话等移动终端、数码照相机、数字电影、电视机、可视电话、防盗用视频监视器、头戴式显示器、个人计算机、打印机、网络设备、复合机、车载装置(导航装置等)、台式电子计算机、电子词典、电子游戏设备、机器人、测量设备、以及医疗设备(例如,电子体温计、血压计、血糖仪、心电图计测装置、超音波诊断装置、以及电子内窥镜)等属于这种电子设备。

[0111] 图9为表示本发明的一个实施方式所涉及的电子设备的第二结构例的方框图。

[0112] 在该示例中,对时钟以及定时器进行说明。本发明的一个实施方式所涉及的时钟包括本发明的任意一个实施方式所涉及的晶体振荡器110、分频器111、操作部130、显示部170、声音输出部180以及计时部190。此外,本发明的一个实施方式所涉及的定时器取代声音输出部180而包括控制部200。另外,也可以省略或变更图9所示的结构要素的一部分,或者,也可以将其其他的结构要素追加到图9所示的结构要素中。

[0113] 分频器111例如由多个触发器等构成,并对从晶体振荡器110供给的时钟信号进行

分频,并生成计时用的分频时钟信号。计时部190例如由计数器等构成,并基于从分频器111供给的分频时钟信号而实施计时动作,再生成表示当前时刻及警报时刻的显示信号、或用于产生警报声的警报信号。

[0114] 操作部130为了在计时部190中对当前时刻及警报时刻进行设定而被使用。显示部170根据从计时部190供给的显示信号而对当前时刻或警报时刻进行显示。声音输出部180根据从计时部190供给的警报信号而产生警报声。

[0115] 在定时器的情况下,代替警报功能而设置定时功能。即,计时部190生成表示当前时刻与设定时刻一致的情况的定时信号。控制部200根据从计时部190供给的定时信号而使与定时器连接的设备启动或关闭。

[0116] 根据本实施方式,能够提供一种以使用降低了由数字控制信号等的干涉所导致的振荡精度的恶化的晶体振荡器110而生成的准确的时钟信号来进行动作的电子设备。

[0117] 移动体

[0118] 接下来,对使用了本发明的任意一个实施方式所涉及的晶体振荡器的移动体进行说明。作为移动体,例如,汽车、自走式机器人、自走式输送设备、火车、船舶、飞机、或人造卫星等属于该移动体。

[0119] 图10为表示本发明的一个实施方式所涉及的移动体的结构例的框图。如图10所示,该移动体包括本发明的任意一个实施方式所涉及的晶体振荡器110,并且,搭载有电子控制式燃料喷射装置210、电子控制式ABS装置220、或电子控制式恒定速度行驶装置230等各种电子控制式装置。另外,也可以省略或变更图10所示的结构要素的一部分,或者,也可以将其他结构要素追加到图10所示的结构要素中。

[0120] 晶体振荡器110通过以由数字控制信号所控制的振荡频率来实施振荡动作,从而生成时钟信号。通过晶体振荡器110而生成的时钟信号被供给至电子控制式燃料喷射装置210、电子控制式ABS装置220、或电子控制式恒定速度行驶装置230等。

[0121] 电子控制式燃料喷射装置210与从晶体振荡器110供给的时钟信号同步地动作,并在汽油发动机等预混合燃烧机构中,在预定的正时以雾状向吸入空气中喷射液体的燃料。电子控制式ABS(防抱死制动系统)装置220与从晶体振荡器110供给的时钟信号同步地动作,并反复进行如下动作,即,在以进行制动的方式实施操作时,以逐渐强劲的方式对致动器进行驱动,并在移动体开始滑行后暂缓制动之后再次对制动进行驱动。电子控制式恒定速度行驶装置230与从晶体振荡器110供给的时钟信号同步地动作,并且一边对移动体的速度进行监视一边以使移动体的速度恒定的方式对加速或制动等进行控制。

[0122] 根据本实施方式,能够提供一种以使用降低了由数字控制信号等的干涉所导致的振荡精度的恶化的晶体振荡器110而生成的准确的时钟信号来进行动作的移动体。

[0123] 虽然在上述的实施方式中,对使用了晶体振荡器的晶体振荡器进行了说明,但本发明并不限于以上所说明的实施方式,也可以应用于使用了晶体以外的压电体等的振荡器中。如此,能够通过在该技术领域中具有普通知识的人而在本发明的技术思想内进行多种变形。

[0124] 符号说明

[0125] 10…封装件;11、12…基板;20…晶体振动体;21…晶体片;22、23…电极;24…一组端子;30、70、80…半导体装置;300~309、71~78、81~86…半导体装置的端子;40…盖部;

50～59…配线图案;60～69…外部连接端子;101…逻辑电路;102…接口电路;110…晶体振荡器;111…分频器;120…CPU;130…操作部;140…ROM;150…RAM;160…通信部;170…显示部;180…声音输出部;190…计时部;200…控制部;210…电子控制式燃料喷射装置;220…电子控制式ABS装置;230…电子控制式恒定速度行驶装置;701…VCX0;702…输出电路;801…串行接口;802…DAC;803…LPF;Q1…晶体管;C1～C4…电容器;R1～R4…阻抗;BA1…缓冲放大器。

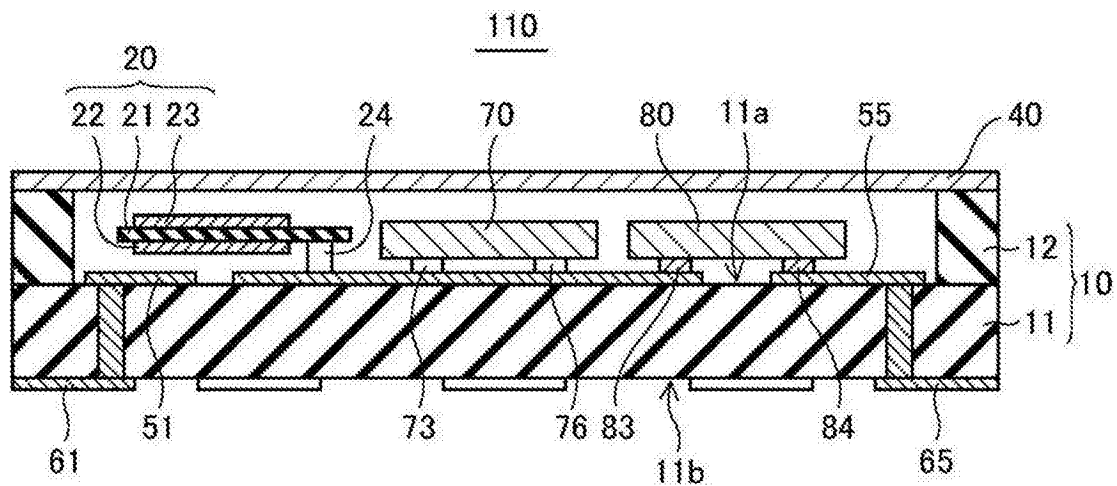


图3

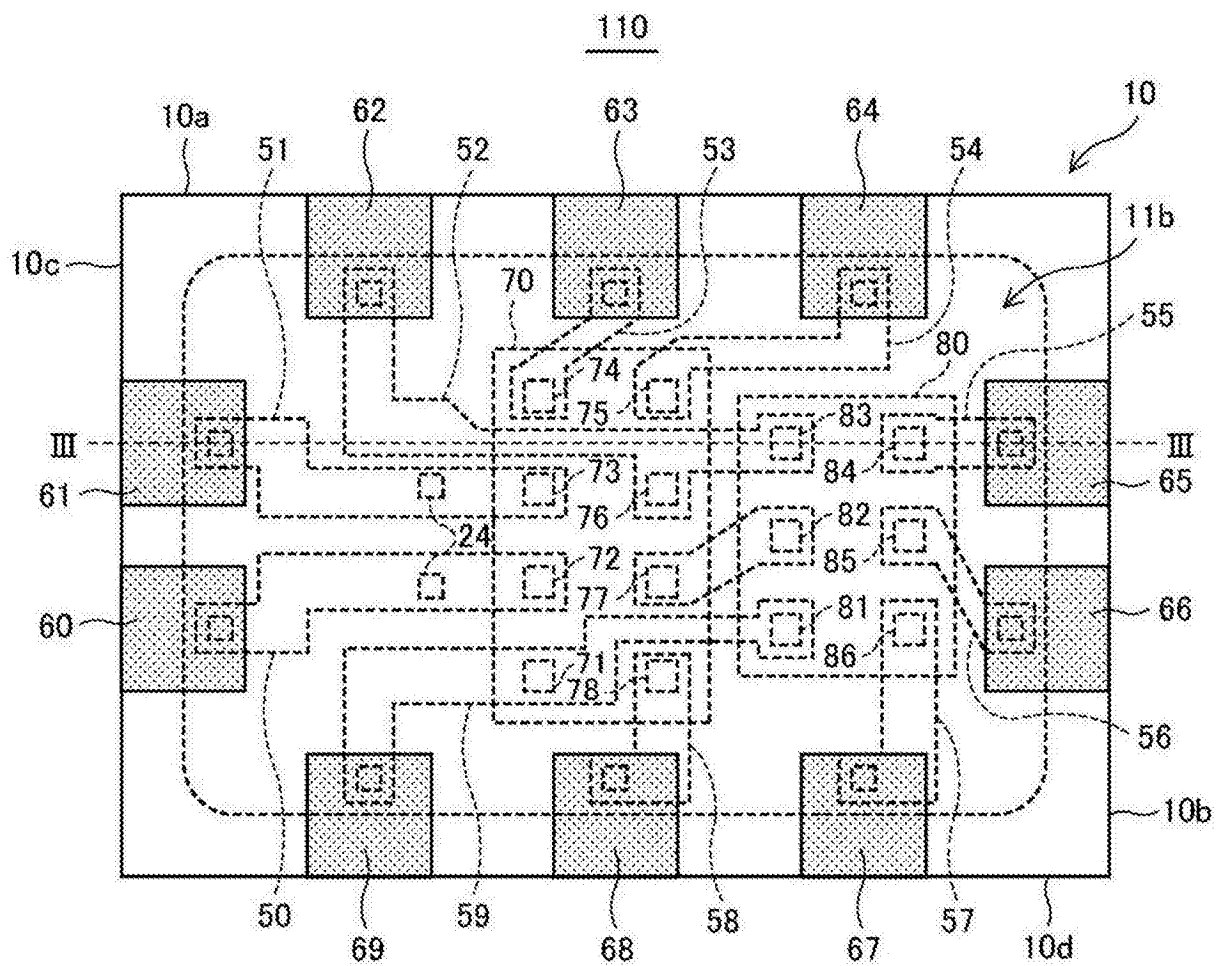


图4

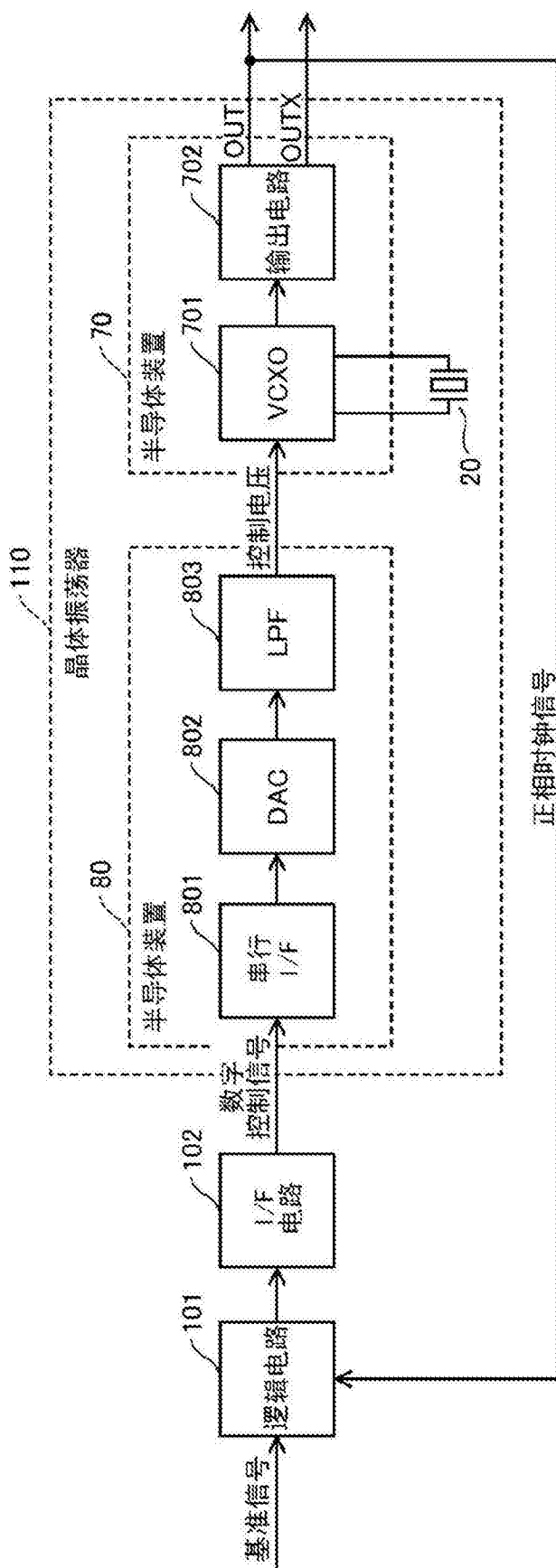


图5

701

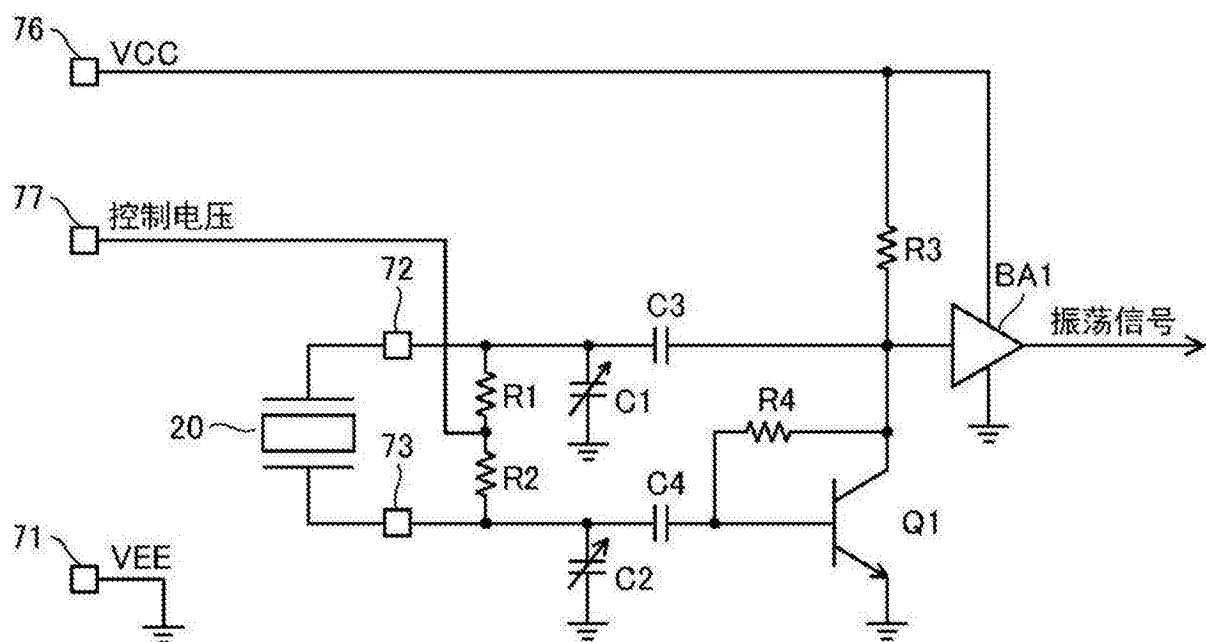


图6

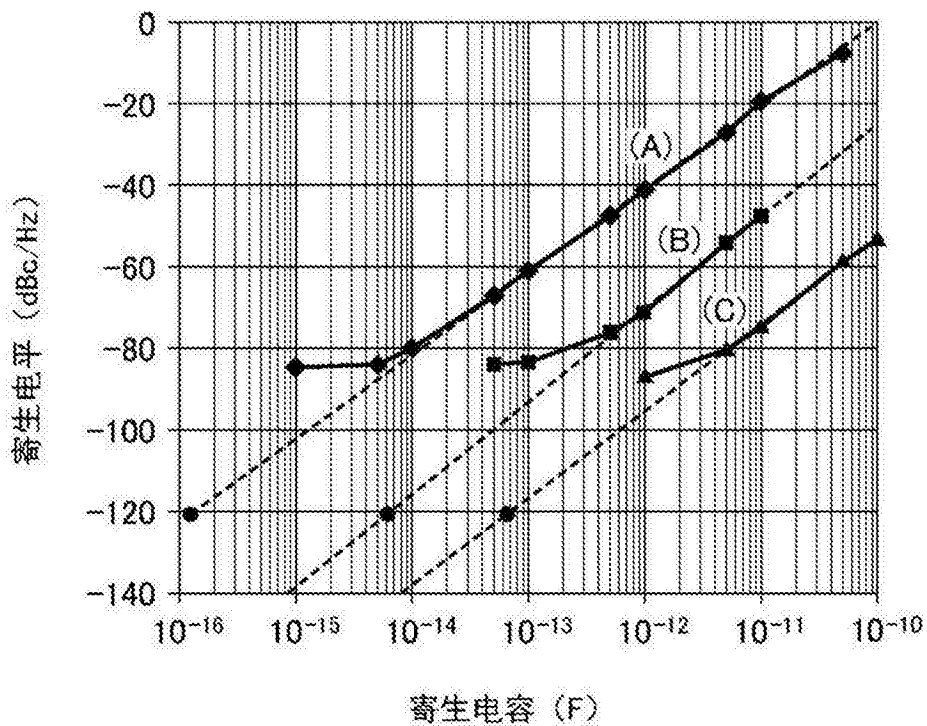


图7

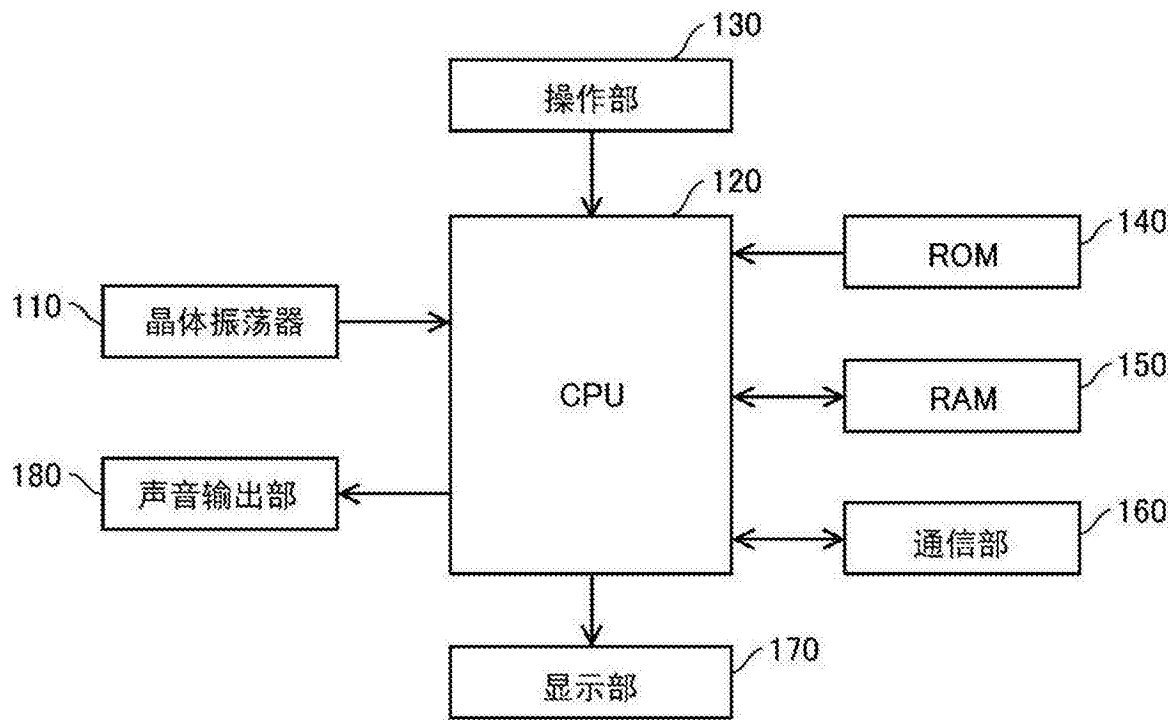


图8

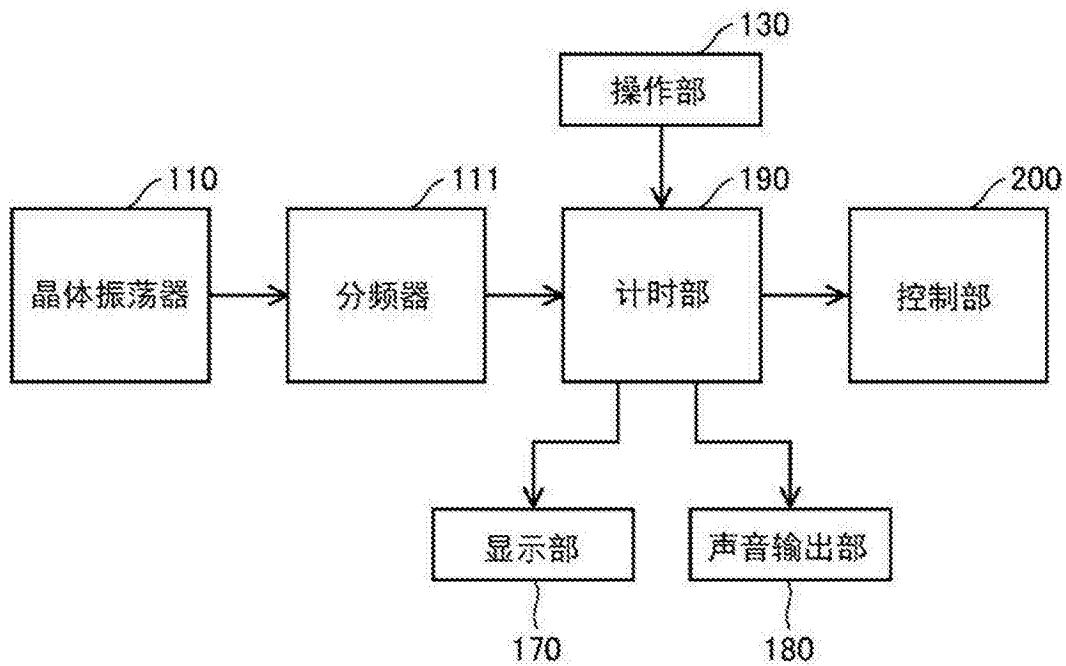


图9

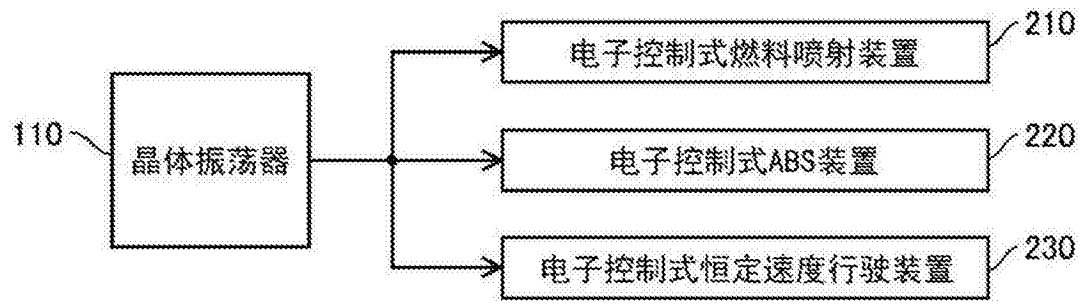


图10