

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 5 月 7 日 (07.05.2020)



(10) 国际公布号
WO 2020/087588 A1

(51) 国际专利分类号:

G02F 1/1343 (2006.01)

国湖北省武汉市东湖开发区高新大道666号生物城C5栋, Hubei 430079 (CN)。

(21) 国际申请号:

PCT/CN2018/116284

(74) 代理人: 深圳市德力知识产权代理事务所(COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市福田区上步中路深勘大厦 15E, Guangdong 518028 (CN)。

(22) 国际申请日:

2018 年 11 月 19 日 (19.11.2018)

(25) 申请语言:

中文

(26) 公布语言:

中文

(30) 优先权:

201811271066.9 2018年10月29日 (29.10.2018) CN

(71) 申请人: 武汉华星光电技术有限公司(WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道666号生物城C5栋, Hubei 430079 (CN)。

(72) 发明人: 聂晓辉(NIE, Xiaohui); 中国湖北省武汉市东湖开发区高新大道666号生物城C5栋, Hubei 43007 (CN)。 张嘉伟(ZHANG, Jiawei); 中

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,

(54) Title: DISPLAY PANEL CIRCUIT STRUCTURE

(54) 发明名称: 显示面板电路结构

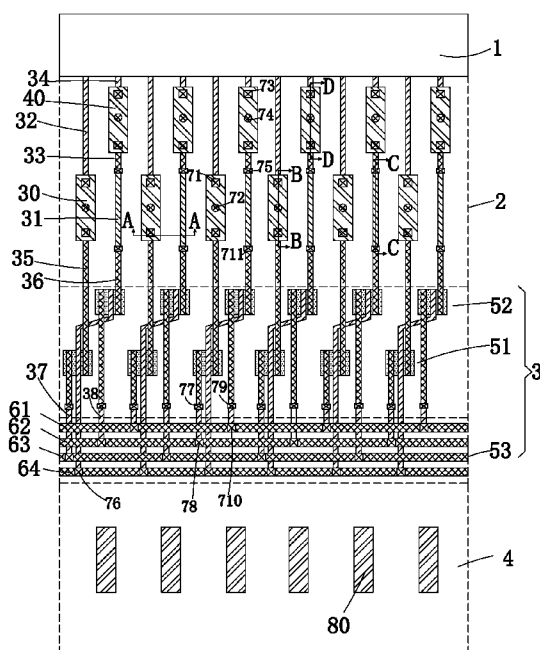


图5

(57) Abstract: Disclosed is a display panel circuit structure, comprising a display area (1) and an output bonding area (2) located on one side of the display area (1), wherein the output bonding area (2) comprises: multiple first bonding pads (30) arranged in parallel at intervals and multiple first connecting wires (31) located between the various first bonding pads (30); each of the first bonding pads (30) comprises: a first bottom bonding pad (301), a first middle bonding pad (302) and a first top bonding pad (303); the first bottom bonding pads (301) and the first connecting wires (31) are all located on a first metal layer (91), the first middle bonding pads (302) are located on a second metal layer (92), and the first top bonding pads (303) are located on a transparent conducting layer (93); the first metal layer (91), the second metal layer (92) and the transparent conducting layer (93) are arranged in sequence in a stacked manner; and an interlayer insulation layer (94) is arranged between the first metal layer (91) and the second metal layer (92), and a passivation layer (95) is arranged between the second metal layer (92) and the transparent conducting layer (93). By arranging the first connecting wires (31) on the first metal layer (91), the problem of short circuiting between the first bonding pads (30) and the first connecting wires (31) between the first bonding pads (30) during chip lamination can be avoided, thereby increasing the process yield and ensuring product quality.



NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

(57) 摘要：一种显示面板电路结构，包括显示区(1)及位于显示区(1)的一侧的输出邦定区(2)；输出邦定区(2)包括：平行间隔排列的多个第一邦定焊盘(30)以及位于各个第一邦定焊盘(30)之间的多条第一连接线(31)；每一个第一邦定焊盘(30)均包括：第一底焊盘(301)、第一中焊盘(302)以及第一顶焊盘(303)；第一底焊盘(301)与第一连接线(31)均位于第一金属层(91)，第一中焊盘(302)位于第二金属层(92)，第一顶焊盘(303)位于透明导电层(93)，第一金属层(91)、第二金属层(92)及透明导电层(93)依次层叠设置，且第一金属层(91)与第二金属层(92)之间设有层间绝缘层(94)，第二金属层(92)与透明导电层(93)之间设有钝化层(95)，通过将第一连接线(31)设置于第一金属层(91)，能够避免在芯片压合时出现第一邦定引脚(30)之间的第一连接线(31)与第一邦定引脚(30)短路的问题，提升制程良率，保证产品质量。

显示面板电路结构

技术领域

本发明涉及显示技术领域，尤其涉及一种显示面板电路结构。

背景技术

随着显示技术的发展，液晶显示器（Liquid Crystal Display, LCD）等平面显示装置因具有高画质、省电、机身薄及应用范围广等优点，而被广泛的应用于手机、电视、个人数字助理、数码相机、笔记本电脑、台式计算机等各种消费性电子产品，成为显示装置中的主流。

现有市场上的液晶显示装置大部分为背光型液晶显示器，其包括液晶显示面板及背光模组（backlight module）。液晶显示面板的工作原理是在两片平行的玻璃基板当中放置液晶分子，两片玻璃基板中间有许多垂直和水平的细小电线，通过通电与否来控制液晶分子改变方向，将背光模组的光线折射出来产生画面。

通常液晶显示面板由彩膜基板（CF, Color Filter）、薄膜晶体管基板（TFT, Thin Film Transistor）、夹于彩膜基板与薄膜晶体管基板之间的液晶（LC, Liquid Crystal）及密封胶框（Sealant）组成，其成型工艺一般包括：前段阵列（Array）制程（薄膜、黄光、蚀刻及剥膜）、中段成盒（Cell）制程（TFT基板与CF基板贴合）及后段模组组装制程（驱动IC与印刷电路板压合）。其中，前段Array制程主要是形成TFT基板，以便于控制液晶分子的运动；中段Cell制程主要是在TFT基板与CF基板之间添加液晶；后段模组组装制程主要是驱动IC压合与印刷电路板的整合，进而驱动液晶分子转动，显示图像。

如图1所示，现有的液晶显示面板包括依次排列的显示区1'、输出邦定（IC Output Pin）区2'、测试控制（Test Cricuit）区3'及输出邦定（IC input Pin）区4'，其中输出邦定（IC Output Pin）区2'的结构如图2所示，包括平行间隔排列的多个第一邦定焊盘30'、位于各个第一邦定焊盘30'之间的多条第一连接线31'、分别位于所述第一连接线31'和显示区1'之间的多个第二邦定焊盘40'、分别位于所述多个第一邦定焊盘30'与显示区1'之间的第二连接线32'、分别位于所述多个第二邦定焊盘40'和显示区1'之间的第三连接线33'以及分别位于所述多个第一邦定焊盘30'与测试控制区3'之间的第四连接线34'；如图3所示，所述第一邦定焊盘30'和第二邦定焊盘40'

均包括：底焊盘 301'、位于所述底焊盘 301'上方并与所述底焊盘 301'电性连接的中焊盘 302'以及位于所述中焊盘 302'上方并与中焊盘 302'电性连接的顶焊盘 303'，所述底焊盘 301'、第二连接线 32'及第三连接线 33'均位于第一金属层，所述中焊盘 302'、第一连接线 31'及第四连接线 34'位于第二金属层，所述顶焊盘 303'位于透明导电层，所述第一金属层与第二金属层之间具有层间绝缘层 94'，所述第二金属层与透明导电层之间具有钝化层 95'；所述第一邦定焊盘 30'的底焊盘 301'通过第二连接线 32'与显示区 1'电性连接，所述第一邦定焊盘 30'的中焊盘 302'通过第四连接线 34'与测试控制区 3'电性连接，所述第二邦定焊盘 40'的底焊盘 301'通过第三连接线 33'与显示区 1'电性连接，所述第二邦定焊盘 40'的中焊盘 302'通过第一连接线 31'与测试控制区 3'电性连接。

其中，所述第一邦定焊盘 30'和第二邦定焊盘 40'均用于邦定(Bonding)驱动芯片，然而如图 4 所示，由于第一邦定焊盘 30'与第一连接线 31'之间的间距很小，而第一连接线 31'上方仅覆盖一层钝化层 95'，在邦定时，由于连接线制程工艺不佳、钝化层覆盖不佳及邦定工艺精度不良等原因，容易出现钝化层 95'被破裂，导致驱动芯片将第一邦定焊盘 30'与第一连接线 31'连接到一起，进而造成向显示区输入的驱动信号异常，引起显示不良。

发明内容

本发明的目的在于提供一种显示面板电路结构，能够避免在芯片压合时出现邦定引脚之间的连接线与邦定引脚短路的问题，提升制程良率，保证产品质量。

为实现上述目的，本发明提供了一种显示面板电路结构，包括显示区及位于所述显示区的一侧的输出邦定区；

所述输出邦定区包括：平行间隔排列的多个第一邦定焊盘以及位于各个第一邦定焊盘之间的多条第一连接线；

每一个第一邦定焊盘均包括：第一底焊盘、位于所述第一底焊盘上方并与所述第一底焊盘电性连接的第一中焊盘以及位于所述第一中焊盘上方并与第一中焊盘电性连接的第一顶焊盘；

所述第一底焊盘与所述第一连接线均位于第一金属层，所述第一中焊盘位于第二金属层、所述第一顶焊盘位于所述透明导电层，所述第一金属层第二金属层及透明导电层依次层叠设置，且所述第一金属层与第二金属层之间设有层间绝缘层，所述第二金属层与所述透明导电层之间设有钝化层。

所述显示面板电路结构还包括分别位于所述多个第一邦定引脚与显示区之间的多条第二连接线，所述第二连接线位于第一金属层；

每一条第二连接线一端均电性连接其对应的第一邦定引脚的第一导电部，另一端均电性连接显示区。

- 5 所述显示面板电路结构还包括：分别位于所述多条第一连接线与所述显示区之间的多个第二邦定焊盘、分别位于所述多条第一连接线和多个第二邦定焊盘之间的多条第三连接线以及分别位于所述多个第二邦定焊盘与所述显示区之间的多条第四连接线；

- 10 每一个第二邦定焊盘均包括第二底焊盘、位于所述第二底焊盘上方并与所述第二底焊盘电性连接的第二中焊盘以及位于所述第二中焊盘上方并与第二中焊盘电性连接的第二顶焊盘；

所述第二底焊盘和第四连接线位于第一金属层，所述第二中焊盘和第三连接线位于第二金属层，所述第二顶焊盘位于透明导电层；

- 15 每一条第三连接线的一端均电性连接其对应的第一连接线，另一端均电性连接其对应的第二邦定焊盘的第二中焊盘，每一条第四连接线的一端均电性连接其对应的第二邦定焊盘的第二底焊盘，另一端电性连接显示区。

- 20 所述显示面板电路结构还包括位于所述输出邦定区远离所述显示区的一侧的测试控制区、分别位于所述多个第一邦定焊盘与所述测试控制区之间的第五连接线以及分别位于所述多条第一连接线与所述测试控制区之间的第六连接线；

所述第五连接线和第六连接线均位于第二金属层；

每一条第五连接线的一端均与其对应的第一邦定焊盘的第一中焊盘电性连接，另一端电性连接测试控制区；

- 25 每一条第六连接线的一端均与其对应的第一连接线电性连接，另一端电性连接测试控制区。

所述测试控制区包括多个第一薄膜晶体管、多个第二薄膜晶体管、多条第七连接线、多条第八连接线及信号输入部；

- 30 每一个第一薄膜晶体管的栅极均与所述信号输入部电性连接，源极对应电性连接一条第五连接线的另一端，漏极对应电性连接一条第七连接线的一端；

每一个第二薄膜晶体管的栅极均对应与一个第二薄膜晶体管的栅极电性连接，源极对应电性连接一条第六连接线的另一端，漏极对应电性连接一条第八连接线的一端；

每一条第七连接线的另一端和每一条第八连接线的另一端均电性连接

所述信号输入部;

所述第一薄膜晶体管的栅极、第二薄膜晶体管的栅极、第七连接线及第八连接线均位于第一金属层, 所述第一薄膜晶体管的源极和漏极、第二薄膜晶体管的源极和漏极及信号输入部均位于第二金属层。

5 所述信号输入部包括平行间隔排列的第一数据信号线、第二数据信号线及第三数据信号线和控制信号线;

每一个第一薄膜晶体管的栅极均与所述控制信号线电性连接, 每一条第七连接线的另一端和每一条第八连接线的另一端均与一条数据信号线电性连接且相邻的第七连接线和第八连接线电性连接的数据信号线不同。

10 所述第一底焊盘和第一中焊盘之间通过贯穿层间绝缘层的第一过孔电性连接, 所述第一中焊盘和第一顶焊盘之间通过贯穿钝化层的第二过孔电性连接。

所述第二底焊盘和第二中焊盘之间通过贯穿层间绝缘层的第三过孔电性连接, 所述第二中焊盘和第二顶焊盘之间通过贯穿钝化层的第三过孔电性连接, 所述第三连接线和第一连接线之间通过贯穿层间绝缘层的第五过孔电性连接。

每一个第一薄膜晶体管的栅极均通过贯穿所述层间绝缘层的第六过孔与信号输入部电性连接, 每一个第一薄膜晶体管的漏极均通过贯穿所述层间绝缘层的第七过孔与所述第七连接线电性连接, 每一条第七连接线均通过贯穿所述层间绝缘层的第八过孔与信号输入部电性连接, 每一个第二薄膜晶体管的漏极均通过贯穿所述层间绝缘层的第九过孔与所述第八连接线电性连接, 每一条第八连接线均通过贯穿所述层间绝缘层的第十过孔与信号输入部电性连接, 每一条第六连接线均通过贯穿所述层间绝缘层的第十一过孔与其对应的第一连接线电性连接。

25 位于所述测试控制区远离所述输出邦定区的一侧的输入邦定区, 所述输入邦定区内设有多个间隔排列的输入邦定焊盘。

本发明的有益效果: 本发明提供一种显示面板电路结构, 包括显示区及位于所述显示区的一侧的输出邦定区; 所述输出邦定区包括: 平行间隔排列的多个第一邦定焊盘以及位于各个第一邦定焊盘之间的多条第一连接线; 每一个第一邦定焊盘均包括: 第一底焊盘、位于所述第一底焊盘上方并与所述第一底焊盘电性连接的第一中焊盘以及位于所述第一中焊盘上方并与第一中焊盘电性连接的第一顶焊盘; 所述第一底焊盘与所述第一连接线均位于第一金属层, 所述第一中焊盘位于第二金属层、所述第一顶焊盘位于所述透明导电层, 所述第一金属层第二金属层及透明导电层依次层叠

设置，且所述第一金属层与第二金属层之间设有层间绝缘层，所述第二金属层与所述透明导电层之间设有钝化层，通过将所述第一连接线设置于第一金属层，能够避免在芯片压合时出现第一邦定引脚之间的第一连接线与第一邦定引脚短路的问题，提升制程良率，保证产品质量。

5

附图说明

为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

10

附图中，

图 1 为现有的液晶显示面板的结构图；

图 2 为现有的液晶显示面板中输入邦定区的结构图；

图 3 为图 2 中 A'-A' 处的剖面图；

图 4 为图 2 中 B'-B' 处的剖面图；

15

图 5 为本发明的显示面板电路结构的俯视图；

图 6 为图 5 中 A-A 处的剖面图；

图 7 为图 5 中 B-B 处的剖面图；

图 8 为图 5 中 D-D 处的剖面图；

图 9 为图 5 中 C-C 处的剖面图；

20

图 10 为本发明的显示面板电路结构的膜层结构图。

具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

25

请参阅图 5 至图 10，本发明提供一种显示面板电路结构，包括显示区 1 及位于所述显示区 1 的一侧的输出邦定区 2；

所述输出邦定区 2 包括：平行间隔排列的多个第一邦定焊盘 30 以及位于各个第一邦定焊盘 30 之间的多条第一连接线 31；

30

请参阅图 7，每一个第一邦定焊盘 30 均包括：第一底焊盘 301、位于所述第一底焊盘 301 上方并与所述第一底焊盘 301 电性连接的第一中焊盘 302 以及位于所述第一中焊盘 302 上方并与第一中焊盘 302 电性连接的第一顶焊盘 303。

请参阅图 6 及图 10，所述第一底焊盘 301 与所述第一连接线 31 均位于第一金属层 91，所述第一中焊盘 302 位于第二金属层 92，所述第一顶焊盘

303 位于所述透明导电层 93, 所述第一金属层 91、第二金属层 92 及透明导电层 93 依次层叠设置, 且所述第一金属层 91 与第二金属层 92 之间设有层间绝缘层 94, 所述第二金属层 92 与所述透明导电层 93 之间设有钝化层 95。

在芯片邦定时, 位于第一邦定引脚 30 之间的第一连接线 31 位于第一金属层 91, 其上覆盖有层间绝缘层 94 和钝化层 95, 即便在制程出现误差, 压破层间绝缘层 94, 其上仍有钝化层 95 覆盖, 不会导致第一连接线 31 与第一邦定引脚 30 短路, 能够提升制程良率, 保证产品质量。

具体地, 所述显示面板电路结构还包括分别位于所述多个第一邦定引脚 30 与显示区 1 之间的多条第二连接线 32, 所述第二连接线 32 位于第一金属层 91;

每一条第二连接线 32 一端均电性连接其对应的第一邦定引脚 30 的第一导电部 301, 另一端均电性连接显示区 2。

具体地, 所述显示面板电路结构还包括: 分别位于所述多条第一连接线 31 与所述显示区 2 之间的多个第二邦定焊盘 40, 分别位于所述多条第一连接线 31 和多个第二邦定焊盘 40 之间的多条第三连接线 33 以及分别位于所述多个第二邦定焊盘 40 与所述显示区 2 之间的多条第四连接线 34;

请参阅图 8 及图 9, 每一个第二邦定焊盘 40 均包括第二底焊盘 401、位于所述第二底焊盘 301 上方并与所述第二底焊盘 401 电性连接的第二中焊盘 402 以及位于所述第二中焊盘 402 上方并与第二中焊盘 402 电性连接的第二顶焊盘 403;

所述第二底焊盘 401 和第四连接线 34 位于第一金属层 91, 所述第二中焊盘 402 和第三连接线 33 位于第二金属层 92, 所述第二顶焊盘 403 位于透明导电层 93;

每一条第三连接线 33 的一端均电性连接其对应的第一连接线 31, 另一端均电性连接其对应的第二邦定焊盘 40 的第二中焊盘 402, 每一条第四连接线 34 的一端均电性连接其对应的第二邦定焊盘 40 的第二底焊盘 401, 另一端电性连接显示区 2。

具体地, 所述显示面板电路结构还包括位于所述输出邦定区 2 远离所述显示区 1 的一侧的测试控制区 3、分别位于所述多个第一邦定焊盘 30 与所述测试控制区 3 之间的第五连接线 35 以及分别位于所述多条第一连接线 31 与所述测试控制区 3 之间的第六连接线 36;

所述第五连接线 35 和第六连接线 36 均位于第二金属层 92;

每一条第五连接线 35 的一端均与其对应的第一邦定焊盘 30 的第一中焊盘 302 电性连接, 另一端电性连接测试控制区 3;

每一条第六连接线 36 的一端均与其对应的第一连接线 31 电性连接，另一端电性连接测试控制区 3。

其中，所述测试控制区 3 用于接收测试信号，所述输入邦定区 2 用于将测试信号传输至显示区 1，所述显示区 1 用于在测试信号在驱动下发光，以完成对显示面板的画面测试，其中所述测试信号至少包括用于驱动所述显示区 3 内的各个子像素发光的数据信号（Data）。

具体地，所述测试控制区 3、输入邦定区 2 及显示区 1 均形成于一衬底基板 100 上，优选地所述衬底基板 100 为玻璃基板。

需要说明的是，所述第二连接线 32、第一邦定引脚 30 及第五连接线 35 依次串联形成第一传输通道，所述第四连接线 34、第二邦定引脚 40、第三连接线 33、第一连接线 31、第六连接线 36 依次串联形成第二传输通道，所述第一传输通道和第二传输通道交替重复排列，每一个第一传输通道和第二传输通道均电性连接所述显示区 3 内的一列子像素，并从所述测试控制区 1 接收数据信号传输至对应的子像素，以点亮所述子像素进行测试。

具体地，所述测试控制区 3 包括多个第一薄膜晶体管 51、多个第二薄膜晶体管 52、多条第七连接线 37、多条第八连接线 38 及信号输入部 53；

每一个第一薄膜晶体管 51 的栅极均与所述信号输入部 53 电性连接，源极对应电性连接一条第五连接线 35 的另一端，漏极对应电性连接一条第七连接线 37 的一端；

每一个第二薄膜晶体管 51 的栅极均对应与一个第二薄膜晶体管 52 的栅极电性连接，源极对应电性连接一条第六连接线 36 的另一端，漏极对应电性连接一条第八连接线 38 的一端；

每一条第七连接线 37 的另一端和每一条第八连接线 38 的另一端均电性连接所述信号输入部 53；

所述第一薄膜晶体管 51 的栅极、第二薄膜晶体管 52 的栅极、第七连接线 37 及第八连接线 38 均位于第一金属层 91，所述第一薄膜晶体管 51 的源极和漏极、第二薄膜晶体管 52 的源极和漏极及信号输入部 53 均位于第二金属层 92。

此外，所述第一薄膜晶体管 51 和第二薄膜晶体管 52 均还包括一有源层 96，所述有源层 96 位于其栅极下方，且有源层 96 与栅极之间设有栅极绝缘层 97。

进一步地，所述信号输入部 53 包括平行间隔排列的第一数据信号线 61、第二数据信号线 62 及第三数据信号线 63 和控制信号线 64；

每一个第一薄膜晶体管 51 的栅极均与所述控制信号线 64 电性连接，

每一条第七连接线 37 的另一端和每一条第八连接线 38 的另一端均与一条数据信号线电性连接且相邻的第七连接线 37 和第八连接线 38 电性连接的数据信号线不同。

具体连接关系例如图 4 所示, 第一个第一薄膜晶体管 51 的漏极电性连接第一数据信号线 61, 第一个第二薄膜晶体管 52 的漏极电性连接第二数据信号线 62, 第二个第一薄膜晶体管 52 的漏极电性连接第三数据信号线 63, 第二个第二薄膜晶体管 52 的漏极连接第一数据信号线 61, 第三个第一薄膜晶体管 51 的漏极连接第二数据信号线 62, 第三个第二薄膜晶体管 52 的漏极连接第三数据信号线 63, 依次类推, 其中所述第一数据信号线 61、第二数据信号线 62 及第三数据信号线 63 分别对应所述显示区 3 内的红色子像素、绿色子像素及蓝色子像素设置, 分别用于传输红色子像素、绿色子像素及蓝色子像素的数据信号, 而所述控制信号线 64 用于传输控制信号控制所述第一薄膜晶体管 51 和第二薄膜晶体管 52 的开闭。

具体地, 所述第一底焊盘 301 和第一中焊盘 302 之间通过贯穿层间绝缘层 94 的第一过孔 71 电性连接, 所述第一中焊盘 302 和第一顶焊盘 303 之间通过贯穿钝化层 95 的第二过孔 72 电性连接。

不同膜层之间的连接方式如下, 所述第二底焊盘 401 和第二中焊盘 402 之间通过贯穿层间绝缘层 94 的第三过孔 73 电性连接, 所述第二中焊盘 402 和第二顶焊盘 403 之间通过贯穿钝化层 95 的第三过孔 73 电性连接, 所述第三连接线 33 和第一连接线 31 之间通过贯穿层间绝缘层 94 的第五过孔 35 电性连接。

具体地, 每一个第一薄膜晶体管 51 的栅极均通过贯穿所述层间绝缘层 94 的第六过孔 76 与信号输入部 53 电性连接, 每一个第一薄膜晶体管 51 的漏极均通过贯穿所述层间绝缘层 94 的第七过孔 77 与所述第七连接线 37 电性连接, 每一条第七连接线 37 均通过贯穿所述层间绝缘层 94 的第八过孔 48 与信号输入部 53 电性连接, 每一个第二薄膜晶体管 52 的漏极均通过贯穿所述层间绝缘层 94 的第九过孔 79 与所述第八连接线 38 电性连接, 每一条第八连接线 38 均通过贯穿所述层间绝缘层 94 的第十过孔 710 与信号输入部 53 电性连接, 每一条第六连接线 36 均通过贯穿所述层间绝缘层 94 的第十一过孔 711 与其对应的第一连接线 31 电性连接。

值得一提的是, 所述第一金属层 91 还用于形成所述显示区 1 内的像素驱动 TFT 的栅极及栅极线, 所述第一金属层 92 还用于形成所述显示区 1 内的像素驱动 TFT 的源极、漏极及源极线, 所述透明导电层 93 还用于所述显示区 1 内的各个子像素的像素电极。

具体地，位于所述测试控制区 3 远离所述输出邦定区 2 的一侧的输入邦定区 4，所述输入邦定区 4 内设有多个间隔排列的输入邦定焊盘 80。

进行点亮测试时，外部的第一数据信号、第二数据信号及第三数据信号分别施加至第一数据信号线 61、第二数据信号线 62 及第三数据信号线 63 上，控制信号施加至控制信号线 64 上，经由第一薄膜晶体管 51 和第二薄膜晶体管 52 以及第一传输通道和第二传输通道传输至显示区内驱动显示区内的子像素发光。

进行驱动芯片邦定时，驱动芯片的输入引脚与所述输入邦定引脚 80 邦定至一起，输出引脚与所述第一邦定引脚 30 和第二邦定引脚 40 邦定至一起，从而外部信号能够从驱动芯片的输入引脚输入至驱动芯片中，经过驱动芯片的处理后从驱动芯片的输出引脚输出至第一邦定引脚 30 和第二邦定引脚 40，再传输至显示区 3 中驱动显示区 3 中的子像素发光。

综上所述，本发明提供一种显示面板电路结构，包括显示区及位于所述显示区的一侧的输出邦定区；所述输出邦定区包括：平行间隔排列的多个第一邦定焊盘以及位于各个第一邦定焊盘之间的多条第一连接线；每一个第一邦定焊盘均包括：第一底焊盘、位于所述第一底焊盘上方并与所述第一底焊盘电性连接的第一中焊盘以及位于所述第一中焊盘上方并与第一中焊盘电性连接的第一顶焊盘；所述第一底焊盘与所述第一连接线均位于第一金属层，所述第一中焊盘位于第二金属层、所述第一顶焊盘位于所述透明导电层，所述第一金属层第二金属层及透明导电层依次层叠设置，且所述所述第一金属层与第二金属层之间设有层间绝缘层，所述第二金属层与所述透明导电层之间设有钝化层，通过将所述第一连接线设置于第一金属层，能够避免在芯片压合时出现第一邦定引脚之间的第一连接线与第一邦定引脚短路的问题，提升制程良率，保证产品质量。

以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案

案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明权利要求的保护范围。

权 利 要 求

1、一种显示面板电路结构，包括显示区及位于所述显示区的一侧的输出邦定区；

5 所述输出邦定区包括：平行间隔排列的多个第一邦定焊盘以及位于各个第一邦定焊盘之间的多条第一连接线；

 每一个第一邦定焊盘均包括：第一底焊盘、位于所述第一底焊盘上方并与所述第一底焊盘电性连接的第一中焊盘以及位于所述第一中焊盘上方并与第一中焊盘电性连接的第一顶焊盘；

10 所述第一底焊盘与所述第一连接线均位于第一金属层，所述第一中焊盘位于第二金属层，所述第一顶焊盘位于所述透明导电层，所述第一金属层、第二金属层及透明导电层依次层叠设置，且所述第一金属层与第二金属层之间设有层间绝缘层，所述第二金属层与所述透明导电层之间设有钝化层。

15 2、如权利要求 1 所述的显示面板电路结构，还包括分别位于所述多个第一邦定引脚与显示区之间的多条第二连接线，所述第二连接线位于第一金属层；

 每一条第二连接线一端均电性连接其对应的第一邦定引脚的第一导电部，另一端均电性连接显示区。

20 3、如权利要求 1 所述的显示面板电路结构，还包括：分别位于所述多条第一连接线与所述显示区之间的多个第二邦定焊盘、分别位于所述多条第一连接线和多个第二邦定焊盘之间的多条第三连接线以及分别位于所述多个第二邦定焊盘与所述显示区之间的多条第四连接线；

 每一个第二邦定焊盘均包括第二底焊盘、位于所述第二底焊盘上方并与
25 与所述第二底焊盘电性连接的第二中焊盘以及位于所述第二中焊盘上方并与第二中焊盘电性连接的第二顶焊盘；

 所述第二底焊盘和第四连接线位于第一金属层，所述第二中焊盘和第三连接线位于第二金属层，所述第二顶焊盘位于透明导电层；

 每一条第三连接线的一端均电性连接其对应的第一连接线，另一端均
30 电性连接其对应的第二邦定焊盘的第二中焊盘，每一条第四连接线的一端均电性连接其对应的第二邦定焊盘的第二底焊盘，另一端电性连接显示区。

 4、如权利要求 1 所述的显示面板电路结构，还包括位于所述输出邦定区远离所述显示区的一侧的测试控制区、分别位于所述多个第一邦定焊盘

与所述测试控制区之间的第五连接线以及分别位于所述多条第一连接线与所述测试控制区之间的第六连接线；

所述第五连接线和第六连接线均位于第二金属层；

5 每一条第五连接线的一端均与其对应的第一绑定焊盘的第一中焊盘电性连接，另一端电性连接测试控制区；

每一条第六连接线的一端均与其对应的第一连接线电性连接，另一端电性连接测试控制区。

5、如权利要求4所述的显示面板电路结构，其中，所述测试控制区包括多个第一薄膜晶体管、多个第二薄膜晶体管、多条第七连接线、多条第
10 八连接线及信号输入部；

每一个第一薄膜晶体管的栅极均与所述信号输入部电性连接，源极对应电性连接一条第五连接线的另一端，漏极对应电性连接一条第七连接线的一端；

15 每一个第二薄膜晶体管的栅极均对应与一个第二薄膜晶体管的栅极电性连接，源极对应电性连接一条第六连接线的另一端，漏极对应电性连接一条第八连接线的一端；

每一条第七连接线的另一端和每一条第八连接线的另一端均电性连接所述信号输入部；

20 所述第一薄膜晶体管的栅极、第二薄膜晶体管的栅极、第七连接线及第八连接线均位于第一金属层，所述第一薄膜晶体管的源极和漏极、第二薄膜晶体管的源极和漏极及信号输入部均位于第二金属层。

6、如权利要求5所述的显示面板电路结构，其中，所述信号输入部包括平行间隔排列的第一数据信号线、第二数据信号线及第三数据信号线和控制信号线；

25 每一个第一薄膜晶体管的栅极均与所述控制信号线电性连接，每一条第七连接线的另一端和每一条第八连接线的另一端均与一条数据信号线电性连接且相邻的第七连接线和第八连接线电性连接的数据信号线不同。

7、如权利要求1所述的显示面板电路结构，其中，所述第一底焊盘和第一中焊盘之间通过贯穿层间绝缘层的第一过孔电性连接，所述第一中焊
30 盘和第一顶焊盘之间通过贯穿钝化层的第二过孔电性连接。

8、如权利要求3所述的显示面板电路结构，其中，所述第二底焊盘和第二中焊盘之间通过贯穿层间绝缘层的第三过孔电性连接，所述第二中焊盘和第二顶焊盘之间通过贯穿钝化层的第三过孔电性连接，所述第三连接线和第一连接线之间通过贯穿层间绝缘层的第五过孔电性连接。

9、如权利要求 5 所述的显示面板电路结构，其中，每一个第一薄膜晶体管的栅极均通过贯穿所述层间绝缘层的第六过孔与信号输入部电性连接，每一个第一薄膜晶体管的漏极均通过贯穿所述层间绝缘层的第七过孔与所述第七连接线电性连接，每一条第七连接线均通过贯穿所述层间绝缘层的第八过孔与信号输入部电性连接，每一个第二薄膜晶体管的漏极均通过贯穿所述层间绝缘层的第九过孔与所述第八连接线电性连接，每一条第八连接线均通过贯穿所述层间绝缘层的第十过孔与信号输入部电性连接，每一条第六连接线均通过贯穿所述层间绝缘层的第十一过孔与其对应的第一连接线电性连接。

10、如权利要求 4 所述的显示面板电路结构，还包括位于所述测试控制区远离所述输出邦定区的一侧的输入邦定区，所述输入邦定区内设有多个间隔排列的输入邦定焊盘。

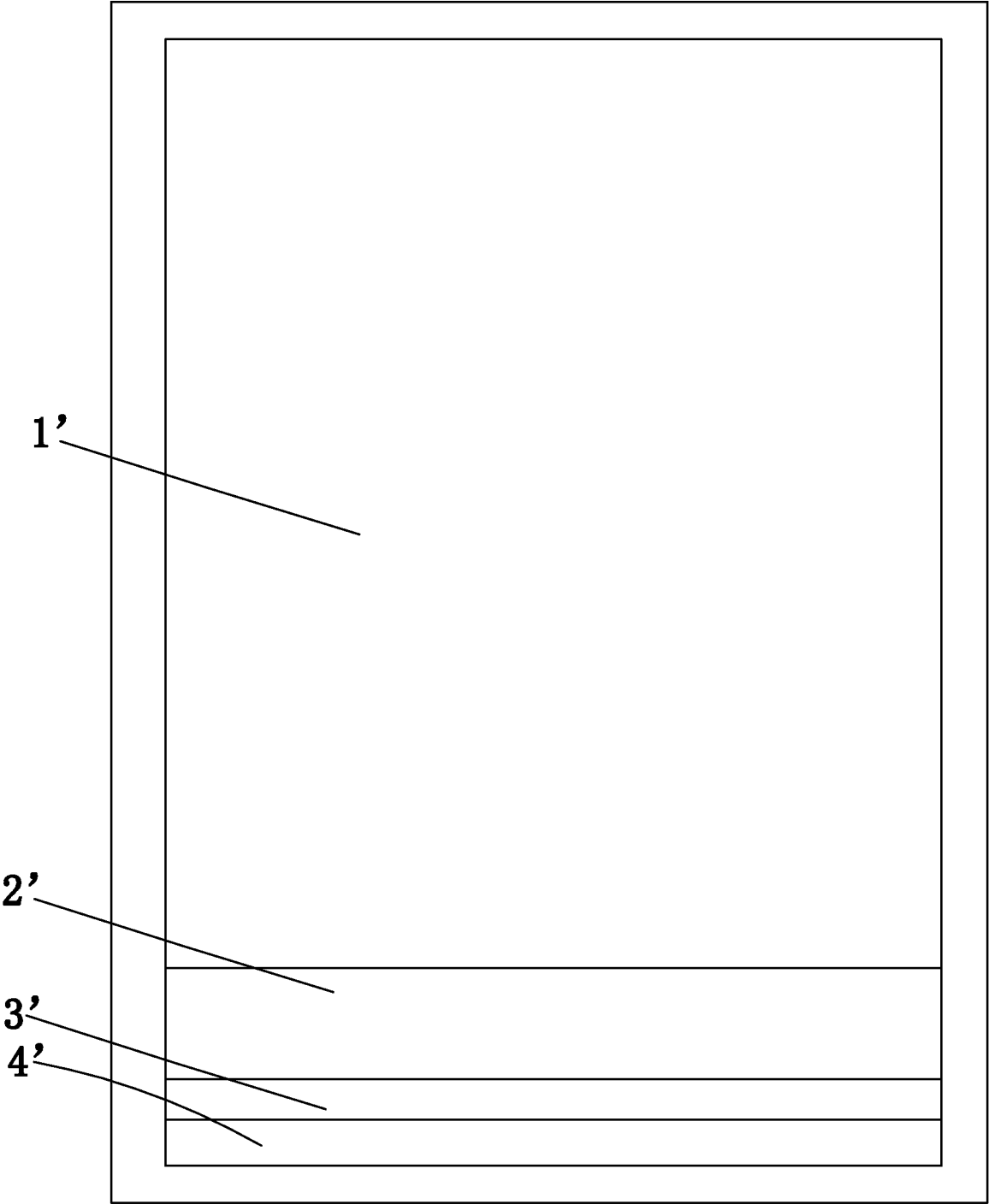


图1

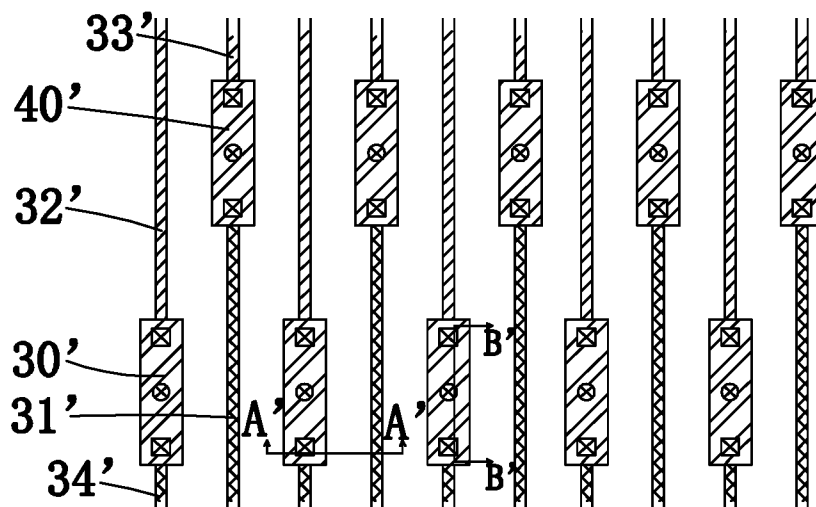


图2

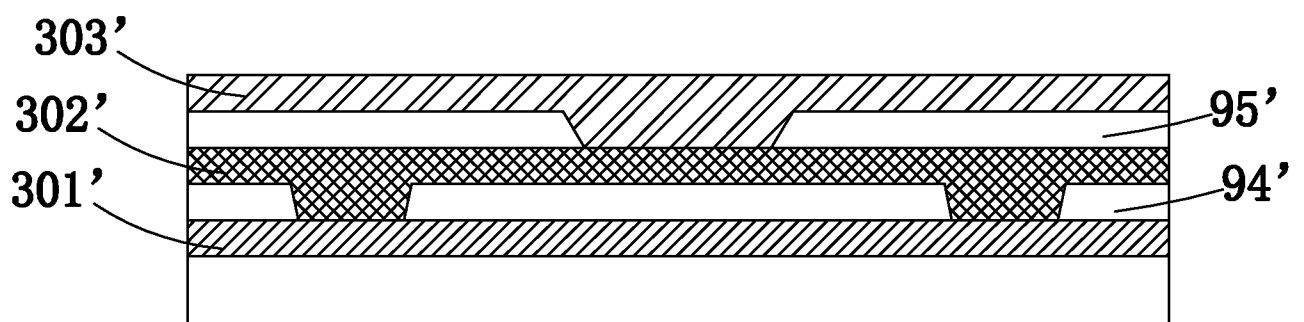


图3

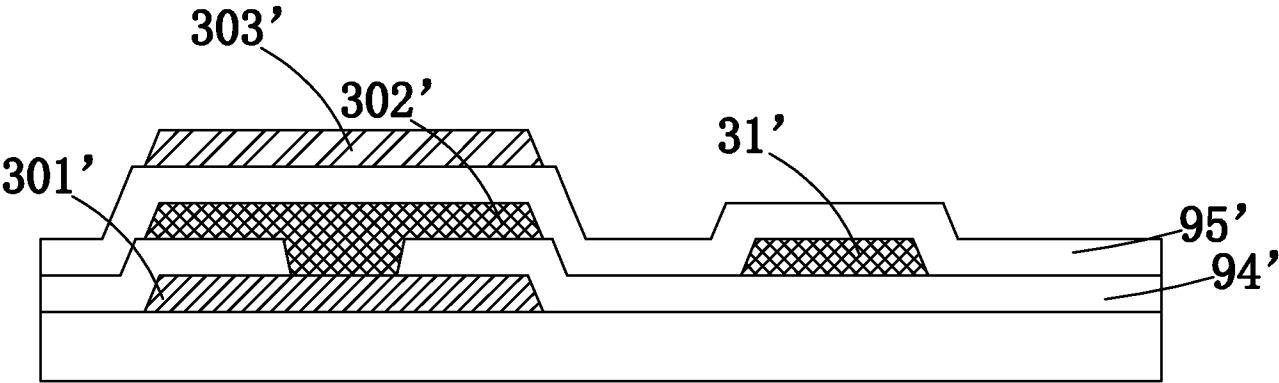


图4

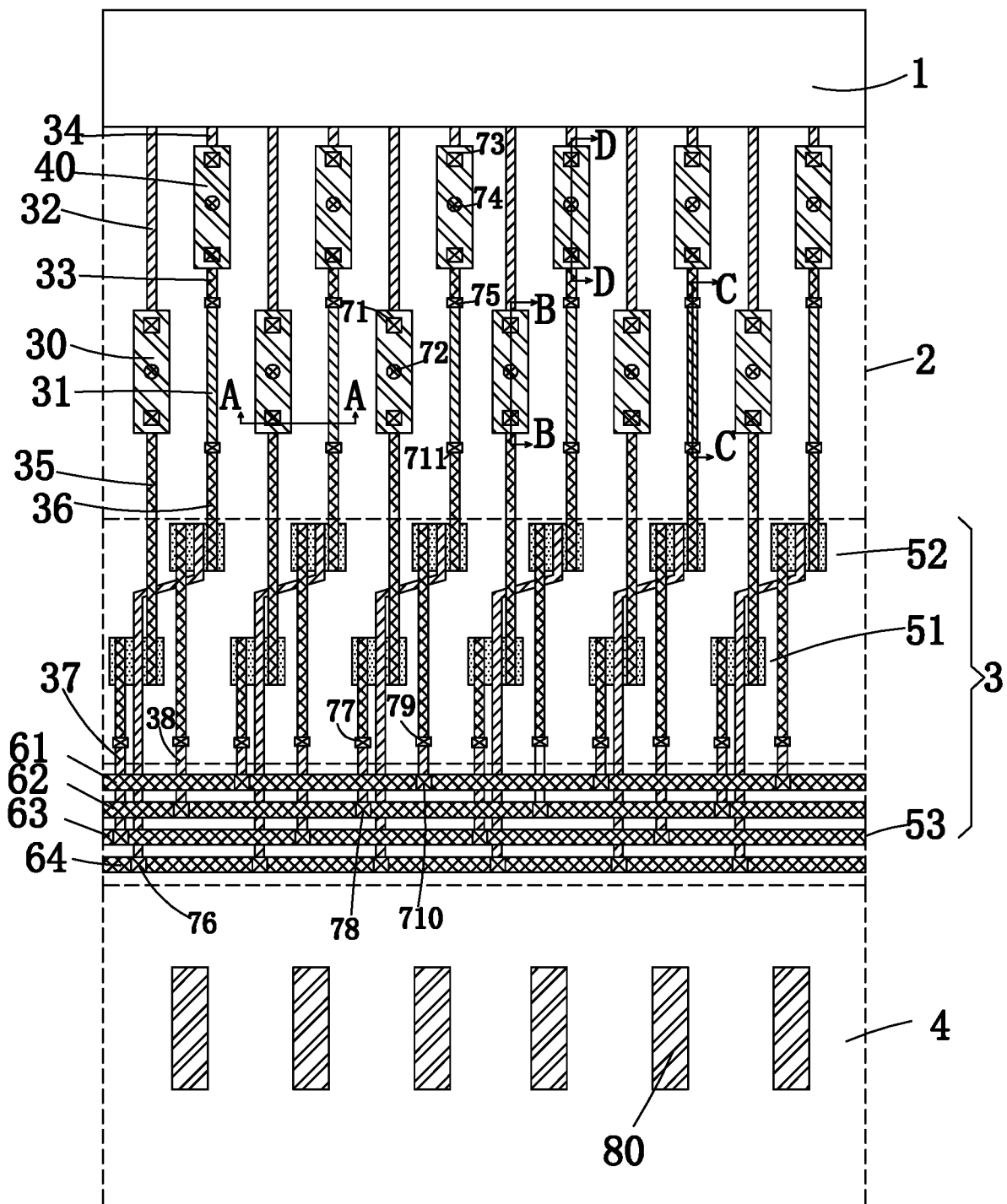


图5

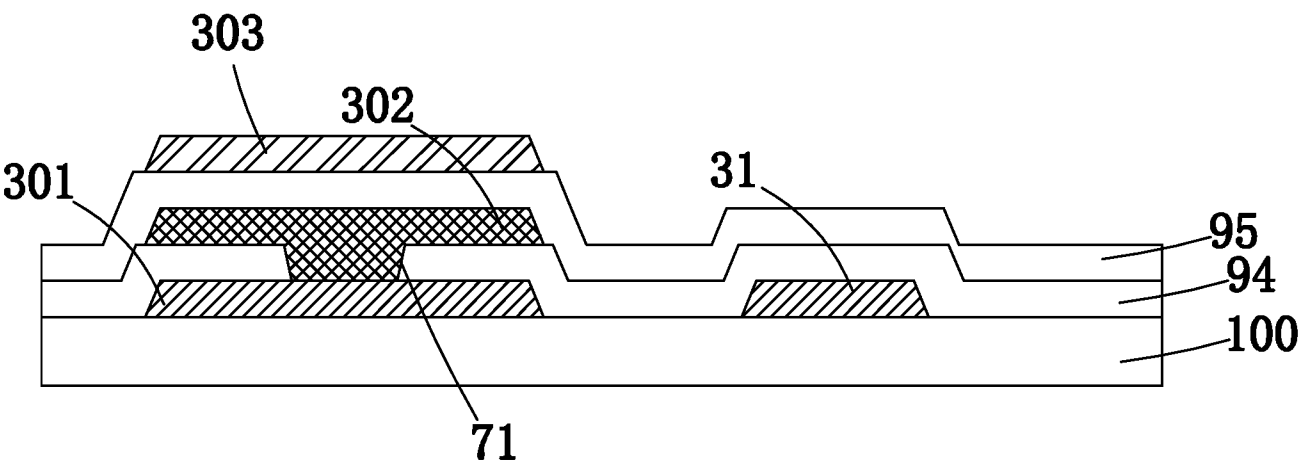


图6

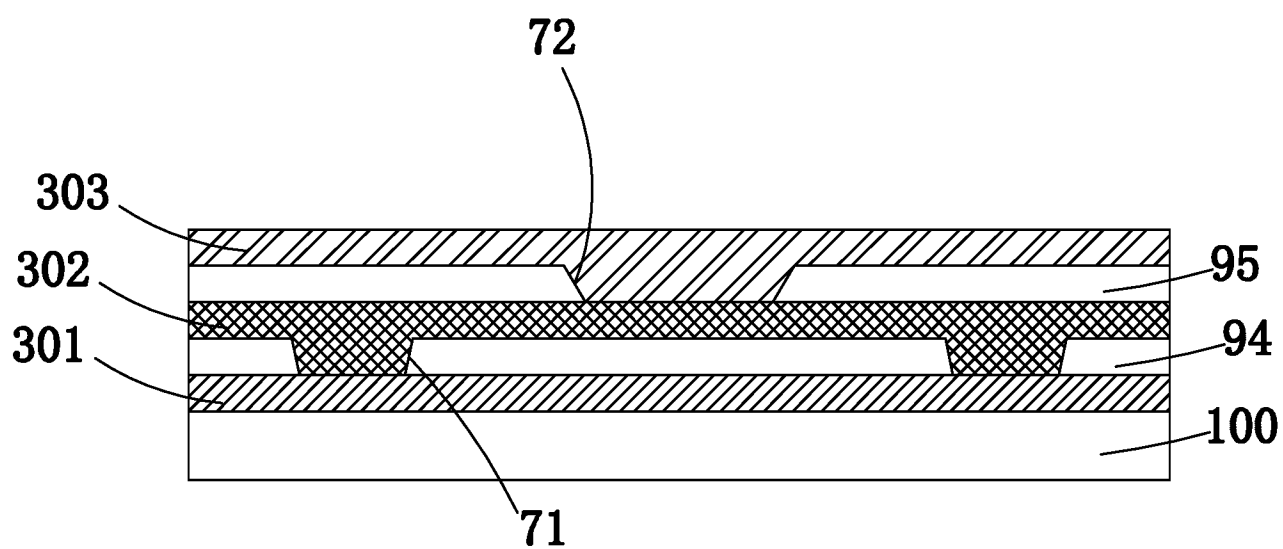


图7

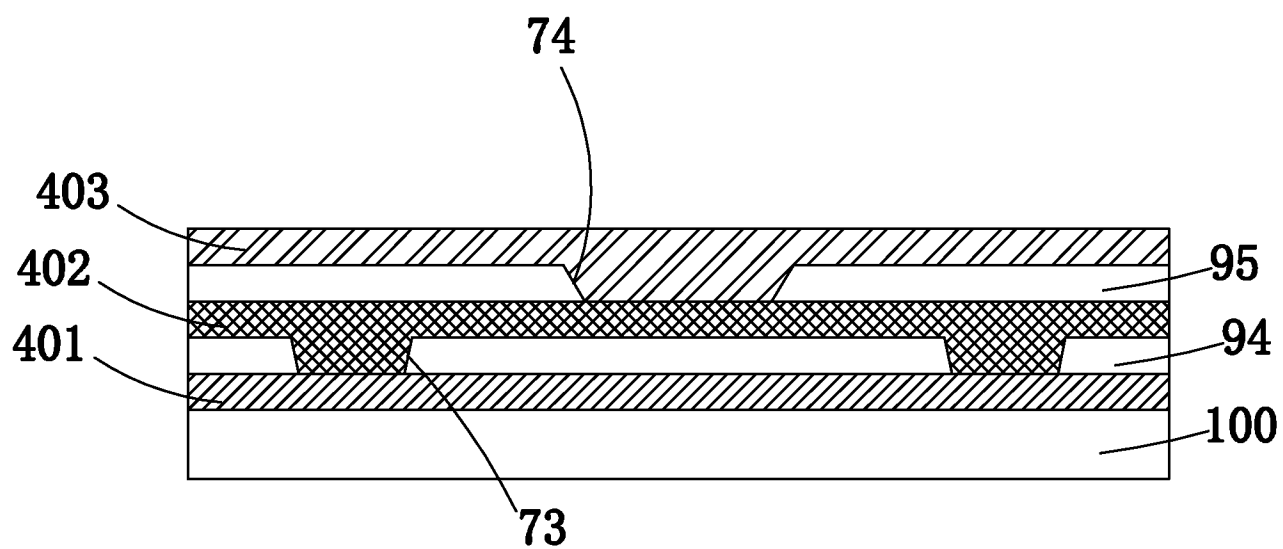


图8

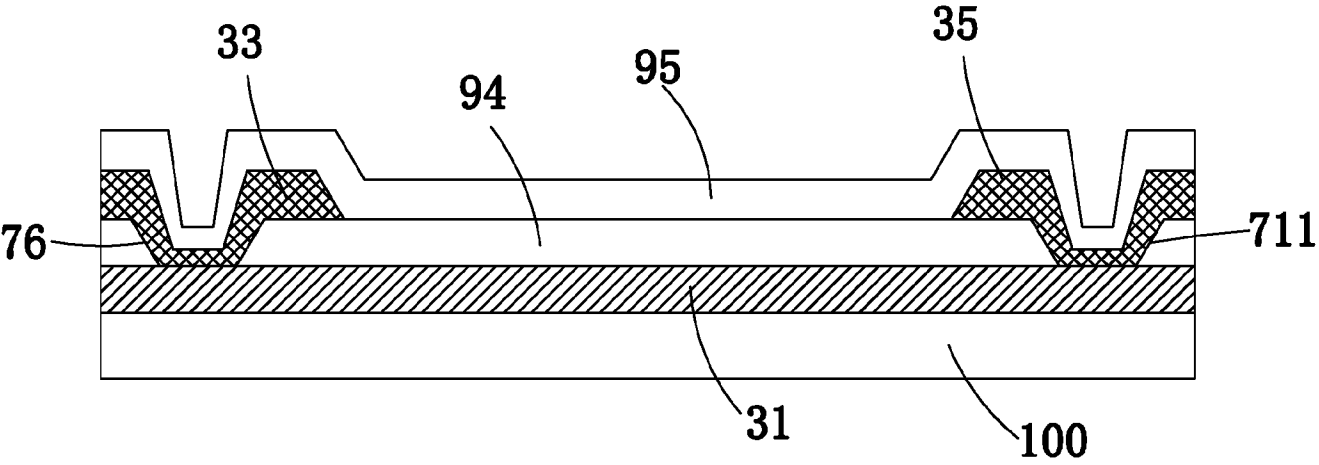


图9

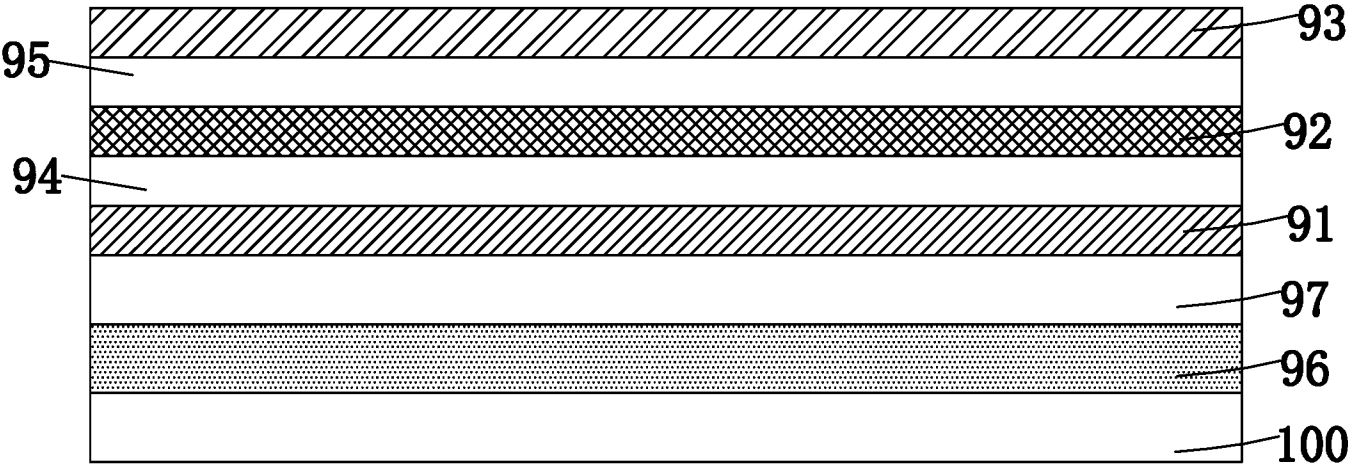


图10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/116284

A. CLASSIFICATION OF SUBJECT MATTER

G02F 1/1343(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNKI, CNPAT, IEEE: 输出, 扇出, 连线, 焊盘, 焊垫, 焊点, 接垫, 层, 叠, 堆, 多层, 迭, 显示, display+, fanout, output, wiring, trace, pad, pin, stack, laminat+, multilayere

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 104007572 A (LG DISPLAY CO., LTD.) 27 August 2014 (2014-08-27) claim 1, description, paragraphs [0075]-[0084], and figures 11 and 13	1-10
A	CN 105932029 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 07 September 2016 (2016-09-07) entire document	1-10
A	CN 104617106 A (BOE TECHNOLOGY GROUP CO., LTD.) 13 May 2015 (2015-05-13) entire document	1-10
A	US 2015173232 A1 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 18 June 2015 (2015-06-18) entire document	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

12 July 2019

Date of mailing of the international search report

01 August 2019

Name and mailing address of the ISA/CN

National Intellectual Property Administration, PRC (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Authorized officer

Facsimile No. (86-10)62019451

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/116284

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	104007572	A	27 August 2014	US	2014240630	A1	28 August 2014
				US	9366927	B2	14 June 2016
				CN	104007572	B	29 December 2017
				KR	20140106851	A	04 September 2014
				EP	2772798	B1	25 July 2018
				TW	201433870	A	01 September 2014
				TW	1542930	B	21 July 2016
				KR	101942850	B1	17 April 2019
				EP	2772798	A1	03 September 2014
CN	105932029	A	07 September 2016	None			
CN	104617106	A	13 May 2015	US	2016351585	A1	01 December 2016
				US	10192893	B2	29 January 2019
				WO	2016110036	A1	14 July 2016
				CN	104617106	B	08 December 2017
US	2015173232	A1	18 June 2015	GB	2531955	A	04 May 2016
				KR	101844692	B1	02 April 2018
				WO	2015013994	A1	05 February 2015
				JP	2016527554	A	08 September 2016
				JP	6216053	B2	18 October 2017
				KR	20160039275	A	08 April 2016
				RU	2641636	C2	18 January 2018
				CN	103399434	B	16 September 2015
				CN	103399434	A	20 November 2013
				RU	2016105819	A	23 August 2017

国际检索报告

国际申请号

PCT/CN2018/116284

A. 主题的分类

G02F 1/1343 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI, EPDOC, CNKI, CNPAT, IEEE: 输出, 扇出, 连线, 焊盘, 焊垫, 焊点, 接垫, 层, 叠, 堆, 多层, 迭, 显示, display+, fanout, output, wiring, trace, pad, pin, stack, laminat+, multilayer

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 104007572 A (乐金显示有限公司) 2014年 8月 27日 (2014 - 08 - 27) 权利要求1, 说明书第[0075]-[0084]段, 图11、13	1-10
A	CN 105932029 A (京东方科技集团股份有限公司 等) 2016年 9月 7日 (2016 - 09 - 07) 全文	1-10
A	CN 104617106 A (京东方科技集团股份有限公司) 2015年 5月 13日 (2015 - 05 - 13) 全文	1-10
A	US 2015173232 A1 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 2015年 6月 18日 (2015 - 06 - 18) 全文	1-10

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2019年 7月 12日

国际检索报告邮寄日期

2019年 8月 1日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

姚楠

电话号码 86-(10)-53961521

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/116284

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104007572	A	2014年 8月 27日	US	2014240630	A1	2014年 8月 28日
				US	9366927	B2	2016年 6月 14日
				CN	104007572	B	2017年 12月 29日
				KR	20140106851	A	2014年 9月 4日
				EP	2772798	B1	2018年 7月 25日
				TW	201433870	A	2014年 9月 1日
				TW	1542930	B	2016年 7月 21日
				KR	101942850	B1	2019年 4月 17日
				EP	2772798	A1	2014年 9月 3日
CN	105932029	A	2016年 9月 7日	无			
CN	104617106	A	2015年 5月 13日	US	2016351585	A1	2016年 12月 1日
				US	10192893	B2	2019年 1月 29日
				WO	2016110036	A1	2016年 7月 14日
				CN	104617106	B	2017年 12月 8日
US	2015173232	A1	2015年 6月 18日	GB	2531955	A	2016年 5月 4日
				KR	101844692	B1	2018年 4月 2日
				WO	2015013994	A1	2015年 2月 5日
				JP	2016527554	A	2016年 9月 8日
				JP	6216053	B2	2017年 10月 18日
				KR	20160039275	A	2016年 4月 8日
				RU	2641636	C2	2018年 1月 18日
				CN	103399434	B	2015年 9月 16日
				CN	103399434	A	2013年 11月 20日
				RU	2016105819	A	2017年 8月 23日

表 PCT/ISA/210 (同族专利附件) (2015年1月)