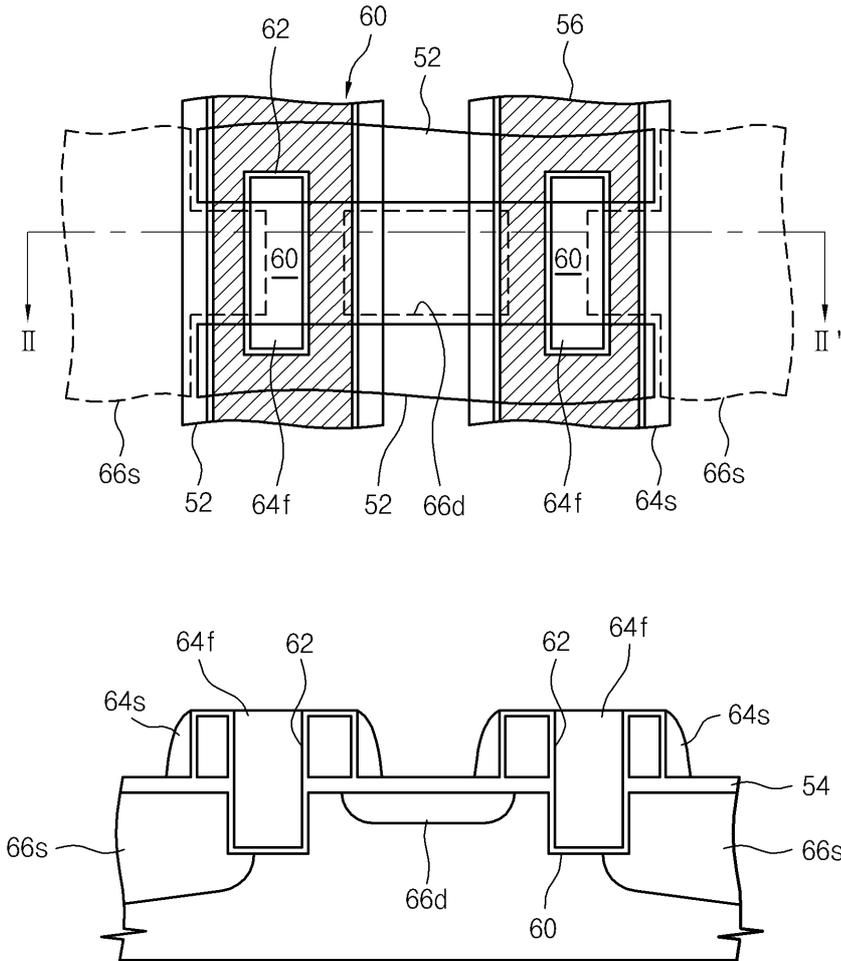




비휘발성 기억 장치 및 그 제조 방법을 제공한다. 이 장치는 반도체 기판에 정의된 활성영역과, 게이트 절연막을 개재하여 상기 활성영역의 상부를 가로지르는 제어 게이트 전극을 포함한다. 상기 활성영역에 부유 게이트가 형성되어 상기 제어 게이트 전극을 관통하며 상기 반도체 기판 내에 소정 깊이 신장된다. 상기 제어게이트 전극 및 상기 부유 게이트 사이와, 상기 반도체 기판 및 상기 부유 게이트 사이에 연속적으로 터널 절연막이 개재된다. 상기 부유 게이트는 상기 제어게이트 전극을 구성하는 도전막 및 상기 기판을 연속적으로 식각하여 트렌치를 형성하고, 상기 트렌치 및 상기 도전막의 측벽에 터널절연막을 형성한 후 형성할 수 있다. 상기 부유 게이트는 상기 트렌치 내에 형성됨으로써 상기 기판의 소정 깊이까지 신장된다.

대표도



특허청구의 범위

청구항 1.

반도체 기판에 정의된 활성영역;

게이트 절연막을 개재하여 상기 활성영역의 상부를 가로지르는 제어 게이트 전극;

상기 활성영역에 형성되어 상기 제어 게이트 전극을 관통하며, 상기 반도체 기판 내에 소정 깊이 신장된 부유 게이트; 및

상기 제어게이트 전극 및 상기 부유 게이트 사이와, 상기 반도체 기판 및 상기 부유 게이트 사이에 연속적으로 개재된 터널 절연막을 포함하는 비휘발성 기억 장치.

## 청구항 2.

청구항 1에 있어서,

상기 제어 게이트 전극 양측의 활성영역에 각각 형성된 소오스 영역 및 드레인 영역을 더 포함하되,

상기 소오스 영역 및 상기 드레인 영역 중 어느 하나는 상기 터널 절연막이 형성된 기판의 표면까지 측방향으로 확산된 것을 특징으로 하는 비휘발성 기억 장치.

## 청구항 3.

청구항 2에 있어서,

상기 부유 게이트로부터 상기 소오스 영역 및 상기 드레인 영역 중 어느 하나를 향하는 방향의 제어 게이트 전극의 폭은, 다른 하나를 향하는 방향의 제어 게이트 전극의 폭보다 넓은 것을 특징으로 하는 비휘발성 기억 장치.

## 청구항 4.

청구항 3에 있어서,

상기 소오스 영역 및 상기 드레인 영역 중 상기 제어 게이트 전극의 폭이 좁은 부분에 인접한 것이 상기 터널 절연막이 형성된 기판의 표면까지 측방향으로 확산된 것을 특징으로 하는 비휘발성 기억 장치.

## 청구항 5.

청구항 1에 있어서,

상기 제어 게이트 전극의 측벽들에 절연막을 개재하여 형성된 스페이서 패턴을 더 포함하는 것을 특징으로 하는 비휘발성 기억 장치.

## 청구항 6.

청구항 5에 있어서,

상기 제어 게이트 전극 양측의 활성영역에 각각 형성된 소오스 영역 및 드레인 영역을 더 포함하되,

상기 소오스 영역 및 상기 드레인 영역 중 어느 하나는 상기 스페이서 패턴이 형성된 활성영역 및 상기 제어 게이트 전극이 형성된 활성영역의 일부분까지 확산되고,

다른 하나는 상기 스페이서 패턴이 형성된 활성영역 및 상기 제어 게이트 전극이 형성된 활성영역을 지나서 상기 터널 절연막이 형성된 기판의 표면까지 측방향으로 확산된 것을 특징으로 하는 비휘발성 기억 장치.

## 청구항 7.

반도체 기판에 정의된 제 1 활성영역 및 상기 제 1 활성영역과 교차하는 제 2 활성영역들;

상기 제 2 활성영역들과 평행하게 상기 제 2 활성영역들 사이에 배치되어 상기 제 1 활성영역의 상부를 가로지르는 한 쌍의 제어 게이트 전극;

각각의 제어 게이트 전극을 관통하여 상기 활성영역의 반도체 기판 내에 소정 깊이까지 신장된 부유 게이트들; 및

상기 제어게이트 전극 및 상기 부유 게이트 사이와, 상기 반도체 기판 및 상기 부유 게이트 사이에 연속적으로 개재된 터널 절연막을 포함하는 비휘발성 기억 장치.

### 청구항 8.

청구항 7에 있어서,

상기 제어 게이트 전극 쌍 양측의 제 2 활성영역에 형성된 소오스 영역; 및

상기 제어 게이트 전극들 사이의 제 1 활성영역에 형성된 드레인 영역을 더 포함하되,

상기 소오스 영역 및 상기 드레인 영역 중 어느 하나는 상기 터널 절연막이 형성된 기판의 표면까지 측방향으로 확산된 것을 특징으로 하는 비휘발성 기억 장치.

### 청구항 9.

청구항 8에 있어서,

상기 부유 게이트로부터 상기 소오스 영역 및 상기 드레인 영역 중 어느 하나를 향하는 방향의 제어 게이트 전극의 폭은, 다른 하나를 향하는 방향의 제어 게이트 전극의 폭보다 넓은 것을 특징으로 하는 비휘발성 기억 장치.

### 청구항 10.

청구항 9에 있어서,

상기 소오스 영역 및 상기 드레인 영역 중 상기 제어 게이트 전극의 폭이 좁은 부분에 인접한 것이 상기 터널 절연막이 형성된 기판의 표면까지 측방향으로 확산된 것을 특징으로 하는 비휘발성 기억 장치.

### 청구항 11.

청구항 8에 있어서,

상기 제어 게이트 전극의 측벽들에 절연막을 개재하여 형성된 스페이서 패턴을 더 포함하는 것을 특징으로 하는 비휘발성 기억 장치.

### 청구항 12.

청구항 11에 있어서,

상기 제어 게이트 전극 양측의 활성영역에 각각 형성된 소오스 영역 및 드레인 영역을 더 포함하되,

상기 소오스 영역 및 상기 드레인 영역 중 어느 하나는 상기 스페이서 패턴이 형성된 활성영역 및 상기 제어 게이트 전극이 형성된 활성영역의 일부분까지 확산되고,

다른 하나는 상기 스페이서 패턴이 형성된 활성영역 및 상기 제어 게이트 전극이 형성된 활성영역을 지나 상기 터널 절연막이 형성된 기판의 표면까지 측방향으로 확산된 것을 특징으로 하는 비휘발성 기억 장치.

### 청구항 13.

반도체 기판에 소자분리막을 형성하여 활성영역을 한정하는 단계;

상기 활성영역 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 상기 활성영역 상의 게이트 절연막이 노출된 오프닝을 가지는 제어 게이트 전극을 형성하는 단계;

상기 오프닝 내의 게이트 절연막 및 상기 활성영역의 반도체 기판을 소정 깊이 식각하여 트렌치를 형성하는 단계;

상기 오프닝에 노출된 반도체 기판 및 제어 게이트 전극의 측벽에 터널 절연막을 형성하는 단계; 및

상기 오프닝을 채우며 상기 제어 게이트 전극을 관통하고 상기 트렌치 내에 신장된 부유 게이트를 형성하는 단계를 포함하는 비휘발성 기억 장치의 제조 방법.

### 청구항 14.

청구항 13에 있어서,

상기 제어 게이트 전극을 형성하는 단계에서,

제어 게이트 도전막을 형성하고,

상기 제어 게이트 도전막을 패터닝하여 상기 오프닝을 형성하고,

상기 제어 게이트 도전막을 패터닝하여 상기 활성영역을 가로지르는 제어 게이트 전극을 형성하는 것을 특징으로 하는 비휘발성 기억 장치의 제조 방법.

### 청구항 15.

청구항 14에 있어서,

상기 트렌치 내에 부유 게이트를 형성한 후,

상기 제어 게이트 도전막을 패터닝하여 상기 활성영역을 가로지르는 제어 게이트 전극을 형성하는 것을 특징으로 하는 비휘발성 기억 장치의 제조 방법.

### 청구항 16.

청구항 13에 있어서,

상기 제어 게이트 전극을 형성하는 단계에서,

상기 활성영역을 가로지르는 제어 게이트 전극을 형성하고,

상기 제어 게이트 전극을 패터닝하여 상기 오프닝을 형성하는 것을 특징으로 하는 비휘발성 기억 장치의 제조 방법.

### 청구항 17.

청구항 13에 있어서,

상기 제어 게이트 전극 양측의 활성영역 내에 각각 불순물을 주입하여 소오스 영역 및 드레인 영역을 형성하는 단계를 더 포함하되,

상기 소오스 영역 및 상기 드레인 영역 중 어느 하나는 상기 터널 절연막이 형성된 기관의 표면까지 확산되도록 형성하는 것을 특징으로 하는 비휘발성 기억 장치의 제조 방법.

### 청구항 18.

청구항 13에 있어서,

상기 제어 게이트 전극을 형성하는 단계에서,

상기 오프닝의 일 측벽을 구성하는 상기 제어 게이트 전극의 폭은 상기 오프닝의 대향하는 다른 측벽을 구성하는 상기 제어 게이트 전극의 폭보다 넓게 형성하는 것을 특징으로 하는 비휘발성 기억 장치의 제조 방법.

### 청구항 19.

청구항 18에 있어서,

상기 제어 게이트 전극 양측의 활성영역 내에 각각 불순물을 주입하여 소오스 영역 및 드레인 영역을 형성하는 단계를 더 포함하되,

상기 소오스 영역 및 상기 드레인 영역 중 상기 제어 게이트 전극의 폭이 좁은 쪽에 형성된 것은 상기 터널 절연막이 형성된 기관의 표면까지 확산되는 것을 특징으로 하는 비휘발성 기억 장치의 제조 방법.

### 청구항 20.

청구항 19에 있어서,

상기 소오스 영역 및 상기 드레인 영역 중 다른 하나는 상기 제어 게이트 전극이 형성된 활성영역의 일부분까지 확산되는 것을 특징으로 하는 비휘발성 기억 장치의 제조 방법.

명세서

## 발명의 상세한 설명

### 발명의 목적

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 반도체 소자 및 그 형성 방법에 관한 것으로, 특히, 비휘발성 기억 장치 및 그 형성 방법에 관한 것이다.

반도체 소자 중 비휘발성 기억 장치는 전원 공급이 중단될지라도, 저장된 데이터를 그대로 유지하는 특성을 갖는다. 비휘발성 기억 장치의 대표적인 예는 플래시 기억 장치라 할 수 있다. 통상적인 플래시 기억 장치는 플로팅 게이트 및 제어 게이트 전극을 포함한다. 전하들이 플로팅 게이트 내로/로부터 주입/방출됨에 따라, 플래시 기억 장치는 논리 "1" 또는 논리 "0"의 데이터를 저장하게 된다.

미국특허 제5,045,488호는 플래시 기억 장치의 일 형태인 스플릿(split) 게이트 구조를 갖는 플래시 기억 장치를 개시하고 있다. 미국특허 제5,045,488호에 따르면, 열산화막을 이용하여 플로팅 게이트의 상부면을 굴곡진 형태(curved-up shape)로 형성하여 플로팅 게이트에 피크(peak)를 형성한다.

도 1a 및 도 1b는 각각 종래기술에 따른 비휘발성 기억 장치를 나타낸 평면도 및 I-I'를 따라 취해진 단면도이다.

도 1a 및 도 1b를 참조하면, 종래의 비휘발성 기억 장치는 반도체 기판(10)에 소자분리막(12)이 형성되어 활성영역을 한정하고, 상기 활성영역의 상부를 가로질러 제어 게이트 전극(16)이 형성된다. 상기 제어 게이트 전극(16)과 상기 활성영역 사이에 부유 게이트(14)가 형성되며, 상기 부유 게이트(14)는 상기 제어 게이트 전극(16)과 일부분 중첩된다.

상기 부유 게이트(14) 및 상기 제어 게이트 전극(16)은 미리 형식으로 배치된다. 상기 소자분리막(12)은 상기 제어 게이트 전극(16)과 교차하는 제 1 활성영역과 상기 제어 게이트 전극(16)과 평행한 제 2 활성영역을 한정한다. 상기 제어 게이트 전극들(16) 사이의 제 1 활성영역에 드레인 영역(18d)가 형성되고, 상기 제어 게이트 전극들(16)에 인접한 제 2 활성영역에 소오스 영역(18s)가 형성된다.

종래의 비휘발성 기억 장치는 부유 게이트(14)와 제어 게이트 전극(16) 사이에 개재되는 캐핑 절연막(15)을 열산화 방법으로 형성하게 되는데, 산화 방법에 따른 버즈빅으로 인해 소자의 고집적화가 어려운 단점이 있고, 부유 게이트(14) 상의 제어 게이트 전극 부분과 활성영역 상의 제어 게이트 전극 부분의 형상이 달라 두께가 달라지는 문제가 있으며, 소오스 영역(18s)와 드레인 영역(18d)이 일정 거리 이격되어야 하므로 고집적화에 어려움이 있다.

**발명이 이루고자 하는 기술적 과제**

본 발명이 이루고자 하는 기술적 과제는 소오스 영역과 드레인 영역의 펀치쓰루를 방지할 수 있는 비휘발성 기억 장치 및 그 제조 방법을 제공하는데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 열산화 방법을 이용한 캐핑 절연막이 필요없는 구조의 비휘발성 기억 장치 및 그 제조 방법을 제공하는데 있다.

**발명의 구성**

상기 기술적 과제들을 달성하기 위하여 본 발명은 제어게이트를 관통하여 기판 내에 소정깊이 신장된 부유 게이트를 가지는 비휘발성 기억 장치 및 그 제조 방법을 제공한다. 이 장치는 반도체 기판에 정의된 활성영역과, 게이트 절연막을 개재하여 상기 활성영역의 상부를 가로지르는 제어 게이트 전극을 포함한다. 상기 활성영역에 부유 게이트가 형성되어 상기 제어 게이트 전극을 관통하며 상기 반도체 기판 내에 소정 깊이 신장된다. 상기 제어게이트 전극 및 상기 부유 게이트 사이와, 상기 반도체 기판 및 상기 부유 게이트 사이에 연속적으로 터널 절연막이 개재된다.

본 발명에 따른 비휘발성 기억 장치의 기억 셀은 기판 상에 반복적으로 배치될 수 있다. 구체적으로 이 기억 장치는, 반도체 기판에 정의된 제 1 활성영역 및 상기 제 1 활성영역과 교차하는 제 2 활성영역들과, 상기 제 2 활성영역들과 평행하게 상기 제 2 활성영역들 사이에 배치되어 상기 제 1 활성영역의 상부를 가로지르는 한 쌍의 제어 게이트 전극을 포함한다. 각각의 제어 게이트 전극을 관통하여 부유 게이트가 형성된다. 상기 부유 게이트는 상기 활성영역의 반도체 기판 내에 소정 깊이까지 신장된다. 상기 제어게이트 전극 및 상기 부유 게이트 사이와, 상기 반도체 기판 및 상기 부유 게이트 사이에 연속적으로 터널 절연막이 개재된다.

이 기억 장치의 제조 방법은 반도체 기판에 소자분리막을 형성하여 활성영역을 한정하고, 상기 활성영역 상에 게이트 절연막을 형성하는 것을 포함한다. 상기 게이트 절연막 상에 상기 활성영역 상의 게이트 절연막이 노출된 오프닝을 가지는 제어 게이트 전극을 형성한다. 상기 오프닝 내의 게이트 절연막 및 상기 활성영역의 반도체 기판을 소정 깊이 식각하여 트렌치를 형성한다. 상기 오프닝은 제어 게이트 전극이 패터닝되기 전 또는 후에 형성될 수 있다. 상기 트렌치 또한 상기 제어 게이트 전극이 패터닝되기 전 또는 후에 형성될 수 있다.

상기 오프닝에 노출된 반도체 기판 및 제어 게이트 전극의 측벽에 터널 절연막을 형성한다. 상기 오프닝을 채우며 상기 제어 게이트 전극을 관통하고 상기 트렌치 내에 신장된 부유 게이트를 형성한다. 상기 부유 게이트는 상기 트렌치 및 상기 터널 절연막이 형성된 이후에 형성된다. 따라서, 상기 부유 게이트 또한 상기 제어 게이트 전극이 패터닝되기 전에 형성될 수도 있다.

이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.

도 2a는 본 발명의 바람직한 실시예에 따른 비휘발성 기억 장치의 평면도이고, 도 2b는 도 2a의 II-II'를 따라 취해진 단면도이다.

도 2a 및 도 2b를 참조하면, 반도체 기판(50)에 소자분리막(52)이 형성되어 활성영역을 한정한다. 상기 소자분리막(52) 및 상기 활성영역을 가로질러 한 쌍의 제어 게이트 전극(56)이 배치된다. 상기 활성영역에는 소정 깊이의 트렌치(60)가 형성되어 있고, 상기 제어 게이트 전극(56)을 관통하여 부유 게이트(64)가 형성된다. 상기 부유 게이트(64f)는 상기 트렌치(60)에 채워져 상기 반도체 기판(50)의 소정 깊이 까지 신장된다.

상기 제어 게이트 전극(56)과 상기 활성영역 사이에는 게이트 절연막(54)이 개재되어 있고, 상기 제어 게이트 전극(56) 및 상기 부유 게이트(64f) 사이와, 상기 부유 게이트(64f)와 상기 반도체 기판(50) 사이에 연속적으로 터널절연막(62)이 형성되어 있다. 상기 터널 절연막(62)은 상기 게이트 절연막(54)에 연속되어 형성될 수 있으며, 상기 제어 게이트 전극(56)의 상부면 및 외측벽에도 연속되어 형성될 수 있다.

상기 제어 게이트 전극(56)의 측벽에는 스페이서 패턴(64s)이 형성될 수도 있다. 상기 스페이서 패턴(64s)은 상기 제어 게이트 전극(56)을 패터닝한 이후에 상기 부유 게이트(64f)를 형성하는 경우에 함께 형성될 수 있다. 만일 상기 부유 게이트(64f)가 상기 제어 게이트 전극(56)이 패터닝되기 전에 형성된다면, 상기 스페이서 패턴(64s)은 형성되지 않을 수도 있다.

상기 제어 게이트 전극들(56) 사이의 활성영역에 드레인 영역(66d)이 형성되고, 상기 제어 게이트 전극 쌍의 양측에 각각 소오스 영역(66s)이 형성된다. 본 발명의 일 실시예에서, 상기 소오스 영역(66s)은 상기 제어 게이트 전극(56)의 하부를 지나 상기 터널 절연막(62)이 형성된 트렌치 영역(60)까지 확산된다. 즉, 상기 소오스 영역(66s)은 상기 터널 절연막(62)이 형성된 반도체 기판의 표면까지 확산되고, 상기 드레인 영역(66d)은 상기 제어 게이트 전극(56)이 형성된 활성영역의 일부 분까지 확산된다.

본 발명에서, 상기 소자분리막(52)은 제 1 활성영역과 상기 제 2 활성영역과 교차하는 제 2 활성영역을 한정한다. 상기 제어 게이트(56)은 상기 제 1 활성영역을 가로지르며 상기 제 2 활성영역과 평행하게 배치된다. 또한, 상기 제어 게이트 전극의 쌍은 상기 제 2 활성영역들 사이에 배치된다. 상기 소오스 영역(66s)은 상기 제 2 활성영역에 형성되고, 상기 드레인 영역(66d)은 상기 제 1 활성영역에 형성된다. 반도체 기판에는 복수개의 제 1 활성영역과 제 2 활성영역이 정의된다. 따라서, 상기 소오스 영역(66s)은 상기 제 2 활성영역을 따라 형성되어 상기 제어 게이트 전극(56)을 공유하는 다른 기억 셀들에 공유된다. 상기 소오스 영역(66s)은 고전압에 대한 내압과 상기 부유 게이트(64f)와의 용량 결합을 위해서 상기 드레인 영역(66s)에 비해 깊게 형성되며 이중 확산 구조를 가질 수 있다.

본 발명에서 상기 부유 게이트(64f)의 폭을 축소하여 고집적화를 달성할 수 있다. 상기 부유 게이트(64f)의 폭을 축소로 인한 소오스 영역(66s)과 드레인 영역(66s)의 수평거리가 가까워지는 것은, 상기 부유 게이트(64f)가 형성된 트렌치(60)의

깊게함으로써 수직거리를 제공하여 보상할 수 있다. 결과적으로 상기 소오스 영역(66s)과 상기 드레인 영역(66d) 사이의 채널길이(L)은 상기 트렌치(60)의 형상에 따라 길어질 수 있다. 상기 부유 게이트(64f) 양측의 제어 게이트 전극의 두께는 상기 소오스 영역(66s) 방향이 얇고, 상기 드레인 영역(66d) 방향이 두꺼운 비대칭 구조로 형성될 수 있다.

이 장치의 기입 동작시 상기 소오스 영역(66s)에 고전압이 인가되어 상기 소오스 영역(66s)과 상기 부유 게이트(64f)의 용량 결합에 의해 상기 부유 게이트 하부에 채널이 형성된다. 접지된 드레인 영역(66d)으로부터 공급되는 전자는 상기 터널 절연막(62)을 통하여 상기 부유 게이트(64f)로 주입된다. 소거 동작은 제어 게이트 전극(56)에 소거 전압을 인가하여 상기 제어 게이트 전극(56)과 상기 부유 게이트(64f) 사이의 터널 절연막(62)을 통해 소거한다.

도 3a 내지 도 8a는 본 발명의 바람직한 실시예에 따른 비휘발성 기억 장치의 제조 방법을 설명하기 위한 평면도이고, 도 3b 내지 도 8b는 각각 도 3a 내지 도 8a의 II-II'를 따라 취해진 단면도이다.

도 3a 및 도 3b를 참조하면, 반도체 기판(50)에 소자분리막(52)을 형성하여 활성영역을 한정한다. 상기 활성영역 상에 게이트 절연막(54)을 형성한다. 상기 게이트 절연막(54) 상에 제어 게이트 도전막을 형성한다. 상기 제어 게이트 도전막을 패터닝하여 상기 활성영역의 상부를 가로지르는 제어 게이트 전극(56)을 형성한다.

도 4a 및 도 4b를 참조하면, 상기 제어 게이트 전극(56)이 형성된 기판의 전면에 상기 활성영역 상부의 상기 제어 게이트 전극(56)의 일부분이 노출된 오프닝을 가지는 마스크 패턴(58)을 형성하고, 상기 마스크 패턴(58)을 식각마스크로 사용하여 상기 제어 게이트 전극(56) 및 상기 게이트 절연막(54), 그리고 상기 기판의 일부분을 연속적으로 식각하여 상기 기판에 트렌치(60)를 형성한다.

상기 트렌치(60)은 상기 제어 게이트 전극(56)을 형성한 이후에 형성할 수도 있지만, 상기 제어 게이트 도전막이 형성된 상태에서 미리 상기 제어 게이트 도전막 및 상기 게이트 절연막(54), 그리고 상기 기판을 식각하여 트렌치(60)을 형성할 수도 있다. 이 경우, 상기 트렌치(60)을 형성하고 마스크 패턴을 제거한 다음 상기 제어 게이트 도전막을 패터닝하여 활성영역의 상부를 가로지르는 제어 게이트 전극(56)을 형성할 수 있다.

도 5a 및 도 5b를 참조하면, 상기 마스크 패턴(58)을 제거하고, 상기 트렌치(60)에 노출된 반도체 기판과 상기 제어 게이트 전극(56)의 표면에 터널 절연막(62)을 형성한다. 상기 터널 절연막(62)은 상기 트렌치(60)에 노출된 반도체 기판과 상기 제어 게이트 전극(56)의 측벽에 연속적으로 형성된다.

도 6a 및 도 6b를 참조하면, 상기 기판의 전면에 부유 게이트 도전막(64)을 형성한다. 상기 부유 게이트 도전막(64)은 상기 트렌치(60) 및 상기 트렌치(60) 상부의 상기 제어 게이트 전극(56)에 형성된 터널 절연막(62)으로 측벽이 이루어진 오프닝 내에 채워지도록 형성한다.

도 7a 및 도 7b를 참조하면, 상기 부유 게이트 도전막(64)을 평탄화하여 상기 제어 게이트 전극(56)의 상부면 상에 형성된 터널 절연막(62) 또는 상기 제어 게이트 전극(56)의 상부면을 노출시킨다. 상기 트렌치(60)에는 상기 제어 게이트 전극(56)을 관통하여 상기 반도체 기판 내에 소정깊이 신장된 부유 게이트(64f)가 형성된다. 또한, 상기 제어 게이트 전극(56)의 측벽에는 스페이스 패턴(64s)이 형성된다.

상기 부유 게이트 도전막(64) 형성 및 평탄화는 상기 제어 게이트 전극(56)이 형성되기 전인 제어 게이트 도전막이 형성된 상태에서 트렌치(60)을 형성함으로써, 상기 스페이스 패턴(64s)이 없는 구조를 형성할 수도 있다. 상기 제어 게이트 전극(56)이 패터닝되기 전 제어 게이트 도전막이 형성된 때에 상기 트렌치(60)를 형성하는 경우에는, 상기 제어 게이트 도전막이 상기 제어 게이트 전극(56)으로 패터닝되기 전에 상기 터널 절연막(62)이 형성될 수 있다. 상기 터널 절연막(62)을 형성하고 상기 부유 게이트(64f)를 형성한 다음 상기 제어 게이트 전극(56)을 형성하여 도 8a 및 도 8b에 도시된 것과 같이 상기 스페이스 패턴(64s)이 형성되지 않은 구조를 얻을 수도 있다.

계속해서, 상기 제어 게이트 전극(56)의 양측의 활성영역에 불순물을 주입하여 도 2a 및 도 2b에 도시된 것과 같이, 상기 제어 게이트 전극들(56) 사이의 활성영역에는 드레인 영역(66d)을 형성하고, 상기 제어 게이트 전극 쌍의 양측에 위치하는 활성영역에는 소오스 영역(66s)을 형성한다. 상기 소오스 영역(66s)은 고전압에 대한 내압을 가지는 구조로서 이중 확산 구조를 형성할 수 있고, 상기 제어 게이트 전극(56)이 형성된 활성영역을 지나 확산되어 상기 부유 게이트(64f)의 측벽 또는 하부에 증착되도록 확산된다. 또한, 상기 소오스 영역(66s)은 상기 제어 게이트 전극(56)과 평행한 방향으로 정의된 활성영역을 따라 형성되어 상기 제어 게이트 전극(56)과 평행하게 상기 제어 게이트 전극(56)을 공유하는 기억 셀에 공유된다.

이상 실시예에서는 상기 제어 게이트 전극(56)을 공유하는 기억 셀에 공유된 소오스 영역에 고전압이 인가되는 구조의 비휘발성 기억 장치에 관하여 기술되었으나, 본 발명은 상기 제어 게이트 전극들(56) 사이의 활성영역에 형성된 드레인 영역(66d)에 기입 전압이 인가되는 구조의 셀 어레이에 적용될 수도 있다.

도 9a 및 도 9b는 본 발명의 변형례에 따른 비휘발성 기억 장치를 나타낸 평면도 및 단면도이다.

도 9a 및 도 9b를 참조하면, 반도체 기판(150)에 소자분리막(152)가 형성되어 활성영역을 한정한다. 상기 소자분리막(152) 및 상기 활성영역을 가로질러 한 쌍의 제어 게이트 전극(156)이 배치된다. 상기 활성영역에는 소정 깊이의 트렌치(160)가 형성되어 있고, 상기 제어 게이트 전극(156)을 관통하여 부유 게이트(164)가 형성된다. 상기 부유 게이트(164f)는 상기 트렌치(160)에 채워져 상기 반도체 기판(150)의 소정 깊이 까지 신장된다.

상기 제어 게이트 전극(156)과 상기 활성영역 사이에는 게이트 절연막(154)이 개재되어 있고, 상기 제어 게이트 전극(156) 및 상기 부유 게이트(164f) 사이와, 상기 부유 게이트(164f)와 상기 반도체 기판(150) 사이에 연속적으로 터널절연막(162)이 형성되어 있다. 상기 터널 절연막(162)은 상기 게이트 절연막(154)에 연속되어 형성될 수 있으며, 상기 제어 게이트 전극(156)의 상부면 및 외측벽에도 연속되어 형성될 수 있다.

상기 제어 게이트 전극(156)의 측벽에는 스페이서 패턴(164s)이 형성될 수도 있다. 상기 스페이서 패턴(164s)은 상기 제어 게이트 전극(156)을 패터닝한 이후에 상기 부유 게이트(164f)를 형성하는 경우에 함께 형성될 수 있다. 만일 상기 부유 게이트(164f)가 상기 제어 게이트 전극(156)이 패터닝되기 전에 형성된다면, 상기 스페이서 패턴(164s)은 형성되지 않을 수도 있다.

상기 제어 게이트 전극들(156) 사이의 활성영역에 드레인 영역(166d)이 형성되고, 상기 제어 게이트 전극 쌍의 양측에 각각 소오스 영역(166s)이 형성된다. 본 발명의 일 실시예에서, 상기 드레인 영역(166d)은 상기 제어 게이트 전극(156)의 하부를 지나 상기 터널 절연막(162)이 형성된 트렌치 영역(160)까지 확산된다. 즉, 상기 드레인 영역(166d)은 상기 터널 절연막(162)이 형성된 반도체 기판의 표면까지 확산되고, 상기 소오스 영역(166s)은 상기 제어 게이트 전극(156)이 형성된 활성영역의 일부분까지 확산된다.

본 발명에서, 상기 소자분리막(152)은 제 1 활성영역과 상기 제 2 활성영역과 교차하는 제 2 활성영역을 한정한다. 상기 제어 게이트(156)은 상기 제 1 활성영역을 가로지르며 상기 제 2 활성영역과 평행하게 배치된다. 또한, 상기 제어 게이트 전극의 쌍은 상기 제 2 활성영역들 사이에 배치된다. 상기 소오스 영역(166s)은 상기 제 2 활성영역에 형성되고, 상기 드레인 영역(166d)은 상기 제 1 활성영역에 형성된다. 반도체 기판에는 복수개의 제 1 활성영역과 제 2 활성영역이 정의된다. 따라서, 상기 소오스 영역(166s)은 상기 제 2 활성영역을 따라 형성되어 상기 제어 게이트 전극(56)을 공유하는 다른 기억 셀들에 공유된다. 상기 드레인 영역(166d)은 고전압에 대한 내압과 상기 부유 게이트(164f)와의 용량 결합을 위해서 상기 소오스 영역(166s)에 비해 깊게 형성되며 이중 확산 구조를 가질 수 있다.

이 장치의 기입 동작시 상기 드레인 영역(166d)에 고전압이 인가되어 상기 드레인 영역(166d)과 상기 부유 게이트(164f)의 용량 결합에 의해 상기 부유 게이트 하부에 채널이 형성된다. 접지된 소오스 영역(166s)으로부터 공급되는 전자는 상기 터널 절연막(162)을 통하여 상기 부유 게이트(164f)로 주입된다. 소거 동작은 제어 게이트 전극(156)에 소거 전압을 인가하여 상기 제어 게이트 전극(156)과 상기 부유 게이트(164f) 사이의 터널 절연막(162)을 통해 소거한다.

### 발명의 효과

본 발명에 따르면 부유 게이트가 기판 내에 소정 깊이까지 신장되어 채널 길이가 확보될 수 있고, 부유 게이트의 폭을 축소하여 고집적화하더라도 소오스 영역 및 드레인 영역 간의 펀치스루가 발생하는 것을 막을 수 있다.

또한, 부유 게이트와 제어 게이트 전극이 수평으로 배치되어 제어 게이트 전극의 변형이 없기 때문에 제어 게이트 전극을 패터닝할 때 제어 게이트 전극의 두께 차이로 인한 기판의 과식각도 막을 수 있다.

### 도면의 간단한 설명

도 1a은 종래기술에 따른 비휘발성 기억 장치를 나타낸 평면도

도 1b는 도 1a의 I-I'를 따라 취해진 단면도.

도 2a는 본 발명의 바람직한 실시예에 따른 비휘발성 기억 장치의 평면도.

도 2b는 도 2a의 II-II'를 따라 취해진 단면도.

도 3a 내지 도 8a는 본 발명의 바람직한 실시예에 따른 비휘발성 기억 장치의 제조 방법을 설명하기 위한 평면도.

도 3b 내지 도 8b는 각각 도 3a 내지 도 8a의 II-II'를 따라 취해진 단면도.

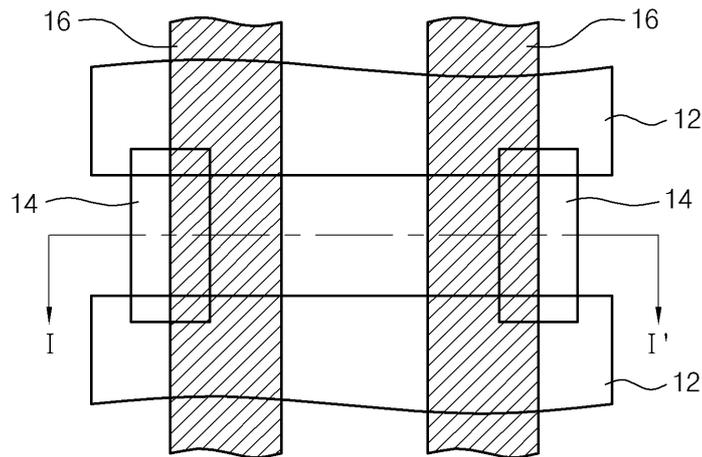
도 9a는 본 발명의 바람직한 실시예에 따른 비휘발성 기억 장치의 평면도

도 2b는 도 2a의 II-II'를 따라 취해진 단면도.

도면

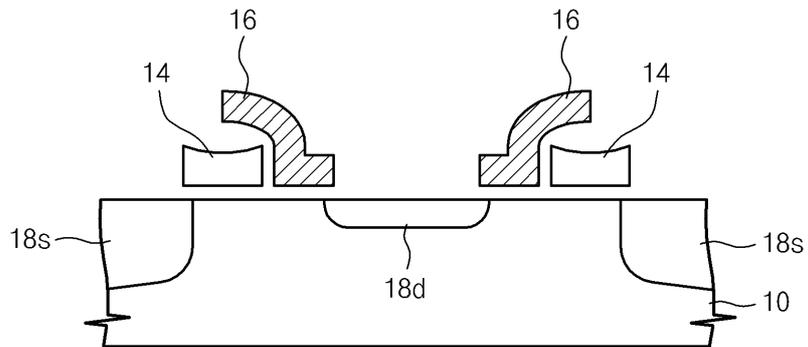
도면1a

(종래 기술)

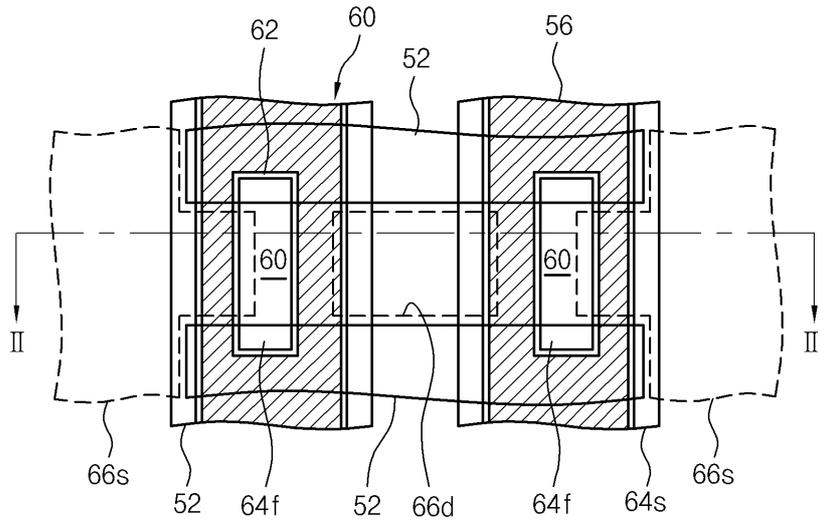


도면1b

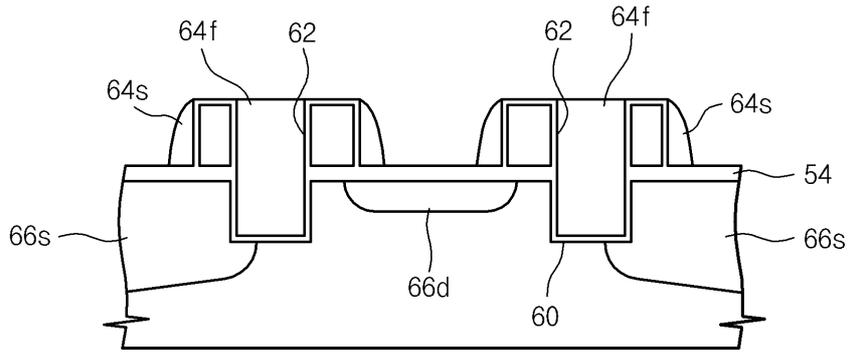
(종래 기술)



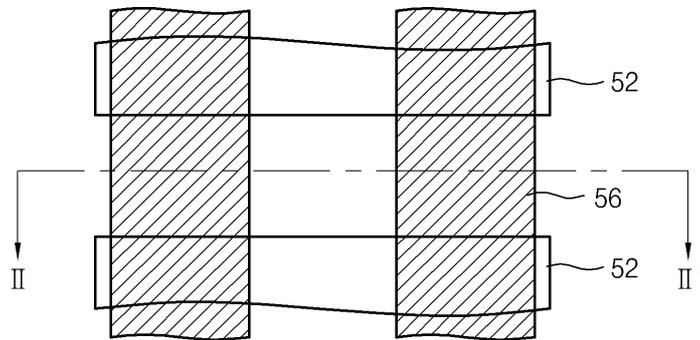
도면2a



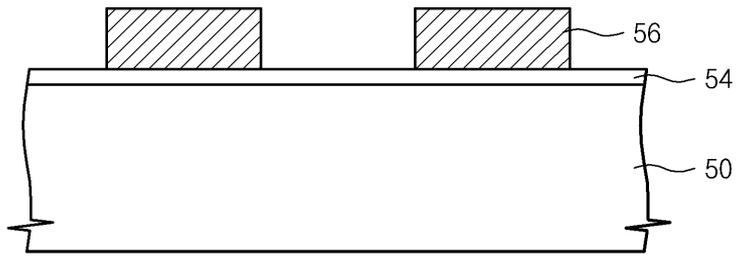
도면2b



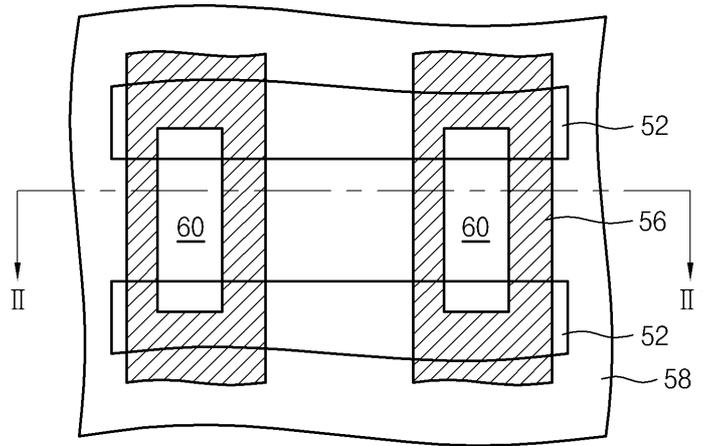
도면3a



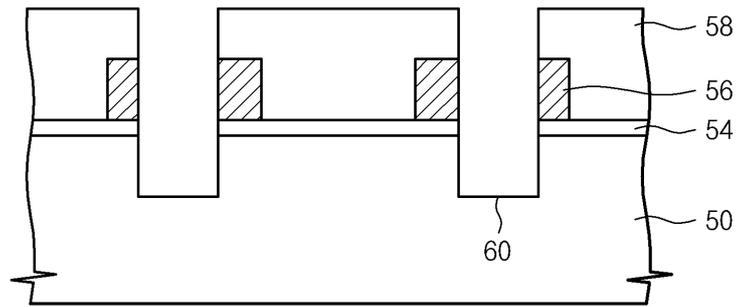
도면3b



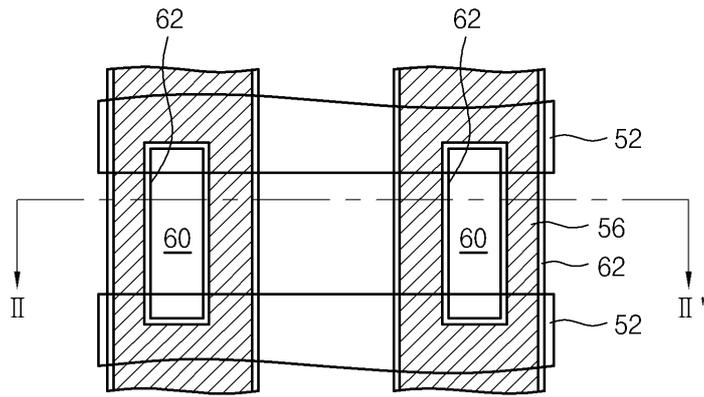
도면4a



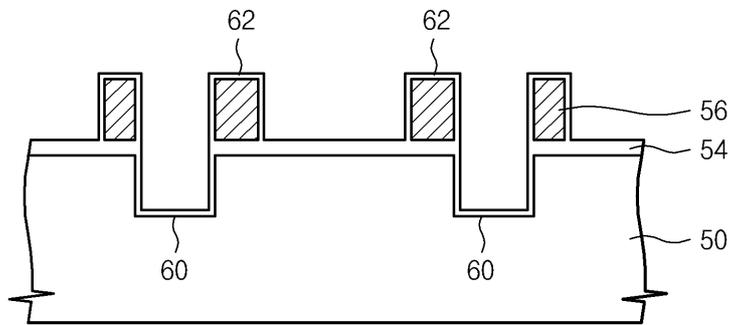
도면4b



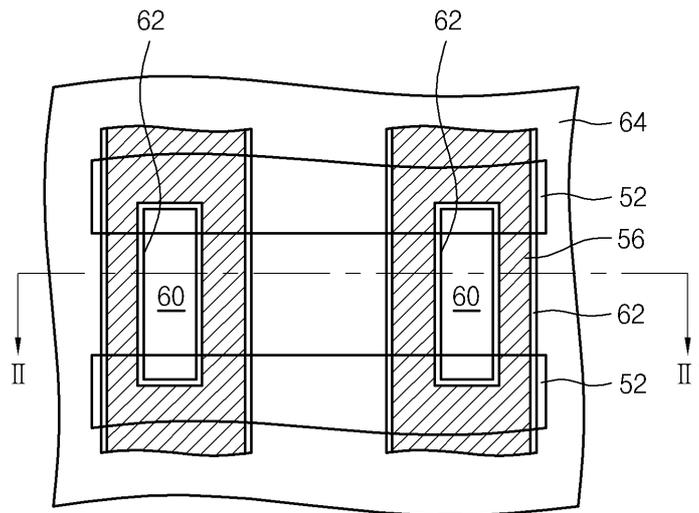
도면5a



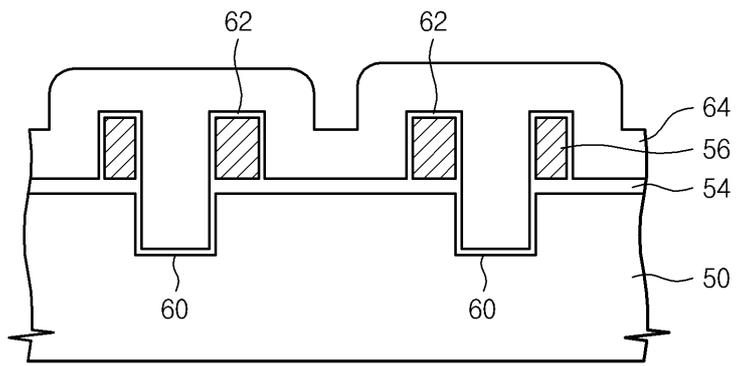
도면5b



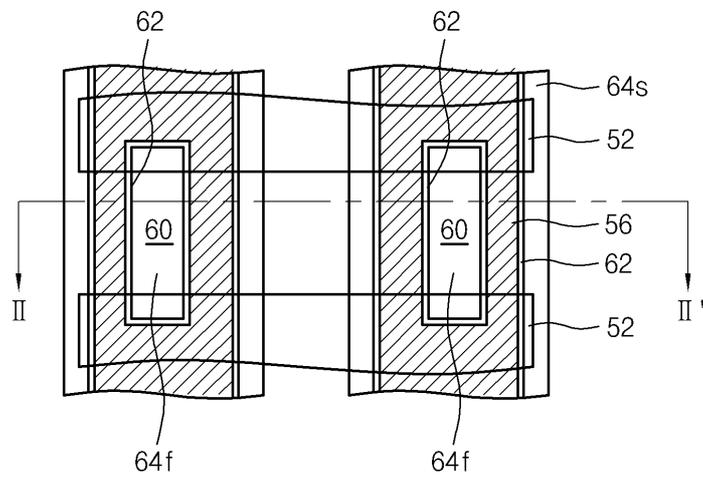
도면6a



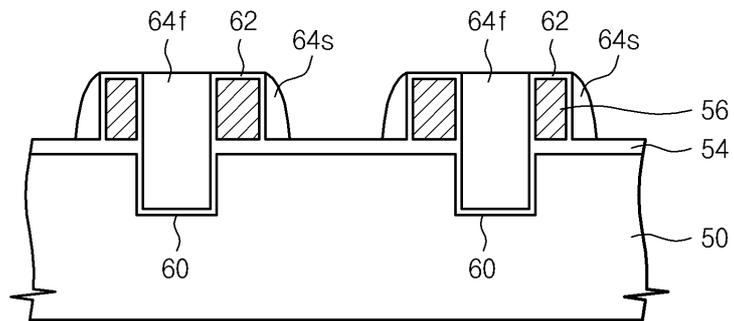
도면6b



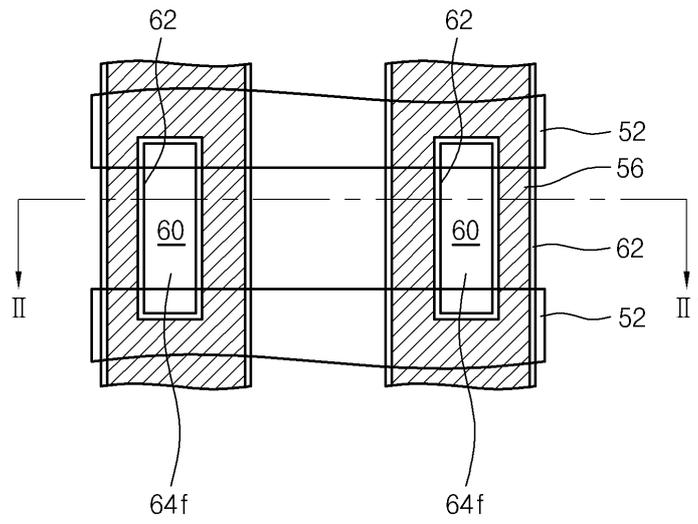
도면7a



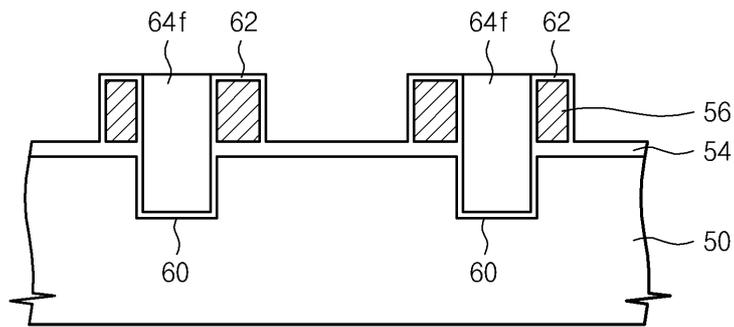
도면7b



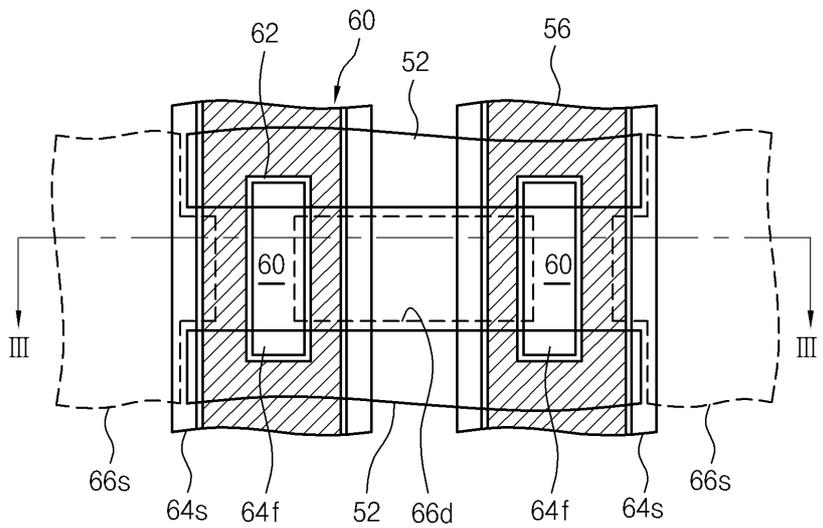
도면8a



도면8b



도면9a



도면9b

