

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 17 年 7 月 14 日 (2005.7.14)

【公開番号】特開 2002-198499 (P2002-198499A)

【公開日】平成 14 年 7 月 12 日 (2002.7.12)

【出願番号】特願 2000-395933 (P2000-395933)

【国際特許分類第 7 版】

H 0 1 L 27/108

G 1 1 C 11/405

H 0 1 L 21/8242

【F I】

H 0 1 L 27/10 3 5 1

G 1 1 C 11/34 3 5 2 B

H 0 1 L 27/10 3 2 1

【手続補正書】

【提出日】平成 16 年 11 月 17 日 (2004.11.17)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

電流通路の一端が読み出しビット線に接続され、ゲート電極を記憶ノードとしてデータを保持する M I S トランジスタと、

前記 M I S トランジスタのゲート電極に一端が接続され、ワード線の電位に応じて導通制御される第 1 のトランスファージェートと、

一端が前記第 1 のトランスファージェートの他端に接続され、他端が書き込みビット線に接続され、ゲート電極が書き込みカラム選択信号線に接続され、前記書き込みカラム選択信号線の電位に応じて導通制御される第 2 のトランスファージェートと

を具備することを特徴とする半導体記憶装置。

【請求項 2】

行及び列に配置された複数のメモリセルを有し、各メモリセルは、

ゲート電極を記憶ノードとしてデータを保持する M I S トランジスタと、前記 M I S トランジスタのゲート電極に一端が接続された第 1 のトランスファージェートと、一端が前記第 1 のトランスファージェートの他端に接続された第 2 のトランスファージェートとを有し、

同一の行に配置された前記各メモリセルの前記第 1 のトランスファージェートのゲート電極に接続された複数のワード線と、

同一の列に配置された前記各メモリセルの前記 M I S トランジスタの電流通路の一端に接続された複数の読み出しビット線と、

同一の列に配置された前記各メモリセルの前記第 2 のトランスファージェートの他端に接続された複数の書き込みビット線と、

同一の列に配置された前記各メモリセルの前記第 2 のトランスファージェートのゲート電極に接続された複数の書き込みカラム選択線と、

各列の書き込みカラム選択線にそれぞれ接続された複数のカラム選択線と、

前記メモリセルから読み出された電位を検出するセンスアンプと、

前記複数の読み出しビット線と前記センスアンプの入力端に接続され、対応する前記カラム選択線により選択される複数の第 3 のトランスファージェートと、

前記書き込みビット線と前記センスアンプの出力端に接続され、対応する前記カラム選択線により選択される複数の第４のトランスファークロウとを具備することを特徴とする半導体記憶装置。

【請求項３】

前記第３、第４のトランスファークロウの閾値電圧は、前記第２のトランスファークロウの閾値電圧より低く設定されていることを特徴とする請求項１又は２に記載の半導体記憶装置。

【請求項４】

複数のメモリセルアレイと、

前記各メモリセルアレイに配置され、電流通路の一端が各読み出しビット線に接続され、クロウ電極を記憶ノードとしてデータを記憶するＭＩＳトランジスタと、このＭＩＳトランジスタのクロウ電極と各書き込みビット線の相互間に接続され、クロウ電極が各サブワード線に接続されたトランスファークロウを有する複数のメモリセルと、

前記各メモリセルアレイに設けられた読み出しビット線の数と同数個設けられたセンスアンプと、

前記各メモリセルアレイの前記読み出しビット線と書き込みビット線の対をカラム選択信号に応じて前記センスアンプのうちの１つに接続する複数のトランスファークロウとを具備することを特徴とする半導体記憶装置。

【請求項５】

電流通路の一端が読み出しビット線に接続され、クロウ電極を記憶ノードとしてデータを記憶するＭＩＳトランジスタと、このＭＩＳトランジスタのクロウ電極と書き込みビット線の相互間に接続され、クロウ電極がワード線に接続されたトランスファークロウを有するメモリセルと、

クロウが前記読み出しビット線に接続され、電流通路の一端が前記書き込みビット線に接続され、第１のセンスアンプを構成する第１のトランジスタと、

電流通路の一端が前記書き込みビット線に接続され、選択信号に応じて前記書き込みビット線を選択する第２のトランジスタと

を具備することを特徴とする半導体記憶装置。

【手続補正２】

【補正対象書類名】明細書

【補正対象項目名】００１９

【補正方法】変更

【補正の内容】

【００１９】

【課題を解決するための手段】

本発明の半導体記憶装置の第１の態様は、電流通路の一端が読み出しビット線に接続され、クロウ電極を記憶ノードとしてデータを保持するＭＩＳトランジスタと、前記ＭＩＳトランジスタのクロウ電極に一端が接続され、ワード線の電位に応じて導通制御される第１のトランスファークロウと、一端が前記第１のトランスファークロウの他端に接続され、他端が書き込みビット線に接続され、クロウ電極が書き込みカラム選択信号線に接続され、前記書き込みカラム選択信号線の電位に応じて導通制御される第２のトランスファークロウとを具備している。

【手続補正３】

【補正対象書類名】明細書

【補正対象項目名】００２０

【補正方法】変更

【補正の内容】

【００２０】

また、本発明の半導体記憶装置の第２の態様は、行及び列に配置された複数のメモリセルを有し、各メモリセルは、クロウ電極を記憶ノードとしてデータを保持するＭＩＳトラ

ンジスタと、前記 M I S トランジスタのゲート電極に一端が接続された第 1 のトランスファークゲートと、一端が前記第 1 のトランスファークゲートの他端に接続された第 2 のトランスファークゲートとを有し、同一の行に配置された前記各メモリセルの前記第 1 のトランスファークゲートのゲート電極に接続された複数のワード線と、同一の列に配置された前記各メモリセルの前記 M I S トランジスタの電流通路の一端に接続された複数の読み出しビット線と、同一の列に配置された前記各メモリセルの前記第 2 のトランスファークゲートの他端に接続された複数の書き込みビット線と、同一の列に配置された前記各メモリセルの前記第 2 のトランスファークゲートのゲート電極に接続された複数の書き込みカラム選択線と、各列の書き込みカラム選択線にそれぞれ接続された複数のカラム選択線と、前記メモリセルから読み出された電位を検出するセンスアンプと、前記複数の読み出しビット線と前記センスアンプの入力端に接続され、対応する前記カラム選択線により選択される複数の第 3 のトランスファークゲートと、前記書き込みビット線と前記センスアンプの出力端に接続され、対応する前記カラム選択線により選択される複数の第 4 のトランスファークゲートとを具備している。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 1

【補正方法】削除

【補正の内容】

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 2

【補正方法】削除

【補正の内容】

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 3

【補正方法】削除

【補正の内容】

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 4

【補正方法】削除

【補正の内容】

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 5

【補正方法】変更

【補正の内容】

【0 0 2 5】

さらに、本発明の半導体記憶装置の第 3 の態様は、複数のメモリセルアレイと、前記各メモリセルアレイに配置され、電流通路の一端が各読み出しビット線に接続され、ゲート電極を記憶ノードとしてデータを記憶する M I S トランジスタと、この M I S トランジスタのゲート電極と各書き込みビット線の相互間に接続され、ゲート電極が各サブワード線に接続されたトランスファークゲートを有する複数のメモリセルと、前記各メモリセルアレイに設けられた読み出しビット線の数と同数個設けられたセンスアンプと、前記各メモリ

セルアレイの前記読み出しビット線と書き込みビット線の対をカラム選択信号に応じて前記センスアンプのうちの１つに接続する複数のトランスファークラップトを具備している。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正の内容】

【0026】

また、本発明の半導体記憶装置の第4の態様は、電流通路の一端が読み出しビット線に接続され、ゲート電極を記憶ノードとしてデータを記憶するMISトランジスタと、このMISトランジスタのゲート電極と書き込みビット線の相互間に接続され、ゲート電極がワード線に接続されたトランスファークラップトを有するメモリセルと、ゲートが前記読み出しビット線に接続され、電流通路の一端が前記書き込みビット線に接続され、第1のセンスアンプを構成する第1のトランジスタと、電流通路の一端が前記書き込みビット線に接続され、選択信号に応じて前記書き込みビット線を選択する第2のトランジスタとを具備している。

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】削除

【補正の内容】

【手続補正 11】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】削除

【補正の内容】