

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年7月14日(2005.7.14)

【公開番号】特開2002-198499(P2002-198499A)

【公開日】平成14年7月12日(2002.7.12)

【出願番号】特願2000-395933(P2000-395933)

【国際特許分類第7版】

H 01 L 27/108

G 11 C 11/405

H 01 L 21/8242

【F I】

H 01 L 27/10 351

G 11 C 11/34 352B

H 01 L 27/10 321

【手続補正書】

【提出日】平成16年11月17日(2004.11.17)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

電流通路の一端が読み出しビット線に接続され、ゲート電極を記憶ノードとしてデータを保持するMISトランジスタと、

前記MISトランジスタのゲート電極に一端が接続され、ワード線の電位に応じて導通制御される第1のトランスファーゲートと、

一端が前記第1のトランスファーゲートの他端に接続され、他端が書き込みビット線に接続され、ゲート電極が書き込みカラム選択信号線に接続され、前記書き込みカラム選択信号線の電位に応じて導通制御される第2のトランスファーゲートと

を具備することを特徴とする半導体記憶装置。

【請求項2】

行及び列に配置された複数のメモリセルを有し、各メモリセルは、

ゲート電極を記憶ノードとしてデータを保持するMISトランジスタと、前記MISトランジスタのゲート電極に一端が接続された第1のトランスファーゲートと、一端が前記第1のトランスファーゲートの他端に接続された第2のトランスファーゲートとを有し、

同一の行に配置された前記各メモリセルの前記第1のトランスファーゲートのゲート電極に接続された複数のワード線と、

同一の列に配置された前記各メモリセルの前記MISトランジスタの電流通路の一端に接続された複数の読み出しビット線と、

同一の列に配置された前記各メモリセルの前記第2のトランスファーゲートの他端に接続された複数の書き込みビット線と、

同一の列に配置された前記各メモリセルの前記第2のトランスファーゲートのゲート電極に接続された複数の書き込みカラム選択線と、

各列の書き込みカラム選択線にそれぞれ接続された複数のカラム選択線と、

前記メモリセルから読み出された電位を検出するセンスアンプと、

前記複数の読み出しビット線と前記センスアンプの入力端に接続され、対応する前記カラム選択線により選択される複数の第3のトランスファーゲートと、

前記書き込みビット線と前記センスアンプの出力端に接続され、対応する前記カラム選択線により選択される複数の第4のトランスマニアゲートと
を具備することを特徴とする半導体記憶装置。

【請求項3】

前記第3、第4のトランスマニアゲートの閾値電圧は、前記第2のトランスマニアゲートの閾値電圧より低く設定されていることを特徴とする請求項1又は2に記載の半導体記憶装置。

【請求項4】

複数のメモリセルアレイと、

前記各メモリセルアレイに配置され、電流通路の一端が各読み出しビット線に接続され、ゲート電極を記憶ノードとしてデータを記憶するMISトランジスタと、このMISトランジスタのゲート電極と各書き込みビット線の相互間に接続され、ゲート電極が各サブワード線に接続されたトランスマニアゲートを有する複数のメモリセルと、

前記各メモリセルアレイに設けられた読み出しビット線の数と同数個設けられたセンスアンプと、

前記各メモリセルアレイの前記読み出しビット線と書き込みビット線の対をカラム選択信号に応じて前記センスアンプのうちの1つに接続する複数のトランスマニアゲートと
を具備することを特徴とする半導体記憶装置。

【請求項5】

電流通路の一端が読み出しビット線に接続され、ゲート電極を記憶ノードとしてデータを記憶するMISトランジスタと、このMISトランジスタのゲート電極と書き込みビット線の相互間に接続され、ゲート電極がワード線に接続されたトランスマニアゲートを有するメモリセルと、

ゲートが前記読み出しビット線に接続され、電流通路の一端が前記書き込みビット線に接続され、第1のセンスアンプを構成する第1のトランジスタと、

電流通路の一端が前記書き込みビット線に接続され、選択信号に応じて前記書き込みビット線を選択する第2のトランジスタと
を具備することを特徴とする半導体記憶装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正の内容】

【0019】

【課題を解決するための手段】

本発明の半導体記憶装置の第1の態様は、電流通路の一端が読み出しビット線に接続され、ゲート電極を記憶ノードとしてデータを保持するMISトランジスタと、前記MISトランジスタのゲート電極に一端が接続され、ワード線の電位に応じて導通制御される第1のトランスマニアゲートと、一端が前記第1のトランスマニアゲートの他端に接続され、他端が書き込みビット線に接続され、ゲート電極が書き込みカラム選択信号線に接続され、前記書き込みカラム選択信号線の電位に応じて導通制御される第2のトランスマニアゲートとを具備している。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正の内容】

【0020】

また、本発明の半導体記憶装置の第2の態様は、行及び列に配置された複数のメモリセルを有し、各メモリセルは、ゲート電極を記憶ノードとしてデータを保持するMISトラ

ンジスタと、前記MISトランジスタのゲート電極に一端が接続された第1のトランスファーゲートと、一端が前記第1のトランスファーゲートの他端に接続された第2のトランスファーゲートとを有し、同一の行に配置された前記各メモリセルの前記第1のトランスファーゲートのゲート電極に接続された複数のワード線と、同一の列に配置された前記各メモリセルの前記MISトランジスタの電流通路の一端に接続された複数の読み出しビット線と、同一の列に配置された前記各メモリセルの前記第2のトランスファーゲートの他端に接続された複数の書き込みビット線と、同一の列に配置された前記各メモリセルの前記第2のトランスファーゲートのゲート電極に接続された複数の書き込みカラム選択線と、各列の書き込みカラム選択線にそれぞれ接続された複数のカラム選択線と、前記メモリセルから読み出された電位を検出するセンスアンプと、前記複数の読み出しビット線と前記センスアンプの入力端に接続され、対応する前記カラム選択線により選択される複数の第3のトランスファーゲートと、前記書き込みビット線と前記センスアンプの出力端に接続され、対応する前記カラム選択線により選択される複数の第4のトランスファーゲートとを具備している。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】削除

【補正の内容】

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】削除

【補正の内容】

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】削除

【補正の内容】

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】削除

【補正の内容】

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正の内容】

【0025】

さらに、本発明の半導体記憶装置の第3の態様は、複数のメモリセルアレイと、前記各メモリセルアレイに配置され、電流通路の一端が各読み出しビット線に接続され、ゲート電極を記憶ノードとしてデータを記憶するMISトランジスタと、このMISトランジスタのゲート電極と各書き込みビット線の相互間に接続され、ゲート電極が各サブワード線に接続されたトランスファーゲートを有する複数のメモリセルと、前記各メモリセルアレイに設けられた読み出しビット線の数と同数個設けられたセンスアンプと、前記各メモリ

セルアレイの前記読み出しビット線と書き込みビット線の対をカラム選択信号に応じて前記センスアンプのうちの1つに接続する複数のトランスマルチплексор и схема его управления

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正の内容】

【0026】

また、本発明の半導体記憶装置の第4の態様は、電流通路の一端が読み出しビット線に接続され、ゲート電極を記憶ノードとしてデータを記憶するMISトランジスタと、このMISトランジスタのゲート電極と書き込みビット線の相互間に接続され、ゲート電極がワード線に接続されたトランスマルチплексор и схема его управления

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】削除

【補正の内容】

【手続補正 11】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】削除

【補正の内容】