[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G06F 13/00 (2006.01)
H01L 27/00 (2006.01)

[12] 发明专利说明书

专利号 ZL 02119384.3

[45] 授权公告日 2006 年 4 月 12 日

[11] 授权公告号 CN 1251096C

[22] 申请日 2002.5.14 [21] 申请号 02119384.3

[30] 优先权

[32] 2001. 5.14 [33] JP [31] 143632/01

[71] 专利权人 精工爱普生株式会社

地址 日本东京都

[72] 发明人 中田章 笠原昌一郎

审查员 何怀燕

[74] 专利代理机构 中国专利代理（香港）有限公司

代理人 刘宗杰 叶恺东

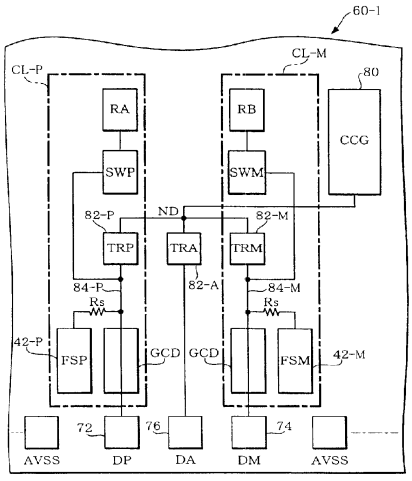
权利要求书 4 页 说明书 28 页 附图 19 页

[54] 发明名称

数据传送控制装置及电子机器

[57] 摘要

提供一种用来实现经差分对信号线进行稳定的高速数据传送的数据传送控制装置和包含它的电子机器。 在电流驱动构成差分对的第 1 和第 2 信号线中的任何一根的信号发送期间，使从恒流源来的电流流过 DP 接点（72）和 DM 接点（74）中的任何一方。 在信号发送期间以外，使 DA 接点（76）流过电流。 使从供给恒流源的电流的节点 ND 到 DP 接点（72）、DM 接点（74）的电流通路的线路结构对称配置，另一方面，使 DA 接点（76）配置在 DP 接点（72）和 DM 接点（74）之间。



1. 一种按照传送数据电流驱动构成差分对的第1信号线和第2信号线的数据传送控制装置，其特征在于：

包括连接在第1电源和给定的节点之间的电流源；

连接在上述第1信号线的第1接点；

连接在上述第2信号线的第2接点；

设置在上述第1接点和上述节点之间，用于在信号输出期间将上述第1接点和上述节点电连接的第1晶体管；

设置在上述第2接点和上述节点之间，用于在信号输出期间将上述第2接点和上述节点电连接的第2晶体管；

在信号输出期间以外进行电流驱动的第3接点；以及

在信号输出期间以外用于将上述第3接点和上述节点电连接的第3晶体管，

上述第1至第3接点并排，

上述第3接点配置在上述第1和第2接点之间，

在上述信号输出期间，按照上述传送数据排他性地对上述第1晶体管和上述第2晶体管进行控制，上述节点与上述第1接点和上述第2接点中的任何一个接点电连接。

2. 权利要求1记载的数据传送控制装置，其特征在于：

由第1发送信号线连接上述第1晶体管和上述第1接点，由第2发送信号线连接上述第2晶体管和上述第2接点，当上述第1和第2信号线的终端阻抗分别是给定的阻抗Z0时，

包括连接在上述第1发送信号线和第2电源之间且具有和阻抗Z0相等的阻抗的第1负载元件；以及

连接在上述第2发送信号线和第2电源之间且具有和阻抗Z0相等的阻抗的第2负载元件，

上述第1晶体管插在上述节点和上述第1接点之间，在导通时具有和阻抗Z0/2相等的阻抗，

上述第2晶体管插在上述节点和上述第2接点之间，在导通时具有和阻抗Z0/2相等的阻抗，

上述第3晶体管插在上述节点和上述第3接点之间，在导通时具有和阻抗Z0相等的阻抗。

3. 权利要求 2 记载的数据传送控制装置，其特征在于：

包括连接在上述第 3 晶体管和上述第 3 接点之间且具有和阻抗 Z0/2 相同的阻抗的第 3 负载元件，

上述第 3 晶体管导通时具有和阻抗 Z0/2 相同的阻抗。

4. 权利要求 2 记载的数据传送控制装置，其特征在于：

上述第 3 晶体管导通时具有和阻抗 Z0/2 相等的阻抗，

上述第 3 接点在外部用和阻抗 Z0/2 相等的阻抗作为其终端阻抗。

5. 权利要求 2 记载的数据传送控制装置，其特征在于：

包括连接在将上述第 3 晶体管和上述第 3 接点连接的第 3 发送信号线和第 2 电源之间且具有和阻抗 Z0 相同的阻抗的第 4 负载元件，

上述第 3 晶体管导通时具有和阻抗 Z0/2 相同的阻抗，

上述第 3 接点在外部用和阻抗 Z0 相等的阻抗作为其终端阻抗。

6. 一种按照传送数据电流驱动构成差分对的第 1 信号线和第 2 信号线的数据传送控制装置，其特征在于：

包括连接在第 1 电源和给定的节点之间的电流源；

连接在上述第 1 信号线的第 1 接点；

连接在上述第 2 信号线的第 2 接点；

设置在上述第 1 接点和上述节点之间，用于在信号输出期间将上述第 1 接点和上述节点电连接的第 1 晶体管；

设置在上述第 2 接点和上述节点之间，用于在信号输出期间将上述第 2 接点和上述节点电连接的第 2 晶体管；

连接在上述节点且在信号输出期间以外用以电流驱动的第 3 晶体管，

连接在用以连接上述第 1 晶体管和上述第 1 接点的第 1 发送信号线与第 2 电源之间且具有和阻抗 Z0 相等的阻抗的第 1 负载元件，

连接在用以连接上述第 2 晶体管和上述第 2 接点的第 2 发送信号线与第 2 电源之间且具有和阻抗 Z0 相等的阻抗的第 2 负载元件，以及

插在上述第 3 晶体管和第 2 电源之间且具有和阻抗 Z0/2 相等的阻抗的第 5 负载元件，

上述第 1 和第 2 信号线的终端阻抗分别是给定的阻抗 Z0，

上述第 1 晶体管导通时具有和阻抗 Z0/2 相等的阻抗，

上述第 2 晶体管导通时具有和阻抗 Z0/2 相等的阻抗，

上述第 3 晶体管导通时具有和阻抗 Z0/2 相等的阻抗，

在上述信号输出期间，按照上述传送数据上述节点与第 1 接点和上述第 2 接点中的任何一个接点电连接。

7. 权利要求 1 记载的数据传送控制装置，其特征在于：

上述第 1 至第 3 晶体管为 n 型 MOS 晶体管。

8. 权利要求 1～6 中任一项记载的数据传送控制装置，其特征在于：

包括与上述第 1 接点连接的上述第 1 晶体管的第 1 单元和包括与上述第 2 接点连接的上述第 2 晶体管的第 2 单元配置成使与各接点连接的布线和晶体管的寄生负载相等，

上述电流源与上述第 1 和第 2 单元相邻配置。

9. 权利要求 3 记载的数据传送控制装置，其特征在于：

上述第 3 负载元件配置在包括与上述第 1 接点连接的上述第 1 晶体管的第 1 单元和包括与上述第 2 接点连接的上述第 2 晶体管的第 2 单元之间的空闲区域内。

10. 权利要求 5 记载的数据传送控制装置，其特征在于：

上述第 4 负载元件配置在包括与上述第 1 接点连接的上述第 1 晶体管的第 1 单元和包括与上述第 2 接点连接的上述第 2 晶体管的第 2 单元之间的空闲区域内。

11. 权利要求 6 记载的数据传送控制装置，其特征在于：

上述第 5 负载元件配置在包括与上述第 1 接点连接的上述第 1 晶体管的第 1 单元和包括与上述第 2 接点连接的上述第 2 晶体管的第 2 单元之间的空闲区域内。

12. 权利要求 1 记载的数据传送控制装置，其特征在于：

上述第 1 至第 3 接点配置在被连接的压焊线的长度之差不存在的位置上。

13. 权利要求 1 记载的数据传送控制装置，其特征在于：

经构成差分对的第 1 和第 2 信号线发送的信号是以 USB 标准规定的信号。

14. 一种电子机器，其特征在于：

包含权利要求 1～5、7～13 中的任何一项记载的数据传送控制装置；和

经上述数据传送控制装置及上述第 1 和第 2 信号线连接且对上述传送数据进行输出处理、取入处理或存储处理的装置。

15. 一种电子机器，其特征在于：

包含权利要求 6 记载的数据传送控制装置；和

经上述数据传送控制装置及上述第 1 和第 2 信号线连接且对上述传送数据进行输出处理、取入处理或存储处理的装置。

数据传送控制装置及电子机器

技术领域

本发明涉及数据传送控制装置和包含它的电子机器。

背景技术

近年来，作为个人计算机和外设（广义的电子机器）连接的接口的标准，大家的目光都集中在USB（通用串行总线）上。该USB具有能用同一标准的连接器连接过去需要用不同标准的连接器连接的鼠标、键盘和打印机等外设同时还能实现边工作边插拔或热插拔的优点。

另一方面，该USB与同样作为的串行总线接口而显露头角的IEEE1394相比，存在传送速度慢的问题。

因此，筹划制定的USB2.0标准因对过去的USB1.1标准具有下位互换性，同时与USB1.1相比能实现480Mbps（HS方式）的特别高的数据传送速度，故为众人瞩目。此外，还正在筹划制定UTMI（USB2.0收发器宏单元接口），该UTMI对一部分USB2.0的物理层电路和逻辑层电路的接口标准进行了定义。

在该USB2.0中，在由过去的USB1.1定义的FS（全速）方式的基础上，由增加了称之为HS（高速）的传送方式。该HS方式因以480Mbps进行数据传送，故与以12Mbps进行数据传送的FS方式相比，能实现更高速的数据传送。因此，若按照USB2.0，能对要求进行高速数据传送的硬盘驱动器或光盘驱动器等存储设备提供最合适的接口。

在USB2.0中，规定了利用通用的驱动器进行HS方式的数据传送的要点。但是，对其构成没有具体的规定，只提到为了使通用的驱动器工作稳定，希望流过驱动器的电流是恒定的电流。

这样，当用例如由以USB2.0规定的HS方式工作的通用的驱动器驱动差分对信号线时，怎样构成才能兼顾规定的高速数据传送和工作的稳定性便成为很重要的课题。

发明内容

本发明是鉴于象以上那样的技术课题而提出的，其目的在于提供

一种用来实现经差分对信号线进行稳定的高速数据传送的数据传送控制装置和包含它的电子机器。

为了解决上述课题，本发明涉及的数据传送控制装置是按照传送数据电流驱动构成差分对的第 1 信号线和第 2 信号线的数据传送控制装置，包括连接在第 1 电源和给定的节点之间的电流源；连接在上述第 1 信号线的第 1 接点；连接在上述第 2 信号线的第 2 接点；设置在上述第 1 接点和上述节点之间，用于在信号输出期间将上述第 1 接点和上述节点电连接的第 1 晶体管；设置在上述第 2 接点和上述节点之间，用于在信号输出期间将上述第 2 接点和上述节点电连接的第 2 晶体管；在信号输出期间以外进行电流驱动的第 3 接点，以及在信号输出期间以外用于将上述第 3 接点和上述节点电连接的第 3 晶体管，上述第 1 至第 3 接点并排，上述第 3 接点配置在上述第 1 和第 2 接点之间，在上述信号输出期间，按照上述传送数据排他性地对上述第 1 晶体管和上述第 2 晶体管进行控制，上述节点与上述第 1 接点和上述第 2 接点中的任何一个接点电连接。

这里，接点是指作为沿例如数据传送控制装置的外缘部配置的连接端子的电极。各接点与外壳的各端子对应并分别进行电连接。

在本发明中，在与上述第 1 和第 2 信号线连接并在信号输出期间进行互斥电流驱动的第 1 和第 2 接点之间配置在信号输出期间以外的非信号输出期间进行电流驱动的第 3 接点。由此，容易使与在非信号输出期间驱动的第 3 接点连接的导线或元件等积蓄的电荷和与在信号输出期间驱动的第 1 和第 2 接点连接的导线或元件等积蓄的电荷保持大致相等的移动距离。因此，能够使从驱动第 3 接点的非信号输出期间到信号输出期间的切换所伴随的电荷移动均等，使刚切换后输出的第 1 和第 2 信号线的输出信号波形和切换前的该信号的波形等效。结果，可以使利用电流驱动对差分对的信号线进行高速信号输出的数据传送控制装置工作稳定。

若按照本发明，当电流驱动构成差分对第 1 和第 2 信号线时，向给定的节点供给电流源的电流，同时，互斥地控制与该节点连接的第 1 和第 2 开关晶体管，向要发送信号的信号线供给电流。进而，该节点与在信号输出期间以外导通的第 3 晶体管连接，并在信号输出期间以外经由第 3 晶体管流过从电流源来的电流。由此，可以避

免因在信号输出期间以外没有电流源的电流回路而使节点电压上升，所以，可以解决从非信号输出期间到信号输出期间的切换刚开始的发送信号的电平异常高的问题，并实现电流驱动时的稳定的发送动作。

例如，当通过电流驱动进行不能在每一次发送进行动作开始和动作的控制的高速信号发送时，可以兼顾高速信号发送和动作的稳定性。

再有，电流源可以是恒流源。

此外，由第 1 发送信号线连接上述第 1 晶体管和上述第 1 接点，由第 2 发送信号线连接上述第 2 晶体管和上述第 2 接点，当上述第 1 和第 2 信号线的终端阻抗分别是给定的阻抗 Z0 时，本发明可以包括连接在上述第 1 发送信号线和第 2 电源之间且具有和阻抗 Z0 相等的阻抗的第 1 负载元件以及连接在上述第 2 发送信号线和第 2 电源之间且具有和阻抗 Z0 相等的阻抗的第 2 负载元件， 上述第 1 晶体管插在上述节点和上述第 1 接点之间，在导通时具有和阻抗 Z0/2 相等的阻抗，上述第 2 晶体管插在上述节点和上述第 2 接点之间，在导通时具有和阻抗 Z0/2 相等的阻抗，上述第 3 晶体管插在上述节点和上述第 3 接点之间，在导通时具有和阻抗 Z0 相等的阻抗。

这里，给定的阻抗 Z0 可以取任意的阻抗值。

在本发明中，当电流驱动构成差分对第 1 和第 2 信号线时，向给定的节点供给电流源的电流，同时，互斥地控制与该节点连接的第 1 和第 2 开关晶体管，对与要发送信号的信号线连接的第 1 和第 2 接点供给电流。进而，该节点与在信号输出期间以外导通的第 3 晶体管连接，并在信号输出期间以外经由第 3 晶体管使从电流源来的电流流过第 3 接点。进而，构成各晶体管，在上述第 1 和第 2 信号线分别用给定的阻抗 Z0 作为其终端阻抗时，第 1 晶体管导通时具有和阻抗 Z0/2 相等的阻抗，第 2 晶体管导通时具有和阻抗 Z0/2 相等的阻抗，第 3 晶体管导通时具有和阻抗 Z0 相等的阻抗。此外，在第 1 发送信号线和第 2 电源之间连接具有和阻抗 Z0 相等的阻抗的第 1 负载元件，在第 2 发送信号线和第 2 电源之间连接具有和阻抗 Z0 相等的阻抗的第 2 负载元件。

由此，从供给电流源的电流的节点看出的输出阻抗是经第 1～第

3 晶体管的各回路分别以阻抗 Z0 作为其终端阻抗的输入阻抗。因此，在信号输出期间和非信号输出期间，即使第 1～第 3 晶体管中的某一个导通，也可以使与节点连接的阻抗大致等效。结果，即使第 1～第 3 晶体管中的某一个导通，也可以使供给从电流源来的电流的节点的电压变动相等，使信号输出期间输出的信号波形等效。

此外，本发明可以包括连接在上述第 3 晶体管和上述第 3 接点之间且具有和阻抗 Z0/2 相同的阻抗的第 3 负载元件，上述第 3 晶体管导通时具有和阻抗 Z0/2 相同的阻抗。

若按照本发明，第 3 晶体管导通时的阻抗和阻抗 Z0/2 相同，在该第 3 晶体管和第 3 接点之间连接阻抗为 Z0/2 的第 3 负载元件，所以，从供给电流源的电流的节点看出的输出阻抗是经第 1～第 3 晶体管的各回路分别以阻抗 Z0 作为其终端阻抗的输入阻抗。因此，可以得到和上述发明同样的效果。加之，因与给定的节点连接的各晶体管可以是同一形状，故能够减小因工艺变动而引起的各晶体管导通时的阻抗的变动。

此外，本发明也可以使上述第 3 晶体管导通时具有和阻抗 Z0/2 相等的阻抗，使上述第 3 接点在外部用和阻抗 Z0/2 相等的阻抗作为其终端阻抗。

在本发明中，第 3 晶体管导通时具有和阻抗 Z0/2 相等的阻抗，在外部，在第 3 接点上连接阻抗为 Z0/2 的第 3 负载元件，所以，从供给电流源的电流的节点看出的输出阻抗是经第 1～第 3 晶体管的各回路分别以阻抗 Z0 作为其终端阻抗的输入阻抗。因此，可以得到和上述发明同样的效果。加之，因与给定的节点连接的各晶体管可以是同一形状，故能够减小因工艺变动而引起的各晶体管导通时的阻抗的变动，同时，因不必在装置内设置负载元件，故可以使发送电路小型化和低成本化。

此外，本发明也可以包括连接在与上述第 3 晶体管和上述第 3 接点连接的第 3 发送信号线和第 2 电源之间具有和阻抗 Z0 相同的阻抗的第 4 负载元件，上述第 3 晶体管导通时具有和阻抗 Z0/2 相同的阻抗，上述第 3 接点在外部用和阻抗 Z0 相等的阻抗作为其终端阻抗。

在本发明中，第 3 晶体管导通时的阻抗和阻抗 Z0/2 相同，在第

3 发送信号线和第 2 电源之间连接阻抗和阻抗 Z0 相同的第 4 负载元件，在外部用和阻抗 Z0 相等的阻抗作为第 3 接点的终端阻抗，所以，从供给电流源的电流的节点看出的输出阻抗是经第 1～第 3 晶体管的各回路分别以阻抗 Z0 作为其终端阻抗的输入阻抗。因此，在信号输出期间和非信号输出期间，即使第 1～第 3 晶体管中的某一个导通，也可以使与节点连接的阻抗大致等效。结果，即使第 1～第 3 晶体管中的某一个导通，也可以使供给从电流源来的电流的节点的电压变动相等，使信号输出期间输出的信号波形等效。此外，因与各节点连接的晶体管和导线具有相同的结构，故可以减少单元的通用和线路配置等设计工时数，同时容易使从接点输出的信号的特性一致。

此外，本发明的按照传送数据电流驱动构成差分对的第 1 信号线和第 2 信号线的数据传送控制装置包括连接在第 1 电源和给定的节点之间的电流源；连接在上述第 1 信号线的第 1 接点；连接在上述第 2 信号线的第 2 接点；设置在上述第 1 接点和上述节点之间，用于在信号输出期间将上述第 1 接点和上述节点电连接的第 1 晶体管；设置在上述第 2 接点和上述节点之间，用于在信号输出期间将上述第 2 接点和上述节点电连接的第 2 晶体管；连接在上述节点且在信号输出期间以外用以电流驱动的第 3 晶体管，连接在用以连接上述第 1 晶体管和上述第 1 接点的第 1 发送信号线与第 2 电源之间且具有和阻抗 Z0 相等的阻抗的第 1 负载元件，连接在用以连接上述第 2 晶体管和上述第 2 接点的第 2 发送信号线与第 2 电源之间且具有和阻抗 Z0 相等的阻抗的第 2 负载元件，以及插在上述第 3 晶体管和第 2 电源之间且具有和阻抗 Z0/2 相等的阻抗的第 5 负载元件，上述第 1 和第 2 信号线的终端阻抗分别是给定的阻抗 Z0，上述第 1 晶体管导通时具有和阻抗 Z0/2 相等的阻抗，上述第 2 晶体管导通时具有和阻抗 Z0/2 相等的阻抗，上述第 3 晶体管导通时具有和阻抗 Z0/2 相等的阻抗，在上述信号输出期间，按照上述传送数据上述节点与第 1 接点和上述第 2 接点中的任何一个接点电连接。

在本发明中，第 3 晶体管导通时的阻抗和阻抗 Z0/2 相同，省略了第 3 接点，且在第 3 晶体管和第 2 电源之间，用具有阻抗 Z0/2 的第 5 负载元件作为供给电流源的电流的节点的终端，所以，从供给电流源的电流的节点看出的输出阻抗是经第 1～第 3 晶体管的各回路

分别以阻抗 Z0 作为其终端阻抗的输入阻抗。因此，在信号输出期间和非信号输出期间，即使第 1～第 3 晶体管中的某一个导通，也可以使与节点连接的阻抗等效。结果，即使第 1～第 3 晶体管中的某一个导通，也可以使供给从电流源来的电流的节点的电压变动相等，使信号输出期间输出的信号波形等效。此外，因与节点连接的各晶体管可以是同一形状，故能够减小因工艺变动而引起的各晶体管导通时的阻抗的变动。此外，通过削减第 3 接点，可以缩小电路规模和降低成本。

此外，本发明可以使上述第 1 至第 3 晶体管为 n 型 MOS 晶体管。

若按照本发明，因输入到各晶体管的栅极端子的栅极信号的激活方向和经各晶体管发送的发送信号的激活方向相同，故与 p 型 MOS 晶体管比较，可以缩小元件面积，同时，可以去掉叠加在发送信号上的噪声，可以生成可靠性高的发送信号。

此外，本发明可以使包括与上述第 1 接点连接的上述第 1 晶体管的第 1 单元和包括与上述第 2 接点连接的上述第 2 晶体管的第 2 单元配置成使与各接点连接的布线和晶体管的寄生负载相等，使上述电流源与上述第 1 和第 2 单元相邻配置。

此外，本发明可以使上述第 3 负载配置在包括与上述第 1 接点连接的上述第 1 晶体管的第 1 单元和包括与上述第 2 接点连接的上述第 2 晶体管的第 2 单元之间的空闲区域内。

此外，本发明可以使上述第 4 负载元件配置在包括与上述第 1 接点连接的上述第 1 晶体管的第 1 单元和包括与上述第 2 接点连接的上述第 2 晶体管的第 2 单元之间的空闲区域内。

此外，本发明可以使上述第 5 负载元件配置在包括与上述第 1 接点连接的上述第 1 晶体管的第 1 单元和包括与上述第 2 接点连接的上述第 2 晶体管的第 2 单元之间的空闲区域内。

若这样按照本发明，通过在通向由配置在数据传送控制装置内的差分对构成的第 1 和第 2 信号线的线路之间配置用来调整负载平衡的各负载元件，可以提高线路配置的效率。

此外，本发明可以使上述第 1 至第 3 接点配置在被连接的压焊线的长度之差不存在的位置上。

若按照本发明，因可以使 3 条路径从节点看去的阻抗都相等，故

可以提高输出信号电平的质量。

此外，本发明使经构成差分对的第 1 和第 2 信号线发送的信号是以 USB（通用串行总线）标准规定的信号。

这时，作为给定的接口标准，可以使用将 USB1. 1 或 USB2. 0 进一步发展了的标准。

此外，本发明的电子机器可以包含上述任何一段记载的数据传送控制装置和经上述数据传送控制装置及上述第 1 和第 2 信号线连接且对上述传送数据进行输出处理、取入处理或存储处理的装置。

若按照本发明，因可以将能进行高速数据发送且能稳定工作的数据传送控制装置组装在电子机器中，所以，能够提高电子机器的性能。

附图说明：

图 1 是表示本发明的发送电路使用的数据传送控制装置的一例构成的构成图。

图 2 是表示以 HS 方式进行数据传送时的收发系统的一例主要部分的构成的构成图。

图 3 是概要示出 HS 通用驱动器的构成的构成图。

图 4 是表示由 HS 通用驱动器发送的一例差分对的发送信号的波形的说明图。

图 5A 是用来说明在底板的角部附近配置接点时的负载平衡的说明图。图 5B 是用来说明在底板的中央部附近配置接点时的负载平衡的说明图。

图 6 是表示第 1 实施形态的发送电路的构成例的构成图。

图 7 是表示由第 1 实施形态的发送电路发送的一例差分对的发送信号的波形的说明图。

图 8A 是原理性地概要示出使用 n 型 MOS 晶体管作为开关元件时的发送信号的波形的说明图。图 8B 是原理性地概要示出使用 p 型 MOS 晶体管作为开关元件时的发送信号的波形的说明图。

图 9 是原理地示出第 1 实施形态的数据传送装置（半导体集成装置）的一例线路配置的说明图。

图 10 是表示第 2 实施形态的发送电路的构成例的构成图。

图 11 是原理地示出第 2 实施形态的数据传送装置（半导体集成

装置）的一例线路配置的说明图。

图 12 是表示第 3 实施形态的发送电路的构成例的构成图。

图 13 是原理地示出第 3 实施形态的数据传送装置（半导体集成装置）的一例线路配置的说明图。

图 14 是表示第 4 实施形态的发送电路的构成例的构成图。

图 15 是原理地示出第 4 实施形态的数据传送装置（半导体集成装置）的一例线路配置的说明图。

图 16 是表示第 5 实施形态的发送电路的构成例的构成图。

图 17 是原理地示出第 5 实施形态的数据传送装置（半导体集成装置）的一例线路配置的说明图。

图 18A、图 18B、图 18C 是各种电子机器的内部方框图的例子。

图 19A、图 19B、图 19C 是各种电子机器的外观图。

具体实施方式

下面，使用附图详细说明本发明的很好的实施例。

1. USB2. 0

若按照 USB2. 0，与 USB1. 1 或 USB2. 0 对应的多个外设可以经连接装置与作为管理总线的主机装置的个人计算机连接。

在这样的主机装上搭载有与 USB2. 0 对应的主机控制器。主机控制器判断连接的机器是与 USB1. 1 对应还是与 USB2. 0 对应，再经总线控制数据传送。

此外，在连接装置上，还搭载有例如与 USB2. 0 对应的连接控制器。连接控制器判断连接的外设是与 USB1. 1 对应还是与 USB2. 0 对应，再控制总线传送方式。

此外，在外设上还搭载与 USB1. 1 或 USB2. 0 对应的设备控制器。当例如设备控制器与 USB2. 0 对应时，该设备控制器包含与 USB1. 1 和 USB2. 0 的接口标准对应的物理层电路和进行与搭载的外设对应的数据传送控制的逻辑层电路。

本发明的半导体集成装置可以适用于包含上述物理层电路的主机控制器、连接控制器和设备控制器（广义的数据传送装置）。再有，本发明的半导体集成装置若是向差分对的信号线输出信号的装置，则不限定使用由 USB2. 0 规定的各种控制器。

2. 半导体集成装置（数据传送控制装置）

图 1 示出本发明的半导体集成装置使用的数据传送控制装置的一例构成的构成图。

该数据传送控制装置包含逻辑层电路和物理层电路。

逻辑层电路包含数据处理电路 10、HS（高速）电路 20 和 FS（全速）电路 30。物理层电路包含模拟前端电路 40。再有，该数据传送控制装置不必包含图 1 所示的所有的方框电路，也可以省略其中的一部分。

数据处理电路（广义地说是用来进行数据传送的给定的电路）10 进行用于以 USB2.0 为基准的数据传送的各种发送处理和接收处理。更具体一点说，数据处理电路在发送时，进行对发送数据附加 SYNC（同步）、SOP（数据组开始）、EOP（数据组结束）的处理或位填充处理等。进而，数据处理电路 10 还进行生成用来控制数据的收发的各种定时信号的处理。这样的数据处理电路 10 与 SIE（串行接口引擎）连接。

SIE 包含用来识别 USB 封装 ID 或地址的 SIE 控制逻辑和用来进行终端号的识别或 FIFO 控制等的终端处理的终端逻辑。

HS 电路 20 是用来采用使数据传送速度达到 480Mbps 的 HS 进行数据的收发的逻辑电路。

FS 电路 30 是用来采用使数据传送速度达到 12Mbps 的 FS 进行数据的收发的逻辑电路。

模拟前端电路 40 是包含用来进行 FS 或 HS 收发的驱动或接收的模拟电路。在 USB 中，利用使用了 DP（Dada+）和 DM（Data-）差分对的信号进行数据的收发。

该数据传送控制装置其余还包含 HS 电路 20 所使用的 480MHz 的时钟（未图示）、和生成模拟前端电路 40 的各种控制信号的控制电路（未图示）。

HS 电路 20 包含 DLL（延迟线 PLL）电路 22、和弹性缓冲器 24。

DLL 电路 22 根据由未图示的时钟电路生成的时钟信号和接收信号生成数据的采样脉冲。

弹性缓冲器 24 是用来消除装置内部和外部装置（与总线连接的外部装置）的时钟频率差（钟差）等的电路。

USB2.0 中，HS 方式和 FS 方式作为传送方式进行定义。HS 方

式是由 USB2. 0新定义的传送方式。FS 方式是由过去的 USB2. 0定义的传送方式。

在 HS 方式中，经 HS 电路 20，在数据处理电路 10 和模拟前端电路 40 之间进行数据的收发。

在 FS 方式中，经 FS 电路 30，在数据处理电路 10 和模拟前端电路 40 之间进行数据的收发。

因此，在模拟前端电路 40 中，单独设置用来以 HS 方式收发作为差分对的收发信号的 DP、DM 的 HS 方式用的驱动器和接收器以及用来以 FS 方式进行收发的 FS 方式用的驱动器和接收器。

更具体一点说，模拟前端电路 40 包含 FS 驱动器 42、FS 差分数据接收器 44、SE（单端）_DP 接收器 46、SE_DM 接收器 48、HS 通用驱动器（广义的发送电路）50、低速用 HS_SQ（压制）_L 电路 52、高速用 HS_SQ 电路 54 和 HS 差分数据接收器 56。

FS 驱动器 42 在 FS 方式中，将从 FS 电路 30 来的由 FS_DPout 和 FS_DMout 形成的差分对发送信号作为由 DP 和 DM 形成的差分对发送信号输出。该 FS 驱动器 42 由从 FS 电路 30 来的 FS_OutDis 进行输出控制。

FS 差分数据接收器 44 在 FS 方式中，对 DP 和 DM 的差分对接收信号进行放大，并作为 FS_DataIn 对 FS 电路 30 输出。该 FS 差分数据接收器 44 利用 FS_CompEnb 进行放大控制。

SE_DP 接收器 46 在 FS 方式中，对作为单端的接收信号 DP 进行放大，并作为 SE_DPin 对 FS 电路 30 输出。

SE_DM 接收器 48 在 FS 方式中，对作为单端的接收信号 DM 进行放大，并作为 SE_DMin 对 FS 电路 30 输出。

HS 通用驱动器 50 在 HS 方式中，对从 HS 电路 20 来的由 HS_DPout 和 HS_DMout 形成的差分对发送信号进行放大，并作为由 DP 和 DM 形成的差分对发送信号输出。该 HS 通用驱动器 50 利用从 HS 电路 20 来的 HS_OutDis 进行输出控制，同时，利用 HS_CurrentSourceEnb 进行驱动电流的控制。

低速用 HS_SQ_L 电路 52 高精度地检测 DP 和 DM 的差分对的接收信号的有无，并作为信号检测结果输出到 HS_SQ_L。该低速用 HS_SQ_L 电路 52 利用 HS_SQ_L_Enb 进行动作控制，利用 HS_SQ_L_Pwr

进行省电力控制。

高速用 HS_SQ 电路 54 在 HS 方式中检测 DP 和 DM 的差分对的接收信号的有无，并作为信号检测结果对 HS_SQ 输出。该高速用 HS_SQ 电路 54 利用从 HS_SQ 来的 HS_SQ_Enb 进行动作控制，利用 HS_SQ_Pwr 进行省电力控制。

HS 差分数据接收器 56 在 HS 方式中，对 DP 和 DM 的差分对接收信号进行放大，并输出 HS_DataIn、HS_DataIn_L。该 HS 差分数据接收器 56 利用 HS_RxEnb 进行放大控制。

差分对的收发信号 DP、DM 中的 DP 经开关 SWA 和上拉电阻 Rpu 与电源电压 3.3V 进行电连接。此外，差分对的收发信号中的 DM 与开关 SWB 连接。开关 SWA 和开关 SWB 由 RpuEnb 控制。若考虑负载平衡，也可以经开关 SWB 对 DM 连接和上拉电阻 Rpu 相等的电阻。RpuEnb 在 FS 方式时，至少利用开关 SWA 使 DP 与上拉电阻 Rpu 连接。

这样，数据传送控制装置的构成包含与 HS 方式和 FS 方式的传送速度对应的驱动器和接收器。

2.1 收发系统的构成

图 2 示出使用图 1 所示的数据传送控制装置以 HS 方式进行数据传送时的收发系统的一例主要部分的构成。

当用 HS 方式进行数据传送时，包含上述物理层电路的发送侧数据传送控制装置 60_T 和接收侧数据传送控制装置 60_R 经传送差分对的收发信号 DP、DM 的差分对的信号线（广义的第 1 和第 2 信号线）62-1、62-2 连接。

如上所述，若按照 USB2.0，与 HS 方式和 FS 方式的传送速度对应的驱动器和接收器分别单独设置。因此，各方式中的驱动器和接收器共同连接在差分对信号线（第 1 和第信号线 62-1、62-2）上。

发送侧的数据传送控制装置 60-T 的模拟前端电路至少包含 FS 驱动器 42-T、HS 通用驱动器 50-T。接收侧的数据传送控制装置 60-R 的模拟前端电路至少包含 FS 驱动器 42-R、HS 通用驱动器 56-R。

在 USB2.0 中，规定了 HS 方式数据传送时的输出阻抗 Z0（45Ω ± 10%），第 1 和第 2 信号线 62-1、62-2 在数据传送控制装置内，分别与具有和该输出阻抗等效的阻抗 Rs 的终端电阻连接。

该终端电阻与 FS 驱动器连接。因此，在 HS 方式中，通过使 FS

驱动器进行‘0’驱动，该终端电阻可以作为 HS 方式中的信号线的终端电阻使用。

FS 驱动器 42-T 通过例如图 1 所示的 FS_OutDis 的输出控制来对第 1 和第 2 信号线 62-1、62-2 进行‘0’驱动。结果，在发送侧的数据传送控制装置 60-T 内，对第 1 和第 2 信号线 62-1、62-2 通过终端电阻下拉。

此外，HS 通用驱动器 50-T 通过例如图 1 所示的 HS_OutDis 的输出控制和 HS_CurrentSourceEnb 的驱动电流的供给控制来对由从未图示的 HS 电路来的 HS_DPout 和 HS_DMout 形成的差分对的发送信号进行放大。

另一方面，FS 驱动器 42-R 通过例如图 1 所示的 FS_OutDis 的输出控制来对第 1 和第 2 信号线 62-1、62-2 进行‘0’驱动。结果，在接收侧的数据传送控制装置 60-R 内，对第 1 和第 2 信号线 62-1、62-2 通过终端电阻下拉。

此外，HS 通用驱动器 50-R 通过例如图 1 所示的 HS_RxEnb 的输出控制来对对第 1 和第 2 信号线 62-1、62-2 的差分对的接收信号进行放大，再输出 HS_DataIn 和 HS_DataIn_L。

这样，发送侧的数据传送控制装置 60-T 的 HS 通用驱动器 50-T 与发送信号对应，对在发送侧和接收侧分别用终端电阻作为其终端的第 1 和第 2 信号线 62-1、62-2 进行电流驱动。

3. 发送电路

3. 1 电流通路

图 3 概要示出这样的 HS 通用驱动器的构成。

HS 通用驱动器 50 包括连接在第 1 电源 AVDD 和节点 ND 之间的电流源 70 和一端与节点 ND 连接的开关元件 SW1～SW3。开关元件 SW1 的另一端与 DP 端子（广义的连接端子）72 连接。开关元件 SW2 的另一端与 DM 端子 74 连接。开关元件 SW3 的另一端与 DA 端子 76 连接。DA 端子 76 在电路内部或电路外部与第 2 电源 AVSS 连接。

当 HS 通用驱动器集成在半导体集成装置中时，DP 接点作为 DP 端子 72、DM 接点作为 DM 端子 74、DA 接点（或 AVSS 接点）作为 DA 端子 76，它们中间的某一个与电流源 70 电连接。这里，接点是指作为沿例如半导体集成装置的外缘部配置的连接端子的电极。各接点

与外壳的各端子对应进行电连接。

这样的HS通用驱动器50通过互斥地控制开关元件SW1～SW3，使从电流源70来的电流流过DP端子72、DM端子74和DA端子76中的某一个端子。

更具体一点说，当发送DP‘1’时，HS通用驱动器50利用HS_DPout使开关元件SW1导通，使开关元件SW2和SW3截止，使从电流源70来的电流流过DP端子72。

当发送DM‘1’时，HS通用驱动器50利用HS_DMout使开关元件SW2导通，使开关元件SW1和SW3截止，使从电流源70来的电流流过DM端子74。

在DP‘1’或DM‘1’的信号发送期间（广义的信号输出期间）以外的非信号发送期间（广义的非信号输出期间）内，HS通用驱动器50利用HS_OutDis使开关元件SW3导通，使开关元件SW1和SW2截止，使从电流源70来的电流流过DA端子76。

这样一来，在没有设置非信号发送期间的电流源70的电流通路的情况下，可以避免节点ND电压的上升。

图4示出由HS通用驱动器发送的一例差分对的发送信号的波形。

如图3所示，HS通用驱动器50从未图示的HS电路供给在具有两个边缘的状态下进行互斥逻辑动作的HS_DPout和HS_DMout。

一般，可以进行电流源70的动作开始和动作停止的控制。但是，因电流源70工作稳定需要时间，故当进行象HS方式那样的高速传送时，要在每一次发送都进行电流源70的动作开始和动作停止很困难。因此，为了使工作稳定，电流源70必须流过恒定的电流。

在这样由电流源70供给恒定电流的情况下，当不设置非信号发送期间的经开关元件SW3的电流通路时，因恒定流过的电流源70的电流而使节点ND的电压上升。

这时，当利用图4的T1所示的HS_DPout使开关元件SW1导通时，DP的电压超过规定的电平LV0。即，存在由从非信号发送期间变成信号发送期间的最初的T1中的HS_DPout输出的DP的电压变高的问题。该DP电压随时间的推移而逐渐接近原来在信号发送期间应输出的电压LV0。

DM也一样，当在接着T1的T2中利用HS_DMout使开关元件SW2导通时，DM的电压有时会超过规定的电平LV0。该DM电压随时间的推移而逐渐接近原来在信号发送期间应输出的电压LV0。

因此，在图3中，在非信号发送期间，通过经开关元件SW3使从电流源70来的电流流过DA端子，可以避免非信号发送期间节点ND电压的上升，防止从非信号发送期间变成信号发送期间的最初的发送信号的输出电平超过规定的范围，使工作稳定。

3．2 阻抗

当利用HS通用驱动器50对第1和第2信号线62-1、62-2进行电流驱动时，由节点ND到接收端一侧的阻抗来决定发送信号的电平。

这里，设从节点ND经开关元件SW1和第1信号线62-1到接收端的阻抗为Zp，从节点ND经开关元件SW2和第2信号线62-2到接收端的阻抗为Zm，从节点ND经开关元件SW3和DA端子74到第2电源AVSS的阻抗为Za。

即使在非信号发送期间设置通向DA端子的电流通路，当‘Zp: Zm: Za=1: 1: α（α<1）’时，节点ND的电压与通向DA端子的电流通路的阻抗对应上升。这时，当利用图4的T3所示的HS_DPout使开关元件SW1导通时，DP的电压有时会超过规定的电平LV0。即，存在由从非信号发送期间变成信号发送期间的最初的T3中的HS_DPout输出的DP的电压变高的问题。该DP电压随时间的推移而逐渐接近原来在信号发送期间应输出的电压LV0。

DM也一样，当在接着T3的T4中利用HS_DMout使开关元件SW2导通时，DM的电压有时会超过规定的电平LV0。该DM电压随时间的推移而逐渐接近原来在信号发送期间应输出的电压LV0。

此外，即使在非信号发送期间设置通向DA端子的电流通路，当‘Zp: Zm: Za=1: 1: β（0<β<1）’时，因通向DA端子的电流通路的阻抗低，故节点ND的电压下降。这时，当利用图4的T3所示的HS_DPout使开关元件SW1导通时，DP的电压达不到规定的电平LV0。即，存在由从非信号发送期间变成信号发送期间的最初的T3中的HS_DPout输出的DP的电压变低，在接收端发送信号不能被正常地检测出来的问题。该DP电压随时间的推移而逐渐接近原来在信

号发送期间应输出的电压 LV0。

DM 也一样，当在接着 T3 的 T4 中利用 HS_DMout 使开关元件 SW2 导通时，DM 的电压有时达不到规定的电平 LV0。该 DM 电压随时间的推移而逐渐接近原来在信号发送期间应输出的电压 LV0。

这样，当从节点到各电流通路的阻抗不一致时，不仅经各通路输出的信号电平不一致，而且节点 ND 的电压也会变动。

第 1 和第 2 信号线 62-1、62-2 如上所述变成由发送侧和接收侧的终端电阻及信号线的阻抗规定的阻抗 Z0。因此，在图 3 中，因假定各电流通路的阻抗相等（大致相等），故在非信号发送期间使从电流源 70 来的电流经开关元件 SW3 流过 DA 端子的通路的阻抗和上述阻抗相等。

3．3 线路配置

在这样的数据传送控制装置中，至少要求通向由 HS 通用驱动器驱动的第 1 和第 2 信号线 62-1、62-2 的电流通路保持对称性。这样一来，可以保持通向 DP 端子和 DM 端子的通路的电荷平衡，结果，可以使在信号发送期间由第 1 和第 2 信号线 62-1、62-2 输出的信号波形相同。

此外，要求在非信号发送期间用来使从电流源 70 来的电流流过 DA 端子的开关元件 SW3 和在信号发送期间用来使从电流源 70 来的电流流过的开关元件 SW1、SW2 等距离。这样一来，在信号发送期间和非信号发送期间的切换时，可以使节点 ND 的电荷移动在开关元件 SW1 和 SW2 中相等。结果，当从非信号发送期间切换到信号发送期间的最初的信号经开关元件 SW1 和 SW2 中的任何一个输出时，可以使该信号的波形等效。

因此，在数据传送控制装置（半导体集成装置）中，使信号发送期间形成电流通路的 2 条路径（SW1、SW2）的线路对称配置，使寄生在通向构成差分对的第 1 和第 2 信号线的路径上的电阻性负载和电容性负载等相等，而与工艺变动无关。因此，附加在以差分对的形式动作的收发信号上的噪声可以准确地抵消。

进而，当例如进行通向各差分对信号线的各路径的线路设计时，使各路径单元化并使两个单元之间实现密勒配置。而且，对于在信号发送期间以外形成电流通路的 1 个路径（SW3），将其配置在两个

单元之间，使从非信号发送期间切换到信号发送期间时的 DP 和 DM 的信号波形等效，同时，提高线路配置的效率。

3．4 接点位置

此外，当与构成差分对的第 1 和第 2 信号线 62-1、62-2 连接的 DP 端子 72、DM 端子 74 在半导体衬底上作为 DP 接点和 DM 接点设置时，要求在衬底的大致中央部配置两个接点，使到对应的外壳端子的平衡负载相等。

这样一来，可以减轻寄生在从 DP 和 DM 接点经压焊线到对应的外壳端子的负载并保持负载平衡，可以通过使信号波形等效来提高信号收发的可靠性。

当如图 5A 所示那样，例如在半导体衬底 78 的角部附近配置 DP 接点 72、DM 接点 74 和 DA 接点 76 时，若考虑外壳引线的长度，则接点到外壳端子的寄生负载相应变大。此外，对于 DP 接点 72 和 D74，有时会因压焊线和引线的长度差而使负载失去平衡。

与此相对，当如图 5B 所示那样，例如在半导体衬底 78 的中央部附近配置 DP 接点 72、DM 接点 74 和 DA 接点 76 时，与图 5A 的情况相比，因外壳引线的长度变短，故可以减小接点到外壳端子的寄生负载。而且，对于 DP 接点 72 和 D74，压焊线和引线的长度差没有了，可以使平衡负载保持相等。

此外，如上所述，因不仅 DP 接点和 DM 接点，对 DA 接点也必须考虑负载平衡，故要求在使与它们连接的信号线的平衡负载相等的位置上配置 3 个接点。

如上所述，通过构成 HS 通用驱动器，可以实现例如 HS 方式的数据传送。此外，可以使数据传送所必要的电流源的工作稳定，实现稳定的高速数据传送。

3．5 发送电路的构成例

下面，具体说明可适用于这样的 HS 通用驱动器的发送电路和包含该发送电路的数据传送控制装置。

<第 1 实施形态>

图 6 示出本发明的第 1 实施形态的发送发电路的构成例。

第 1 实施形态中的作为发送电路的 HS 通用驱动器 50 在数据传送控制装置 60-1 中进行由 USB2．0 规定的信号的发送。该数据传送

控制装置 60-1 包含 DP 端子 72、DM 端子 74 和 DA 端子 76。

DP 端子 72 与构成差分对的信号线的第 1 信号线 62-1 电连接。DM 端子 74 与构成差分对的信号线的第 2 信号线 62-2 电连接。DA 端子与第 2 电源 AVSS 电连接。

作为发送电路的 HS 通用驱动器 50 包括恒流源 80、作为开关元件 SW1 的 n 型 MOS 晶体管 82-P、作为开关元件 SW2 的 n 型 MOS 晶体管 82-M 和作为开关元件 SW3 的 n 型 MOS 晶体管 82-A。

恒流源 80 利用电流源控制信号 CI60 控制其动作。恒流源 80 向节点 ND 供给与该电流源控制信号 CI60 的电流值对应的给定的恒定电流值的电流。

节点 ND 与 n 型 MOS 晶体管 82-P、82-M 和 82-A 的各源极端子连接。

n 型 MOS 晶体管 82-P 的漏极端子与 DP 端子 72 连接，栅极供给从 HS 电路来的 HS_DPout。

n 型 MOS 晶体管 82-M 的漏极端子与 DM 端子 74 连接，栅极供给从 HS 电路来的 HS_DMout。

n 型 MOS 晶体管 82-A 的漏极端子与 DP 端子 76 连接，栅极供给从 HS 电路来的 HS_OutDis。

n 型 MOS 晶体管 82-P 的漏极端子与 DP 端子 72 电连接的第 1 发送信号线 84-P 如上所述，使用 FS 驱动器的终端电阻作为其终端，因此，在图 6 中，原理上，在第 1 发送信号线 84-P 和第 2 电源 AVSS 之间连接具有电阻 Rs 的电阻元件。

n 型 MOS 晶体管 82-M 的漏极端子与 DM 端子 74 电连接的第 2 发送信号线 84-M 如上所述，使用 FS 驱动器的终端电阻作为其终端，因此，在图 6 中，原理上，在第 2 发送信号线 84-M 和第 2 电源 AVSS 之间连接具有电阻 Rs 的电阻元件。

在第 1 实施形态中，n 型 MOS 晶体管 82-P、82-M 形成这样的的形状，使得其分别利用 HS_DPout、HS_DMout 导通时的电阻变成 Rs/2。

此外，n 型 MOS 晶体管 82-A 形成这样的的形状，使得其利用 HS_OutDis 导通时的电阻变成 Rs。

这里，设 n 型 MOS 晶体管 82-P 的沟道宽度为 Wp、n 型 MOS 晶体

管 82-M 的沟道宽度为 Wm、n 型 MOS 晶体管 82-A 的沟道宽度为 Wa。例如，使各晶体管的沟道长度 L 一定，通过沟道宽度 Wp（Wm）来实现电阻 Rs/2，通过调整 'Wp: Wm: Wa=1: 1: 0.5'，能够容易实现具有上述电阻的晶体管。

恒流源 80 包含 p 型 MOS 晶体管 86-1～86-4，是 2 级构成的通用密勒电路。

即，p 型 MOS 晶体管 86-1 其源极端子与第 1 电源 AVDD 连接，漏极端子与 p 型 MOS 晶体管 86-2 的源极端子连接。p 型 MOS 晶体管 86-1 的栅极端子和漏极端子连接。p 型 MOS 晶体管 86-2 的栅极端子和漏极端子连接。

p 型 MOS 晶体管 86-2 的漏极端子供给电流源控制信号 CI60。

另一方面，p 型 MOS 晶体管 86-3 其源极端子与第 1 电源 AVDD 连接，漏极端子与 p 型 MOS 晶体管 86-4 的源极端子连接。p 型 MOS 晶体管 86-3 的栅极端子和 p 型 MOS 晶体管 86-1 的栅极端子连接。p 型 MOS 晶体管 86-4 的栅极和 p 型 MOS 晶体管 86-2 的栅极端子连接。

p 型 MOS 晶体管 86-4 的漏极端子与节点 ND 连接。

在这样的恒流源 80 中，可以利用 2 级密勒结构生成稳定的恒定电流值的电流。该恒流源 80 向节点 ND 供给具有电流源控制信号 CI60 供给的电流值的给定的密勒倍率的恒定电流值的电流。

在上述构成发送电路中，从节点 ND 看去的经 n 型 MOS 晶体管 82-P、82-M、82-A 的电流通路的电阻全部和 Rs 相等（大致相等）。

即，当发送 DP '1' 时，通过利用 HS_DPout 使 n 型 MOS 晶体管 82-P 导通，以向节点 ND 供给的恒定电流驱动从节点 ND 看去的阻抗 Rs。

当发送 DM '1' 时，通过利用 HS_DMout 使 n 型 MOS 晶体管 82-M 导通，以向节点 ND 供给的恒定电流驱动从节点 ND 看去的阻抗 Rs。

此外，在向 DP 和 DM 发送 '0' 的非信号发送期间，通过使 n 型 MOS 晶体管 82-A 导通，以向节点 ND 供给的恒定电流驱动从节点 ND 看去的阻抗 Rs。

因此，通过将该电阻 Rs 调整到由 USB2.0 规定的 HS 通用驱动器的输出电阻，可以实现 HS 方式的数据传送。

图 7 示出第 1 实施形态的发送电路发送的一例差分对的发送信

号的波形。

如上所述，第 1 实施形态的发送电路设置非信号发送期间的恒流源的电流通路，构成为使从节点 ND 开始的所有电流通路的电阻相等。因此，由从非信号发送期间到信号发送期间的最初的 T10 的 HS_DPout 输出的 DP 的电压按原来发送期间应输出的电平 LV0 输出，不输出规定外的信号电平。

进而，如图 6 所示，第 1 实施形态的特征是使用 n 型 MOS 晶体管作为开关元件。

图 8A、图 8B 原理性地概要示出作为开关元件使用 n 型 MOS 晶体管和 p 型 MOS 晶体管时的发送信号的波形。

如图 8A 所示，当使用 n 型 MOS 晶体管作为开关元件时，向栅极端子供给的栅极信号（例如，图 6 中的 HS_DPout、HS_DMout、HS_OutDis）的激活方向与栅极信号被激活时发送信号（例如图 6 中的 DP、DM）的激活方向是同一方向。

与此相对，如图 8B 所示，当使用 p 型 MOS 晶体管作为开关元件时，向栅极端子供给的栅极信号的激活方向与经 n 型 MOS 晶体管的源极端子和漏极端子输出的发送信号的激活方向是相反的方向。这时，因从栅极信号为逻辑电平 'L' 开始 p 型 MOS 晶体管的源极端子和漏极端子便流过电流，故发送信号可能叠加负方向的噪声。

因此，如图 8A 所示，通过使用 n 型 MOS 晶体管作为开关元件，与 p 型 MOS 晶体管相比，可以缩小元件面积，同时，能够除去叠加在发送信号上的噪声，可以生成可靠性高的发送信号。

图 9 原理地示出包含第 1 实施形态的作为发送电路的 HS 通用驱动器 50 的数据传送装置（半导体集成装置）的一例线路配置。

但是，对与图 6 所示的作为发送电路的 HS 通用驱动器 50 相同的部分附加相同的符号并适当省略其说明。

包含第 1 实施形态的作为发送电路的 HS 通用驱动器 50 的数据传送装置 60-1 集成在半导体衬底上。在该数据传送装置 60-1 中，沿底板外沿部排列接点。这里，在第 2 电源 AVSS 接点之间配置 DP 接点 72 和 DM 接点 74，在其中间配置 DA 接点 76。

DP 接点 72 在给定的布线层与第 1 单元 CL-P 电连接。

DP 接点 74 在给定的布线层与第 2 单元 CL-M 电连接。

第 1 和第 2 单元 CL-P、CL-M 是将形成通向差分对的第 1 和第 2 下划线 62-1、62-2 的电流通路的晶体管、电阻元件、开关元件及与其电连接的导线单元化后形成的。第 1 和第 2 单元 CL-P、CL-M 至少布线层是密勒配置。

第 1 单元 CL-P 使从节点 ND 到与第 1 信号线 62-1 连接的 DP 接点 72 的电流通路单元化。

更具体一点说，第 1 单元 CL-P 包含 n 型 MOS 晶体管 82-p 的配置区 TRP、驱动 FS 驱动器 42 的 DP 的驱动电路 42-P 的配置区 FSP、输入保护电路的配置区 GCD、与第 1 电源 3.3V 连接的上拉电阻的配置区 RA 和用来连接上拉电阻和第 1 信号线 62-1 的开关元件 SWA 的配置区 SWP。配置区 FSP 和第 1 发送信号线 84-P 的布线层通过形成了具有电阻 Rs 的电阻元件的电阻元件配置区进行电连接。此外，第 1 发送信号线 84-P 的布线层通过输入保护电路的配置区 GCD 使配置区 TRP 和 DP 接点 72 电连接。

另一方面，第 2 单元 CL-M 包含 n 型 MOS 晶体管 82-M 的配置区 TRM、驱动 FS 驱动器 42 的 DM 的驱动电路 42-M 的配置区 FSM、输入保护电路的配置区 GCD、与第 1 电源 3.3V 连接的上拉电阻的配置区 RB 和用来连接上拉电阻和第 2 信号线 62-2 的开关元件 SWB 的配置区 SWM。配置区 FSM 和第 2 发送信号线 84-M 的布线层通过形成了具有电阻 Rs 的电阻元件的电阻元件配置区进行电连接。此外，第 2 发送信号线 84-M 的布线层通过输入保护电路的配置区 GCD 使配置区 TRM 和 DP 接点 74 电连接。

DA 接点 76 配置在 DP 接点 72 和 DM 接点 74 之间。DA 接点和 n 型 MOS 晶体管 82-A 的配置区 TRA 通过配置在与接点的排列方向大致垂直的方向上的给定的布线层进行电连接。

此外，向节点 ND 供给恒定电流值的电流的恒流源 80 的配置区 CCG 因要维持第 1 和第 2 单元 CL-M、CL-P 的对称性，故配置在与第 2 单元 CL-M 相邻的区域。

这样，通过线路配置，通向构成差分对的第 1 和第 2 信号线的路径的寄生电阻和电容等具有相同的负载而与工艺变动无关，附加在以差分对的形式动作的收发信号 DP、DM 上的噪声可以精确地相互抵消。

此外，对于在信号发送期间以外形成的经 n 型 MOS 晶体管 82-A 的电流通路，通过配置在通向构成差分对的第 1 和第 2 信号线的路径之间，可以提高线路配置的效率。

<第 2 实施形态>

图 10 示出本发明的第 2 实施形态的发送电路的构成例。

只是，对和图 6 所示的第 1 实施形态的发送电路相同的部分附加相同的符号并省略其说明。

第 2 实施形态中的发送电路 100 在数据传送控制装置 60-2 中进行由 USB2. 0 规定的信号的发送。

第 2 实施形态中的发送电路 100 与第 1 实施形态的作为发送电路的 HS 通用驱动器 50 的第 1 不同点在于作为开关元件 SW3 使用的 n 型 MOS 晶体管 102-A 的形状和 n 型 MOS 晶体管 82-A 的形状不同。

此外，第 2 实施形态中的发送电路 100 与第 1 实施形态的作为发送电路的 HS 通用驱动器 50 的第 2 不同点在于在 n 型 MOS 晶体管 102-A 的漏极端子和 DA 端子 76 之间插入阻抗为 Rs/2 的电阻元件 104。

即，在发送电路 100 中，n 型 MOS 晶体管 102-A 和 n 型 MOS 晶体管 82-P、82-M 具有相同的形状，构成为 'Wp: Wm: Wa=1: 1: 1'，由此，使 n 型 MOS 晶体管 102-A 在利用 HS_OutDis 导通时的导通电阻的阻抗为 Rs/2。进而，在 n 型 MOS 晶体管 102-A 的漏极端子和 DA 端子 76 之间插入阻抗为 Rs/2 的电阻元件。

通过这样来构成，从节点 ND 到 DA 端子 76 的电流通路的阻抗变成 Rs，从节点 ND 看过去的经 n 型 MOS 晶体管 82-P、82-M、102-A 的电流通路的阻抗都与 Rs 相等。

这样构成的第实施形态的发送电路 100 的动作因和第 1 实施形态的作为发送电路的 HS 通用驱动器 50 的动作相同，故省略其说明。

因此，第 2 实施形态的发送电路 100 能得到和第 1 实施形态的作为发送电路的 HS 通用驱动器 50 同样的效果，同时，因作为与节点 ND 连接的开关元件的晶体管的形状相同，故能够减小因工艺变动产生的与节点 ND 连接的各晶体管的导通电阻的变动。此外，作为电阻元件 104，当与和与第 1 及第 2 发送信号线 84-M、84-P 连接的终端电阻有同样构成的电阻元件并联连接构成时，能够减小因工艺变

动产生的各电阻元件电阻值的变动。

图 11 原理地示出包含第 2 实施形态的发送电路 100 的数据传送装置（半导体集成装置）的一例线路配置。

只是，对和图 6 所示的作为发送电路的 HS 通用驱动器 50 相同的部分附加相同的符号并适当省略其说明。此外，对和图 9 所示的数据传送控制装置 60-1 相同的部分附加相同的符号并适当省略其说明。

第 2 实施形态的数据传送控制装置 60-2 与第 1 实施形态相比，n 型 MOS 晶体管 102-A 的配置区域 TRA 的大小是其一半左右，另一方面，具有阻抗为 Rs/2 的电阻成分的电阻元件的配置区域在配置区 TRA 和 DA 接点 76 之间形成。而且，DA 接点和 n 型 MOS 晶体管 102-A 的配置区域 TRA 经该电阻元件配置区，通过配置在与接点的排列方向大致垂直的方向上的给定的布线层进行电连接。

通过这样的线路配置，可以保持通向构成差分对的第 1 和第 2 信号线的路径的对称性，同时，可以提高线路配置的效率。

<第 3 实施形态>

图 12 示出本发明的第 3 实施形态的发送电路的构成例。

只是，对和图 6 所示的第 1 实施形态的发送电路相同的部分附加相同的符号并省略其说明。

第 3 实施形态中的发送电路 120 在数据传送控制装置 60-3 中进行由 USB2. 0 规定的信号的发送。

第 3 实施形态中的发送电路 120 与第 1 实施形态的作为发送电路的 HS 通用驱动器 50 的第 1 个不同点在于作为开关元件 SW3 使用的 n 型 MOS 晶体管 122-A 的形状与 n 型 MOS 晶体管 82-A 的形状不同。

此外，第 3 实施形态中的发送电路 120 与第 1 实施形态的作为发送电路的 HS 通用驱动器 50 的第 2 个不同点在于在数据传送控制装置外部阻抗为 Rs/2 的电阻元件与 DA 端子 76 连接。

即，在发送电路 120 中，n 型 MOS 晶体管 122-A 和 n 型 MOS 晶体管 82-P、82-M 具有相同的形状，构成为 'Wp: Wm: Wa=1: 1: 1'，由此，使 n 型 MOS 晶体管 122-A 在利用 HS_OutDis 导通时的导通电阻的阻抗为 Rs/2。进而，在装置外部，阻抗为 Rs/2 的电阻元件与 DA 端子 76 连接。

通过这样来构成，从节点 ND 到 DA 端子 76 的电流通路的阻抗变成 Rs/2，从节点 ND 看过去的经 n 型 MOS 晶体管 82-P、82-M、122-A 的电流通路的阻抗都与 Rs 相等。

这样构成的第 3 实施形态的发送电路 120 的动作因和第 1 实施形态的作为发送电路的 HS 通用驱动器 50 的动作相同，故省略其说明。

因此，第 3 实施形态的发送电路 120 能得到和第 1 实施形态的作为发送电路的 HS 通用驱动器 50 同样的效果，同时，因作为与节点 ND 连接的开关元件的晶体管的形状相同，故能够减小因工艺变动产生的与节点 ND 连接的各晶体管的导通电阻的变动。此外，与第 2 实施形态不同，在装置内不必设置电阻元件 104，可以使发送电路小型化、低成本化。

图 13 原理地示出包含第 3 实施形态的发送电路 120 的数据传送装置的一例线路配置。

只是，对和图 6 所示的作为发送电路的 HS 通用驱动器 50 相同的部分附加相同的符号并适当省略其说明。此外，对和图 9 所示的数据传送控制装置 60-1 相同的部分附加相同的符号并适当省略其说明。

第 3 实施形态的数据传送控制装置 60-3 与第 1 实施形态相比，n 型 MOS 晶体管 122-A 的配置区域 TRA 的大小是其一半左右，提高了其它元件的配置自由度。

在这种情况下，和第 1 实施形态一样，可以保持通向构成差分对的第 1 和第 2 信号线的路径的对称性，同时，可以提高线路配置的效率。

<第 4 实施形态>

图 14 示出本发明的第 4 实施形态的发送电路的构成例。

只是，对和图 6 所示的第 1 实施形态的发送电路相同的部分附加相同的符号并省略其说明。

第 4 实施形态中的发送电路 140 在数据传送控制装置 60-4 中进行由 USB2. 0 规定的信号的发送。

第 4 实施形态中的发送电路 140 与第 1 实施形态的作为发送电路的 HS 通用驱动器 50 的第 1 个不同点在于作为开关元件 SW3 使用

的 n 型 MOS 晶体管 142-A 的形状与 n 型 MOS 晶体管 82-A 的形状不同。

此外，第 4 实施形态中的发送电路 140 与第 1 实施形态的作为发送电路的 HS 通用驱动器 50 的第 2 个不同点在于使 n 型 MOS 晶体管 142-A 的漏极和 DA 端子 76 电连接的第 3 发送信号线 84-A 和与第 2 电源 AVSS 之间具有阻抗 Rs 的电阻元件连接。

进而，第 4 实施形态中的发送电路 140 与第 1 实施形态的作为发送电路的 HS 通用驱动器 50 的第 3 个不同点在于在数据传送控制装置外部阻抗为 Rs 的电阻元件与 DA 端子 76 连接。

即，在发送电路 140 中，n 型 MOS 晶体管 142-A 和 n 型 MOS 晶体管 82-P、82-M 具有相同的形状，构成为 'Wp: Wm: Wa=1: 1: 1'，由此，使 n 型 MOS 晶体管 142-A 在利用 HS_OutDis 导通时的导通电阻的阻抗为 Rs/2。进而，在第 3 发送信号线 84-A 和与第 2 电源 AVSS 之间连接阻抗为 Rs 的电阻元件，DA 端子 76 也用阻抗为 Rs 的电阻元件作为终端。

通过这样来构成，从节点 ND 到 DA 端子 76 的电流通路的阻抗变成 Rs/2，从节点 ND 看过去的经 n 型 MOS 晶体管 82-P、82-M、122-A 的电流通路的阻抗都与 Rs 相等。

这样构成的第 4 实施形态的发送电路 140 的动作因和第 1 实施形态的作为发送电路的 HS 通用驱动器 50 的动作相同，故省略其说明。

因此，第 4 实施形态的发送电路 140 能得到和第 1 实施形态的作为发送电路的 HS 通用驱动器 50 同样的效果，同时，因作为与节点 ND 连接的开关元件的晶体管的形状相同，故能够减小因工艺变动产生的与节点 ND 连接的各晶体管的导通电阻的变动。此外，对于 DA 端子，因可以和 DP 端子及 DM 端子具有同样的构成，故可以减少单元公用和线路配置等设计工时数，同时，容易使它们的特性一致。

图 15 原理地示出包含第 4 实施形态的发送电路 140 的数据传送装置的一例线路配置。

只是，对和图 6 所示的作为发送电路的 HS 通用驱动器 50 相同的部分附加相同的符号并适当省略其说明。此外，对和图 9 所示的数据传送控制装置 60-1 相同的部分附加相同的符号并适当省略其说明。

第 4 实施形态的数据传送控制装置 60-4 与第 1 实施形态相比，n 型 MOS 晶体管 142-A 的配置区域 TRA 的大小是其一半左右，另一方面，具有阻抗为 Rs 的电阻成分的电阻元件的配置区域在配置区 TRA 和 DA 接点 76 之间形成。而且，第 3 发送信号线的布线层在和第 2 电源 AVS 之间，由该电阻成分进行电连接。DA 接点 76 和 n 型 MOS 晶体管 142-A 的配置区域 TRA 经该电阻元件配置区，通过配置在与接点的排列方向大致垂直的方向上的第 3 发送信号线 84-A 的布线层进行电连接。

通过这样的线路配置，可以保持通向构成差分对的第 1 和第 2 信号线的路径的对称性，同时，可以提高线路配置的效率。

<第 5 实施形态>

图 16 示出本发明的第 5 实施形态的发送电路的构成例。

只是，对和图 6 所示的第 1 实施形态的发送电路相同的部分附加相同的符号并省略其说明。

第 5 实施形态中的发送电路 160 在数据传送控制装置 60-5 中进行由 USB2. 0 规定的信号的发送。

第 5 实施形态中的发送电路 160 与第 1 实施形态的作为发送电路的 HS 通用驱动器 50 的第 1 个不同点在于作为开关元件 SW3 使用的 n 型 MOS 晶体管 162-A 的形状与 n 型 MOS 晶体管 82-A 的形状不同。

此外，第 5 实施形态中的发送电路 160 与第 1 实施形态的作为发送电路的 HS 通用驱动器 50 的第 2 个不同点在于在 n 型 MOS 晶体管 162-A 和与第 2 电源 AVSS 之间插入具有阻抗 Rs/2 的电阻元件。

进而，第 5 实施形态中的发送电路 160 与第 1 实施形态的作为发送电路的 HS 通用驱动器 50 的第 3 个不同点在于省略了 DA 端子。

即，在发送电路 160 中，n 型 MOS 晶体管 162-A 和 n 型 MOS 晶体管 82-P、82-M 具有相同的形状，构成为 'Wp: Wm: Wa=1: 1: 1'，由此，使 n 型 MOS 晶体管 162-A 在利用 HS_OutDis 导通时的导通电阻的阻抗为 Rs/2。进而，在 n 型 MOS 晶体管 162-A 的漏极和第 2 电源 AVSS 之间连接阻抗为 Rs/2 的电阻元件，同时省略 DA 端子本身。

通过这样来构成，从节点 ND 到 n 型 MOS 晶体管 162-A 的电流通路的阻抗变成 Rs，从节点 ND 看过去的经 n 型 MOS 晶体管 82-P、82-M、122-A 的电流通路的阻抗都与 Rs 相等。

这样构成的第 5 实施形态的发送电路 160 的动作因和第 1 实施形态的作为发送电路的 HS 通用驱动器 50 的动作相同，故省略其说明。

因此，第 5 实施形态的发送电路 160 能得到和第 1 实施形态的作为发送电路的 HS 通用驱动器 50 同样的效果，同时，因作为与节点 ND 连接的开关元件的晶体管的形状相同，故能够减小因工艺变动产生的与节点 ND 连接的各晶体管的导通电阻的变动。此外，因作为开关元件 SW3 使用的 n 型 MOS 晶体管 162-A 的漏极端子在装置内部与第 2 电源 AVSS 连接，故可以减少端子个数，降低装置的成本。

图 17 原理地示出包含第 5 实施形态的发送电路 160 的数据传送装置的一例线路配置。

只是，对和图 6 所示的作为发送电路的 HS 通用驱动器 50 相同的部分附加相同的符号并适当省略其说明。此外，对和图 9 所示的数据传送控制装置 60-1 相同的部分附加相同的符号并适当省略其说明。

第 5 实施形态的数据传送控制装置 60-5 与第 1 实施形态相比，n 型 MOS 晶体管 162-A 的配置区域 TRA 的大小是其一半左右，另一方面，形成一端与第 2 电源电连接的具有阻抗为 Rs/2 的电阻成分的电阻元件配置区域，并省略 DA 接点 76。

而且，n 型 MOS 晶体管 162-A 的配置区域 TRA 通过配置在与接点的排列方向大致垂直的方向上的给定的布线层，与该电阻元件配置区域进行电连接。

通过这样的线路配置，可以保持通向构成差分对的第 1 和第 2 信号线的路径的对称性，同时，可以提高线路配置的效率。

4. 电子机器

其次，说明使用了包含第 1～第 5 实施形态的发送电路的数据传送控制装置（广义的半导体集成装置）的电子机器的例子。

例如，图 18A 示出作为一个电子机器的打印机的内部框图，图 19A 示出其外观图。CPU（微处理器）510 对整个系统进行控制等。操作部 511 用来使用户操作打印机。ROM516 存储有控制程序和字型等，RAM517 起 CPU510 的工作区的作用。DMAC518 是不经 CPU510 进行数据传送的 DMA 控制器。显示面板 519 用来向用户通知打印机的

工作状态。

经 USB 从个人计算机等其它设备送来的串行打印数据利用数据传送控制装置 500 变换成并行打印数据。接着，变换后的并行打印数据通过 CPU510 或 DMAC518 送往打印处理部（打印引擎）512。接着，在打印处理部 512 中对并行打印数据进行给定的处理，利用由打印头等构成的打印部（进行数据输出处理的装置）514 输出打印到纸上。

图 18B 示出作为一个电子机器的扫描仪的内部框图，图 19B 示出其外观图。CPU520 对整个系统进行控制等。操作部 521 用来使用户操作扫描仪。ROM526 存储控制程序等，RAM527 起 CPU520 的工作区的作用。DMAC528 是 DMA 控制器。

利用由光源和光电变换器等构成的图像读取部(进行数据的取入处理的装置)522 读取原稿的图像，读取的图像数据由图像处理部(扫描引擎)524 处理。接着，处理后的图像数据利用 CPU520 或 DMAC528 送往数据传送控制装置 500。数据传送控制装置 500 将该并行的图像数据变换成串行数据，并经 USB 发送到个人计算机等其它设备中。

图 18C 示出作为一个电子机器的 CD-RW 驱动器的内部框图，图 19C 示出其外观图。CPU530 对整个系统进行控制等。操作部 531 用来使用户操作 CD-RW。ROM536 存储控制程序等，RAM537 起 CPU530 的工作区的作用。DMAC538 是 DMA 控制器。

利用由激光、电机和光学系统构成的读取写入部（进行数据的取入处理的装置或进行数据的存储处理的装置）533 从 CD-RW532 读取的数据输入到信号处理部 534，进行纠错处理等给定的信号处理。接着，已进行信号处理的数据利用 CPU530 或 DMAC538 送往数据传送控制装置 500。数据传送控制装置 500 将该并行数据变换成串行数据，并经 USB 发送到个人计算机等其它设备中。

另一方面，经 USB 从其它设备送来的串行数据利用数据传送控制装置 500 变换成并行数据。接着，该并行数据利用 CPU530 或 DMAC538 送往信号处理部 534。接着，在信号处理部 534 中，对该并行数据进行给定的信号处理，再利用读取写入部 533 存储到 CD-RW532 中。

再有，在图 18A、图 18B 和图 18C 中，除 CPU510、520 和 530

之外，也可以另外再设置用来进行数据传送控制装置 500 中的数据传送控制的 CPU。

若将包含第 1～第 5 实施形态的某一个发送电路的数据传送控制装置用于电子机器，则可以实现 USB2．0 的 HS 方式的数据传送。因此，当用户利用个人计算机等进行打印输出指示时，只需要很少的时间延迟即可打印完毕。此外，在向扫描仪发出图像取入的指示之后，只需要很少的时间延迟，用户就可以看到取入的图像。此外，可以快速地进行从 CD-RW 的数据读取和向 CD-RW 的数据写入。

此外，若将包含第 1～第 5 实施形态的某一个发送电路的数据传送控制装置用于电子机器，即使采用制造成本低的通常的半导体制造工艺，也能制造出可以 HS 方式进行数据传送的数据传送控制装置。因此，可以实现数据传送控制装置和电子机器的低成本化。可以提高数据传送的可靠性，也可以提高电子机器的可靠性。

此外，若将包含第 1～第 5 实施形态的某一个发送电路的数据传送控制装置用于电子机器，则在维持数据传送控制装置的高性能的同时，还可以根据用户的要求制造各式各样的电子机器，能够提高电子机器的附加价值。

再有，作为能使用包含第 1～第 5 实施形态的某一个发送电路的数据传送控制装置的电子机器，除上述之外，还可以考虑各种光盘驱动器（CD-ROM、DVD）、光磁盘驱动器（MO）、硬盘驱动器、TV、VTR、摄像机、音响机器、电话机、投影仪、个人计算机、电子笔记本和字处理机等各种各样的机器。

再有，本发明不限于上述实施形态，在本发明的要点的范围内可以进行各种变形实施。

此外，本发明虽然特别希望用于 USB2．0 的接口（数据传送），但并不限于此。本发明也可以适用于例如基于 USB2．0 思想的标准或发展 USB2．0 的标准的接口。

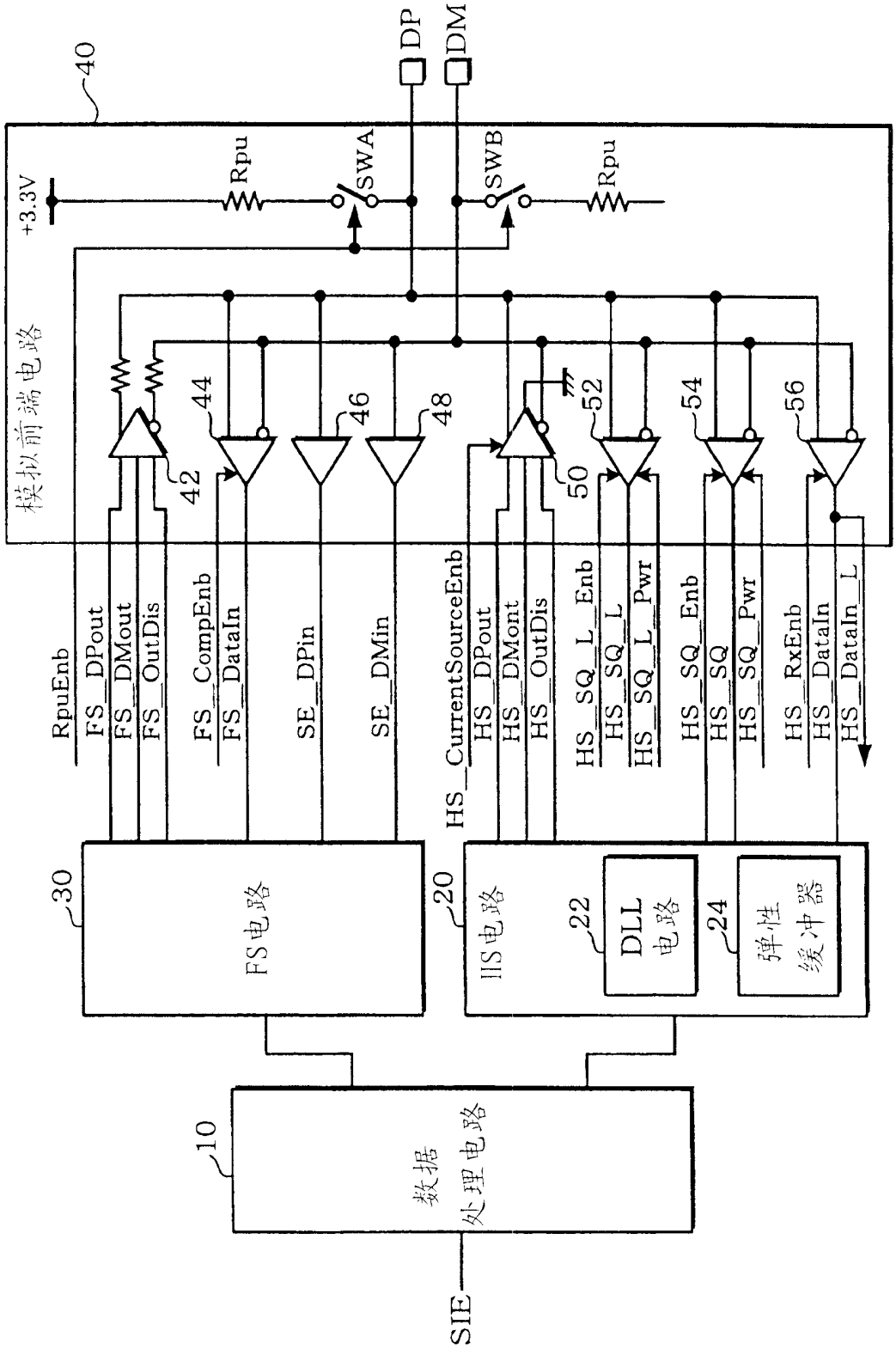

40
DP
DM
+3.3V
Rpu
SWA
SWB
Rpu
模拟前端电路
42
44
46
48
50
52
54
56
RpuEnb
FS_DPout
FS_DMout
FS_OutDis
FS_CompEnb
FS_DataIn
SE_DPin
SE_DMin
HS_CurrentSourceEnb
HS_DPout
HS_DMont
HS_OutDis
HS_SQ_L_Enb
HS_SQ_L
HS_SQ_L_Pwr
HS_SQ_Enb
HS_SQ
HS_SQ_Pwr
HS_RxEnb
HS_DataIn
HS_DataIn_L
30
FS电路
20
HS电路
22
DLL
电路
24
弹性
缓冲器
10
数据
处理电路
SIE

图 1

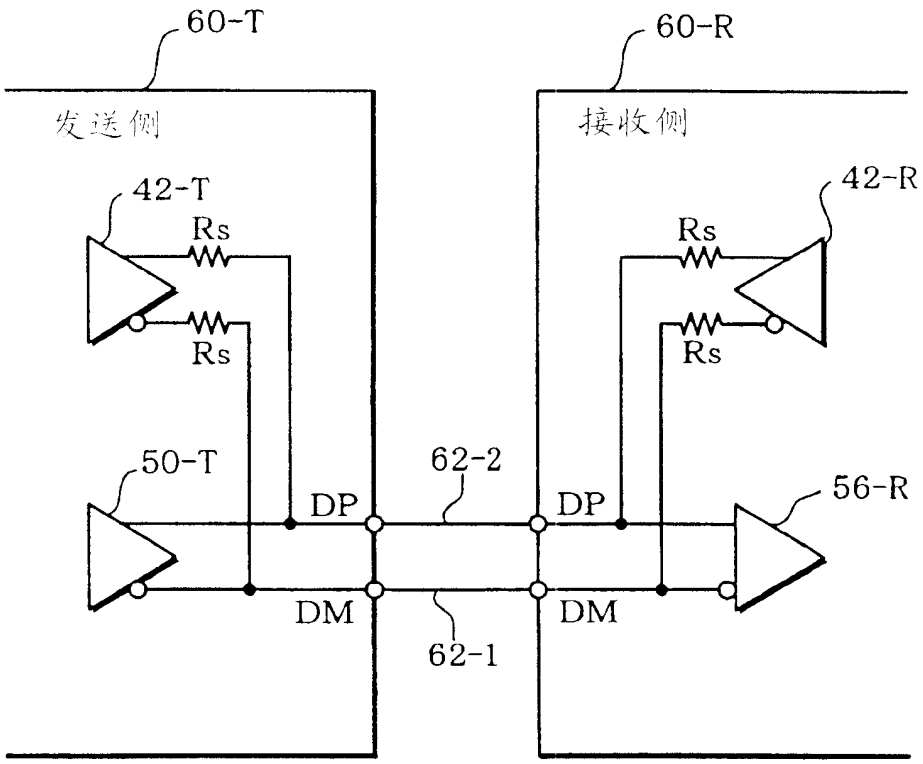


图 2

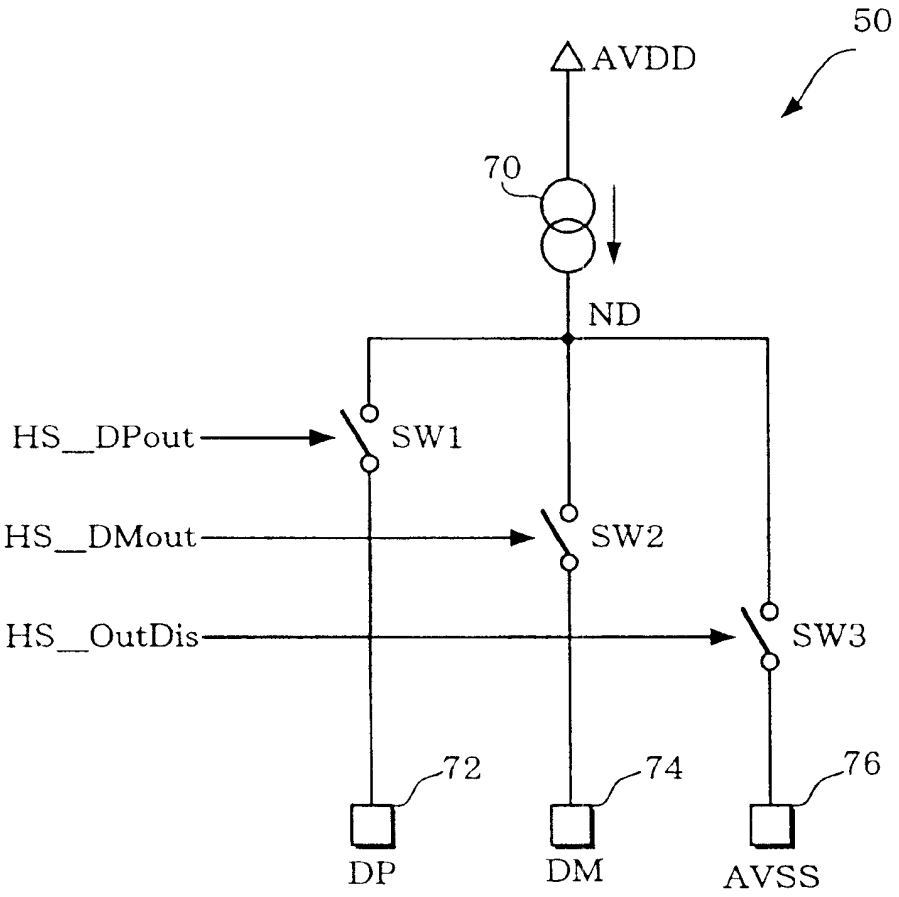

50
AVDD
70
ND
HS_DPout
SW1
HS_DMout
SW2
HS_OutDis
SW3
72
74
76
DP
DM
AVSS

图 3

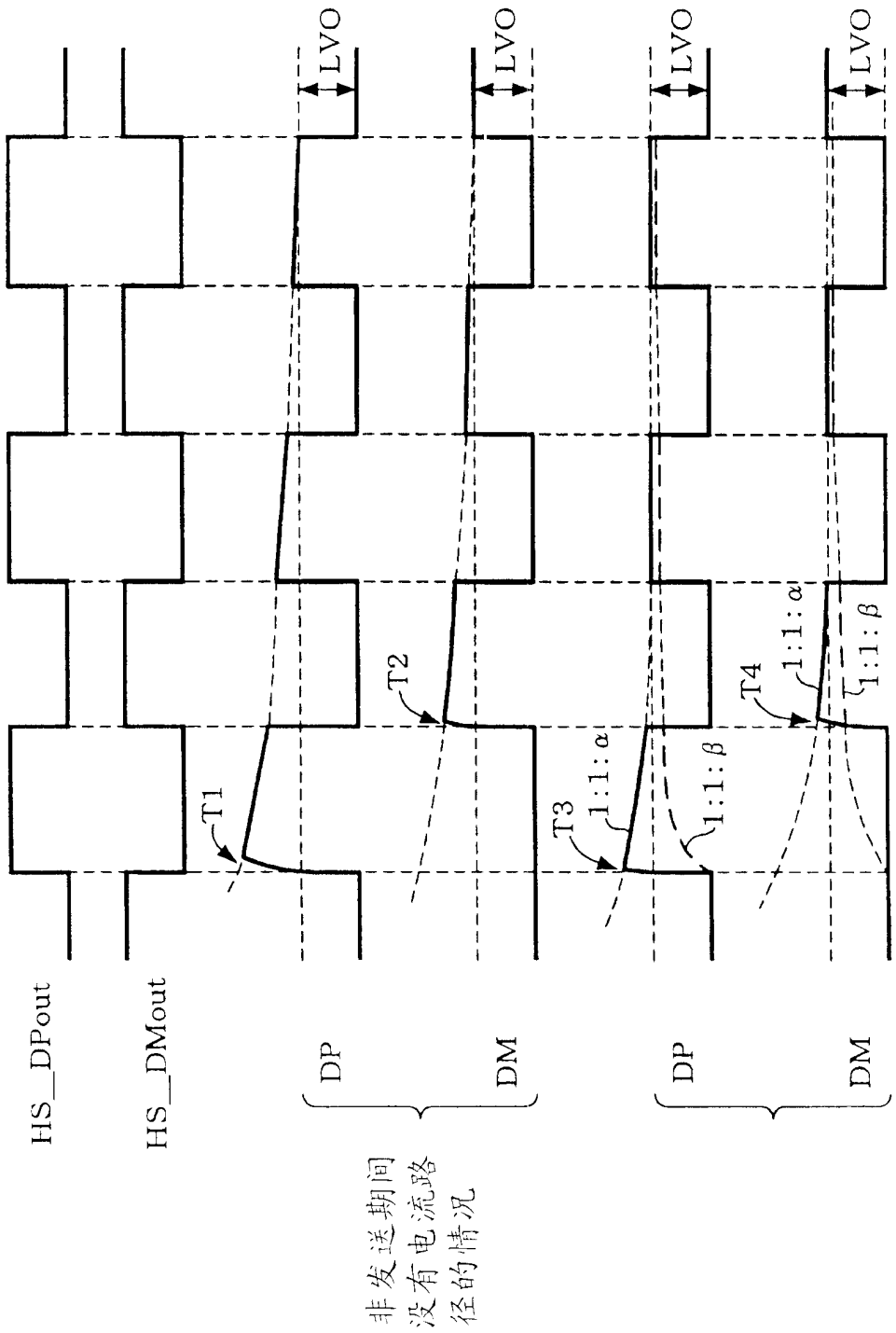


图 4

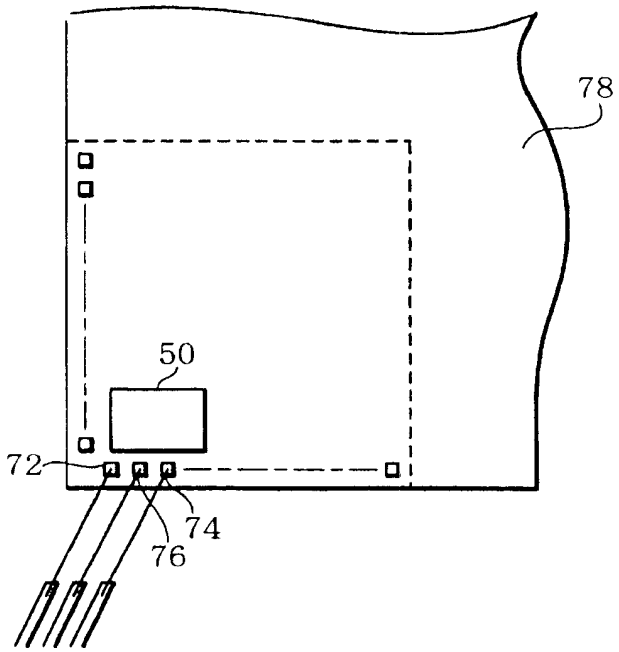


图 5A

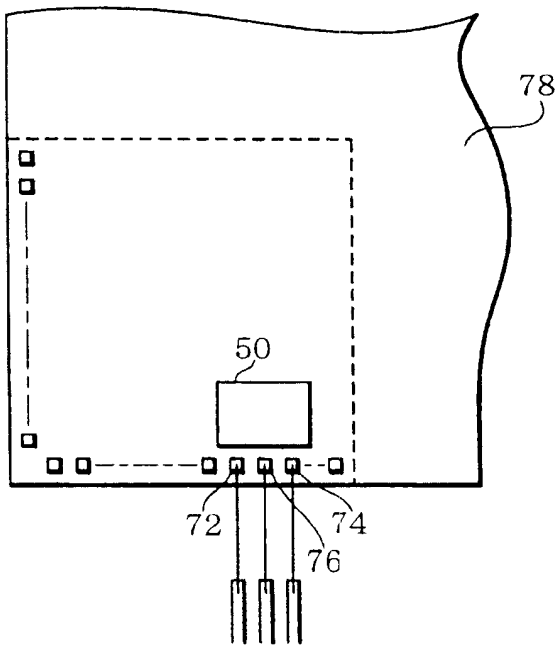


图 5B

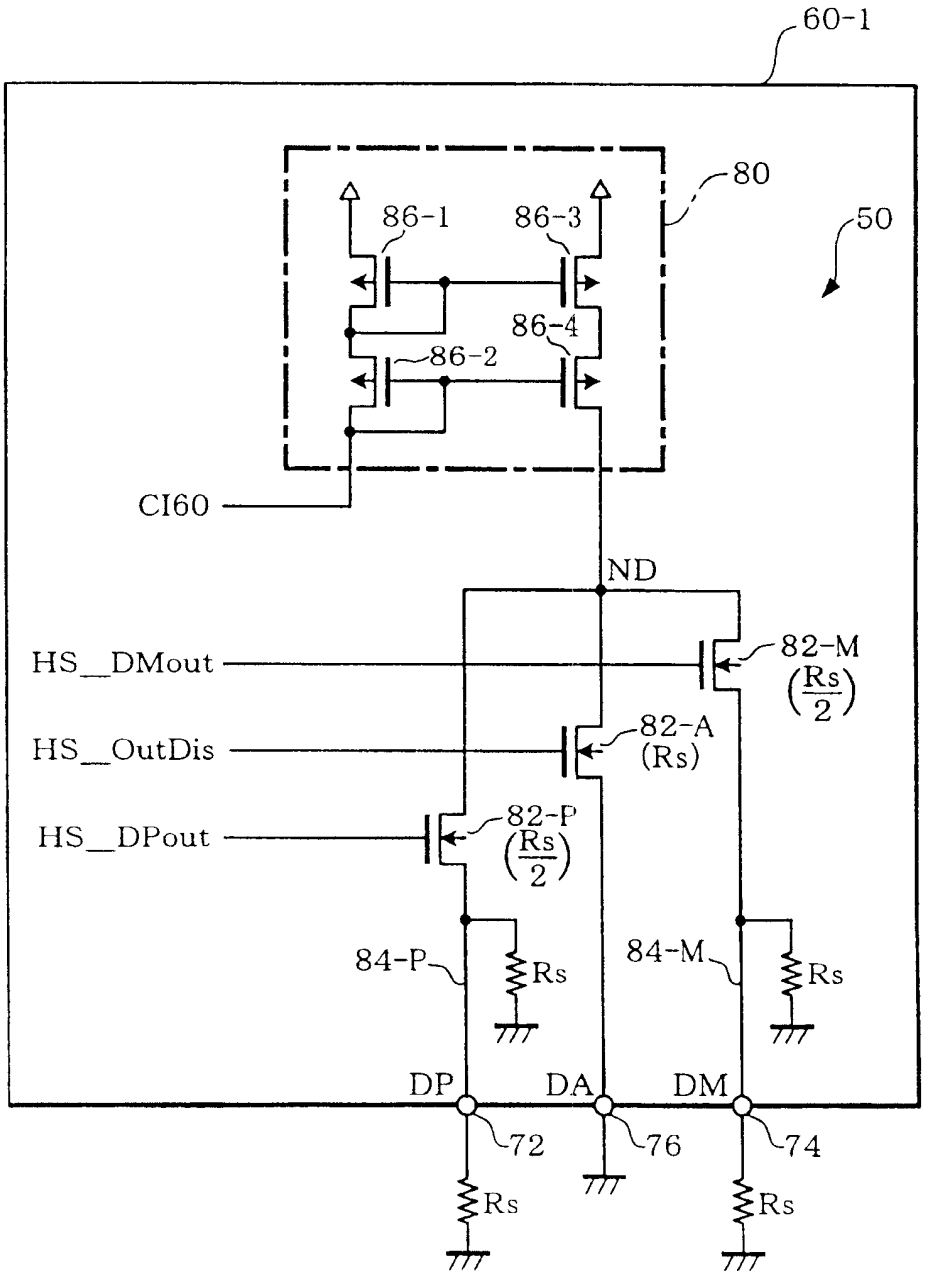

60-1
80
50
86-1
86-3
86-4
86-2
CI60
ND
HS_DMout
82-M
(Rs/2)
HS_OutDis
82-A
(Rs)
HS_DPout
82-P
(Rs/2)
84-P
Rs
84-M
Rs
DP
DA
DM
72
76
74
Rs
Rs

图 6

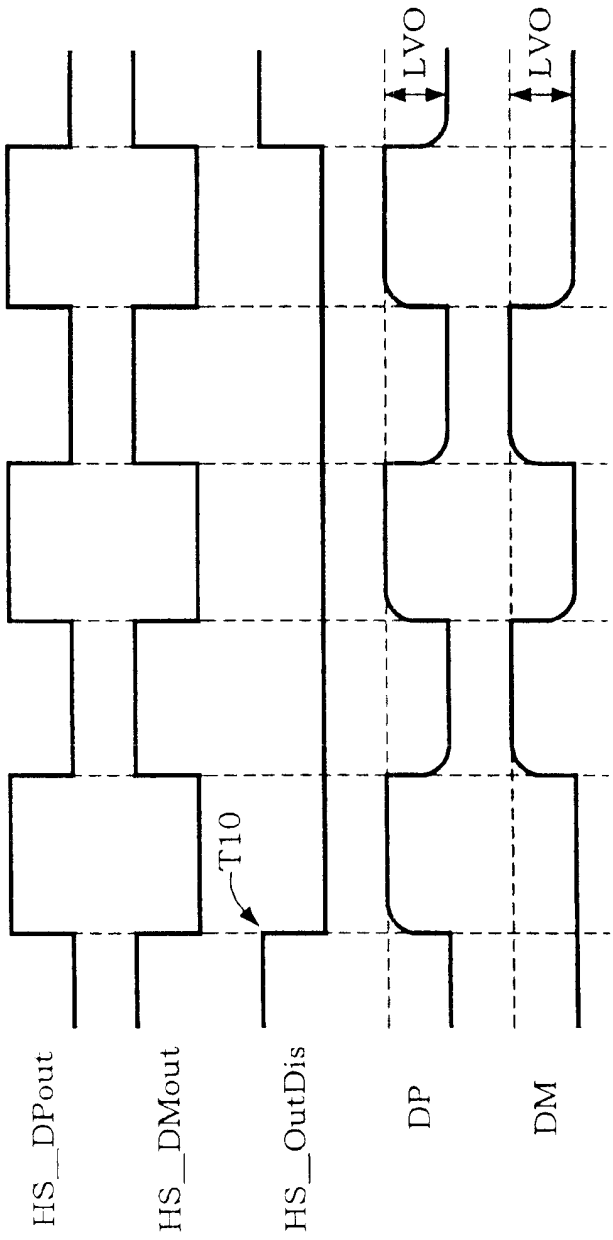


图 7

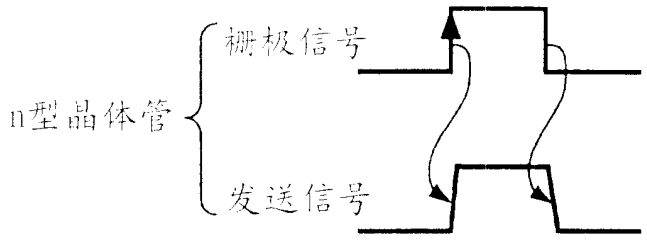


图 8A

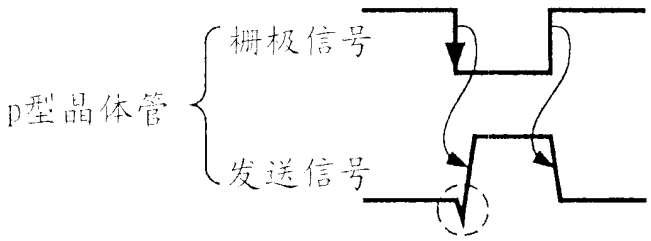


图 8B

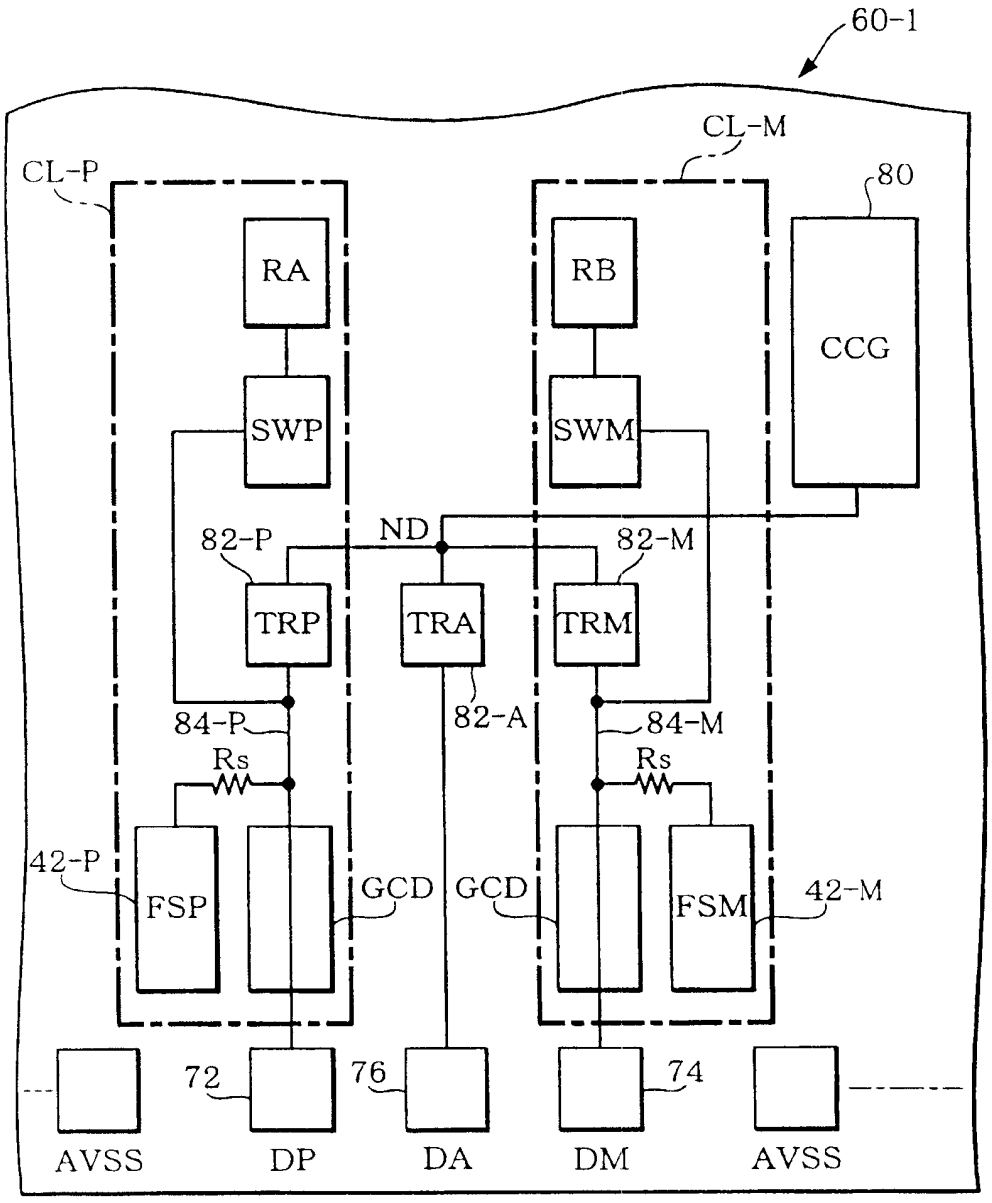

60-1
CL-M
CL-P
80
RA
RB
CCG
SWP
SWM
82-P
ND
82-M
TRP
TRA
TRM
84-P
82-A
84-M
Rs
Rs
42-P
FSP
GCD
GCD
FSM
42-M
72
76
74
AVSS
DP
DA
DM
AVSS

图 9

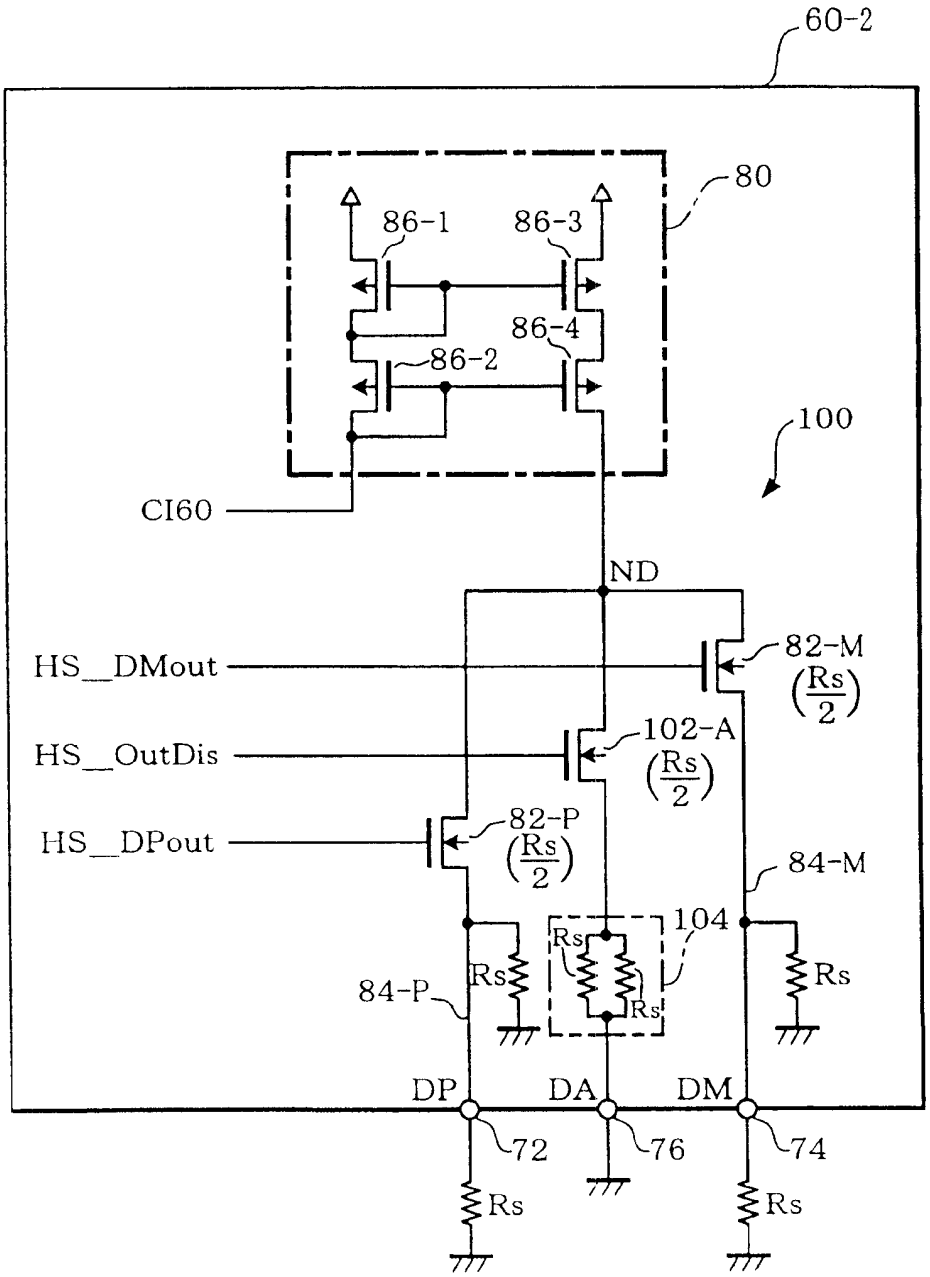

60-2
80
86-1
86-3
86-4
86-2
100
CI60
ND
HS__DMout
82-M
(Rs/2)
HS__OutDis
102-A
(Rs/2)
HS__DPout
82-P
(Rs/2)
84-M
104
Rs
84-P
Rs
Rs
Rs
DP
DA
DM
72
76
74
Rs
Rs

图 10

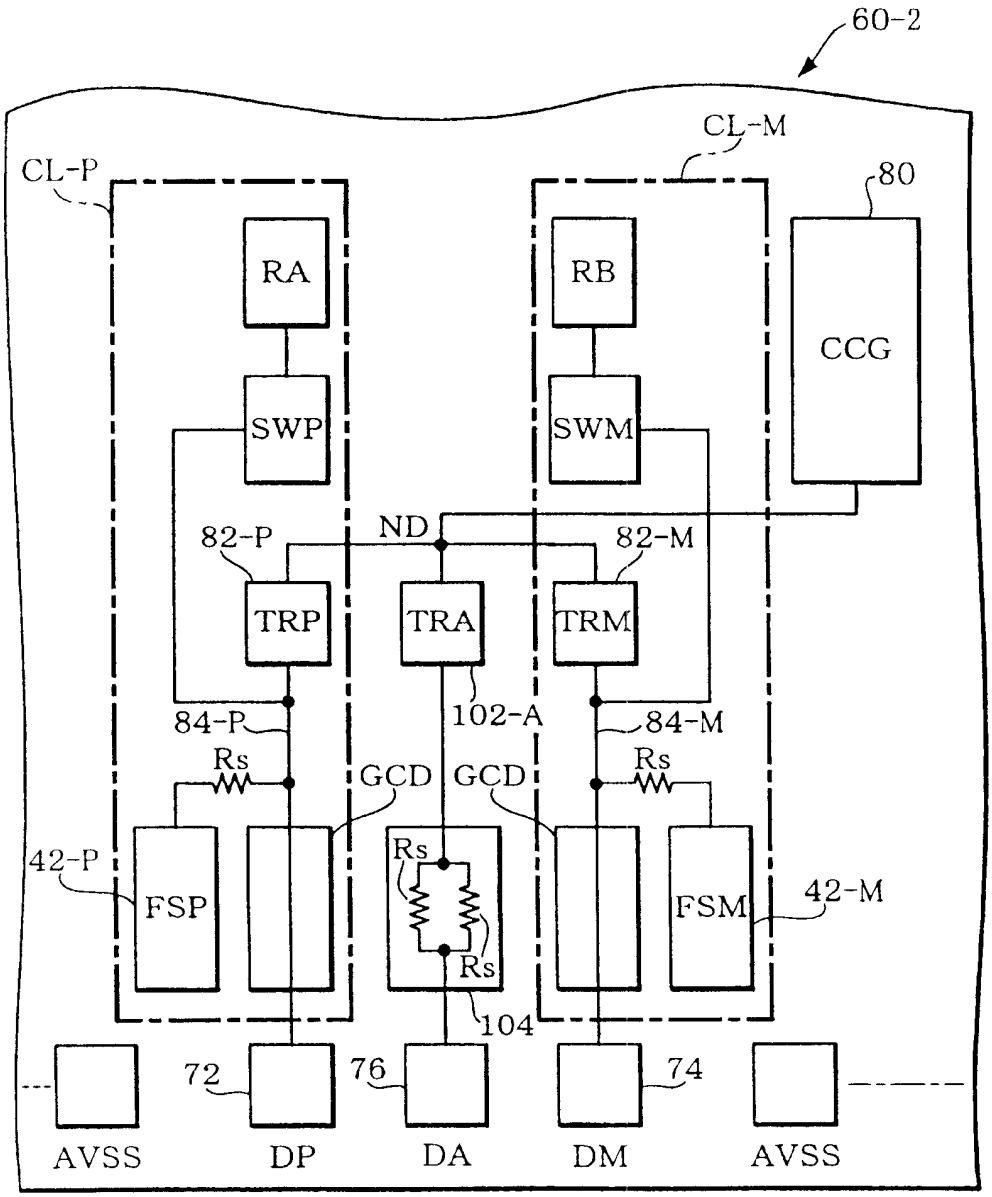

60-2
CL-M
CL-P
80
RA
RB
CCG
SWP
SWM
82-P
ND
82-M
TRP
TRA
TRM
84-P
102-A
84-M
Rs
GCD
GCD
Rs
42-P
FSP
Rs
Rs
FSM
42-M
104
72
76
74
AVSS
DP
DA
DM
AVSS

图 11

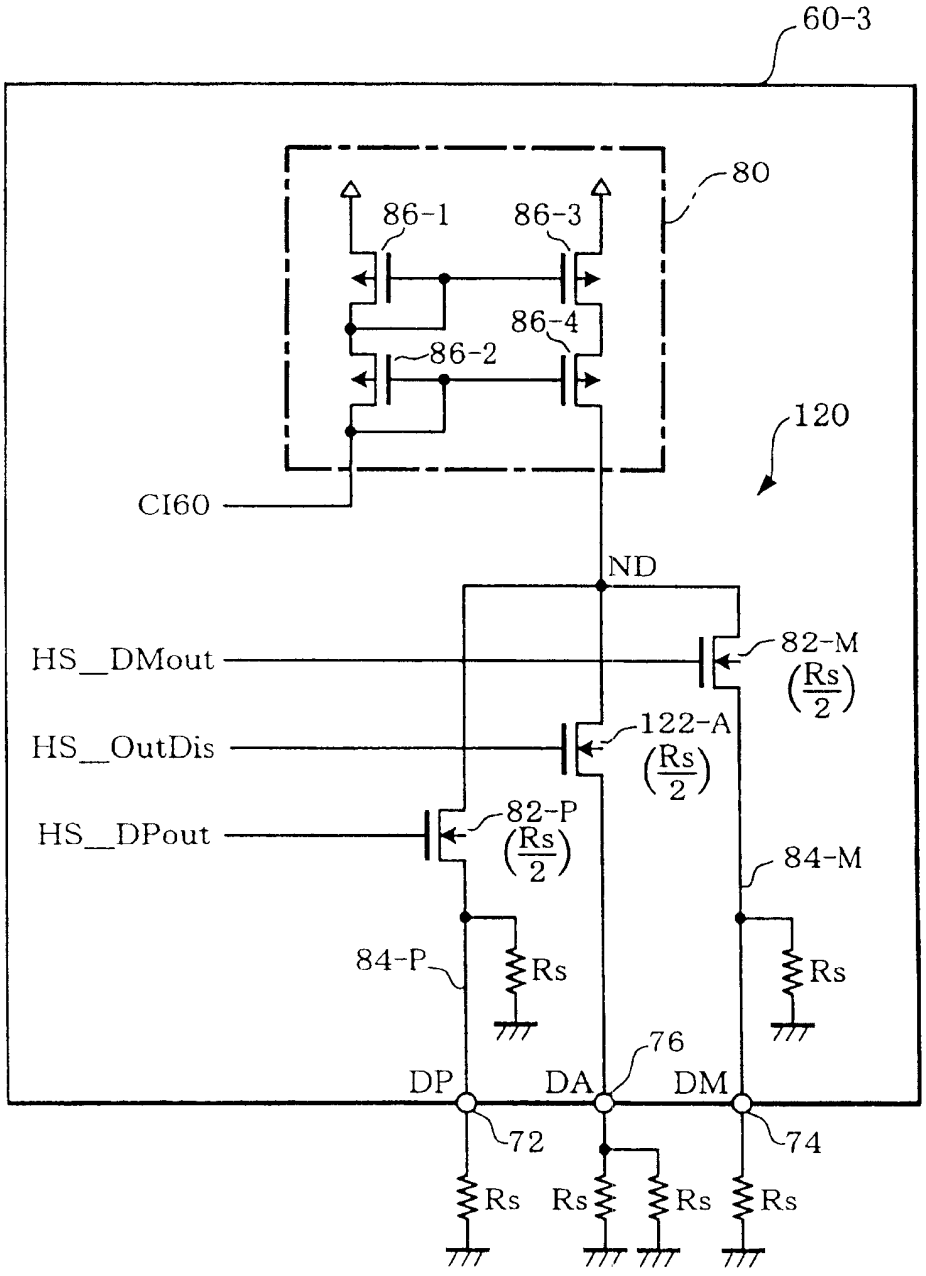

60-3
80
86-1
86-3
86-4
86-2
120
CI60
ND
HS_DMout
82-M
(Rs/2)
HS_OutDis
122-A
(Rs/2)
HS_DPout
82-P
(Rs/2)
84-M
84-P
Rs
Rs
76
DP
DA
DM
72
74
Rs
Rs
Rs
Rs

图 12

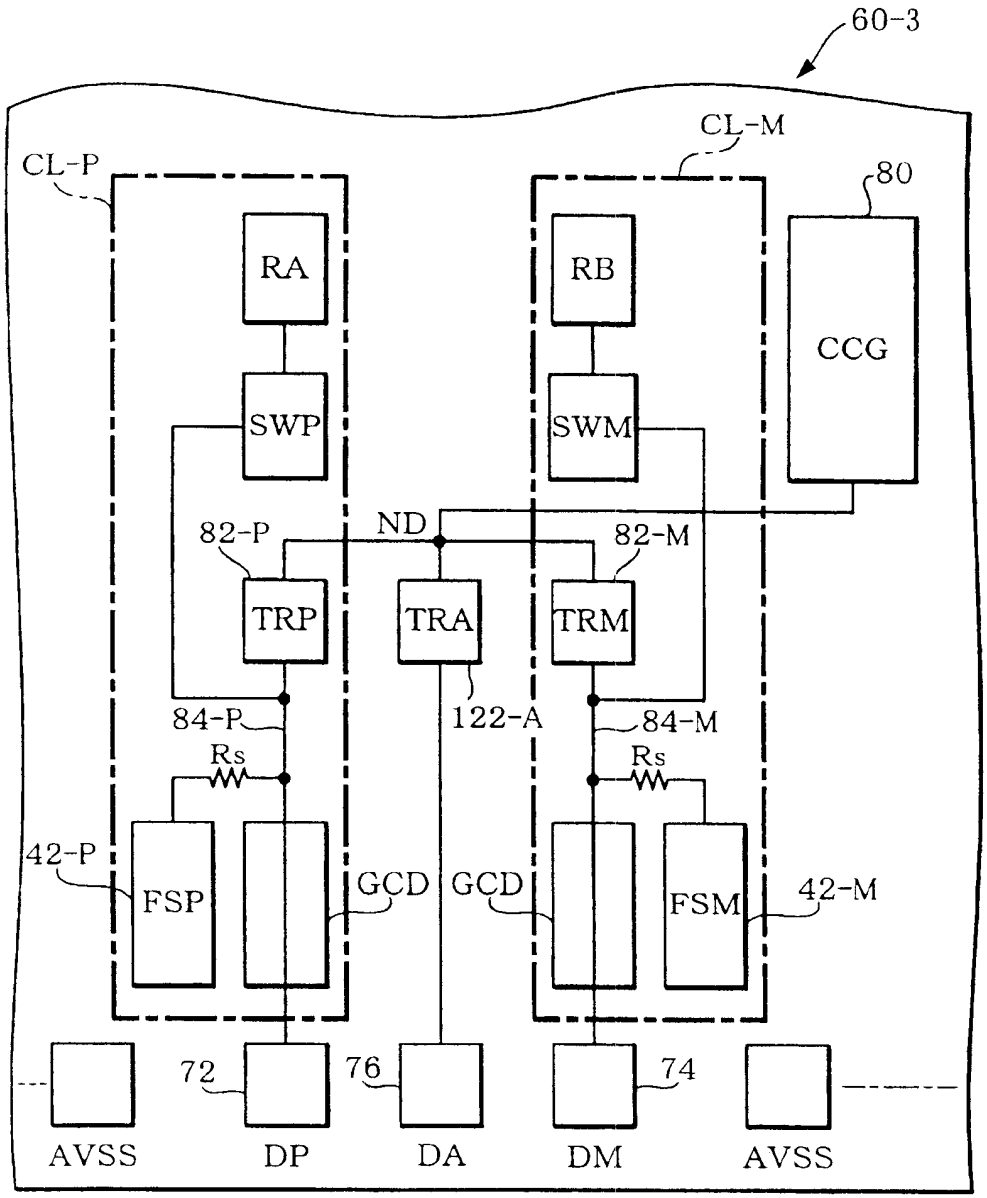

60-3
CL-M
CL-P
80
RA
RB
CCG
SWP
SWM
82-P
ND
82-M
TRP
TRA
TRM
84-P
122-A
84-M
Rs
Rs
42-P
FSP
GCD
GCD
FSM
42-M
72
76
74
AVSS
DP
DA
DM
AVSS

图 13

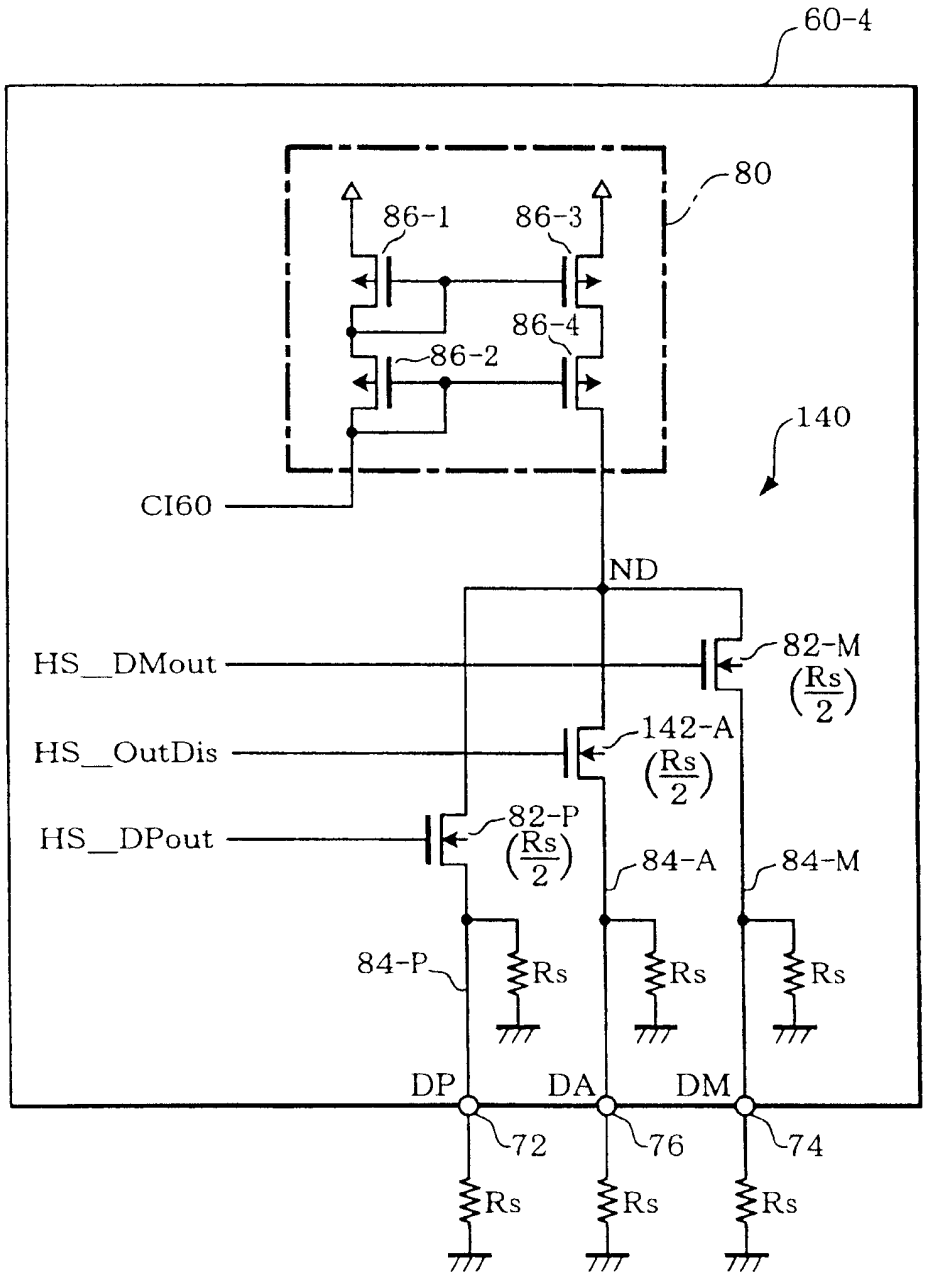

60-4
80
86-1
86-3
86-4
86-2
140
CI60
ND
HS_DMout
82-M
(Rs/2)
HS_OutDis
142-A
(Rs/2)
HS_DPout
82-P
(Rs/2)
84-A
84-M
84-P
Rs
DP
DA
DM
72
76
74

图 14

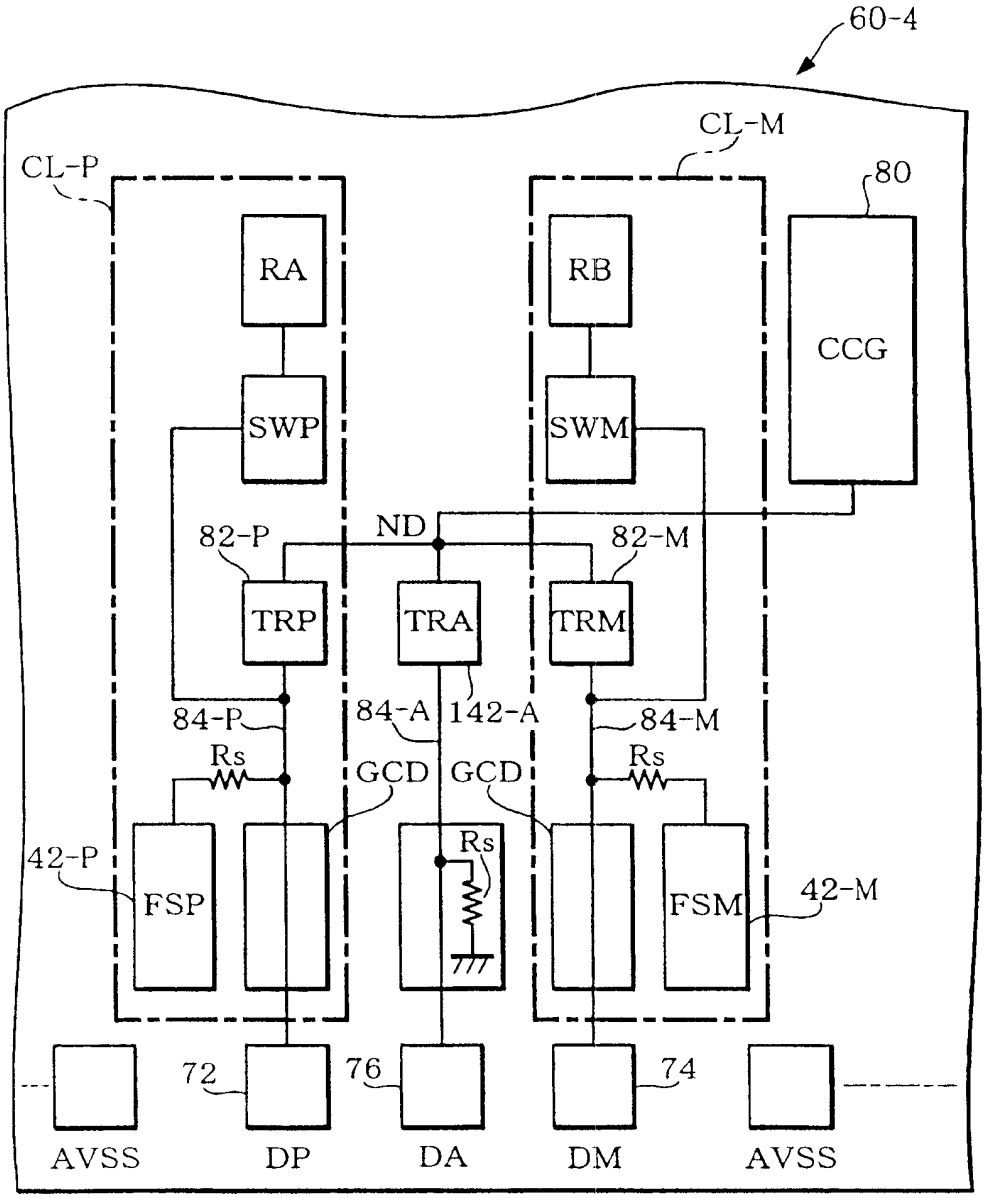

60-4
CL-M
CL-P
80
RA
RB
CCG
SWP
SWM
ND
82-P
82-M
TRP
TRA
TRM
84-P
84-A
142-A
84-M
Rs
GCD
GCD
Rs
42-P
FSP
Rs
FSM
42-M
72
76
74
AVSS
DP
DA
DM
AVSS

图 15

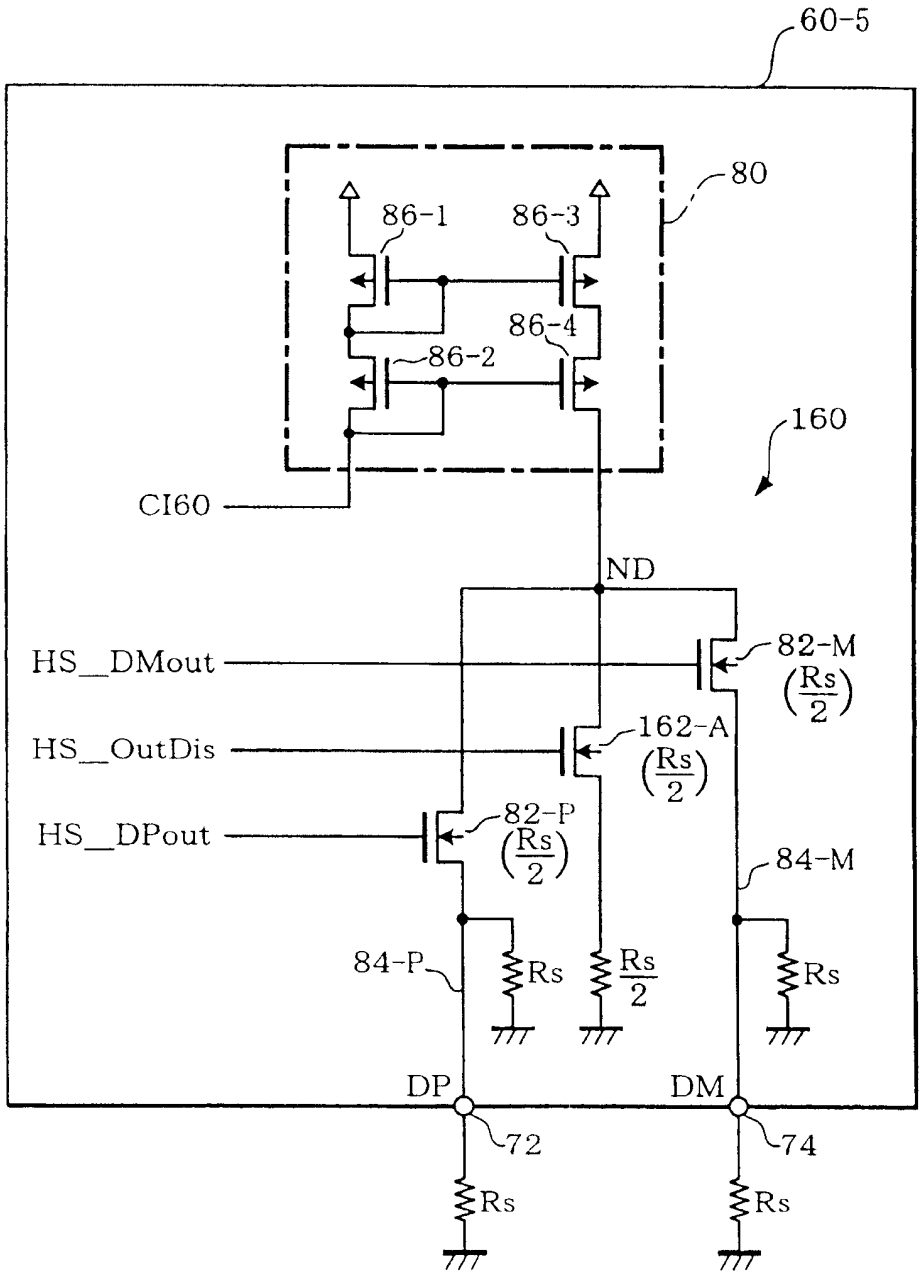

60-5
80
86-1
86-3
86-4
86-2
160
CI60
ND
HS_DMout
82-M
(Rs/2)
HS_OutDis
162-A
(Rs/2)
HS_DPout
82-P
(Rs/2)
84-M
84-P
Rs
Rs/2
Rs
DP
DM
72
74
Rs
Rs

图 16

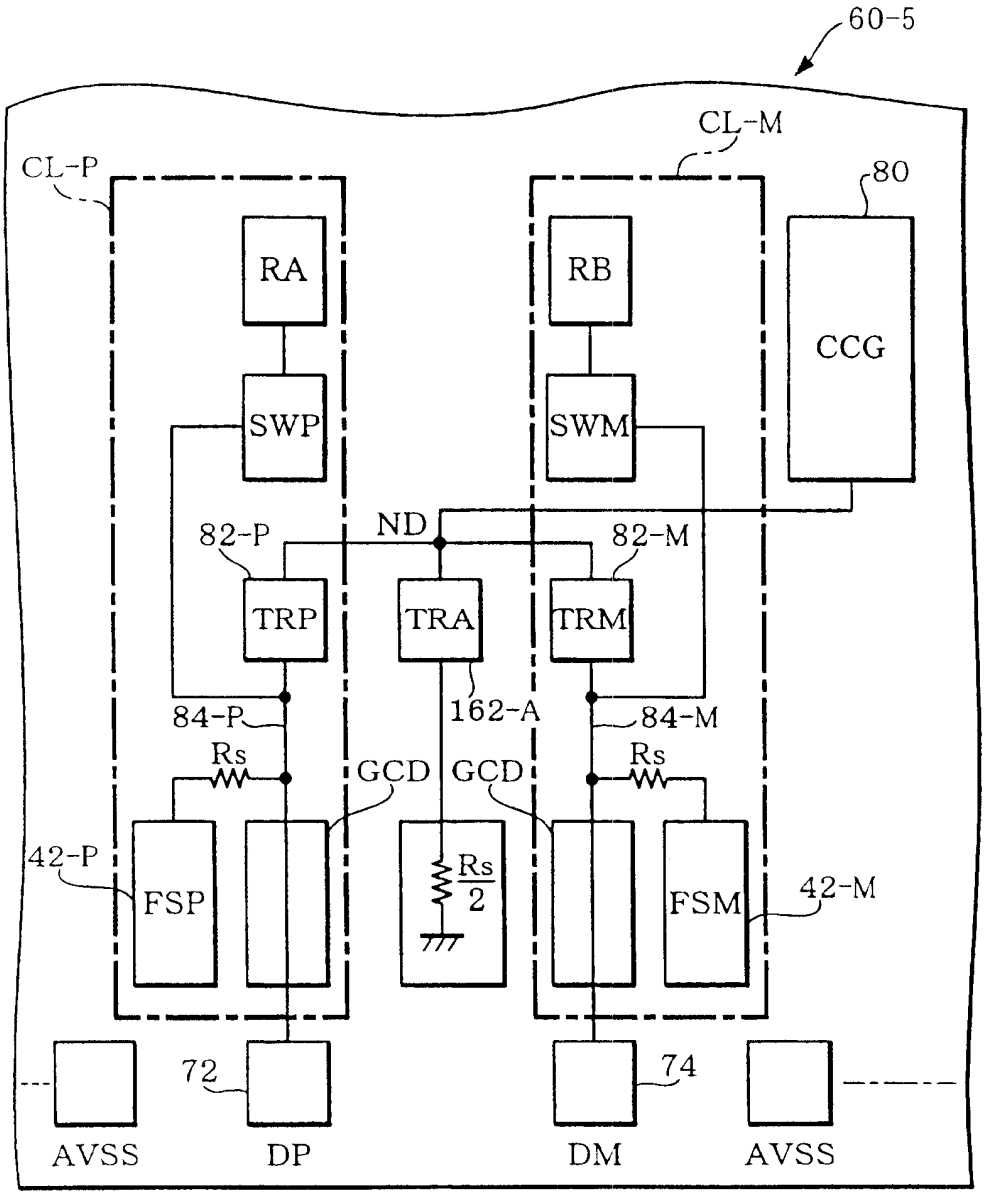

60-5
CL-M
CL-P
80
RA
RB
CCG
SWP
SWM
ND
82-P
82-M
TRP
TRA
TRM
84-P
162-A
84-M
Rs
GCD
GCD
Rs
42-P
FSP
Rs/2
FSM
42-M
72
74
AVSS
DP
DM
AVSS

图 17

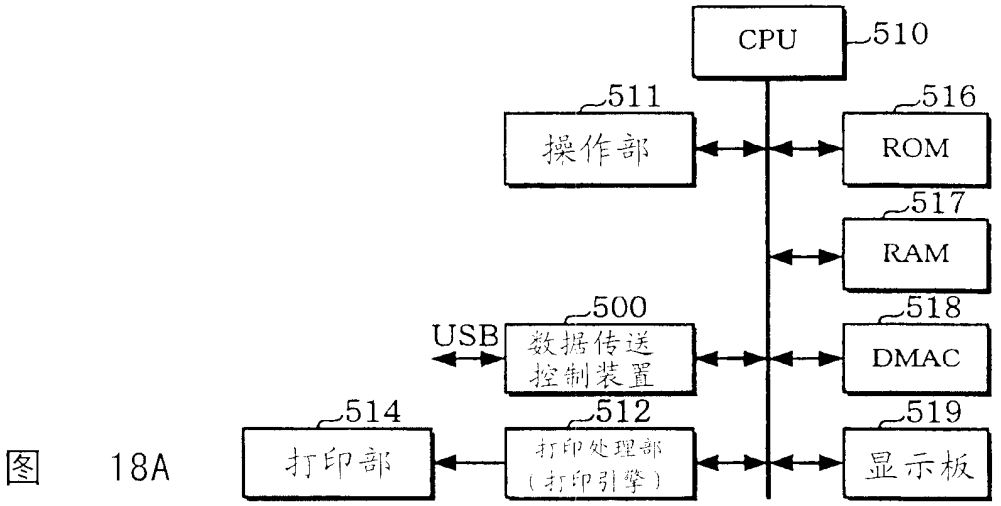


图 18A

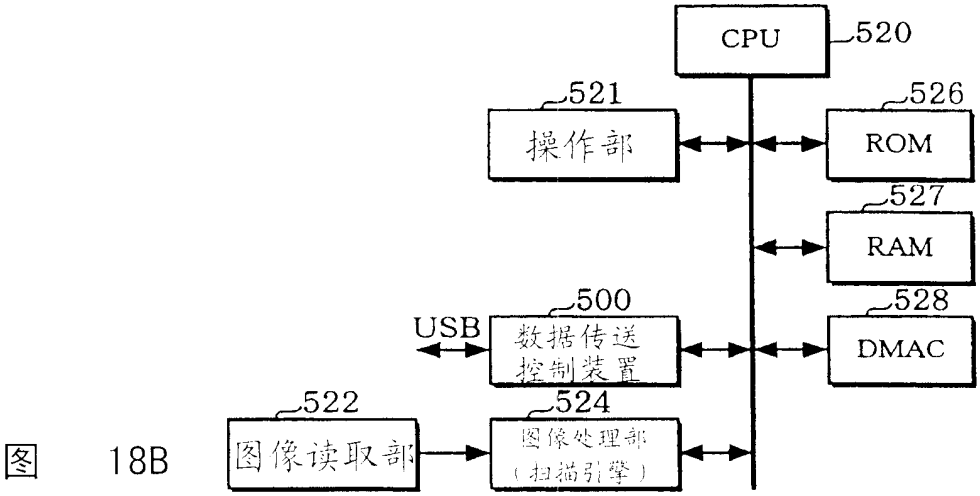


图 18B

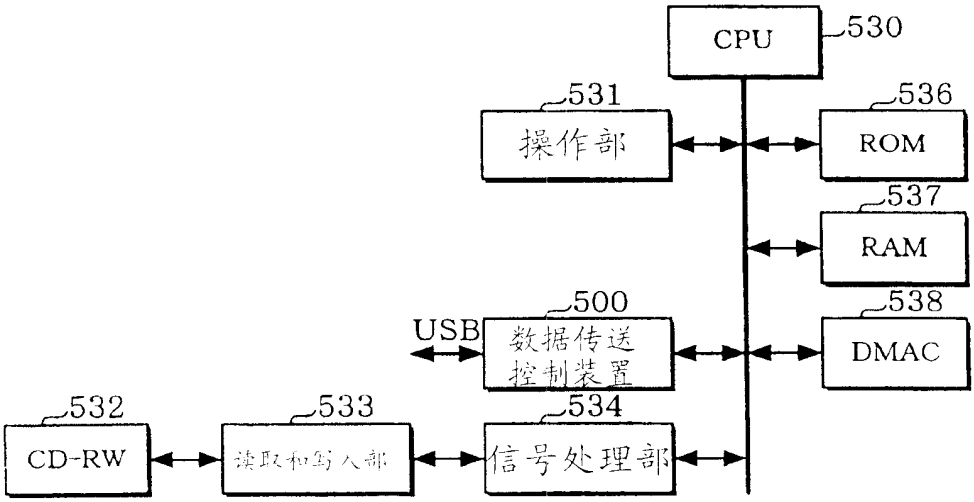


图 18C

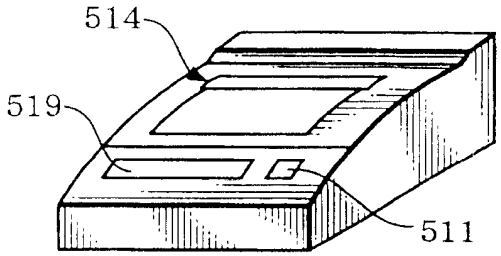


图 19A

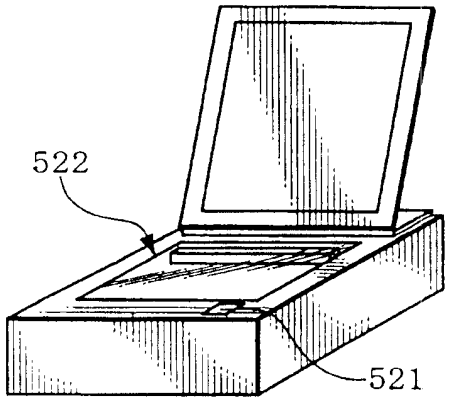


图 19B

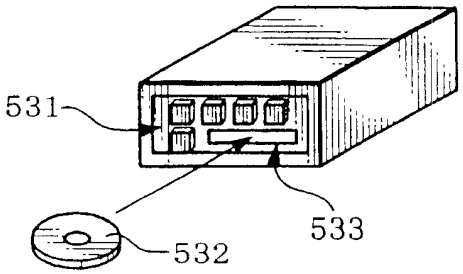


图 19C