(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 103035192 B
(45)授权公告日 2017.06.20

(21)申请号 201210378806.5

(22)申请日 2012.10.08

(65)同一申请的已公布的文献号
申请公布号 CN 103035192 A

(43)申请公布日 2013.04.10

(30)优先权数据
2011-222990 2011.10.07 JP

(73)专利权人 株式会社半导体能源研究所
地址 日本神奈川县

(72)发明人 坂仓真之 后藤裕吾 三宅博之 黑崎大辅

(74)专利代理机构 上海专利商标事务所有限公司 31100
代理人 侯颖媖

(51)Int.Cl.
G09G 3/20(2006.01)
H01L 29/78(2006.01)

审查员 刘占军

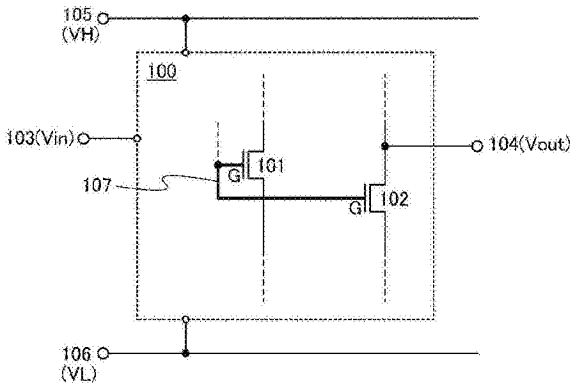
权利要求书2页 说明书21页 附图13页

(54)发明名称

半导体装置

(57)摘要

本发明的一个方式提供一种能够防止静电破坏所引起的成品率的降低的半导体装置，其中，对扫描线供应用来选择多个像素的信号的扫描线驱动电路包括生成上述信号的移位寄存器，并且，在上述移位寄存器中将用作多个晶体管的栅电极的一个导电膜分割为多个，由形成在与上述被分割的导电膜不同的层中的导电膜使上述被分割的导电膜彼此电连接。上述多个晶体管包括移位寄存器的输出一侧的晶体管。



CN 103035192 B

1.一种半导体装置,包括:

对布线输出电位的移位寄存器,该移位寄存器包括第一晶体管及第二晶体管,

其中,所述第一晶体管的栅电极通过导电膜电连接到所述第二晶体管的栅电极,

所述第二晶体管的源电极和漏电极之一电连接到所述布线,从而所述电位供应给所述布线,以及

所述第二晶体管的沟道长度与沟道宽度之间的比例大于所述第一晶体管的沟道长度与沟道宽度之间的比例。

2.根据权利要求1所述的半导体装置,其中所述第一晶体管的半导体膜和所述第二晶体管的半导体膜分别包括氧化物半导体或非晶硅。

3.根据权利要求1所述的半导体装置,其中所述第二晶体管的所述沟道长度与所述沟道宽度之间的所述比例比所述第一晶体管的沟道长度与所述沟道宽度之间的所述比例大两倍以上。

4.根据权利要求1所述的半导体装置,其中所述第一晶体管的氧化物半导体膜及所述第二晶体管的氧化物半导体膜分别包含铟、镓及锌。

5.一种半导体装置,包括:

对布线输出电位的移位寄存器,该移位寄存器包括第一晶体管及第二晶体管,

其中,所述第一晶体管的栅电极通过导电膜电连接到所述第二晶体管的栅电极,

所述第二晶体管的源电极和漏电极之一电连接到所述布线,从而所述电位供应给所述布线,

所述第二晶体管的沟道长度与沟道宽度之间的比例大于所述第一晶体管的沟道长度与沟道宽度之间的比例,以及

所述导电膜与所述第一晶体管的源电极和漏电极以及所述第二晶体管的所述源电极和所述漏电极为同一层。

6.根据权利要求5所述的半导体装置,其中所述第一晶体管的半导体膜和所述第二晶体管的半导体膜分别包括氧化物半导体或非晶硅。

7.根据权利要求5所述的半导体装置,其中所述第一晶体管的氧化物半导体膜及所述第二晶体管的氧化物半导体膜分别包含铟、镓及锌。

8.一种半导体装置,包括:

多个像素;以及

对布线输出电位的移位寄存器,该移位寄存器包括第一晶体管及第二晶体管,

其中,所述布线电连接到所述多个像素,

所述第一晶体管的栅电极通过导电膜电连接到所述第二晶体管的栅电极,

所述第二晶体管的源电极和漏电极之一电连接到所述布线,从而所述电位供应给所述布线,以及

所述第二晶体管的沟道长度与沟道宽度之间的比例大于所述第一晶体管的沟道长度与沟道宽度之间的比例。

9.根据权利要求8所述的半导体装置,其中所述第一晶体管的半导体膜和所述第二晶体管的半导体膜分别包括氧化物半导体或非晶硅。

10.一种半导体装置,包括:

多个像素;以及

对布线输出电位的移位寄存器,该移位寄存器包括第一晶体管及第二晶体管,

其中,所述布线电连接到所述多个像素,

所述第一晶体管的栅电极通过导电膜电连接到所述第二晶体管的栅电极,

所述第二晶体管的源电极和漏电极之一电连接到所述布线,从而所述电位被供应给所述布线,

所述第二晶体管的沟道长度与沟道宽度之间的比例大于所述第一晶体管的沟道长度与沟道宽度之间的比例,

所述导电膜与所述第一晶体管的源电极和漏电极以及所述第二晶体管的所述源电极和所述漏电极为同一层。

11.根据权利要求10所述的半导体装置,其中所述第一晶体管的半导体膜和所述第二晶体管的半导体膜分别包括氧化物半导体或非晶硅。

12.一种半导体装置,包括:

多个像素;以及

对扫描线输出电位来选择所述多个像素的扫描线驱动电路,该扫描线驱动电路包括第一晶体管及第二晶体管,

其中,所述第一晶体管的栅电极通过导电膜电连接到所述第二晶体管的栅电极,

所述第二晶体管的源电极和漏电极之一电连接到所述扫描线,从而所述电位被供应给所述扫描线,

所述第二晶体管的沟道长度与沟道宽度之间的比例大于所述第一晶体管的沟道长度与沟道宽度之间的比例。

13.根据权利要求12所述的半导体装置,其中所述第一晶体管的半导体膜和所述第二晶体管的半导体膜分别包括氧化物半导体或非晶硅。

14.一种半导体装置,包括:

多个像素;以及

通过对扫描线输出电位来选择所述多个像素的扫描线驱动电路,该扫描线驱动电路包括第一晶体管及第二晶体管,

其中,所述第一晶体管的栅电极通过导电膜电连接到所述第二晶体管的栅电极,

所述第二晶体管的源电极和漏电极之一电连接到所述扫描线,从而所述电位被供应给所述扫描线,

所述第二晶体管的沟道长度与沟道宽度之间的比例大于所述第一晶体管的沟道长度与沟道宽度之间的比例,

所述导电膜与所述第一晶体管的源电极和漏电极以及所述第二晶体管的所述源电极和所述漏电极为同一层。

15.根据权利要求14所述的半导体装置,其中所述第一晶体管的半导体膜和所述第二晶体管的半导体膜分别包括氧化物半导体或非晶硅。

半导体装置

技术领域

[0001] 本发明涉及一种使用绝缘栅极型场效应晶体管的半导体装置。

背景技术

[0002] 近年来，作为兼有多晶硅或微晶硅所具有的高迁移率和非晶硅所具有的均匀的元件特性的新颖的半导体材料，被称为氧化物半导体的呈现半导体特性的金属氧化物引人注目。金属氧化物用于多种用途，例如作为众所周知的金属氧化物的氧化铟被用于液晶显示装置等中的透明电极材料。作为呈现半导体特性的金属氧化物，例如有氧化钨、氧化锡、氧化铟、氧化锌等，并且已知将上述呈现半导体特性的金属氧化物用于沟道形成区域的晶体管(专利文献1以及专利文献2)。

[0003] [专利文献1]日本专利申请公开2007-123861号公报

[0004] [专利文献2]日本专利申请公开2007-96055号公报

[0005] 因为由具有非晶硅或氧化物半导体的晶体管构成的半导体显示装置能够对应第五代(横向1200mm×纵向1300mm)以上的玻璃衬底，所以有生产率高且成本低的优点。当面板大型化时，在半导体显示装置的像素部中，与多个像素连接的被称为总线的布线，例如扫描线及信号线等的负荷增大。因此，对扫描线及信号线供应电位的驱动电路需要高电流供应能力，所以有如下趋势：随着面板的大型化，构成驱动电路的晶体管，特别是位于输出一侧的晶体管的尺寸根据其电特性增大。

[0006] 当上述晶体管的尺寸增大时，在驱动电路中用作晶体管的栅电极的布线的面积由于布局的关系而增大。因此，容易产生所谓的天线效果，即在干蚀刻等的使用等离子体的制造工序中电荷积累在布线中的现象，并且因积累在布线中的上述电荷被释放而产生布线的静电损坏的概率增高。

[0007] 特别是，有具有非晶硅或氧化物半导体的晶体管的导通电流与使用多晶硅或单晶硅的晶体管相比小的趋势。当使用具有非晶硅或氧化物半导体的晶体管时，在工艺上能够进行面板的大型化，但是为了满足驱动电路的电流供应能力，需要设计更大尺寸的晶体管。因此，布线的面积的增大所引起的布线的静电损坏的概率增高，所以容易降低成品率。

发明内容

[0008] 根据上述技术背景，本发明的课题之一是提供一种能够防止静电损坏所引起的成品率的降低的半导体装置。

[0009] 在本发明的一个方式中，为了防止因天线效果而电荷积累在导电膜中，将用作多个晶体管的栅电极的一个导电膜分割为多个。上述被分割的导电膜离开。而且，由与上述被分割的导电膜不同的导电膜使上述被分割的导电膜彼此电连接。上述多个晶体管包括驱动电路的输出一侧的晶体管。

[0010] 或者，在本发明的一个方式中，将用来选择多个像素的信号供应到扫描线的扫描线驱动电路包括生成上述信号的移位寄存器，并且将在上述移位寄存器中用作多个晶体管

的栅电极的一个导电膜分割为多个。上述被分割的导电膜离开。而且，由与上述被分割的导电膜不同的导电膜使上述被分割的导电膜彼此电连接。上述多个晶体管包括移位寄存器的输出一侧的晶体管。

[0011] 与上述被分割的导电膜不同的导电膜也可以设置在与上述被分割的导电膜不同的层中。而且，形成在与上述被分割的导电膜不同的层中的导电膜也可以形成在与上述多个晶体管的源电极及漏电极相同的层中。

[0012] 另外，在本发明的一个方式中，上述多个晶体管也可以在活性层中包括非晶硅或氧化物半导体。

[0013] 在本发明的一个方式中，通过由形成在不同的层中的导电膜使用作栅电极的多个导电膜彼此电连接，与将一个导电膜用作多个栅电极的情况相比可以将用作栅电极的各导电膜的面积抑制为小。由此，即使因面板的大型化而位于驱动电路的输出一侧的晶体管的尺寸增大，也可以将用作上述晶体管的栅电极的导电膜的面积抑制为小，因此可以在通过蚀刻形成栅电极的工序等使用等离子体的制造工序中防止天线效果所引起的上述导电膜的静电损坏。

[0014] 具体而言，根据本发明的一个方式的半导体装置包括对多个像素供应信号的驱动电路。上述驱动电路包括多个晶体管，并且在上述多个晶体管中，信号输出一侧的至少一个晶体管的栅电极和上述输出一侧的晶体管之外的至少一个晶体管的栅电极由与栅电极不同的导电膜电连接。

[0015] 在根据本发明的一个方式的半导体装置中，通过采用上述结构可以防止静电损坏所引起的成品率的降低。

附图说明

[0016] 图1是示出本发明的半导体装置的结构的图；

[0017] 图2A至2C是晶体管的俯视图及截面图；

[0018] 图3A至3C是晶体管的俯视图及截面图；

[0019] 图4是示出本发明的半导体装置的结构的电路图；

[0020] 图5是示出移位寄存器的结构的图；

[0021] 图6是示出脉冲输出电路的工作的时序图；

[0022] 图7是示意性地示出第j脉冲产生电路的图；

[0023] 图8A和8B是示出脉冲产生电路的结构的图；

[0024] 图9A和9B是示出脉冲产生电路的结构的图；

[0025] 图10是示出脉冲产生电路的结构的图；

[0026] 图11是驱动电路和像素的截面图；

[0027] 图12是示出面板的结构的图；

[0028] 图13A至13E是电子设备的图。

具体实施方式

[0029] 下面，参照附图对本发明的实施方式进行详细说明。但是，本发明不局限于以下说明，而所属技术领域的普通技术人员可以很容易地理解一个事实就是其方式及详细内容在

不脱离本发明的宗旨及其范围的情况下可以被变换为各种各样的形式。因此，本发明不应该被解释为仅局限在以下所示的实施方式所记载的内容中。

[0030] 注意，在本发明的范畴内包括使用晶体管的所有半导体装置诸如集成电路、RF标签、半导体显示装置等。此外，在集成电路的范畴内包括含有微处理器、图像处理电路、DSP(Digital Signal Processor:数字信号处理器)或微控制器等的LSI(Large Scale Integrated Circuit:大规模集成电路)以及可编程逻辑器件(PLD:Programmable Logic Device)诸如FPGA(Field Programmable Gate Array:现场可编程门阵列)和CPLD(Complex PLD:复杂可编程逻辑器件)。此外，在半导体显示装置的范畴内包括其中含有半导体膜的电路元件被包括在驱动电路中的半导体显示装置诸如液晶显示装置、在每个像素中具备以有机发光元件(OLED)为典型的发光元件的发光装置、电子纸、DMD:(Digital Micromirror Device:数字微镜装置)、PDP(Plasma Display Panel:等离子体显示面板)、FED(Field Emission Display:场致发射显示器)等。

[0031] 注意，在本说明书中半导体显示装置在其范畴内包括：在其各像素中形成有液晶元件或发光元件等的显示元件的面板；以及该面板安装有包括控制器的IC等的模块。

[0032] 实施方式1

[0033] 图1示出根据本发明的一个方式的半导体装置的电路结构的一个例子。图1所示的半导体装置100包括至少含有晶体管101及晶体管102的多个晶体管。

[0034] 通过布线105及布线106对半导体装置100供应高电平的电位VH或低电平的电位VL。在图1中例示如下情况，即通过布线105对半导体装置100供应电位VH，而通过布线106对半导体装置100供应电位VL。此外，通过布线103对半导体装置100供应输入信号的电位Vin。在半导体装置100中，包括晶体管101及晶体管102的多个晶体管根据电位Vin进行开关。而且，通过进行上述开关，电位VH和电位VL中的一方被选择，并且通过布线104从半导体装置100输出被选择的电位作为输出信号的电位Vout。

[0035] 在晶体管102中，其源极端子和漏极端子中的一方与布线104连接。也就是说，晶体管102位于半导体装置100的输出一侧并具有控制对布线104的电位Vout的输出的功能。而且，在本发明的一个方式中，晶体管101的栅电极(表示为G)和晶体管102的栅电极(表示为G)通过与上述栅电极不同的布线107电连接。

[0036] 注意，在本说明书中，在没有特别的说明的情况下“连接”是指电连接和直接连接的双方并相当于能够供应或传送电流、电压或电位的状态。因此，“连接状态”不一定必须是指直接连接的状态，而在“连接状态”的范畴内还包括以能够供应或传送电流、电压或电位的方式通过布线、导电膜、电阻器、二极管、晶体管等的元件间接连接的状态。

[0037] 另外，“晶体管的源极端子”是指相当于活性层的一部分的源区域或与活性层连接的源电极。同样地，“晶体管的漏极端子”是指活性层的一部分的漏区域或与活性层连接的漏电极。

[0038] 晶体管所具有的源极端子和漏极端子的名称根据晶体管的极性及供应到各电极的电位的高低互相调换。一般而言，在n沟道型晶体管中，将被供应低电位的电极称为源极端子，而将被供应高电位的电极称为漏极端子。另外，在p沟道型晶体管中，将被供应低电位的电极称为漏极端子，而将被供应高电位的电极称为源极端子。在本说明书中，为方便起见在一些情况下假定源极端子和漏极端子是固定的来说明晶体管的连接关系，但是实际上，

源极端子和漏极端子的名称根据上述电位关系而相互调换。

[0039] 另外，当对与多个像素连接的被称为总线的负荷大的布线诸如扫描线或信号线等供应从半导体装置100输出的电位Vout时，控制上述电位Vout的输出的晶体管102被要求大电流供应能力。因此，优选以将该晶体管102的沟道宽度W的值设定为比晶体管101的沟道宽度W的值大的方式进行设计。

[0040] 图2A示出图1所示的晶体管101及晶体管102的俯视图作为一个例子。但是，为了明确地表示晶体管101及晶体管102的布局，在图2A中示出省略栅极绝缘膜111的俯视图。此外，图2B示出图2A所示的晶体管102的沿着点划线A1-A2的截面图的一个例子。

[0041] 在图2A中，晶体管101包括：用作栅电极的导电膜110；导电膜110上的栅极绝缘膜111；在栅极绝缘膜111上设置在与导电膜110重叠的位置上的半导体膜112；以及半导体膜112上的用作源电极或漏电极的导电膜113及导电膜114。

[0042] 此外，在图2A和2B中，晶体管102包括：用作栅电极的导电膜115；导电膜115上的栅极绝缘膜111；在栅极绝缘膜111上设置在与导电膜115重叠的位置上的半导体膜116；以及半导体膜116上的用作源电极或漏电极的导电膜117及导电膜118。

[0043] 而且，在本发明的一个方式中，位于输出一侧的晶体管102的电流供应能力比晶体管101的电流供应能力高。因此，在本发明的一个方式中，如图2A所示，优选以将晶体管102的沟道长度L_{102}与沟道宽度W_{102}之间的比例设定为比晶体管101的沟道长度L_{101}与沟道宽度W_{101}之间的比例大的方式进行设计。具体而言，沟道长度L_{102}与沟道宽度W_{102}之间的比例优选为沟道长度L_{101}与沟道宽度W_{101}之间的比例的两倍以上，更优选为三倍以上。

[0044] 此外，导电膜110和导电膜115离开。注意，在本说明书中，离开是指物理性地分离存在的情况。而且，在图2A和2B中，导电膜110和导电膜115通过用作布线的导电膜119电连接。具体而言，导电膜110和导电膜115通过形成在栅极绝缘膜111中的开口部120及开口部121与导电膜119连接。

[0045] 此外，图2A和2B所示的导电膜110和导电膜115可以通过利用蚀刻等将形成在绝缘表面上的一个导电膜加工为所希望的形状来形成。并且，导电膜113及导电膜114、导电膜117及导电膜118和导电膜119可以通过利用蚀刻等将以覆盖开口部120及开口部121的方式形成在栅极绝缘膜111上的一个导电膜加工为所希望的形状来形成。也就是说，导电膜119形成在与导电膜110及导电膜115不同的层中。

[0046] 如图2A和2B所示，在本发明的一个方式中，由形成在与导电膜110及导电膜115不同的层中的导电膜119使用作栅电极的导电膜110和导电膜115电连接。

[0047] 作为比较例子，图2C示出图1所示的晶体管101及晶体管102的俯视图的另一个例子。但是，在图2C中，为了明确地表示晶体管101及晶体管102的布局，示出省略栅极绝缘膜的俯视图。

[0048] 在图2C中，晶体管101包括：用作栅电极的导电膜122；导电膜122上的栅极绝缘膜；在栅极绝缘膜上设置在与导电膜122重叠的位置上的半导体膜123；以及半导体膜123上的用作源电极或漏电极的导电膜124及导电膜125。

[0049] 此外，在图2C中，晶体管102包括：用作栅电极的导电膜122；导电膜122上的栅极绝缘膜；在栅极绝缘膜上设置在与导电膜122重叠的位置上的半导体膜126；以及半导体膜126上的用作源电极或漏电极的导电膜127及导电膜128。

[0050] 换言之，在图2C中，晶体管101和晶体管102共同使用导电膜122，并且导电膜122用作晶体管101的栅电极及晶体管102的栅电极。因此，在图2C中，用作栅电极的导电膜122的面积比在图2A和2B中用作栅电极的导电膜110的面积及导电膜115的面积大。

[0051] 由此，因为在本发明的一个方式中，可以将用作栅电极的导电膜110的面积及导电膜115的面积抑制为比比较例子的导电膜122的面积小，所以当利用蚀刻制造导电膜110及导电膜115时，可以将分别积累在导电膜110及导电膜115中的电荷量抑制为小，即，减少天线效果。因此，在本发明的一个方式中，当利用蚀刻制造导电膜110及导电膜115时，与比较例子相比，可以不容易产生上述电荷的释放所引起的导电膜110及导电膜115的静电损坏。

[0052] 此外，在本发明的一个方式中，当利用蚀刻制造导电膜110及导电膜115上的半导体膜112及半导体膜116时，也可以不容易产生天线效果所引起的导电膜110及导电膜115的静电损坏。

[0053] 接着，图3A示出图1所示的晶体管101及晶体管102的俯视图的一个例子，该俯视图与图2A所示的俯视图不同。但是，在图3A中，为了明确地表示晶体管101及晶体管102的布局，示出省略栅极绝缘膜211的俯视图。此外，图3B示出图3A所示的晶体管102的沿着点划线B1-B2的截面图的一个例子。

[0054] 在图3A中，晶体管101包括：用作源电极或漏电极的导电膜213及导电膜214；导电膜213及导电膜214上的半导体膜212；半导体膜212上的栅极绝缘膜211；以及在栅极绝缘膜211上设置在与半导体膜212重叠的位置上的用作栅电极的导电膜210。

[0055] 此外，在图3A和3B中，晶体管102包括：用作源电极或漏电极的导电膜217及导电膜218；导电膜217及导电膜218上的半导体膜216；半导体膜216上的栅极绝缘膜211；以及在栅极绝缘膜211上设置在与半导体膜216重叠的位置上的用作栅电极的导电膜215。

[0056] 而且，在本发明的一个方式中，位于输出一侧的晶体管102的电流供应能力比晶体管101的电流供应能力高。因此，在本发明的一个方式中，如图3A所示，优选以将晶体管102的沟道长度L_{102}与沟道宽度W_{102}之间的比例设定为比晶体管101的沟道长度L_{101}与沟道宽度W_{101}之间的比例大的方式进行设计。具体而言，沟道长度L_{102}与沟道宽度W_{102}之间的比例优选为沟道长度L_{101}与沟道宽度W_{101}之间的比例的两倍以上，更优选为三倍以上。

[0057] 此外，导电膜210和导电膜215离开。而且，在图3A及3B中，导电膜210和导电膜215通过用作布线的导电膜219电连接。具体而言，导电膜210和导电膜215通过形成在栅极绝缘膜211中的开口部220及开口部221与导电膜219连接。

[0058] 此外，图3A和3B所示的导电膜210和导电膜215可以通过利用蚀刻等将以覆盖开口部220及开口部221的方式形成在栅极绝缘膜211上的一个导电膜加工为所希望的形状来形成。并且，导电膜213及导电膜214、导电膜217及导电膜218以及导电膜219可以通过利用蚀刻等将形成在绝缘表面上的一个导电膜加工为所希望的形状来形成。也就是说，导电膜219形成在与导电膜210及导电膜215不同的层中。

[0059] 如图3A和3B所示，在本发明的一个方式中，由形成在与导电膜210及导电膜215不同的层中的导电膜219使用作栅电极的导电膜210和导电膜215电连接。

[0060] 作为比较例子，图3C示出图1所示的晶体管101及晶体管102的俯视图的另一个例子。但是，在图3C中，为了明确地表示晶体管101及晶体管102的布局，示出省略栅极绝缘膜的俯视图。

[0061] 在图3C中，晶体管101包括：用作源电极或漏电极的导电膜224及导电膜225；导电膜224及导电膜225上的半导体膜223；半导体膜223上的栅极绝缘膜；以及在栅极绝缘膜上设置在与半导体膜223重叠的位置上的用作栅电极的导电膜222。

[0062] 此外，在图3C中，晶体管102包括：用作源电极或漏电极的导电膜227及导电膜228；导电膜227及导电膜228上的半导体膜226；半导体膜226上的栅极绝缘膜；以及在栅极绝缘膜上设置在与半导体膜226重叠的位置上的用作栅电极的导电膜222。

[0063] 换言之，在图3C中，晶体管101和晶体管102共同使用导电膜222，并且导电膜222用作晶体管101的栅电极及晶体管102的栅电极。因此，在图3C中，用作栅电极的导电膜222的面积比在图3A和3B中用作栅电极的导电膜210的面积及导电膜215的面积大。

[0064] 由此，因为在本发明的一个方式中，可以将用作栅电极的导电膜210的面积及导电膜215的面积抑制为比比较例子的导电膜222的面积小，所以当利用蚀刻制造导电膜210及导电膜215时，可以将分别积累在导电膜210及导电膜215中的电荷量抑制为小，即，减少天线效果。因此，在本发明的一个方式中，当利用蚀刻制造导电膜210及导电膜215时，与比较例子相比，可以不容易产生上述电荷的释放所引起的导电膜210及导电膜215的静电损坏。

[0065] 此外，在本发明的一个方式中，当通过蚀刻将导电膜210及导电膜215上的各种导电膜加工为所希望的形状时，也可以不容易产生天线效果所引起的导电膜210及导电膜215的静电损坏。

[0066] 接着，说明根据本发明的一个方式的半导体装置中之一的脉冲产生电路的结构。图4示出根据本发明的一个方式的半导体装置所具有的脉冲产生电路的一个例子。

[0067] 图4所示的脉冲产生电路300包括晶体管301至晶体管315以及电容元件316。晶体管302相当于图1所示的晶体管101。晶体管309、晶体管312或晶体管315相当于图1所示的晶体管102。此外，脉冲产生电路300具有从布线317至布线326供应各种电位且对布线327至布线329输出电位的结构。

[0068] 通过使多级的上述脉冲产生电路300连接，可以构成移位寄存器。

[0069] 具体而言，当晶体管301至晶体管315是n沟道型时，对布线317供应高电平的电位VDD，对布线318供应低电平的电位VSS，并且对布线326供应低电平的电位VEE。电位VEE优选与电位VSS相同或高于电位VSS。此外，对布线319供应电位LIN，对布线320供应电位INRES，对布线321供应电位CLK2，对布线322供应电位RIN，对布线323供应电位CLK1，对布线324供应电位PWC2，并且对布线325供应电位PWC1。

[0070] 此外，从脉冲产生电路300输出的电位GOUT1被供应到布线327。从脉冲产生电路300输出的电位GOUT2被供应到布线328。从脉冲产生电路300输出的电位SROUT被供应到布线329。

[0071] 电位LIN、电位RIN、电位CLK2以及电位INRES相当于图1所示的半导体装置100中的电位Vin。电位GOUT1、电位GOUT2以及电位SROUT相当于图1所示的半导体装置100中的电位Vout。电位VSS、电位VEE、电位PWC1、电位PWC2以及电位CLK1相当于图1所示的半导体装置100中的电位VH或电位VL。

[0072] 具体而言，晶体管301的栅电极与布线319连接。此外，晶体管301的源极端子和漏极端子中的一方与布线317连接，另一方与晶体管302的源极端子和漏极端子中的一方连接。晶体管302的栅电极与晶体管315的栅电极连接。此外，晶体管302的源极端子和漏极端

子中的另一方与布线318连接。晶体管303的栅电极与布线320连接。此外，晶体管303的源极端子和漏极端子中的一方与布线317连接，另一方与晶体管302的栅电极连接。晶体管304的栅电极与布线321连接。此外，晶体管304的源极端子和漏极端子中的一方与布线317连接，另一方与晶体管302的栅电极连接。晶体管305的栅电极与布线322连接。此外，晶体管305的源极端子和漏极端子中的一方与布线317连接，另一方与晶体管302的栅电极连接。晶体管306的栅电极与布线319连接。此外，晶体管306的源极端子和漏极端子中的一方与晶体管302的栅电极连接，另一方与布线318连接。晶体管307的栅电极与布线317连接。此外，晶体管307的源极端子和漏极端子中的一方与晶体管301的源极端子和漏极端子中的另一方连接，另一方与晶体管308的栅电极连接。晶体管308的源极端子和漏极端子中的一方与布线323连接，另一方与布线329连接。晶体管309的栅电极与晶体管302的栅电极连接。此外，晶体管309的源极端子和漏极端子中的一方与布线329连接，另一方与布线318连接。晶体管310的栅电极与布线317连接。此外，晶体管310的源极端子和漏极端子中的一方与晶体管301的源极端子和漏极端子中的另一方，另一方与晶体管311的栅电极连接。晶体管311的源极端子和漏极端子中的一方与布线324连接，另一方与布线328连接。晶体管312的栅电极与晶体管302的栅电极连接。此外，晶体管312的源极端子和漏极端子中的一方与布线328连接，另一方与布线318连接。晶体管313的栅电极与布线317连接。此外，晶体管313的源极端子和漏极端子中的一方与晶体管301的源极端子和漏极端子中的另一方，另一方与晶体管314的栅电极连接。晶体管314的源极端子和漏极端子中的一方与布线325连接，另一方与布线327连接。晶体管315的源极端子和漏极端子中的一方与布线327连接，另一方与布线326连接。电容元件316的一方电极与晶体管302的栅电极电连接，另一方电极与布线318连接。

[0073] 另外，在图4中，输出一侧的晶体管315的源极端子和漏极端子中的另一方与布线326连接，但是本发明不局限于此。也可以输出一侧的晶体管315的源极端子和漏极端子中的另一方与布线318连接。然而，因为输出一侧的晶体管315的尺寸大，所以当晶体管315是常导通晶体管时，在漏电流比其他晶体管大。因此，当晶体管315是常导通晶体管时，在晶体管315的源极端子和漏极端子中的另一方与布线318连接的情况下容易发生布线318的电位因上述漏电流而上升，输出电位的电位GOUT1的振幅变小的现象。但是，当如图4所示，输出一侧的晶体管315的源极端子和漏极端子中的另一方与布线326连接，而不与布线318连接时，即使因晶体管315是常导通晶体管而布线326的电位上升，用来对该晶体管的栅电极供应电位的布线318的电位与布线326的电位的上升也没有关系。由此，当因晶体管315的漏电流而布线326的电位上升时，晶体管315的栅极电压靠近于负值的阈值电压，所以即使晶体管315是常导通晶体管也可以使它截止。

[0074] 在本发明的一个方式中，相当于输出一侧的晶体管的晶体管309、晶体管312和晶体管315中的至少一个的栅电极与晶体管302的栅电极通过与上述栅电极不同的导电膜电连接。通过采用上述结构，与晶体管309、晶体管312、晶体管315以及晶体管302的栅电极都由一个导电膜构成的情况相比，可以将用作栅电极的各导电膜的面积抑制为小。因此，也可以不容易产生天线效果所引起的用作栅电极的导电膜的静电损坏。

[0075] 另外，本发明的一个方式不局限于用作栅电极的两个导电膜通过与上述两个导电膜不同的一个导电膜电连接的结构。例如，也可以用作栅电极的两个导电膜通过与上述两个导电膜不同的多个导电膜电连接。在此情况下，上述多个导电膜中的至少一个形成在与

用作栅电极的两个导电膜不同的层中。

[0076] 此外，本发明的一个方式不局限于在用作栅电极的多个导电膜和用来使上述多个导电膜电连接的导电膜之间设置有绝缘膜的结构。在本发明的一个方式中，可以在不同的工序中制造用作栅电极的多个导电膜和用来使上述多个导电膜电连接的导电膜。由此，也可以不在用作栅电极的多个导电膜和用来使上述多个导电膜电连接的导电膜之间形成绝缘膜。

[0077] 实施方式2

[0078] 在本实施方式中，说明使多级的图4所示的脉冲产生电路300连接来构成的移位寄存器。

[0079] 图5所示的移位寄存器包括脉冲产生电路300_1至脉冲产生电路300_y(y是自然数)以及虚拟脉冲产生电路300_d。脉冲产生电路300_1至脉冲产生电路300_y分别具有与图4所示的脉冲产生电路300相同的结构。此外，脉冲产生电路300_d的结构与图4所示的脉冲产生电路300的结构不同之处是不与被供应电位RIN的布线322连接以及没有晶体管305。

[0080] 此外，图7示意性地示出在图5所示的移位寄存器中与脉冲产生电路300_j(j是y以下的自然数)连接的布线319至布线325以及布线327至布线329的位置。由图5及图7可知，对脉冲产生电路300_j的布线319供应从前级的脉冲产生电路300_j-1的布线329输出的电位SROUTj-1作为电位LIN。但是，对第一级脉冲产生电路3001的布线319供应起始脉冲信号GSP的电位。

[0081] 此外，对与脉冲产生电路300_j连接的布线322供应从后一级的脉冲产生电路300_j+1的布线329输出的电位SROUTj+1作为电位RIN。但是，对第y级脉冲产生电路300_y的布线322供应从脉冲产生电路300_d的布线329输出的SROUTd作为电位RIN。

[0082] 对布线321及布线323分别供应时钟信号GCK1至时钟信号GCK4中的任何两个时钟信号的电位。具体而言，在脉冲产生电路300_4m+1中，对布线323供应时钟信号GCK1的电位作为电位CLK1，并且对布线321供应时钟信号GCK2的电位作为电位CLK2。在脉冲产生电路300_4m+2中，对布线323供应时钟信号GCK2的电位作为电位CLK1，并且对布线321供应时钟信号GCK3的电位作为电位CLK2。在脉冲产生电路300_4m+3中，对布线323供应时钟信号GCK3的电位作为电位CLK1，并且对布线321供应时钟信号GCK4的电位作为电位CLK2。在脉冲产生电路300_4m+4中，对布线323供应时钟信号GCK4的电位作为电位CLK1，并且对布线321供应时钟信号GCK1的电位作为电位CLK2。在脉冲产生电路300_d中，对布线323供应时钟信号GCK1的电位作为电位CLK1，并且对布线321供应时钟信号GCK2的电位作为电位CLK2。但是，m是任意整数，其满足脉冲产生电路300的总数是y的条件。

[0083] 此外，对布线324及布线325分别供应脉冲宽度控制信号PWCA至脉冲宽度控制信号PWCD和脉冲宽度控制信号PWCa至脉冲宽度控制信号PWCd中的任何两个脉冲宽度控制信号的电位。具体而言，在脉冲产生电路300_4m+1中，对布线325供应脉冲宽度控制信号PWCa的电位作为电位PWC1，并且对布线324供应脉冲宽度控制信号PWCA的电位作为电位PWC2。在脉冲产生电路300_4m+2中，对布线325供应脉冲宽度控制信号PWCb的电位作为电位PWC1，并且对布线324供应脉冲宽度控制信号PWCB的电位作为电位PWC2。在脉冲产生电路300_4m+3中，对布线325供应脉冲宽度控制信号PWCc的电位作为电位PWC1，并且对布线324供应脉冲宽度控制信号PWCC的电位作为电位PWC2。在脉冲产生电路300_4m+4中，对布线325供应脉冲宽度

控制信号PWCd的电位作为电位PWC1，并且对布线324供应脉冲宽度控制信号PWCD的电位作为电位PWC2。在脉冲产生电路300_d中，对布线325供应脉冲宽度控制信号PWCa的电位作为电位PWC1，并且对布线324供应脉冲宽度控制信号PWCA的电位作为电位PWC2。

[0084] 与脉冲产生电路300_j连接的布线327的电位GOUT1被供应到扫描线GLaj。

[0085] 与脉冲产生电路300_j连接的布线329的电位SROUT_j的极性由反相器351_j反转而供应到扫描线GLbj。具体而言，反相器351_4m+1输入有时钟信号GCK2，并且当时钟信号GCK2的电位是低电平时，使电位SROUT_4m+1的极性反转而供应到扫描线GLb4m+1。反相器351_4m+2输入有时钟信号GCK3，并且当时钟信号GCK3的电位是低电平时，使电位SROUT_4m+2的极性反转而供应到扫描线GLb4m+2。反相器351_4m+3输入有时钟信号GCK4，并且当时钟信号GCK4的电位是低电平时，使电位SROUT_4m+3的极性反转而供应到扫描线GLb4m+3。反相器351_4m+4输入有时钟信号GCK1，并且当时钟信号GCK1的电位是低电平时，使电位SROUT_4m+4的极性反转而供应到扫描线GLb4m+4。反相器351_d输入有时钟信号GCK2，并且当时钟信号GCK2的电位是低电平时，使电位SROUT_d的极性反转而供应到扫描线GLbd。

[0086] 此外，与脉冲产生电路300_j连接的布线328的电位GOUT2的极性由反相器350_j反转而供应到扫描线GLcj。具体而言，反相器350_4m+1输入有时钟信号GCK2，并且当时钟信号GCK2的电位是低电平时，使电位GOUT2的极性反转而供应到扫描线GLc4m+1。反相器350_4m+2输入有时钟信号GCK3，并且当时钟信号GCK3的电位是低电平时，使电位GOUT2的极性反转而供应到扫描线GLc4m+2。反相器350_4m+3输入有时钟信号GCK4，并且当时钟信号GCK4的电位是低电平时，使电位GOUT2的极性反转而供应到扫描线GLc4m+3。反相器350_4m+4输入有时钟信号GCK1，并且当时钟信号GCK1的电位是低电平时，使电位GOUT2的极性反转而供应到扫描线GLc4m+4。反相器350_d输入有时钟信号GCK2，并且当时钟信号GCK2的电位是低电平时，使电位GOUT2的极性反转而供应到扫描线GLcd。

[0087] 接着，参照图6所示的时序图说明图4所示的脉冲产生电路300的工作。另外，在所有的期间中，电位INRES一直是低电平。

[0088] 如图6所示，在期间t1中，供应到布线323的电位CLK1是低电平，供应到布线321的电位CLK2是低电平，供应到布线325的脉冲宽度控制信号PWC1的电位是低电平，供应到布线324的脉冲宽度控制信号PWC2的电位是低电平，供应到布线319的电位LIN是高电平，并且供应到布线322的电位RIN是低电平。

[0089] 因此，在期间t1中，在脉冲产生电路300中供应到布线325的脉冲宽度控制信号PWC1的电位(低电平)被供应到布线327作为电位GOUT1。此外，供应到布线324的脉冲宽度控制信号PWC2的电位(低电平)被供应到布线328作为电位GOUT2。此外，供应到布线323的电位CLK1(低电平)被供应到布线329作为电位SROUT。

[0090] 接着，如图6所示，在期间t2中，供应到布线323的电位CLK1是高电平，供应到布线321的电位CLK2是低电平，供应到布线325的脉冲宽度控制信号PWC1的电位从低电平变为高电平，供应到布线324的脉冲宽度控制信号PWC2的电位是低电平，供应到布线319的电位LIN是高电平，并且供应到布线322的电位RIN是低电平。

[0091] 因此，在期间t2中，在脉冲产生电路300中供应到布线325的脉冲宽度控制信号PWC1的电位(从低电平变为高电平)被供应到布线327作为电位GOUT1。此外，供应到布线324的脉冲宽度控制信号PWC2的电位(低电平)被供应到布线328作为电位GOUT2。此外，供应到

布线323的电位CLK1(高电平)被供应到布线329作为电位SROUT。

[0092] 接着,如图6所示,在期间t3中,供应到布线323的电位CLK1是高电平,供应到布线321的电位CLK2是低电平,供应到布线325的脉冲宽度控制信号PWC1的电位是高电平,供应到布线324的脉冲宽度控制信号PWC2的电位是高电平,供应到布线319的电位LIN从高电平变为低电平,并且供应到布线322的电位RIN是低电平。

[0093] 因此,在期间t3中,在脉冲产生电路300中供应到布线325的脉冲宽度控制信号PWC1的电位(高电平)被供应到布线327作为电位GOUT1。此外,供应到布线324的脉冲宽度控制信号PWC2的电位(高电平)被供应到布线328作为电位GOUT2。此外,供应到布线323的电位CLK1(高电平)被供应到布线329作为电位SROUT。

[0094] 接着,如图6所示,在期间t4中,供应到布线323的电位CLK1是高电平,供应到布线321的电位CLK2是低电平,供应到布线325的脉冲宽度控制信号PWC1的电位从高电平变为低电平,供应到布线324的脉冲宽度控制信号PWC2的电位是高电平,供应到布线319的电位LIN是低电平,并且供应到布线322的电位RIN是低电平。

[0095] 因此,在期间t4中,在脉冲产生电路300中供应到布线325的脉冲宽度控制信号PWC1的电位(从高电平变为低电平)被供应到布线327作为电位GOUT1。此外,供应到布线324的脉冲宽度控制信号PWC2的电位(高电平)被供应到布线328作为电位GOUT2。此外,供应到布线323的电位CLK1(高电平)被供应到布线329作为电位SROUT。

[0096] 接着,如图6所示,在期间t5中,供应到布线323的电位CLK1是低电平,供应到布线321的电位CLK2是高电平,供应到布线325的脉冲宽度控制信号PWC1的电位是低电平,供应到布线324的脉冲宽度控制信号PWC2的电位是低电平,供应到布线319的电位LIN是低电平,并且供应到布线322的电位RIN是高电平。

[0097] 因此,在期间t5中,在脉冲产生电路300中供应到布线326的电位VEE(低电平)被供应到布线327作为电位GOUT1。此外,供应到布线318的电位VSS(低电平)被供应到布线328作为电位GOUT2。此外,供应到布线318的电位VSS(低电平)被供应到布线329作为电位SROUT。

[0098] 在本发明的一个方式中,如实施方式1所示,相当于输出一侧的晶体管的晶体管309、晶体管312和晶体管315中的至少一个的栅电极与晶体管302的栅电极通过与上述栅电极不同的导电膜电连接。通过采用上述结构,与晶体管309、晶体管312、晶体管315和晶体管302的所有栅电极由一个导电膜构成的情况相比,可以将用作栅电极的各导电膜的面积抑制为小。因此,也可以不容易产生天线效果所引起的用作栅电极的导电膜的静电损坏。由此,在使用上述移位寄存器的根据本发明的一个方式的半导体装置中不容易产生静电损坏所引起的成品率的降低。

[0099] 本实施方式可以与其他实施方式适当的组合而实施。

[0100] 实施方式3

[0101] 对根据本发明的一个方式的半导体装置所具有的脉冲产生电路的结构例子进行说明。

[0102] 图8A所示的脉冲产生电路400包括晶体管402至晶体管404以及晶体管415至晶体管420。通过使多级的上述脉冲产生电路400连接,可以构成移位寄存器。

[0103] 在晶体管402中,栅电极与晶体管403及晶体管404的栅电极连接,源极端子和漏极端子中的一方与布线406连接,另一方与晶体管420的栅电极连接。在晶体管403中,源极端

子和漏极端子中的一方与布线406连接，另一方与布线414连接。在晶体管404中，源极端子和漏极端子中的一方与布线407连接，另一方与布线413连接。

[0104] 此外，在晶体管415中，栅电极与布线408连接，源极端子和漏极端子中的一方与晶体管420的栅电极连接，另一方与布线405连接。在晶体管416中，栅电极与布线409连接，源极端子和漏极端子中的一方与晶体管402、晶体管403及晶体管404的栅电极连接，另一方与布线405连接。在晶体管417中，栅电极与布线410连接，源极端子和漏极端子中的一方与晶体管402、晶体管403及晶体管404的栅电极连接，另一方与布线405连接。在晶体管418中，栅电极与布线408连接，源极端子和漏极端子中的一方与布线406连接，另一方与晶体管402、晶体管403及晶体管404的栅电极连接。在晶体管419中，栅电极与晶体管420的栅电极连接，源极端子和漏极端子中的一方与布线414连接，另一方与布线411连接。在晶体管420中，源极端子和漏极端子中的一方与布线413连接，另一方与布线412连接。

[0105] 当晶体管402至晶体管404以及晶体管415至晶体管420是n沟道型时，具体而言，对布线405供应电位VDD，对布线406供应电位VSS，并且对布线407供应电位VEE。此外，对布线408至布线412供应时钟信号等的各种信号的电位。而且，从布线413输出电位GOUT，且从布线414输出电位SROUT。

[0106] 在本发明的一个方式中，相当于输出一侧的晶体管的晶体管403和晶体管404中的至少一个的栅电极与晶体管402的栅电极通过设置在与上述栅电极不同的层中的导电膜电连接。通过采用上述结构，与晶体管403、晶体管404和晶体管402的所有栅电极由一个导电膜构成的情况相比，可以将用作栅电极的各导电膜的面积抑制为小。因此，也可以不容易产生天线效果所引起的用作栅电极的导电膜的静电损坏。由此，可以不容易产生将上述脉冲产生电路400用于移位寄存器等的根据本发明的一个方式的半导体装置中的静电损坏所引起的成品率的降低。

[0107] 或者，在本发明的一个方式中，相当于输出一侧的晶体管的晶体管420的栅电极与晶体管419的栅电极也可以通过设置在与上述栅电极不同的层中的导电膜电连接。通过采用上述结构，可以不容易产生将上述脉冲产生电路400用于移位寄存器等的根据本发明的一个方式的半导体装置中的静电损坏所引起的成品率的降低。

[0108] 此外，在图8A中，输出一侧的晶体管404的源极端子和漏极端子中的一方与布线407连接，但是本发明不局限于此。输出一侧的晶体管404的源极端子和漏极端子中的一方也可以与布线406连接。但是，如图8A所示，当输出一侧的晶体管404的源极端子和漏极端子中的一方与布线407连接，而不与布线406连接时，即使晶体管404处于常导通晶体管，也可以使晶体管404在需要使其截止时截止。

[0109] 图8B所示的脉冲产生电路430包括晶体管432至晶体管434以及晶体管446至晶体管452。通过使多级的上述脉冲产生电路430连接，可以构成移位寄存器。

[0110] 在晶体管432中，栅电极与晶体管433及晶体管434的栅电极连接，源极端子和漏极端子中的一方与布线436连接，另一方与晶体管451及晶体管452的栅电极连接。在晶体管433中，源极端子和漏极端子中的一方与布线436连接，另一方与布线445连接。在晶体管434中，源极端子和漏极端子中的一方与布线437连接，另一方与布线444连接。

[0111] 此外，在晶体管446中，栅电极与布线438连接，源极端子和漏极端子中的一方与晶体管451及晶体管452的栅电极连接，另一方与布线435连接。在晶体管447中，栅电极与布线

439连接，源极端子和漏极端子中的一方与晶体管432、晶体管433及晶体管434的栅电极连接，另一方与布线435连接。在晶体管448中，栅电极与布线440连接，源极端子和漏极端子中的一方与晶体管432、晶体管433及晶体管434的栅电极连接，另一方与布线435连接。在晶体管449中，栅电极与布线438连接，源极端子和漏极端子中的一方与布线436连接，另一方与晶体管432、晶体管433及晶体管434的栅电极连接。在晶体管450中，栅电极与布线441连接，源极端子和漏极端子中的一方与晶体管432、晶体管433及晶体管434的栅电极连接，另一方与布线435连接。在晶体管451中，源极端子和漏极端子中的一方与布线445连接，另一方与布线442连接。在晶体管452中，源极端子和漏极端子中的一方与布线444连接，另一方与布线443连接。

[0112] 当晶体管432至晶体管434以及晶体管446至晶体管452是n沟道型时，具体而言，对布线435供应电位VDD，对布线436供应电位VSS，并且对布线437供应电位VEE。此外，对布线438至布线443供应时钟信号等的各种信号的电位。而且，从布线444输出电位GOUT，且从布线445输出电位SROUT。

[0113] 在本发明的一个方式中，相当于输出一侧的晶体管的晶体管433和晶体管434中的至少一个的栅电极与晶体管432的栅电极通过设置在与上述栅电极不同的层中的导电膜电连接。通过采用上述结构，与晶体管433、晶体管434和晶体管432的所有栅电极由一个导电膜构成的情况相比，可以将用作栅电极的各导电膜的面积抑制为小。因此，也可以不容易产生天线效果所引起的用作栅电极的导电膜的静电损坏。由此，可以不容易产生将上述脉冲产生电路430用于移位寄存器等的根据本发明的一个方式的半导体装置中的静电损坏所引起的成品率的降低。

[0114] 或者，在本发明的一个方式中，相当于输出一侧的晶体管的晶体管452的栅电极与晶体管451的栅电极也可以通过设置在与上述栅电极不同的层中的导电膜电连接。通过采用上述结构，可以不容易产生将上述脉冲产生电路430用于移位寄存器等的根据本发明的一个方式的半导体装置中的静电损坏所引起的成品率的降低。

[0115] 此外，在图8B中，输出一侧的晶体管434的源极端子和漏极端子中的一方与布线437连接，但是本发明不局限于此。输出一侧的晶体管434的源极端子和漏极端子中的一方也可以与布线436连接。但是，如图8B所示，当输出一侧的晶体管434的源极端子和漏极端子中的一方与布线437连接，而不与布线436连接时，即使晶体管434是常导通晶体管，也可以使晶体管434在需要使其截止时截止。

[0116] 图9A所示的脉冲产生电路460包括晶体管462至晶体管464以及晶体管476至晶体管482。通过使多级的上述脉冲产生电路460连接，可以构成移位寄存器。

[0117] 在晶体管462中，栅电极与晶体管463及晶体管464的栅电极连接，源极端子和漏极端子中的一方与布线466连接，另一方与晶体管477的源极端子和漏极端子中的一方连接。在晶体管463中，源极端子和漏极端子中的一方与布线466连接，另一方与布线475连接。在晶体管464中，源极端子和漏极端子中的一方与布线467连接，另一方与布线474连接。

[0118] 此外，在晶体管476中，栅电极与布线468连接，源极端子和漏极端子中的一方与晶体管477的源极端子和漏极端子中的一方连接，另一方与布线465连接。在晶体管477中，栅电极与布线465连接，源极端子和漏极端子中的另一方与晶体管481及晶体管482的栅电极连接。在晶体管478中，栅电极与布线469连接，源极端子和漏极端子中的一方与晶体管462、

晶体管463及晶体管464的栅电极连接，另一方与布线465连接。在晶体管479中，栅电极与布线468连接，源极端子和漏极端子中的一方与布线466连接，另一方与晶体管462、晶体管463的栅电极及晶体管464的栅电极连接。在晶体管480中，栅电极与布线470连接，源极端子和漏极端子中的一方与晶体管462、晶体管463及晶体管464连接，另一方与布线465连接。在晶体管481中，源极端子和漏极端子中的一方与布线475连接，另一方与布线471连接。在晶体管482中，源极端子和漏极端子中的一方与布线474连接，另一方与布线472连接。

[0119] 当晶体管462至晶体管464以及晶体管476至晶体管482是n沟道型时，具体而言，对布线465供应电位VDD，对布线466供应电位VSS，并且对布线467供应电位VEE。此外，对布线468至布线472供应时钟信号等的各种信号的电位。而且，从布线474输出电位GOUT，且从布线475输出电位SROUT。

[0120] 在本发明的一个方式中，相当于输出一侧的晶体管的晶体管463和晶体管464中的至少一个的栅电极与晶体管462的栅电极通过设置在与上述栅电极不同的层中的导电膜电连接。通过采用上述结构，与晶体管463、晶体管464和晶体管462的所有栅电极由一个导电膜构成的情况相比，可以将用作栅电极的各导电膜的面积抑制为小。因此，也可以不容易产生天线效果所引起的用作栅电极的导电膜的静电损坏。由此，可以不容易产生将上述脉冲产生电路460用于移位寄存器等的根据本发明的一个方式的半导体装置中的静电损坏所引起的成品率的降低。

[0121] 或者，在本发明的一个方式中，相当于输出一侧的晶体管的晶体管482的栅电极与晶体管481的栅电极也可以通过设置在与上述栅电极不同的层中的导电膜电连接。通过采用上述结构，可以不容易产生将上述脉冲产生电路460用于移位寄存器等的根据本发明的一个方式的半导体装置中的静电损坏所引起的成品率的降低。

[0122] 此外，在图9A中，输出一侧的晶体管464的源极端子和漏极端子中的一方与布线467连接，但是本发明不局限于此。输出一侧的晶体管464的源极端子和漏极端子中的一方也可以与布线466连接。但是，如图9A所示，当输出一侧的晶体管464的源极端子和漏极端子中的一方与布线467连接，而不与布线466连接时，即使晶体管464是常导通晶体管，也可以使晶体管464在需要截止时截止。

[0123] 图9B所示的脉冲产生电路500包括晶体管502至晶体管504以及晶体管516至晶体管523。通过使多级的上述脉冲产生电路500连接，可以构成移位寄存器。

[0124] 在晶体管502中，栅电极与晶体管503及晶体管504的栅电极连接，源极端子和漏极端子中的一方与布线506连接，另一方与晶体管517的源电极和漏电极中的一方连接。在晶体管503中，源极端子和漏极端子中的一方与布线506连接，另一方与布线515连接。在晶体管504中，源极端子和漏极端子中的一方与布线507连接，另一方与布线514连接。

[0125] 此外，在晶体管516中，栅电极与布线508连接，源极端子和漏极端子中的一方与晶体管517的源电极和漏电极中的一方连接，另一方与布线505连接。在晶体管517中，栅电极与布线505连接，源极端子和漏极端子中的另一方与晶体管521的栅电极连接。在晶体管518中，栅电极与布线509连接，源极端子和漏极端子中的一方与晶体管502、晶体管503及晶体管504的栅电极连接，另一方与布线505连接。在晶体管519中，栅电极与布线508连接，源极端子和漏极端子中的一方与布线506连接，另一方与晶体管502、晶体管503及晶体管504的栅电极连接。在晶体管520中，栅电极与布线510连接，源极端子和漏极端子中的一方与晶体

管502、晶体管503及晶体管504的栅电极连接，另一方与布线505连接。在晶体管521中，源极端子和漏极端子中的一方与布线515连接，另一方与布线511连接。在晶体管522中，栅电极与布线505连接，源极端子和漏极端子中的一方与晶体管521的栅电极连接，另一方与晶体管523的栅电极连接。在晶体管523中，源极端子和漏极端子中的一方与布线514连接，另一方与布线512连接。

[0126] 当晶体管502至晶体管504以及晶体管516至晶体管523是n沟道型时，具体而言，对布线505供应电位VDD，对布线506供应电位VSS，并且对布线507供应电位VEE。此外，对布线508至布线512供应时钟信号等的各种信号的电位。而且，从布线514输出电位GOUT，且从布线515输出电位SROUT。

[0127] 在本发明的一个方式中，相当于输出一侧的晶体管的晶体管503和晶体管504中的至少一个的栅电极与晶体管502的栅电极通过设置在与上述栅电极不同的层中的导电膜电连接。通过采用上述结构，与晶体管503、晶体管504和晶体管502的所有栅电极由一个导电膜构成的情况相比，可以将用作栅电极的各导电膜的面积抑制为小。因此，也可以不容易产生天线效果所引起的用作栅电极的导电膜的静电损坏。由此，可以不容易产生将上述脉冲产生电路500用于移位寄存器等的根据本发明的一个方式的半导体装置中的静电损坏所引起的成品率的降低。

[0128] 此外，在图9B中，输出一侧的晶体管504的源极端子和漏极端子中的一方与布线507连接，但是本发明不局限于此。输出一侧的晶体管504的源极端子和漏极端子中的一方也可以与布线506连接。但是，如图9B所示，当输出一侧的晶体管504的源极端子和漏极端子中的一方与布线507连接，而不与布线506连接时，即使晶体管504是常导通晶体管，也可以使晶体管504在需要使其截止时截止。

[0129] 图10所示的脉冲产生电路530包括晶体管532至晶体管534以及晶体管546至晶体管553。通过使多级的上述脉冲产生电路530连接，可以构成移位寄存器。

[0130] 在晶体管532中，栅电极与晶体管533及晶体管534的栅电极连接，源极端子和漏极端子中的一方与布线536连接，另一方与晶体管552的源电极和漏电极中的一方连接。在晶体管533中，源极端子和漏极端子中的一方与布线536连接，另一方与布线545连接。在晶体管534中，源极端子和漏极端子中的一方与布线537连接，另一方与布线544连接。

[0131] 此外，在晶体管546中，栅电极与布线538连接，源极端子和漏极端子中的一方与晶体管532的源电极和漏电极中的一方连接，另一方与布线535连接。在晶体管547中，栅电极与布线539连接，源极端子和漏极端子中的一方与晶体管532、晶体管533及晶体管534的栅电极连接，另一方与布线535连接。在晶体管548中，栅电极与布线540连接，源极端子和漏极端子中的一方与晶体管532、晶体管533及晶体管534的栅电极连接，另一方与布线535连接。在晶体管549中，栅电极与布线538连接，源极端子和漏极端子中的一方与布线536连接，另一方与晶体管532、晶体管533及晶体管534的栅电极连接。在晶体管550中，栅电极与布线535连接，源极端子和漏极端子中的一方与晶体管552的源极端子和漏极端子中的一方连接，另一方与晶体管551的栅电极连接。在晶体管551中，源极端子和漏极端子中的一方与布线545连接，另一方与布线541连接。在晶体管552中，栅电极与布线535连接，源极端子和漏极端子中的另一方与晶体管553的栅电极连接。在晶体管553中，源极端子和漏极端子中的一方与布线544连接，另一方与布线542连接。

[0132] 当晶体管532至晶体管534以及晶体管546至晶体管553是n沟道型时，具体而言，对布线535供应电位VDD，对布线536供应电位VSS，并且对布线537供应电位VEE。此外，对布线538至布线542供应时钟信号等的各种信号的电位。而且，从布线544输出电位GOUT，且从布线545输出电位SROUT。

[0133] 在本发明的一个方式中，相当于输出一侧的晶体管的晶体管533和晶体管534中的至少一个的栅电极与晶体管532的栅电极通过设置在与上述栅电极不同的层中的导电膜电连接。通过采用上述结构，与晶体管533、晶体管534和晶体管532的所有栅电极由一个导电膜构成的情况相比，可以将用作栅电极的各导电膜的面积抑制为小。因此，也可以不容易产生天线效果所引起的用作栅电极的导电膜的静电损坏。由此，可以不容易产生将上述脉冲产生电路530用于移位寄存器等的根据本发明的一个方式的半导体装置中的静电损坏所引起的成品率的降低。

[0134] 此外，在图10中，输出一侧的晶体管534的源极端子和漏极端子中的一方与布线537连接，但是本发明不局限于此。输出一侧的晶体管534的源极端子和漏极端子中的一方也可以与布线536连接。但是，如图10所示，当输出一侧的晶体管534的源极端子和漏极端子中的一方与布线537连接，而不与布线536连接时，即使晶体管534是常导通晶体管，也可以使晶体管534在需要使其截止时截止。

[0135] 本实施方式可以与其他实施方式适当地组合而实施。

[0136] 实施方式4

[0137] 以使用OLED的发光装置为例子而参照图11说明根据本发明的一个方式的半导体显示装置的像素和驱动电路的截面结构。图11示出像素840和驱动电路841的截面图作为一个例子。

[0138] 在图11中，像素840包括发光元件832及控制对发光元件832的电流供应的晶体管831。像素840除了上述发光元件832及晶体管831之外还可以包括各种半导体元件诸如控制输入到像素840中的图像信号的晶体管或保持图像信号的电位的电容元件等。

[0139] 此外，在图11中，驱动电路841包括晶体管830。具体而言，晶体管830相当于与驱动电路841的一部分相当的移位寄存器所包括的输出一侧的晶体管。驱动电路841除了上述晶体管830之外还可以包括各种半导体元件诸如晶体管或电容元件等。

[0140] 晶体管831在具有绝缘表面的衬底800上包括用作栅电极的导电膜816、导电膜816上的栅极绝缘膜802、在与导电膜816重叠的位置上设置在栅极绝缘膜802上的半导体膜817以及位于半导体膜817上的用作源极端子或漏极端子的导电膜815及导电膜818。导电膜816还用作扫描线。

[0141] 晶体管830在具有绝缘表面的衬底800上包括用作栅电极的导电膜812、导电膜812上的栅极绝缘膜802、在与导电膜812重叠的位置上设置在栅极绝缘膜802上的半导体膜813以及位于半导体膜813上的用作源极端子或漏极端子的导电膜814及导电膜819。

[0142] 此外，设置在具有绝缘表面的衬底800上的导电膜850用作与晶体管830不同的晶体管的栅电极。而且，导电膜812及导电膜850通过设置在导电膜812及导电膜850上的栅极绝缘膜802中的开口部与栅极绝缘膜802上的导电膜851连接。

[0143] 此外，在导电膜814、导电膜815、导电膜818、导电膜819、导电膜851上按顺序层叠设置有绝缘膜820及绝缘膜821。而且，在绝缘膜821上设置有导电膜852及导电膜853。导电

膜852及导电膜853分别通过设置在绝缘膜820及绝缘膜821中的开口部与导电膜851及导电膜818连接。

[0144] 此外，在导电膜852及导电膜853上设置有绝缘膜854。而且，在绝缘膜854上设置有用作阳极的导电膜822。导电膜822通过形成在绝缘膜854中的开口部与导电膜853连接。

[0145] 此外，具有使导电膜822的一部分露出的开口部的绝缘膜824设置在绝缘膜854上。在导电膜822的一部分及绝缘膜854上按顺序层叠设置有EL层825和用作阴极的导电膜826。导电膜822、EL层825和导电膜826重叠的区域相当于发光元件832。

[0146] 另外，在本发明的一个方式中，在晶体管830及晶体管831中，既可以将非晶、微晶、多晶或单晶的硅或锗等半导体用于半导体膜，又可以将氧化物半导体等宽带隙半导体用于半导体膜。

[0147] 当将非晶、微晶、多晶或单晶的硅或锗等半导体用于晶体管830及晶体管831的半导体膜时，将赋予一个导电性的杂质元素添加到上述半导体膜来形成用作源区域或漏区域的杂质区域。例如，通过将磷或砷添加到上述半导体膜，可以形成具有n型导电性的杂质区域。此外，例如，通过将硼添加到上述半导体膜，可以形成具有p型导电性的杂质区域。

[0148] 当将氧化物半导体用于晶体管830及晶体管831的半导体膜时，也可以将掺杂剂添加到上述半导体膜来形成用作源区域或漏区域的杂质区域。作为掺杂剂的添加可以使用离子注入法。作为掺杂剂，例如可以使用：氦、氩、氙等稀有气体；或氮、磷、砷、锑等的周期表中第15族元素等。例如，当使用氮作为掺杂剂时，杂质区域中的氮原子的浓度优选为$5\times10^{19}/cm^3$以上且$1\times10^{22}/cm^3$以下。

[0149] 另外，作为硅半导体可以使用：通过等离子体CVD法等气相沉积法或溅射法制造的非晶硅；利用激光退火法等处理使非晶硅结晶化的多晶硅；以及对单晶硅片注入氢离子等而使其表层部分剥离的单晶硅等。

[0150] 另外，作为氧化物半导体，优选至少包含铟(In)或锌(Zn)。尤其是优选包含In及Zn。此外，除了上述元素以外，优选还具有镓(Ga)作为稳定剂(stabilizer)，该稳定剂用来减小使用上述氧化物的晶体管的电特性的不均匀。此外，作为稳定剂优选包含锡(Sn)。另外，作为稳定剂优选包含铪(Hf)。此外，作为稳定剂优选包含铝(Al)。

[0151] 作为其他稳定剂，还可以包含镧系元素的镧(La)、铈(Ce)、镨(Pr)、钕(Nd)、钐(Sm)、铕(Eu)、钆(Gd)、铽(Tb)、镝(Dy)、钬(Ho)、铒(Er)、铥(Tm)、镱(Yb)、镥(Lu)中的一种或多种。

[0152] 例如，作为氧化物半导体，可以使用：氧化铟、氧化锡、氧化锌；二元金属氧化物的In-Zn类氧化物、Sn-Zn类氧化物、Al-Zn类氧化物、Zn-Mg类氧化物、Sn-Mg类氧化物、In-Mg类氧化物、In-Ga类氧化物；三元金属氧化物的In-Ga-Zn类氧化物(也称为IGZO)、In-Al-Zn类氧化物、In-Sn-Zn类氧化物、Sn-Ga-Zn类氧化物、Al-Ga-Zn类氧化物、Sn-Al-Zn类氧化物、In-Hf-Zn类氧化物、In-La-Zn类氧化物、In-Ce-Zn类氧化物、In-Pr-Zn类氧化物、In-Nd-Zn类氧化物、In-Sm-Zn类氧化物、In-Eu-Zn类氧化物、In-Gd-Zn类氧化物、In-Tb-Zn类氧化物、In-Dy-Zn类氧化物、In-Ho-Zn类氧化物、In-Er-Zn类氧化物、In-Tm-Zn类氧化物、In-Yb-Zn类氧化物、In-Lu-Zn类氧化物；四元金属氧化物的In-Sn-Ga-Zn类氧化物、In-Hf-Ga-Zn类氧化物、In-Al-Ga-Zn类氧化物、In-Sn-Al-Zn类氧化物、In-Sn-Hf-Zn类氧化物、In-Hf-Al-Zn类氧化物。此外，上述氧化物半导体也可以包含硅。

[0153] 另外，例如，In-Ga-Zn类氧化物是指包含In、Ga和Zn的氧化物，而对In、Ga、Zn的比率没有限制。此外，也可以包含In、Ga、Zn以外的金属元素。另外，In-Ga-Zn类氧化物半导体由于在无电场时的电阻充分高而能够充分地降低截止电流且迁移率也高，所以作为用于半导体装置的半导体材料合适。

[0154] 例如，可以使用In:Ga:Zn=1:1:1(=1/3:1/3:1/3)或In:Ga:Zn=2:2:1(=2/5:2/5:1/5)的原子比的In-Ga-Zn类氧化物或其组成的近旁的氧化物。或者，优选使用In:Sn:Zn=1:1:1(=1/3:1/3:1/3)、In:Sn:Zn=2:1:3(=1/3:1/6:1/2)或In:Sn:Zn=2:1:5(=1/4:1/8:5/8)的原子比的In-Sn-Zn类氧化物或其组成的近旁的氧化物。

[0155] 例如，In-Sn-Zn类氧化物比较容易得到高迁移率。但是，即使使用In-Ga-Zn类氧化物，也可以通过降低块体内缺陷密度而提高迁移率。

[0156] 另外，通过减少成为电子给体(施体)的水分或氢等杂质且减少氧缺损来实现高纯度化的氧化物半导体是i型(本征半导体)或无限趋近于i型。因此，使用上述氧化物半导体的晶体管具有截止电流显著低的特性。另外，氧化物半导体的带隙是2eV以上，优选是2.5eV以上，更优选是3eV以上。通过使用充分减少水分或氢等的杂质浓度且减少氧缺损而被高纯度化的氧化物半导体膜，可以降低晶体管的截止电流。

[0157] 具体而言，根据各种实验可以证明将被高纯度化的氧化物半导体用于半导体膜的晶体管的截止电流低。例如，沟道宽度为1×10^{6}μm，且沟道长度为10μm的元件也可以在源极端子和漏极端子之间的电压(漏极电压)为1V至10V的范围内获得截止电流为半导体参数分析仪的测量极限以下，即1×10^{-13}A以下的特性。在此情况下，可知：相当于截止电流除以晶体管的沟道宽度的数值的截止电流为100zA/μm以下。此外，通过使用如下电路来测量截止电流，在该电路中连接电容元件与晶体管且由该晶体管控制流入到电容元件或从电容元件流出的电荷。在该测量时，将被高纯度化的氧化物半导体膜用于上述晶体管的沟道形成区域，且根据电容元件的每单位时间的电荷量推移测量该晶体管的截止电流。其结果是，可知：当晶体管的源极端子和漏极端子之间的电压为3V时，可以获得更低的截止电流，即几十yA/μm。由此，将被高纯度化的氧化物半导体膜用于沟道形成区域的晶体管的截止电流比使用具有结晶性的硅的晶体管的截止电流显著低。

[0158] 此外，在没有特别的说明的情况下，在n沟道型晶体管中，本说明书所述的截止电流是指如下电流，即：在使漏极端子的电位高于源极端子及栅电极的电位的状态下，当以源极端子的电位为标准时的栅电极的电位为0以下时，流过源极端子和漏极端子之间的电流。或者，在p沟道型晶体管中，本说明书所述的截止电流是指如下电流，即：在使漏极端子的电位低于源极端子及栅电极的电位的状态下，当以源极端子的电位为标准时的栅电极的电位为0以上时，流过源极端子和漏极端子之间的电流。

[0159] 此外，例如，氧化物半导体膜可以通过使用包含In(铟)、Ga(镓)和Zn(锌)的靶材的溅射法形成。在通过溅射法形成In-Ga-Zn类氧化物半导体膜的情况下，优选使用原子数比为In:Ga:Zn=1:1:1、4:2:3、3:1:2、1:1:2、2:1:3或3:1:4的In-Ga-Zn类氧化物的靶材。通过使用具有上述原子数比的In-Ga-Zn类氧化物的靶材形成氧化物半导体膜，容易形成多晶或CAAC(C Axis Aligned Crystal)。另外，包含In、Ga及Zn的靶材的相对密度为90％以上且100％以下，优选为95％以上且低于100％。通过采用相对密度高的靶材，可以形成致密的氧化物半导体膜。

[0160] 另外，当作为氧化物半导体使用In-Zn类氧化物材料时，将所使用的靶材中的金属元素的原子数比设定为In:Zn=50:1至1:2(换算为摩尔数比则为In_2O_3:ZnO=25:1至1:4)，优选为In:Zn=20:1至1:1(换算为摩尔数比则为In_2O_3:ZnO=10:1至1:2)，更优选为In:Zn=1.5:1至15:1(换算为摩尔数比则为In_2O_3:ZnO=3:4至15:2)。例如，作为用来形成In-Zn类氧化物的氧化物半导体膜的靶材，当原子数比为In:Zn:O=X:Y:Z时，满足Z>1.5X+Y。通过将Zn的比率设定为上述范围内的值，可以实现迁移率的提高。

[0161] 另外，氧化物半导体膜处于单晶、多晶(也称为多晶体)或非晶等状态。

[0162] 氧化物半导体膜优选是CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor:c轴取向结晶氧化物半导体)膜。

[0163] CAAC-OS膜不是完全的单晶，也不是完全的非晶。CAAC-OS膜是在非晶相中具有结晶部及非晶部的结晶-非晶混合相结构的氧化物半导体膜。另外，在很多情况下该结晶部的尺寸为能够容纳于一个边长小于100nm的立方体的尺寸。另外，在使用透射电子显微镜(TEM:Transmission Electron Microscope)观察时的图像中，包括在CAAC-OS膜中的非晶部与结晶部的边界不明确。另外，利用TEM在CAAC-OS膜中观察不到晶界(grain boundary)。因此，在CAAC-OS膜中，起因于晶界的电子迁移率的降低得到抑制。

[0164] 包括在CAAC-OS膜中的结晶部的c轴在平行于CAAC-OS膜的被形成面的法线向量或表面的法线向量的方向上一致，在从垂直于ab面的方向看时具有三角形或六角形的原子排列，且在从垂直于c轴的方向看时，金属原子排列为层状或者金属原子和氧原子排列为层状。另外，在不同结晶部之间a轴及b轴的方向也可以彼此不同。在本说明书中，当只记载“垂直”时，还包括85以上且95以下的范围。另外，当只记载“平行”时，还包括-5以上且5以下的范围。

[0165] 另外，在CAAC-OS膜中，结晶部的分布也可以不均匀。例如，在CAAC-OS膜的形成过程中，在从氧化物半导体膜的表面一侧进行结晶生长时，与被形成面近旁相比，有时在表面近旁结晶部所占的比例高。另外，通过对CAAC-OS膜添加杂质，有时在该杂质添加区域中结晶部被非晶化。

[0166] 因为包括在CAAC-OS膜中的结晶部的c轴在平行于CAAC-OS膜的被形成面的法线向量或表面的法线向量的方向上一致，所以根据CAAC-OS膜的形状(被形成面的截面形状或表面的截面形状)有时朝向彼此不同的方向。另外，结晶部的c轴方向是平行于形成CAAC-OS膜时的被形成面的法线向量或表面的法线向量的方向。结晶部通过进行成膜或进行成膜后的加热处理等的结晶化处理来形成。

[0167] 使用CAAC-OS膜的晶体管可以降低因照射可见光或紫外光而产生的电特性变动。因此，该晶体管的可靠性高。

[0168] CAAC-OS膜例如使用多晶的氧化物半导体溅射靶材，且利用溅射法形成。当离子碰撞到该溅射靶材时，有时包含在溅射靶材中的结晶区域从a-b面劈开，即具有平行于a-b面的面的平板状或颗粒状的溅射粒子剥离。此时，由于该平板状的溅射粒子保持结晶状态到达衬底，可以形成CAAC-OS膜。

[0169] 另外，为了形成CAAC-OS膜，优选应用如下条件。

[0170] 通过降低成膜时的杂质的混入，可以抑制因杂质导致的结晶状态的破坏。例如，可以降低存在于成膜室内的杂质(氢、水、二氧化碳及氮等)的浓度。另外，可以降低成膜气体

中的杂质浓度。具体而言，使用露点为-80℃以下，优选为-100℃以下的成膜气体。

[0171] 另外，通过增高成膜时的衬底加热温度，在溅射粒子到达衬底之后发生溅射粒子的迁移。具体而言，在将衬底加热温度设定为100℃以上且740℃以下，优选为200℃以上且500℃以下的状态下进行成膜。通过增高成膜时的衬底加热温度，当平板状的溅射粒子到达衬底时，在衬底上发生迁移，溅射粒子的平坦的面附着到衬底。

[0172] 另外，优选的是，通过增高成膜气体中的氧比例并对电力进行最优化，减轻成膜时的等离子体损伤。将成膜气体中的氧比例设定为30vol.％以上，优选为100vol.％。

[0173] 以下，作为溅射靶材的一个例子示出In-Ga-Zn-O化合物靶材。

[0174] 将InO_X粉末、GaO_Y粉末及ZnO_Z粉末以规定的摩尔数比混合，进行加压处理，然后在1000℃以上且1500℃以下的温度下进行加热处理，由此得到作为多晶的In-Ga-Zn-O化合物靶材。另外，X、Y及Z为任意正数。在此，InO_X粉末、GaO_Y粉末及ZnO_Z粉末的规定的摩尔数比例如为2:2:1、8:4:3、3:1:1、1:1:1、4:2:3或3:1:2。另外，粉末的种类及其混合摩尔数比可以根据所制造的溅射靶材适当地改变。

[0175] 本实施方式可以与其他实施方式适当地组合而实施。

[0176] 实施方式5

[0177] 在本实施方式中说明相当于半导体显示装置的一个方式的面板的一个例子。图12所示的面板包括衬底700、衬底700上的像素部701、信号线驱动电路702a、信号线驱动电路702b、扫描线驱动电路703a以及扫描线驱动电路703b。

[0178] 像素部701包括多个像素，并且在各像素中设置有显示元件、控制该显示元件的工作的一个或多个晶体管。扫描线驱动电路703a及扫描线驱动电路703b通过对与各像素连接的扫描线供应电位选择像素部701所具有的像素。信号线驱动电路702a及信号线驱动电路702b控制供应到由扫描线驱动电路703a及扫描线驱动电路703b选择的像素的图像信号。

[0179] 另外，在图12中例示由扫描线驱动电路703a及扫描线驱动电路703b从像素部701的双端对各扫描线供应电位的情况。通过采用上述结构，即使因像素部701的大型化而使扫描线变长也可以防止在像素部701中产生起因于扫描线的布线电阻的电位降低。

[0180] 此外，信号线驱动电路702a及信号线驱动电路702b通过信号线对像素供应图像信号。在图12中例示信号线驱动电路702a通过奇数信号线对像素供应图像信号，而信号线驱动电路702b通过偶数信号线对像素供应图像信号的情况。

[0181] 此外，在图12中例示扫描线驱动电路703a及扫描线驱动电路703b与像素部701一起形成在衬底700上，且形成在芯片上的信号线驱动电路702a及信号线驱动电路702b通过TAB(Tape Automated Bonding:带式自动接合)法安装在衬底700上的情况。既可以形成在芯片上的扫描线驱动电路703a及扫描线驱动电路703b安装在衬底700上，又可以信号线驱动电路702a及信号线驱动电路702b与像素部701一起形成在衬底700上。此外，用来安装芯片的方法不局限于TAB法。也可以通过FPC(Flexible Printed Circuit:柔性印刷衬底)等将芯片安装在衬底700上。或者，也可以通过COF(Chip On Film:薄膜上芯片安装)法将芯片安装在衬底700上。

[0182] 因为扫描线与多个像素连接，所以扫描线驱动电路703a及扫描线驱动电路703b需要高电流供应能力。因此，需要增大位于扫描线驱动电路703a及扫描线驱动电路703b所具有的脉冲输出电路的输出一侧的晶体管的尺寸。特别是，因为像素部701的像素数的增加或

像素部701的面积的增大导致扫描线的布线电阻的增大或连接到扫描线的负载的增大，所以为了满足扫描线驱动电路703a及扫描线驱动电路703b的更高电流供应能力，需要进一步增大上述晶体管的尺寸。而且，当上述晶体管的尺寸增大时，在扫描线驱动电路703a及扫描线驱动电路703b中用作多个晶体管的栅电极的导电膜的面积增大，所以容易产生天线效果所引起的上述布线的静电损坏。但是，在本发明的一个方式中，多个栅电极通过设置在与上述栅电极不同的层中的导电膜电连接。由此，可以将用作栅电极的各导电膜的面积抑制为小，因此即使像素部701的像素数增加或像素部701的面积增大也可以不容易产生天线效果所引起的静电损坏。

[0183] 注意，虽然在本实施方式中说明对扫描线驱动电路703a及扫描线驱动电路703b应用根据本发明的一个方式的结构的情况，但是也可以在本发明的一个方式中对扫描线驱动电路702a及扫描线驱动电路702b应用根据本发明的一个方式的结构。

[0184] 本实施方式可以与其他实施方式适当地组合而实施。

[0185] 实施方式6

[0186] 根据本发明的一个方式的半导体装置可以用于显示设备、个人计算机或具备记录介质的图像再现装置(典型为能够再现记录介质诸如DVD(Digital Versatile Disc:数字通用磁盘)等的内容并具有显示器以用于显示所再现的图像的装置)。作为可以包括根据本发明的一个方式的半导体装置的电子设备，可以举出移动电话、包括便携式游戏机的游戏机、便携式信息终端、电子书阅读器、视频摄像机及数码相机等影像拍摄装置、护目镜型显示器(头部安装显示器)、导航系统、音频再现装置(汽车音响系统和数字音频播放器等)、复印机、传真机、打印机、多功能打印机、自动柜员机(ATM)以及自动售货机等。在图13A至13E中示出这些电子设备的具体例子。

[0187] 图13A是一种便携式游戏机，其包括：框体5001；框体5002；显示部5003；显示部5004；麦克风5005；扬声器5006；操作键5007；以及触屏笔5008等。通过将根据本发明的一个方式的半导体装置用于便携式游戏机的驱动电路、显示部5003或显示部5004，可以提供成品率高的便携式游戏机。注意，虽然图13A所示的便携式游戏机包括两个显示部5003和显示部5004，但是便携式游戏机所包括的显示部的数量不限于两个。

[0188] 图13B是显示设备，其包括：框体5201；显示部5202；以及支撑台5203等。通过将根据本发明的一个方式的半导体显示装置用于显示设备的驱动电路或显示部5202，可以提供成品率高的显示设备。另外，显示设备包括用于个人计算机、TV播放接收、广告显示等的所有信息显示用显示设备。

[0189] 图13C是笔记本式个人计算机，其包括：框体5401；显示部5402；键盘5403；以及定位装置5404等。通过将根据本发明的一个方式的半导体显示装置用于笔记本式个人计算机的驱动电路或显示部5402，可以提供成品率高的笔记本式个人计算机。

[0190] 图13D是便携式信息终端，其包括：第一框体5601；第二框体5602；第一显示部5603；第二显示部5604；连接部5605；以及操作键5606等。第一显示部5603设置在第一框体5601中，第二显示部5604设置在第二框体5602中。而且，第一框体5601和第二框体5602由连接部5605连接，由连接部5605可以改变第一框体5601和第二框体5602之间的角度。第一显示部5603的映像也可以根据连接部5605所形成的第一框体5601和第二框体5602之间的角度切换。此外，也可以将附加有作为位置输入装置的功能的半导体显示装置用于第一显示

部5603和第二显示部5604中的至少一个。另外，可以通过在半导体显示装置设置触摸屏附加作为位置输入装置的功能。或者，还可以通过将被称为光传感器的光电转换元件设置在半导体显示装置的像素部中附加作为位置输入装置的功能。通过将根据本发明的一个方式的半导体装置用于便携式信息终端的驱动电路、第一显示部5603或第二显示部5604，可以提供成品率高的便携式信息终端。

[0191] 图13E是移动电话，其包括：框体5801；显示部5802；声音输入部5803；声音输出部5804；操作键5805；以及光接收部5806等。通过将由光接收部5806接收的光转换为电信号，可以提取外部的图像。通过将根据本发明的一个方式的半导体装置用于移动电话的驱动电路或显示部5802，可以提供成品率高的移动电话。本实施方式可以与其他实施方式适当地组合而实施。

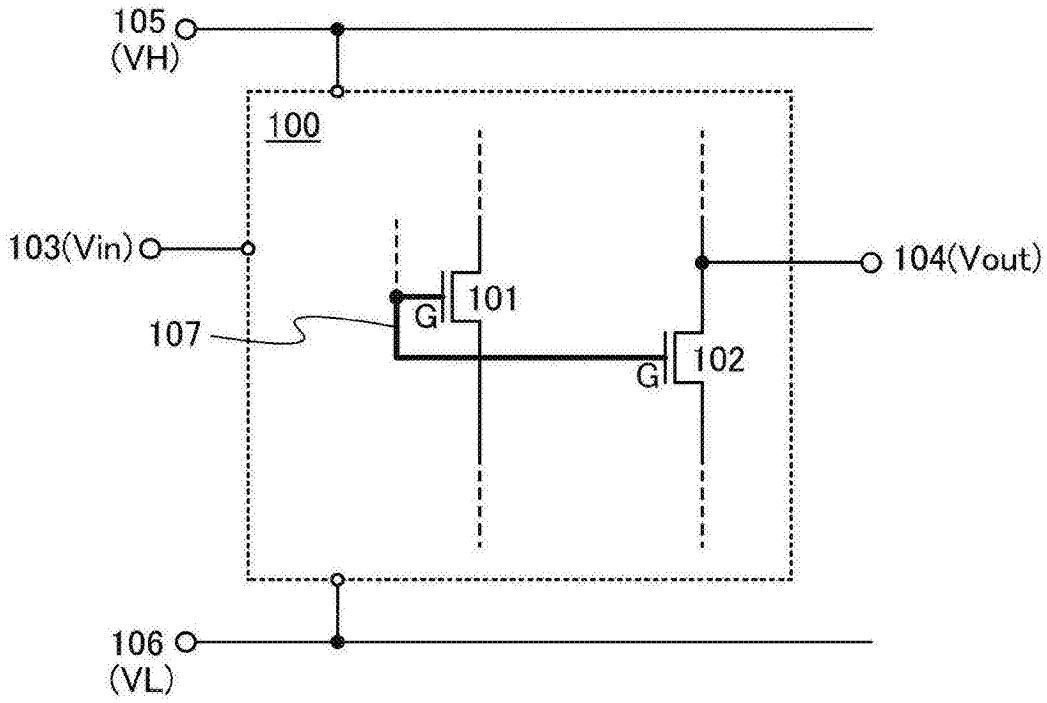

105
(VH)
100
103(Vin)
104(Vout)
101
G
107
G
102
106
(VL)

图1

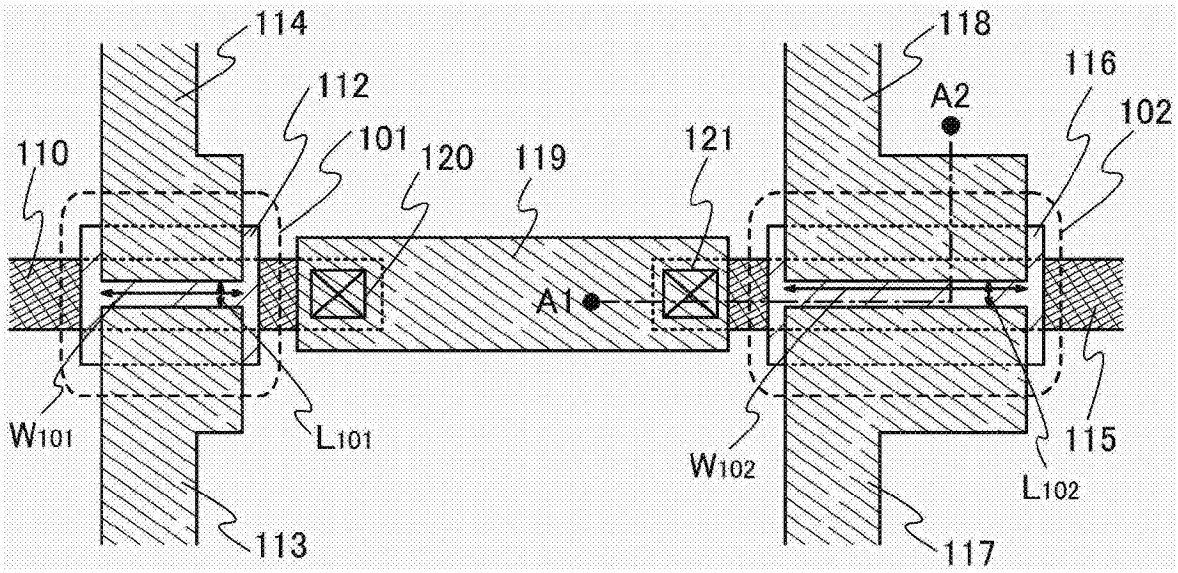

114
112
101
120
119
121
118
A2
116
102
110
A1
W101
L101
W102
L102
115
113
117

图2A

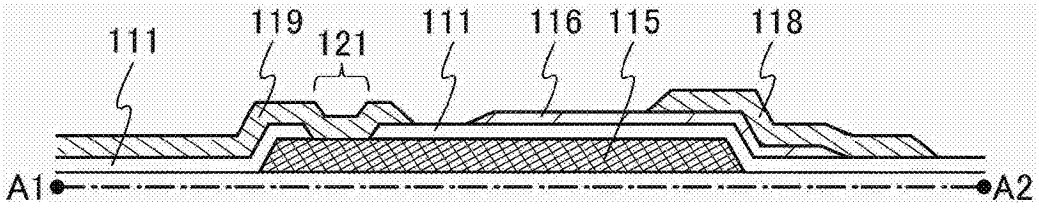

111
119
121
111
116
115
118
A1
A2

图2B

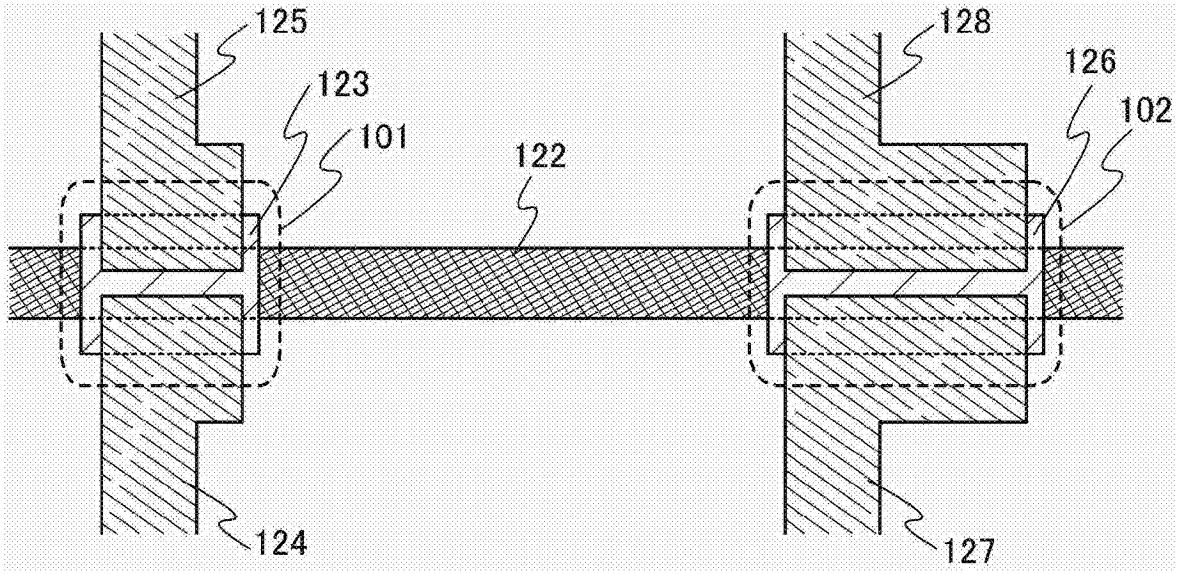

125
123
101
122
128
126
102
124
127

图2C

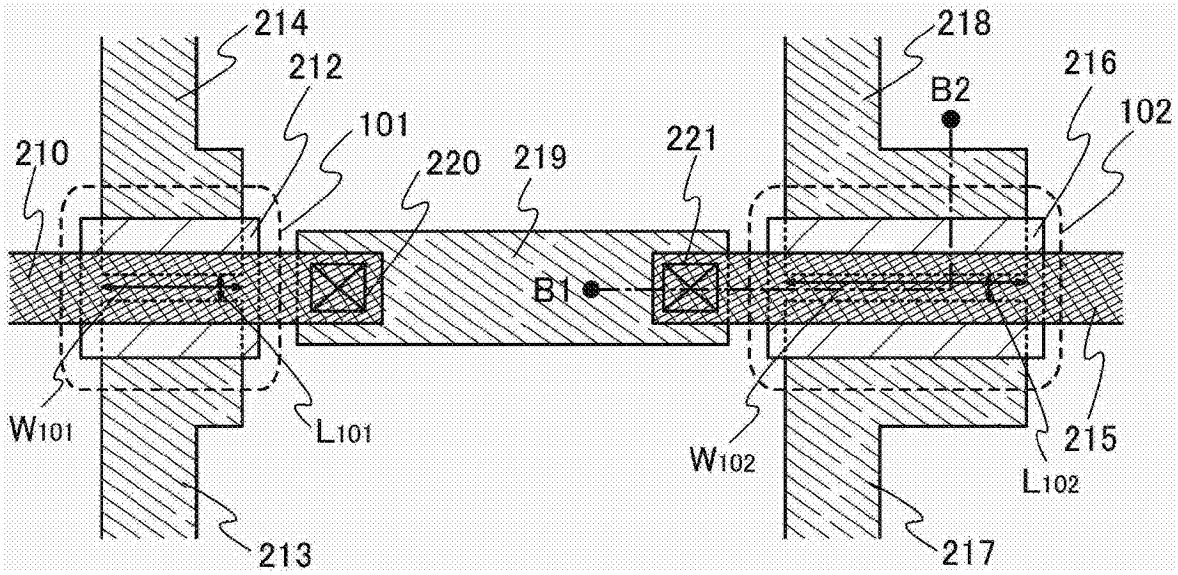

214
212
101
210
220
219
221
218
B2
216
102
B1
W101
L101
W102
L102
215
213
217

图3A

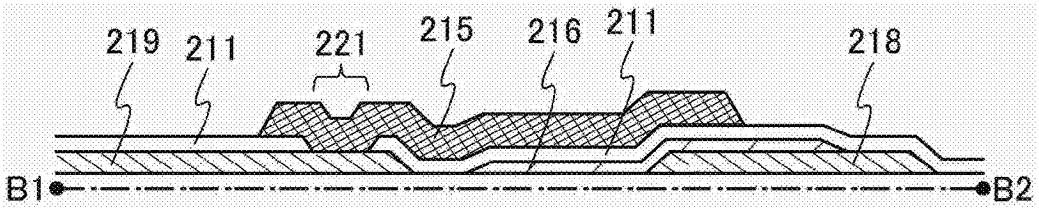

219
211
221
215
216
211
218
B1
B2

图3B

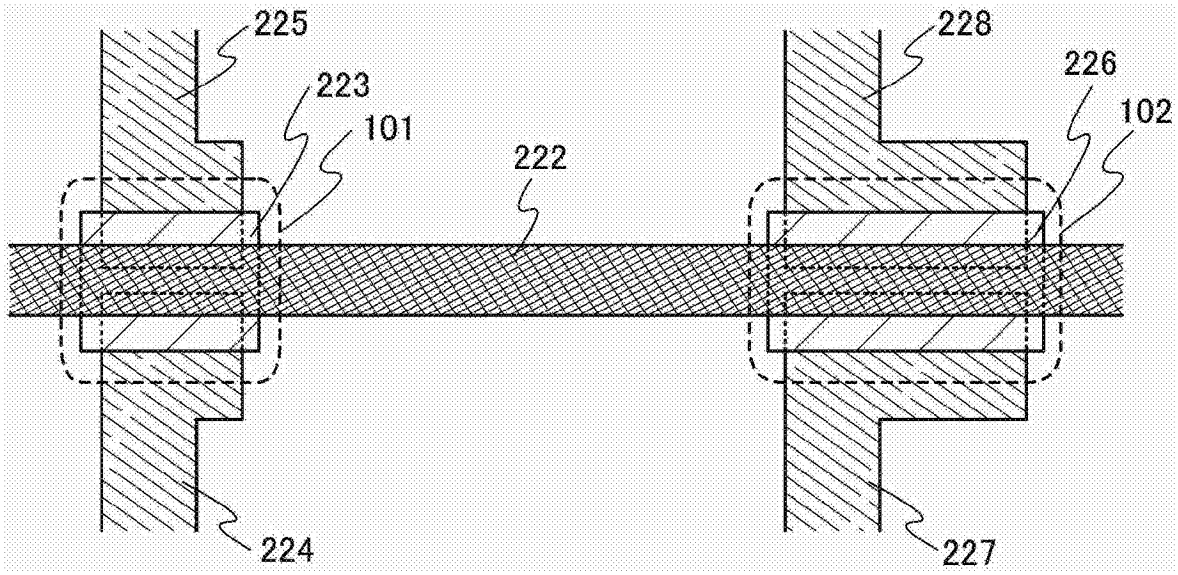

225
223
101
222
228
226
102
224
227

图3C

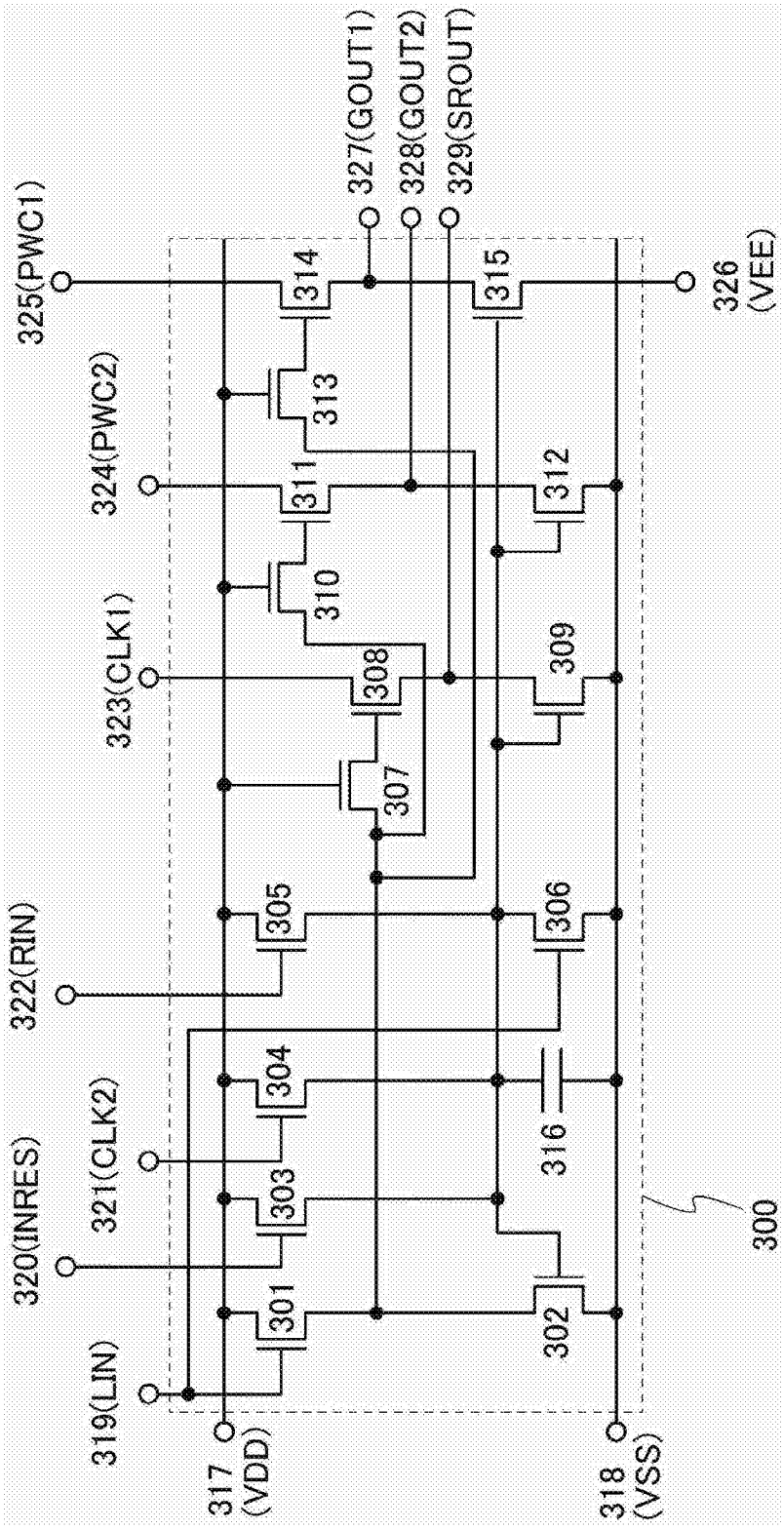

325(PWC1)
324(PWC2)
323(CLK1)
322(RIN)
321(CLK2)
320(INRES)
319(LIN)
317 (VDD)
318 (VSS)
326 (VEE)
327(GOUT1)
328(GOUT2)
329(SROUT)
300
301
302
303
304
305
306
307
308
309
310
311
312
313
314
315
316

图4

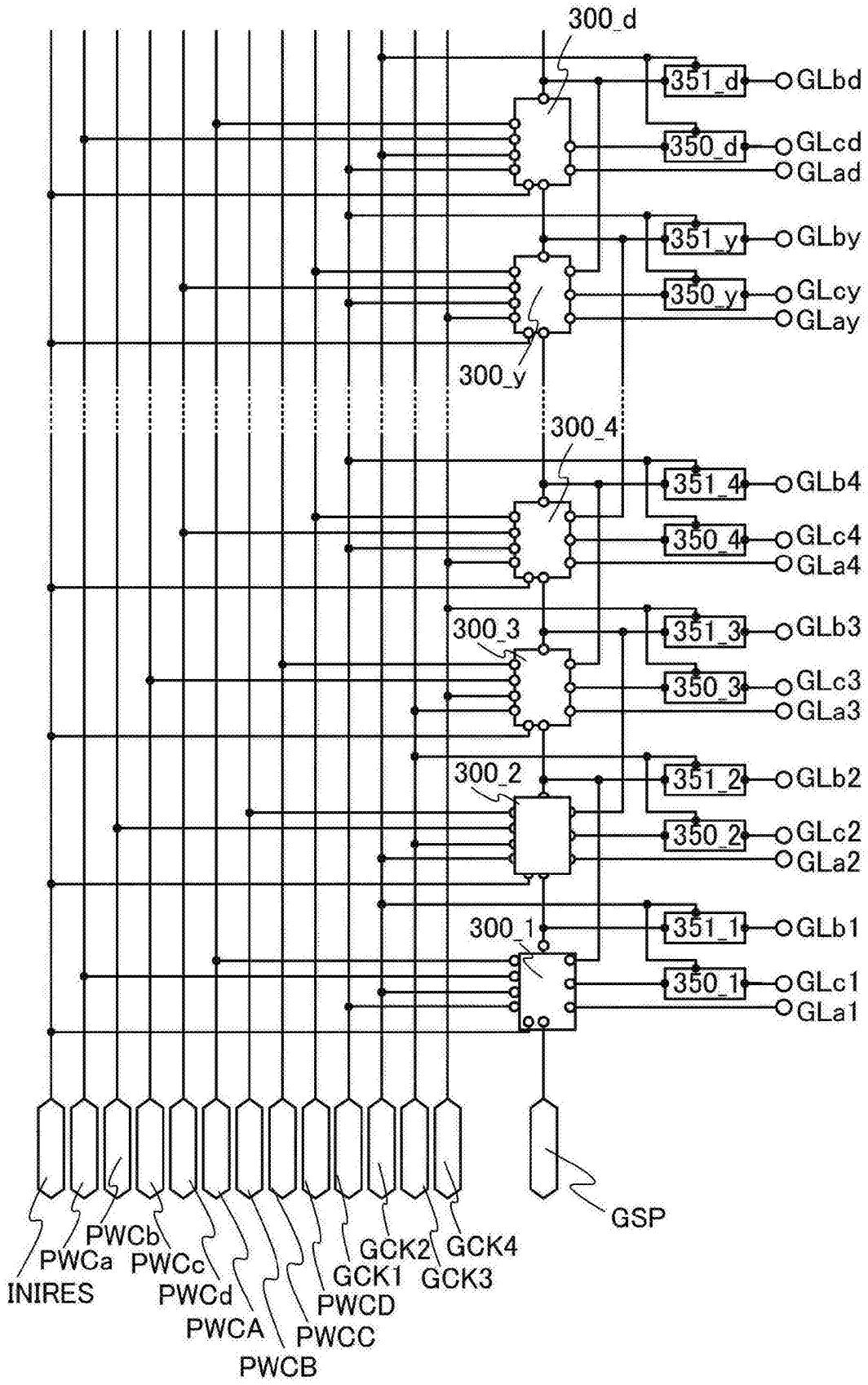

300_d
351_d
GLbd
350_d
GLcd
GLad
351_y
GLby
350_y
GLcy
GLay
300_y
300_4
351_4
GLb4
350_4
GLc4
GLa4
300_3
351_3
GLb3
350_3
GLc3
GLa3
300_2
351_2
GLb2
350_2
GLc2
GLa2
300_1
351_1
GLb1
350_1
GLc1
GLa1
GSP
INIRES
PWCa
PWCb
PWCc
PWCd
PWCA
PWCB
PWCC
PWCD
GCK1
GCK2
GCK3
GCK4

图5

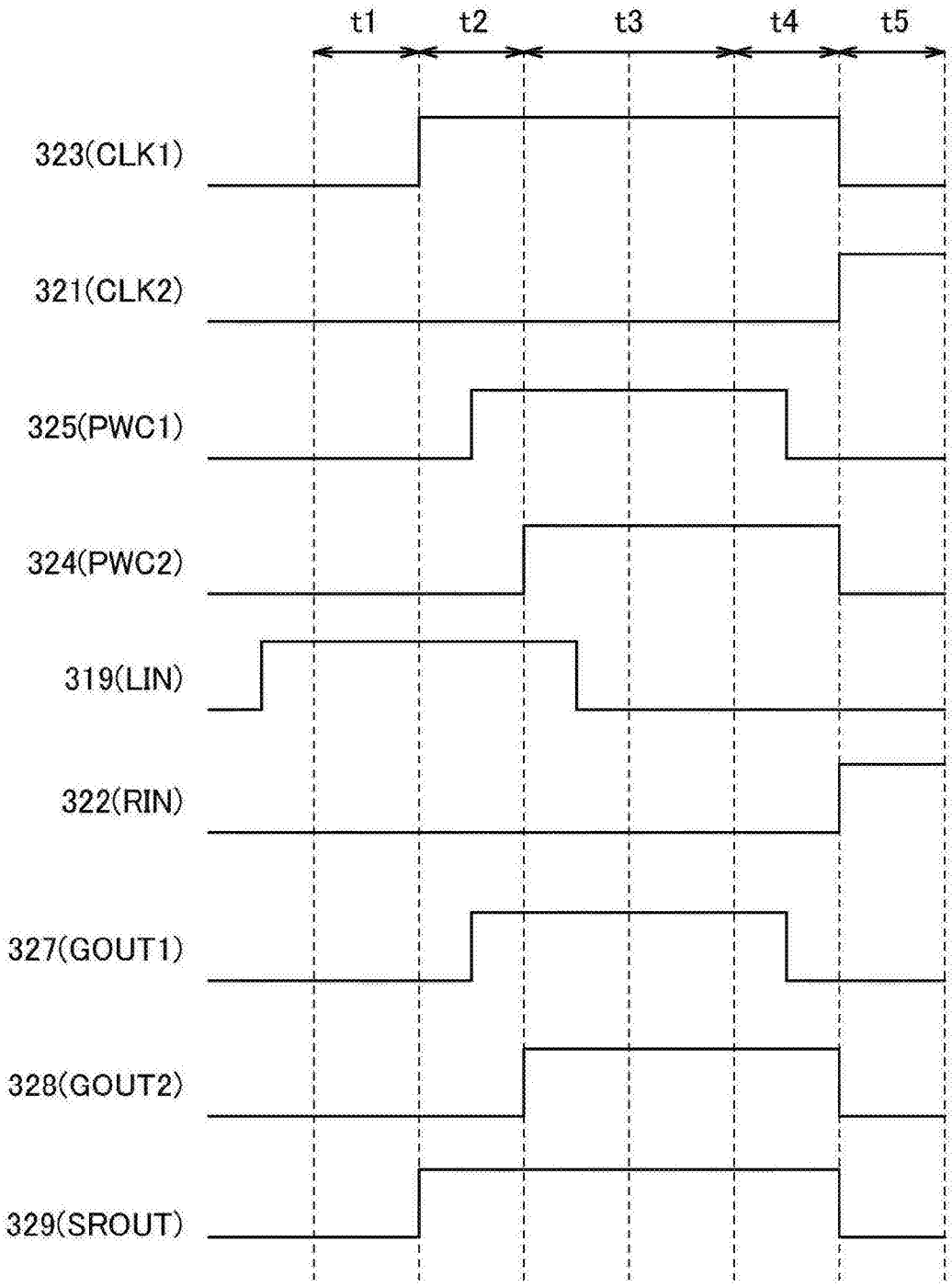

t1
t2
t3
t4
t5
323(CLK1)
321(CLK2)
325(PWC1)
324(PWC2)
319(LIN)
322(RIN)
327(GOUT1)
328(GOUT2)
329(SROUT)

图6

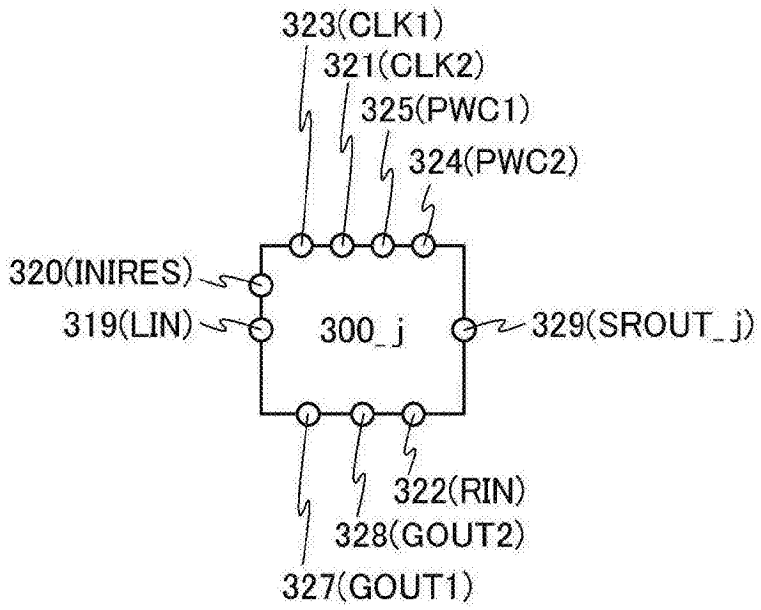

323(CLK1)
321(CLK2)
325(PWC1)
324(PWC2)
320(INIRES)
319(LIN)
300_j
329(SROUT_j)
322(RIN)
328(GOUT2)
327(GOUT1)

图7

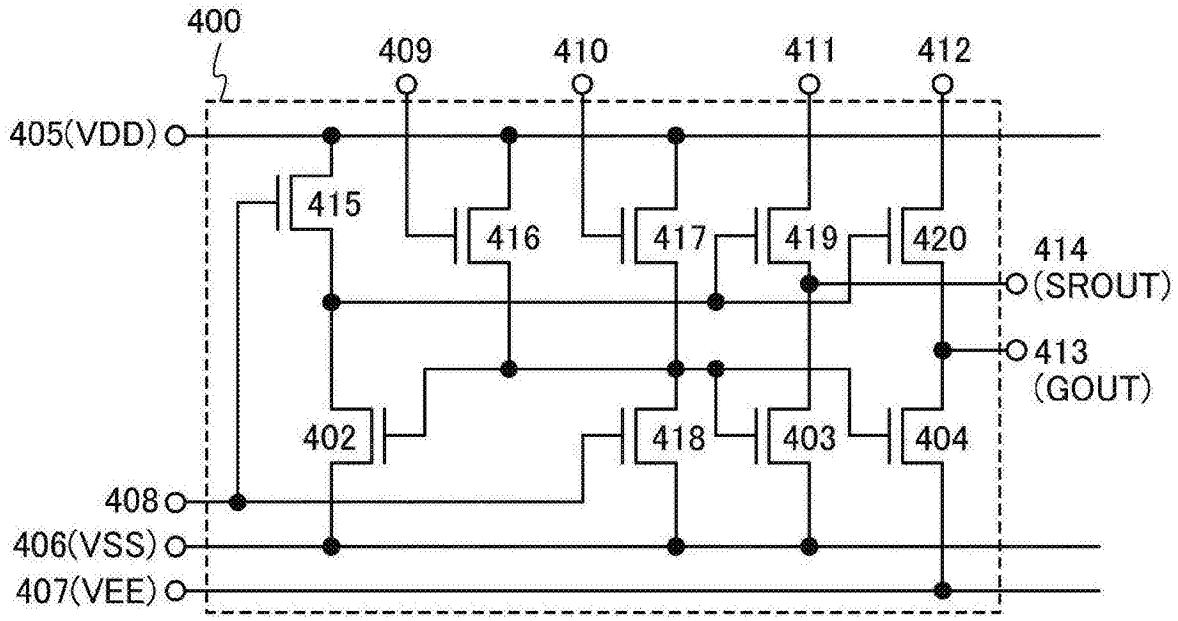

400
409
410
411
412
405(VDD)
415
416
417
419
420
414
(SROUT)
413
(GOUT)
402
418
403
404
408
406(VSS)
407(VEE)

图8A

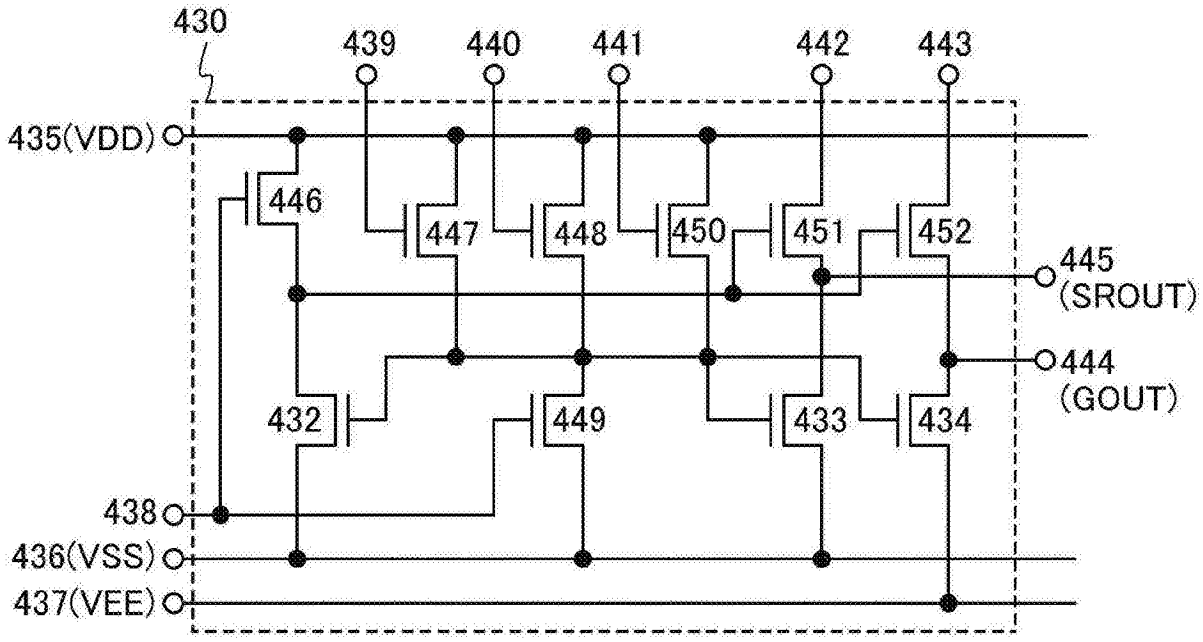

430
439
440
441
442
443
435(VDD)
446
447
448
450
451
452
445
(SROUT)
444
(GOUT)
432
449
433
434
438
436(VSS)
437(VEE)

图8B

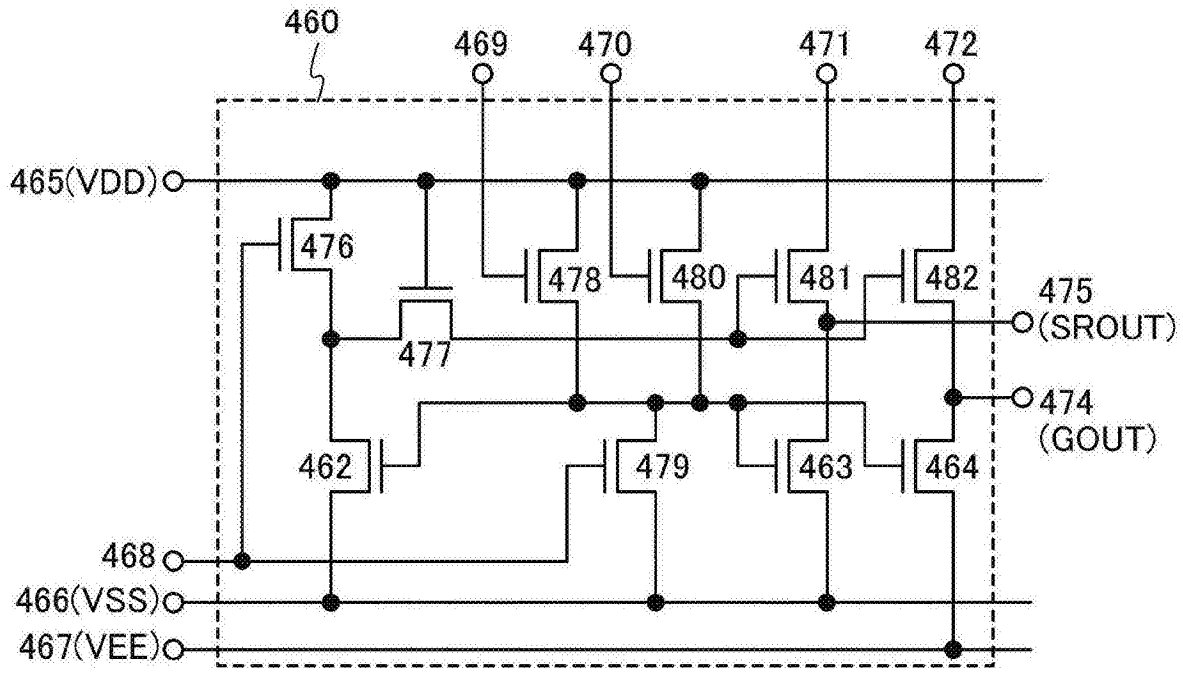

460
469
470
471
472
465(VDD)
476
478
480
481
482
475
(SROUT)
477
474
(GOUT)
462
479
463
464
468
466(VSS)
467(VEE)

图9A

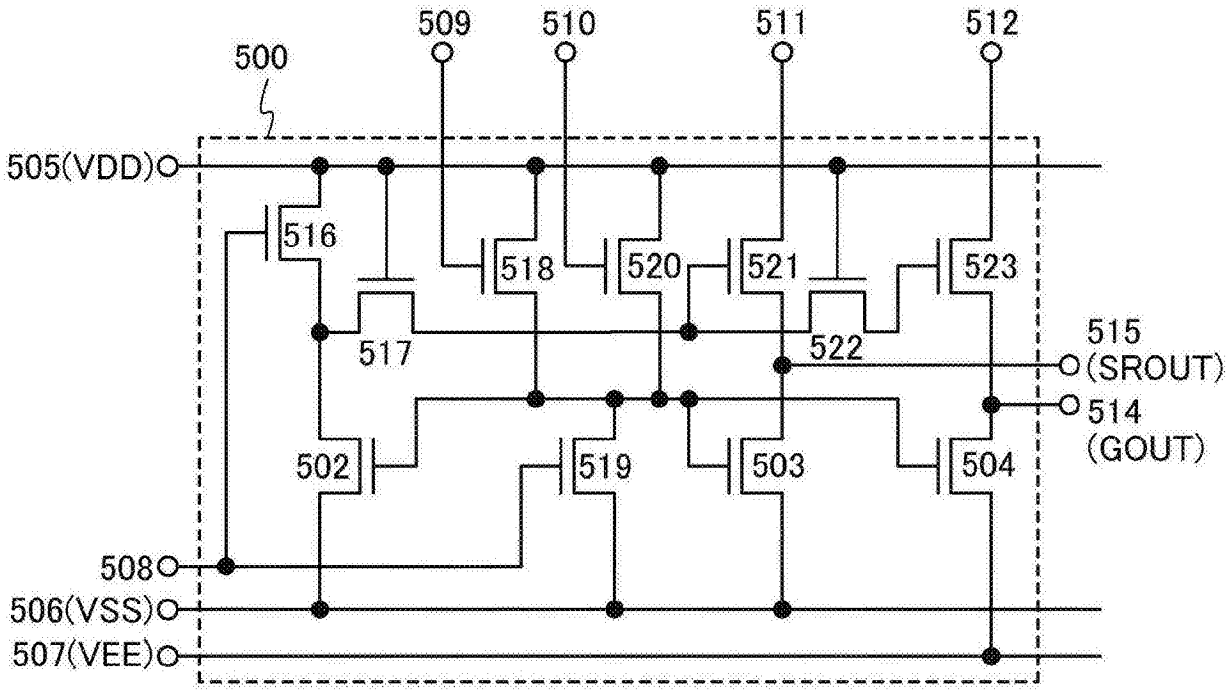

500
509
510
511
512
505(VDD)
516
518
520
521
523
517
522
515
(SROUT)
514
(GOUT)
502
519
503
504
508
506(VSS)
507(VEE)

图9B

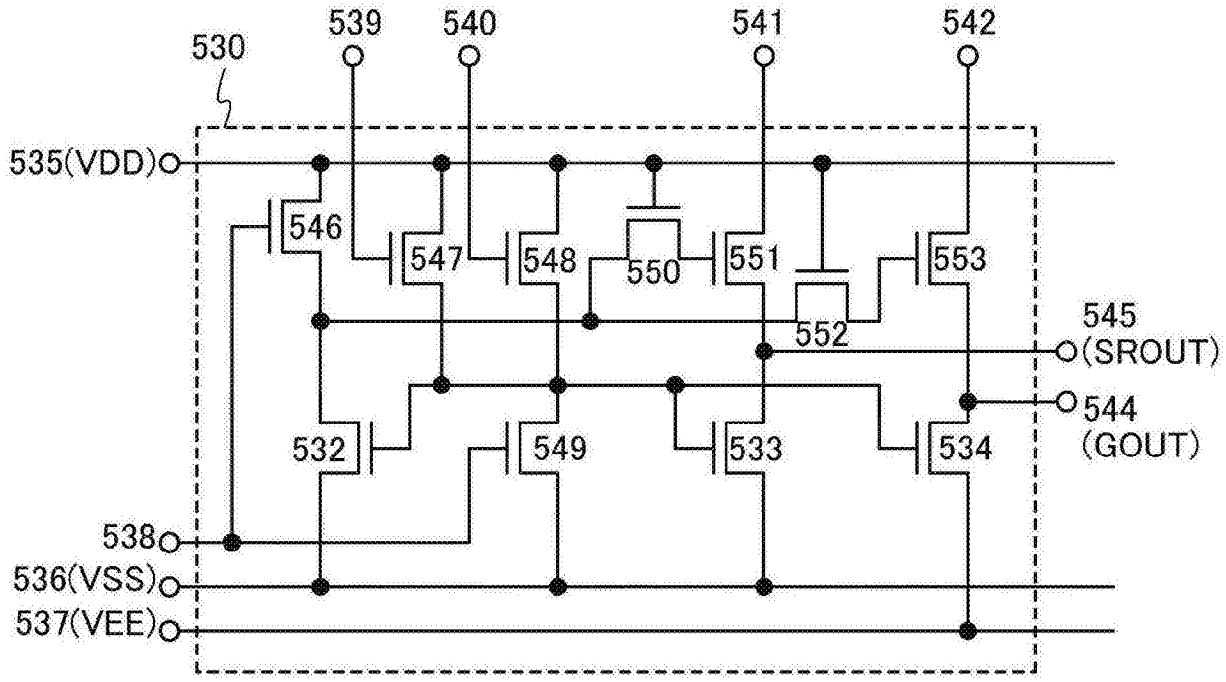

530
539
540
541
542
535(VDD)
546
547
548
550
551
553
552
545
(SROUT)
544
(GOUT)
532
549
533
534
538
536(VSS)
537(VEE)

图10

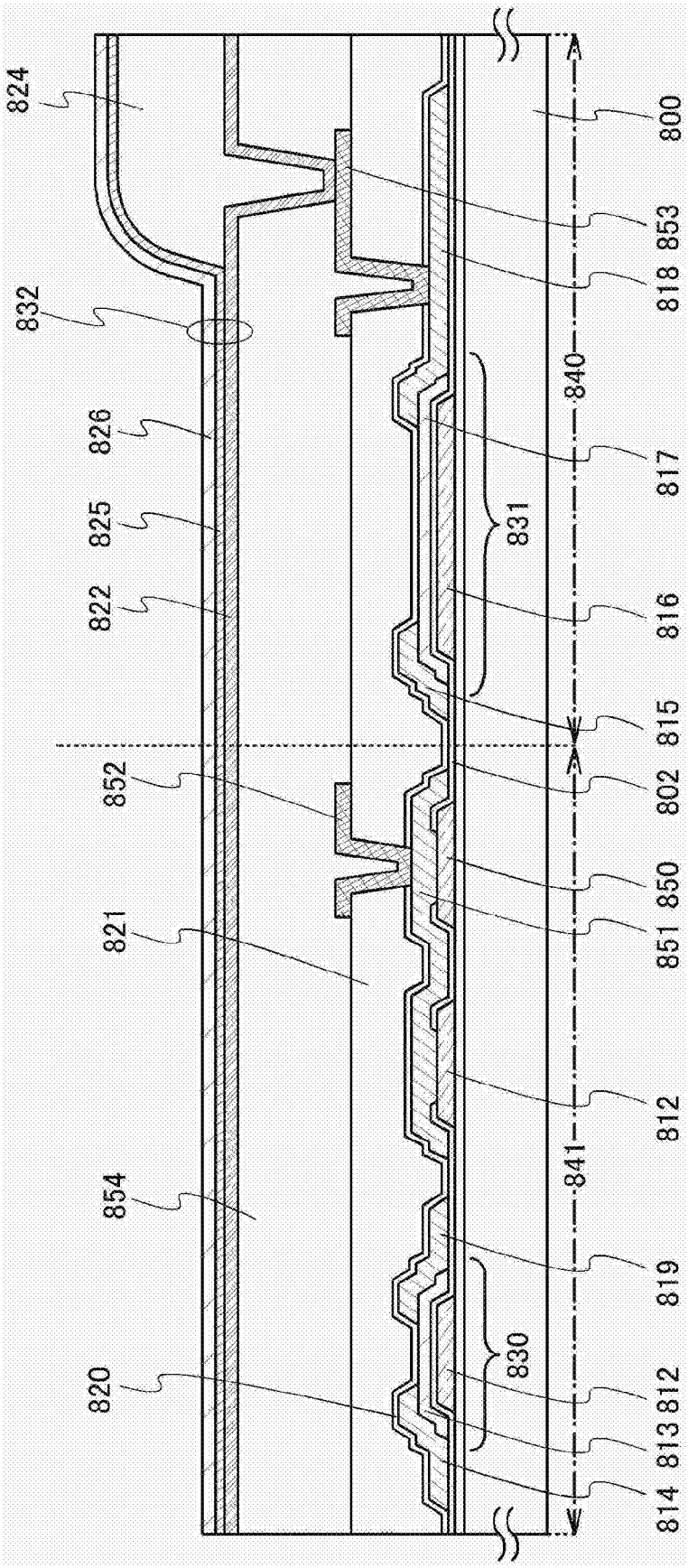

824
832
826
825
822
852
821
854
820
800
853
818
840
817
831
816
815
802
850
851
812
841
819
830
812
813
814

图11

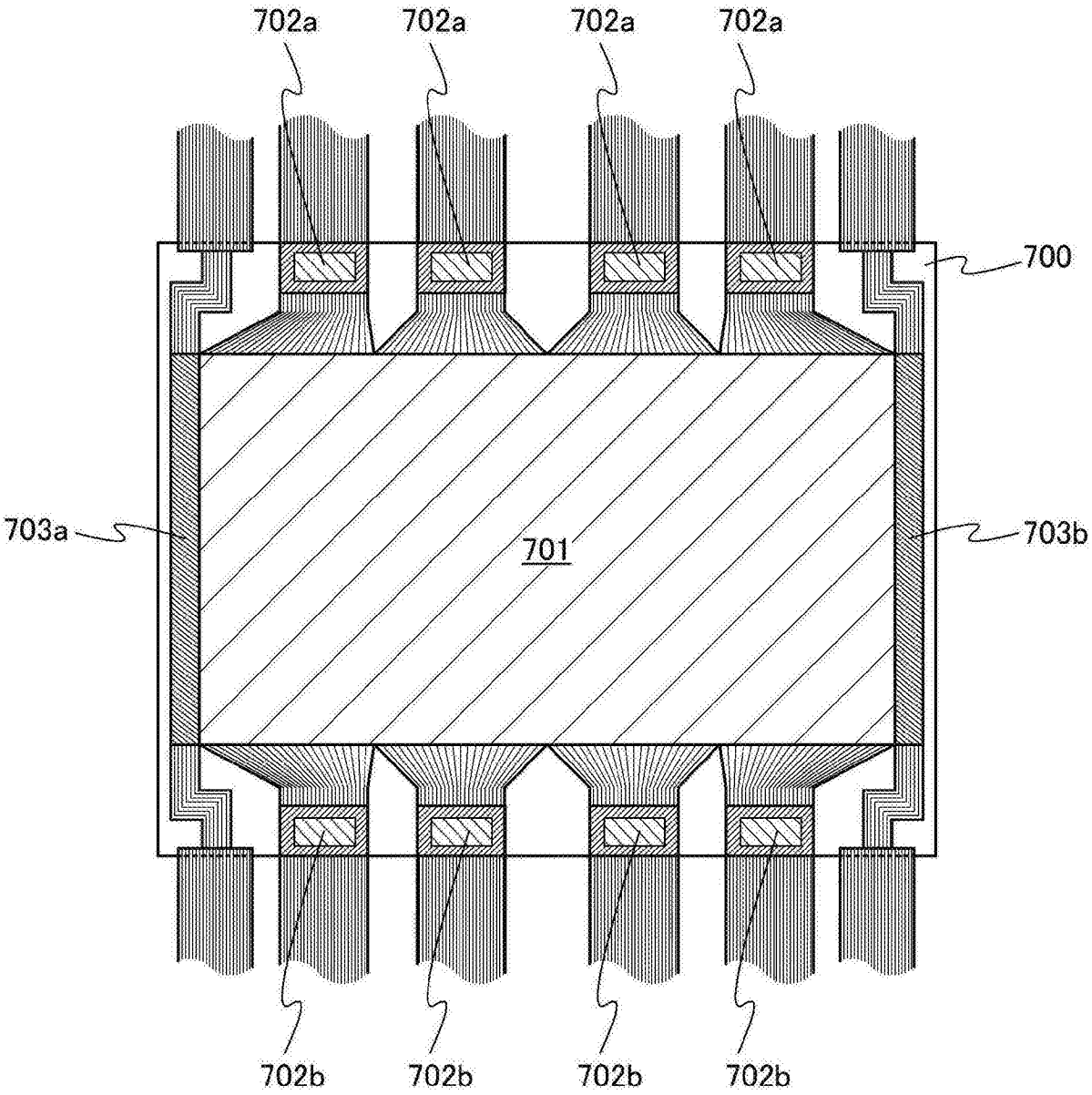


图12

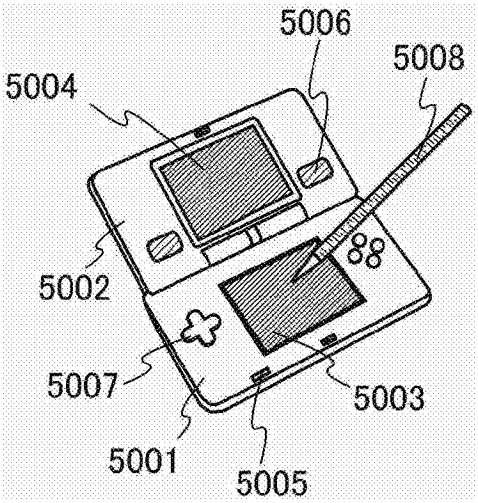


图13A

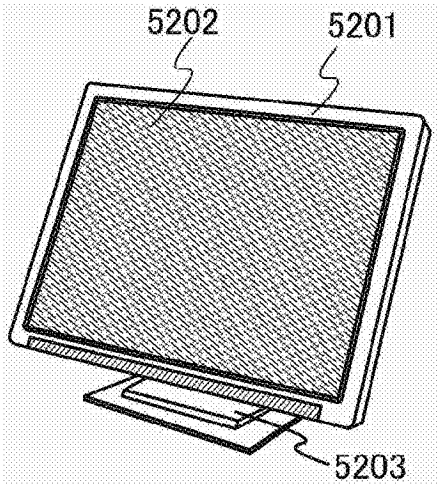


图13B

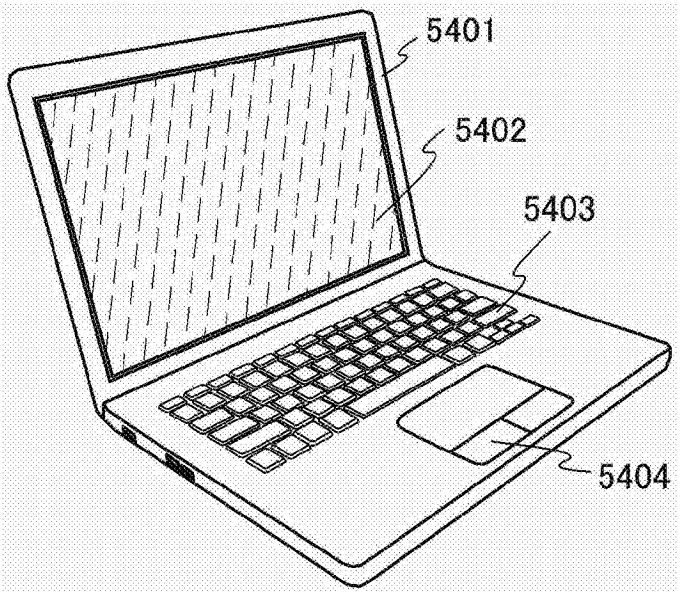


图13C

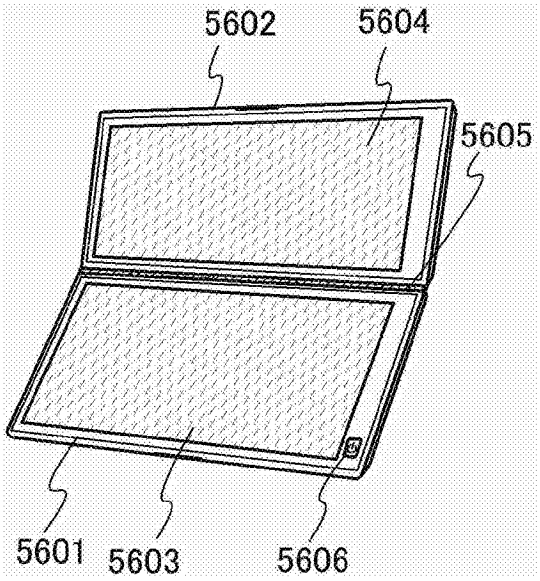


图13D

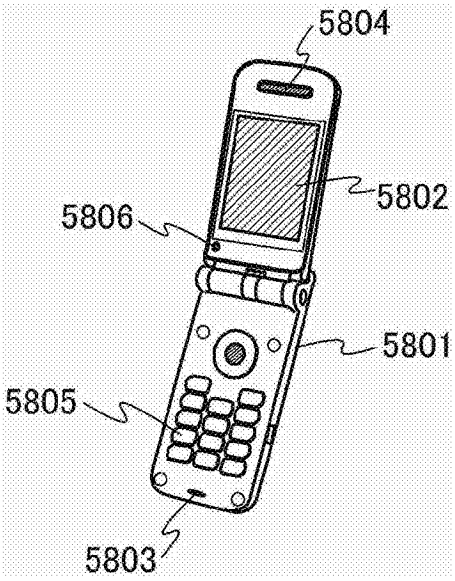


图13E