

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年9月24日(24.09.2020)



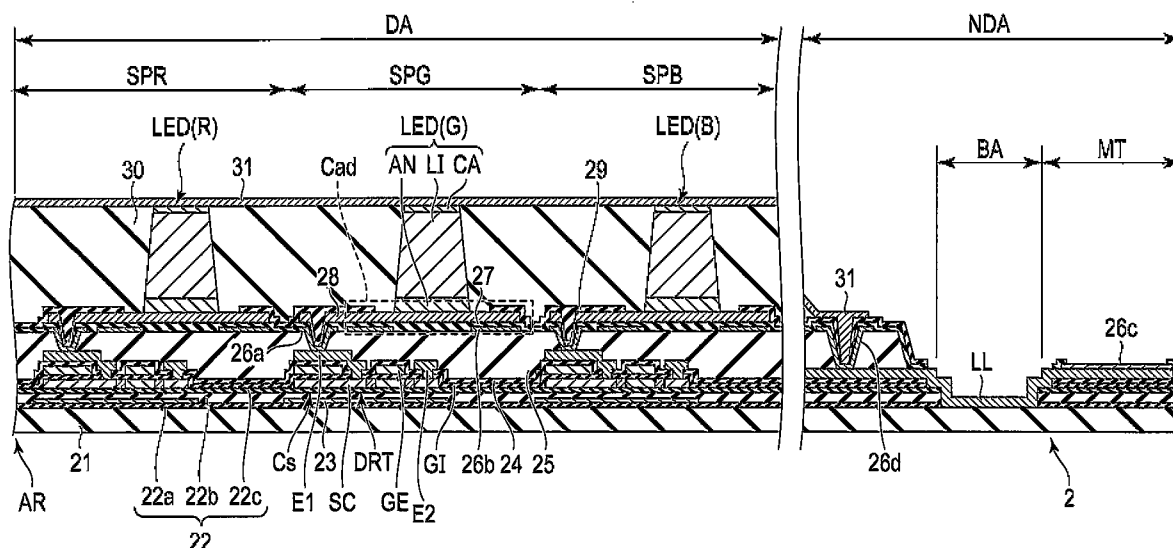
(10) 国際公開番号

WO 2020/189047 A1

- (51) 国際特許分類:
G09G 3/20 (2006.01) H01L 33/62 (2010.01)
G09G 3/3233 (2016.01) G09F 9/30 (2006.01)
H01L 33/00 (2010.01) G09F 9/33 (2006.01)
- (21) 国際出願番号: PCT/JP2020/003536
- (22) 国際出願日: 2020年1月30日(30.01.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-052169 2019年3月20日(20.03.2019) JP
- (71) 出願人:株式会社ジャパンディスプレイ(JAPAN DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区西新橋三丁目7番1号 Tokyo (JP).
- (72) 発明者:森田 哲生(MORITA, Tetsuo); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 田島 弘志(TABATAKE, Hiroshi); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 小川 康宏(OGAWA, Yasuhiro); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP).
- (74) 代理人:特許業務法人スズエ国際特許事務所(S & S INTERNATIONAL PPC); 〒1050001 東京都港区虎ノ門一丁目12番9号 スズエ・アンド・スズエビル Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置



(57) Abstract: A display device according to an embodiment is provided with: a substrate; a pixel electrode arranged on the substrate; a light emitting element mounted on the pixel electrode; a drive transistor for controlling a current supplied to the light emitting element via the pixel electrode; and between the pixel electrode and drive transistor, a conductive layer having at least a portion thereof that overlaps the pixel electrode in plan view. The conductive layer does not overlap, in plan view, a region of the pixel electrode whereon the light emitting element is mounted.

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 実施形態に係る表示装置は、基板と、基板上に配置された画素電極と、画素電極上に実装された発光素子と、画素電極を介して発光素子に対して供給される電流を制御する駆動トランジスタと、画素電極と駆動トランジスタとの間に、平面視において当該画素電極と少なくとも一部が重畳するように形成された導電層とを具備する。導電層は、平面視において発光素子が実装されている画素電極の領域と重畳しない。

明 細 書

発明の名称：表示装置

技術分野

[0001] 本発明の実施形態は、表示装置に関する。

背景技術

[0002] 自発光素子である発光ダイオード（LED：Light Emitting Diode）を用いたLEDディスプレイが知られているが、近年では、より高精細化した表示装置として、マイクロLEDと称される微小な発光ダイオード素子を用いた表示装置（以下、マイクロLEDディスプレイと表記）が開発されている。

[0003] このマイクロLEDディスプレイは、従来の液晶表示ディスプレイや有機ELディスプレイと異なり、表示領域に、チップ状の多数のマイクロLED（以下、LEDチップと表記）が実装されて形成されるため、高精細化と大型化の両立が容易であり、次世代ディスプレイとして注目されている。

[0004] ところで、マイクロLEDディスプレイの製造時には上記したLEDチップがアレイ基板に実装されるが、この際にアレイ基板にダメージを与えやすく、マイクロLEDディスプレイにおける欠陥の発生の要因となる。

先行技術文献

特許文献

[0005] 特許文献1：特開2018-014475号公報

発明の概要

発明が解決しようとする課題

[0006] そこで、本発明が解決しようとする課題は、欠陥の発生を抑制することが可能な信頼性の高い表示装置を提供することにある。

課題を解決するための手段

[0007] 実施形態に係る表示装置は、基板と、前記基板上に配置された画素電極と、前記画素電極上に実装された発光素子と、前記画素電極を介して前記発光

素子に対して供給される電流を制御する駆動トランジスタと、前記画素電極と前記駆動トランジスタとの間に、平面視において当該画素電極と少なくとも一部が重畳するように形成された導電層とを具備する。前記導電層は、平面視において前記発光素子が実装されている前記画素電極の領域と重畳しない。

図面の簡単な説明

[0008] [図1]図1は、実施形態に係る表示装置の構成を概略的に示す斜視図である。

[図2]図2は、表示装置の回路構成を示す平面図である。

[図3]図3は、表示装置における画素の回路構成の一例を示す図である。

[図4]図4は、本実施形態の比較例に係る表示装置の断面構造の一例を示す図である。

[図5]図5は、本実施形態の比較例に係る表示装置の断面構造の他の例を示す図である。

[図6]図6は、本実施形態に係る表示装置の断面構造の一例を示す図である。

[図7]図7は、本実施形態における画素に対する導電層のレイアウトの一例を示す平面図である。

[図8]図8は、本実施形態の比較例における画素PXに対する導電層のレイアウトの一例を示す平面図である。

[図9]図9は、本実施形態における画素に対する導電層のレイアウトの他の例を示す平面図である。

[図10]図10は、本実施形態に係る表示装置における駆動トランジスタのリセット動作、オフセットキャンセル動作、画素信号の書き込み動作及び発光素子の発光動作に関する各種信号の出力例を示すタイミングチャートである。

[図11]図11は、駆動トランジスタのリセット動作の概要について説明するための図である。

[図12]図12は、オフセットキャンセル動作の概要について説明するための図である。

[図13]図 1 3 は、画像信号の書き込み動作の概要について説明するための図である。

[図14]図 1 4 は、画像信号の書き込み動作の概要について説明するための図である。

[図15]図 1 5 は、発光素子の発光動作の概要について説明するための図である。

[図16]図 1 6 は、発光素子に電流が流れ始めるタイミングについて説明するための図である。

[図17]図 1 7 は、駆動トランジスタの出力電流と発光素子に流れる電流との関係について説明するための図である。

[図18]図 1 8 は、駆動トランジスタのソース電極の電位上昇と発光素子に流れる電流との関係について説明するための図である。

[図19]図 1 9 は、画素電極と同じ層に共通電極が配置されている場合の表示装置の断面構造の一例を示す図である。

[図20]図 2 0 は、画素電極と共通電極とが同じ層に配置されている場合の画素に対する導電層のレイアウトの一例を示す平面図である。

発明を実施するための形態

[0009] 以下、図面を参照して、実施形態について説明する。なお、開示はあくまで一例に過ぎず、当業者において、発明の趣旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は、説明をより明確にするため、実際の態様に比べて、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同一または類似した機能を発揮する構成要素には同一の参照符号を付し、重複する詳細な説明を適宜省略することがある。

[0010] 図 1 は、本実施形態に係る表示装置 1 の構成を概略的に示す斜視図である。図 1 は、第 1 方向 X と、第 1 方向 X に垂直な第 2 方向 Y と、第 1 方向 X 及

び第2方向Yに垂直な第3方向Zによって規定される三次元空間を示している。なお、第1方向X及び第2方向Yは、互いに直交しているが、 90° 以外の角度で交差していてもよい。また、本実施形態においては、第3方向Zを上と定義し、第3方向Zと反対側の方向を下と定義する。「第1部材の上の第2部材」及び「第1部材の下の第2部材」とした場合、第2部材は、第1部材に接していてもよく、第1部材から離れて位置していてもよい。

[0011] 以下、本実施形態においては、表示装置1が自発光素子であるマイクロLEDを用いたマイクロLED表示装置（マイクロLEDディスプレイ）である場合について説明する。

[0012] 図1に示すように、表示装置1は、表示パネル2、第1回路基板3及び第2回路基板4等を備える。

[0013] 表示パネル2は、一例では矩形状である。図示した例では、表示パネル2の短辺EXは、第1方向Xと平行であり、表示パネル2の長辺EYは、第2方向Yと平行である。第3方向Zは、表示パネル2の厚さ方向に相当する。表示パネル2の主面は、第1方向Xと第2方向Yとにより規定されるX-Y平面に平行である。表示パネル2は、表示領域DA、及び表示領域DAの外側の非表示領域NDAを有している。非表示領域NDAは、端子領域MTを有している。図示した例では、非表示領域NDAは、表示領域DAを囲んでいる。

[0014] 表示領域DAは、画像を表示する領域であり、例えばマトリクス状に配置された複数の画素PXを備えている。画素PXは、発光素子（マイクロLED）及び当該発光素子を駆動するためのスイッチング素子（駆動トランジスタ）等を含む。

[0015] 端子領域MTは、表示パネル2の短辺EXに沿って設けられ、表示パネル2を外部装置等と電氣的に接続するための端子を含んでいる。

[0016] 第1回路基板3は、端子領域MTの上に実装され、表示パネル2と電氣的に接続されている。第1回路基板3は、例えばフレキシブルプリント回路基板である。第1回路基板3は、表示パネル2を駆動する駆動ICチップ（以

下、パネルドライバと表記) 5等を備えている。なお、図示した例において、パネルドライバ5は、第1回路基板3の上に配置されているが、第1回路基板3の下に配置されていてもよい。また、パネルドライバ5は、第1回路基板3以外に実装されていてもよく、例えば第2回路基板4に実装されていてもよい。

[0017] 第2回路基板4は、例えばフレキシブルプリント回路基板である。第2回路基板4は、第1回路基板3の例えば下方において第1回路基板3と接続されている。

[0018] 上記したパネルドライバ5は、例えば第2回路基板4を介して制御基板(図示せず)と接続されている。パネルドライバ5は、例えば制御基板から出力される映像信号に基づいて複数の画素PXを駆動することによって表示パネル2に画像を表示する制御を実行する。

[0019] なお、表示パネル2は、斜線を付して示す折り曲げ領域BAを有していてもよい。折り曲げ領域BAは、表示装置1が電子機器等の筐体に収容される際に折り曲げられる領域である。折り曲げ領域BAは、非表示領域NDAのうち端子領域MT側に位置している。第1回路基板3及び第2回路基板4は、折り曲げ領域BAが折り曲げられることによって、表示パネル2と対向するように、表示パネル2の下方に配置されることができる。

[0020] 図2は、表示装置1の回路構成を示す平面図である。図2に示すように、表示装置1は、アクティブマトリクス型の表示パネル2を備えている。表示パネル2は、絶縁基板21を有する。この絶縁基板21上には、複数の画素PXと、各種配線と、ゲートドライバGD1及びGD2と、選択回路SDとが配置されている。

[0021] 複数の画素PXは、表示領域DAにおいてマトリクス状に配列されている。複数の画素PXの各々は、複数の副画素を有している。本実施形態において、画素PXは、第1色を呈する副画素SPR、第2色を呈する副画素SPG及び第3色を呈する副画素SPBの3種類の副画素を含む。ここでは、第1色、第2色及び第3色は、例えばそれぞれ赤色、緑色及び青色であるもの

とする。

[0022] 画素P Xは、発光素子（マイクロLED）と、発光素子に駆動電流を供給し、当該発光素子を駆動するための画素回路とを含む。画素回路は、後述する駆動トランジスタ及び各種のスイッチング素子等を含む。

[0023] 上記した各種配線は、表示領域DAにおいて延在し、非表示領域NDAに引き出されている。図2においては、各種配線の一部として、複数本の制御配線SSGと、複数本の画像信号線VLとが例示されている。

[0024] 表示領域DAにおいて、制御配線SSG及び画像信号線VLは、副画素SPR、SPG及びSPBに接続されている。制御配線SSGは、非表示領域NDAにおいてゲートドライバGD1及びGD2に接続されている。画像信号線VLは、非表示領域NDAにおいて選択回路SDに接続されている。

[0025] ゲートドライバGD1及びGD2と選択回路SDとは、非表示領域NDAに位置している。ゲートドライバGD1、GD2及び選択回路SDには、パネルドライバ5から各種の信号や電圧が与えられる。

[0026] 次に、図3を参照して、表示装置1における画素の回路構成（画素回路）の一例について説明する。本実施形態において、複数の画素P Xは同様に構成されている。また、上記したように画素P Xは副画素SPR、SPG及びSPBを有するが、当該副画素SPR、SPG及びSPBは同様に構成されている。このため、ここでは便宜的に、副画素SPR、SPG及びSPBのうちの1つの副画素（以下、副画素SPと表記）の構成（画素回路）について主に説明する。

[0027] 図3に示すように、副画素SPは、発光素子LED、駆動トランジスタDRT、出力トランジスタBCT、画素トランジスタSST、初期化トランジスタIST、リセットトランジスタRST、保持容量Cs及び補助容量Cadを含む。本実施形態において、これらは副画素SP毎に配置される。

[0028] 図3に示す各トランジスタは、nチャネル型トランジスタである。なお、出力トランジスタBCT、画素トランジスタSST、初期化トランジスタIST及びリセットトランジスタRSTは、それぞれトランジスタで構成され

ていなくてもよい。出力トランジスタBC T、画素トランジスタS S T、初期化トランジスタI S T及びリセットトランジスタR S Tは、それぞれ、出力スイッチ、画素スイッチ、初期化スイッチ、リセットスイッチとして機能するものであればよい。

[0029] 以下の説明においては、トランジスタのソース電極及びドレイン電極の一方を第1電極、他方を第2電極とする。また、容量素子の一方の電極を第1電極、他方の電極を第2電極とする。

[0030] 駆動トランジスタD R T、後述する画素電極及び発光素子L E Dは、第1電源線P V Hと第2電源線P V Lとの間で直列に接続されている。第1電源線P V Hは定電位に保持され、第2電源線P V Lは第1電源線P V Hの電位とは異なる定電位に保持されている。本実施形態において、第1電源線P V Hの電位P V D Dは、第2電源線P V Lの電位P V S Sより高い。具体的には、第1電源線P V Hの電位P V D Dは例えば9 Vであり、第2電源線P V Lの電位P V S Sは例えば0 Vである。

[0031] 駆動トランジスタD R Tの第1電極は、発光素子L E Dの第1電極（陽極）、保持容量C sの第1電極及び補助容量C a dの第1電極に接続されている。駆動トランジスタD R Tの第2電極は、出力トランジスタBC Tの第1電極に接続されている。駆動トランジスタD R Tは、発光素子L E Dに対して供給される電流（電流値）を制御するように構成されている。

[0032] 出力トランジスタBC Tの第2電極は、第1電源線P V Hに接続されている。また発光素子L E Dの第2電極（陰極）は、第2電源線P V Lに接続されている。

[0033] 画素トランジスタS S Tの第1電極は、駆動トランジスタD R Tのゲート電極、初期化トランジスタI S Tの第1電極及び保持容量C sの第2電極に接続されている。画素トランジスタS S Tの第2電極は、画像信号線V Lに接続されている。初期化トランジスタI S Tの第2電極は初期化電源線B Lに接続されている。

[0034] 保持容量C sは、駆動トランジスタD R Tのゲート電極と第1電極（ソー

ス電極）との間に電氣的に接続されている。詳細については後述するが、本実施形態において、保持容量 C_s の値（容量サイズ）は、補助容量 C_{ad} の値（容量サイズ）より小さい。

[0035] 補助容量 C_{ad} の第2電極は、定電位に保持されている。本実施形態において、補助容量 C_{ad} の第2電極は、例えば第1電源線 P_{VH} に接続され、第1電源線 P_{VH} の電位と同一の定電位（ P_{VDD} ）に保持されている。なお、補助容量 C_{ad} の第2電極は、第2電源線 P_{VL} の電位と同一の定電位（ P_{VSS} ）に保持されていてもよいし、第1電源線 P_{VH} 及び第2電源線 P_{VL} とは異なる電源線（第3電源線）と同一の定電位に保持されていてもよい。第3電源線としては、定電位に保持される配線として、初期化電源線 B_L またはリセット電源線 R_L を挙げることができる。

[0036] リセットトランジスタ RST の第1電極は、駆動トランジスタ DRT の第1電極に接続されている。リセットトランジスタ RST の第2電極は、リセット電源線 R_L に接続されている。

[0037] 画像信号線 V_L には、映像信号等の画像信号 V_{sig} が供給される。画像信号 V_{sig} は画素（ここでは、副画素 SP ）に書き込まれる信号であり、当該画像信号 V_{sig} の最小値は例えば $0V$ であり、当該画像信号 V_{sig} の最大値は例えば $3V$ である。

[0038] 初期化電源線 B_L には、初期化電位 V_{ini} が供給される。初期化電位 V_{ini} は、例えば $1.2V$ である。

[0039] リセット電源線 R_L は、リセット電源電位 V_{rst} に設定される。リセット電源電位 V_{rst} は、 P_{VSS} に対して発光素子 LED が発光しないような電位差を有する電位が与えられ、例えば $-2V$ である。

[0040] 出力トランジスタ BC_T のゲート電極は、制御配線 S_{BG} に接続されている。この制御配線 S_{BG} には、出力制御信号 B_G が供給される。

[0041] 画素トランジスタ SS_T のゲート電極は、制御配線 S_{SG} に接続されている。この制御配線 S_{SG} には、画素制御信号 S_G が供給される。

[0042] 初期化トランジスタ IS_T のゲート電極は、制御配線 S_{IG} に接続されて

いる。この制御配線 S I G には、初期化制御信号 I G が供給される。

[0043] リセットトランジスタ R S T のゲート電極は、制御配線 S R G に接続されている。この制御配線 S R G には、リセット制御信号 R G が供給される。

[0044] なお、図 3 に示す素子容量 C l e d は、発光素子 L E D の第 1 電極（陽極）と第 2 電極（陰極）との間の容量である。

[0045] 図 3 においては、上記の全てのトランジスタが N c h T F T であるものとして説明したが、例えば駆動トランジスタ D R T 以外のトランジスタは、全てが P c h T F T であってもよいし、N c h T F T 及び P c h T F T が混在していてもよい。

[0046] また、駆動トランジスタ D R T が P c h T F T であってもよい。その場合、本実施形態とは逆向きに、発光素子 L E D に電流が流れるように構成されていればよい。いずれの場合においても、補助容量 C a d は、発光素子 L E D の電極のうち駆動トランジスタ D R T 側の電極に結合されていればよい。

[0047] また、図 2 において説明したように、表示装置 1 は、2 つのゲートドライバ G D 1 及び G D 2 を備えているため、1 つの画素 P X（副画素 S P）に両側のゲートドライバ G D 1 及び G D 2 から給電することが可能である。ここでは、上記した制御配線 S S G については両側給電方式が採用されており、他の制御配線については片側給電方式が採用されているものとする。ただし、表示装置 1 は、2 つのゲートドライバ G D 1 及び G D 2 を備えていなくてもよく、少なくとも 1 つのゲートドライバを備えていればよい。

[0048] なお、図 3 において説明した回路構成は一例であり、上記した駆動トランジスタ D R T、保持容量 C s 及び補助容量 C a d を含むものであれば、表示装置 1 の回路構成は他の構成であっても構わない。例えば図 3 において説明した回路構成のうちの一部分が省略されていてもよいし、他の構成が追加されても構わない。

[0049] ここで、詳しい動作については後述するが、上記した図 3 に示す回路構成において発光素子 L E D が発光する際に当該発光素子 L E D に流れる電流（マイクロ L E D 電流）は、以下の式（1）により定義される。

[0050] [数1]

$$I_{drt} = I_{led} =$$

$$1/2C_{ox} * \mu * W / L * \left\{ (V_{sig} - V_{ini}) * \frac{(C_{led} + C_{ad})}{(C_s + C_{ad} + C_{led})} \right\}^2$$

…式(1)

なお、式(1)において、 C_{ox} は単位面積当たりのゲート静電容量、 μ はキャリア移動度、 W は駆動トランジスタDRTのチャネル幅、 L は駆動トランジスタDRTのチャネル長である。また、 V_{sig} は、上記した画像信号 V_{sig} を表しており、副画素SPに書き込まれる書き込み電圧値である。 V_{ini} は、上記した初期化電位を表しており、オフセットキャンセル(V_{th} 補正)時の駆動トランジスタDRTのゲート電圧値である。また、 C_s は上記した保持容量 C_s の値であり、 C_{ad} は上記した補助容量(追加容量) C_{ad} の値であり、 C_{led} は上記した素子容量 C_{led} の値である。

[0051] ここで、素子容量 C_{led} は、発光素子LEDの面積が持つ容量であり、発光素子LEDのサイズに比例する。このため、表示装置1を高精細化した場合には、発光素子LEDのサイズが縮小するので、素子容量 C_{led} の値は保持容量 C_s の値と比較して小さくなる。

[0052] 素子容量 C_{led} と保持容量 C_s とが上記した関係にある場合において、式(1)の補助容量 C_{ad} が例えば保持容量 C_s よりも相当小さいものとする、発光素子LEDを発光させるために必要な電流を確保することができない場合がある。なお、必要な電流を確保するために式(1)の V_{sig} を大きくすることが考えられるが、当該 V_{sig} の出力振幅は、パネルドライバの出力振幅に制限されるので、自由に大きくできない場合がある。このため、補助容量 C_{ad} を十分に確保することが重要である。

[0053] 以下、図4を参照して、本実施形態の比較例について説明する。図4は、本実施形態の比較例に係る表示装置の断面構造の一例を模式的に示す図である。

[0054] 図4においては、本実施形態の比較例に係る表示装置が表示パネル2'を備えるものとし、当該表示パネル2'が有する表示領域DAに配置されている1つの画素PX（副画素SPR、SPG及びSPB）及び非表示領域NDAの断面構造について主に説明する。なお、非表示領域NDAは、折り曲げられる折り曲げ領域BAと、端子領域MTとを含んでいる。

[0055] 図4に示すように、表示パネル2'のアレイ基板ARは、絶縁基板21を備えている。絶縁基板21としては、主に、石英、無アルカリガラス等のガラス基板、またはポリイミド等の樹脂基板を用いることができる。樹脂基板は可撓性を有し、シートディスプレイとして表示装置を構成することができる。なお、樹脂基板としては、ポリイミドに限らず、他の樹脂材料を用いてもよい。これにより、絶縁基板21は、有機絶縁層または樹脂層等と称してもよい。

[0056] 絶縁基板21上には、三層積層構造のアンダーコート層22が設けられている。アンダーコート層22は、シリコン酸化物（SiO₂）で形成された第1層22a、シリコン窒化物（SiN）で形成された第2層22b、及びシリコン酸化物（SiO₂）で形成された第3層22cを有している。最下層の第1層22aは基材である絶縁基板21との密着性向上のため、中層の第2層22bは外部からの水分及び不純物のブロック膜として設けられている。また、最上層の第3層22cは、第2層22b中に含有する水素原子が後述する半導体層SC側に拡散しないようにするブロック膜として設けられている。

[0057] なお、アンダーコート層22は、この構造に限定されるものではない。アンダーコート層22は、更に積層があってもよいし、単層構造または二層構造であってもよい。例えば、絶縁基板21がガラスである場合、シリコン窒化膜は比較的密着性がよいので、当該絶縁基板21上に直接シリコン窒化膜を形成しても構わない。

[0058] 遮光層23は、絶縁基板21の上に配置されている。遮光層23の位置は、後にTFTを形成する箇所に合わせられている。本実施形態において、遮

光層 2 3 は、例えば金属で形成されているが、黒色層等の遮光性を有する材料で形成されていればよい。

[0059] また、本実施形態において、遮光層 2 3 は、第 1 層 2 2 a の上に設けられ、第 2 層 2 2 b で覆われている。なお、遮光層 2 3 は、絶縁基板 2 1 の上に設けられ、第 1 層 2 2 a で覆われていてもよい。

[0060] このような遮光層 2 3 によれば、T F T チャンネル裏面への光の侵入を抑制することができるため、絶縁基板 2 1 側から入射され得る光に起因した T F T 特性の変化を抑制することが可能である。また、遮光層 2 3 を導電層で形成した場合には、当該遮光層 2 3 に所定の電位を与えることで、T F T にバックゲート効果を付与することも可能である。

[0061] 上記したアンダーコート層 2 2 上には、駆動トランジスタ D R T 等の薄膜トランジスタ（T F T : Thin Film Transistor）が形成される。T F T としては半導体層 S C にポリシリコンを利用するポリシリコン T F T を例としている。本実施形態においては、低温ポリシリコンを利用して半導体層 S C が形成されている。ここでは、駆動トランジスタ D R T は、N チャンネル型の T F T（N c h T F T）である。

[0062] N c h T F T の半導体層 S C は、第 1 領域と、第 2 領域と、第 1 領域及び第 2 領域の間のチャンネル領域と、チャンネル領域及び第 1 領域の間並びにチャンネル領域及び第 2 領域の間にそれぞれ設けられた低濃度不純物領域とを有する。第 1 及び第 2 領域の一方がソース領域として機能し、第 1 及び第 2 領域の他方がドレイン領域として機能している。

[0063] ゲート絶縁膜 G I としては、シリコン酸化膜が用いられる。ゲート電極 G E は、M o W（モリブデン・タングステン）で形成されている。なお、ゲート電極 G E 等のゲート絶縁膜 G I の上に形成される配線や電極は、1 s t 配線または 1 s t メタルと称される。ゲート電極 G E は、T F T のゲート電極としての機能に加え、後述する保持容量電極としての機能を有している。ここではトップゲート型の T F T を例として説明しているが、T F T はボトムゲート型の T F T であってもよい。

- [0064] ゲート絶縁膜G1及びゲート電極GEの上には、層間絶縁膜24が設けられている。層間絶縁膜24は、ゲート絶縁膜G1及びゲート電極GEの上に、例えばシリコン窒化膜及びシリコン酸化膜を順に積層して構成されている。
- [0065] なお、ゲート絶縁膜G1及び層間絶縁膜24は、折り曲げ領域BAに設けられていない。この場合、折り曲げ領域BAを含む絶縁基板21上の全領域に、ゲート絶縁膜G1及び層間絶縁膜24を形成した後、ゲート絶縁膜G1及び層間絶縁膜24にパターニングを行って折り曲げ領域BAに相当する箇所を除去している。更に、層間絶縁膜24等の除去によってアンダーコート層22が露出するため、当該アンダーコート層22についてもパターニングを行って折り曲げ領域BAに相当する箇所を除去している。アンダーコート層22を除去した後は、絶縁基板21を構成する例えばポリイミドが露出する。なお、アンダーコート層22のエッチングを通じて、絶縁基板21の上面が一部浸食された膜減りを生ずる場合がある。
- [0066] この場合、層間絶縁膜24の端部における段差部分及びアンダーコート層22の端部における段差部分のそれぞれの下層に図示しない配線パターンを形成しておいてもよい。これによれば、次の工程で形成する引き回し配線LLが段差部分を横切る際に、配線パターンの上を通る。層間絶縁膜24とアンダーコート層22との間にはゲート絶縁膜G1があり、アンダーコート層22と絶縁基板21の間には例えば遮光層23があるので、それらの層を利用して配線パターンを形成することができる。
- [0067] 層間絶縁膜24の上には、第1電極E1、第2電極E2及び引き回し配線LLが設けられている。第1電極E1、第2電極E2及び引き回し配線LLにおいては、それぞれ三層積層構造(Ti系/AI系/Ti系)が採用される。この三層積層構造において、下層は、Ti(チタン)、Tiを含む合金等のTiを主成分とする金属材料からなる。中間層は、AI(アルミニウム)、AIを含む合金等のAIを主成分とする金属材料からなる。上層は、Ti、Tiを含む合金等のTiを主成分とする金属材料からなる。なお、第1

電極E 1等の層間絶縁膜2 4の上に形成される配線や電極は、2 n d配線または2 n dメタルと称される。

[0068] 第1電極E 1は、半導体層S Cの第1領域に接続されている。第2電極E 2は、半導体層S Cの第2領域に接続されている。例えば、半導体層S Cの第1領域がソース領域として機能する場合、第1電極E 1はソース電極であり、第2電極E 2はドレイン電極である。この場合、第1電極E 1は、層間絶縁膜2 4及びT F Tのゲート電極（保持容量電極）G Eとともに保持容量C sを形成する。

[0069] 引き回し配線L Lは、絶縁基板2 1の周縁の端部まで延在され、第1回路基板3やパネルドライバ（駆動I C）5を接続する端子を形成する。なお、引き回し配線L Lは、折り曲げ領域B Aを横切って端子部に到達するように形成されるため、層間絶縁膜2 4及びアンダーコート層2 2の段差を横切る。上記したように段差部分には遮光層2 3による配線パターンが形成されているため、引き回し配線L Lが段差の凹部で段切れを生じたとしても、下の配線パターンにコンタクトすることで導通を維持することが可能である。

[0070] 平坦化膜2 5は、T F T及び引き回し配線L Lを覆うように、層間絶縁膜2 4、第1電極E 1、第2電極E 2及び引き回し配線L Lの上に形成されている。平坦化膜2 5としては、感光性アクリル等の有機絶縁材料が多く用いられる。C V D等により形成される無機絶縁材料に比べ、配線段差のカバレッジ性や表面の平坦性に優れる。平坦化膜2 5は、画素コンタクト部及び周辺領域では除去される。

[0071] 平坦化膜2 5の上には、導電層2 6 a及び2 6 bを含む導電層が設けられている。この導電層は、酸化物導電層として、例えばI T O（インジウム・ティン・オキサイド）で形成されている。

[0072] 導電層2 6 aは、例えば平坦化膜2 5の除去により第1電極E 1が露出した箇所を被覆する。導電層2 6 aは、製造工程で第1電極E 1や引き回し配線L Lの露出部がダメージを負わないようにするためのバリア膜となることを目的の一つとしている。

[0073] なお、導電層 26b 等の平坦化膜 25 上に形成される配線や電極は、3rd 配線または 3rd メタルと称される。また、端子部の表面を形成する導電層として、図 4 に示す導電層 26c が形成されていてもよい。

[0074] 平坦化膜 25 及び導電層（導電層 26a 及び 26b）は、絶縁層 27 で被覆されている。絶縁層 27 は、例えばシリコン窒化膜で形成されている。絶縁層 27 の上に、画素電極 28 が形成されている。画素電極 28 は、絶縁層 27 の開口を介して導電層 26a にコンタクトし、第 1 電極 E1 に電氣的に接続されている。ここでは、画素電極 28 は、発光素子 LED（LED チップ）を実装するための接続端子となる。画素電極 28 は、単一の導電層、二層以上の導電層を含む積層体で形成されている。画素電極 28 においては、例えば二層積層構造（Al 系/Mo 系）が採用される。この二層積層構造において、下層は、Mo、Mo を含む合金等の Mo を主成分とする金属材料からなる。上層は、Al、Al を含む合金等の Al を主成分とする金属材料からなる。

[0075] 図 4 に示すように、導電層 26b、絶縁層 27 及び画素電極 28 は、上記した補助容量 Cad を形成している。

[0076] 絶縁層 27 及び画素電極 28 の上には、絶縁層 29 が設けられている。絶縁層 29 は、例えばシリコン窒化物で形成されている。絶縁層 29 は、画素電極 28 の端部等を絶縁するとともに、画素電極 28 の表面の一部に発光素子 LED を実装するための開口を有している。絶縁層 29 の開口の大きさは、発光素子 LED の実装工程における実装ずれ量等を考慮し、発光素子 LED よりも一回り大きめの開口とする。例えば発光素子 LED が実質的に $10\mu\text{m} \times 10\mu\text{m}$ の実装面積である場合、上記開口は実質的に $20\mu\text{m} \times 20\mu\text{m}$ は確保されることが好ましい。

[0077] 表示領域 DA においては、アレイ基板 AR（画素電極 28）の上に、発光素子 LED が実装される。発光素子 LED は、陽極 AN と、陰極 CA と、光を放出する発光層 LI とを有している。陽極 AN 及び陰極 CA は、発光層 LI を介して対向する位置に配置されている。

[0078] 発光素子LEDは、R、G、Bの発光色を有するものがそれぞれ用意されており、対応する画素電極28に陽極側端子が接触し固定されている。図4に示す例においては、赤色の発光色を有する発光素子LEDをLED(R)、緑色の発光色を有する発光素子LEDをLED(G)及び青色の発光色を有する発光素子LEDをLED(B)として示している。換言すれば、発光素子LED(R)は副画素SPRに含まれる発光素子LEDであり、発光素子LED(G)は副画素SPGに含まれる発光素子LEDであり、発光素子LED(B)は副画素SPBに含まれる発光素子LEDである。

[0079] 発光素子LEDの陽極ANと画素電極28との間の接合は、両者の間で良好な導通が確保でき、かつ、アレイ基板ARの形成物を破損しないものであれば特に限定されない。例えば低温溶融のはんだ材料を用いたリフロー工程や、導電ペーストを介して発光素子LEDをアレイ基板AR上に載せた後に焼成結合する等の手法、或いは画素電極28の表面と、発光素子LEDの陽極ANとに同系材料を用い、超音波接合等の固層接合の手法を採用することができる。

[0080] 発光素子LEDが実装されたアレイ基板ARの上には、素子絶縁層30が設けられている。素子絶縁層30は、アレイ基板ARの上で、発光素子LEDの間の空隙部に充填された樹脂材料で形成されている。なお、素子絶縁層30は、発光素子LEDのうち陰極CAの表面を露出させる。

[0081] 対向電極31は、発光素子LEDを介して画素電極28と対向する位置に配置される。対向電極31は、対向電極31の陰極CAの表面と素子絶縁層30の上に形成され、陰極CAに接触することによって、当該陰極CAと電氣的に接続される。対向電極31は、発光素子LEDからの出射光を取り出すために、透明電極として形成される必要がある。対向電極31は、透明導電材料として例えばITOを用いて形成される。対向電極31は、表示領域DAに実装された複数の発光素子LEDの陰極CAを共通に接続する。図示されていないが、対向電極31は、例えば表示領域DAの外側に設けられた陰極コンタクト部でアレイ基板AR側に設けられた配線と接続される。

- [0082] 対向電極 31 は、表示領域 DA を平面視で覆うように形成されると共に、非表示領域 NDA まで延在して、導電層 26d と電氣的に接続される。導電層 26d は、第 2 電源線 PVL に通じている。
- [0083] 一方、発光素子 LED の側壁部分が保護膜等で絶縁されている場合は、必ずしも樹脂材料等で間隙を充填する必要はなく、樹脂材料は、陽極 AN と、陽極 AN から露出した画素電極 28 の表面とを少なくとも絶縁することができればよい。この場合、図 5 に示すように発光素子 LED の陰極 CA まで達しないような膜厚で素子絶縁層 30 を形成し、続けて上記対向電極 31 を形成する。対向電極 31 が形成される表面に発光素子 LED の実装に伴う凹凸の一部が残存しているが、対向電極 31 を形成する材料が段切れすることなく連続的に覆うことができればよい。
- [0084] 上記したようにアレイ基板 AR は、絶縁基板 21 から対向電極 31 までの構造を有しているが、必要に応じて、対向電極 31 の上にカバーガラス等のカバー部材やタッチパネル基板等が設けられていてもよい。このカバー部材やタッチパネル基板は、例えば樹脂等を用いた充填剤を介して設けられてもよい。
- [0085] 図 4 を参照して本実施形態の比較例に係る表示装置（表示パネル 2'）について説明したが、当該表示装置においては、上記したように十分な補助容量 Cad を確保する必要がある。この補助容量 Cad は図 4 において説明したように導電層 26b、絶縁層 27 及び画素電極 28 によって形成されるが、十分な補助容量 Cad を確保するためには、平面視において画素電極 28 と重畳する導電層 26b（3rd メタル）の面積を大きくすることが好ましい。このため、本実施形態の比較例に係る表示装置において、導電層 26b は、図 4 に示すように例えば画素電極 28 と第 1 電極 E1（駆動トランジスタ DRT）とを電氣的に接続するコンタクト部以外の領域に形成されている。
- [0086] しかしながら、本実施形態の比較例に係る表示装置の構成では、上記したように発光素子 LED（LED チップ）がアレイ基板 AR（画素電極 28）

上に実装される際に、当該アレイ基板ARにダメージを与えやすく、点欠陥が発生する可能性がある。具体的には、本実施形態の比較例に係る表示装置においては、DC電源（第1電源線PVH）と接続されている導電層26bが画素電極28の直下に配置されているが、当該導電層26bと画素電極28との間に設けられている絶縁層27は薄く、発光素子LEDの実装時に、LEDチップの押圧によって画素電極28と導電層26bとがショートする可能性がある。

[0087] そこで、本実施形態に係る表示装置1においては、図6に示すように、平面視において発光素子LEDが実装されている画素電極28の領域（以下、発光素子LEDの実装領域と表記）と重畳しないように導電層26bが形成されているものとする。

[0088] なお、図6は本実施形態に係る表示装置1の断面構造を示しているが、上記した導電層26b以外は図4と同様であるため、ここではその詳しい説明を省略する。

[0089] また、本実施形態は、図5に示す断面構造に適用されても構わない。この場合、図5に示す導電層26bが、平面視において発光素子LEDの実装領域と重畳しないように形成されればよい。

[0090] ここで、図7は、本実施形態における画素PX（副画素SPR、SPG及びSPB）に対する導電層26bのレイアウト（形状）の一例を示す平面図である。

[0091] 図7に示すように、副画素SPR、SPG及びSPBを含む画素PXは、単個の導電層26bを共用している。換言すれば、導電層26bは、複数の副画素SPR、SPG及びSPB（複数の画素PX）に亘って連続的に延在するように形成されている。なお、導電層26bは、上記したように画素電極28の下方に位置している。

[0092] また、図7においては、副画素SPRに含まれる画素電極28（つまり、副画素SPRの発光素子LED（R）に接続される画素電極28）を便宜的に画素電極28Rとする。更に、副画素SPGに含まれる画素電極28（つ

まり、副画素SPGの発光素子LED（G）に接続される画素電極28）を便宜的に画素電極28Gとする。同様に、副画素SPBに含まれる画素電極28（つまり、副画素SPBの発光素子LED（B）に接続される画素電極28）を便宜的に画素電極28Bとする。

[0093] 図7の平面視において、画素電極28Rは、矩形状に形成されている。また、画素電極28G及び28Bは、非矩形状に形成されている。なお、画素電極28R、28G及び28Bは、画素電極28Rのサイズが最も大きく、画素電極28G及び28Bのサイズが同一となるように形成されている。なお、画素電極28G及び28Bのサイズは、異なってもよい。

[0094] また、配置領域LAR、LAG及びLABは、第1方向Xに並んでいる。ここで、配置領域LARは、副画素SPRの画素回路のうち例えば補助容量Cad（画素電極28R）以外の残りの素子が配置される領域である。配置領域LAGは、副画素SPGの画素回路のうち例えば発光素子LED（G）及び補助容量Cad（画素電極28G）以外の残りの素子が配置される領域である。配置領域LABは、副画素SPBの画素回路のうち例えば発光素子LED（B）及び補助容量Cad（画素電極28B）以外の残りの素子が配置される領域である。

[0095] なお、図7に示す例において、発光素子LED（R）は配置領域LARに位置しているが、発光素子LED（G）及びLED（B）はそれぞれ配置領域LAG及びLABに跨るように位置している。また、画素電極28Rは、配置領域LARに位置するとともに、配置領域LAGに更に位置している。また、画素電極28G及び28Bの各々は、配置領域LAG及びLABに位置している。なお、画素電極28（28R、28G及び28B）は、隣の画素PXの配置領域に位置するように設けられても構わない。

[0096] また、図7に示すように、導電層26bは、開口部41R、41G及び41Bを有する。開口部41Rは、画素電極28Rと副画素SPRに含まれる第1電極E1（駆動トランジスタDRT）とをコンタクトするために導電層26bに形成されている開口部である。開口部41Gは、画素電極28Gと

副画素SPGに含まれる第1電極E1（駆動トランジスタDRT）とをコンタクトするために導電層26bに形成されている開口部である。開口部41Bは、画素電極28Bと副画素SPBに含まれる第1電極E1（駆動トランジスタDRT）とをコンタクトするために導電層26bに形成されている開口部である。図7に示す例において、開口部41R、41G及び41B（つまり、画素電極28R、28G及び28Bの各々と駆動トランジスタDRTとをそれぞれ電氣的に接続するコンタクト部）は、第1方向Xに延在する直線状に配置されている。

[0097] 更に、導電層26bは、開口部42R、42G及び42Bを有する。開口部42Rは、導電層26bが副画素SPRの発光素子LED（R）の実装領域と重畳しないように当該導電層26bに形成されている開口部である。開口部42Gは、導電層26bが副画素SPGの発光素子LED（G）の実装領域と重畳しないように当該導電層26bに形成されている開口部である。開口部42Bは、導電層26bが副画素SPBの発光素子LED（B）の実装領域と重畳しないように当該導電層26bに形成されている開口部である。

[0098] 図7に示す例において、開口部42Rは、平面視において発光素子LED（R）の実装領域よりも一回り大きく形成されている。開口部42Rは、例えば上記した絶縁層29に設けられている開口（発光素子LED（R）を実装するための開口）と同程度の大きさに形成されていてもよい。

[0099] なお、開口部42Rは、少なくとも発光素子LED（R）の実装領域よりも大きく形成されていればよい。また、開口部42Rは、導電層26bが発光素子LED（R）の実装領域と重畳せず、かつ、当該実装領域の端部と導電層26b（開口部42R）の端部とが交差しないように形成されていればよい。ここでは、開口部42Rについて説明したが、開口部42G及び42Bについても同様である。

[0100] また、図7に示す例において、開口部42R、42G及び42B（つまり、発光素子LED（R）、LED（G）及びLED（B）の実装領域）のう

ちの少なくとも1つは、1つの直線状に配置されないように形成されている。具体的には、開口部42R及び42Gは第1方向Xに延在する直線状に配置されているが、開口部42Bは当該第1方向Xに延在する直線状には配置されていない。また、開口部42G及び42Bは第2方向Yに延在する直線状に配置されているが、開口部42Rは当該第2方向Yに延在する直線状には配置されていない。

[0101] ここで、図8は本実施形態の比較例における画素PX（副画素SPR、SPG及びSPB）に対する導電層26bのレイアウト（形状）の一例を示している。本実施形態においては、図8に示す本実施形態の比較例と比較して、発光素子LED（R）、LED（G）及びLED（B）の各々の実装領域直下の導電層26bをくり抜くように開口部42R、42G及び42Bが形成されていることによって、発光素子LEDの実装時に画素電極28（28R、28G及び28B）と導電層26bとがショートしてしまうような事態を抑制することができる。

[0102] なお、図7に示す開口部42R、42G及び42Bの各々のサイズは、同一であってもよいし、異なってもよい。開口部42R、42G及び42Gの各々のサイズは、例えば発光素子LED（R）、LED（G）及びLED（B）（つまり、画素電極28R、28G及び28B上に実装されるLEDチップ）のサイズに基づいて決定されればよい。

[0103] ここで、上記した補助容量Cadの値（大きさ）は、画素電極28と重畳する導電層26bの面積に比例する。そのため、図7に示すように画素電極28G及び28Bよりも画素電極28Rが大きい場合には、副画素SPG及びSPBの各々における補助容量Cadは副画素SPRにおける補助容量Cadよりも小さくなる。

[0104] このため、例えば開口部42Rについては比較的サイズが大きくなるように形成することによって上記した点欠陥の発生（つまり、画素電極28R及び導電層26b間のショート）を抑制することを優先し、開口部42G及び42Bについては開口部42Rよりも比較的サイズが小さくなるように形成

することによって、点欠陥の発生を最低限抑制するとともに、補助容量C a dについても最大限確保するようにしてもよい。すなわち、本実施形態においては、画素電極28上に実装される発光素子LEDの発光色または当該画素電極28のサイズ等に応じて、開口部42R、42G及び42Bのサイズが決定されていてもよい。また、補助容量C a dを確保するために、開口部42R、42G及び42Bの大きさに応じて画素電極28R、28G及び28Bのサイズを大きくするように設計されてもよい。

[0105] なお、図6においては本実施形態に係る表示装置1の断面構造を示しているが、例えば図6に示す副画素SPBに対応する部分は、図7に示すA-A線に沿った断面構造（つまり、開口部41B及び42Bを含む断面構造）を示している。図7においては示されていないが、副画素SPR及びSPGについても同様である。

[0106] また、上記した図7に示す導電層26bのレイアウトは一例であり、導電層26bは、例えば図9に示すように形成されていてもよい。図9に示す例では、画素電極28R、28G及び28Bは、それぞれ矩形状に形成されており、第1方向Xに並んで（ストライプ状に）配置されている。

[0107] また、図9の平面視において、開口部41R、41G及び41B（つまり、画素電極28R、28G及び28Bの各々と駆動トランジスタDRTとをそれぞれ電氣的に接続するコンタクト部）は、第1方向Xに延在する直線状に配置されている。

[0108] 更に、開口部42R、42G及び42B（つまり、発光素子LED（R）、LED（G）及びLED（B）の各々の実装領域）は、第1方向Xに延在する直線状に配置されている。

[0109] 本実施形態においては、図9に示すように画素電極28R、28G及び28Bが配置されている場合であっても、導電層26bに開口部42R、42G及び42Bを形成することによって、画素電極28（28R、28G及び28B）と導電層26bとがショートしてしまうような事態を抑制することができる。

[0110] なお、図9に示す構成によれば、例えば図7に示す場合と比較して少なくとも画素電極28G及び28Bを大きくすることができるため、副画素SPG及びSPBにおける補助容量Cadを確保することができる。この場合、余裕のあるサイズで開口部42G及び42Bを形成することができるため、発光素子LEDの実装時における欠陥の発生を抑制する信頼性を向上させることができる。

[0111] また、図9においては例えば開口部42R、42G及び42Bが直線状に配置されているが、当該開口部42R、42G及び42Bは、例えばV字形状となるように配置されていてもよい。

[0112] 以下、表示装置1（図3に示す画素回路）における動作について説明する。なお、上記した図3に示す回路構成においては、リセット制御信号RGが駆動トランジスタDRTの第1電極（ソース電極）に入力される構成により、リセットが駆動トランジスタDRTを介さずに行うように構成されている。また、アノード間ショート of の発生を回避するために、リセットトランジスタは、ドライバ内ではなく、画素毎に配置されている。更に、例えば出力トランジスタBC Tを3つの副画素SPR、SPG及びSPBに対して1つ配置する構成の場合には、信号書き込み（移動度補正なし）の際に各副画素の駆動トランジスタDRTを介してアノード間が接続されることになり、R、G及びB間で信号混色が生じる場合がある。このため、本実施形態において、出力トランジスタBC Tは、副画素毎に配置されている。

[0113] 図10は、表示装置1におけるリセット動作、オフセットキャンセル（OC）動作、書き込み動作及び発光動作に関する各種信号の出力例を示すタイミングチャートである。ここでは、主に制御配線SRG、SBG、SIG及びSSGに供給される信号について説明する。

[0114] なお、上記した各動作は、画素PXの行単位で行われるものとする。図10においては、1行目の画素PXに接続されている制御配線SRGに供給されるリセット制御信号をRG1、制御配線SBGに供給される出力制御信号をBG1、制御配線SIGに供給される初期化制御信号をIG1、制御配線

S S Gに供給される画素制御信号をS G 1として示している。

[0115] また、図10においては、2行目の画素P Xに接続されている制御配線S R Gに供給されるリセット制御信号をR G 2、制御配線S B Gに供給される出力制御信号をB G 2、制御配線S I Gに供給される初期化制御信号をI G 2、制御配線S S Gに供給される画素制御信号をS G 2として示している。

[0116] 詳しい説明は省略するが、図10に示す3行目及び4行目の画素P Xに接続されている各制御配線に供給される制御信号についても同様である。図10においては、1行目～4行目の画素P Xに対する各制御信号のタイミングを示しているが、5行目以降の画素P Xについても同様である。

[0117] 以下、1行目の画素P Xのリセット動作、オフセットキャンセル動作、画像信号の書き込み動作及び発光動作に係る制御信号について説明する。なお、各動作の詳細については後述する。各画素P Xにおけるリセット動作、オフセットキャンセル動作、書き込み動作及び発光動作は、パネルドライバ5から出力される信号（S E L R / G / B）に従って画素S P R、S P G及びS P B（R G B）のうちの1つを選択することにより実行される。

[0118] また、表示装置1の回路構成においては全てのトランジスタがN c h T F Tである場合を想定しており、このようなトランジスタのゲート電極にロー（L）レベルの信号が供給されると当該トランジスタはO F F状態（非導通状態）となる。一方、このようなトランジスタのゲート電極にハイ（H）レベルの信号が供給されると当該トランジスタはO N状態（導通状態）となる。

[0119] まず、保持容量C sのリセット動作に先立って、出力制御信号B G 1がHレベルからLレベルになるとともに、リセット制御信号R G 1がLレベルからHレベルになる。これにより、出力トランジスタB C Tを介した第1電源線P V Hと第2電源線P V Lとの間での電流が遮られるとともに、リセット配線（リセットトランジスタR S Tの第1電極に接続されている配線）のリセット電源電位V r s tで出力トランジスタB C Tと発光素子L E Dの陽極A Nとの間がリセットされる。

- [0120] 次に、初期化制御信号 I G 1 が L レベルから H レベルになる。この場合、初期化トランジスタ I S T が O N 状態となり、初期化電位 V i n i の初期化電源線 B L と保持容量 C s とが導通し、初期過電位 (V i n i) で保持容量 C s がリセットされる。
- [0121] なお、保持容量 C s のリセットに先立って信号が L レベルになっていた出力制御信号 B G 1 は、保持容量 C s のリセット期間の完了に伴い H レベルになる。また、リセット制御信号 R G 1 は、保持容量 C s のリセット期間の完了に伴い L レベルになる。
- [0122] また、初期化制御信号 I G 1 は、オフセットキャンセル期間の完了に伴い L レベルになる。
- [0123] その後、画素制御信号 S G 1 が L レベルから H レベルになる。この場合、画像信号線 V L を介して画像信号 V s i g に応じた電流が画素トランジスタ S S T を通じて保持容量 C s 等に流れ、当該保持容量 C s には画像信号 V s i g に応じた電荷が蓄積される。これにより、1 行目の画素 P X (画素 P S R、S P G 及び S P B) への書き込み動作が完了する。
- [0124] 書き込み動作が完了した場合、上記した画像信号 V s i g に基づいて決定される電流値に従って発光素子 L E D に電流が流れることにより、当該発光素子 L E D が発光する。
- [0125] ここでは、1 行目の画素 P X のリセット動作、オフセットキャンセル動作、書き込み動作及び発光動作に関する制御信号について説明したが、2 行目以降の画素 P X における各動作 (制御信号) についても同様である。
- [0126] なお、画像信号 V s i g の書き込みは、1 H (1 行の水平走査期間) 内に実施されるものとする。また、リセット動作及びオフセットキャンセル動作は、前段画素の書き込みと並行して実施されるものとする。更に、リセット動作及びオフセットキャンセル動作は画像信号 V s i g の書き込み動作の前に終了するが、画像信号 V s i g の書き込みのタイミングは例えば液晶表示装置 (L C D) と概ね同様である。なお、リセット動作が行われる期間及びオフセットキャンセル動作が行われる期間の調整は、画像信号 V s i g の書

き込み動作と独立しているため、自由度が高い。

[0127] 以下、図 1 1 ~ 1 6 を参照して、表示装置 1 の動作の概要について説明する。なお、以下の説明においては、上記した保持容量 C_s の第 1 電極と接続される駆動トランジスタ D R T の第 1 電極がソース電極、出力トランジスタ B C T の第 1 電極と接続される駆動トランジスタ D R T の第 2 電極がドレイン電極であるものとして説明する。

[0128] まず、図 1 1 を参照して、駆動トランジスタ D R T のリセット動作の概要について説明する。

[0129] 図 1 1 に示すように、駆動トランジスタ D R T のリセット動作の場合、出力制御信号 B G 及び画素制御信号 S G を L レベルとし、初期化制御信号 I G 及びリセット制御信号 R G を H レベルとする。

[0130] これによれば、出力トランジスタ B C T は O F F 状態 ($B C T = O F F$)、画素トランジスタ S S T は O F F 状態 ($S S T = O F F$)、初期化トランジスタ I S T は O N 状態 ($I S T = O N$)、リセットトランジスタ R S T は O N 状態 ($R S T = O N$) となる。すなわち、この場合には、初期化トランジスタ I S T 及びリセットトランジスタ R S T が O N 状態に切り替えられている。

[0131] このような駆動トランジスタ D R T のリセット動作においては、駆動トランジスタ D R T のソース電位をリセット電源電圧 V_{rst} (例えば、 $-2 V$)、駆動トランジスタ D R T のゲート電位を初期化電位 V_{ini} (例えば、 $1.2 V$) とすることによって、駆動トランジスタ D R T を O N 状態にして、リセット電源電圧 V_{rst} を駆動トランジスタ D R T のソース電極に充電する。なお、リセット電源電圧 V_{rst} の印加によって発光素子 L E D に流れる電流 I_{led} は 0 である。

[0132] これにより、前フレームの情報がリセットされ、オフセットキャンセル動作の準備が完了する。

[0133] 次に、図 1 2 を参照して、オフセットキャンセル動作の概要について説明する。図 9 に示すように、オフセットキャンセル動作の場合には、出力制御

信号 B G を L レベルから H レベルに切り替え、リセット制御信号 R G を H レベルから L レベルに切り替える。これによれば、出力トランジスタ B C T は O N 状態に、リセットトランジスタ R S T は O F F 状態に、それぞれ切り替えられる。

[0134] この場合、駆動トランジスタ D R T のドレイン電極には、出力トランジスタ B C T を介して第 1 電源線 P V H から電流が流れ込む。

[0135] ここで、駆動トランジスタ D R T は O N 状態となっているため、駆動トランジスタ D R T のドレイン電極に供給された電流は駆動トランジスタ D R T のチャネルを流れ、当該駆動トランジスタ D R T のソース電極の電位が上昇する。その後、駆動トランジスタ D R T のソース電極の電位とゲート電極の電位との差が駆動トランジスタ D R T のしきい値電圧 (V_{th}) に達すると、駆動トランジスタ D R T は O F F 状態となる。換言すれば、駆動トランジスタ D R T のゲート電極ーソース電極間の電圧は駆動トランジスタ D R T のしきい値と概ね等しい電圧に収束し、このしきい値に相当する電位差が保持容量 C_s に保持される。

[0136] 具体的には、駆動トランジスタ D R T のゲート電極には初期化電位 (V_{ini}) が供給されており、当該駆動トランジスタ D R T のソース電極の電位が $V_{ini} - V_{th}$ に達すると駆動トランジスタ D R T は O F F 状態となる。これにより、駆動トランジスタ D R T の V_{th} のばらつき分のオフセットが当該駆動トランジスタ D R T のゲート電極ーソース電極間に生じる。これにより、駆動トランジスタ D R T のしきい値のオフセットキャンセル動作は完了する。

[0137] 上記したようにオフセットキャンセル動作は、駆動トランジスタ D R T のゲート電極ーソース電極間に当該駆動トランジスタ D R T のしきい値 (V_{th}) を保持させるために行われる。

[0138] なお、第 2 電源線 P V L の電位 P V S S が 0 V の場合、発光素子 L E D の陽極と陰極との間（駆動トランジスタ D R T のソース電極と第 2 電源線 P V L との間）の電位 $V_{led} = V_{ini} - V_{th}$ となる。この場合、 V_{led}

が発光素子LEDのしきい値 (V_{th-LED}) を超えないように V_{ini} (初期化電位) は調整されているものとする。

[0139] 次に、図13及び図14を参照して、画像信号(映像信号) V_{sig} の書き込み動作の概要について説明する。

[0140] 図13に示すように、画像信号 V_{sig} の書き込み動作の前には、出力制御信号BG及び初期化制御信号IGをHレベルからLレベルに切り替えることによって、出力トランジスタBC_T及び初期化トランジスタIS_TはそれぞれOFF状態に切り替えられる。これにより、第1電源線PVH(PVDD)から駆動トランジスタDR_Tのソース電極への電流経路を遮断しておく。

[0141] なお、この場合における駆動トランジスタDR_Tのゲート電極は V_{ini} を保持しており、当該駆動トランジスタDR_Tのソース電極は $V_{ini} - V_{th}$ を保持している。これによれば、駆動トランジスタDR_Tのゲート電極ーソース電極間の電圧 (V_{gs}) は $V_{th}(DR_T)$ である。

[0142] 画像信号 V_{sig} の書き込み動作の場合には、図14に示すように、画素制御信号SGをLレベルからHレベルに切り替える。

[0143] これによれば、画素トランジスタSS_TはON状態に切り替えられる。この場合、画素トランジスタSS_Tを通じて画像信号 V_{sig} が駆動トランジスタDR_Tのゲート電極に書き込まれる。例えば、画像信号 V_{sig} の電圧値は、0～3Vの範囲内の値である。そして、本実施形態において、画像信号 V_{sig} のダイナミックレンジは、副画素SPR、SPG及びSPBで同一である。

[0144] ここで、駆動トランジスタDR_Tのソース電極は上記したオフセットキャンセル動作により V_{th} の値毎に異なる電位となっているため、同じ画像信号 V_{sig} を書き込む場合であっても、当該駆動トランジスタDR_Tの電圧 V_{gs} は異なる。画像信号 V_{sig} の書き込みが完了した駆動トランジスタDR_Tにおいて、電圧 V_{gs} は次の式(2)で表される。

[0145]

[数2]

$$V_{gs} = (V_{sig} - V_{ini}) \times \frac{(C_{led} + C_{ad})}{(C_s + C_{ad} + C_{led})} + V_{th} \dots \text{式(2)}$$

なお、上記した書き込み動作においては、出力トランジスタBCTがOFF状態であるため、発光素子LEDは点灯（発光）しない。

[0146] また、書き込み動作時においても、上記した発光素子LEDのしきい値（ V_{th-LED} ）を超えないように V_{ini} は調整されている。

[0147] 次に、図15を参照して、発光素子LEDを発光させる発光動作の概要について説明する。発光動作の場合、出力制御信号BGをLレベルからHレベルに切り替え、画素制御信号SGをHレベルからLレベルに切り替える。これによれば、出力トランジスタBCTはON状態、画素トランジスタSSTはOFF状態に、それぞれ切り替えられる。

[0148] これにより、第1電源線PVH（PVDD）から駆動トランジスタDRTに電流が流れ始め、駆動トランジスタDRTのソース電極の電位が上昇を始める。

[0149] ここで、駆動トランジスタDRTのゲート電極はフローティングであるため、 V_{gs} は一定となる。この場合、駆動トランジスタDRTのゲート電極の電位も合わせて上昇を開始する。なお、この現象はブートストラップと称される。

[0150] 発光動作においては、図16に示すように、駆動トランジスタDRTのソース電極及びPVSS間の電圧（ V_{led} ）が V_{th-LED} 以上になると、発光素子LEDに電流 I_{led} が流れ始める。この電流 I_{led} により、発光素子LEDは、点灯（発光）する。

[0151] なお、図17に示すように、発光動作（発光期間）における電流 I_{led} は、駆動トランジスタDRTから与えられる出力電流（駆動トランジスタDRTの飽和領域の出力電流） I_{drt} に相当する（ $I_{led} = I_{drt}$ ）。

[0152] ここで、書き込み動作終了時の駆動トランジスタDRTのソース電極（発

光素子LEDのアノード)の電位(DRT-S)は、

[0153] [数3]

$$DRT-S(Anode) = V_{ini} - V_{th} + (V_{sig} - V_{ini}) * \frac{(C_s)}{(C_s + C_{ad} + C_{led})}$$

…式(3)

で表される。

この場合、図18に示すように、式(3)によって表される駆動トランジスタDRTのソース電極の電位が上昇し、発光素子LEDに電流が流れ始めた後、 $I_{drt} = I_{led}$ となったところで、当該駆動トランジスタDRTのソース電極の電位上昇が止まり、定常状態となる。詳細については省略するが、この電流 I_{led} (I_{drt})は上記した式(1)によって表されるため、発光素子LEDには V_{th} に依存しない電流が流れることになる。

[0154] 本実施形態に係る表示装置1(表示パネル2)は、上記した各動作によって各画素PX(副画素SPR、SPG及びSPB)の発光素子LEDを発光させることによって、各種画像を表示することができる。

[0155] 上記したように本実施形態においては、画素電極28と駆動トランジスタDRTとの間に、平面視において当該画素電極28と少なくとも一部が重畳するように形成された導電層26bを備え、当該導電層26bは、平面視において発光素子LEDが実装されている画素電極28の領域(発光素子LEDの実装領域)と重畳しない。

[0156] 本実施形態においては、このような構成により、発光素子LED(LEDチップ)を実装する際に画素電極28(アノード)と導電層26b(3rdメタル)とがショートし、例えば点欠陥のような欠陥が発生してしまうことを抑制することが可能となり、信頼性の高い表示装置を提供することができる。

[0157] なお、本実施形態において、導電層26bは、複数の画素PX(副画素SPR、SPG及びSPB)に亘って形成されており、平面視において発光素

子LEDの実装領域（と重畳する位置に形成された開口部を有する。このような構成によれば、上記したように画素電極28と導電層26bとのショートを回避することができる。

[0158] 本実施形態においては、導電層26bが開口部を有するものとして説明したが、当該導電層26bは発光素子LEDの実装領域と重畳しないように形成されていればよい。すなわち、導電層26bには、開口部の代わりに、例えばスリット（隙間領域）等が形成されていても構わない。

[0159] また、本実施形態においては、導電層26bの端部と発光素子LEDの実装領域の端部とが平面視において交差しないように導電層26bが形成されていればよく、上記した開口部またはスリットの形状または大きさについては制限されない。

[0160] なお、本実施形態において、画素電極28の形状、当該画素電極28と駆動トランジスタDRTとを電氣的に接続するコンタクト部の配置、発光素子LEDの実装領域の配置等は、例えば図7に示すようであってもよいし、図9に示すようであってもよい。

[0161] すなわち、本実施形態においては、表示装置1が図7に示されるように構成されている場合であっても、図9に示されるように構成されている場合であっても、開口部42R、42G及び42Bを設けることによって、欠陥の発生を抑制することが可能となる。

[0162] なお、本実施形態においては、上記した図6に示すように発光素子LEDを介して画素電極28と対向する位置に対向電極31が配置される場合について説明したが、発光素子LEDの陽極に接続される電極及び当該発光素子LEDの陰極に接続される電極の配置は図6とは異なってもよい。

[0163] 具体的には、図19に示すように、発光素子LEDの陽極ANに接続される画素電極28と同じ層に当該発光素子LEDの陰極CAに接続される電極（以下、共通電極と表記）32が配置されていてもよい。このような構成の場合には、画素電極28及び共通電極32が配置されている層と駆動トランジスタDRTとの間に配置された導電層26bが、平面視において発光素子

LEDの実装領域（当該発光素子LEDが実装されている画素電極28及び共通電極32の領域）と重畳しないように形成されていればよい。図19においては、便宜的に、副画素SPBに関する断面構造のみが示されているが、他の副画素SPR及びSPGについても同様である。

[0164] なお、図19に示す画素電極28及び共通電極32間の間隙と発光素子LEDの陽極AN及び陰極CA間の間隙とは、発光素子LEDの陽極AN及び陰極CAの上面に沿うように例えば樹脂材料を用いて平坦化される。

[0165] また、共通電極32は、各発光素子LEDの陰極CAに接するように連続的に形成されていればよい（IOTスパッタ等）。

[0166] ここで、図20は、図19に示すように画素電極28と共通電極32とが同じ層に配置されている場合の画素PX（副画素SPR、SPG及びSPB）に対する導電層26bのレイアウト（形状）の一例を示す平面図である。

[0167] なお、図20においては、上記した図7と同様の部分について同一参照符号を付している。ここでは、図7と同様の部分については詳しい説明を省略し、図7と異なる部分については主に説明する。

[0168] 図20に示すように、副画素SPR、SPG及びSPBを含む画素PXは、単個の導電層26bを共用するとともに、単個の共通電極32を共用している。

[0169] 上記したように画素電極28及び共通電極32とは同じ層に配置されている。このため、図20の平面視において、画素電極28R、28G及び28Bは、それぞれ矩形状に形成され、共通電極32に形成されている開口部に配置されている。

[0170] 図20に示すように、発光素子LED（R）は、画素電極28R及び共通電極32に跨るように配置されている。具体的には、発光素子（R）は、当該発光素子LED（R）の陽極ANが画素電極28Rに接続され、当該発光素子LED（R）の陽極CAが共通電極32に接続されるように実装される。ここでは、発光素子LED（R）について説明したが、他の発光素子LED（G）及びLED（B）についても同様である。

[0171] ここで、導電層 26 b は、開口部 41 R、41 G 及び 41 B を有する。開口部 41 R は、画素電極 28 R と副画素 S P R に含まれる駆動トランジスタ D R T とをコンタクトするために導電層 26 b に形成されている開口部である。開口部 41 G は、画素電極 28 G と副画素 S P G に含まれる駆動トランジスタ D R T とをコンタクトするために導電層 26 b に形成されている開口部である。開口部 41 B は、画素電極 28 B と副画素 S P B に含まれる駆動トランジスタ D R T とをコンタクトするために導電層 26 b に形成されている開口部である。図 20 に示す例において、開口部 41 R、41 G 及び 41 B は、第 1 方向 X に延在する直線状に配置されている。

[0172] 更に、導電層 26 b は、開口部 42 R、42 G 及び 42 B を有する。開口部 42 R は、導電層 26 b が副画素 S P R の発光素子 L E D (R) の実装領域と重畳しないように当該導電層 26 b に形成されている開口部である。開口部 42 G は、導電層 26 b が副画素 S P G の発光素子 L E D (G) の実装領域と重畳しないように当該導電層 26 b に形成されている開口部である。開口部 42 B は、導電層 26 b が副画素 S P B の発光素子 L E D (B) の実装領域と重畳しないように当該導電層 26 b に形成されている開口部である。図 20 に示す例において、開口部 42 R、42 G 及び 42 B は、第 1 方向 X に延在する直線状に配置されている。

[0173] 図 20 に示す例において、開口部 42 R は、平面視において発光素子 L E D (R) の実装領域よりも一回り大きく形成されている。開口部 42 R は、上記した絶縁層 29 に設けられている開口（発光素子 L E D (R) を実装するための開口）と同程度の大きさに形成されていてもよい。

[0174] なお、開口部 42 R は、少なくとも発光素子 L E D (R) の実装領域よりも大きく形成されていればよい。また、開口部 42 R は、発光素子 L E D (R) の実装領域と重畳せず、かつ、当該実装領域の端部と導電層 26 b（開口部 42 R）の端部とが交差しないように形成されていればよい。ここでは、開口部 42 R について説明したが、開口部 42 G 及び 42 B についても同様である。

[0175] なお、上記した図 19 に示す副画素 S P B に対応する部分は、図 20 に示す B-B 線に沿った断面構造（つまり、開口部 41B 及び 42B を含む断面構造）を示している。

[0176] 図 20 においては、開口部 41R、41G 及び 41B と、開口部 42R、42G 及び 42B とが、それぞれ第 1 方向 X に延在する直線状に配置されている例が示されているが、当該開口部の配置（つまり、画素電極 28 と駆動トランジスタ D R T とのコンタクト部または発光素子 L E D の実装領域の配置）は、図 20 に示すものとは異なってもよい。

[0177] 上記したように本実施形態は、画素電極 28 及び共通電極 32 が同じ層に配置されている場合（つまり、マイクロ L E D の電極が同層構造の場合）であっても適用可能であり、欠陥の発生を抑制することができる。

[0178] 本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

符号の説明

[0179] 1…表示装置、2…表示パネル、3…第 1 回路基板、4…第 2 回路基板、5…パネルドライバ、21…絶縁基板、26b…導電層、28…画素電極、D R T…駆動トランジスタ、L E D…発光素子、31…対向電極、32…共通電極。

請求の範囲

- [請求項1] 基板と、
 前記基板上に配置された画素電極と、
 前記画素電極上に実装された発光素子と、
 前記画素電極を介して前記発光素子に対して供給される電流を制御する駆動トランジスタと、
 前記画素電極と前記駆動トランジスタとの間に、平面視において当該画素電極と少なくとも一部が重畳するように形成された導電層とを具備し、
 前記導電層は、平面視において前記発光素子の実装されている前記画素電極の領域と重畳しない表示装置。
- [請求項2] 前記画素電極をそれぞれ含む複数の画素を具備し、
 前記導電層は、前記複数の画素に亘って形成されており、前記平面視において前記発光素子の実装されている前記画素電極の領域と重畳する位置に形成された開口部を有する請求項1記載の表示装置。
- [請求項3] 前記導電層の端部は、前記発光素子の実装されている前記画素電極の領域の端部と平面視において交差しない請求項1記載の表示装置。
- [請求項4] 前記画素電極、前記発光素子及び前記駆動トランジスタをそれぞれ含む複数の画素を具備し、
 前記複数の画素の各々に含まれる前記画素電極のうちの少なくとも1つは、平面視において非矩形状に形成されており、
 前記複数の画素の各々に含まれる前記画素電極と前記駆動トランジスタとを電氣的に接続するコンタクト部は、平面視において第1方向に延在する直線状に配置されており、
 前記複数の画素の各々に含まれる前記画素電極の前記発光素子の実装されている領域のうちの少なくとも1つは、平面視において他の画

素電極の前記発光素子の実装されている領域が配置されている第2方向に延在する直線状に配置されない

請求項1記載の表示装置。

[請求項5] 前記画素電極、前記発光素子及び前記駆動トランジスタをそれぞれ含む複数の画素を具備し、

前記複数の画素の各々に含まれる前記画素電極は、平面視において矩形状に形成されており、

前記複数の画素の各々に含まれる前記画素電極と前記駆動トランジスタとを電氣的に接続するコンタクト部は、平面視において第1方向に延在する直線状に配置されており、

前記複数の画素の各々に含まれる前記画素電極の前記発光素子の実装されている領域は、平面視において第2方向に延在する直線状に配置されている

請求項1記載の表示装置。

[請求項6] 前記発光素子を介して前記画素電極と対向する位置に配置された対向電極を具備する請求項1記載の表示装置。

[請求項7] 基板と、

前記基板上に配置された画素電極と、

前記画素電極と同じ層に配置された共通電極と、

前記画素電極及び前記共通電極上に実装された発光素子と、

前記画素電極を介して前記発光素子に対して供給される電流を制御する駆動トランジスタと、

前記画素電極及び前記共通電極が配置されている層と前記駆動トランジスタとの間に、平面視において当該画素電極及び当該共通電極と少なくとも一部が重畳するように形成された導電層と

を具備し、

前記導電層は、平面視において前記発光素子の実装されている前記画素電極及び前記共通電極の領域と重畳しない

表示装置。

[請求項8]

前記画素電極をそれぞれ含む複数の画素を具備し、
前記共通電極は、前記複数の画素に亘って形成されており、
前記複数の画素の各々に含まれる画素電極は、前記共通電極に形成された開口部に配置されている
請求項7記載の表示装置。

[請求項9]

前記導電層は、前記複数の画素に亘って形成されており、前記平面視において前記発光素子の実装されている前記画素電極及び前記共通電極の領域と重畳しない位置に形成された開口部を有する
請求項8記載の表示装置。

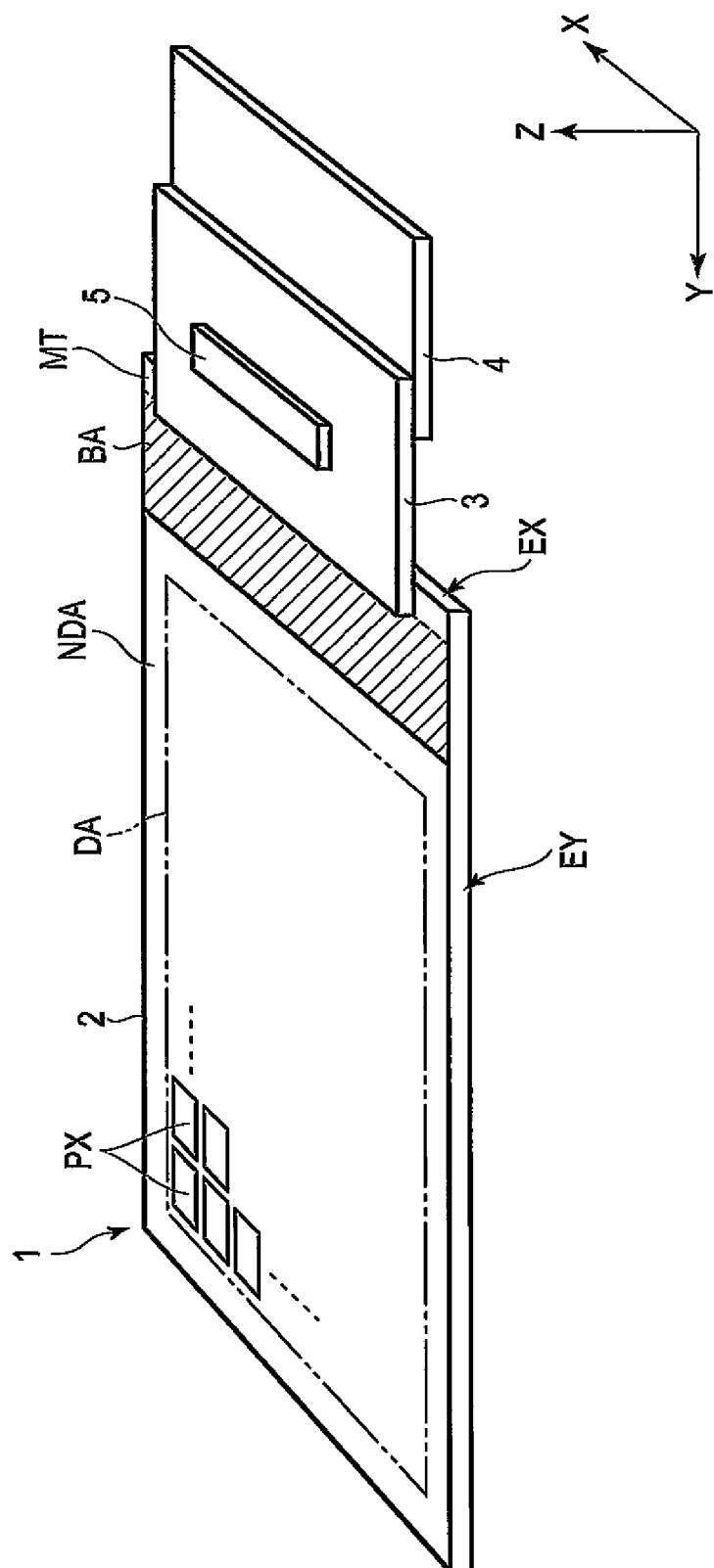
[請求項10]

前記導電層の端部は、前記発光素子の実装されている前記画素電極及び前記共通電極の領域の端部と平面視において交差しない請求項7記載の表示装置。

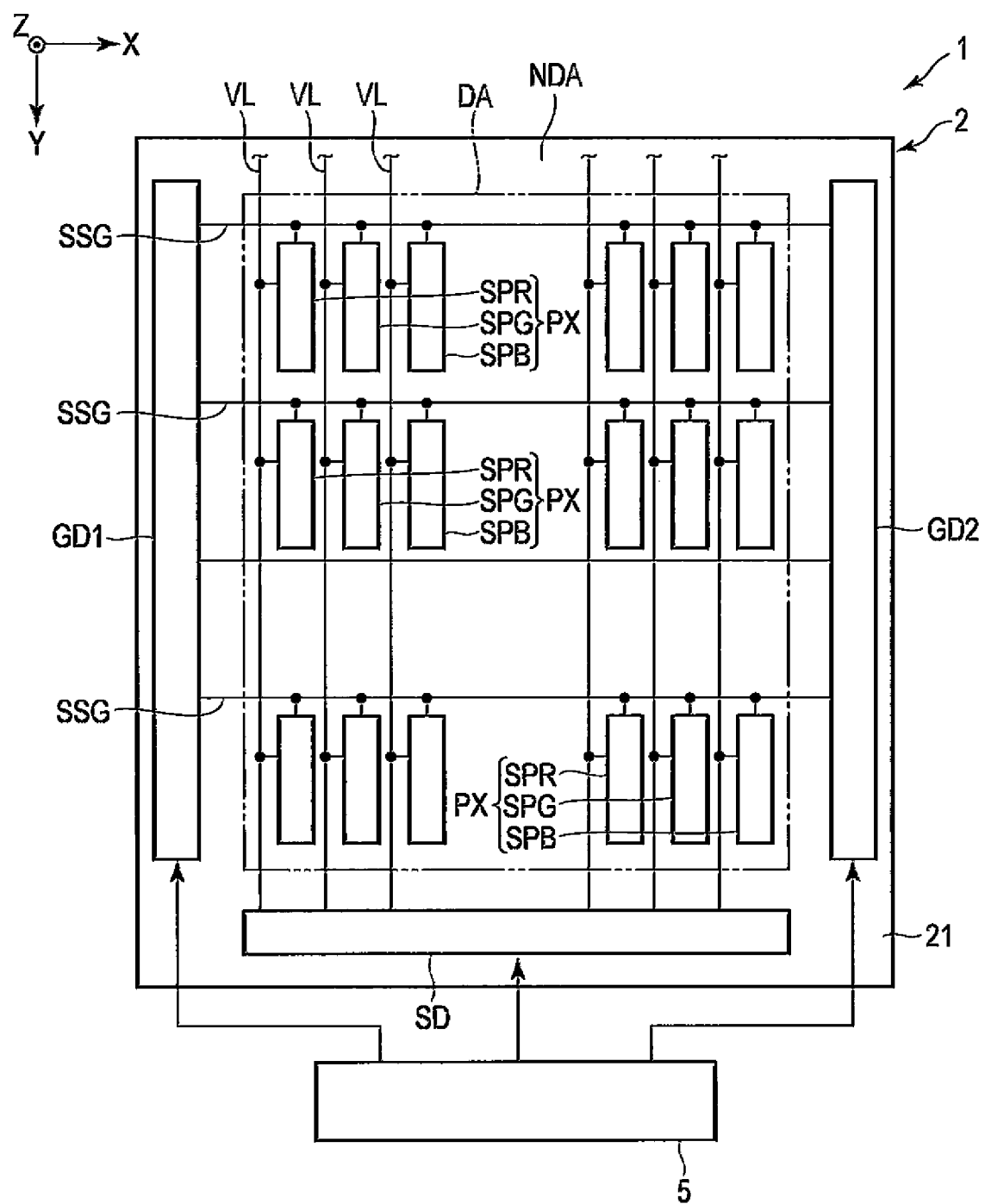
[請求項11]

前記画素電極、前記発光素子及び前記駆動トランジスタをそれぞれ含む複数の画素を具備し、
前記複数の画素の各々に含まれる前記画素電極は、平面視において矩形状に形成されており、
前記複数の画素の各々に含まれる前記画素電極と前記駆動トランジスタとを電氣的に接続するコンタクト部は、平面視において第1方向に延在する直線状に配置されており、
前記複数の画素の各々に含まれる前記画素電極及び前記共通電極の前記発光素子の実装されている領域は、平面視において第2方向に延在する直線状に配置されている
請求項7記載の表示装置。

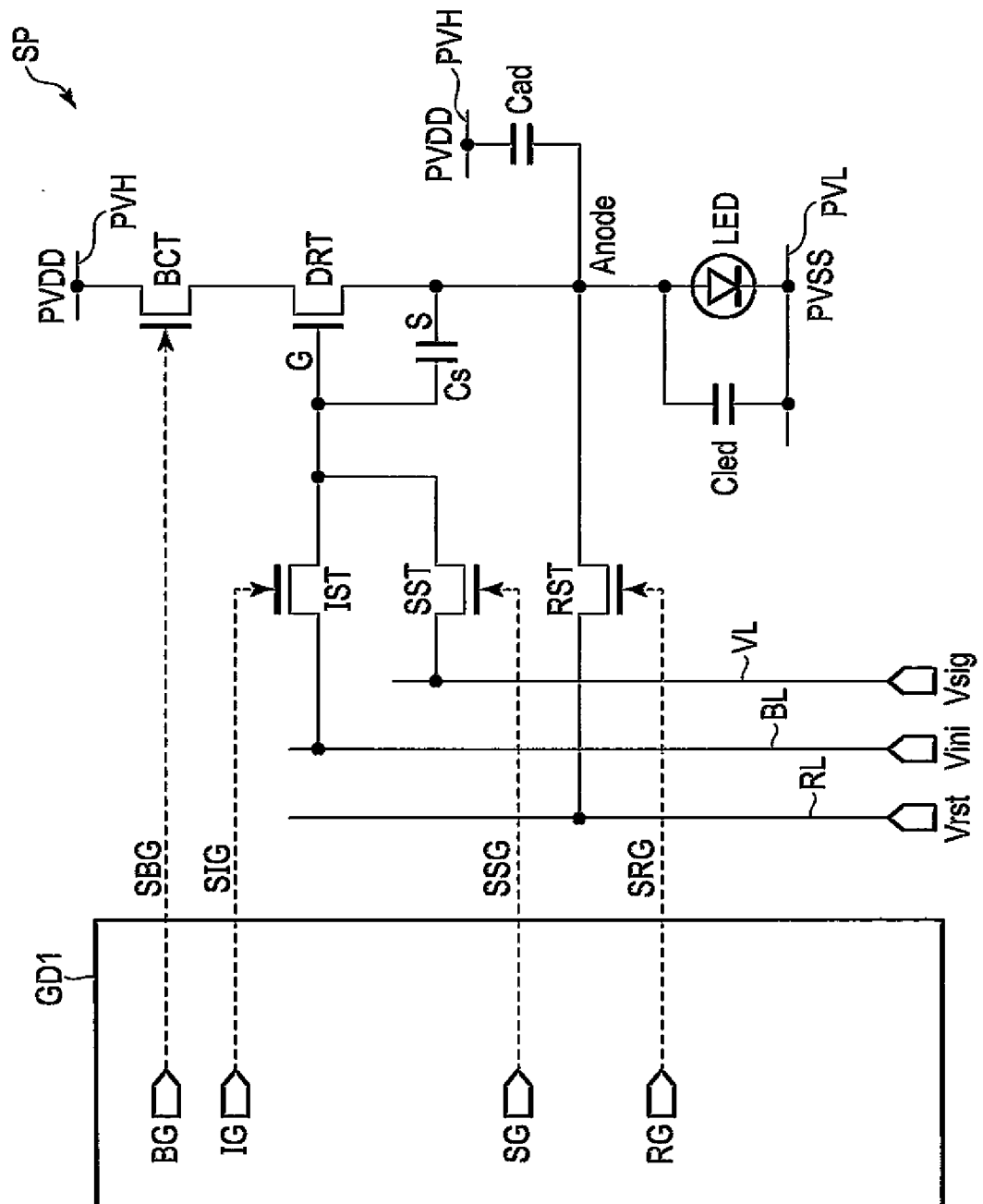
[図1]



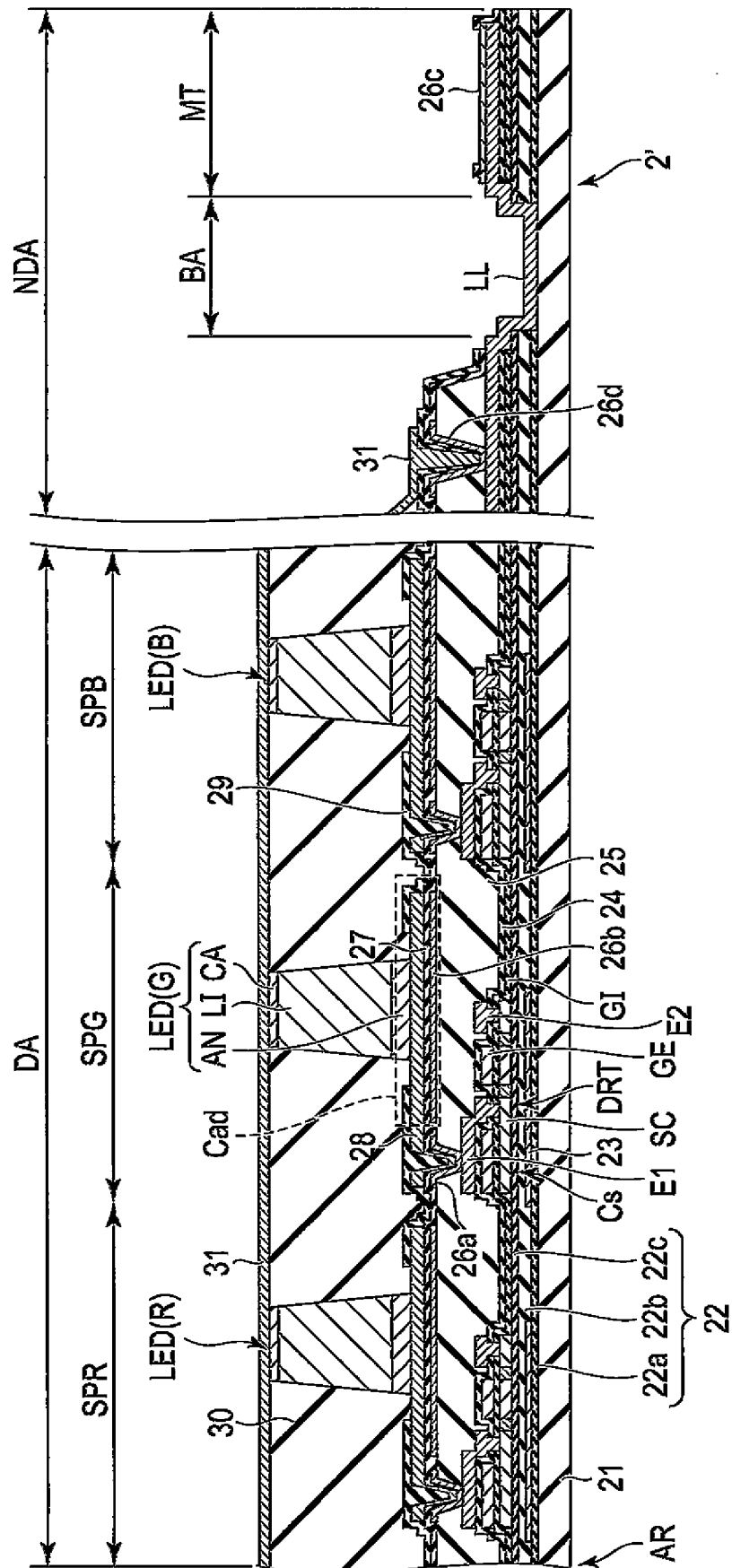
[図2]



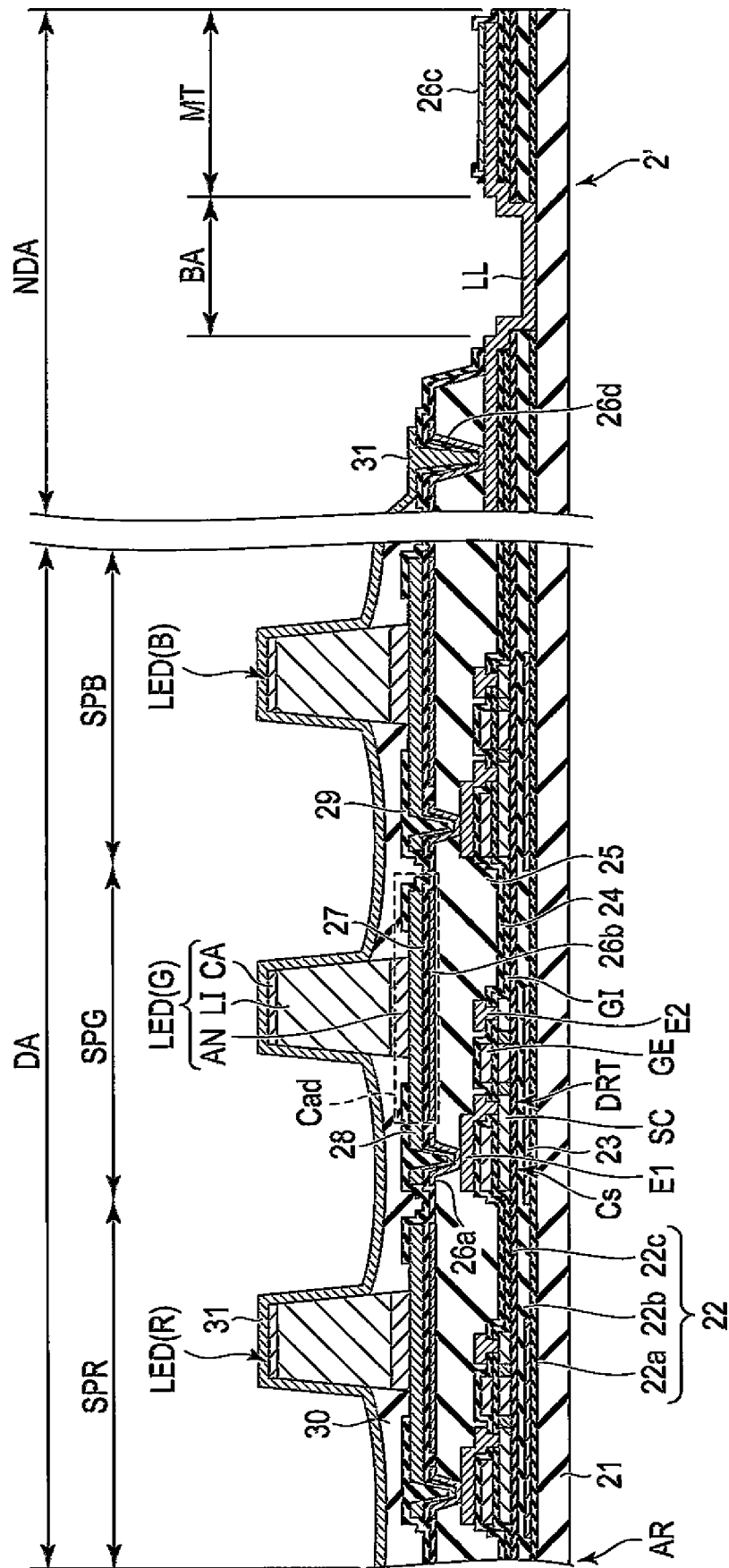
[図3]



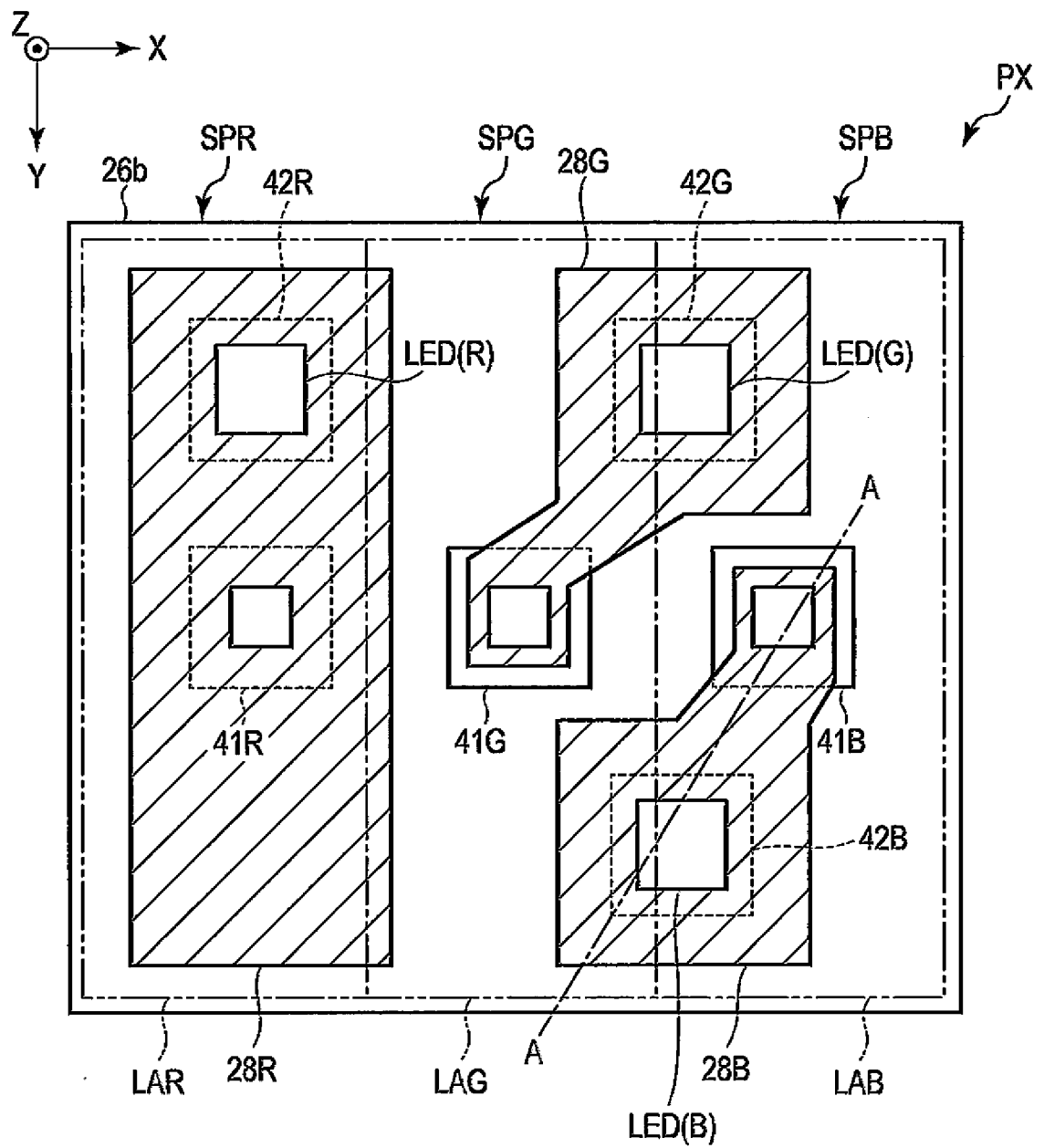
[図4]



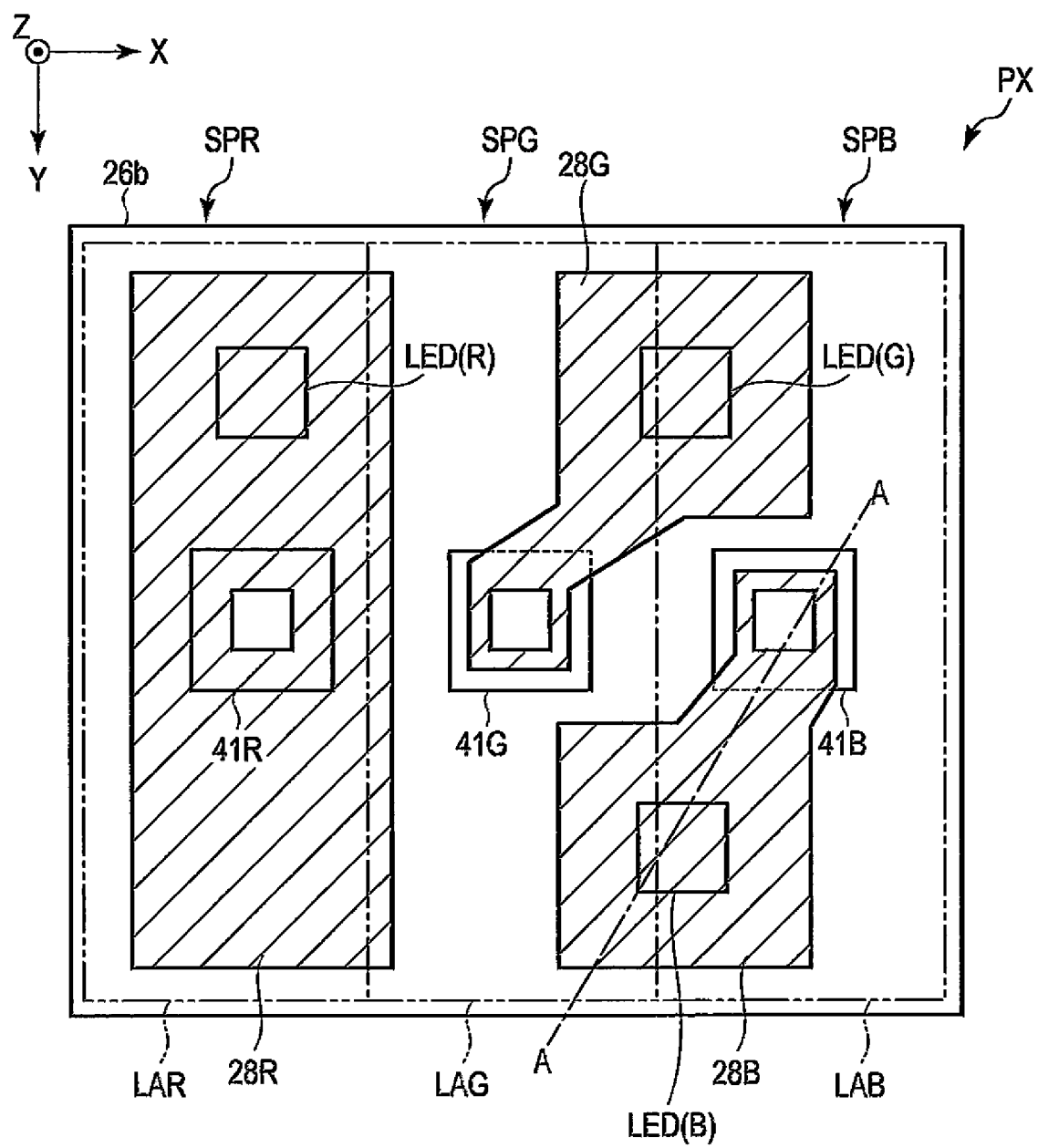
[図5]



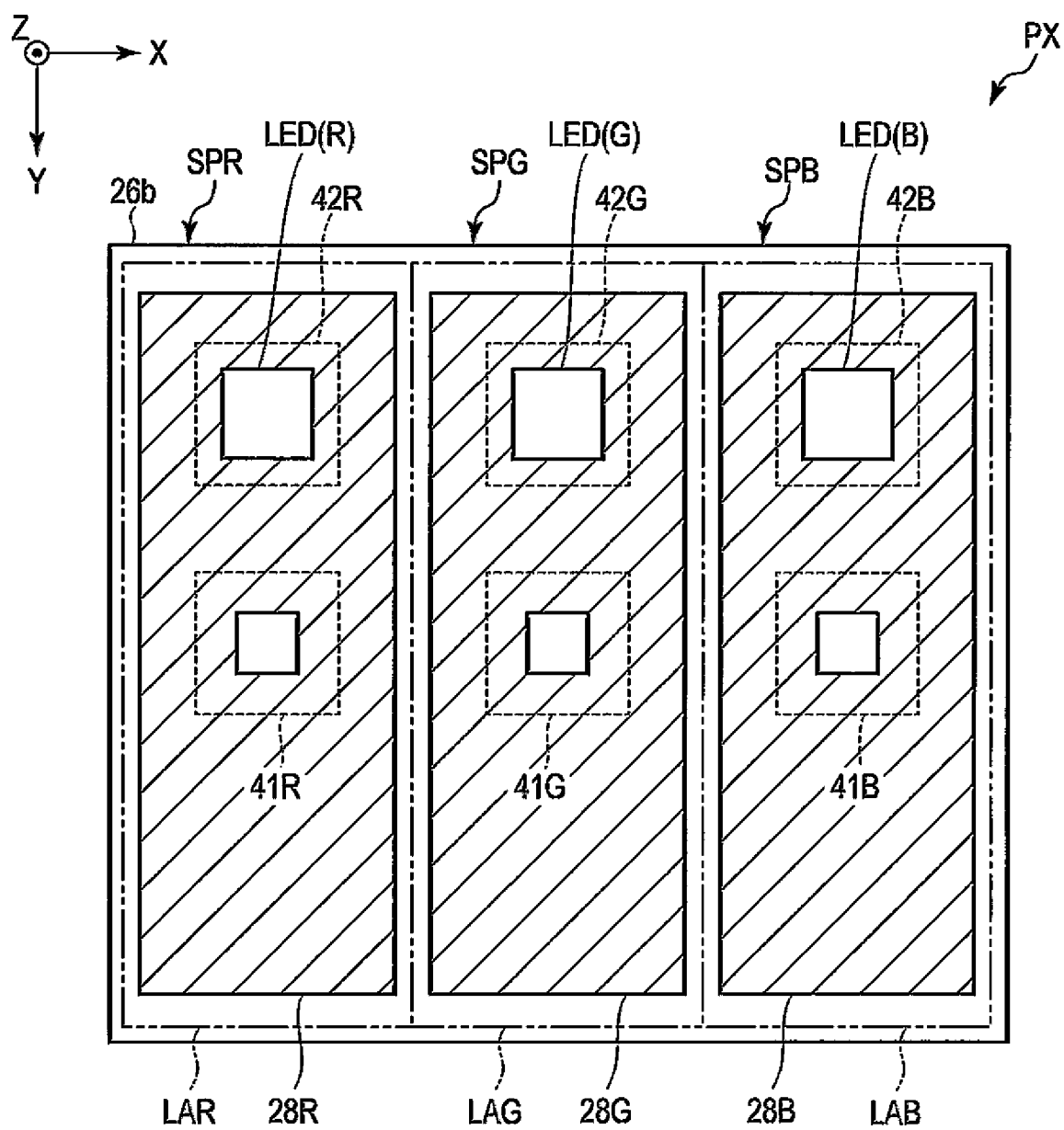
[図7]



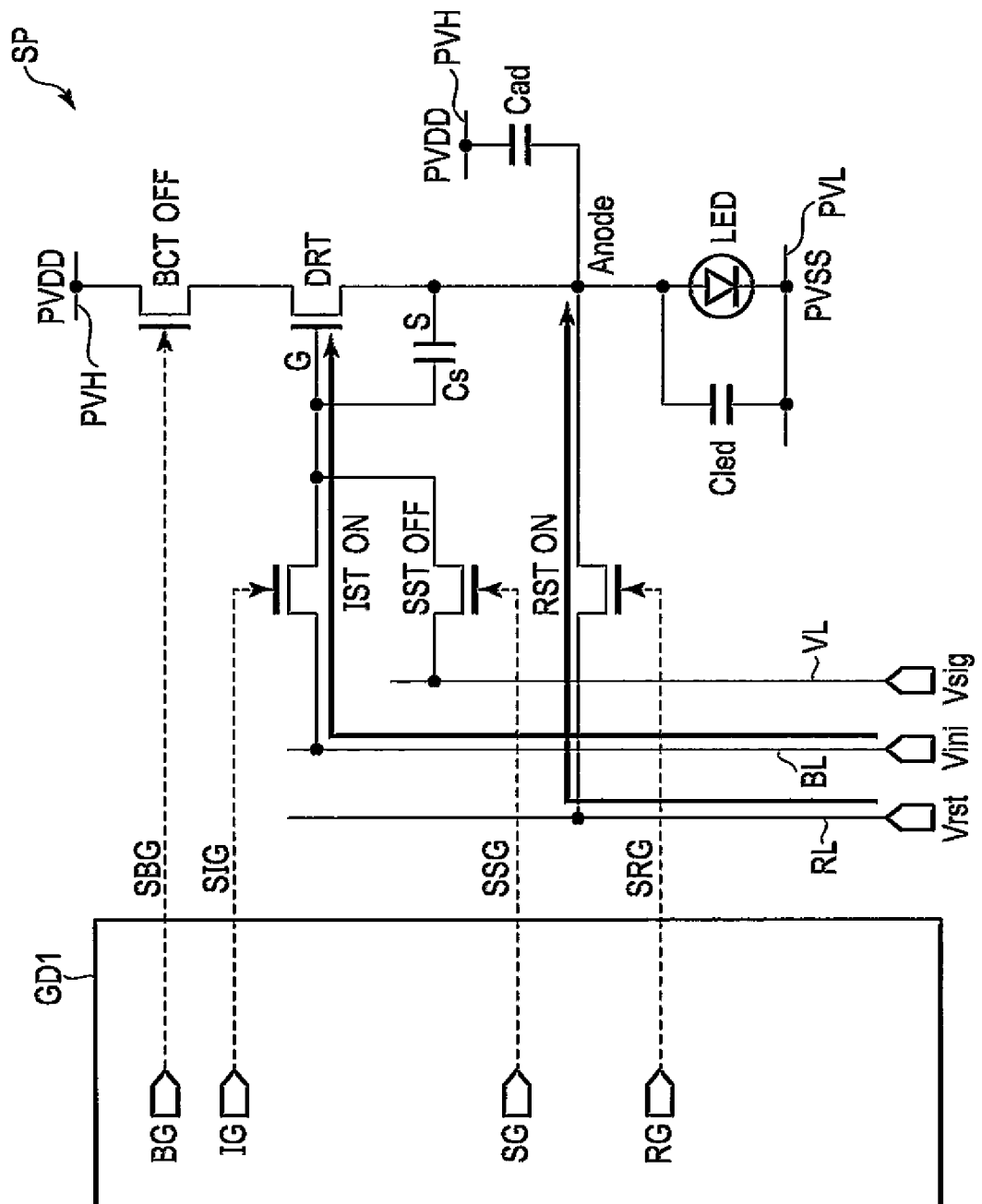
[図8]



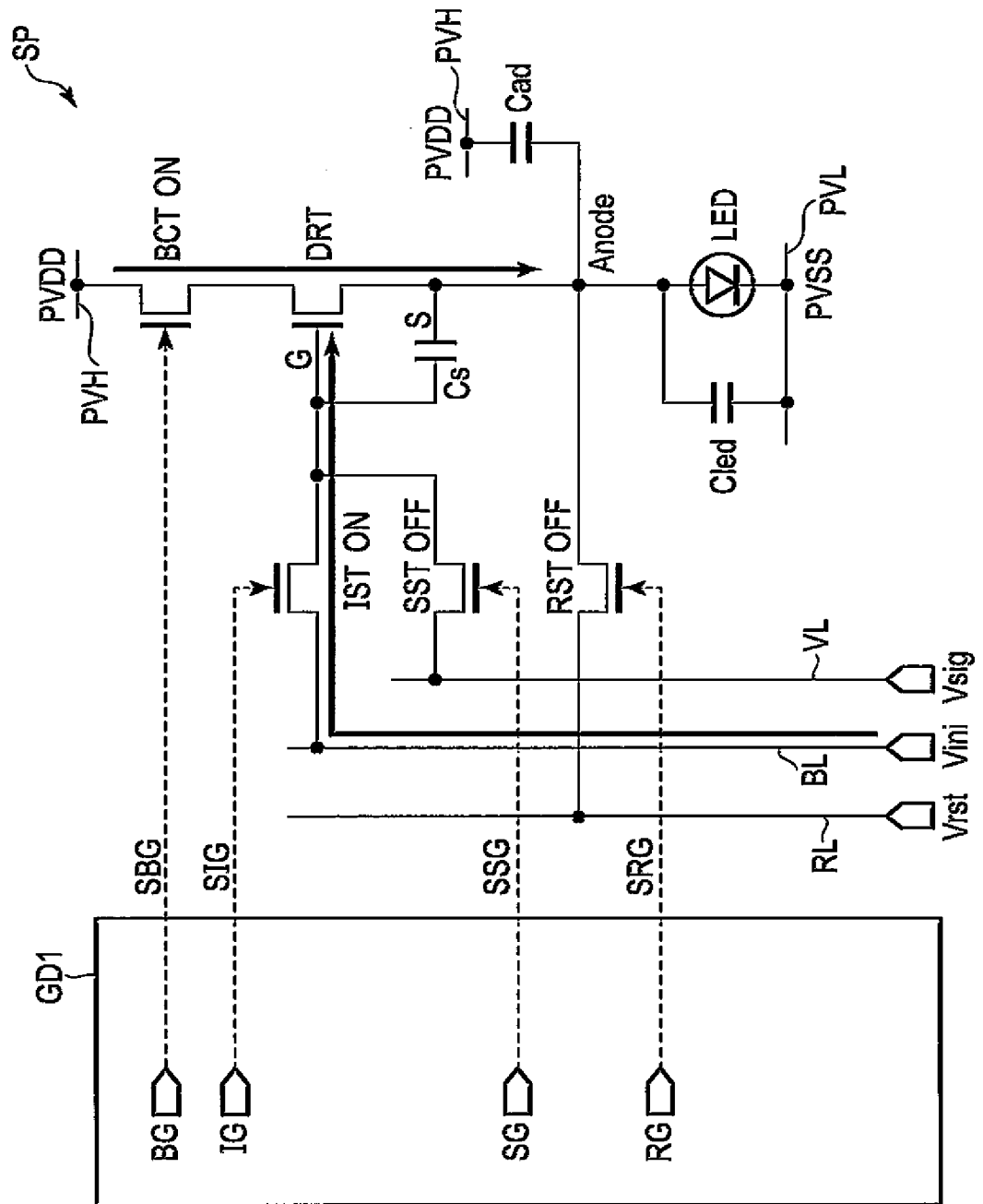
[図9]



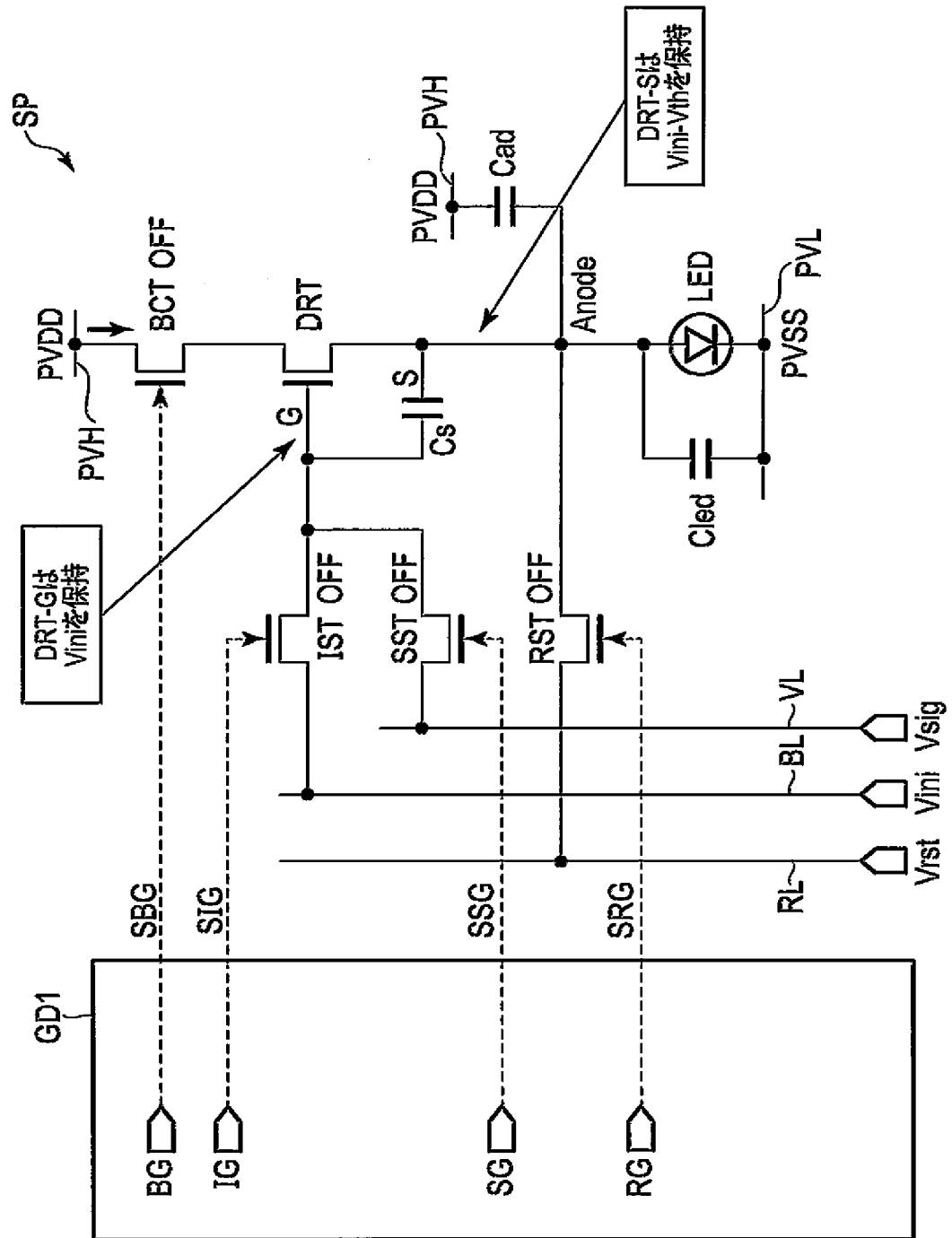
[図11]



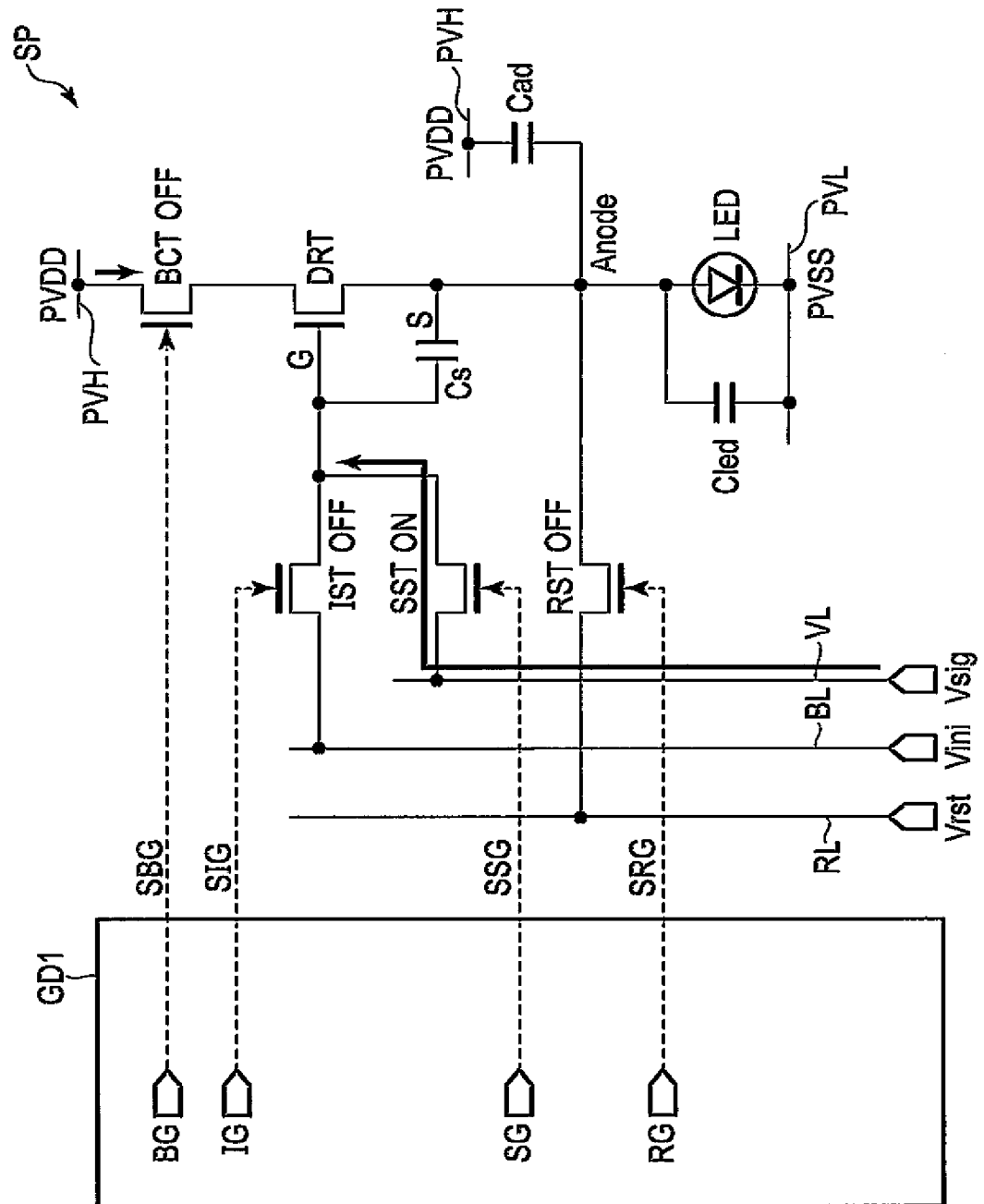
[図12]



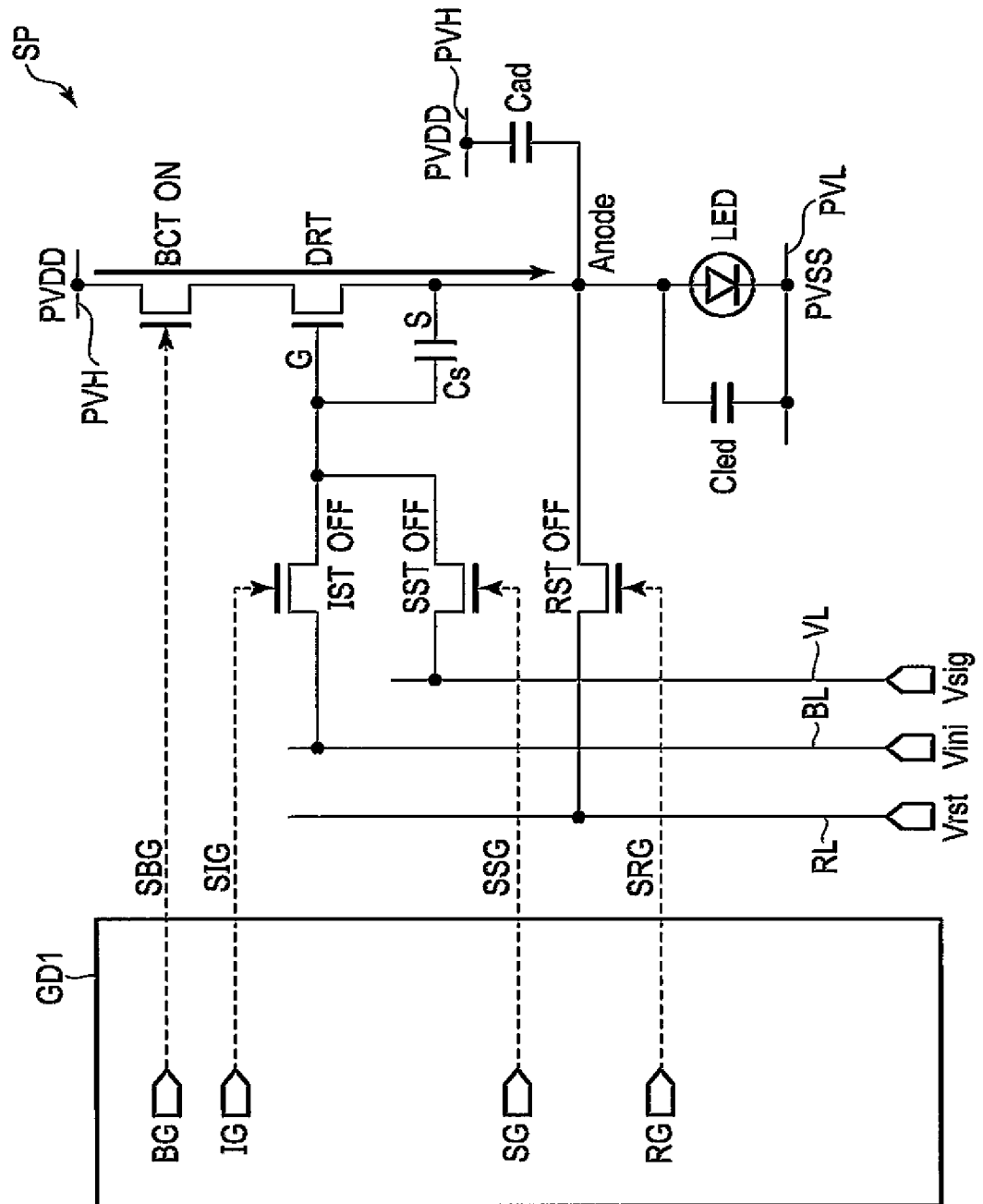
[図13]



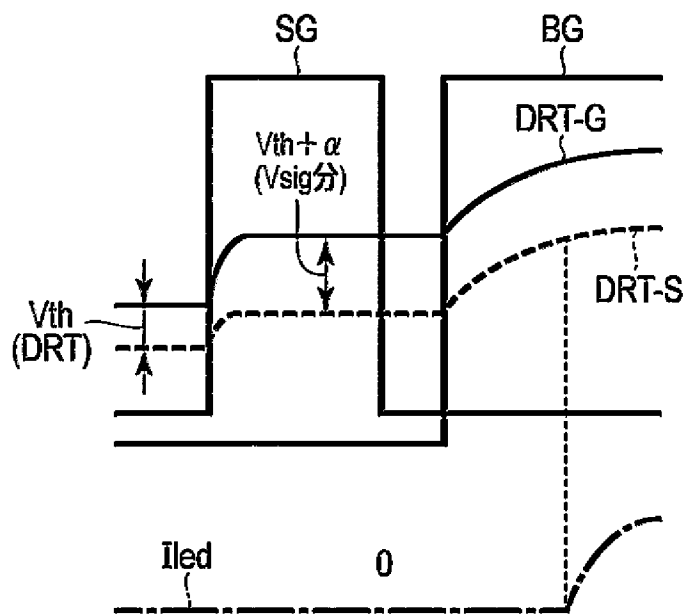
[図14]



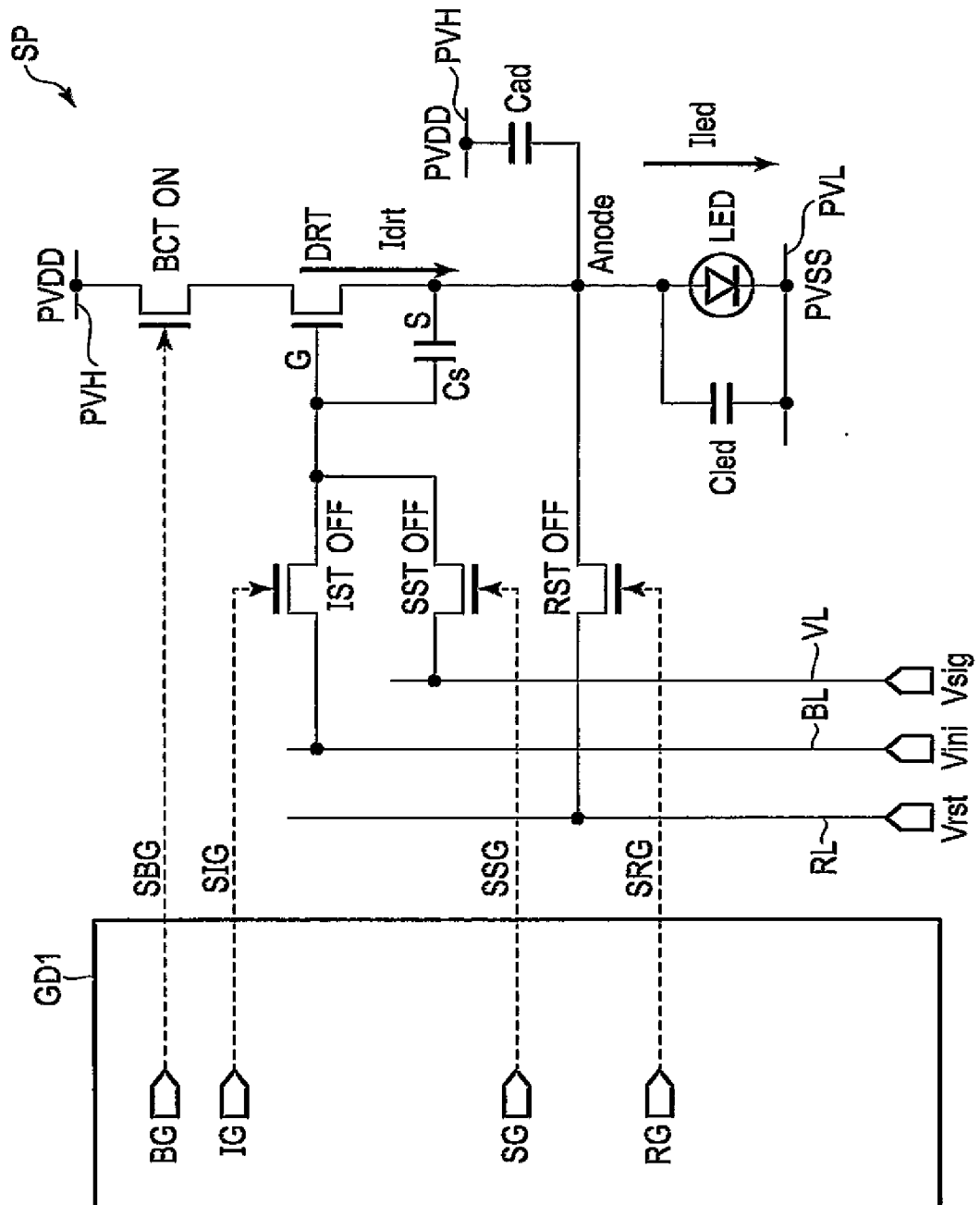
[図15]



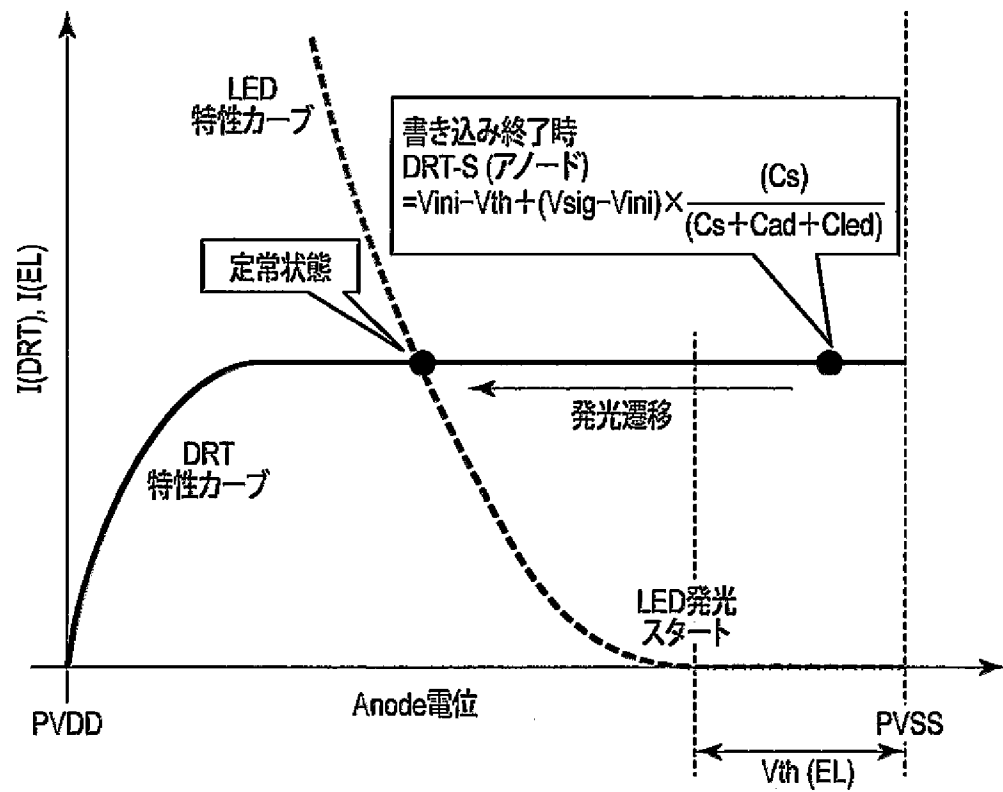
[図16]



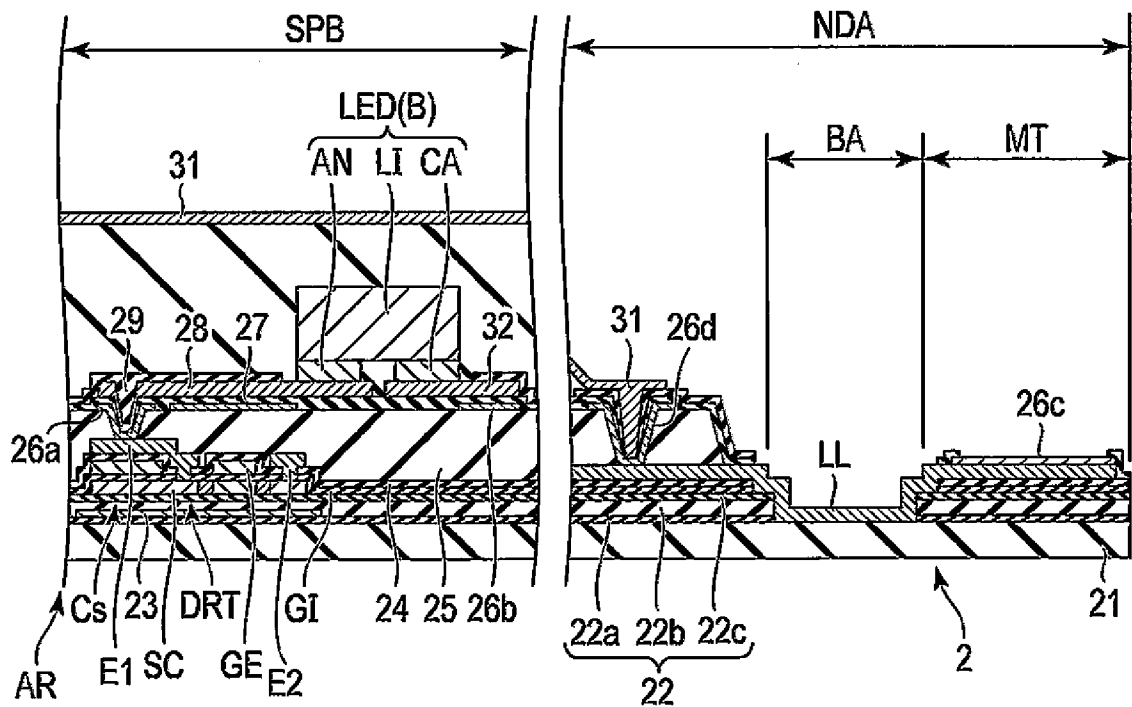
[図17]



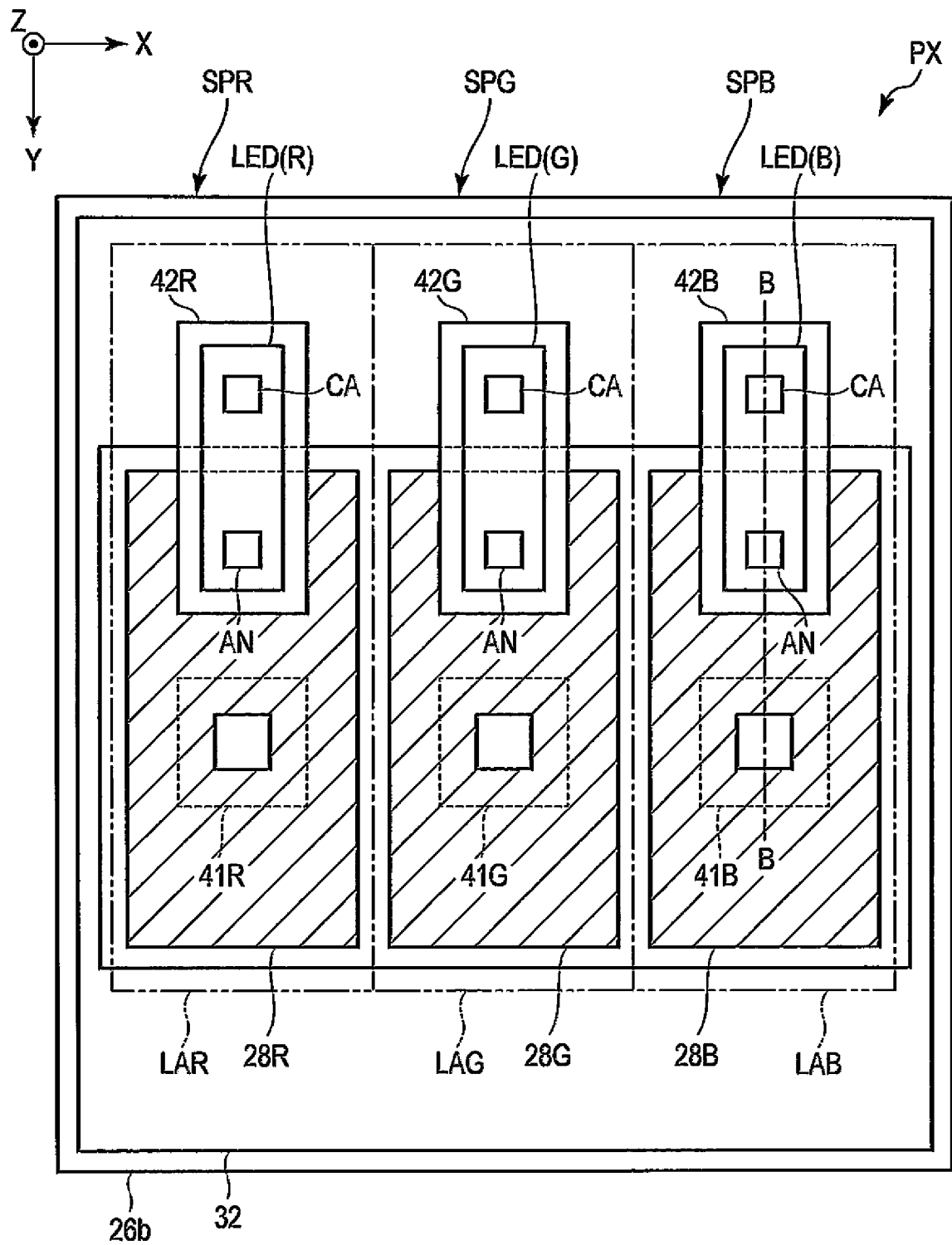
[図18]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/003536

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20(2006.01)i; G09G 3/3233(2016.01)i; H01L 33/00(2010.01)i; H01L 33/62(2010.01)i; G09F 9/30(2006.01)i; G09F 9/33(2006.01)i
 FI: G09F9/33; G09G3/3233; G09G3/20 680G; G09G3/20 624B; H01L33/00 L; H01L33/62; G09F9/30 338

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/20; G09G3/3233; H01L33/00; H01L33/62; G09F9/30; G09F9/33

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	US 2017/0358503 A1 (INNOLUX CORPORATION) 14.12.2017 (2017-12-14) paragraphs [0072]-[0116], fig. 1A	1, 3-7, 10-11 2, 8-9
A	US 2017/0336690 A1 (INNOLUX CORPORATION) 23.11.2017 (2017-11-23) entire text, all drawings	1-11
A	JP 2008-102214 A (TOSHIBA MATSUSHITA DISPLAY TECHNOLOGY CO., LTD.) 01.05.2008 (2008-05-01) entire text, all drawings	1-11
P, A	WO 2019/235147 A1 (JAPAN DISPLAY INC.) 12.12.2019 (2019-12-12) entire text, all drawings	1-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

09 March 2020 (09.03.2020)

Date of mailing of the international search report

24 March 2020 (24.03.2020)

Name and mailing address of the ISA/

Japan Patent Office
 3-4-3, Kasumigaseki, Chiyoda-ku,
 Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/003536

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 2017/0358503 A1	14 Dec. 2017	CN 107507834 A	
US 2017/0336690 A1	23 Nov. 2017	CN 107403820 A	
JP 2008-102214 A	01 May 2008	(Family: none)	
WO 2019/235147 A1	12 Dec. 2019	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） G09G 3/20(2006.01)i; G09G 3/3233(2016.01)i; H01L 33/00(2010.01)i; H01L 33/62(2010.01)i; G09F 9/30(2006.01)i; G09F 9/33(2006.01)i FI: G09F9/33; G09G3/3233; G09G3/20 680G; G09G3/20 624B; H01L33/00 L; H01L33/62; G09F9/30 338																	
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G09G3/20; G09G3/3233; H01L33/00; H01L33/62; G09F9/30; G09F9/33 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2020年</td> </tr> </table> 国際調査で利用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2020年	日本国実用新案登録公報	1996 - 2020年	日本国登録実用新案公報	1994 - 2020年							
日本国実用新案公報	1922 - 1996年																
日本国公開実用新案公報	1971 - 2020年																
日本国実用新案登録公報	1996 - 2020年																
日本国登録実用新案公報	1994 - 2020年																
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X A</td> <td>US 2017/0358503 A1 (INNOLUX CORPORATION) 14.12.2017 (2017 - 12 - 14) 段落[0072]-[0116], 図1A</td> <td>1, 3-7, 10-11 2, 8-9</td> </tr> <tr> <td>A</td> <td>US 2017/0336690 A1 (INNOLUX CORPORATION) 23.11.2017 (2017 - 11 - 23) 全文全図</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>JP 2008-102214 A (東芝松下ディスプレイテクノロジー株式会社) 01.05.2008 (2008 - 05 - 01) 全文全図</td> <td>1-11</td> </tr> <tr> <td>P, A</td> <td>WO 2019/235147 A1 (株式会社ジャパンディスプレイ) 12.12.2019 (2019 - 12 - 12) 全文全図</td> <td>1-11</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X A	US 2017/0358503 A1 (INNOLUX CORPORATION) 14.12.2017 (2017 - 12 - 14) 段落[0072]-[0116], 図1A	1, 3-7, 10-11 2, 8-9	A	US 2017/0336690 A1 (INNOLUX CORPORATION) 23.11.2017 (2017 - 11 - 23) 全文全図	1-11	A	JP 2008-102214 A (東芝松下ディスプレイテクノロジー株式会社) 01.05.2008 (2008 - 05 - 01) 全文全図	1-11	P, A	WO 2019/235147 A1 (株式会社ジャパンディスプレイ) 12.12.2019 (2019 - 12 - 12) 全文全図	1-11
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号															
X A	US 2017/0358503 A1 (INNOLUX CORPORATION) 14.12.2017 (2017 - 12 - 14) 段落[0072]-[0116], 図1A	1, 3-7, 10-11 2, 8-9															
A	US 2017/0336690 A1 (INNOLUX CORPORATION) 23.11.2017 (2017 - 11 - 23) 全文全図	1-11															
A	JP 2008-102214 A (東芝松下ディスプレイテクノロジー株式会社) 01.05.2008 (2008 - 05 - 01) 全文全図	1-11															
P, A	WO 2019/235147 A1 (株式会社ジャパンディスプレイ) 12.12.2019 (2019 - 12 - 12) 全文全図	1-11															
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																	
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献																	
国際調査を完了した日 09.03.2020		国際調査報告の発送日 24.03.2020															
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 村川 雄一 21 3608 電話番号 03-3581-1101 内線 3273															

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2020/003536

引用文献			公表日	パテントファミリー文献			公表日
US	2017/0358503	A1	14.12.2017	CN	107507834	A	
US	2017/0336690	A1	23.11.2017	CN	107403820	A	
JP	2008-102214	A	01.05.2008	(ファミリーなし)			
WO	2019/235147	A1	12.12.2019	(ファミリーなし)			