

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3870129号
(P3870129)

(45) 発行日 平成19年1月17日(2007. 1. 17)

(24) 登録日 平成18年10月20日(2006. 10. 20)

(51) Int. Cl.	F I
G09G 3/22 (2006.01)	G09G 3/22 H
G09G 3/20 (2006.01)	G09G 3/20 612K
H04N 5/66 (2006.01)	G09G 3/20 612U
H04N 9/12 (2006.01)	G09G 3/20 622C
	G09G 3/20 622Q
請求項の数 11 (全 100 頁) 最終頁に続く	

(21) 出願番号	特願2002-190675 (P2002-190675)	(73) 特許権者	000001007
(22) 出願日	平成14年6月28日(2002. 6. 28)		キヤノン株式会社
(65) 公開番号	特開2003-228317 (P2003-228317A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成15年8月15日(2003. 8. 15)	(74) 代理人	100085006
審査請求日	平成15年10月10日(2003. 10. 10)		弁理士 世良 和信
(31) 優先権主張番号	特願2001-210066 (P2001-210066)	(74) 代理人	100100549
(32) 優先日	平成13年7月10日(2001. 7. 10)		弁理士 川口 嘉之
(33) 優先権主張国	日本国(JP)	(74) 代理人	100106622
(31) 優先権主張番号	特願2001-232591 (P2001-232591)		弁理士 和久田 純一
(32) 優先日	平成13年7月31日(2001. 7. 31)	(72) 発明者	阿部 直人
(33) 優先権主張国	日本国(JP)		東京都大田区下丸子3丁目30番2号 キヤノン株式会社 内
(31) 優先権主張番号	特願2001-364562 (P2001-364562)	(72) 発明者	嵯峨野 治
(32) 優先日	平成13年11月29日(2001. 11. 29)		東京都大田区下丸子3丁目30番2号 キヤノン株式会社 内
(33) 優先権主張国	日本国(JP)		
前置審査		最終頁に続く	

(54) 【発明の名称】 表示器の駆動方法及びそれを利用した表示装置

(57) 【特許請求の範囲】

【請求項 1】

複数の走査配線と複数の変調配線とを有する表示器を駆動するための駆動方法において

、
水平走査期間毎に、前記複数の走査配線から選択された走査配線に走査選択信号を供給する工程と、

水平走査期間毎に、前記複数の変調配線に少なくともパルス幅を変調した変調信号を供給する工程と、を含み、

前記走査配線に前記走査選択信号が供給される期間が、前記変調配線に供給される変調信号の最大継続期間に対応した長さになるように定められ、

前記変調信号は、水平同期信号を分周して得たクロック信号をカウントすることで決まるパルス幅を有することを特徴とする駆動方法。

【請求項 2】

前記水平走査期間の和によって定まる表示画像のフレーム走査期間を、少なくとも複数のフレーム走査期間に亘って一定の値に維持する請求項 1 に記載の駆動方法。

【請求項 3】

前記水平走査期間に下限値を定め、当該水平走査期間に前記変調配線に供給される変調信号の最大継続期間が該下限値に満たない場合に、当該変調信号にブランキング期間を追加する請求項 1 又は 2 に記載の駆動方法。

【請求項 4】

10

20

前記水平走査期間に下限値を定め、当該水平走査期間における前記走査選択信号の選択期間が該下限値に満たない場合に、当該走査選択信号にブランキング期間を追加する請求項 1 又は 2 に記載の駆動方法。

【請求項 5】

前記水平走査期間に上限値を定め、当該水平走査期間に前記変調配線に供給される変調信号の最大継続期間が該上限値を越えないように、前記変調信号の継続時間を定める請求項 1 ～ 4 のうち何れかに記載の駆動方法。

【請求項 6】

複数の走査配線と複数の変調配線とを有する表示器を駆動するための表示器の駆動方法において、

水平走査期間毎に、前記複数の走査配線から選択された走査配線に走査選択信号を供給する工程と、

水平走査期間毎に、前記複数の変調配線に画像データに基づいて変調された変調信号を供給する工程と、を含み、

画像データに基づいて、前記表示器の画面中央の走査配線上の画素の水平走査期間が、少なくとも、前記画面上方又は下方にある別の走査配線上の画素の水平走査期間よりも長くなるよう制御することを特徴とする駆動方法。

【請求項 7】

画像データを、各水平走査期間に対応して設定された倍率でゲイン調整した後に、変調駆動回路に供給する請求項 1 ～ 5 のうち何れかに記載の駆動方法。

【請求項 8】

表示装置において、

複数の走査配線と複数の変調配線とを有する表示器と、

水平走査期間毎に、前記複数の走査配線から選択された走査配線に走査選択信号を供給する走査駆動回路と、

水平走査期間毎に、前記複数の変調配線に少なくともパルス幅を変調した変調信号を供給する変調駆動回路と、

前記走査配線に前記走査選択信号が供給される期間が、前記変調配線に供給される変調信号の最大継続時間に対応した長さになるように制御する駆動制御回路と、を含み、

前記変調駆動回路は、水平同期信号を分周して得たクロック信号をカウントして前記変調信号のパルス幅を決定することを特徴とする表示装置。

【請求項 9】

表示装置において、

複数の走査配線と複数の変調配線とを有する表示器と、

水平走査期間毎に、前記複数の走査配線から選択された走査配線に走査選択信号を供給する走査駆動回路と、

水平走査期間毎に、前記複数の変調配線に少なくともパルス幅を変調した変調信号を供給する変調駆動回路と、

入力された映像信号に基づいて各々の画素の輝度を補正するための補正画像データを算出する補正画像データ算出部と、

前記補正画像データに基づいて少なくとも 2 つの前記走査選択信号の選択期間を、垂直走査期間内において、互いに異ならしめるように前記走査駆動回路を制御する駆動制御回路と、を含み、

前記変調駆動回路は、水平同期信号を分周して得たクロック信号をカウントして前記変調信号のパルス幅を決定することを特徴とする表示装置。

【請求項 10】

複数の走査配線と複数の変調配線とを有する表示器を備える表示装置の駆動制御方法であって、

水平走査期間毎に、前記複数の走査配線から選択された走査配線に走査選択信号を供給する工程、

10

20

30

40

50

水平走査期間毎に、前記複数の変調配線に画像データに基づいて変調された変調信号を供給する工程、

画像データに基づいて少なくとも2つの水平走査期間及びそれら水平走査期間における前記走査選択信号の選択期間を、垂直走査期間内において、互いに異ならしめるか、

少なくとも2つの行上の画素の輝度を異ならせるべく、それらに対応した少なくとも2つの水平走査期間及び/又はそれら水平走査期間における前記走査選択信号の選択期間を、垂直走査期間内で、互いに異ならしめるように、

前記水平走査期間を決定するためのタイミング信号を生成する工程、

行毎の画素の最大画像データと平均画像データから水平輝度レベル係数 (A_h) を求め

、

水平輝度レベル係数 (A_h) 及び係数の上限値 (A_l) から輝度レベル係数の最小値 (A_m) を求め、

各画素の画像データを前記輝度レベル係数の最小値 (A_m) を基に補正する工程、

を含むことを特徴とする駆動制御方法。

【請求項 11】

複数の走査配線と複数の変調配線とを有する表示器を備える表示装置の駆動制御方法であって、

水平走査期間毎に、前記複数の走査配線から選択された走査配線に走査選択信号を供給する工程、

水平走査期間毎に、前記複数の変調配線に画像データに基づいて変調された変調信号を供給する工程、

画像データに基づいて少なくとも2つの水平走査期間及びそれら水平走査期間における前記走査選択信号の選択期間を、垂直走査期間内において、互いに異ならしめるか、

少なくとも2つの行上の画素の輝度を異ならせるべく、それらに対応した少なくとも2つの水平走査期間及び/又はそれら水平走査期間における前記走査選択信号の選択期間を、垂直走査期間内で、互いに異ならしめるように、

前記水平走査期間を決定するためのタイミング信号を生成する工程、

行毎の画素の最大画像データと平均画像データから水平輝度レベル係数 (A_h) を求め

、

列毎の画素の最大画像データと平均画像データから垂直輝度レベル係数 (A_v) を求め

、

これら水平輝度レベル係数 (A_h)、垂直輝度レベル係数 (A_v) 及び係数の上限値 (A_l) から輝度レベル係数の最小値 (A_m) を求め、

各画素の画像データを前記輝度レベル係数の最小値 (A_m) を基に補正する工程、

を含むことを特徴とする駆動制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電子放出素子、エレクトロルミネッセンス (EL) 素子、LED素子、プラズマ発光素子、液晶素子などを用いた表示素子に画像を表示する表示装置及びその駆動方法に関するものである。

【0002】

特に、自発光型の複数の表示素子をマトリクス状に配したマトリクス型表示器のマルチプレキシング駆動方法に関するものである。

【0003】

【従来の技術】

上述した複数の表示素子は、複数の行配線 (走査配線) と複数の列配線 (変調配線) とからなるマトリクス配線に供給する信号を制御して、表示を行う。

【0004】

以下、蛍光体を発光させて画像を形成する自発光型の表示器を例に挙げて説明する。

10

20

30

40

50

【 0 0 0 5 】

この種の表示器では、電子放出素子などから放出された粒子のエネルギーを利用して蛍光体を励起するが、この蛍光体を励起する励起強度および / 又は励起時間によって明るさが変わる。

【 0 0 0 6 】

このような表示装置は、例えば、特開平 7 - 2 3 5 2 5 6 号公報（米国特許第 6 , 3 1 3 , 5 7 1 号）、特開平 8 - 4 5 4 1 5 号公報、特開 2 0 0 0 - 2 9 4 2 5 号公報（ヨーロッパ公開特許第 9 3 6 , 5 9 6 号）、特開平 8 - 2 4 8 9 2 0 号公報等に開示されている。

【 0 0 0 7 】

10

図 7 6 は、従来の表示器を駆動するための駆動信号の一例を示し、図 7 7 はその駆動信号により駆動される 3 行 3 列のマトリクスの表示器の表示状態を示している。

【 0 0 0 8 】

ここでは、1 フレームの画像を表示するための 1 垂直走査期間は、3 つの水平走査期間からなり、 Sy_1 , Sy_2 , Sy_3 は、それぞれ走査配線に供給される走査信号を示している。ここでは、各走査配線において、負の電圧が印加される選択期間が水平走査期間となっており、全ての走査配線において、各選択期間は一定の値になっている。

【 0 0 0 9 】

Sx_1 , Sx_2 , Sx_3 は、それぞれ変調配線に供給される変調信号（データ信号）を示している。ここでは、画素の輝度レベル（階調レベル）に応じてパルス幅を変調するパルス幅変調方式による変調信号の例を示しており、変調信号 Sx_1 は表示すべき輝度レベルが 1、1、3 の信号であり、これが変調配線に時系列的に供給される。同様に、変調信号 Sx_2 は表示すべき輝度レベルが 1、2、2 の信号であり、変調信号 Sx_3 は表示すべき輝度レベルが 1、1、1 の信号である。

20

【 0 0 1 0 】

こうして、走査配線を順次選択しながら、各水平走査期間において、選択された行上にある 3 つの画素の輝度を定める。ここでは、輝度レベル 3 の点灯を行う 3 行目 1 列上の画素が最も明るく点灯することになる。

【 0 0 1 1 】

一般的に、表示装置は明るい画面が好まれる傾向がある。特に、暗い画像の中に部分的に明るい個所が含まれる場合、画像の暗い部分の詳細を十分な画質で表示するために明るい部分の輝度（ピーク輝度）は相対してより明るく表示できることが望ましい。

30

【 0 0 1 2 】**【 発明が解決しようとする課題 】**

しかしながら、上述したように、時分割で走査配線を順次選択する、所謂、線順次走査を行う表示装置の場合、一般的に各画素の点灯時間の最大値は水平走査期間内の選択期間に制限されるので表示装置の表示輝度もこれに対応して制限される。

【 0 0 1 3 】

また、走査選択信号が印加されてはいても変調信号が印加されない期間は、他の処理に必要なブランキング期間を除くと、画素の点灯には寄与しないが走査配線には電圧が印加される無駄な期間となっている。

40

【 0 0 1 4 】

本発明の目的は、表示する画像のピーク輝度を大きくして、良好な画像を得ることができる表示器の駆動方法及びそれを利用した表示装置を提供することにある。

【 0 0 1 5 】

本発明の目的は、無駄な期間の発生を抑制して、良好な画像を得ることができる表示器の駆動方法及びそれを利用した表示装置を提供することにある。

【 0 0 1 6 】**【 課題を解決するための手段 】**

本発明の骨子は、

50

複数の走査配線と複数の変調配線とを有する表示器を駆動するための表示器の駆動方法において、
水平走査期間毎に、前記複数の走査配線から選択された走査配線に走査選択信号を供給する工程、
水平走査期間毎に、前記複数の変調配線に画像データに基づいて変調された変調信号を供給する工程、
を含み、
少なくとも2つの水平走査期間における前記走査選択信号の選択期間を、垂直走査期間内で、互いに異ならしめたことを特徴とする。

【0017】

10

特に、複数の走査配線と複数の変調配線とを有する表示器を駆動するための表示器の駆動方法において、水平走査期間毎に、前記複数の走査配線から選択された走査配線に走査選択信号を供給する工程、水平走査期間毎に、前記複数の変調配線に画像データに基づいて変調された変調信号を供給する工程、を含み、画像データに基づいて少なくとも2つの水平走査期間及びそれら水平走査期間における前記走査選択信号の選択期間を、垂直走査期間内で、互いに異ならしめるか、少なくとも2つの行上の画素の輝度を異ならせるべく、それらに対応した少なくとも2つの水平走査期間及び/又はそれら水平走査期間における前記走査選択信号の選択期間を、垂直走査期間内で、互いに異ならしめるとより良い。

【0018】

本発明においては、必要に応じて、以下の構成を採用することも好ましいものである。

20

【0019】

水平走査期間に各変調配線に供給される変調信号のうちその継続期間が最も長い最大継続期間に対応した長さになるように、当該水平走査期間に前記走査配線に供給される前記走査選択信号の選択期間を定める。

【0020】

前記走査配線に供給される前記走査選択信号の選択期間を設定し、設定された選択期間に合わせて、水平走査期間に前記変調配線に供給される変調信号の継続期間を定める。

【0021】

水平走査期間を設定し、設定された水平走査期間に合わせて、当該水平走査期間に前記走査配線に供給される前記走査選択信号の選択期間と、当該水平走査期間に前記変調配線に供給される変調信号の継続期間を定める。

30

【0022】

選択された走査配線上の各画素における、表示輝度又は補正画像データの最大値に応じて、当該走査配線に供給される前記走査選択信号の選択期間を定める。

【0023】

水平走査期間の上限値又は下限値のうち少なくとも何れか一方を定め、それによって定められる可変範囲内で水平走査期間を変更する。

【0024】

前記水平走査期間の和によって定まる表示画像のフレーム走査期間を、少なくとも複数のフレーム走査期間に亘って一定の値に維持する。

40

【0025】

前記水平走査期間に下限値を定め、当該水平走査期間に前記変調配線に供給される変調信号の最大継続期間が該下限値に満たない場合に、当該変調信号にブランキング期間を追加する。

【0026】

前記水平走査期間に下限値を定め、当該水平走査期間における前記走査選択信号の選択期間が該下限値に満たない場合に、当該走査選択信号にブランキング期間を追加する。

【0027】

前記水平走査期間に上限値を定め、当該水平走査期間に前記変調配線に供給される変調信号の最大継続期間が該上限値を越えないように、前記変調信号の継続時間を定める。

50

【 0 0 2 8 】

前記上限値は、前記水平走査期間から所定のブランキング期間を引いた値である。

【 0 0 2 9 】

前記水平走査期間は、クロック数を基準にして、その長さが制御される。

【 0 0 3 0 】

前記画像データは入力された映像信号の輝度データを含み、当該輝度データに応じて、少なくとも前記変調信号の継続時間が変調される。

【 0 0 3 1 】

前記画像データは入力された映像信号の輝度データと補正データとを含み、これら輝度データ及び補正データに応じて、少なくとも前記変調信号の継続時間が定められる。

10

【 0 0 3 2 】

前記補正データは、所望の輝度と表示輝度の差を補償するための補正データである。

【 0 0 3 3 】

前記補正データは、前記走査配線に生じる電圧降下により表示素子に印加される電圧の変化を補償するための補正データである。

【 0 0 3 4 】

入力された映像信号の輝度データ及び補正データに応じて定められた各水平走査期間のゲイン調整及びノ又は上限値調整を行う。

【 0 0 3 5 】

前記水平走査期間の和によって定まる表示画像の垂直走査期間が所定の値を超えないように、入力された映像信号の輝度データ及び補正データに応じて定められた各水平走査期間のゲイン調整を行う。

20

【 0 0 3 6 】

前記表示器の画面中央の走査配線上の画素の水平走査期間が、少なくとも、前記画面上方又は下方にある別の走査配線上の画素の水平走査期間よりも長い。

【 0 0 3 7 】

前記画像データを、各水平走査期間に対応して設定された倍率でゲイン調整した後に、変調駆動回路に供給する。

【 0 0 3 8 】

クロック信号の周波数を変更することにより、前記水平走査期間を決める。

30

【 0 0 3 9 】

本発明の別の骨子は、

表示装置において、

複数の走査配線と複数の変調配線とを有する表示器と、

水平走査期間毎に、前記複数の走査配線から選択された走査配線に走査選択信号を供給する走査駆動回路と、

水平走査期間毎に、前記複数の変調配線に画像データに基づいて変調された変調信号を供給する変調駆動回路と、

を有し、

少なくとも2つの水平走査期間における前記走査選択信号の選択期間が、垂直走査期間内において、互いに異なるように前記走査駆動回路を制御する駆動制御回路を備えたことを特徴とする。

40

【 0 0 4 0 】

特に、画像データに基づいて少なくとも2つの水平走査期間及びそれら水平走査期間における前記走査選択信号の選択期間を、垂直走査期間内で、互いに異ならしめるか、少なくとも2つの行上の画素の輝度を異ならせるべく、それらに対応した少なくとも2つの水平走査期間及びノ又はそれら水平走査期間における前記走査選択信号の選択期間を、垂直走査期間内で、互いに異ならしめるように、前記走査駆動回路を制御する駆動制御回路を備えることが好ましいものである。

【 0 0 4 1 】

50

本発明においては、必要に応じて、以下の構成を採用することも好ましいものである。

【0042】

前記駆動制御回路は、入力された映像信号から各水平走査期間における輝度データの最大値を検出し、その最大値に基づいて、前記走査選択信号の選択期間を設定する。

【0043】

前記駆動制御回路は、入力された映像信号から各水平走査期間における輝度データを補正して得られる補正画像データの最大値を検出し、その最大値に基づいて、前記走査選択信号の選択期間を設定する。

【0044】

前記駆動制御回路は、水平走査期間を変更し得る可変範囲内で設定された水平走査期間に合わせて、前記走査選択信号の選択期間及び前記変調信号の継続期間を定める。 10

【0045】

前記駆動制御回路は、入力された映像信号から各水平走査期間における輝度データを補正して得られる補正画像データの最大値を検出し、その最大値に基づいて、前記走査選択信号の選択期間を設定するとともに、

前記水平走査期間の和によって定まる表示画像の垂直走査期間が、所定の値となるように少なくとも一つの水平走査期間を調整する。

【0046】

前記少なくとも一つの水平走査期間を調整するゲイン調整器及び／又はリミッターを備えている。 20

【0047】

前記駆動制御回路は、水平走査期間を調整するために、入力された映像信号から各水平走査期間における輝度データを補正して得られる補正画像データを1フレーム分格納するフレームメモリを備えている。

【0048】

前記フレームメモリは、2つのフレームメモリを有しており、一方にデータを書き込む間に、他方からデータを読み出すように、制御される。

【0049】

前記フレームメモリから、1水平走査期間の補正画像データを複数層に分けて並列に読み出し、 30

前記各層に対応して設けられた複数のシフトレジスタに入力する。

【0050】

前記駆動制御回路は、設定された各水平走査期間に応じて、前記走査選択信号の選択期間と、前記変調信号の継続時間とを定める。

【0051】

前記水平走査期間の和によって定まる表示画像の垂直走査期間が、少なくとも、複数の垂直走査期間に亘って一定の値に維持される。

【0052】

前記表示器の画面中央の走査配線上の画素の水平走査期間が、少なくとも、前記画面上方又は下方にある別の走査配線上の画素の水平走査期間よりも長い。 40

【0053】

前記駆動制御回路は、前記画像データを、設定された水平走査期間に合わせて調整する。

【0054】

前記画像データの調整後に、前記変調駆動回路により、該画像データから前記変調信号を生成する。

【0055】

前記表示器は、自発光型の表示器である。

【0056】

前記表示器は、電子放出素子を含む表示素子を複数有する。

【0057】

クロック信号の周波数を変更することにより、前記水平走査期間を決める。

【0058】

本発明の更に別の骨子は、

上述した表示装置に利用される駆動制御方法において、

前記水平走査期間を決定するためのタイミング信号を生成することを特徴とする。

【0059】

本発明においては、必要に応じて、以下のような構成を採用することも好ましいものである。

【0060】

所定の走査期間内の最大画像データに基づいて、前記タイミング信号を生成する。

10

【0061】

前記画像データは、輝度データと補正データとを含む。

【0062】

行毎の画素の最大画像データと平均画像データに基づいて、前記水平走査期間を定める。

【0063】

少なくとも行又は列毎の最大画像データに基づいて、画像データを調整し、メモリに格納された画像データを調整された調整画像データに置き換える。

【0064】

行毎の画素の最大画像データと平均画像データから水平輝度レベル係数 (A_h) を求め、水平輝度レベル係数 (A_h) 及び係数の上限値 (A_l) から輝度レベル係数の最小値 (A_m) を求め、

20

各画素の画像データを前記輝度レベル係数の最小値 (A_m) を基に調整する。

【0065】

行毎の画素の最大画像データと平均画像データから水平輝度レベル係数 (A_h) を求め、列毎の画素の最大画像データと平均画像データから垂直輝度レベル係数 (A_v) を求め、これら水平輝度レベル係数 (A_h)、垂直輝度レベル係数 (A_v) 及び係数の上限値 (A_l) から輝度レベル係数の最小値 (A_m) を求め、

各画素の画像データを前記輝度レベル係数の最小値 (A_m) を基に調整する。

【0066】

又、画像データは、最小値 (A_m) を基にして決定される調整用クロックに応じて調整されると良い。

30

【0067】

クロック信号の周波数を変更することにより、前記水平走査期間を決める。

【0068】

上記駆動制御方法をプログラムにより実行する。

【0069】

上記駆動制御方法を集積回路により実行する。

【0070】

上記駆動制御方法を実行する集積回路を設計するための設計資産。

【0071】

40

【発明の実施の形態】

図1(a)～図1(f)は、表示装置に用いられる駆動信号の形態を示しており、それぞれ図77と同様に表示状態を呈するための駆動信号を示している。

【0072】

図2は、本発明の表示装置を示しており、1は表示器、2は走査信号 S_{y1} , S_{y2} , S_{y3} を表示器1に供給するための走査駆動回路、3は変調信号 S_{x1} , S_{x2} , S_{x3} を表示器1に供給するための変調駆動回路であり、これらの回路は水平走査期間1Hの選択期間を制御する1H制御回路を有する駆動制御回路4により制御される。

【0073】

要するに、図2に示す表示装置は、複数の走査配線と複数の変調配線とを有する表示器1

50

と、水平走査期間 1 H 毎に、複数の走査配線から選択された走査配線に走査選択信号を供給する走査駆動回路 2 と、水平走査期間毎に、前記複数の変調配線に画像データに基づいて変調された変調信号を供給する変調駆動回路 3 と、を有し、少なくとも 2 つの水平走査期間における前記走査選択信号の選択期間が、垂直走査期間 1 V 内において、互いに異なるように前記走査駆動回路を制御する駆動制御回路 4 を備えたことを特徴とする。

【 0 0 7 4 】

図 1 (a) の形態においては、走査信号 S_{y1} , S_{y2} , S_{y3} は、水平走査期間 1 H における対応する走査配線が選択される選択期間の長さ（ここでは、ローレベルになっている期間）が異なっており、何れかの変調配線にハイレベルの変調信号が印加されている期間のみに、ローレベルの走査選択信号が印加されるようになっている。ここでは、画素の輝度レベルに応じてパルス幅を変調するパルス幅変調方式による変調信号の例を示しており、変調信号 S_{x1} は輝度レベルが 1、1、3 の信号であり、変調信号 S_{x2} は輝度レベルが 1、2、2 の信号であり、変調信号 S_{x3} は輝度レベルが 1、1、1 の信号である。水平走査期間 1 H 内において走査選択信号が印加されていない期間はブランキング期間となっている。

10

【 0 0 7 5 】

各水平走査期間 1 H においては、3 本の変調配線に供給される変調信号のうち、そのパルス幅（継続時間）が最大となる変調信号に合わせて、走査選択信号の選択期間が互いに相違していることがわかる。ここでは、入力映像信号に依存して決まる画素の輝度レベルに応じて、水平走査期間 1 H を異ならしめることが好ましいものである。

20

【 0 0 7 6 】

図 1 (b) の形態においては、走査信号 S_{y1} , S_{y2} , S_{y3} の、走査選択信号が供給されるローレベルの選択期間が水平走査期間 1 H となっている。3 つの水平走査期間 1 H の長さはそれぞれ異なっており、図 1 (a) の水平走査期間と比べると、順に $1/3$, $2/3$, $3/3$ の長さとなっている。そして、何れかの変調配線に変調信号 S_{x1} , S_{x2} , S_{x3} が印加されている期間のみに、走査選択信号が印加されるようになっている。

【 0 0 7 7 】

このように、図 1 (b) の形態では、走査選択信号が印加されない期間を短縮し、1 垂直走査期間、即ち 1 フレーム期間を短くすることにより、フレーム周波数を上げて、輝度をより一層向上させている。更には、各水平走査期間を任意の倍率で伸ばして、元の 1 フレーム期間と等しくなるように調整することも好ましいものである。

30

【 0 0 7 8 】

図 1 (c) の形態は、走査信号 S_{y1} , S_{y2} , S_{y3} として、図 1 (a) と同様の信号を採用し、変調信号 S_{x1} , S_{x2} , S_{x3} としては、画素の輝度レベルに応じて電圧振幅を変調する振幅変調方式による変調信号の例を示している。変調信号 S_{x1} は輝度レベルが 1、1、3 の信号であり、変調信号 S_{x2} は輝度レベルが 1、2、2 の信号であり、変調信号 S_{x3} は輝度レベルが 1、1、1 の信号ではあるが、選択期間の長さが異なっているので、輝度の差はより大きくなっている。各選択期間に同期している変調信号 S_{x1} , S_{x2} , S_{x3} のハイレベルの電圧振幅は、輝度レベルに応じて 3 つの電圧値の中から選択される。

40

【 0 0 7 9 】

図 1 (d) の形態は、走査信号 S_{y1} , S_{y2} , S_{y3} として、図 1 (c) と同様の信号を採用し、変調信号 S_{x1} , S_{x2} , S_{x3} としては、画素の輝度レベルに応じてパルス幅を変調するパルス幅変調方式による変調信号の例を示している。変調信号 S_{x1} は輝度レベルが 1、1、3 の信号であり、変調信号 S_{x2} は輝度レベルが 1、2、2 の信号であり、変調信号 S_{x3} は輝度レベルが 1、1、1 の信号ではあるが、選択期間の長さが異なっているので、輝度の差はより大きくなっている。

【 0 0 8 0 】

図 1 (c)、図 1 (d) の形態においては、同じ輝度データを表示する場合であったとしても、ユーザーの要求や予め設定した仕様に応じて、所定の行上の画素の表示輝度を他の

50

行上の画素の表示輝度より高める場合などに、より好ましく用いられる。

【0081】

図1(e)の形態は、変調信号 $S \times 1$ 、 $S \times 2$ 、 $S \times 3$ として、画素の輝度レベルに応じてパルス幅及び電圧振幅の両方を変調する変調方式による変調信号の例を示している。変調信号 $S \times 1$ は輝度レベルが1、1、3の信号であり、変調信号 $S \times 2$ は輝度レベルが1、2、2の信号であり、変調信号 $S \times 3$ は輝度レベルが1、1、1の信号であり、図77と同じ表示状態を呈するための信号となっている。輝度レベルの上昇に伴い、その電圧振幅をスロット単位で増大させる。それが所定の振幅値となつてからは、パルス幅をスロット単位で長くし、そのパルス幅を所定数スロットにする。一方、走査信号 $S y 1$ 、 $S y 2$ 、 $S y 3$ は、水平走査期間1H内の変調信号のパルス幅に合わせて、選択期間を定めてい

10

【0082】

また、必要に応じて図1(c)～図1(e)の形態を変更し、図1(b)と同様に走査選択電圧が印加されていないブランキング期間を短縮することで水平走査期間を短縮し、1フレーム期間を短くすることも好ましく、更には、各水平走査期間が一定のブランキング期間を持つようにすることも好ましいものである。或いは、ブランキング期間を無くすか短くした後、元の1フレーム期間と同じになるように各水平走査期間にゲインをかけるか、基準クロック信号の周波数を変更して各水平走査期間を延ばすことも好ましいものである。この方法により図1(b)を変形した波形を図1(f)に示す。図1(f)の形態の1フレーム期間は、図1(a)と同じであり、図1(b)より長い。

20

【0083】

以上のように、本発明においては、複数の走査配線と複数の変調配線とを有する表示器1を駆動するための表示器の駆動方法において、水平走査期間1H毎に、前記複数の走査配線から選択された走査配線に走査選択信号を供給する工程、水平走査期間1H毎に、前記複数の変調配線に画像データに基づいて変調された変調信号を供給する工程、とを含み、少なくとも2つの水平走査期間における前記走査選択信号の選択期間を、垂直走査期間1V内で、互いに異ならしめたことを特徴とする。

【0084】

図1(a)～図1(f)の形態はいずれも、各画素にて点灯すべき輝度レベルに応じて水平走査期間を決め、それに従って、走査選択信号の選択期間と変調信号の最大継続期間としてのパルス幅とを定めるものである。特に、図1(a)～図1(f)の形態は水平走査期間に変調配線に供給される変調信号の最大継続期間(パルス幅)に合うように、当該水平走査期間に走査配線に供給される走査選択信号の選択期間を定める場合に好ましく用いられる。

30

【0085】

また、図1(c)～図1(e)の形態は、走査配線に供給される走査選択信号の選択期間を予め設定し、設定された選択期間に合うように、水平走査期間に変調配線に供給される変調信号の最大継続期間を定める場合により好ましく用いることができる。

【0086】

本発明の表示器に用いられる表示素子としては、表面伝導型の電子放出素子や電界放出型の電子放出素子と、蛍光体と、を組み合わせた表示素子が好ましく用いられるが、それ以外のプラズマ表示素子、無機EL表示素子、有機EL表示素子、LED表示素子、液晶表示素子、プラズマアドレス型液晶表示素子、マイクロミラー素子などを用いることができる。

40

【0087】

本発明に用いられる電子放出素子としては、米国特許第5,066,883号公報、特開平2-257551号公報、特開平4-28137号公報などに開示されている表面伝導型の電子放出素子、或いは、BSD型、Spindt型、MIS型、MIM型、ダイヤモンド粒子型、カーボンナノチューブやグラファイトナノファイバー他の炭素繊維型などの電子放出素子が挙げられる。

50

【 0 0 8 8 】

本発明に用いられる走査信号としては、変調信号と協働して、駆動すべき表示素子に応じた走査選択電圧と走査非選択電圧とを印加できる信号であればよく、図 1 (a) ~ 図 1 (f) に図示した波形、或いは後述する実施形態の波形に限定されるものではない。

【 0 0 8 9 】

本発明に用いられる変調信号としては、表示すべき画素の輝度が大きいほど表示のための電圧レベルが印加される継続期間（パルス幅）を長くするパルス幅変調信号、又は、表示すべき画素の輝度が大きいほど電圧振幅（波高値）を大きくする振幅変調信号が挙げられ、或いは、パルス幅変調信号と振幅変調信号とを組み合わせた変調信号を用いることも好ましいものである。パルス幅変調信号と振幅変調信号とを組み合わせた変調方式は、例えば、特開平 1 0 - 3 9 8 2 5 号公報などに開示されている。

10

【 0 0 9 0 】

更には、表示すべき画素の輝度が大きいほど表示素子に流す電流を大きくする電流変調信号を用いることもできる。

【 0 0 9 1 】

本発明においては、水平走査期間における走査選択信号が供給される選択期間の長さは、入力される映像信号に応じて定めることができる。或いは、入力される映像信号とは別に、表示特性に応じて定めることもできる。つまり、前者の場合には、画像が変われば、その変化に対応した走査配線における選択期間、更には必要に応じて、水平走査期間が変更される。後者の場合には、走査配線毎に選択期間、更には必要に応じて水平走査期間が予め決められているので、変調信号は、その決められた選択期間内で適宜変調されることになる。

20

【 0 0 9 2 】

更に、各走査配線における水平走査期間の選択期間の長さを入力される映像信号に応じて定める場合、走査配線毎に最適化を行って定めてもよし、全画素の輝度を考慮して最適化を行っても良い。これらの場合、選択期間或いは水平走査期間は、選択された走査配線上の画素に供給されるべき変調信号のパルス幅が最大となるところの変調信号に合わせて、決められるが、各輝度レベル（階調レベル）に一对一に対応させる必要はなく、連続する複数の輝度レベルに対して一つ値の水平走査期間を割り当てても良い。

【 0 0 9 3 】

また、選択期間或いは水平走査期間に上限値又は下限値の少なくとも何れか一方の値を決めておき、その値をそれぞれ超過しない範囲内において、選択期間或いは水平走査期間を変更することも好ましいものである。

30

【 0 0 9 4 】

1 垂直走査期間を一定にする場合には、各走査配線における選択期間を所定の倍率で伸縮させるゲイン調整を行うことも好ましいものである。また、画素を消灯状態とするブランキング期間の長さを伸縮することにより水平走査期間を調整して、1 垂直走査期間を調整することも好ましいものである。

【 0 0 9 5 】

実際の信号処理においては、入力映像信号から直接、或いは、入力映像信号を変換して、表示器の各画素において点灯すべき輝度データを抽出し、その輝度データを基に変調信号を生成する。

40

【 0 0 9 6 】

本発明に用いられる変調信号は、画像データ即ち輝度データのみに基づいて変調された信号に限定されるものではなく、補正データなどを加味した画像データ（補正画像データ）を基にして変調されたものであってもよい。

【 0 0 9 7 】

画素の表示輝度が本来表示したい所望の輝度からズレて、差が生じてしまう場合には、その差を補償するように変調信号を補正することも好ましいものである。例えば、走査配線及び / 又は変調配線の抵抗とそこに流れる電流による電圧降下によって、画素を構成する

50

素子へ印加される実効駆動電圧が減少してしまう場合には、その減少分を補償するように、予め変調信号を補正しておくことが好ましい。この減少量は同一走査配線上の画素の表示状態にも依存する。変調信号のパルス幅を長くすることで補償を行う場合には、補正後の変調信号に応じて、水平走査期間の選択期間を定めることが好ましいものである。具体的には、変調前に画像データを補正しておいて、その補正された画像データに基づいて変調を行えばよい。

【0098】

以下、より具体的な実施形態について説明する。

【0099】

(第1の実施形態)

行方向にN個、列方向にM個の合計N×M個の冷陰極素子(表示素子)を2次元的にマトリクス状に配列し、それらを行方向に設けられたM本の行配線(走査配線)と列方向に設けられたN本の列配線(変調配線)により単純マトリクス配線してなるマルチ電子源を備えた構成のものが知られている。

【0100】

マトリクス配線された多数の冷陰極素子をマルチプレキシング駆動する方法としては、マトリクスの1行分の素子群(1行分の素子群は1本の行配線に接続されている)を同時に駆動する。

【0101】

すなわち、1本の行配線に所定の選択電圧を印加すると共に、その行配線に接続されたN個の冷陰極素子のうち駆動対象となるものに接続している列配線のみに所定の変調電圧を印加し、行配線電位と列配線電位との電位差によって1行分の複数の素子を同時に駆動する。そして、選択行配線を次々と切り替えて全ての行を走査していき、視覚の残像現象を利用して2次元的な画像を形成するのである。

【0102】

この方法によれば、1素子ずつ選択していく方法と比較して、各素子に割り当てられる駆動時間がN倍長く確保されるため、画像表示装置の輝度を高くすることができるという利点がある。

【0103】

ところで、上記構成にあっては、1行分のN個の冷陰極素子は1本の行配線に接続されており、各素子ごとにその接続位置が異なっている。したがって、1行分の素子群を同時に駆動する場合には、配線抵抗による電圧降下の影響を受けて、各素子の輝度にバラツキが生じてしまう。具体的にいえば、行配線の両端側から選択電圧を印加する構成の場合、行配線の中央付近ほど電圧降下が大きく、両端に向かうほど電圧降下が小さくなるので、N本の列配線に同じ電位の変調電圧を印加したとしても、中央付近の輝度が両端付近の輝度に比べて暗くなってしまうのである。

【0104】

このため、例えば特開平8-248920号公報には、行配線の配線抵抗による電圧降下に起因する輝度低下を補償するために、統計演算により補正データを算出し、入力画像データと補正データとを合成する構成が開示されている。同公報では、図3に示すように、メモリ手段207から出力された補正データを、各列配線毎に設けられた乗算器208にて画像データに乘算し、その補正後の画像データを変調回路209に転送する構成となっている。

【0105】

ここで、201は表示器、202は走査駆動回路、203は制御回路、204は合算器、205はシフトレジスタ、206はラッチ回路である。

【0106】

行配線の電圧降下に起因する輝度低下分を補償するために行う補正では、上記公報のように入力画像データに対して補正データを乗算するか、あるいは補正データを加算することが特開平8-248920号公報で開示されているが、このとき、デジタル回路に特有

10

20

30

40

50

のオーバーフローの問題が生ずることがある。

【 0 1 0 7 】

すなわち、画像データに対して補正データを乗算または加算して得た補正後の画像データをそのまま従来の変調信号発生器に入力すると、変調信号発生器で取り扱うことのできるデータ幅を超えてしまった場合に、ビットの折り返しなどが起こり、表示画像の反転などが生じてしまうのである。

【 0 1 0 8 】

具体的な例で説明すると、1 水平走査期間内をたとえば 8 b i t のデータ幅で回路が設計してある場合、取り扱うことのできるデータの最大値は「 2 5 5 (十進数)」である。ここで画像データとして「 2 5 0 」が入力され、それに加算すべき補正データが「 3 3 」であったとすると、補正画像データは「 2 8 3 」となるが、変調信号発生器で出力するパルス幅は「 2 8 3 」とはならず、ビットの折り返しが起こり「 2 7 」となってしまう。このように、補正画像データを変調信号発生器に入力すると、本来高輝度であるはずの部分が暗く表示されてしまい画像に乱れが生ずる場合がある。

【 0 1 0 9 】

この場合には、画像データの最大値を制限するリミッタを設けたり、画像データに一律にゲインをかけたりルックアップテーブル (L U T) を用いた補正を行うなどしてデータ値を予め小さくしておくことにより、オーバーフローを未然に防止したり、補正された画像データに対して、オーバーフローしないように一律にゲインをかけたりするとよい。

【 0 1 1 0 】

ビットの折り返しなどが起こり、表示画像の反転などの画像の乱れが生ずるという基本的な問題は、本発明者らによる検討の結果、防ぐことが可能となり、電圧降下による補正をかけ良好な画質で表示が可能になった。しかしながら厳密に表示画像を観察すると、リミッタによる方法や L U T 補正による方法では、最大値を超える画像データが全て同じ輝度で表示される等、画像によっては階調性が失われ不自然な画像再現となってしまうことがある。また、ゲインをかける方法では、画像によっては輝度が損なわれたりすることがあった。

【 0 1 1 1 】

つまり、走査配線に生じる電圧降下を補正するということは、電圧降下による輝度の低下を駆動時間を増やすことによって補正していることに他ならない。しかしながら、駆動時間を延ばさなくてはならない補正に対して、現実的に決まっている水平走査時間により制限される駆動時間の最大時間に抑えることは、即ち輝度を低下させることに他ならないのである。

【 0 1 1 2 】

本実施の形態は上述した問題を解決するに適した表示装置として、水平走査期間を制御する駆動方法を採用したものである。即ち、本形態の表示装置は、複数の表示素子を複数の走査配線と複数の変調配線によってマトリクス状に結線してなる表示器と、入力された画像データに対し、前記走査配線の抵抗分によって発生する電圧降下の影響を補正した補正画像データを算出する補正画像データ算出手段と、前記補正画像データの最大値を各走査配線毎に検出するライン最大値検出手段と、該ライン最大値検出手段によって検出された補正画像データの最大値に応じて各走査配線の選択期間を決定する選択期間制御手段と、該選択期間制御手段によって決定された各走査配線の選択期間に従って各走査配線の走査を行う走査駆動回路と、前記補正画像データに応じてパルス幅変調した変調信号を各変調配線に印加する変調駆動回路と、を備えたものである。

【 0 1 1 3 】

また、本実施形態による表示装置の駆動方法は、複数の表示素子を複数の走査配線と複数の変調配線によってマトリクス状に結線してなる表示器を備えた表示装置の駆動方法であって、入力された画像データに対し、前記走査配線の抵抗分によって発生する電圧降下の影響を補正した補正画像データを算出するステップと、前記補正画像データの最大値を各走査配線毎に検出するステップと、検出された補正画像データの最大値に応じて各走査配

10

20

30

40

50

線の選択時間を決定するステップと、決定された各走査配線の選択時間に従って各走査配線の走査を行い、前記補正画像データに応じてパルス幅変調した変調信号を各変調配線に印加するステップと、を含む。

【0114】

本実施形態の補正回路において、入力画像データに応じて電圧降下のために生じる表示画像の品質低下を計算し、それを補償するための補正データを求め、画像データに補正を施す。

【0115】

さらに、この補正回路は、補正を施した画像データ（補正画像データ）の水平走査ライン毎の最大値を検出し、その最大値に応じて各走査配線の選択時間の割り当てを行う。

10

【0116】

以下、本実施の形態に係る画像表示装置の表示パネルの概観、表示パネルの電氣的接続、表面伝導型放出素子の特性、表示パネルの駆動方法、及び、このような表示パネルによって画像を表示する際の走査配線の電気抵抗に起因する駆動電圧の低下の機構について説明した後に、本実施形態の特徴である電圧降下の影響に対する補正方法及び装置について詳しく説明する。

【0117】

（画像表示装置の概観）

図4は、本実施の形態に用いられる表示パネルの斜視図であり、内部構造を示すためにパネルの一部を切り欠いて示している。図中、1005はリアプレート、1006は側壁、1007はフェースプレートであり、1005～1007により表示パネルの内部を真空に維持するための気密容器を形成している。

20

【0118】

リアプレート1005には、基板1001が固定されているが、該基板には冷陰極素子1002がN×M個形成されている。行配線（走査配線）1003、列配線（変調配線）1004及び冷陰極素子は図5のように接続されている。

【0119】

また、フェースプレート1007の下面には、蛍光膜1008が形成されている。本実施の形態に係る画像表示装置はカラー表示装置であるため、蛍光膜1008の部分にはCRTの分野で用いられる赤、緑、青、の3原色の蛍光体が塗り分けられている。蛍光体は、リアプレートの各画素（絵素）に対応してマトリクス状に形成された、冷陰極素子からの放出電子（放出電流）の照射される位置に対して、画素を形成するように構成されている。

30

【0120】

蛍光膜1008の下面にはメタルバック1009が形成されている。

【0121】

Hvは高圧端子でありメタルバックに電氣的に接続されている。Hv端子に高電圧を印加することによりリアプレートとフェースプレートの間に高電圧が印加される。

【0122】

本実施の形態では、画素に冷陰極素子としての表面伝導型放出素子を有する構成を採用する。

40

【0123】

（表面伝導型放出素子の特性）

表面伝導型放出素子は、図6のような放出電流I_e対素子印加電圧V_f特性、および素子電流I_f対素子印加電圧V_f特性を有する。なお、放出電流I_eは素子電流I_fに比べて著しく小さく、同一尺度で図示するのが困難であるため、2本のグラフは各々異なる尺度で図示した。

【0124】

すなわち、放出電流I_eに関して以下に述べる3つの特性を有している。

【0125】

50

第一に、ある電圧（これを閾値電圧 V_{th} と呼ぶ）以上の電圧を素子に印加すると急激に放出電流 I_e が増加するが、一方、閾値電圧 V_{th} 未満の電圧では放出電流 I_e はほとんど検出されない。すなわち、放出電流 I_e に関して、明確な閾値電圧 V_{th} を持った非線形素子である。

【0126】

また第二に、放出電流 I_e は素子に印加する電圧 V_f に依存して変化するため、電圧 V_f を可変することにより、放出電流 I_e の大きさを制御できる。

【0127】

また第三に、冷陰極素子は高速な応答性を有しているため、電圧 V_f の印加時間により放出電流 I_e の放出時間を制御できる。

10

【0128】

図4に示した表示パネルを用いた表示装置において、第一の特性を利用すれば、表示画面を順次走査して表示を行うことが可能である。すなわち、駆動中の素子には所望の発光輝度に応じて閾値電圧 V_{th} 以上の電圧を適宜印加し、非選択状態の素子には閾値電圧 V_{th} 未満の電圧を印加する。駆動する素子を順次切り替えることにより、表示画面を順次走査して表示を行うことが可能である。

【0129】

また、第二の特性を利用することにより、素子に印加する電圧 V_f により、蛍光体の発光輝度を制御することができ、画像表示を行うことが可能である。

【0130】

20

また、第三の特性を利用することにより、素子に電圧 V_f を印加する時間により、蛍光体の発光時間を制御することができ、画像の表示を行うことができる。

【0131】

本実施形態の表示装置では表示パネルの電子ビームの量を上記第三の特性を用いて変調を行った。

【0132】

（表示パネルの駆動方法）

図7を用いて本実施形態の表示パネルの駆動方法を具体的に説明する。

【0133】

図7は本実施形態の表示パネルを駆動するための駆動信号のタイミングチャートである。

30

【0134】

J 、 $J+1$ 、 $J+2$ 、 $J+3$ は、表示装置に外部から入力される入力映像信号の水平走査期間を示している。一方、表示水平走査期間 I は、表示装置の i 行目の画素を発光させるための選択期間である。

【0135】

詳しくは後述するが、各々の表示水平走査期間は対応する走査配線上的変調配線の最大のパルス幅の時間より長くなるように割り当てられている。

【0136】

i 行目の画素を発光させるためには、 i 行目の走査配線の電圧供給端子 $D \times i$ に走査選択電圧 V_s のパルス进行加して選択状態とする。また、それ以外の走査配線の電圧供給端子 $D \times k$ ($k = 1, 2, \dots, M$ 、但し $k \neq i$) は、非選択電圧 V_{ns} のパルス进行加して非選択状態とする。

40

【0137】

本例では、選択電圧 V_s を図6の電圧 V_{SEL} の半分の $-0.5 V_{SEL}$ に設定し、非選択電圧 V_{ns} の電位は接地電位 GND とする。

【0138】

また変調配線の電圧供給端子には、電圧振幅 V_{pwm} のパルス幅変調信号を供給した。 j 番目の変調配線に供給するパルス幅変調信号のパルス幅は、表示する画像の第 i 行第 j 列の画素の画像データの大きさ（輝度レベル）に応じて決定し、すべての変調配線に各々の画素の画像データの大きさに応じたパルス幅変調信号を供給する。

50

【 0 1 3 9 】

本実施の形態では、電圧 V_{pwm} の電圧は $+0.5V_{SEL}$ に設定する。

【 0 1 4 0 】

表面伝導型放出素子は、図 6 に示したように素子の両端に電圧 V_{SEL} が印加されると電子を放出させるが、印加電圧が放出閾値 V_{th} よりも小さい電圧ではまったく電子を放出しない。

【 0 1 4 1 】

また、電圧 V_{th} は図 6 に示すように、 $0.5V_{SEL}$ よりも大きいという特徴がある。

【 0 1 4 2 】

このため、非選択電圧 V_{ns} が印加されている走査配線に接続された表面伝導型放出素子からは電子は放出されない。 10

【 0 1 4 3 】

また同じように、パルス幅変調手段の出力が接地電位である期間（以降、出力が“L”の期間と呼ぶ）は、選択された走査配線上の表面伝導型放出素子の両端に印加される電圧パルスの電圧は V_s であるため、電子は放出されない。

【 0 1 4 4 】

選択電圧 V_s が印加された走査配線上の表面伝導型放出素子からは、パルス幅変調手段の出力が V_{pwm} である期間（以降、出力が“H”の期間と呼ぶ）に応じて電子が放出される。電子が放出されれば放出された電子ビームの量に応じて前述の蛍光体が発光するため、放出された時間に応じた輝度で画素を発光させることができる。 20

【 0 1 4 5 】

このような表示パネルの行を順次選択する線順次走査を行い、パルス幅変調することによって画像を表示する。

【 0 1 4 6 】

表示水平走査期間のうち、選択電圧 V_s が印加される選択期間は、変調信号に応じてその長さが異なり、選択電圧 V_s が印加されない期間は、必要に応じて設けられる一定のブランキング期間となっている。

【 0 1 4 7 】

こうして、表示水平走査期間 I は、その期間において、端子 $D_{y1} \sim D_{yN}$ に供給される変調信号のパルス幅の最大値に応じた期間となっており、表示水平走査期間 $I+1$ は、端子 $D_{y1} \sim D_{yN}$ に供給される変調信号のパルス幅の最大値に応じた短い期間となっており、表示水平走査期間 $I+2$ は、端子 $D_{y1} \sim D_{yN}$ に供給される変調信号のパルス幅の最大値に応じて長い期間となっている。 30

【 0 1 4 8 】

よって、表示水平走査期間 $I+2$ の輝度が向上している。

【 0 1 4 9 】

（走査配線での電圧降下について）

上述したように、表示パネルの走査配線における電圧降下によって、走査配線上の電位が上昇することにより、表面伝導型放出素子に印加される電圧が減少するため、表面伝導型放出素子からの放出電流が低減してしまうことがある。 40

【 0 1 5 0 】

表面伝導型放出素子の設計仕様や製法によっても異なるが、表面伝導型放出素子の 1 素子分の素子電流は電圧 V_{SEL} を印加した場合に数 $100\mu A$ 程度である。

【 0 1 5 1 】

このため、ある水平走査期間において選択された走査配線上の 1 画素のみを発光させ、それ以外の画素は発光させない場合には、変調配線から選択行の走査配線に流入する素子電流は 1 画素分の電流（すなわち上述の数 $100\mu A$ ）だけであるため、電圧降下はほとんど生じることはなく、発光輝度が低下することはない。

【 0 1 5 2 】

しかし、ある水平走査期間において、選択された行の全画素を発光させる場合には、全変 50

調配線から選択状態としている走査配線に対し、全画素分の電流が流入するため、電流の総和は数100mA～数Aとなり、走査配線の配線抵抗によって走査配線上に大きな電圧降下が発生する。

【0153】

走査配線上に電圧降下が発生すれば、表面伝導型放出素子の両端に印加される電圧が低下する。このため表面伝導型放出素子から発光される放出電流が低下してしまい、結果として発光輝度が低下してしまう。

【0154】

具体的に、表示画像として、図8(a)に示すような黒の背景に白い十字状のパターンを表示する場合、行Lを選択する際には、点灯させる画素の数が少ないため、その行の走査配線にはほとんど電圧降下が生じない。その結果各画素の表面伝導型放出素子からは所望の量の放出電流が放出され、所望の輝度で発光させることができる。

10

【0155】

一方、行Lを駆動する際には、その行L上の全ての画素が点灯するため、走査配線上に電圧降下が発生し、各ピクセルの表面伝導型放出素子からの放出電流が減少する。その結果、行L上の画素は輝度が低下することとなる。

【0156】

このように、1走査配線毎にそのラインの画像データの違いにより、電圧降下によって受ける影響が変化するため、図8(a)のような十字パターンを表示する際には図8(b)のような画像が表示されてしまっていた。

20

【0157】

なおこの現象は十字パターンに限るものではなく、たとえばウインドウパターンや、自然画像を表示した際にも発生するものである。

【0158】

また、さらに複雑なことに、電圧降下の大きさはパルス幅変調によって変調を行うことにより1水平走査期間の中でも変化する性質を持っている。

【0159】

各列に供給するパルス幅変調信号が、図7に示したように入力されるデータに対し、そのデータの大きさに対応したパルス幅の、立ち上がりが同期したパルス幅変調信号を出力する場合には、入力画像データにもよるが一般的には、1水平走査期間のなかでは、パルスの立ち上がり直後ほど点灯している画素の数が多く、その後輝度の低い箇所から順に消灯していくため、点灯する画素の数は1水平走査期間の中では、時間を追って減少する。

30

【0160】

したがって走査配線上に発生する電圧降下の大きさも、1水平走査期間の初めほど大きく次第に減少する傾向がある。

【0161】

パルス幅変調信号は変調の1階調に相当する時間ごとに出力が変化するため、電圧降下の時間的な変化もパルス幅変調信号の1階調に相当する単位時間毎に変化する。

【0162】

(電圧降下の計算方法)

40

電圧降下については以下のような特徴がある。

【0163】

i) 1水平走査期間のある時点においては、走査配線上に発生する電圧降下は走査配線上で空間的に連続的な量であり非常に滑らかなカーブである。

【0164】

ii) 電圧降下の大きさは表示画像によっても異なるが、パルス幅変調の1階調に相当する時間毎に変化するが、概略的には、パルスの立ち上がり部分ほど大きく、時間的には次第に小さくなるか、もしくはその大きさを維持するかのどちらかである。すなわち、図7のような駆動方法では、各変調配線に供給される変調信号が同時に立ち上がるため、1水平走査期間の中で電圧降下の大きさが増加することはない。

50

【0165】

そこで以下のような近似モデルにより簡略化して計算を行うことによって、計算量の低減を試みた。

【0166】

まず、i) の特徴から、ある時点の電圧降下の大きさを計算するのに際して、数千本もの変調配線を数本～数十本の変調配線に集中化した縮退モデルによって近似的に簡略化して計算することを試みた。

【0167】

また、ii) の特徴から、1 水平走査期間のなかに複数の基準時刻を設け、各基準時刻に対し電圧降下を計算することで電圧降下の時間変化を概略的に予測した。

10

【0168】

具体的には以下で説明する縮退モデルによる電圧降下の計算を複数の基準時刻に対して計算することによって、電圧降下の時間変化を概略的に予測した。

【0169】

(縮退モデルによる電圧降下の計算)

図9 (a) は、本発明の縮退を行う際のブロック及びノードを説明するための図である。

【0170】

図9では簡略化するため、選択された走査配線と各変調配線およびその交差部に接続される表面伝導型放出素子のみを記載した。

【0171】

20

いま一水平走査期間の中のある時刻であって、選択された走査配線上の各画素の点灯状態 (すなわち変調手段の出力が “ H ” であるか、 “ L ” であるか) がわかっているものとする。

【0172】

この点灯状態において、各変調配線から選択された走査配線へ流れ込む素子電流を I_{fi} ($i = 1, 2, \dots, N$; i は列番号) と定義する。

【0173】

また、同図に示すように、 n 本の変調配線と選択された走査配線のそれと交差する部分及び、その交点に配置される表面伝導型放出素子を1つのグループとしてブロックを定義する。本例では、ブロック分けを行うことで4つのブロックに分割された。

30

【0174】

また、各々のブロックの境界位置においてノードという位置を設定した。ノードとは、縮退モデルにおいて走査配線上に発生する電圧降下量を離散的に計算するための水平位置 (基準点) である。

【0175】

本例ではブロックの境界位置に、ノード0～ノード4の5つのノードを設定した。

【0176】

図9 (b) は縮退モデルを説明するための図である。

【0177】

縮退モデルでは図9 (a) の1ブロックに含まれる n 本の変調配線を1本に縮退化し、縮退化された1本の変調配線が、走査配線のブロックの中央に位置するように接続した。

40

【0178】

また、縮退化された各々のブロックの変調配線には電流源が接続されており、各電流源から各々のブロック内の電流の総和 $I_{F0} \sim I_{F3}$ が流れ込むものとした。

【0179】

即ち、 I_{Fj} ($j = 0, 1, \dots, 3$) は、数1の (式1) のように表される電流である。

【数1】

$$IF_j = \sum_{i=j \times n+1}^{(j+1) \times n} IF_i \quad (\text{式 1})$$

【 0 1 8 0 】

また、走査配線の両端の電位が図 9 (a) の例では、行駆動回路の出力電圧 V_s と同じであるのに対し、図 9 (b) では GND 電位としているのは、縮退モデルでは、変調配線から選択した走査配線に流れ込む電流を上記電流源によりモデリングしたことにより、走査配線上の各部の電圧降下量は、その給電部を基準電位 (GND) として各部の電圧 (電位差) を算出することにより計算できるためである。つまり、電圧降下を算出する上での基準電位として規定した。

10

【 0 1 8 1 】

また、表面伝導型放出素子を省略しているのは、選択された走査配線から見た場合に、変調配線から同等の電流が流れ込めば、表面伝導型放出素子の有無によらず、発生する電圧降下自体は変わらないためである。従って、ここでは、各ブロックの電流源から流れ込む電流値を各ブロック内の素子電流の総和の電流値 (式 1) に設定することで表面伝導型放出素子を無視した。

【 0 1 8 2 】

また、各ブロックの走査配線の配線抵抗は一区間の走査配線の配線抵抗 r の n 倍とした。ここで一区間とは走査配線の、ある変調配線との交差点とその隣の変調配線との交差点の間のことを指している。また本例では、一区間の走査配線の配線抵抗は均一であるものとした。

20

【 0 1 8 3 】

このような縮退モデルにおいて、走査配線上の各ノードにおいて発生する電圧降下量 $DV_0 \sim DV_4$ は数 2 に示すような積和形式の式により、簡単に計算することができる。

【 数 2 】

$$\begin{aligned} DV_0 &= a_{00} \times IF_0 + a_{01} \times IF_1 + a_{02} \times IF_2 + a_{03} \times IF_3 \\ DV_1 &= a_{10} \times IF_0 + a_{11} \times IF_1 + a_{12} \times IF_2 + a_{13} \times IF_3 \\ DV_2 &= a_{20} \times IF_0 + a_{21} \times IF_1 + a_{22} \times IF_2 + a_{23} \times IF_3 \\ DV_3 &= a_{30} \times IF_0 + a_{31} \times IF_1 + a_{32} \times IF_2 + a_{33} \times IF_3 \\ DV_4 &= a_{40} \times IF_0 + a_{41} \times IF_1 + a_{42} \times IF_2 + a_{43} \times IF_3 \end{aligned}$$

30

【 0 1 8 4 】

数 2 の式は、すなわち数 3 の (式 2) のように示すことができる。

【 数 3 】

$$DVi = \sum_{j=0}^3 a_{ij} \times IF_j \quad (\text{式 2})$$

40

【 0 1 8 5 】

ただし、(式 2) において、 a_{ij} は縮退モデルにおいて j 番目のブロックだけに単位電流を注入したときに、 i 番目のノードに発生する電圧である。(以下、これを a_{ij} の定義とする。) a_{ij} はキルヒホフの法則により以下のように簡単に導出できる。

【 0 1 8 6 】

即ち、図 9 (b) において、ブロック i の電流源からみた走査配線の左側の供給端子までの配線抵抗を r_{li} ($i = 0, 1, 2, 3, 4$) , 右側の供給端子までの配線抵抗を r_{ri}

50

i ($i = 0, 1, 2, 3, 4$), ブロック 0 と左の供給端子との間の配線抵抗及びブロック 4 と右の供給端子との間の配線抵抗をいずれも r_t と定義すれば、数 4 のようになる。

【数 4】

$$r_{l0} = r_t + 0.5 \times n \times r$$

$$r_{r0} = r_t + 3.5 \times n \times r$$

$$r_{l1} = r_t + 1.5 \times n \times r$$

$$r_{r1} = r_t + 2.5 \times n \times r$$

$$r_{l2} = r_t + 2.5 \times n \times r$$

$$r_{r2} = r_t + 1.5 \times n \times r$$

$$r_{l3} = r_t + 3.5 \times n \times r$$

$$r_{r3} = r_t + 0.5 \times n \times r$$

10

【0187】

さらに、数 5 のようにおくと、 a_{ij} は、数 6 に示す (式 3) のように簡単に導出できる。ただし、数 5 において、 $A // B$ は、抵抗 A と抵抗 B の並列の抵抗値を表す記号であつて、 $A // B = A \times B / (A + B)$ である。

20

【数 5】

$$a = r_{l0} // r_{r0} = r_{l0} \times r_{r0} / (r_{l0} + r_{r0})$$

$$b = r_{l1} // r_{r1} = r_{l1} \times r_{r1} / (r_{l1} + r_{r1})$$

$$c = r_{l2} // r_{r2} = r_{l2} \times r_{r2} / (r_{l2} + r_{r2})$$

$$d = r_{l3} // r_{r3} = r_{l3} \times r_{r3} / (r_{l3} + r_{r3})$$

30

【数 6】

$$\begin{aligned}
a00 &= a \times rt / r10 \\
a10 &= a \times (rt + 3 \times n \times r) / rr0 \\
a20 &= a \times (rt + 2 \times n \times r) / rr0 \\
a30 &= a \times (rt + 1 \times n \times r) / rr0 \\
a40 &= a \times rt / rr0 \\
a01 &= b \times rt / r11 \\
a11 &= b \times (rt + n \times r) / r11 \\
a21 &= b \times (rt + 2 \times n \times r) / rr1 \\
a31 &= b \times (rt + n \times r) / rr1 \\
a41 &= b \times rt / rr1 \\
a02 &= c \times rt / r12 \\
a12 &= c \times (rt + n \times r) / r12 \\
a22 &= c \times (rt + 2 \times n \times r) / r12 \\
a32 &= c \times (rt + n \times r) / rr2 \\
a42 &= c \times rt / rr2 \\
a03 &= d \times rt / r13 \\
a13 &= d \times (rt + n \times r) / r13 \\
a23 &= d \times (rt + 2 \times n \times r) / r13 \\
a33 &= d \times (rt + 3 \times n \times r) / r13 \\
a43 &= d \times rt / rr3
\end{aligned}$$

(式3)

10

20

【0188】

(式2)はブロック数が4でない場合においても、 a_{ij} の定義を顧みれば、キルヒホフの法則によって簡単に算出することができる。また本例のように走査配線の両側に給電端子を備えず片側のみに備える場合においても、 a_{ij} の定義に従って計算することにより簡単に算出できる。

30

【0189】

なお、(式3)によって定義されるパラメータ a_{ij} は計算を行うたびに計算し直す必要はなく、一度計算してテーブルとして記憶しておけばよい。

【0190】

さらに、(式1)で定めた各ブロックの総和電流 $IF_0 \sim IF_3$ に対し、数7に示す(式4)のような近似を行った。

【数7】

40

$$IF_j = \sum_{i=j \times n+1}^{(j+1) \times n} If_i = IFS \times \sum_{i=j \times n+1}^{(j+1) \times n} Count_i \quad (\text{式4})$$

【0191】

ただし、(式4)において $Count_i$ は選択された走査線上の*i*番目のピクセルが点灯状態である場合には1をとり、消灯状態である場合には0をとる変数である。 IFS は表面伝導型放出素子1素子の両端に電圧 $VSEL$ を印加したときに流れる素子電流 IF に対し、0～1の間の値をとる係数をかけた量である。

50

【 0 1 9 2 】

すなわち、数 8 に示す（式 5）のように定義した。

【 数 8 】

$$IFS = \alpha \times IF \quad (\text{式 5})$$

【 0 1 9 3 】

（式 4）は選択された走査配線に対し各ブロックの変調配線から該ブロック内の点灯数に比例した素子電流が流れ込むものとしている。この際 1 素子の素子電流 IF に係数 α をかけたものを 1 素子の素子電流 IFS としたのは、電圧降下により走査配線の電圧が上昇することにより、素子電流の量が減少することを考慮した。

10

【 0 1 9 4 】

図 9（c）は、ある点灯状態において、縮退モデルにより各ノードの電圧降下量 $DV0 \sim DV4$ を計算した結果の一例である。

【 0 1 9 5 】

電圧降下は非常に滑らかなカーブとなるため、ノードとノードの間の電圧降下は近似的には図の点線に示したような値をとると想定される。

【 0 1 9 6 】

このように、本縮退モデルを用いれば、入力された画像データに対し所望の時点でのノードの位置での電圧降下を計算することが可能である。

20

【 0 1 9 7 】

以上、ある点灯状態における電圧降下量を、縮退モデルを用いて簡単に計算した。

【 0 1 9 8 】

選択された走査配線上に発生する電圧降下は一水平走査期間内で時間的に変化するが、これについては前述したように一水平走査期間中のいくつかの時刻に対して、その時の点灯状態を求め、その点灯状態に対し縮退モデルを用いて電圧降下を計算することにより予測した。

【 0 1 9 9 】

なお、一水平走査期間のある時点での各ブロック内の点灯数は各ブロックの画像データを参照すれば簡単に求めることができる。

30

【 0 2 0 0 】

いま、1つの例としてパルス幅変調回路への入力データのビット数が 8 ビットであるものとし、パルス幅変調回路は、入力データの大きさに対してリニアなパルス幅を出力するものとする。

【 0 2 0 1 】

すなわち入力データが 0 のときは、出力は“L”となり、入力データが 255 のとき一水平走査期間の間は“H”を出力し、入力データが 128 のときには一水平走査期間のうち初めの半分の期間は“H”を出力し、後の半分の期間は“L”を出力するものとする。

【 0 2 0 2 】

このような場合、パルス幅変調信号の開始時刻（本例の変調信号の例では立ち上がりの時刻）の点灯数は、パルス幅変調回路への入力データが 0 よりも大きいものの数をカウントすれば簡単に検出できる。

40

【 0 2 0 3 】

同様に一水平走査期間の中央の時刻の点灯数は、パルス幅変調回路への入力データが 128 よりも大きいものの数をカウントすれば簡単に検出できる。

【 0 2 0 4 】

このように画像データのある閾値に対してコンパレートし、コンパレータの出力が真である数をカウントすれば、任意の時間における点灯数が簡単に計算することができる。

【 0 2 0 5 】

ここで以降の説明を簡単化するため、タイムスロットという時間量を定義する。

50

【0206】

すなわち、タイムスロットとは、一水平走査期間のなかのパルス幅変調信号の開始時刻（上述の例ではパルスの立ち上がり）からの時間を表しており、「タイムスロット = 0」とは、パルス幅変調信号の開始時刻直後の時刻を表すものと定義する。

【0207】

「タイムスロット = 64」とは、パルス幅変調信号の開始時刻から、64階調分の時間が経過した時刻を表すものと定義する。

【0208】

同様に「タイムスロット = 128」とは、パルス幅変調信号の開始時刻から、128階調分の時間が経過した時刻を表すものと定義する。

10

【0209】

なお、本例ではパルス幅変調は立ち上がり時刻を基準として、そこからのパルス幅を変調した例を示したが、同様に、パルスの立ち下がり時刻を基準として、パルス幅を変調する場合でも、時間軸の進む方向とタイムスロットの進む方向が逆となるが、同様に適用することができることはいうまでもない。

【0210】

（電圧降下量から補正データの計算）

上述したように、縮退モデルを用いて繰り返し計算を行うことで一水平走査期間中の電圧降下の時間変化を近似的かつ離散的に計算することができた。

【0211】

20

図10は、ある画像データに対して、電圧降下を繰り返し計算し、走査配線での電圧降下の時間変化を計算した例である（ここに示されている電圧降下及びその時間変化は、ある画像データに対する一例であって、別の画像データに対する電圧降下は、また別の变化をすることは当然である。）。

【0212】

同図ではタイムスロット = 0, 64, 128, 192の4つの時点に対して、各々縮退モデルを適用して計算を行うことに、それぞれの時刻の電圧降下を離散的に計算した。

【0213】

図10では各ノードにおける電圧降下量を点線で結んでいるが、点線は図を見やすくするために記載したものであって、本縮退モデルにより計算された電圧降下は、 ΔV 、 ΔV 、 ΔV で示した各ノードの位置において離散的に計算した。

30

【0214】

発明者らは、電圧降下の大きさとその時間変化を計算可能となった次の段階として、電圧降下量から画像データを補正する補正データを算出する方法を試みた。

【0215】

図11は、選択した走査配線上に図10に示した電圧降下が発生した際に、点灯状態にある表面伝導型放出素子から放出される放出電流を見積もったグラフである。

【0216】

縦軸は電圧降下がないときに放出される放出電流の大きさを100%として、各時間、各位置の放出電流の量を百分率で表しており、横軸は水平位置を表している。

40

【0217】

図11に示すように、ノード2の水平位置（基準点）において、
タイムスロット = 0の時の放出電流を I_{e0} 、
タイムスロット = 64の時の放出電流を I_{e1} 、
タイムスロット = 128の時の放出電流を I_{e2} 、
タイムスロット = 192の時の放出電流を I_{e3}
とする。

【0218】

同図は図10の電圧降下量と図6の“駆動電圧対放出電流”のグラフから計算した。具体的には電圧 V_{SEL} から電圧降下量を引いた電圧が印加された際の放出電流の値を単に機

50

械的にプロットしたものである。

【0219】

したがって、同図はあくまで点灯状態にある表面伝導型放出素子から放出される電流を意味しており、消灯状態にある表面伝導型放出素子が電流を放出することはない。

【0220】

以下に、電圧降下量から画像データを補正する補正データを算出する方法として、二つの方法について説明する。

【0221】

ア) 第1の補正データ算出方法

図12(a), (b), (c)は、図11の放出電流の時間変化から、電圧降下の補正データを計算する第1の方法を説明するための図である。 10

【0222】

図12(a)は、ノード2の位置における、大きさが64の画像データに対する補正データの算出方法を説明するための図である。同図はパルス幅変調された放出電流のパルス波形を模式的に表しており、パルス波形の波高は放出電流の量を、パルス波形のパルス幅は放出電流の放出される時間を表しており、パルス波形のパルス幅は64階調に相当する時間となっている。なお、説明を簡略化するために、たとえば、パルス幅変調信号の64階調に相当する長さであることを簡略化して、パルス幅が64と記載することがある。

【0223】

ここで、ノード2位置において、パルス幅が64のパルス幅変調信号を出力する場合に、電圧降下に起因する放出電流の低下分Lossは、近似的に同図(a)のLoss1で示した台形の面積として計算することとした。この計算式(式6)を数9に示す。 20

【数9】

$$\text{Loss} = \text{Loss1} = (\Delta I_{e0} + \Delta I_{e1}) \times 64 \times \Delta t \times 0.5 \quad (\text{式6})$$

ただし、

$$\Delta I_{e0} = I_E - I_{e0}$$

$$\Delta I_{e1} = I_E - I_{e1}$$

I_E : 電圧降下がないときにON状態の表面伝導型放出素子から放出される
放出電流値

Δt : パルス幅変調の1階調に相当する時間

30

【0224】

そこで、この放出電流の損失の総和を補うように、変調信号のパルス幅を伸ばすために変調信号に追加すべきパルス幅、すなわち画像データに加算すべき補正データCDataを近似的に数10の(式7)のように計算した。

【数10】

$$CData = \text{Loss} / I_{e1} / \Delta t \quad (\text{式7})$$

40

【0225】

(式7)で損失Lossを I_{e1} で除算しているのは、タイムスロットが64の時点の放出電流が I_{e1} であるからであり、補正によりパルス幅が拡張される期間における放出電流の量が I_{e1} に等しいと近似をした。

【0226】

同じように、ノード2の位置においてパルス幅が128のパルス幅変調信号を出力する場合、電圧降下に起因する放出電流量の低下分Lossは、近似的に同図(b)のLoss1とLoss2で示した2つの台形の和として計算した。すなわち、数11の(式8)の 50

ように計算した。

【数 1 1】

$$\begin{aligned} \text{Loss} &= \text{Loss 1} + \text{Loss 2} \\ \text{Loss 1} &= (\Delta \text{Ie0} + \Delta \text{Ie1}) \times 64 \times \Delta t \times 0.5 \\ \text{Loss 2} &= (\Delta \text{Ie1} + \Delta \text{Ie2}) \times 64 \times \Delta t \times 0.5 \end{aligned} \quad (\text{式 8})$$

ただし、

$$\Delta \text{Ie2} = \text{IE} - \text{Ie2}$$

10

【0 2 2 7】

そこで、追加すべきパルス幅、すなわち大きさ 1 2 8 の画像データに加算すべき補正データ C D a t a を近似的に数 1 2 の (式 9) のように計算した。

【数 1 2】

$$\text{CData} = \text{Loss} / \text{Ie2} / \Delta t \quad (\text{式 9})$$

【0 2 2 8】

同じように、ノード 2 の位置においてパルス幅が 1 9 2 のパルス幅変調信号を出力する場合、電圧降下に起因する放出電流量の低下分 L o s s は、近似的に同図 (c) の L o s s 1 と L o s s 2 と L o s s 3 で示した 3 つの台形の和として計算した。すなわち、数 1 3 の (式 1 0) のように計算した。

20

【数 1 3】

$$\begin{aligned} \text{Loss} &= \text{Loss 1} + \text{Loss 2} + \text{Loss 3} \\ \text{Loss 1} &= (\Delta \text{Ie0} + \Delta \text{Ie1}) \times 64 \times \Delta t \times 0.5 \\ \text{Loss 2} &= (\Delta \text{Ie1} + \Delta \text{Ie2}) \times 64 \times \Delta t \times 0.5 \\ \text{Loss 3} &= (\Delta \text{Ie2} + \Delta \text{Ie3}) \times 64 \times \Delta t \times 0.5 \end{aligned} \quad (\text{式 1 0})$$

ただし、

$$\Delta \text{Ie3} = \text{IE} - \text{Ie3}$$

30

【0 2 2 9】

そこで、大きさ 1 9 2 の画像データに対する補正データ C D a t a は近似的に数 1 4 の式 1 1 のように計算できる。

【数 1 4】

$$\text{CData} = \text{Loss} / \text{Ie3} / \Delta t \quad (\text{式 1 1})$$

【0 2 3 0】

また、変調信号のパルス幅が 0 の時には、当然ながら放出電流に対する電圧降下の影響はないため、補正データは 0 とし画像データに加算する補正データも 0 とした。

40

【0 2 3 1】

このような作業を繰り返し行うことにより、すべてのノードにおける、パルス幅が 0 , 6 4 , 1 2 8 , 1 9 2 の変調信号に対する補正データを離散的に計算した。

【0 2 3 2】

本例ではタイムスロット 0 , 6 4 , 1 2 8 , 1 9 2 の 4 点に対して縮退モデルを適用して、各時刻の電圧降下量を計算したことにより、補正データもパルス幅が 0 , 6 4 , 1 2 8 , 1 9 2 の 4 点に対して求めることができた。

【0 2 3 3】

50

しかし、好ましくは縮退モデルにより電圧降下を計算する時間の間隔を細かくすることで、電圧降下の時間変化をより精密に扱うことができ、近似計算の誤差を低減することができる。

【0234】

なおその際には同様な考え方に立って、(式6)～(式11)を変形して計算を行えばよい。

【0235】

図13(a)は、上述の方法により、ある入力データに対し、各々のノードの位置における、画像データ = 0, 64, 128, 192に対する補正データを離散的に計算した結果の一例である。

10

【0236】

なお、同図では同一の画像データに対する離散補正データを、図を見やすくするために、点線の曲線で結んで記載した。

【0237】

イ) 第2の補正データ算出方法

図14(a), (b), (c)は図11の放出電流の時間変化から、電圧降下量の補正データを計算する第2の方法を説明するための図である。同図は大きさが64の画像データに対する補正データを算出した例である。

【0238】

輝度の発光量は、放出電流パルスによる放出電流を時間的に積分した、放出電荷量に他ならない。したがって以降では、電圧降下による輝度の変動を考えるのにあたって、放出電荷量をもとに説明を行う。

20

【0239】

いま、電圧降下の影響がない場合の放出電流を I_E 、パルス幅変調の1階調に相当する時間を t とするならば、画像データが64のときの、放出電流パルスによって放出されるべき放出電荷量 Q_0 は放出電流パルスの振幅 I_E にパルス幅 ($64 \times t$) をかけて、数15の(式12)のようにあわせることができる。

【数15】

$$Q_0 = I_E \times 64 \times \Delta t \quad (\text{式12})$$

30

【0240】

しかし、実際には、走査配線上の電圧降下によって放出電流が低下する現象が発生する。

【0241】

電圧降下の影響を考慮した放出電流パルスによる放出電荷量は、近似的には次のように計算できる。すなわち、ノード2のタイムスロット = 0, 64の放出電流をそれぞれ I_{e0} 、 I_{e1} とし、0 ~ 64の間の放出電流は I_{e0} と I_{e1} の間を直線的に変化するものと近似すれば、この間の放出電荷量 Q_1 は図14(b)の台形の面積、すなわち、数16の(式13)のように計算できる。

【数16】

40

$$Q_1 = (I_{e0} + I_{e1}) \times 64 \times \Delta t \times 0.5 \quad (\text{式13})$$

【0242】

次に、図14(c)に示すように、電圧降下による放出電流の低下分を補正するために、パルス幅を $DC1$ だけ伸ばしたとき、電圧降下の影響を除去できたとする。

【0243】

また、電圧降下の補正を行い、パルス幅を伸ばした場合には、各タイムスロットにおける放出電流量は変化すると考えられるが、ここでは簡単化のため、図14(c)のように、タイムスロット = 0では、放出電流が I_{e0} 、タイムスロット = ($64 + DC1$) にお

50

る放出電流が I_{e1} になるものとする。

【0244】

また、タイムスロット0とタイムスロット(64+DC1)の間の放出電流は、2点の放出電流を直線で結んだ線上の値をとるものと近似する。すると、補正後の放出電流パルスによる放出電荷量 Q_2 は、数17の(式14)のように計算できる。

【数17】

$$Q_2 = (I_{e0} + I_{e1}) \times (64 + DC1) \times \Delta t \times 0.5 \quad (\text{式14})$$

【0245】

これが前述の Q_0 と等しいとすれば、数18の式のようになり、この式をDC1について解けば、数19の(式15)となる。

【数18】

$$IE \times 64 \times \Delta t = (I_{e0} + I_{e1}) \times (64 + DC1) \times \Delta t \times 0.5$$

【数19】

$$DC1 = ((2 \times IE - I_{e0} - I_{e1}) / (I_{e0} + I_{e1})) \times 64 \quad (\text{式15})$$

【0246】

このようにして、画像データが64の場合の補正データを算出した。

【0247】

すなわち、ノード2の位置の大きさが64の画像データに対しては(式15)に記載のように、 $CData = DC1$ だけ補正量 $CData$ を加算すればよい。

【0248】

図15は計算された電圧降下量から、大きさが128の画像データに対する補正データを算出した例である。

【0249】

いま、電圧降下の影響がない場合、画像データが128のときに放出電流パルスによって放出されるべき放出電荷量 Q_3 は、数20の(式16)のように計算できる。

【数20】

$$Q_3 = IE \times 128 \times \Delta t = 2 \times Q_0 \quad (\text{式16})$$

【0250】

一方、電圧降下の影響を受けた、実際の放出電流パルスによる投入電荷量は、近似的には次のように計算することができる。

【0251】

すなわち、ノード2のタイムスロット = 0, 64, 128の放出電流量をそれぞれ I_{e0} , I_{e1} , I_{e2} とする。また、0~64の間の放出電流は I_{e0} と I_{e1} の間を直線的に変化し、64~128の間は I_{e1} と I_{e2} の間を直線で結んだ線上を変化するものと近似すれば、0~128までのタイムスロットの間の放出電荷量 Q_4 は図15(b)の2つの台形の面積の和、すなわち、数21の(式17)のように計算できる。

【数21】

$$Q_4 = (I_{e0} + I_{e1}) \times 64 \times \Delta t \times 0.5 \\ + (I_{e1} + I_{e2}) \times 64 \times \Delta t \times 0.5 \quad (\text{式17})$$

【0252】

10

20

30

40

50

一方、電圧降下の補正量を以下のように計算した。

【 0 2 5 3 】

タイムスロット 0 ~ 6 4 に相当する期間を期間 1、6 4 ~ 1 2 8 に相当する期間を期間 2 と定義する。

【 0 2 5 4 】

補正を施した際に、期間 1 の部分が D C 1 だけ伸びて期間 1 に伸長され、期間 2 の部分が D C 2 だけ伸びて、期間 2 に伸長されるものとする。

【 0 2 5 5 】

この際におのおのの期間は補正を施されることにより、放出電荷量が前述の Q 0 と同じになるものとする。

10

【 0 2 5 6 】

また、各期間の初めと終わりの放出電流は、補正を行うことで変化することは言うまでもないが、ここでは計算を簡単化するため、変化しないものと仮定した。

【 0 2 5 7 】

すなわち、期間 1 の初めの放出電流は I e 0、期間 1 の終わりの放出電流は I e 1、期間 2 の初めの放出電流は I e 1、期間 2 の終わりの放出電流は I e 2 であるものとする。

【 0 2 5 8 】

すると、D C 1 は (式 1 5) と同様にして計算することができる。

【 0 2 5 9 】

20

また、D C 2 は、同様な考え方により、数 2 2 の (式 1 8) のように計算することができる。

【 数 2 2 】

$$DC2 = ((2 \times IE - Ie1 - Ie2) / (Ie1 + Ie2)) \times 64 \quad (\text{式 } 18)$$

【 0 2 6 0 】

結果としてノード 2 の位置の大きさが 1 2 8 の画像データに対しては、数 2 3 の (式 1 9) により求まる補正量 C D a t a を加算すればよい。

【 数 2 3 】

30

$$CData = DC1 + DC2 \quad (\text{式 } 19)$$

【 0 2 6 1 】

図 1 6 は計算された電圧降下量から、大きさが 1 9 2 の画像データに対する補正データを算出した例である。

【 0 2 6 2 】

いま、画像データが 1 9 2 のときに期待される放出電流パルスによる放出電荷量 Q 5 は、数 2 4 のようになる。

【 数 2 4 】

40

$$Q5 = IE \times 192 \times \Delta t = 3 \times Q0$$

【 0 2 6 3 】

一方、電圧降下の影響を受けた、実際の放出電流パルスによる放出電荷量は、近似的には次のように計算することができる。

【 0 2 6 4 】

すなわち、ノード 2 のタイムスロット = 0 の時の放出電流を I e 0、タイムスロット = 6 4 の時の放出電流を I e 1、タイムスロット = 1 2 8 の時の放出電流を I e 2、タイムスロット = 1 9 2 の時の放出電流を I e 3 とし、0 ~ 6 4 の間の放出電流は I e 0 と I e

50

1の間を直線的に変化し、64～128の間は I_{e1} と I_{e2} の間を直線で結んだ線上を変化し、128～192の間は I_{e2} と I_{e3} の間を直線で結んだ線上を変化するものと近似すれば、0～192までのタイムスロットの間の投入電荷量 Q_6 は図16(c)の3つの台形の面積、すなわち、数25の(式20)のように計算できる。

【数25】

$$\begin{aligned} Q_6 = & (I_{e0} + I_{e1}) \times 64 \times \Delta t \times 0.5 \\ & + (I_{e1} + I_{e2}) \times 64 \times \Delta t \times 0.5 \\ & + (I_{e2} + I_{e3}) \times 64 \times \Delta t \times 0.5 \end{aligned} \quad (\text{式20})$$

10

【0265】

一方、電圧降下の補正量を以下のように計算した。

【0266】

タイムスロット0～64に相当する期間を期間1、64～128に相当する期間を期間2、128～192に相当する期間を期間3と定義する。

【0267】

先ほどと同様に、補正を施した後は、期間1の部分が DC_1 だけ伸びて期間1に伸長され、期間2の部分が DC_2 だけ伸びて、期間2に伸長され、期間3の部分が DC_3 だけ伸びて期間3に伸張されるものとする。

【0268】

この際、おのこの期間は補正を施されることにより、放出電荷量が前述の Q_0 と同じになるものとする。

20

【0269】

また、各期間の初めと終わりの放出電流は、補正の前後で変わらないものと仮定した。

【0270】

すなわち、期間1の初めの放出電流は I_{e0} 、期間1の終わりの放出電流は I_{e1} 、期間2の初めの放出電流は I_{e1} 、期間2の終わりの放出電流は I_{e2} 、期間3の初めの放出電流は I_{e3} 、期間3の終わりの放出電流は I_{e4} であるものとする。

【0271】

すると、 DC_1 、 DC_2 はそれぞれ(式15)、(式18)と同様に計算することができる。

30

【0272】

また、 DC_3 については、数26の(式21)のように計算することができる。

【数26】

$$DC_3 = ((2 \times I_{e1} - I_{e2} - I_{e3}) / (I_{e2} + I_{e3})) \times 64 \quad (\text{式21})$$

【0273】

結果としてノード2の位置の大きさが192の画像データに加算する補正データ $CData$ としては、数27の(式22)により求まる値を加算すればよい。

40

【数27】

$$CData = DC_1 + DC_2 + DC_3 \quad (\text{式22})$$

【0274】

以上のようにしてノード2の位置に対する画像データ64、128、192の補正データ $CData$ を算出した。

【0275】

また、パルス幅が0の時には、当然ながら放出電流に対する電圧降下の影響はないため、補正データは0とし画像データに加算する補正データ $CData$ も0とした。

50

【0276】

以上、離散的な水平位置（ノード）における、離散的な画像データの大きさに対する補正データの算出法について2つの方法を説明した。

【0277】

なお、いずれの方法においても、このように0, 64, 128, 192というように、とびとびの画像データに対して補正データを計算しているのは、計算量を減らすことを狙ったものである。

【0278】

すなわち任意のすべての画像データに対して同様の計算を行っては、非常に計算量が大きくなり、計算を行うためのハードウェア量が非常に大きくなってしまう。

10

【0279】

一方、あるノードの位置においては、画像データが大きいほど、補正データも大きくなる傾向がある。これにより、任意の画像データに対する補正データを算出する際には、その画像データの近傍のすでに補正データが算出されている点と点を直線近似により補間すれば、計算量を大幅に減少させることができるためである。なお、この補間については離散補正データ補間手段を説明する際に詳しく説明する。

【0280】

また、同様な考え方をすべてのノードの位置において適用すれば、すべてのノードの位置における、画像データ = 0, 64, 128, 192の補正データを算出できる。

【0281】

20

なお、このように補正データを算出されている離散的な画像データのことを画像データ基準値と呼ぶ。

【0282】

本例ではタイムスロットを0, 64, 128, 192の4点に対して縮退モデルを適用して、各時刻の電圧降下量を計算したことにより、補正データも画像データが0, 64, 128, 192の4つの画像データ基準値に対する補正データを求めることができた。

【0283】

しかし、好ましくは縮退モデルにより電圧降下を計算する時間の間隔を細かくすることで、電圧降下の時間変化をより精密に扱うことができ、離散的な画像データ基準値の個数が増加する一方、近似計算の誤差を低減することができる。

30

【0284】

具体的には、図14～図16では、図を簡略化するためにタイムスロット0, 64, 128, 192の4点のみにおいて計算を行ったが、実際には、タイムスロット0～255のうち16タイムスロットおきに計算を行ったところ（すなわち画像データの基準値を画像データの大きさに16ごとに設定した）、好ましかった。

【0285】

なお、その際には同様な考え方に立って、（式6）～（式11）もしくは、（式12）～（式22）を変形して計算を行えばよい。

【0286】

上述の方法により、ある入力データに対し、各々のノードの位置における、画像データ = 0, 64, 128, 192に対する補正データを離散的に計算すると、図13(a)と同様の結果が得られた。

40

【0287】

（離散補正データの補間方法）

離散的に算出された補正データは、各ノードの位置に対する離散的なものであって、任意の水平位置（列配線番号）における補正データを与えるものではない。またそれと同時に、各ノード位置においていくつかの予め定められた画像データの基準値の大きさをもつ画像データに対する補正データであって実際の画像データの大きさに応じたに対する補正データをあたえるものではない。

【0288】

50

ここでは各列配線における入力画像データの大きさに適合した補正データを、離散的に算出した補正データを補間することにより算出した。

【0289】

図13(b)はノードnとノードn+1の間に位置するxという位置における、画像データDataに相当する補正データを算出する方法を示した図である。

【0290】

なお前提として、補正データはすでにノードn及びノードn+1の位置X_n及びX_{n+1}において離散的に計算されているものとする。

【0291】

また、画像データDataはすでに離散的に補正データが算出されている画像データである、画像データ基準値のD_kとD_{k+1}の間の値をとるものとする。

【0292】

いま、ノードnのk番目の画像データの基準値に対する離散的補正データをCData[k][n]と表記するならば、位置xにおけるパルス幅D_kの補正データCAは、CData[k][n]とCData[k][n+1]の値を用いて、直線近似により、数28の(式23)のように計算できる。

【数28】

$$CA = \frac{(X_{n+1}-x) \times CData[k][n] + (x-X_n) \times CData[k][n+1]}{X_{n+1} - X_n} \quad (式23)$$

【0293】

ただし、X_n、X_{n+1}はそれぞれノードn、(n+1)の水平表示位置であって、前述したブロックを決定するときに定められる定数である。

【0294】

また位置xにおける画像データD_{k+1}の補正データCBは、数29の(式24)のように計算できる。

【数29】

$$CB = \frac{(X_{n+1}-x) \times CData[k+1][n] + (x-X_n) \times CData[k+1][n+1]}{X_{n+1} - X_n} \quad (式24)$$

【0295】

CAとCBの補正データを直線近似することにより、位置xにおける画像データDataに対する補正データCDは、数30の(式25)のように計算できる。

【数30】

$$CD = \frac{CA \times (D_{k+1}-Data) + CB \times (Data-D_k)}{D_{k+1} - D_k} \quad (式25)$$

【0296】

以上のように、離散的補正データから実際の位置や画像データの大きさに適合した補正データを算出するためには、式23～式25に記載した方法により簡単に計算できる。

【0297】

このようにして算出した補正データを画像データに加算して画像データを補正し、補正後の画像データ(補正画像データ)に応じてパルス幅変調を行えば、従来からの課題であつ

10

20

30

40

50

た表示画像における電圧降下による影響を低減することができ、画質を向上させることができる。

【0298】

また予てからの課題であった補正のためのハードウェアについても、これまで説明してきたような縮退化などの近似を導入することにより、計算量を低減化することができるため非常に小規模なハードウェアで構成することができるというすぐれたメリットがある。

【0299】

ところで、上記補正手法によって走査配線の電圧降下に起因する輝度低下の問題を解決できることが明らかとなったわけであるが、かかる機能を実現する回路を作製するにあたり、留意しなければならない点がある。

10

【0300】

デジタル回路においては、その回路で取り扱うことのできるデータ幅（ビット数）に制限がある。このデータ幅は一般的にハードウェアのコスト等との兼ね合いから決定される。

【0301】

補正データを加算することによる補正画像データの増大により、いわゆるオーバーフローの問題が生ずることがある。すなわち、画像データに対して補正データを単純に加算したときに、その演算結果がパルス幅変調器（変調回路8）で取り扱うことのできるデータ幅を超えてしまうと、ビットの折り返しなどが起こり、表示画像の反転などの画像の乱れが生ずるのである。

20

【0302】

このため、本実施の形態では、あらかじめ補正画像データの最大値を計算し、その最大値に対応するビット幅を持ったパルス幅変調器を設ける。

【0303】

しかしながら、駆動時間を延ばさなくてはならない補正に対して、現実的に決まっている水平走査時間（入力される画像信号により決まっている水平走査時間）により制限される駆動時間の最大時間に抑えることにより輝度が低下することによって、表示画像全体の輝度が低下してしまう。

【0304】

そこで、本実施の形態では、前述したように、水平走査ライン（走査配線）毎の補正画像データの最大値に応じて各走査配線の走査時間（選択時間）をフレーム単位で適宜に割り当てる。

30

【0305】

（システム全体と各部分の機能説明）

次に、補正データ算出手段を内蔵した画像表示装置のハードウェアについて説明する。

【0306】

図17、図18、図19はその回路構成の概略を示すブロック図である。図17は、映像信号の入力と、入力された映像信号の補正に係る信号処理回路を、図18は、走査配線の選択期間、すなわち水平走査期間の決定に係る駆動制御回路を、図19は、表示パネル、走査駆動回路および変調駆動回路に係る部分をそれぞれ示している。図17に示す回路の出力Doutは、図18に示す回路に入力される。また、図18に示す回路の出力SD1～SD8は、図19に示す回路に入力される。

40

【0307】

図17において、13は入力映像信号を映像信号と同期信号とに分離する同期信号分離回路、11は同期信号分離回路13で分離された同期信号に基づき各部のタイミング信号を発生するタイミング発生回路、7は同期信号分離回路13により分離された輝度及び色差信号（YPbPr）を3原色信号（RGB）に変換するRGB変換手段を示す。

【0308】

コンピュータの映像出力などはパラレル3原色信号（RGB）として入力されるので、この場合には、RGB変換手段7を介する必要はない。

50

【0309】

また、17はRGB信号に逆変換を施す逆処理部、9はRGBの平行信号をシリアル信号にするデータ配列変換部、14は入力画像データに基づいて走査配線の電圧降下を補正するため補正データを算出する補正データ算出手段、19は遅延回路、12は補正データ算出手段14によって算出された補正データを用いて画像データを補正する加算器を示す。

【0310】

また、同図においてR、G、BはRGB平行の入力映像データ、Ra、Ga、Baは逆変換処理を施したRGB平行の映像データ、SDataはデータ配列変換部9により平行・シリアル変換されたシリアル画像データ、Dataは遅延されたシリアル画像データ、CDは補正データ算出手段14により算出された補正データ、Doutは加算器12によりシリアル画像データDataに補正データCDを加算することにより、補正された画像データ(補正画像データ)である。

10

【0311】

図18において、26、27はそれぞれ補正画像データを一時的に記憶しておくフレームメモリたるメモリA、メモリB、21はメモリA、Bの書き込み用アドレス信号を発生するWアドレス発生部、28はメモリA、Bからの読み出し用アドレス信号を発生するRアドレス発生部、23、24、25、29はそれぞれメモリA、Bの入出力を適宜切り替えるスイッチを示す。

【0312】

また、同図において、22は補正画像データの最大値を各水平走査ライン(走査配線)毎に検出するライン最大値検出器、34はライン最大値検出器22によって検出された補正画像データの最大値に応じて各水平走査ライン(走査配線)の走査時間を演算処理するマイコン、33はマイコン34の演算結果を受けて表示タイミング信号を発生する表示タイミング発生部を示す。

20

【0313】

図19において、1は図4に示したような表示パネル、 $D \times 1 \sim D \times M$ 及び $D \times 1 \sim D \times M$ は表示パネルの走査配線の電圧供給端子、 $Dy1 \sim DyN$ は表示パネルの変調配線の電圧供給端子、Hvはフェースプレートとリアプレート間に加速電圧を印加するための高圧供給端子、Vaは高圧電源を示す。また、2A、2Bは各走査配線に走査信号を供給する走査駆動回路である。5は、メモリA26又はメモリB27からの出力SD1～SD8がそれぞれ入力される8個のシフトレジスタ、6は画像データ1ライン分のラッチ回路、8は補正画像データに応じてパルス幅変調した変調信号(電圧パルス)を表示パネル1の各変調配線に出力するパルス幅変調回路を示し、シフトレジスタ5、ラッチ回路6、変調回路8により、変調駆動回路が構成されている。

30

【0314】

(同期信号分離回路、タイミング発生回路)

本実施の形態の画像表示装置は、NTSCや、PAL、SECAM、HDTVなどのテレビジョン信号や、コンピュータの出力であるVGAなどの何れをに表示することができる。

40

【0315】

図17では、720pのHDTV方式が入力された一例について記載している。

【0316】

入力画像信号720pのフレーム周波数は60Hz、水平周波数は45kHzである。すなわち、全走査線数は750ラインであり、そのうちの720ラインは有効走査線数である。

【0317】

入力された720pの映像信号からは、まず同期信号分離回路13により同期信号Vsync、Hsyncを分離される。同期分離された垂直同期信号Vsyncと水平同期信号Hsyncはタイミング発生回路11に供給され、同期分離された映像信号はRGB変換

50

手段 7 に供給される。RGB 変換手段 7 の内部には、輝度及び色差信号 Y P b P r から 3 原色信号 RGB への変換回路の他に、不図示のローパスフィルタや A / D 変換器などが設けられており、信号 Y P b P r をディジタル RGB 信号へと変換し、逆 処理部 1 7 へと供給する。

【 0 3 1 8 】

タイミング発生回路 1 1 は、PLL 回路を内蔵しており、様々な映像ソースの同期信号に同期したタイミング信号を発生し、各部の動作タイミング信号を発生する回路である。

【 0 3 1 9 】

タイミング発生回路 1 1 が発生するタイミング信号としては、所定のサンプリング周波数のサンプリングクロック M C L K、水平走査用のタイミング信号 H D、垂直走査用のタイ
10

【 0 3 2 0 】

本実施の形態では、1 水平走査期間 (1 H) のサンプルクロック数を 1 6 4 8 個に設計し、その中の 1 2 8 0 個を有効画素数とする。したがって、サンプリング周波数 M C L K は、PLL 回路により水平同期信号に分周比 1 : 1 6 4 8 で分周して発生させ、7 4 . 1 6 M H z のサンプリング周波数のサンプリングクロック M C L K を得る。

【 0 3 2 1 】

(逆 処理部)

C R T は入力に対しほぼ 2 . 2 乗の発光特性 (以降逆 特性とよぶ) を備えている。

【 0 3 2 2 】

そのため、入力映像信号は C R T のこのような特性が既に考慮されており、C R T に表示した際にリニアな発光特性となるように一般に 0 . 4 5 乗の 特性にしたがって変換され
20

【 0 3 2 3 】

一方、本実施形態の表示パネルは駆動電圧の印加時間により変調を施す場合、印加時間の長さに対しほぼリニアな発光特性を有しているため、入力映像信号を逆 特性にもとづいて変換 (以降逆 変換とよぶ) する必要がある。

【 0 3 2 4 】

図 2 0 は、入力映像信号を逆 変換するための逆 処理部 1 7 の構成を示すブロック図で
30

【 0 3 2 5 】

本実施の形態の逆 処理部 1 7 は、上記逆 変換処理をメモリによって構成した。

【 0 3 2 6 】

逆 処理部 1 7 は、図 1 7、図 2 0 に示すように、映像信号 R , G , B のビット数を 8 ビットとし、逆 処理部 1 7 の出力である映像信号 R a , G a , B a のビット数を同じく 8 ビットとして、アドレス 8 ビット、データ 8 ビットのメモリを各色ごと用いることにより構成している。

【 0 3 2 7 】

各メモリには、R 用テーブル 1 7 R , G 用テーブル 1 7 G , B 用テーブル 1 7 B として、図 2 1 に記載した逆 特性を記憶させている。なお同図 2 1 (a) は本変換テーブルの入力映像信号が 0 ~ 2 5 5 の範囲の該テーブル 1 7 R、1 7 G、1 7 B に記載したデータである。また、同図 2 1 (b) は入力画像データが 0 ~ 4 8 の範囲を拡大して表示したものである。
40

【 0 3 2 8 】

なお、本実施の形態では、逆 処理部 1 7 を 8 ビット入力、8 ビット出力のメモリとして構成したが、逆 処理の変換精度を上げるために例えば 8 ビット入力、1 0 ビット出力のメモリで逆 処理部を構成することもできる。このとき同メモリには、図 2 1 に示した 8 ビット入力、1 0 ビット出力の入出力特性のテーブルを記憶させるとよい。なお図 2 1 では 8 ビットのテーブルと、1 0 ビットのテーブルを比較しやすいように、8 ビットテーブルのグラフの縦軸の左側のスケール、1 0 ビットテーブルのグラフの縦軸を図 2 1 の右側
50

のスケールにして表示している。

【0329】

(データ配列変換部)

データ配列変換部9は、RGBパラレル映像信号Ra, Ga, Baを表示パネル1の画素配列に合わせてパラレル・シリアル変換する回路である。データ配列変換部9の構成は図22に示したようにRGB各色ごとのFIFO(First In First Out)メモリ2021R, 2021G, 2021Bとセクタ2022から構成される。

【0330】

図22では図示していないが、FIFOメモリは水平画素数ワードのメモリを奇数ライン用と偶数ライン用の2本備えている。奇数行目の映像データが入力された際には、奇数ライン用のFIFOにデータが書き込まれる一方、偶数ライン用のFIFOメモリから一つ前の水平走査期間に蓄積された画像データが読み出される。偶数行目の映像データが入力された際には偶数ライン用のFIFOにデータが書き込まれる一方、奇数ライン用FIFOメモリから一つ前の水平走査期間に蓄積された画像データが読み出される。

10

【0331】

FIFOメモリから読み出されたデータは、セクタ2022により表示パネルの画素配列にしたがって、パラレル・シリアル変換され、RGBのシリアル画像データSDataとして出力される。詳細については記載しないが、タイミング発生回路11からのタイミング制御信号に基づいて動作する。

【0332】

20

(補正データ算出手段)

補正データ算出手段14は前述した補正データ算出方法により、電圧降下の補正データを算出する回路である。補正データ算出手段は図23に示すように離散補正データ算出部141と補正データ補間部142の2つのブロックから構成される。

【0333】

離散補正データ算出部141は、入力された画像信号から電圧降下量を算出し、電圧降下量から補正データを離散的に計算する手段である。同手段は計算量やハードウェア量を減少させるために、前述の縮退モデルの概念を導入して、補正データを離散的に算出する。

【0334】

離散的に算出された補正データは補正データ補間部142により補間され、画像データの大きさやその水平表示位置xに適合した補正データCDが算出される。

30

【0335】

(離散補正データ算出部)

図24は本実施の形態の離散補正データを算出するための離散補正データ算出部141の回路構成の概略を示すブロック図である。

【0336】

離散補正データ算出部141は、以下に述べるように、画像データをブロックわけし、ブロックごとの統計量(点灯数)を算出するとともに、統計量から各ノードの位置における、電圧降下量の時間変化を計算する電圧降下量算出部としての機能と、各時間ごとの電圧降下量を発光輝度量に変換する機能、および発光輝度量を時間方向に積分して、発光輝度総量を算出する機能、およびそれらから離散的な基準点における、画像データの基準値に対する補正データを算出する手段である。

40

【0337】

図24(a)において100a~100cは点灯数カウント手段、101a~101cは各ブロックごとの各時刻における点灯数を格納するレジスタ群、102はCPU、103は(式2)及び(式3)で記載したパラメータaijを記憶するためのテーブルメモリ、104は計算結果を一時記憶するためのテンポラリレジスタ、105はCPUのプログラムが格納されているプログラムメモリ、110は、電圧降下量を放出電流量に変換する変換データが記載されたテーブルメモリ、106は、前述した離散補正データの計算結果を格納するためのレジスタ群である。

50

【0338】

点灯数カウント手段100a~100cは、図24(b)に記載したようなコンパレータと加算器などから構成されている。パラレル映像信号Ra, Ga, Baはそれぞれコンパレータ107a~107cに入力され、逐次Cvalの値と比較される。なお、Cvalは前述してきた画像データに対して設定した、画像データ基準値に相当する。

【0339】

コンパレータ107a~107cはCvalと画像データの比較を行い画像データの方が大きければHighを出力し小さければLowを出力する。

【0340】

コンパレータ107a~107cの出力は加算器108及び109により互いに加算され、さらに加算器110によりブロックごとに加算をおこない、ブロックごとの加算結果を各々のブロックごとの点灯数としてレジスタ群101a~101cへと格納する。 10

【0341】

点灯数カウント手段100a~100cにはコンパレータの比較値Cvalとして、それぞれ0, 64, 128, 192が入力されている。結果として、点灯数カウント手段100aは画像データのうち、0より大きい画像データの個数をカウントしそのブロックごとの総計をレジスタ101aに格納する。

【0342】

同様に、点灯数カウント手段100bは画像データのうち、64より大きい画像データの個数をカウントし、そのブロックごとの総計をレジスタ101bに格納する。 20

【0343】

同様に、点灯数カウント手段100cは画像データのうち、128より大きい画像データの個数をカウントし、そのブロックごとの総計をレジスタ101cに格納する。

【0344】

同様に、点灯数カウント手段100dは画像データのうち、192より大きい画像データの個数をカウントし、そのブロックごとの総計をレジスタ101d格納する。

【0345】

ブロックごと、時間ごとの点灯数がカウントされると、CPU102はテーブルメモリ103に格納されたパラメータテーブルaijを随時読み出して、(式2)~(式5)に従い、電圧降下量を計算し、計算結果をテンポラリレジスタ104に格納する。 30

【0346】

本例ではCPU102に(式2)の計算を円滑におこなうための積和演算機能を設けた。

【0347】

(式2)に挙げた演算を実現する手段としては、CPU102で積和演算を行うのではなく、例えば、その積和演算の計算結果を予め格納したメモリを用いて実現しても構わない。この場合は、各ブロックの点灯数を入力とし、考えられるすべての入力パターンに対し、各ノード位置の電圧降下量をメモリに記憶させておくのである。

【0348】

電圧降下量の計算が完了するとともに、CPU102はテンポラリレジスタ104から、各時間、各ブロックごとの電圧降下量をよみだし、テーブルメモリ2(110)を参照して、電圧降下量を放出電流量に変換し、(式6)~(式11)(もしくは(式12)~(式22))に従って、離散補正データを算出した。 40

【0349】

計算した離散補正データは、レジスタ群106に格納した。

【0350】

(補正データ補間部)

図25は、図23に示した補正データ補間部142の詳細な構成を説明するための図である。

【0351】

補正データ補間部142は、画像データの表示される位置(水平位置)及び、画像データ 50

の大きさに適合した補正データを算出するための手段である。同手段は離散的に算出された補正データを補間することにより、画像データの表示位置（水平位置）及び、画像データの大きさに応じた補正データを算出する。

【0352】

同図において、123は画像データの表示位置（水平位置） x から、補間に用いる離散補正データのノード番号 n 及び $n+1$ を決定するためのデコーダであり、124は画像データの大きさから、（式23）～（式25）の k および $k+1$ を決定するためのデコーダである。

【0353】

また、セクタ125～128は、離散補正データを選択して、直線近似手段に供給するためのセクタである。

10

【0354】

また、121～123は、それぞれ（式23）～（式25）の直線近似を行うための直線近似手段である。

【0355】

図26に直線近似手段120の構成例を示す。一般に直線近似手段は（式23）～（式25）の演算子にあらわされるように、減算器、積算器、加算器、割り算器などによって構成可能である。直線近似手段121、122も、直線近似手段120と同様の構成である。

【0356】

20

しかし、望ましくは離散補正データを算出するノードとノードの間の列配線本数や、離散補正データを算出する画像データ基準値の間隔（すなわち電圧降下を算出する時間間隔）が2のべき乗になるように構成するとハードウェアを非常に簡単に構成できる。それらを2のべき乗に設定すれば、図26に示した割り算器において、 $X_{n+1} - X_n$ は2のべき乗の値となるので、ビットシフトにより割り算を実現できるからである。

【0357】

また、 $X_{n+1} - X_n$ の値がいつも一定の値であって、2のべき乗で表される値であるならば、加算器の加算結果をべき乗の乗数分だけシフトして出力すればよく、あえて割り算器を作製する必要がない。

【0358】

30

またこれ以外の箇所でも離散補正データを算出するノードの間隔や、画像データの間隔を2のべき乗とすることにより、たとえばデコーダ123～124を簡単に作製することが可能となるとともに、図26の減算器で行っている演算を簡単なビット演算に置き換えることができる。

【0359】

（遅延回路19）

図17に示したようにデータ配列変換部9により並び替えが行われた画像データSDa t aは補正データ算出手段14と遅延回路19に入力される。補正データ算出手段14の補正データ補間部は、タイミング制御回路からの水平位置情報 x と画像データSDa t aの値を参照して、それらにあった補正データCDを算出する。

40

【0360】

遅延回路19は、補正データ算出にかかる時間を吸収するために設けられており、加算器12で画像データに補正データが加算される際に、画像データにそれに対応した補正データが正しく加算されるよう遅延を行う手段である。同手段はフリップフロップを用いることにより構成できる。

【0361】

（加算器12）

加算器12は補正データ算出手段14からの補正データCDと画像データD a t aを加算する手段である。加算を行うことにより画像データD a t aは補正が施され、補正画像データD o u tとしてメモリA 26又はメモリB 27へ出力される（図17、図18参照）

50

。

【0362】

(水平走査期間の制御について)

従来の表示装置では、入力映像信号に含まれる水平同期信号により定まる1水平走査期間に基づいて、全ての走査配線に一律に同一の表示水平走査時間を割り当てていた。

【0363】

これに対して、本実施形態では、補正画像データの最大値に応じて各走査配線の走査時間を適応的に割り当てることによって、走査配線の電圧降下を高精度に補正し、かつ輝度低下を抑えて画像を表示するという、相反する要求を解決することができる。

【0364】

現実には、全ての走査配線を同一の表示走査時間で走査しなくても、表示される画像にほとんど違和感を感じることがない。

【0365】

また、TV信号等の自然画の画像信号などにおいては、補正によるオーバーフローが懸念されるような大きな値のデータが現れることはさほど多くなく、水平走査ライン毎に見ればそれぞれの補正画像データの最大値にはかなりのバラツキがあるので、従来のように全ての走査配線を同じ水平走査時間で走査することは、効率的でない。

【0366】

従って、本実施形態の駆動方法を適用しても、表示上の問題は無い。そして、各走査配線に対応する変調信号のパルス幅の最大値により決定した表示水平走査期間で走査することによって輝度の低下を抑えることができる。

【0367】

図27は、本実施形態に用いられる水平走査期間を説明するための模式図である。同図のグラフの縦軸は各水平走査配線に対応している。同図では、説明を簡略化するために水平走査配線が12本の例を挙げる。また、同グラフの横軸は時間(パルス幅)を表している。説明をわかりやすくするため、画像データ幅は8bitとし輝度データに補正データが加算されている様子をわかりやすく示した。

【0368】

同グラフにおいて、各水平走査配線に対応している棒グラフは対応する水平走査配線上の画素における最大の変調信号のパルス幅、即ち最大の補正画像データを図示してある。白抜き矩形部分は、その水平走査配線に係る1ライン分の入力画像データ(輝度データ)を示し、ハッチング矩形部分は、その入力画像データに対する補正データを示している。

【0369】

同図に示すように、各水平走査配線ごとに補正画像データの最大値にはバラツキがあるので、全ての水平走査配線に一律に走査時間を割り当てるのではなく、各水平走査配線ごとにその補正画像データの最大値が収まるように個別に表示走査時間を割り当てればよいことがわかる。個別に水平走査配線毎に割り当てた表示水平走査時間の総和が表示の1フレーム時間以下であれば、1フレーム時間内に1フレームの画像が表示できる。言い換えれば表示水平走査時間の平均が従来の水平走査期間(図27においては255+ブランキング期間)であれば、1フレーム時間内に1フレームの画像が表示できる。そして、表示1フレームの時間が、入力された画像の1フレームの時間と大きく変わらないので動画表示もスムーズである。

【0370】

もちろん、表示フレーム時間は入力映像の1フレーム時間と必ずしも同一でなくてもよいので、表示フレーム時間を若干伸縮することもできる。その場合、個別に水平走査配線毎に割り当てた表示水平走査時間のNフレームの総和が、入力された映像データのNフレーム時間以下であればよい(ここでNは2以上の自然数)。

【0371】

このようにして割り当てた表示水平走査時間を、同グラフ中、太線にて示す。なお、走査配線の切り替えと変調配線の駆動を同時に行うと表示パネル内の駆動波形が乱れ、素子に

10

20

30

40

50

過大な電圧がかかる可能性があるため、補正画像データの最大値よりも所定の時間的余裕（変調配線の非駆動時間）を持たせて表示水平走査時間を設定することが望ましい。また、変調駆動回路への補正画像データのデータ転送に要する時間（シフトレジスタ5へのデータシフト時間）等を確保するために、図27のように、表示水平走査時間の下限値も定めるとよい。

【0372】

走査配線抵抗が5程度、表面伝導型放出素子の素子電流を0.1mA程度、素子数 $720 \times 1280 \times 3$ （RGB）において、8bit幅の画像データ（最大：255）を補正した補正画像データの最大値は350程度となる。そのためパルス幅変調器のbit幅を9bitに設計する。

10

【0373】

（ライン最大値検出器、マイコンにおける走査時間演算処理）

加算器12から出力された補正画像データDoutは、ライン最大値検出器22に入力される（図18）。ライン最大値検出器22は、1ライン分の補正画像データのうちから最大値を検出する処理を、各水平走査配線上の画素のデータごとに行う。

【0374】

そして、マイコン34は、ライン最大値検出器22によって検出された補正画像データの最大値を用いて、図28のフローチャートにしたがい、各走査配線の走査時間を算出する。

【0375】

マイコン34は、垂直同期信号VDが現れるまでループを行い待機する（ステップS11）。垂直同期信号VDを受け取ると、水平同期信号HDが現れるまでループを行い待機する（ステップS12）。水平同期信号HDを受け取ると1ライン分の処理を開始する。

20

【0376】

まず、ライン最大値検出器22から当該水平走査配線の補正画像データの最大値maxDi（i：ライン番号）を取得する（ステップS13）。なお、maxDiは、補正画像データの値をパルス幅変調のためのクロック数（Pwmclk数）に換算した値となっている。

【0377】

ステップS13で取得した補正画像データの当該水平走査配線の最大値maxDiとDminとを比較し（ステップS14）、maxDiがDminより小さければ、maxDi=Dminとし（ステップS15）、それ以外の場合、maxDiは変更しない。

30

【0378】

ここで、Dminとは、上述した変調駆動回路へのデータの転送時間や非駆動時間を考慮して最低限割り当てなければならない表示走査時間（KHDmin）を考えたときに、その最低限の表示走査時間（KHDmin）で表示可能な画像データの値（Pwmclk数）のことである。

【0379】

本実施の形態では、シフトレジスタ5のシフトクロックSCLKはMCLKを1/2分周したものであり（詳しくは後述する）、またメモリA26、メモリB27の出力を8層に分けてシフトレジスタ5に転送する。したがって、1ライン分のデータを転送するためのシフト時間は、 $1280 \text{ 個} \times 3 \text{ (RGB)} / 8 \text{ 層} = 480 \text{ クロック (SCLK数)}$ となる。そして、シフト時間に加えて、その他の処理のために40クロックは使用すると見越し、最低限の表示走査時間（KHDmin）として520クロック（SCLK数）を確保する（以降最小表示水平走査期間と記すこともある）。

40

【0380】

この、520クロックは入力画像の水平走査時間の0.63倍（ $= 520 / (1648 / 2)$ ）である。

【0381】

なお、本実施の形態では、パルス幅変調のためのクロックPwmclkは、入力映像信号

50

(720P)の水平同期信号に位相ロックをかけ以下のように作成した。

【0382】

本実施の形態では、パルス幅変調のためのクロックPwmclkの1水平走査期間(1H)のクロック数を280個に設計した。従来の駆動方法ではこのうち256クロック数で決まる時間でパルス幅変調し、残りの24クロックは走査回路内の駆動時間等の時間(非駆動時間:1.9μSec)として割り当てている。

【0383】

したがって、Pwmclkの周波数は、水平同期信号に分周比1:280でPLL回路により位相ロックをかけて発生させ、12.6MHzの周波数を得る。

【0384】

さらに、この表示水平走査時間内に非駆動時間を考慮しなければならない。変調配線の非駆動時間としては2μSec程度設けることが望ましい。本実施の形態では、Pwmclkの周期は約79nSecであるので、非駆動時間として24クロック(Pwmclk数)を確保する(非駆動時間は1.9μSec)。したがって、最低限の表示水平走査時間(KHDmin)で表示可能な画像データの値Dminは、都合、 $280 \times 0.63 - 24 = 153$ クロック(Pwmclk数)となる。

【0385】

すなわち、1ラインの補正画像データの最大値maxDiが153(Dmin)より小さかったとしても、表示走査時間としては最低限177(=280×0.63)クロック(Pwmclk数)分の時間(KHDmin)を割り当てなければならない。

【0386】

S14, S15のステップは、この最小表示水平走査時間(KHDmin)を確保するためのものである。つまり、当該水平走査ラインの補正画像データの最大値maxDiとDminを比較し、maxDiがDminより小さい場合は、maxDiにDminを代入し、表示水平走査期間の下限值となる最小表示水平走査時間(KHDmin)を確保する。

【0387】

S16のステップは、表示水平走査時間(KHDi)の計算をする。

【0388】

すなわち、Pwmclk単位で計算されているmaxDiから、MCLK単位で表示水平走査時間(KHDi)を計算する。具体的には入力映像信号の水平同期信号の周波数から決まる水平走査期間のクロック数が、Pwmclk:280、MCLK:1648の比から、Pwmclk単位のmaxDiに5.89(=1648/280)倍して求める。

【0389】

なお、参考までに、入力される映像信号720pに基づく1水平走査期間の時間は、 $1648 / 2 = 824$ クロック(SCLK数)である。

【0390】

このようにしてi番目のラインの補正画像データの最大値maxDiに基づきステップS16までの処理がすんだら、当該ラインが画像データの最終ラインか否か、すなわち全走査配線分のmaxDiを入力してupDiを算出したか否かを判定する(ステップS17)。ここで最終ラインまで達していないと判定されると再びステップS12~S16の処理を繰り返し、全走査配線について最小表示水平走査時間(KHDmin)が確保された表示水平走査時間(KHDi)が計算される。

【0391】

ステップS18では、全走査配線の総水平走査時間が所定の時間に収まるように各走査配線の水平走査時間を調整する処理を行う。この所定の時間とは入力映像信号720pのフレーム周波数(60Hz)に相当する時間のことである。

【0392】

つまり、ライン最大値検出器22で検出した補正画像データの最大値maxDiを含むように各走査配線の水平走査時間を単純に割り当てた場合、その総走査時間が入力映像信号

10

20

30

40

50

の1フレーム期間に足りない場合もあり得る。

【0393】

このように算出された表示水平走査時間 (KHDi) はステップS18で、総和を求められ、入力映像信号の1フレームの時間と比較される。そして、入力映像信号の1フレームの時間に満たない分、表示ブランキング期間として、例えば最小表示水平走査時間 (KHDmin) を追加して (KHD721, KHD722... の追加) 入力映像のフレーム時間と、表示フレーム時間を合わせる。

【0394】

このようにして各走査ラインの表示水平走査時間 KHDi の計算を終えたら、垂直同期信号 VD が現れるまでループを行う (ステップS19)。

10

【0395】

垂直同期信号 VD を受け取り1フレームの終了を確認したら、次フレームの開始前に、各走査ラインの表示水平走査時間 KHDi を表示タイミング発生部33にロードする (ステップS20)。

【0396】

以上の処理により算出した各水平走査ラインの表示走査時間 KHDi の一例を図29の表および図30に示す。

【0397】

本実施の形態では、マイコン34で行う処理は、離散補正データ算出部のCPU102で実行しマイコン34を省略することも可能である。

20

【0398】

本実施の形態では1水平走査期間のサンプルクロック数 (MCLK数) を1648個に設計したので、1フレームのMCLK数は、 $750 \times 1648 = 1236000$ クロックとなる。Pwmclk数は、その $(280 / 1648)$ 倍の210000クロックである。

【0399】

図29の表に示すように、1ライン中の補正画像データの最大値 maxDi に非駆動時間24クロック (Pwmclk数) を加算した値、またはシフト時間とその他の処理に要する時間 (最小表示水平走査時間) 89クロック (Pwmclk数) のいずれか長いほうが、1Hの時間 (表示水平走査時間) となる。

【0400】

30

たとえば、1ライン目については、maxDi に非駆動時間を加算した値120が最小表示水平走査時間 (KHDmin) : 89を上回るので、表示水平走査時間は144クロック (Pwmclk数) となり、2ライン目については、maxDi に非駆動時間を加算した値60が最小表示水平走査時間 (KHDmin) : 89を下回るので、表示水平走査時間は89クロック (Pwmclk数) となる。

【0401】

また、図30は図29の表をグラフ化したものである。補正画像データの最大値が大きいラインほど長い表示水平走査時間が割り当てられていること、補正画像データの最大値が小さいラインについても最小表示水平走査時間 (KHDmin) : 89クロックが確保されていることなどがわかる。

40

【0402】

また、表示ブランキング期間を721~728ラインに付加して最小表示水平走査時間 (KHDmin) を設けたが、補正画像データの各水平走査ラインの最大値 (maxDi) によっては表示ブランキング期間を変させることも好ましいものである。

【0403】

なお、本実施の形態では、図18に示すように、各々1フレーム分の補正画像データを記憶することができる2つのフレームメモリ (メモリA26, メモリB27) を設けており、上述した水平走査時間の演算処理を行っている間、1フレーム分の補正画像データを一時的に記憶させておく。

【0404】

50

これら2つのフレームメモリは、一方のフレームメモリ（例えばメモリA26）にデータを書き込んでいる際に、他方のフレームメモリ（メモリB27）からデータを読み出すことができるように設けてある。具体的には、奇数フレームでは、スイッチ23, 24, 25, 29の接点をそれぞれa, a, b, bに選択し、偶数フレームではその逆にする。

【0405】

加算器12から出力された補正画像データDoutは、Wアドレス発生部21が発生する書き込み用アドレス信号に従って、奇数フレームの場合はメモリA26に、偶数フレームの場合はメモリB27に書き込まれる。Wアドレス発生部21は、水平同期信号HDから書き込み用アドレスを決定し、MCLKに同期して書き込み用アドレス信号を発生させる。

10

【0406】

また、メモリA26, メモリB27に書き込まれた補正画像データは、Rアドレス発生部28が発生する読み出し用アドレス信号に従って読み出される。Rアドレス発生部28は、各水平走査ライン用のラインデータの読み出しタイミングを、入力映像信号に含まれる水平同期信号HDではなく、上記で個別に算出した走査時間KHDi（iは水平ライン番号であって、i = 0, 1, 2...）に従って決定する。

【0407】

このデータ読み出しのタイミング信号、すなわち表示タイミング信号KHDは、次に述べる表示タイミング発生部33にて作られる。

【0408】

20

（表示タイミング発生部）

図31は、表示タイミング発生部33の回路構成を概略的に示すブロック図である。

【0409】

同図に示すように、表示タイミング発生部33は、Hカウンタ330と、メモリ331と、比較器332と、Vカウンタ333と、1/2分周器334とを有して構成される。

【0410】

Hカウンタ330は、MCLKをカウントし、そのカウンタ値を比較器332に出力する。Hカウンタ330のカウンタ値は、垂直同期信号VDまたは比較器332の出力の入力を受けてリセットされる。

【0411】

30

メモリ331は、マイコン34から各水平走査ラインの水平走査時間KHDiがロードされる記憶手段である。メモリ331は、アドレス0に1ライン目の水平走査ラインの表示水平走査時間KHD1を、アドレス1に2ライン目の表示水平走査ラインの水平走査時間KHD2を、以下順番にアドレス（i - 1）にiライン目の水平走査ラインの表示水平走査時間KHDiを格納する。そして、Vカウンタ333からアドレスiを入力されると比較器332に表示水平走査時間KHDiを出力する。

【0412】

比較器332は、Hカウンタ330から入力された値（MCLKのカウント値）とメモリ331から入力された値（表示水平走査時間KHDi）とを比較し、両者が一致した場合にのみ信号を出力する。また、この出力信号は、Hカウンタ330、Vカウンタ333および1/2分周器334に入力される。

40

【0413】

Vカウンタ333は、比較器332の出力信号をカウントし、そのカウンタ値をメモリ331に出力する。Vカウンタ333のカウンタ値は、垂直同期信号VDの入力を受けてリセットされる。

【0414】

1/2分周器334は、MCLKを1/2分周して、シフトレジスタ5の動作クロックSCCLKを発生する。なお、1/2分周器334は、比較器332の出力信号でリセットされる。

【0415】

50

このように構成された表示タイミング発生部 33 は、次のように動作する。

【0416】

まず、マイコン 34 から各水平走査ラインの表示水平走査時間 KHD_i が次フレームの開始前（垂直同期信号 VD が入力される前）にメモリ 331 にロードされる。そして、垂直同期信号 VD が入力されると、Hカウンタ 330 と Vカウンタ 333 のカウンタ値がリセットされ、1 フレームの処理が開始される。

【0417】

$MCLK$ に同期して、Vカウンタ 333 はカウンタ値 0 をメモリ 331 に出力し、それを受けてメモリ 331 が 1 ライン目の表示水平走査時間 KHD_1 を比較器 332 に出力する。一方、Hカウンタ 330 は、 $MCLK$ をカウントし、そのカウンタ値 N を比較器 332

10

【0418】

Hカウンタ 330 のカウンタ値 N が表示水平走査時間 KHD_1 に等しくなったときに、比較器 332 から信号が出力される。表示水平走査時間 KHD_1 は $MCLK$ 数であり、ここでの比較処理は $MCLK$ に同期して行われるので、この比較器 332 からの出力信号が 1 ライン目の終了（または 2 ライン目の開始）に相当する表示タイミング信号 KHD となる。

【0419】

そして、表示タイミング信号 KHD が出力されると、Hカウンタ 330 のカウンタ値がリセットされ、Vカウンタ 333 のカウンタ値がインクリメントされる。したがってここからは、Vカウンタ 333 はカウンタ値 1 をメモリ 331 に出力し、メモリ 331 は 2 ライン目の表示水平走査時間 KHD_2 を比較器 332 に出力することとなる。Hカウンタ 330 は再び 0 から $MCLK$ のカウントを開始するので、上記と同様にしてそのカウンタ値が KHD_2 となったときに比較器 332 から表示タイミング信号 KHD （2 ライン目の終了（または 3 ライン目の開始）に相当する）が出力される。

20

【0420】

この処理を順次繰り返し、1 フレームに含まれる全ラインについて、各々の表示水平走査時間 KHD_i に従った $MCLK$ 数をもつ表示タイミング信号 KHD を発生させるのである。

【0421】

このように発生させた表示タイミング信号 KHD は、R アドレス発生部 28 に入力される。R アドレス発生部 28 は、表示タイミング信号 KHD にしたがって読み出し用アドレス信号を発生し、その信号をスイッチ 25 を介して読み出し側のメモリに出力する。

30

【0422】

なお、メモリ A 26、メモリ B 27 からデータを読み出す際の総ライン数は、有効走査線数の 720 本以上であることが望ましく、より好適には、タイミング設計のマージンから 725 ~ 750 本程度にするのがよい（読み出す際の総ライン数を少なくすれば、1 ラインに割り当てられる表示水平走査時間が増え、輝度を上げることができることはいうまでもない。）。本実施の形態では、あるフレームの読み出しライン数は 728 本であった。また、1 フレームの総 $Pwmclk$ 数が一定となるように（各フレームごとに変化しないように）、表示タイミング信号 KHD を発生させることとした。

40

【0423】

（シフトレジスタ、ラッチ回路）

メモリ A 26、メモリ B 27 の出力は、1 ライン分の補正画像データを 8 出力に層分けし、各層の補正画像データ $SD_1 \sim SD_8$ を並列に出力する。また、シフトレジスタ 5 は 8 個のシフトレジスタから構成され、各層の補正画像データ $SD_1 \sim SD_8$ をそれぞれ別々のシフトレジスタで受け取るようになっている（図 18、図 19 参照）。

【0424】

かかる構成により、メモリ A 26、メモリ B 27 からシフトレジスタ 5 へのデータ転送時間（シフト時間）を短くすることができる。これにより、上記走査時間演算処理における

50

「最小表示水平走査時間」(KHDmin)を短くでき、各ラインに割り当てる表示水平走査時間の自由度を高めることができる。なお、層分けを行わずに、フレームメモリの出力、シフトレジスタをともに1つにして、フレームメモリの読み出し時間を書き込み時間よりも短くするようにしても同様の効果を得ることができる。

【0425】

シフトレジスタ5は、シリアルに入力された補正画像データSD1～SD8を各変調配線ごとのパラレルな画像データ(ID1～IDN)へとシリアル/パラレル変換し、ラッチ回路6へ出力する。ラッチ回路6では1水平走査期間が開始される直前にタイミング信号DataLoadにより、シフトレジスタ5からのデータをラッチする。ラッチ回路6の出力は、パラレルな画像データD1～DNとして変調回路8へと供給される。

10

【0426】

なお本実施の形態では画像データID1～IDN、D1～DNはそれぞれ9ビットの画像データとした。

【0427】

また、シフトレジスタ5の動作タイミングは上記表示タイミング発生部33からのシフトクロックSCLKに基づく。

【0428】

(変調回路の詳細)

ラッチ回路6の出力であるパラレル画像データD1～DNは変調回路8へと供給される。

【0429】

変調回路8は、図32に示すように、PWMカウンタ80と、各変調配線ごとにコンパレータ81とFETなどのスイッチ82を備えたパルス幅変調回路(PWM回路)であって、ラッチ回路6から供給された補正画像データD1～DNに応じてパルス幅変調した変調信号(電圧パルス)を各変調配線に印加するものである。

20

【0430】

画像データD1～DNと変調回路8の出力パルス幅の関係は、図33のようなりニアな関係にある。

【0431】

図34に変調回路8から出力される変調信号の出力波形の例を3つ示す。

【0432】

同図において上側の波形は、変調回路8への入力データが0の時の波形、中央の波形は、変調回路8への入力データが255(これは、入力映像信号の水平走査時間から非駆動時間を引いた値であり、従来の駆動方法における水平走査時間では最大の値である)の時の波形、下側の波形は、変調回路8への入力データが350の時の波形である。

30

【0433】

なお、変調回路8への入力データが350の時には、入力映像信号の水平走査時間より長くなっているのが図でよくわかる。

【0434】

図32において、D1～DNはラッチ回路6から供給された変調配線の各列1～Nに対応する補正画像データ、PwmstartはPWMカウンタの同期クリア信号、PwmclkはPWMカウンタのクロックである。また、XD1～XDNは変調回路8の第1～第N列(N=1280×3)の出力を表している。

40

【0435】

1水平走査期間が始まると、ラッチ回路6は画像データをラッチするとともに変調回路8へデータを転送する。

【0436】

PWMカウンタ80は、Pwmstart、Pwmclkに基づいてカウントを開始する。

【0437】

各列毎に設けられているコンパレータ81は、PWMカウンタのカウント値と各列の画像

50

データを比較し、PWMカウンタの値が画像データ以上のときHighを出力し、それ以外の期間はLowを出力する。

【0438】

コンパレータ81の出力は、各列のCMOSインバータからなるスイッチのゲートに接続されており、コンパレータの出力がLowの期間は同図の上側（VPWM側）のpMOSトランジスタがON、下側（GND側）のnMOSトランジスタがOFFとなり、変調配線を電圧VPWMを与える基準電圧源に接続する。

【0439】

逆にコンパレータの出力がHighの期間は、同図の上側のpMOSトランジスタがOFFし、下側のnMOSトランジスタがONするとともに、変調配線をGND電位を与える基準電圧源に接続する。各部が以上のように動作することで、変調回路8が出力するパルス幅変調信号は、図34に示すような、パルスの立ち上がりが同期した波形となる。

10

【0440】

なお、特に図示してはいないが、上記のData loadおよびPwm startは、表示タイミング信号KHDに同期していることはいうまでもない。

【0441】

（走査駆動回路）

走査駆動回路2A及び2Bは、表示パネルを1水平走査期間に1行ずつ順次走査選択するために、接続端子Dx1～DxMに対して基準電圧源222、223から供給された選択電圧Vsまたは非選択電圧Vnsを選択的に出力する回路である（図35参照）。

20

【0442】

走査駆動回路2A及び2Bは、走査制御信号信号Ts canに同期して、1水平走査期間ごとに、選択している走査配線を順次切り替え、1フレーム期間、ここでは1垂直走査期間に全ての走査配線の走査選択駆動を行う。

【0443】

なお、走査制御信号Ts canは、表示タイミング発生部33で生成された各走査配線の表示タイミング信号KHDに同期した信号である。走査制御信号Ts canとして表示タイミング信号KHDそのものを用いることもできる。

【0444】

走査駆動回路2A及び2Bは、図35に示すようにそれぞれM個のスイッチアレイ224とシフトレジスタ221などから構成される。これらのスイッチはバイポーラトランジスタやFETにより構成するのが好ましい。

30

【0445】

なお、走査配線での電圧降下を低減するためには、走査駆動回路は図19に示したように、表示パネル1の走査配線の両端に接続され、両端からドライブされることが好ましい。この場合には、1チップ集積回路が、いずれの端にも簡単に実装できるように、出力端子から出力される走査信号の出力順序を反転し得る回路構成を採用することが好ましい。このような回路構成は、双方向シフトレジスタを用いれば簡単に設計できる。

【0446】

このような表示装置により画像の表示を行ったところ、従来からの課題であった走査配線における電圧降下量を補正することができ、それに起因する表示画像の劣化を改善することができる。

40

【0447】

また、離散的に補正データを算出し、離散的に計算した点と点の間はそれを補間して求めることにより、補正データを非常に簡単に計算させることができ、さらに非常に簡単なハードウェアでそれを実現できるなど、非常に優れた効果がある。

【0448】

そして走査配線に生じる電圧降下を補正し、かつ、走査配線の抵抗値が0に対する輝度で画像を表示すること（走査配線抵抗により電圧降下している状態で駆動した場合より輝度が大きく表示すること）を両立できる。

50

【 0 4 4 9 】

(第 2 の実施の形態)

上記第 1 の実施の形態では、表示走査時間演算処理において、前述したように、ライン最大値検出器 2 2 で検出した補正画像データの最大値 $\max D_i$ を含むように各ラインの表示水平走査時間を割り当てた。そして、走査配線の電圧降下は補正し、かつ輝度低下の無い画像表示が可能となった。しかしながら、画像によっては、割り当てを行った表示水平走査時間の 1 フレーム分の和である総表示水平走査時間が入力映像の 1 フレーム時間を超過してしまうことが、生じることがあった。本実施の形態は、この点を改善するものである。

【 0 4 5 0 】

10

本実施の形態と、上記第 1 の実施の形態との違いは、各々の水平走査ラインの当該走査配線の補正画像データの最大値 $\max D_i$ を含むように各走査ラインの表示走査時間を単純に割り当てた時、その総水平走査時間が入力映像信号の 1 フレーム期間を超過してしまうことが予想される場合に、1 フレーム期間に収まるように、各表示水平走査時間、補正画像データを調整する点である。

【 0 4 5 1 】

本実施の形態に係る画像表示装置の表示パネルの概観、表示パネルの電氣的接続、表面伝導型放出素子の特性、表示パネルの駆動方法等、重複する部分は、第 1 の実施形態と同じである。

【 0 4 5 2 】

20

なお、ここでは、表示装置の価格を下げるために、図 3 6 に示すように、片側走査の構成とした場合を例に挙げて説明する。

【 0 4 5 3 】

ディジタル回路においては、その回路で取り扱うことのできるデータ幅 (ビット数) に制限がある。このデータ幅は一般的にハードウェアのコスト等との兼ね合いから決定される。特に、本実施の形態のごとく補正画像データに応じてパルス幅変調を行う構成の場合、1 水平走査期間に収まるようにパルス幅を変調する必要があることから、補正にともなうデータ幅の増加、すなわち階調数の増加により変調回路の動作クロックの高速化が要求されることがある。そのため、不要輻射や電力消費量が大きくなる可能性があるが、必要に応じてディザ法等の使用によってパルス幅変調器に入力するデータ幅を少なくすることによって動作クロックは下げることができる。

30

【 0 4 5 4 】

一方、補正画像データの増大により、いわゆるオーバーフローの問題が生ずることがある。すなわち、画像データに対して補正データを単純に加算したときに、その演算結果がパルス幅変調器で取り扱うことのできるデータ幅を超えてしまうと、ビットの折り返しなどが起こり、表示画像の反転などの画像の乱れが生ずるのである。

【 0 4 5 5 】

このため、本実施の形態では、あらかじめ補正画像データの最大値を計算して定め、最大値に対応するビット幅を持ったパルス幅変調器を設ける。

【 0 4 5 6 】

40

そして、総表示水平走査時間が入力映像信号の 1 フレーム期間を超過しないように、各表示水平走査時間、補正画像データを調整する。

【 0 4 5 7 】

(システム全体と各部分の機能説明)

補正データ算出手段を内蔵した本実施の形態の画像表示装置の信号処理回路ハードウェアについて説明する。

【 0 4 5 8 】

図 3 7 はその回路構成の概略を示すブロック図である。図 3 7 は、走査配線の走査時間決定に係る回路を示している。図 3 7 に示す回路の入力 (I) は図 1 7 に示したものと同一回路からの出力である。また、図 3 7 に示す回路の出力 (II) は、図 3 6 に示す回路に

50

入力 (I I) される。基本構成は図 1 8 と同じである。

【 0 4 5 9 】

そして、3 1 はマイコン 3 4 の演算結果を受けて補正画像データの調整を行う画像データ調整手段たるゲインレジスタであり、この部分が図 1 8 の構成と異なる点である。

【 0 4 6 0 】

以下に、図 1 7 , 図 3 7 , 図 3 6 を参照しつつ、本実施形態の表示装置の構成について詳しく説明する。

【 0 4 6 1 】

(同期信号分離回路、タイミング発生回路、逆 処理部)

第 1 の実施の形態と同じである。

10

【 0 4 6 2 】

(データ配列変換部)

第 1 の実施の形態と同じである。

【 0 4 6 3 】

(補正データ算出手段)

第 1 の実施の形態と同じである。

【 0 4 6 4 】

(離散補正データ算出部)

第 1 の実施の形態と同じである。

【 0 4 6 5 】

(補正データ補間部)

第 1 の実施の形態と同じである。

20

【 0 4 6 6 】

(遅延回路 1 9)

第 1 の実施の形態と同じである。

【 0 4 6 7 】

(加算器 1 2)

第 1 の実施の形態と同じである。

【 0 4 6 8 】

(水平走査期間の制御について)

30

図 3 6 に示した実際に検討した構成において、走査配線抵抗が 5 程度、表面伝導型放出素子の素子電流を 0 . 5 m A 程度、素子数 $720 \times 1280 \times 3$ (R G B) とし、8 b i t 幅の画像データ (最大 : 2 5 5) を補正した補正画像データの最大値は 1 0 0 0 程度になる。そのためパルス幅変調器の b i t 幅を 1 0 b i t と設計する。ここで、パルス幅変調器の b i t 幅を従来どおり 8 b i t とし下位 2 b i t をディザ法等を用い階調を表現してもよい。

【 0 4 6 9 】

(ライン最大値検出器、マイコンにおける走査時間演算処理)

加算器 1 2 から出力された補正画像データ D o u t は、ライン最大値検出器 2 2 に入力される (図 3 7) 。ライン最大値検出器 2 2 は、1 ライン分の補正画像データのうちから最大値を検出する処理を、各ラインデータごとに行う。

40

【 0 4 7 0 】

そして、マイコン 3 4 は、ライン最大値検出器 2 2 によって検出された補正画像データの最大値を用いて、図 3 8 のフローチャートにしたがい、各走査配線の水平走査時間を算出する。

【 0 4 7 1 】

マイコン 3 4 は、垂直同期信号 V D が現れるまでループを行い待機する (ステップ S 2 1) 。垂直同期信号 V D を受け取ると、水平同期信号 H D が現れるまでループを行い待機する (ステップ S 2 2) 。水平同期信号 H D を受け取ると 1 ライン分の処理を開始する。

【 0 4 7 2 】

50

まず、ライン最大値検出器 22 から当該走査配線の補正画像データの最大値 $\max Di$ (i :ライン番号)を取得し(ステップ S23)、 $up Di$ を演算する(ステップ S24)。なお、 $\max Di$ は、補正画像データの値をパルス幅変調のためのクロック数($Pwmclk$ 数)に換算した値となっている。

【0473】

$up Di$ の計算は、図39のフローチャートに従って行われる。ステップ S23 で取得した補正画像データの当該走査配線の最大値 $\max Di$ と $Dmin$ とを比較し(ステップ S241)、 $\max Di$ が $Dmin$ より大きければ、その差($\max Di - Dmin$)を $up Di$ にセットし(ステップ S242)、それ以外の場合は $up Di$ に 0 をセットする(ステップ S243)。

10

【0474】

ここで、 $Dmin$ とは、上述した変調手段へのデータの転送時間や非駆動時間を考慮して最低限割り当てなければならない表示水平走査時間($KHDmin$)を考えたときに、その最低限の表示水平走査時間($KHDmin$)で表示可能な画像データの値($Pwmclk$ 数)のことである。

【0475】

本実施の形態では、シフトレジスタ5のシフトクロック $SC L K$ は $MC L K$ を $1/2$ 分周したものであり(詳しくは後述する)、またメモリ A26、メモリ B27の出力を8層に分けてシフトレジスタ5に転送する。したがって、1ライン分のデータを転送するためのシフト時間は、 $1280 \text{ 個} \times 3 (RGB) / 8 \text{ 層} = 480 \text{ クロック} (SC L K \text{ 数})$ となる。そして、シフト時間に加えて、その他の処理のために40クロックは使用すると見越し、最低限の表示水平走査時間($KHDmin$)として520クロック($SC L K$ 数)を確保する(以降最小表示水平走査期間と記すこともある)。なお、本実施の形態では、パルス幅変調のためのクロック $Pwmclk$ はシフトクロック $SC L K$ 同じ周波数のものを用いた。

20

【0476】

さらに、この表示水平走査時間内に非駆動時間を考慮しなければならない。変調配線の非駆動時間としては $2 \mu Sec$ 程度設けることが望ましい。本実施の形態では、 $Pwmclk$ の周期は約 $27nSec$ であるので、非駆動時間として74クロック($Pwmclk$ 数)を確保すればよい。したがって、最低限の表示水平走査時間($KHDmin$)で表示可能な画像データの値 $Dmin$ は、都合、 $520 - 74 = 446$ クロック($Pwmclk$ 数)となる。すなわち、1ラインの補正画像データの最大値 $\max Di$ が 446 ($Dmin$)より小さかったとしても、表示水平走査時間としては最低限520クロック($Pwmclk$ 数)分の時間($KHDmin$)を割り当てなければならない。

30

【0477】

図39のフローチャートの演算は、この最小表示走査時間($KHDmin$)を確保するためのものである。そして、ここで求まる $up Di$ は、当該走査配線の補正画像データの最大値 $\max Di$ が $Dmin$ を超過した分を表している($\max Di$ が $Dmin$ よりも小さいときは、 $up Di$ には 0 が入る。)。

【0478】

なお、参考までに、入力される映像信号 720p に基づく1水平走査期間の時間は、 $1648 / 2 = 824$ クロック($Pwmclk$ 数)である。

40

【0479】

このようにして i 番目のラインの補正画像データの最大値 $\max Di$ に基づき $up Di$ を算出したら、当該ラインが画像データの最終ラインか否か、すなわち全走査ライン分の $\max Di$ を入力して $up Di$ を算出したか否かを判定する(ステップ S25)。ここで最終ラインまで達していないと判定されると再びステップ S22 ~ S25 の処理を繰り返し、全走査ラインについての $up Di$ が算出されたところで次のステップに進む。

【0480】

ステップ S26、S27では、全走査ラインの総水平走査時間が所定の時間に収まるよう

50

に各走査ラインの水平走査時間を調整する処理を行う。ここでいう所定の時間とは、入力映像信号の1フレーム期間であり、具体的には、入力映像信号720pのフレーム周波数(60Hz)に相当する時間のことである。

【0481】

つまり、ライン最大値検出器22で検出した補正画像データの最大値 $maxDi$ を含むように各走査ラインの水平走査時間を単純に割り当てた場合、その総水平走査時間が入力映像信号の1フレーム期間を超過してしまふこともあり得るので、そのような場合には各走査ラインの水平走査時間に対してゲイン調整を行い、全体として1垂直走査期間内(1フレーム時間内)に収まるようにするのである。なお、上述のように各走査ラインにつき最小表示水平走査時間($KHDmin$)を確保する必要があるため、このゲイン調整は $upDi$ 10
に対して施す。

【0482】

そこでまず、ステップS26において、全走査ライン(720ライン)分の $upDi$ の総和 $SumD$ を算出する。次に、 $SumD$ を用いて、ゲイン計算および各走査ラインの走査時間の計算を行う(ステップS27)。

【0483】

ゲイン計算および各走査ラインの走査時間の計算は、図40のフローチャートに従って行われる。

【0484】

同フローチャートにおいて、ステップS271~S276では、各走査ラインの $upDi$ 20
から、フレーム内の補正画像データに一律に乗算するゲイン YG の決定処理を行っている。

【0485】

まず、ステップS271にて、 $ALLD$ を $SumD$ で除して YG を求める。この $ALLD$ は、全走査配線を1フレーム期間内で時間配分して駆動する場合に、変調信号駆動時間を最大限割り振れる時間に相当する $Pwmclk$ 数から、全走査配線分の最小表示時間($KHDmin$)を差し引いた値である。入力映像信号720pの有効走査線数は720本であるが、全走査線数は750本であるので、

$$\begin{aligned} ALLD &= 750 \times ((1648 / 2) - KHDmin) \\ &= 228000 \text{ クロック (Pwmclk数)} \end{aligned}$$

30

とする。

【0486】

このようにして算出した YG が1より大きい場合には(ステップS272)、 YG を1にセットし直す(ステップS273)。 $ALLD$ に比べて $SumD$ が小さいということは、ライン最大値検出器22で検出した補正画像データの最大値 $maxDi$ を含むように各走査ラインの水平走査時間を単純に割り当てても、その総水平走査時間が入力映像信号の1フレーム期間を超過しないということであり、ゲイン調整する必要がないからである。

【0487】

次にゲイン YG が1より小さい場合は、ここで得たゲイン YG を用いて各表示走査時間 $KHDi$ (i は水平走査ラインの番号であって、 $i = 1, 2, \dots$)を調整し(ステップS274)、この調整後の各表示走査時間 $KHDi$ 内になるように補正画像データの乗数($DGAIN$)を算出する。(ステップS275)。具体的には、表示走査時間($KHDi$)は、

40

$$KHDi = (upDi \times YG + KHDmin) \times 2 - 1$$

のように算出し、また、補正画像データに対するゲイン $DGAIN$ は、以下のように算出する。

【0488】

$$DGAIN = (upDmax \times YG + Dmin) / (upDmax + Dmin)$$

ここで $upDmax$ はフレーム内の $upDi$ の最大値である。のように算出する。各水平 50

走査時間を決める $KHDi$ は $MCLK$ 数を単位とするので、2 倍して求めている。ここで $upDi$ は $Pwmclk$ 数を単位としている。

【0489】

このように算出された表示水平走査時間 ($KHDi$) はステップ $S276$ で、総和を求められ、入力された映像信号の 1 フレームの時間と比較される。そして、入力された 1 フレームの時間に満たない分、表示ブランキング期間として、例えば最小表示走査時間 ($KHDmin$) を追加して ($KHD721$, $KHD722$. . . の追加) 入力映像のフレーム時間と、表示フレーム時間を出来る限り一致させる。

【0490】

このようにしてゲイン $DGAIN$ と各走査ラインの表示走査時間 $KHDi$ の計算を終えたら、(再び図 38 のフローチャートに戻り、) 垂直同期信号 VD が現れるまでループを行う (ステップ $S28$)。

【0491】

垂直同期信号 VD を受け取り 1 フレームの終了を確認したら、次フレームの開始前に、各走査ラインの表示走査時間 $KHDi$ を表示タイミング発生部 33 にロードするとともに (ステップ $S29$)、ゲイン $DGAIN$ をゲインレジスタ 31 にロードする (ステップ $S30$)。

【0492】

以上の処理により算出した各走査配線の表示水平走査時間 $KHDi$ の一例を図 41 および図 42 に示す。

【0493】

本実施形態ではマイコン 34 で行う処理は、離散補正データ算出部の $CPU102$ で実行しマイコン 34 を省略することも可能である。

【0494】

本実施の形態では 1 水平走査期間のサンプルクロック数 ($MCLK$ 数) を 1648 個に設計したので、1 フレームの $MCLK$ 数は、 $750 \times 1648 = 1236000$ クロックとなる ($Pwmclk$ 数は、その半分の 618000 クロック)。

【0495】

図 41 の表に示すように、1 ライン中の補正画像データの最大値 $maxDi$ に非駆動時間 74 クロック ($Pwmclk$ 数) を加算した値、または画像データの転送時間 (シフト時間) とその他の処理に要する時間 (最小表示水平走査時間) 520 クロック ($Pwmclk$ 数) のいずれか長いほうが、表示パネルの 1 水平走査時間) となる。

【0496】

たとえば、1 ライン目については、 $maxDi$ に非駆動時間を加算した値 554 が最小表示水平走査時間 ($KHDmin$): 520 を上回るので、表示水平走査時間は 554 クロック ($Pwmclk$ 数) となり、2 ライン目については、 $maxDi$ に非駆動時間を加算した値 394 が最小表示水平走査時間 ($KHDmin$): 520 を下回るので、表示水平走査時間は 520 クロック ($Pwmclk$ 数) となる。

【0497】

また、図 42 は図 41 の表をグラフ化したものである。補正画像データの最大値が大きいラインほど長い表示走査時間が割り当てられていること、補正画像データの最大値が小さいラインについても最小表示走査時間 ($KHDmin$): 520 クロックが確保されていることなどがわかる。

【0498】

また、表示ブランキング期間を付加して 721 ~ 750 ラインに最小表示走査時間 ($KHDmin$) を設けたが、補正画像データの各走査配線の最大値 ($maxDi$) によっては表示ブランキング期間は変化する。

【0499】

2 つのフレームメモリ (メモリ A26, メモリ B27) の制御方法は前述した実施形態と同じである。 $YG < 1$ の場合には、前述したフローによって、 $KHDi$ と $DGAIN$ の値

10

20

30

40

50

が求められ、これによって表示水平走査期間が決定される。

【0500】

(表示タイミング発生部)

本実施形態の表示タイミング発生部33は、第1の実施の形態の表示タイミング発生部33(図31)と同じである。

【0501】

第1の実施の形態と同様に、1フレームに含まれる全ラインについて、各々の表示走査時間KHDiに従ったMCLK数をもつ表示タイミング信号KHDを発生させるのである。

【0502】

このように発生させた表示タイミング信号KHDは、Rアドレス発生部28に入力される。Rアドレス発生部28は、表示タイミング信号KHDにしたがって読み出し用アドレス信号を発生し、その信号をスイッチ25を介して読み出し側のメモリに出力する。

10

【0503】

なお、メモリA26、メモリB27からデータを読み出す際の総ライン数は、有効走査線数の720本以上であることが望ましく、より好適には、タイミング設計のマージンから730~750本程度にするのがよい。読み出す際の総ライン数を少なくすれば、1ラインに割り当てられる表示走査時間が増え、輝度を上げることができるというまでもない。本実施の形態では、1フレームの読み出しライン数を730本に設定し、また、1フレームの総Pwmclk数が一定となり、各フレームごとに変化しないように、表示タイミング信号KHDを発生させる。この場合、

20

$ALLD = 730 (1648 / 2 - KHDmin) + 20 (1648 / 2)$
となる。

【0504】

(ゲインレジスタ)

図37に示したように、メモリA26またはメモリB27に一時的に格納された補正画像データDoutは、Rアドレス発生部28の読み出し用アドレス信号にしたがってシフトレジスタ5へと出力される。

【0505】

このとき、ゲインレジスタ31は、フレーム単位でマイコン34からロードされたゲインDGAInにしたがって補正画像データDoutにゲインをかける。

30

【0506】

前述したように求めたゲインDGAInを補正画像データにかけて画像データの調整を行う。こうして、変調回路8で変調したときにパルス幅が所定の表示水平走査時間を超えないようにする。

【0507】

(シフトレジスタ、ラッチ回路)

シフトレジスタ、ラッチ回路の構成や動作は、基本的に前述した実施形態と同じであるが、ここでは画像データID1~IDN、D1~DNはそれぞれ、9ビットではなく、10ビットの画像データとした。

【0508】

40

(変調手段の詳細)

ラッチ回路6の出力であるパラレル画像データD1~DNは図43に示す変調回路8に供給される。変調回路8の基本構成は、前述した実施形態と同じである。

【0509】

10ビットの画像データD1~DNと変調回路8の出力パルス幅の関係は、図44のようになりニアな関係にある。

【0510】

図45に変調回路の出力波形の例を3つ示す。同図において上側の波形は、変調回路8への入力データが0の時の波形、中央の波形は、変調回路への入力データが750(入力映像信号の水平走査時間から非駆動時間を引いた値、従来の水平走査時間では最大値)の時

50

の波形、下側の波形は、変調回路への入力データが 1 0 2 3 の時の波形である。この場合、入力映像信号の水平走査時間より長い時間変調信号が出力されている。

【 0 5 1 1 】

(走査駆動回路)

本実施形態の走査駆動回路 2 の構成や動作は、第 1 の実施の形態と同じである。

【 0 5 1 2 】

なお、表示器のサイズが大きくなるとともに、長くなった走査配線での電圧降下を低減するためには、第 1 の実施の形態で示したように、2 組の走査駆動回路を表示パネル 1 の走査配線の両端に接続し、両端からドライブすることも好ましいものである。

【 0 5 1 3 】

本実施形態によれば、走査配線における電圧降下量を補正することができ、それに起因する表示画像の劣化を改善することができる。

【 0 5 1 4 】

また、離散的に補正データを算出し、離散的に計算した点と点の間はそれを補間して求めることにより、補正データを非常に簡単に計算させることができ、さらに非常に簡単なハードウェアでそれを実現できる。

【 0 5 1 5 】

また第 1 の実施の形態と同様に、補正後の画像データの最大値に応じて各走査配線の表示水平走査時間を適宜に割り当てることによって、走査配線に生じる電圧降下を補正し、かつ、輝度を上げ画像を表示することを両立できる。

【 0 5 1 6 】

さらに、最小表示水平走査時間 KHD_{min} を確保した上でゲイン YG をかけて、水平走査期間を調整するとともに、補正画像データに対してゲイン DGA_{IN} を乗じて補正画像データを調整することによって、1 フレームの表示水平走査時間の総和が所定の時間を超過するような補正画像データであっても、画像品位を落すことなく表示できる。

【 0 5 1 7 】

(第 3 の実施の形態)

次に本発明の第 3 の実施の形態について説明する。

【 0 5 1 8 】

本実施の形態と、上記第 2 の実施の形態との違いは、各々の走査配線上の画素の補正画像データの最大値 $maxDi$ を含むように各走査ラインの表示水平走査時間を単純に割り当てた時、その総水平走査時間が入力映像信号の 1 フレーム期間を超過してしまう場合の処理の方法が異なる点にある。その他の部分については上記第 2 の実施の形態と同様である。

【 0 5 1 9 】

第 2 の実施の形態では、ゲイン YG により調整した表示水平走査時間 KHD_i 内に、当該表示水平走査期間 KHD_i に対応する変調信号のパルス幅が最長のものが収まるように、補正画像データにゲイン DGA_{IN} をかけてからパルス幅変調を行い、変調信号を生成した。

【 0 5 2 0 】

本実施の形態では、ゲイン YG により調整した表示走査時間 KHD_i 内に対応する変調信号が収まるように、補正画像データをリミッタにより制限してから、パルス幅変調を施す。

【 0 5 2 1 】

(システム全体と各部分の機能説明)

補正データ算出手段を内蔵した本実施の形態の表示装置のハードウェアについて説明する。

【 0 5 2 2 】

図 4 6 は、本実施の形態に係る回路構成の概略を示すブロック図である。映像信号の入力と、画像データの補正に係る回路については、上記第 1 及び 2 の実施の形態で示した図 1

10

20

30

40

50

7と同様である。また、表示パネル、走査駆動回路および変調駆動回路については、上記第2の実施の形態と同様である。

【0523】

(リミッタの動作について)

第3の実施の形態と異なる主たる部分は、図46におけるリミッタ51、リミットデータメモリ52の部分である。

【0524】

リミットデータメモリ52は、後述するi番目の走査配線に対応するリミットデータ値(LimDi)を記憶している。そして選択された走査配線に対応して記憶されているリミットデータ値(LimDi)をリミッタ51に出力する。リミッタ51はリミットデータメモリ52から出力されたリミットデータ値(LimDi)以上の値の補正画像データをリミットデータ値(LimDi)に置き換え出力する。

10

【0525】

第2の実施の形態ではゲインDGAInを補正画像データに乗算することによって、補正画像データの値を表示走査時間KHDi内に収めた。本実施の形態では、同様の効果をリミッタ51によって、リミットデータ値(LimDi)以上の値の補正画像データをリミットデータ値(LimDi)に置き換え出力することで実現している。

【0526】

(走査時間の制御について)

第2の実施の形態同様に、補正画像データの最大値に応じて各走査配線の走査時間を適応的に割り当てるという構成をとる。

20

【0527】

(ライン最大値検出器、マイコンにおける水平走査期間の演算処理)

図17の加算器12から出力された補正画像データDoutは、ライン最大値検出器22に入力される(図46参照)。第2の実施の形態と同様にライン最大値検出器22は、1ライン分の補正画像データのうちから最大値を検出する処理を、各ラインデータごとに行う。

【0528】

そして、マイコン34は、ライン最大値検出器22によって検出された補正画像データの最大値を用いて、図47のフローチャートにしたがい、各走査配線の水平走査時間を算出する。

30

【0529】

図47において、ステップS31~S36は、第2の実施の形態のフローチャート(図38)のステップS21~ステップS26と同じ動作である。またステップS34における動作も図39のフローチャートに示した処理を行う。

【0530】

ステップS36までに計算されたupDi、upDiの総和SumDから、各表示水平走査駆動時間(KHDi)、補正画像データの最大値を規定する各走査配線単位のリミットデータ値(LimDi)の計算(ステップS37)を、図48のフローチャートに従って行う。

40

【0531】

同フローチャートにおいて、ステップS371~S373では、各走査ラインのupDiに対してフレーム内で一律にかけるべきゲインYGの決定している。

【0532】

まず、第2の実施形態と同様に、ステップS371にて、ALLDをSumDで除してYGを求める。入力映像信号が720pの場合は、

$$\begin{aligned} ALLD &= 750 \times ((1648/2) - KHDmin) \\ &= 228000 \text{ クロック (Pwmclk数)} \end{aligned}$$

となる。

50

【0533】

このようにして算出したY Gが1以上の場合には(ステップS 3 7 2)、Y Gを1にセットし直す(ステップS 3 7 3)。

【0534】

次にY Gが1より小さい場合は、ここで得たゲインY Gを用いて各表示水平走査時間K H D iを調整し(ステップS 3 7 4)、この調整後の各表示水平走査時間K H D i内になるように、補正画像データに対するリミットデータ値(L i m D i)を算出する。(ステップS 3 7 5)。具体的には、表示水平走査時間(K H D i)は、

$$K H D i = (u p D i \times Y G + K H D m i n) \times 2 - 1$$

のように算出し、また、補正画像データに対するリミットデータ値(L i m D i)は、

$$L i m D i = u p D i \times Y G + D m i n$$

のように算出する。各走査時間を決めるK H D iはM C L K数を単位とするので、2倍して求めている。これは、u p D iがP w m c l k数を単位とするためである。

【0535】

このように算出された表示水平走査時間(K H D i)はステップS 3 7 6で、総和を求められ、入力された映像の1フレームの時間と比較される。そして、入力された映像の1フレームの時間に満たない分、表示ブランキング期間として、例えば最小表示水平走査時間(K H D m i n)を追加して(K H D 7 2 1, K H D 7 2 2...の追加)入力画像のフレーム時間と、表示フレーム時間を合わせる。

【0536】

このようにしてリミットデータ値L i m D iと各走査ラインの表示水平走査時間K H D iの計算を終えたら、再び図47のフローチャートに戻り、垂直同期信号V Dが現れるまでループを行う(ステップS 3 8)。

【0537】

垂直同期信号V Dを受け取り1フレームの終了を確認したら、次フレームの開始前に、各走査ラインの走査時間K H D iを表示タイミング発生部33にロードするとともに(ステップS 3 9)、リミットデータ値L i m D iをリミットデータメモリ52にロードする(ステップS 4 0)。

【0538】

本実施形態では、マイコン34で行う処理を、離散補正データ算出部のC P U 1 0 2に実行させることによって、マイコン34を省略することも可能である。

【0539】

(リミットデータメモリ、リミッタ)

メモリA 2 6またはメモリB 2 7に一時的に格納された補正画像データD o u tは、Rアドレス発生部28の読み出し用アドレス信号にしたがってシフトレジスタ5へと出力される(図46参照)。

【0540】

このとき、リミットデータメモリ52は、マイコン34からロードされたりミットデータ値L i m D iにしたがって補正画像データD o u tの値を制限する。

【0541】

上記演算処理において、前述したように、ライン最大値検出器22で検出した補正画像データの最大値m a x D iを含むように各ラインの水平走査時間を割り当てた場合に、その総水平走査時間が1フレーム期間を超過してしまうときは、各ラインの走査時間をゲイン調整をおこなう。

【0542】

したがって、1より小さいゲインY Gをかけて表示走査時間K H D iを調整した場合には制限すべき補正画像データが生じる。そのデータとは、ゲインY Gによる水平走査時間の調整分に応じて、表示水平走査時間から非駆動時間を引いた値以上の時間に相当するパルス幅の変調信号を生成してしまうような補正画像データである。すなわち、リミットデータメモリ52に記憶されている走査配線毎に計算されたりミットデータ値L i m D i以上

10

20

30

40

50

の補正画像データは、リミッタ51により制限される。

【0543】

すなわち、リミットデータメモリ52は1番目の走査配線のデータに対してLimD1、2番目の走査配線のデータに対してLimD2、i番目の走査配線のデータに対してLimDiを出力する。これは、例えばKHD信号で不図示のアドレスカウンタをカウントすることによって実現可能である。リミッタ51はリミットデータメモリ52から出力されたリミットデータ値(LimDi)以上の値の補正画像データをリミットデータ値(LimDi)に置き換え出力する。これは変調回路8で変調したときにパルス幅が水平走査期間の選択期間を超えないようにするためである。

【0544】

本実施の形態ではこのような構成によって、走査配線に生じる電圧降下を補正し、かつ、輝度を上げ画像を表示することを両立できた。

【0545】

さらに補正画像データに対するリミッタによって、1フレームを制御して高品位な画像を表示できる。

【0546】

(第4の実施の形態)

次に本発明の第4の実施の形態について説明する。

【0547】

本実施の形態と、第3の実施の形態との違いは、マイコンにおける走査時間演算処理である。当該走査配線の補正画像データの最大値maxDiを含むように各走査ラインの表示水平走査時間を単純に割り当てた時、その総水平走査時間が入力映像信号の1フレーム期間を超過してしまうことが予測される場合、マイコンにおける水平走査時間の演算処理を工夫して、表示フレーム期間を制御する。その他の部分については上記第3の実施の形態と同様である。

【0548】

第3の実施の形態では、ゲインYGを表示水平走査時間に乗算し表示水平走査時間KHDiを調整した。さらに、対応する走査配線のパルス幅変調された変調信号の最長の時間が、表示水平走査時間KHDi以下になるように補正画像データをリミッタにより制限した。

【0549】

一方、本実施の形態は、当該走査配線の補正画像データの最大値maxDiを含むように各走査ラインの表示水平走査時間を単純に割り当てた時、その総走査時間が入力映像信号の1フレーム期間を超過しないように、所定の基準を超えた表示水平走査時間を制限する方法である。

【0550】

(システム全体と各部分の機能説明)

補正データ算出手段を内蔵した本実施の形態に係る画像表示装置の回路構成については、上記第3の実施の形態で示したもの(図17, 図36, 図46)と同様である。

【0551】

本実施の形態と第3の実施の形態と異なる点は、以下に記す処理内容である。

【0552】

(ライン最大値検出器、マイコンにおける演算処理)

図17の加算器12から出力された補正画像データDoutは、ライン最大値検出器22に入力される(図46参照)。第2の実施の形態と同様にライン最大値検出器22は、1ライン分の補正画像データのうちから最大値を検出する処理を、各ラインデータごとに行う。

【0553】

そして、マイコン34は、ライン最大値検出器22によって検出された補正画像データの最大値を用いて、図47と同様のフローチャートにしたがい、各走査配線の走査時間を算

10

20

30

40

50

出する。

【0554】

本実施形態の動作は、図47において、ステップS37を除き第3の実施の形態と同じ動作である。第3の実施の形態と異なる点は、ステップS37の処理内容(図49参照)のみである。

【0555】

図47のステップS36までに計算されたupDi、upDiの総和SumDから、各表示水平走査駆動時間(KHDi)、補正画像データの最大値を規定する各走査配線単位のリミットデータ(LimDi)の計算(ステップS37)は図49のフローチャートに従って行われる。

10

【0556】

同フローチャートにおいて、各走査ラインのupDiに対してフレーム内で一律にリミッタをかけ、それに対応する補正画像データにリミッタをかける処理を行っている。

【0557】

まず、ステップS471にて、LimDを設定する。この値として補正画像データとしてとりうる最大の値からDminを減じた値、即ち、走査配線の入力画像データがすべて最大値の場合の補正画像データの最大値から最小走査時間KH Dminに対応する補正画像データの値Dminを減じた値、以上とすると良い。次にステップS472にて、第3の実施形態と同様にALLDをSumDで除してYGを求める。

【0558】

20

このようにして算出したYGが1より大きい場合には(ステップS473)、次の処理(ステップS478)に移る。

【0559】

次にYGが1より小さい場合は、次のように各表示水平走査時間KH Diを調整する。

【0560】

全走査配線に対応するUpDiとLimDを比較し、UpDiとLimDを比較する(ステップS474) LimDより大きなUpDiの場合はステップS475に処理が移り、UpDiにLimDを代入する。そのため新たなUpDiはLimD以下の値に制限される。

【0561】

30

ステップS476ではLimDの値を1減算する。次にステップS477で新たにSumDが計算される。

【0562】

そしてYGを計算するステップS472に戻る。次にS473でYGが1と比較される。YGが1より小さければステップS474～S477を繰り返しYGが1より大きくなるまで繰り返す。

【0563】

YGが1より大きくなるまで、すなわち表示水平走査時間のその総和が入力映像信号の1フレーム期間を超過しないようになるまで、UpDiにリミッタをかける。

【0564】

40

YGが1より大きくなると、ステップS478に処理は移る。ステップS478では、リミットされたupDiから各表示水平走査時間KH Diを決定する。

【0565】

具体的には、表示水平走査時間(KH Di)は、

$$KH Di = (up Di + KH Dmin) \times 2 - 1$$

のように算出する。すなわち最小表示水平走査時間(KH Dmin)に前述したフローで調整されたupDi(最小表示水平走査時間に対応する補正画像データを、補正画像データから減じた値にリミッタをかけた量)を加え計算する。

【0566】

各表示水平走査時間を決めるKH DiはMCLK数を単位とするので、2倍して求めてい

50

る。

【0567】

次にステップS479では、この調整後の各表示水平走査時間KHDi内に変調回路8のパルス幅変調された信号の開始から終了までの継続時間がおさまるように、補正画像データに対するリミットデータ値(LimDi)を、

$$LimDi = upDi + Dmin$$

のように算出する。

【0568】

このように算出された表示水平走査時間(KHDi)はステップS480で、総和を求められ、入力された映像信号の1フレームの時間と比較される。そして、入力された映像信号の1フレームの時間に満たない分、表示ブランキング期間として、例えばKH721, KH722...KH730のように、最小表示走査時間(KHmin)を追加して入力映像信号のフレーム時間と、表示フレーム時間を合わす。

10

【0569】

このようにしてリミットデータ値LimDiと各走査ラインの表示水平走査時間KHDiの計算を終えたら、垂直同期信号VDが現れるまでループを行う(図47のステップS38参照)。

【0570】

垂直同期信号VDを受け取り1フレームの終了を確認したら、次フレームの開始前に、各走査ラインの走査時間KHDiを表示タイミング発生部33にロードするとともに(ステップS39)、リミットデータ値LimDiをリミットデータメモリ52にロードする(ステップS40)。

20

【0571】

本実施形態ではマイコン34で行う処理を、離散補正データ算出部のCPU102で実行して、マイコン34を省略することも可能である。

【0572】

(リミットデータメモリ、リミッタ)

メモリA26またはメモリB27に一時的に格納された補正画像データDoutは、Rアドレス発生部28の読み出し用アドレス信号にしたがってシフトレジスタ5へと出力される。

30

【0573】

このとき、リミットデータメモリ52は、マイコン34からロードされたりミットデータ値LimDiにしたがって補正画像データDoutの値を制限する。

【0574】

すなわち、リミットデータメモリ52は1番目の走査配線のデータに対してLimD1、2番目の走査配線のデータに対してLimD2、i番目の走査配線のデータに対してLimDiを出力し、リミッタ51はリミットデータメモリ52から出力されたりミットデータ値(LimDi)以上の値の補正画像データをリミットデータ値(LimDi)に置き換え出力する。

【0575】

本実施の形態ではこのような構成によって、走査配線に生じる電圧降下を補正し、かつ、輝度を上げ画像を表示することを両立できた。

40

【0576】

さらに1フレームの表示水平走査時間の総和が所定の時間、例えば入力画像信号の1フレームの時間を超過することが予測される場合、表示水平走査時間の長いものから制限し1フレームの表示水平走査時間の総和が所定の時間に収まるようにした上で、定められた表示水平走査時間を超えないように補正画像データに対するリミッタをかける。これによって、高品位な画像を表示できる。

【0577】

以上説明したように、本発明の第1～第4の実施形態によれば、補正画像データの最大値

50

に応じて各走査配線の水平走査時間を適宜に割り当てるようにしたので、表示画像全体の輝度低下を招いたりすることもなく、走査配線の電圧降下を高精度に補正し、高輝度表示をおこなうことができる。

【0578】

さらに、水平走査時間と補正画像データを調整することによって、1フレームにおける表示水平走査時間の総和が所定の時間を超過しないようにできる。

【0579】

上記第1～第4の実施形態では、走査配線に流れる電流が大きく、走査配線の電圧降下を補正する例を示した。走査配線の電圧降下がほとんど発生しないFEDなどの場合は、第1～第4の実施形態における図17の電圧降下補正部40を、単に逆ガンマ処理部17とデータ配列変換部9と、データ配列変換部9の出力に1以上の係数を乗じ出力する乗算部から、構成してもよい。

10

【0580】

第1～第4の実施形態で示した電圧降下補正部40で画像データより大きな補正画像データを生成したのと同様に、データ配列変換部9の出力に1以上の係数を乗じ出力する乗算部により入力される画像データより大きなデータを出力する。そして、変調信号のパルス幅に対し、走査時間を決定することによって、前記1以上の係数に対応して輝度を大きくすることができる。

【0581】

以下に説明する実施形態は、1フレーム期間内において、少なくとも2つの走査配線における水平走査期間の選択期間が異なるように定めておき、それに応じて、変調信号及び走査選択信号を決定する形態である。

20

【0582】

(第5の実施の形態)

図50、図51は本実施の形態による駆動制御装置の部分的なブロック図である。

【0583】

図50では、ゲインテーブル10を設け、そこに格納されたゲイン値を逆処理部17からのパラレル3原色信号Ra、Rb、Rcに乗算する。

【0584】

また、図51において、メモリA26又はメモリB27からの出力に所定のリミットをかけるリミッタ53を設けている。

30

【0585】

(ゲインテーブル)

図50のゲインテーブル10は、逆処理部17から出力された映像信号Ra, Ga, Baに対して乗算するゲインを格納する回路である。このときのゲインは一定値ではなく、走査配線のアドレスに基づいて異なる値に設定されている。詳しくは後述する。

【0586】

(メモリA, メモリB)

メモリA26, メモリB27の動作は前述した各実施形態と同じである。

【0587】

40

図52は、本発明に用いられるメモリA26の回路構成を概略的に示したブロック図である。なお、メモリB27も同様の回路構成からなる。同図に示すように、メモリA26は、アドレス制御部260と、第1メモリ261～第8メモリ268からなる8つのバンクメモリと、を有して構成される。

【0588】

アドレス制御部260は、Wアドレス発生部21またはRアドレス発生部28が発生する書き込み用アドレス信号または読み出し用アドレス信号に基づき、第1メモリ261～第8メモリ268のアドレス制御を行う。

【0589】

第1メモリ261～第8メモリ268はそれぞれ1フレーム分の補正画像データの1/8

50

のデータを記憶可能な記憶容量を有している。入力映像信号として720pが入力された場合、水平方向の有効画素数は1280個であり、各画素につきR、G、Bの3個のデータがあるので、1ライン分のデータとしては、 $3 \times 1280 = 3840$ 個のデータが存在する。したがって第1メモリ261～第8メモリ268は、それぞれ水平方向のデータ数として、 $3840 / 8 = 480$ 個のデータを記憶可能である。垂直方向のデータ数としては、全走査線数750ライン分のデータを記憶可能である。

【0590】

加算器12から出力された補正画像データDoutは、Wアドレス発生部21が発生する書き込み用アドレス信号にしたがって、奇数フレームの場合はメモリA26に、偶数フレームの場合はメモリB27に書き込まれる。

10

【0591】

このときアドレス制御部260は、書き込み用アドレス信号に含まれるHbankアドレス(Hbankアドレスについては後述する)にしたがって、第1メモリ261～第8メモリ268のうち書き込み対象となるバンクメモリをイネーブル状態にする(イネーブル線は不図示)。そして、Vアドレスを上位、Hアドレスを下位とするアドレス信号により、第1メモリ261～第8メモリ268のアドレスを同時に制御する。

【0592】

また、メモリA26、メモリB27に書き込まれた補正画像データは、Rアドレス発生部28が発生する読み出し用アドレス信号に従って読み出される。

【0593】

20

このときアドレス制御部260は、第1メモリ261～第8メモリ268のすべてのバンクメモリをイネーブル状態にし、Vアドレスを上位、Hアドレスを下位とするアドレス信号により、第1メモリ261～第8メモリ268のアドレスを同時に制御する。各バンクメモリからは、データSD1～SD8が平行に読み出される。

【0594】

Rアドレス発生部28は、各水平走査ライン用のラインデータの読み出しタイミングを、入力映像信号に含まれる水平同期信号HDではなく、表示タイミング発生部33にて生成された表示タイミング信号KHDにしたがって決定する。表示タイミング信号KHDの生成方法については後述する。

【0595】

30

本実施の形態では、上述したようにメモリA26、メモリB27のそれぞれを複数のバンクメモリで構成して、1ライン分の補正画像データを8出力に層分けしたので、メモリA26、メモリB27からシフトレジスタ5へのデータ転送時間(シフト時間)を短くすることができる。なお、層分けを行わず、フレームメモリの出力、シフトレジスタをとともに1つにして、フレームメモリの読み出し時間を書き込み時間よりも短くするようにしても同様の効果を得ることができる。

【0596】

(Wアドレス発生部)

図53は、Wアドレス発生部21の回路構成を概略的に示すブロック図である。同図に示すように、Wアドレス発生部21はVカウンタ210とH上位カウンタ211と比較器212とHカウンタ213とを有して構成される。

40

【0597】

Vカウンタ210は、垂直方向のアドレス(走査配線番号)を指し示すアドレスVcountを生成し出力するためのカウンタであり、垂直同期信号HDでリセットされ、水平同期信号HDをカウントしてそのカウント値を出力する。720pを入力信号とした場合、垂直方向の走査配線数は750本であるので、10bit幅のカウンタを使用する。

【0598】

Hカウンタ213は、水平方向のアドレス(1ライン中のデータ番号)を指し示すアドレスHcountを出力するためのカウンタであり、水平同期信号HDでリセットされ、MCLKをカウントしてそのカウント値を出力する。上述したように、1つのバンクメモリ

50

に格納する水平方向のデータ数は480個であるので、9bit幅のカウンタを使用する。なお、Hカウンタ213の出力は比較器212にも入力される。

【0599】

H上位カウンタ211は、補正画像データDoutを書き込むバンクメモリを指し示すHbankを出力するためのカウンタである。H上位カウンタ211は、垂直同期信号HDでリセットされ、EN端子に信号が入力された状態でMCLKが入力されるとカウントを行う。なお、メモリA26、メモリB27はそれぞれ8つのバンクを備えるので、H上位カウンタ211としては3bit幅のカウンタを使用する。

【0600】

比較器212は、あらかじめ記憶している値とHカウンタ213から入力されたカウント値とを比較して、両値が等しい場合に信号を出力する。比較器212の出力は、Hカウンタ213のリセット端子RES1と、H上位カウンタ211のEN端子に接続されている。なお、比較器212はメモリA26、メモリB27の1層分(1バンク分)の水平方向のデータ数(480)に対応する値として“479”という値を記憶している。

10

【0601】

上記構成において、1フレームの処理が開始されると、まず垂直同期信号VDでVカウンタ210がリセットされる。そして、水平同期信号HDでHカウンタ213とH上位カウンタ211がリセットされる。Hカウンタ213はMCLKをカウントし、そのカウント値をHcountとして出力する。

【0602】

20

Hカウンタ213から出力されたカウント値は比較器212にも入力され、記憶値“479”との比較が行われる。Hカウンタ213のカウント値が479に達すると、比較器212から信号が出力され、Hカウンタ213のカウント値は再び0にリセットされる。他方、H上位カウンタ211のEN端子にも信号が入力されるので、次のMCLKにおいてH上位カウンタ211はカウントを行い、カウント値をHbankとして出力する。

【0603】

したがって、Hカウンタ213は、0～479の値を繰り返しカウントする。またH上位カウンタ211は、480個のデータ毎にHbankの値を1ずつインクリメントしていき、書き込みバンクを変更させる。

【0604】

30

1水平ライン分の処理が終わると、Vカウンタ210は水平同期信号HDをカウントして、カウント値をVcountとして出力する。H上位カウンタ211とHカウンタ213とは水平同期信号HDにてリセットされる。以降、同様にして次の水平走査ラインの処理を繰り返す。

【0605】

(Rアドレス発生部)

図54は、Rアドレス発生部28の回路構成を概略的に示すブロック図である。同図に示すように、Rアドレス発生部28はVカウンタ280と比較器281とHカウンタ282とを有して構成される。

【0606】

40

Vカウンタ280は、垂直方向のアドレス(走査配線番号)を指し示すアドレスVcountを生成し出力するためのカウンタであり、垂直同期信号HDでリセットされ、表示タイミング発生部33にて生成された表示タイミング信号KHDをカウントしてそのカウント値を出力する。720pを入力信号とした場合、垂直方向の走査配線数は750本であるので、10bit幅のカウンタを使用する。

【0607】

Hカウンタ282は、水平方向のアドレス(1ライン中のデータ番号)を指し示すアドレスHcountを出力するためのカウンタであり、表示タイミング発生部33にて生成された表示タイミング信号KHDでリセットされ、MCLKをカウントしてそのカウント値を出力する。上述したように、1つのバンクメモリに格納されている水平方向のデータ数

50

は480個であるので、9bit幅のカウンタを使用する。なお、Hカウンタ213の出力は比較器212にも入力される。

【0608】

比較器281は、あらかじめ記憶している値とHカウンタ282から入力されたカウント値とを比較して、両値が等しい場合に信号を出力する。比較器281の出力は、Hカウンタ282のリセット端子RES1に接続されている。なお、比較器281はメモリA26、メモリB27の1層分(1バンク分)の水平方向のデータ数(480)に対応する値として“479”という値を記憶している。

【0609】

上記構成において、1フレームの処理が開始されると、まず垂直同期信号VDでVカウンタ280がリセットされる。そして、表示タイミング信号KHDでHカウンタ282がリセットされる。Hカウンタ282はCLKをカウントし、そのカウント値をHcountとして出力する。

10

【0610】

Hカウンタ282から出力されたカウント値は比較器281にも入力され、記憶値“479”との比較が行われる。Hカウンタ282のカウント値が479に達すると、比較器281から信号が出力され、Hカウンタ282のカウント値は再び0にリセットされる。したがって、Hカウンタ282は、0～479の値を繰り返しカウントする。

【0611】

1水平ライン分の処理が終わると、Vカウンタ280は表示タイミング信号KHDをカウントして、カウント値をVcountとして出力する。Hカウンタ282は表示タイミング信号KHDにてリセットされる。以降、同様にして次の水平走査ラインの処理を繰り返す。

20

【0612】

次に、上記表示タイミング信号KHDの発生方法、すなわち水平走査期間の制御方法について説明する。

【0613】

(水平走査期間の制御について)

本実施の形態では、各走査配線の水平走査期間を一定値にするのではなく、比較的高い輝度が必要とされる走査配線については長い走査時間を割り当て、さほど輝度が必要とされない走査配線については短い走査時間を割り当てる。

30

【0614】

図55は、複数の走査配線上の画素の水平走査期間の一例を示す模式図である。同図のグラフの縦軸は各水平走査ライン(走査配線)に対応している。同図では、説明を簡略化するために水平走査ラインが12本の様子を示す。また、同グラフの横軸は時間(パルス幅)を表している。

【0615】

同グラフにおいて、各水平走査ラインに対応している棒グラフは対応する水平走査ラインの補正画像データを図示している。白抜き矩形部分は、その水平走査ライン上のある画素への入力画像データ(輝度データ)を示し、ハッチング矩形部分は、その入力画像データに対する補正データを示している。また、棒グラフの右側に示した縦線(実線)は、各水平走査ラインごとの表示水平走査時間を図示している。

40

【0616】

同図に示すように、12本の走査配線のうち、中央の走査配線には、端部の走査配線とは異なる表示水平走査期間が設定されている。ここでは、画面中央部の水平走査ライン上の画素ほど表示水平走査期間が長く、画面上端部および下端部の水平走査ライン上の画素ほど表示水平走査期間が短くなるように設定され、各水平走査ラインの表示水平走査時間は図中右に凸状に変化している。

【0617】

それぞれの水平走査ラインごとの補正画像データは、その最大値が上記のように設定され

50

た各表示水平走査時間の中に収まるように、各走査配線毎に所定のゲイン変換が施されている。つまりこのときのゲイン変換も、画面中央部の水平走査ライン上の画素ほどゲインが大きく、画面上端部および下端部の水平走査ラインの画素になるほどゲインが小さくなるようにする。

【0618】

個別に水平走査ライン毎に割り当てた表示水平走査時間の総和が入力映像信号の1フレーム時間以下であれば、1フレーム時間内に1フレームの画像が表示できる。言い換えれば表示水平走査時間の平均が、入力映像信号の水平同期信号から得られる水平走査期間と等しければ、1フレーム時間内に1フレームの画像が表示できる。また、人間の眼は画面中央部から画面端部に向かって変化するなだらかな輝度変化に関しては比較的鈍感であるため、図55のように、各ラインの輝度を異ならせても表示画像に違和感を感じることは少ない。

10

【0619】

もちろん、表示フレーム時間を多少変える場合、個別に水平走査ライン毎に割り当てた表示水平走査時間の数フレーム単位の総和が、入力された映像信号の数フレーム時間以下にするとよい。

【0620】

次に、ここで述べた表示走査時間の制御についてより詳しく説明する。

【0621】

走査配線抵抗が5程度、表面伝導型放出素子の素子電流を0.1mA程度、素子数720×1280×3(RGB)において、8bit幅の画像データ(最大:255)を補正した補正画像データの最大値は350程度になる。そのためパルス幅変調器のbit幅を9bitに設計する。

20

【0622】

(表示タイミング発生部)

図56は、表示タイミング発生部33の回路構成を概略的に示すブロック図である。図31に示した構成と異なる点は、メモリ331の制御とそこに格納されるデータである。

【0623】

メモリ331には、各走査配線上の画素の水平走査期間を設定するために、あらかじめ各水平走査ラインのMCLK数(1H MCLK数)が記憶されている。メモリ331は、アドレス0に1ライン目の水平走査ラインのMCLK数から1を引いた値(1H MCLK数-1)を、アドレス1に2ライン目の水平走査ラインのMCLK数から1を引いた値を、以下順番にアドレス(i-1)にiライン目の水平走査ラインのMCLK数から1を引いた値を記憶している。そして、Vカウンタ333からアドレスiを入力されると、そのアドレスiに対応したMCLK数を比較器332に出力する。

30

【0624】

比較器332は、Hカウンタ330から入力された値(MCLKのカウント値)とメモリ331から入力された値、つまりあらかじめ決められた各水平走査ラインのMCLK数とを比較し、両者が一致した場合にのみ信号を出力する。

【0625】

このように構成された表示タイミング発生部33では、次のようにして表示タイミング信号KHDを発生させる。

40

【0626】

まず、垂直同期信号VDが入力されると、Hカウンタ330とVカウンタ333のカウント値がリセットされ、1フレームの処理が開始される。

【0627】

MCLKに同期して、Vカウンタ333はカウンタ値0をメモリ331に出力し、それを受けてメモリ331が1ライン目の水平走査ラインのMCLK数、実際には、「1H MCLK数-1」を比較器332に出力する。一方、Hカウンタ330は、MCLKをカウントし、そのカウンタ値Nを比較器332に出力する。

50

【 0 6 2 8 】

Hカウンタ330のカウント値NがMCLK数に等しくなったときに、比較器332から信号が出力される。ここでの比較処理はMCLKに同期して行われるので、この比較器332からの出力信号が1ライン目の終了（または2ライン目の開始）に相当する表示タイミング信号KHDとなる。

【 0 6 2 9 】

そして、表示タイミング信号KHDが出力されると、Hカウンタ330のカウント値がリセットされ、Vカウンタ333のカウント値がインクリメントされる。したがってここからは、Vカウンタ333はカウント値1をメモリ331に出力し、メモリ331は2ライン目の水平走査ラインのMCLK数（実際には、 $1H - MCLK数 - 1$ ）を比較器332 10
に出力することとなる。Hカウンタ330は再び0からMCLKのカウントを開始するので、上記と同様にしてそのカウント値が水平走査ラインのMCLK数となったときに比較器332から表示タイミング信号KHD（2ライン目の終了（または3ライン目の開始）に相当する）が出力される。

【 0 6 3 0 】

この処理を順次繰り返し、1フレームに含まれる全ラインについて、メモリ331にあら 10
かじめ記憶された各々の水平走査ラインのMCLK数に従ったMCLK数をもつ表示タイミング信号KHDを発生させるのである。

【 0 6 3 1 】

このように発生させた表示タイミング信号KHDは、Rアドレス発生部28に入力される 20
。Rアドレス発生部28は、上述したように表示タイミング信号KHDにしたがって読み出し用アドレス信号を発生し、その信号をスイッチ25を介して読み出し側のメモリに出力する。

【 0 6 3 2 】

なお、メモリA26、メモリB27からデータを読み出す際の総ライン数は、有効走査線数の720本以上であることが望ましく、より好適には、タイミング設計のマージンから 725 ~ 750本、より好ましくは、730 ~ 749本程度にするのがよい。

【 0 6 3 3 】

図57および図58に、一例として744ライン目の処理中に垂直同期信号VDによりH 30
カウンタ330およびVカウンタ333のリセットが入る例を示す。図57の実線で示したグラフは、メモリ331に格納されている各水平走査ラインの $1H - MCLK数$ のテーブルを図示したものである。図58は、各水平走査ラインごとの $1H - MCLK数$ 、 $SC - LK数$ （ $Pwmclk数$ ）、および $MAXpwm数$ を示した表である。

【 0 6 3 4 】

このようにメモリ331内には、画面中央部の水平走査ラインほどMCLK数が多くなる 40
ような、また、画面上端部および下端部の水平走査ラインにいくほど $1H - MCLK数$ が少なくなるようなテーブルが格納されている。これにより水平走査ラインの表示水平走査時間は、凸状、即ち、画面の上下で比較的短く、中央で比較的長い状態に変化することとなる。

【 0 6 3 5 】

なお、ここでは、 $1H - MCLK数$ が60ライン毎に階段状に変化するように設定された 40
テーブルを用いたが、図57の点線で示すような水平走査ライン毎になめらかに凸状に変化するように設定されたテーブルを用いることも好適である。そのときのカーブとしては、たとえば2次式であらわされるカーブやガウシアンカーブなどを用いることができる。

【 0 6 3 6 】

本実施の形態では、720pを入力映像信号とし、1水平走査期間のサンプルクロック数（MCLK数）を1648個に設計したので、1フレームのMCLK数は、 $750 \times 1648 = 1236000$ クロックとなる。そして、図57および図58で示したごとく各水平走査ラインのMCLK数を設定すると、1ライン目から743ライン目までの総MCLK 50
数が1235344クロック、1ライン目から744ライン目までの総MCLK数が1

2 3 6 6 7 2 クロックであることから、7 4 4 ライン目の水平走査ラインのタイミング途中で、垂直同期信号 V D により H カウンタ 3 3 0 と V カウンタ 3 3 3 がリセットされることとなる。

【0637】

M A X p w m 数とは、補正画像データの取り得る最大値であり、詳しくは、それをパルス幅変調のためのクロック数 (P w m c l k 数) に換算した値である。

【0638】

表示タイミング信号 K H D により各水平走査ラインの表示タイミングが決定されるが、水平走査ラインの切り替えと、垂直変調ラインの (立ち上がり、立下り) 駆動とを同時に行うとパネル内の駆動波形が乱れ、表示素子に過大な電圧がかかる可能性がある。そのため 1 H M C L K 数に相当する時間をすべて P W M 駆動時間に割り振ることはできない。

10

【0639】

本実施の形態では、M C L K の周期が約 1 3 . 5 n S e c であり、P w m c l k の周期が約 2 7 n S e c である。走査配線の切り替えのための非駆動時間としては 2 μ S e c 程度を確保すればよいので、都合 7 4 P w m c l k は駆動しない時間に設定する。

【0640】

したがって、M A X p w m 数としては、表示タイミング信号 K H D で決まる P w m c l k 数から 7 4 を引いた値であり、図 5 8 の表のように求まる。

【0641】

(ゲインテーブル)

20

図 5 9 は、ゲインテーブル 1 0 の回路構成を概略的に示すブロック図である。同図に示すように、ゲインテーブル 1 0 はメモリ 2 2 0 と V カウンタ 2 2 1 を有して構成される。

【0642】

メモリ 2 2 0 は、走査配線番号とゲイン (G A I N) とが関連付けられたデータテーブルを記憶する記憶手段であり、ここに格納されたデータが、設定された水平走査期間に応じて変調信号を決める、パラメータとなっている。

【0643】

1 フレームについての処理が開始されると、まず V カウンタ 2 2 1 は、垂直同期信号 V D でリセットされる (カウント値が 0 になる)。そして、V カウンタ 2 2 1 は、水平同期信号 H D をカウントし、そのカウント値を出力する。V カウンタ 2 2 1 の出力はメモリ 2 2 0 のアドレスに接続されており、メモリ 2 2 0 は V カウンタ 2 2 1 から入力されたカウント値に対応したゲイン (G A I N) を出力する。なお、メモリ 2 2 0 には、カウント値が 0 のときに 1 ライン目のゲインが出力されるようなテーブルが格納されている。

30

【0644】

各水平走査ラインに応じたゲイン G A I N は、補正画像データの最大データ値 D a t a M A X と、上記のように求めた各水平走査ラインに対応する M A X p w m と、から以下のように決定されている。

G A I N M A X p w m / D a t a M A X

【0645】

ここで D a t a M A X は、1 水平走査ラインのすべての入力データが最大値 (8 b i t の場合は “ 2 5 5 ”) であるような画像データが入力された場合に、上述した電圧降下補正処理を行って得られる補正画像データの値である。すなわち、このような画像データが入力された場合に電圧降下は最大となり、補正画像データが最大値をとることから、このときの補正画像データ (D a t a M A X) が M A X p w m を超えないように上記 G A I N を設定するのである。

40

【0646】

図 6 0 および図 6 1 に、ゲインテーブルの一例を示す。図 6 0 の実線で示したグラフは、メモリ 2 2 0 に格納されている各水平走査ラインのゲイン (G A I N) のテーブルを図示したものである。図 6 1 は、図 5 8 の表にゲイン (G A I N) を追記したものである。

【0647】

50

このようにメモリ 220 内には、画面中央部の水平走査ラインほどゲインが大きくなるような、また、画面上端部および下端部の水平走査ラインにいくほどゲインが小さくなるようなテーブルが格納されている。これにより補正画像データは、水平走査ラインの表示水平走査時間に合わせて凸状のゲイン変換を受け、画面上端部および下端部の水平走査ラインに係る補正画像データほど小さい値に制限され、表示水平走査時間の中に収まるようになる。

【0648】

なお、ここでは、ゲインが60ライン毎に階段状に変化するように設定されたゲインテーブルを用いたが、図60の点線で示すような水平走査ライン毎になめらかに凸状に変化するように設定されたゲインテーブルを用いると、更に好適である。そのときのカーブとしては、たとえば2次式であらわされるカーブやガウシアンカーブなどを用いることができる。又、水平走査期間を階段状とし、ゲインテーブルの設定を滑らかな凸状となる値にすれば、表示輝度変化が滑らかに違和感なく表示できる。

10

【0649】

(リミッタ)

表示タイミング発生部33にて生成された表示タイミング信号KHDにしたがって、メモリA26またはメモリB27から読み出された補正画像データSD1~SD8は、図51のリミッタ53に入力される。

【0650】

リミッタ53は、補正画像データSD1~SD8がMAXpwmを超えていた場合に、MAXpwm以下の値に収まるようにリミットを行う回路である。ここでは水平走査ライン毎にMAXpwmの値が異なることから、リミッタ53は各水平走査ラインごとに異なるリミット値を有している。

20

【0651】

リミッタ53から出力された補正画像データSD1~SD8は、それぞれ別々のシフトレジスタ5に入力される。

【0652】

(シフトレジスタ、ラッチ回路)

前述した各実施形態と同様である。

【0653】

なお本実施の形態では画像データID1~IDN、D1~DNはそれぞれ9ビットの画像データとした。

30

【0654】

また、シフトレジスタ5の動作タイミングは上記表示タイミング発生部33からのシフトクロックSCLKに基づく。

【0655】

(各部の動作タイミング)

図62および図63に各部の動作タイミングのタイミングチャートを示す。また、図63は図62を部分的に拡大したタイミングチャートである。

【0656】

なお、図62、63においてHsync(HD)は水平同期信号、DotCLK(MCLK)はタイミング発生回路11の中のPLL回路により水平同期信号Hsyncから作成したサンプリングクロックである。SRGBはRGB変換手段7からのR、G、B毎に並列なデジタル画像データ、3MCLKは、R、G、B毎の並列データを直列データにデータ配列変換を行うために用いられるクロックであり、DotCLK(MCLK)の3倍の周波数を持つ。

40

【0657】

Dataはデータ配列変換後の画像データ、Doutは補正画像データ、SD1~SD8はメモリA26またはメモリB27から多層化されて出力された補正画像データ、SCLKはシフトレジスタ5へ補正画像データSD1~SD8を転送するためのシフトクロック

50

、Data loadはラッチ回路6へデータをラッチするためのロードパルス、Pwm startは前述のパルス幅変調の開始信号、変調信号XD1は変調配線1へ供給されるパルス幅変調信号、Dx1は走査駆動回路2から走査配線へ供給される電位の一例である。

【0658】

そして、KHDは、決定された表示水平走査期間に従って、走査駆動回路2や変調駆動回路を動作させるための、表示タイミング信号の一例である。

【0659】

1水平走査期間の開始とともに、入力切り替え回路からデジタル画像データRGBが転送される。同図では水平走査期間Iにおいて、入力される画像データをR__I, G__I, B__Iで表す。画像データR__I, G__I, B__Iは、ゲインテーブル10から供給されたゲインを乗算される。それらは、データ配列変換部9では1水平走査期間の間、画像データを蓄えられ、水平走査期間I+1において、表示パネルの画素配置に合わせてデジタル画像データData__Iとして出力される。

10

【0660】

R__I, G__I, B__Iは、水平走査期間Iにおいて補正データ算出手段14に入力される。同手段では、前述した点灯数をカウントし、カウントの終了とともに、電圧降下量が算出される。

【0661】

電圧降下量が算出されるのにつづいて、離散補正データが算出され、算出結果がレジスタに格納される。

20

【0662】

走査期間I+1に移り、データ配列変換部9から、1水平走査期間前の画像データData__Iが出力されるのに同期して、補正データ補間部142では離散補正データが補間され、補正データが算出される。補間された補正データは、階調数変換部で直ちに階調数変換を施され、加算器12に供給される。

【0663】

加算器12では、画像データDataと補正データCDzを順次加算し、補正された画像データDoutを多層化器(メモリA, B)へ転送する。同図ではスイッチ23, 24, 25, 29の接点が、それぞれa, a, b, aとなっているので、DoutはメモリA26に書き込まれる。このときメモリB27からは1フレーム前のDoutが読み出される。

30

【0664】

メモリB27から8層に層分けされた補正画像データSD1~SD8は、リミッタ53でリミット処理が行われた後、シフトレジスタ5へ転送される。

【0665】

8つのシフトレジスタ5はSCLKにしたがって、それぞれ補正画像データSD1~SD8(全体で1水平走査期間の画像データとなる)を記憶するとともにシリアル/パラレル変換をおこなってパラレルな画像データID1~IDNをラッチ回路6に出力する。ラッチ回路6は表示タイミング信号KHDに同期したData loadの立ち上がりにしたがってシフトレジスタ5からのパラレル画像データID1~IDNをラッチし、ラッチされた画像データD1~DNをパルス幅変調回路8へと転送する。

40

【0666】

パルス幅変調回路8は、ラッチされた画像データに応じたパルス幅のパルス幅変調信号を出力する。本実施の形態では、水平同期信号HDとは異なる表示タイミング信号KHDに基づき、各水平走査ラインの表示制御を行っている。したがって、同図に示されるように、パルス幅変調信号I-1が1水平走査期間よりも長くなることがある。

【0667】

このようにして、走査配線における電圧降下量を補正することができ、それに起因する表示画像の劣化を改善することができる。

【0668】

50

また、離散的に補正データを算出し、離散的に計算した点と点の間はそれを補間して求めることにより、補正データを非常に簡単に計算させることができ、さらに非常に簡単なハードウェアでそれを実現できる。

【0669】

そして、各走査配線の表示走査時間を適宜に割り当てることによって、走査配線に生じる電圧降下を補正し、かつ、走査配線の抵抗値が0 に対する輝度で画像を表示すること、つまり走査配線抵抗により電圧降下している状態で駆動した場合より輝度が大きく表示することを両立できる。

【0670】

(第6の実施の形態)

図64には、本発明の第6の実施の形態が示されている。上記第5の実施の形態では、逆処理部17で逆変換処理を施したRGBパラレルの画像データRa, Ga, Baに対してゲインをかける構成としたが、本実施の形態では、逆変換処理を施す前の画像データR, G, Bに対してゲインをかけることとした。なお、その他の構成および作用については第5の実施の形態と同一である。

【0671】

ゲインテーブル10は、RGB変換手段7から出力された映像信号R, G, Bに対して所定のゲインを乗算する回路である。このときのゲインは一定値ではなく、映像信号に係る走査配線番号に基づいて異なる値に設定されている。

【0672】

具体的には、上記第5の実施の形態と同様、走査配線番号とゲイン(GAIN)とが関連付けられたテーブルを有しており、このテーブルは、画面中央部の水平走査ラインほどゲインが大きく、また、画面上端部および下端部の水平走査ラインにいくほどゲインが小さくなるように設定されている。これにより補正画像データは、水平走査ラインの表示走査時間に合わせて凸状のゲイン変換を受け、画面上端部および下端部の水平走査ラインに係る補正画像データほど小さい値に制限され、表示走査時間の中に収まるようになる。

【0673】

ただし、逆変換処理前の画像データR, G, Bは、非線形性があるので、上記第5の実施の形態に比べてゲインを多めに設定することが好ましい。

【0674】

かかる構成によっても、上記第5の実施の形態と同様の作用効果を得ることができる。

【0675】

(第7の実施の形態)

図65には、本発明の第7の実施の形態が示されている。上記第5の実施の形態では、画像データに対してゲインをかける構成としたが、本実施の形態では、画像データを補正するための補正データに対してゲインをかけることとした。なお、その他の構成および作用については第5の実施の形態と同一である。

【0676】

ゲインテーブル10は、補正データ算出手段14から出力された補正データCDに対して所定のゲインを乗算する回路である。このときのゲインは一定値ではなく、映像信号に係る走査配線番号に基づいて異なる値に設定されている。

【0677】

具体的には、上記第5の実施の形態と同様、走査配線番号とゲイン(GAIN)とが関連付けられたテーブルを有しており、このテーブルは、画面中央部の水平走査ラインほどゲインが大きく、また、画面上端部および下端部の水平走査ラインにいくほどゲインが小さくなるように設定されている。これにより補正データCDは、凸状のゲイン変換を受け、画面上端部および下端部の水平走査ラインに係る補正データほど小さい値に制限される。

【0678】

したがって、遅延回路19から出力された画像データDataに、ゲイン変換後の補正データを加算した補正画像データDoutは、水平走査ラインの表示走査時間に合わせて画

10

20

30

40

50

面上端部および下端部の水平走査ラインに係る補正画像データほど小さい値に制限され、表示走査時間の中に収まるようになる。

【0679】

かかる構成によっても、上記第5の実施の形態と同様の作用効果を得ることができる。

【0680】

(第8の実施の形態)

図66には、本発明の第8の実施の形態が示されている。上記第5の実施の形態では、画像データに対してゲインをかける構成としたが、本実施の形態では、補正後の補正画像データに対してゲインをかけることとした。なお、その他の構成および作用については第5の実施の形態と同一である。

【0681】

ゲインテーブル10は、加算器12から出力された補正画像データDoutに対して所定のゲインを乗算する回路である。このときのゲインは一定値ではなく、映像信号に係る走査配線番号に基づいて異なる値に設定されている。

【0682】

具体的には、上記第5の実施の形態と同様、走査配線番号とゲイン(GAIN)とが関連付けられたテーブルを有しており、このテーブルは、画面中央部の水平走査ラインほどゲインが大きく、また、画面上端部および下端部の水平走査ラインにいくほどゲインが小さくなるように設定されている。これにより補正画像データDoutは、水平走査ラインの表示走査時間に合わせて凸状のゲイン変換を受け、画面上端部および下端部の水平走査ラインに係る補正画像データほど小さい値に制限され、表示走査時間の中に収まるようになる。

【0683】

かかる構成によっても、上記第5の実施の形態と同様の作用効果を得ることができる。

【0684】

(第9の実施の形態)

上記各実施の形態では、走査配線番号とゲイン(GAIN)とが関連付けられたテーブルを有するゲインテーブルを用いて、画像データ、補正データまたは補正画像データに表示走査時間に合わせた凸状のゲイン変換を施す構成としたが、ゲインテーブルの代わりにリミッタを用いる構成とすることも好適である。

【0685】

このとき、リミッタのリミット値は一定値ではなく、走査配線番号に基づいて異なる値に設定する。たとえば、画面中央部の水平走査ラインほどリミット値が大きく、また、画面上端部および下端部の水平走査ラインにいくほどリミット値が小さくなるように設定すれば、水平走査ラインの表示水平走査時間に合わせて画面上端部および下端部の水平走査ラインに係る補正画像データほど小さい値に制限し、表示水平走査時間の中に収めるようにすることができる。

【0686】

さらに、リミッタが図67に示すようなリミッタ特性を有していると、なおよい。すなわち、入力データの値の大きさに応じてリミット値がなだらかに変化する特性とすれば、画像データの階調性を損なうことなく、高品質な表示画像を得ることができる。リミッタ特性は図67に示したものに限定されることはなく、途中から傾きが緩やかになる点を有していればよい。よって、傾きや、傾きが変わる点の位置は適宜定められる。

【0687】

以上説明したように、第5～第9の各実施形態による表示装置によれば、表示画像全体の輝度低下を招いたりすることなく、走査配線の電圧降下を高精度に補正し、高品位な画像を表示できる。

【0688】

また、以上説明した本発明の駆動制御方法は、映像信号処理回路などとともに1チップに集積化される集積回路で実現できる。この場合フレームメモリを除いて集積化されてもよ

10

20

30

40

50

い。そして、この場合の駆動制御方法はＩＰコア（設計資産）として、他のＩＰコアと論理合成可能な、ＶＨＤＬなどのＲＴＬのソフトＩＰであることも好ましいものである。

【０６８９】

或いは、本発明の駆動制御方法は、マイクロコンピュータにロードされ、実行されるプログラムとして実現してもよい。

【０６９０】

上記第５，６，８，９の実施形態では、走査配線に流れる電流が大きく、走査配線の電圧降下を補正する例を示した。走査配線の電圧降下がほとんど発生しないＦＥＤなどの場合は、これらの各実施形態における図５０、図６４、図６６の電圧降下補正部４０を、単に逆ガンマ処理部１７とデータ配列変換部９と、データ配列変換部９の出力に１以上の係数を乗じ出力する乗算部から、構成してもよい。

10

【０６９１】

これらの各実施形態で示した電圧降下補正部４０で画像データより大きな補正画像データを生成したのと同様に、データ配列変換部９の出力に１以上の係数を乗じ出力する乗算部により入力される画像データより大きなデータを出力する。

【０６９２】

そして、変調信号のパルス幅に対応し、走査時間を決定することによって、前記１以上の係数に対応して輝度を大きくすることができる。

【０６９３】

さらに、この構成の場合、ゲインテーブル１０にあらかじめ前記１以上の係数を乗じておくことにより、データ配列変換部９の出力に１以上の係数を乗じ出力する前記乗算部を省略することが可能である。

20

【０６９４】

以下に述べる実施形態は、

複数の表示素子を複数の行配線と複数の列配線とによってマトリックス状に結線してなる表示器と、

前記複数の行配線のうちの行配線に走査選択信号を印加して水平走査を行い、その選択行配線を順次切り替えることによって垂直走査を行う走査駆動回路と、

前記複数の列配線のそれぞれに入力される、画像データに応じた変調信号を印加する変調駆動回路と、

30

入力された映像データを少なくとも１フレーム分蓄えることができるフレームメモリとを備え、

入力される画像データに応じて、画像データレベルの大きい部分に相当する行配線の選択時間を長く、画像データレベルの小さい部分に相当する行配線の選択時間は短くなる動作タイミングを算出して、該動作タイミングで前記走査駆動回路と前記変調駆動回路とを制御する制御手段を備えた表示装置である。

【０６９５】

ここで、前記制御手段は、算出した係数を前記画像データに乗じて新たな画像データを前記動作タイミングに応じて生成する乗算手段を備え、

前記変調駆動回路は、前記新たな画像データに応じて前記列配線を駆動することも好適である。

40

【０６９６】

前記変調駆動回路は、画像データに応じたパルス幅で基準クロック（ＰＣＬＫ）をカウントし前記列配線を駆動するパルス幅変調回路であり、

前記制御手段は、算出した係数に応じた周期の前記基準クロック（ＰＣＬＫ）を前記動作タイミングに応じて発生する発振手段を備えることも好適である。

【０６９７】

入力される画像データの輝度レベルの行ごとの最大値を検出する行最大値検出手段を備え、

前記動作タイミングは前記行最大値検出手段の出力に応じて算出されることも好適である

50

。

【 0 6 9 8 】

輝度レベルの行ごとの最大値を検出する行最大値検出手段と、
輝度レベルの列ごとの最大値を検出する列最大値検出手段と、
を備え、

前記動作タイミングは前記行最大値検出手段の出力と前記列最大値検出手段の出力に応じて算出されることも好適である。

【 0 6 9 9 】

前記制御手段は、

前記フレームメモリに蓄えられた画像データの参照・書き換えを行うためのメモリ参照手段と、 10

算出した係数を前記画像データに乗じて新たな画像データを前記動作タイミングに応じて生成して前記フレームメモリの内容を前記新たな画像データに書き換える映像信号書換手段と、

を備え、

前記変調駆動回路は前記新たな画像データに応じて前記列配線を駆動することも好適である。

【 0 7 0 0 】

前記制御手段は、前記フレームメモリに読み込まれた画像データの行ごとの最大値をそれぞれ算出し、算出された最大値に応じて前記係数を決定することも好適である。 20

【 0 7 0 1 】

前記制御手段は、

前記フレームメモリに読み込まれた画像データの行ごとの最大値と、

前記フレームメモリに読み込まれた画像データの列ごとの最大値と、

をそれぞれ算出し、算出した最大値に応じて前記係数を決定することも好適である。

【 0 7 0 2 】

前記画像データに乗ずる前記係数の上限が定められていることも好適である。

【 0 7 0 3 】

前記行配線の本数を m 行、

前期列配線の本数を n 列、 30

前記画像データの画素ごとの値を $L(x, y)$ 、

前記画像データに乗じる前記係数の上限値を A_1 、

行あるいは列ごとの画像データの最大値の下限を L_{min} 、

入力された映像信号の水平走査期間を T_h 、

とした場合に、前記制御手段は、

$$LHm(y) = \text{MAX} \{ L(1, y) \sim L(n, y), L_{min} \}$$

として、各行ごとの画像データレベルの最大値 $LHm(1) \sim LHm(m)$ を求め、

$$LHa = \{ LHm(1) \sim LHm(m) \} / m$$

として、 LHm の平均値 LHa を求め、

$$Ah = 1 / LHa$$

として、水平画像データレベル係数 Ah を求め、 40

$$LVm(x) = \text{MAX} \{ L(x, 1) \sim L(x, m), L_{min} \}$$

として、各列ごとの画像データレベルの最大値 $LVm(1) \sim LVm(n)$ を求め、

$$LVa = \{ LVm(1) \sim LVm(n) \} / n$$

として、 LVm の平均値 LVa を求め、

$$Av = 1 / LVa$$

として、垂直画像データレベル係数 Av を求め、

$$Am = \text{MIN} \{ Ah, Av, A_1 \}$$

として、各画像データレベル係数の最小値から画像データレベル係数 Am を求め、

$$L(x, y) = Am \cdot L(x, y)$$

として、すべての画素について画像データレベル係数 A_m を乗じた値に書き換える。そして、

$$Th_i(y) = Th \cdot LH_m(y) / LHa$$

として、各走査配線に割り当てる水平走査時間 $Th_i(1) \sim Th_i(m)$ を求めることも好適である。この方法は、暗い背景中に明るい直線上の棒が画面内で回転するような画像を表示する場合に、画像品位を落とすことなく表示できる。

【0704】

前記行配線の本数を m 行、

前期列配線の本数を n 列、

前記画像データの画素ごとの値を $L(x, y)$ 、

前記画像データに乘じる前記係数の上限値を A_1 、

行あるいは列ごとの画像データの最大値の下限値を L_{min} 、

とした場合に、前記制御手段は、

$$LH_m(y) = \text{MAX}\{L(1, y) \sim L(n, y), L_{min}\}$$

として、各行ごとの画像データレベルの最大値 $LH_m(1) \sim LH_m(m)$ を求め、

$$LHa = \{LH_m(1) \sim LH_m(m)\} / m$$

として、 LH_m の平均値 LHa を求め、

$$Ah = 1 / LHa$$

として、水平画像データレベル係数 Ah を求め、

$$Am = \text{MIN}\{Ah, A_1\}$$

として、各画像データレベル係数の最小値から画像データレベル係数 Am を求め、

$$L(x, y) = Am \cdot L(x, y)$$

として、すべての画素について画像データレベル係数 Am を乗じた値に書き換え、

$$Th_i(y) = Th \cdot LH_m(y) / LHa$$

として、各走査線に割り当てる水平走査時間 $Th_i(1) \sim Th_i(m)$ を求めることも好適である。

【0705】

上記画像表示装置に備えられる制御手段の機能の一部あるいは全てと同等の機能を、1チップ化された集積回路、又は複数の集積回路チップで実現することも好ましいものである。具体的には、フレームメモリとともに、或いはフレームメモリを除いて集積化するために、この駆動制御方法はIPコアとして、他のIPコアと論理合成可能な、VHDLなどのRTLのソフトIPであることも好ましいものである。

【0706】

上記画像表示装置の制御手段は、画像表示プログラムによって実現することも好ましいものである。

【0707】

その場合には上記画像表示プログラムはコンピュータで読取り可能な記録媒体に格納しておくことも好ましいものである。

【0708】

(第10の実施の形態)

図68に本発明の第10の実施の形態に係る表示装置の概略構成を示す。

【0709】

1は画像表示部としての表示パネルである。行方向の行配線である走査配線 $Dx1 \sim Dx_m$ と、列方向の列配線である変調配線 $Dy1 \sim Dy_{3n}$ とがマトリックス状に配置され、各交点上には不図示の表示素子が配置されており、 m 行 $3n$ 列の表示素子を備える。

【0710】

また、この表示素子による画素は行方向に赤緑青の順で繰り返し配置されており、各一色ずつ合計3画素でフルカラーの単位画素となっている。よって、表示パネル1は各色毎に m 行 n 列のマトリクス配置されており、フルカラー単位画素を $m \times n$ 個備えている。

【0711】

10

20

30

40

50

2は走査駆動手段としての走査駆動回路である。3は変調駆動手段としての変調駆動回路である。変調駆動回路3はさらにシフトレジスタ5、ラッチ回路6、及びパルス幅変調、電圧振幅変調などの変調を行う変調回路8から構成される。変調回路8は、その出力段に駆動アンプを有していてもよい。13は同期分離回路である。41はA/Dコンバータである。42はマイクロコンピュータあるいは論理回路などからなる制御回路である。43は画像信号を1フレーム分蓄えておくフレームメモリである。44は制御回路42がフレームメモリ43の内容を読み出すためのメモリバスである。

【0712】

SS1は装置に入力されたアナログ映像信号である。SS2はアナログ映像信号SS1より分離された同期信号である。SS3はフレームメモリ43への書き込まれるデジタル画像信号（画像データ）である。SS4はフレームメモリ43からの読み出される画像信号（画像データ）である。

10

【0713】

SS5はA/Dコンバータ41に供給される変換タイミング信号である。SS6はフレームメモリ43への書き込みタイミング信号である。SS7はフレームメモリ43からの読み出しタイミング信号である。

【0714】

SS8は変調駆動回路3の動作を制御する変調制御信号である。SS9は走査駆動回路2の動作を制御する走査制御信号である。SS10は変調回路8の動作基準となるPWMクロックである。

20

【0715】

装置に入力されたアナログ映像信号SS1から同期分離回路13によって抽出された同期信号SS2は制御回路42に入力される。ここで抽出された同期信号SS2の水平走査周期を以下Thと表記する。

【0716】

制御回路42は同期信号SS2を元に各種制御信号SS6～SS9を生成する。また、メモリバス44を通じてフレームメモリ43の内容を読み書きする。

【0717】

A/Dコンバータ41は変換タイミング信号SS5に従ってアナログ映像信号SS1を入力し、デジタル信号に変換してフレームメモリへの書き込み用のデジタル画像信号SS3を出力する。

30

【0718】

フレームメモリ43は1フレーム分のデジタル画像信号を格納できる容量を持ち、書き込みタイミング信号SS6に従ってデジタル画像信号SS3を入力し、1フレーム分のデジタル画像信号を蓄え、読み出しタイミング信号SS7に従ってデジタル画像信号SS4を出力する。

【0719】

フレームメモリ43に蓄えられた1フレーム分の画像の各画素の各色毎の画像データレベル、すなわち入力された映像信号の輝度レベルに対応した値を、以下それぞれ、 $L_r(1, 1) \sim L_r(n, m)$ 、 $L_g(1, 1) \sim L_g(n, m)$ 、 $L_b(1, 1) \sim L_b(n, m)$ とする。

40

【0720】

画像データレベルはA/Dコンバータ41で変換された時点で0～1に正規化されているとして以下の説明を行う。

【0721】

走査駆動回路2および変調駆動回路3が表示パネル1を駆動する動作を説明する。このときのタイミング図を図69に示す。

【0722】

制御回路は、表示水平走査期間を決めるためのタイミング信号（走査制御信号）SS9と読み出しタイミング信号SS7を、更には、変調制御信号SS8、PWMクロックSS1

50

0 を生成する。

【0723】

走査駆動回路2は、走査制御信号SS9に従って、表示パネル1の走査配線を順に選択する駆動を行う。この走査配線を選択時間は一定ではなく、走査制御信号SS9によって任意の時間及び間隔で駆動可能である。

【0724】

変調駆動回路3は読み出しタイミング信号SS7に同期してデジタル画像信号SS4をシフトレジスタ5に順次入力し、変調制御信号SS8のLOAD信号によりラッチ回路6に画像データを保持する。そして変調制御信号SS8のSTART信号によりPWMクロックSS10を基準にしてラッチ回路6に保持された画像データに従った長さのパルス幅と所定の電圧振幅を有する変調信号を表示パネル1の変調配線に出力し、表示パネル1を駆動する。

10

【0725】

この変調回路8は、画像信号SS4がレベル1のときに、水平走査周期Th期間と同じ期間中変調信号を出力する。さらに、画像信号SS4はレベル0からレベル2までの範囲で入力可能であり、画像信号SS4がレベル2のときには2Th期間相当の期間中、変調信号を出力する。

【0726】

この機構は変調回路8に画像信号SS4がレベル2まで対応できる長さのカウンタを用い、変調制御信号SS8のRESET信号によって走査配線毎にカウンタを強制リセットすることによって実現できる。

20

【0727】

次に、制御回路42から出力される走査制御信号SS9のタイミングを決定する方法を説明する。この処理の流れを図70に示す。

【0728】

以下の説明で、A1は画像データレベル係数限界値である。これはADコンバータの出力する信号SS3の最大値と変調駆動回路3に入力可能な信号SS4の最大値の比であり、ここでは2である。

【0729】

また、Lminは最低画像データレベルである。これは1ライン分の画像信号SS4を変調駆動回路3に入力するために必要な所要時間を映像信号レベルに換算した値である。水平走査期間が短くなりすぎて1ライン分の画像信号SS4が変調駆動回路3に入力される前に次の走査が始まってしまう現象を防ぐために用いる。

30

【0730】

図70において、ステップP1では

$$L(x, y) = \text{MAX} \{ L_r(x, y), L_g(x, y), L_b(x, y) \}$$

として、各画素ごとの画像データレベルの最大値L(1, 1) ~ L(n, m)を求める。

【0731】

ステップP2では

$$LHm(y) = \text{MAX} \{ L(1, y) \sim L(n, y), L_{\min} \}$$

として、各行ごとの画像データレベルの最大値LHm(1) ~ LHm(m)を求める。

40

【0732】

ステップP3では

$$LHa = \{ LHm(1) \sim LHm(m) \} / m$$

として、LHmの平均値LHaを求める。

【0733】

ステップP4では

$$Ah = 1 / LHa$$

として、水平画像データレベル係数Ahを求める。

【0734】

50

ステップ P 5 では

$$LVm(x) = MAX\{L(x, 1) \sim L(x, m), Lmin\}$$

として、各列ごとの画像データレベルの最大値 $LVm(1) \sim LVm(n)$ を求める。

【0735】

ステップ P 6 では

$$Lva = \{LVm(1) \sim LVm(n)\} / n$$

として、 LVm の平均値 Lva を求める。

【0736】

ステップ P 7 では

$$Av = 1 / Lva$$

10

として、垂直画像データレベル係数 Av を求める。

【0737】

ステップ P 8 では

$$Am = MIN\{Ah, Av, Al\}$$

として、各画像データレベル係数の最小値から画像データレベル係数 Am を求める。

【0738】

ステップ P 9 では

$$Lr(x, y) = Am \cdot Lr(x, y)$$

$$Lg(x, y) = Am \cdot Lg(x, y)$$

$$Lb(x, y) = Am \cdot Lb(x, y)$$

20

として、乗算手段によりすべての画素について画像データレベル係数 Am を乗じた値に書き換える。

【0739】

ステップ P 10 では

$$Thi(y) = Th \cdot LHm(y) / LHa$$

として、各走査配線に割り当てる水平走査時間 $Thi(1) \sim Thi(m)$ を求める。ここで、 Th は、入力された映像信号の水平走査期間である。

【0740】

画像データレベル係数限界値 Al を設けているため、計算した水平走査時間 $Thi(1) \sim Thi(m)$ の合計が 1 フレーム期間よりも短くなってしまう場合もあるが、その場合は垂直ブランキング期間を伸張して調整すればよいので、それについてはこのステップでは特に考えない。

30

【0741】

また、各走査配線に割り当てる水平走査時間 $Thi(1) \sim Thi(m)$ の和は、 $m \cdot Th$ となり所定の値となる。すなわち、入力された映像信号の水平走査時間の和を変えずに、各走査配線に割り当てる水平走査時間 Thi を算出している。また、入力された映像信号の水平走査時間の和が変わらないように、走査配線毎に配分された選択時間に上限値を定めてもよい。

【0742】

以上のようにして各走査配線に割り当てる水平走査時間 Thi を算出してそれに基づいたタイミングで走査駆動回路 2 および変調駆動回路 3 の制御を行うことによって、画像が全体的に明るいときは通常の明るさ、部分的に明るいときまたは全体的に暗いときはより明るくなるように輝度を自動調整することが可能となる。すなわち、映像の明るい部分の走査配線上の画素の点灯時間を長く、映像の暗い部分の走査配線上の画素の点灯時間が短くなるように、入力された映像に応じて各走査配線の選択時間を調整して駆動し、1 フレーム期間内を有効に利用することによって画像表示装置の能力を十分に発揮させ、ピーク輝度の明るい表示装置を提供することが可能となる。

40

【0743】

(第 11 の実施の形態)

上述した第 10 の実施の形態において、垂直画像データレベル係数 Av を求めることを省

50

略することも可能である。

【0744】

その場合はステップP5～ステップP7の演算を省略し、ステップP8を

$A_m = MIN\{A_h, A_l\}$

と修正する。その他の装置の構成および演算ステップについては第10の実施の形態と同様である。

【0745】

本実施形態の演算のフローチャートを図71に示す。

【0746】

本実施の形態を適用すると入力映像の絵柄の変化による輝度変化が不安定になる傾向が見られるようになるが、計算量が減少するので装置のコストを重視する場合に有効である。 10

【0747】

(第12の実施の形態)

上述した第10の実施の形態における制御回路42で行っていた計算ステップの一部をハードウェア化する場合もほぼ同様の構成で実現可能である。

【0748】

第12の実施の形態における画像表示装置の構成を図72に示す。

【0749】

45および46は比較器であり、2つの入力信号を比較して大きい方を出力する。47は映像信号の1走査線分のデータを格納できるだけのシフトレジスタで構成されたラインメモリである。48は映像信号書換手段としての乗算器である。ここで、比較器45、46 20 及びラインメモリ47は、メモリ参照手段を構成している。また、少なくとも比較器45、46、ラインメモリ47及び乗算器48は、複数チップの集積回路、又は、1チップ化された集積回路で構成するとよい。

【0750】

比較器45には書き込み信号SS3と自分自身の出力が入力され、不図示のクリア信号を1走査線毎に入力することによって、1走査線毎の信号SS3の最大値となる水平最大値SS13を得ることができる。

【0751】

比較器46には信号SS3とラインメモリ47の出力が入力され、出力はラインメモリ47に再び入力される。ラインメモリ47は変換タイミング信号SS5に同期して内容を1 30 つシフトする。また、1フレーム毎に不図示のクリア信号によって内容がクリアされる。これによりRGB毎に垂直最大値SS14r、SS14g、SS14bを得ることができる。

【0752】

乗算器(映像信号書換手段)48は読み出し信号SS4と乗算定数SS11との乗算結果を表示用の画像信号として出力する。

【0753】

制御回路42での計算ステップは、図70のフローを以下のように置き換えたものとなる。 40

【0754】

まず、ステップP1を省く。

【0755】

ステップP2では、

「 $LH_m(y) = MAX\{SS13, Lmin\}$

として、各行ごとの画像データレベルの最大値 $LH_m(1) \sim LH_m(m)$ を求める。」

、

ステップP5では、

「 $LV_m(x) = MAX\{(SS14r, SS14g, SS14b), Lmin\}$

として、各列ごとの画像データレベルの最大値 $LV_m(1) \sim LV_m(n)$ を求める。」 50

、

ステップ P 9 では、

「 A m の値を乗算定数 S S 1 1 として出力する、」

と流れを修正する。

【 0 7 5 6 】

その他の装置の構成および演算ステップについては第 1 0 の実施の形態と同様である。

【 0 7 5 7 】

本実施形態の演算の流れを図 7 3 に示す。

【 0 7 5 8 】

本実施の形態を適用することにより制御回路 4 2 での計算量を大幅に削減することができる。本実施形態は画素数の多い表示装置で、制御回路 4 2 として演算速度が遅い汎用マイクロコンピュータを用いざるを得ない場合などに有効である。 10

【 0 7 5 9 】

(第 1 3 の実施の形態)

上述した第 1 2 の実施の形態において、乗算器 4 8 を用いずに変調回路 8 に供給する P W M クロック S S 1 0 を変化させることによって同様の効果を得ることが可能である。

【 0 7 6 0 】

P W M クロック S S 1 0 を変化させるためには、発振手段として、例えば P L L を用いた発振回路を用いればよい。

【 0 7 6 1 】

20

本実施形態の表示装置の構成を図 7 4 に示す。

【 0 7 6 2 】

本実施形態の演算のフローチャートを図 7 5 に示す。

【 0 7 6 3 】

この演算の流れは、図 7 3 の処理フローにおけるステップ P 9 を、

「制御回路 4 2 内の不図示の P W M クロック S S 1 0 の発振回路を制御し、 P W M クロック S S 1 0 の発振周波数を $1 / A m$ 倍にする」、

と修正したものである。

【 0 7 6 4 】

こうすることによりパルス幅変調回路の動作速度が変わり、選択された画素の点灯時間が変化して、結果的に全体的に画面の明るさが変化することになる。 30

【 0 7 6 5 】

この構成では映像信号書換手段を用いず、読み出し信号 S S 4 をそのまま表示信号 S S 1 2 として用いる。その他の装置の構成および演算ステップについては第 1 2 の実施の形態と同様である。

【 0 7 6 6 】

本発明の第 1 0 ~ 第 1 3 実施の形態によれば、走査時間を有効に利用することによって、輝度の明るい良好な表示画像が得られる。

【 0 7 6 7 】

また、画像が全体的に明るいときは通常 of 明るさ、部分的に明るいときまたは全体的に暗いときはより明るくなるように輝度を調整できる。結果的に、 A B L (自動輝度制限回路) に類似の効果をもたらすので、本実施形態による駆動制御方法を A B L の制御方法として適用することも可能である。 40

【 0 7 6 8 】

又、第 2 の実施の形態において、 D G A I N を乗ずる代わりに、 $1 / D G A I N$ の発振周波数をもつクロック信号 P W M C L K を用いることも好ましい。この方法によれば、階調数が減る心配がない。

【 0 7 6 9 】

【 発明の効果 】

以上詳述したように本発明によれば、表示する画像のピーク輝度を大きくして、良好な画 50

像を得ることができる。また、無駄な期間の発生を抑制して、良好な画像を得ることができる。

【図面の簡単な説明】

- 【図 1】駆動信号のタイミングチャートを示す図である。
- 【図 2】本発明の表示装置のブロック図である。
- 【図 3】表示装置を示すブロック図である。
- 【図 4】本発明に用いられる表示装置の概観を示す図である。
- 【図 5】表示パネルの配線の抵抗を説明するための模式図である。
- 【図 6】電子放出素子の特性を示す図である。
- 【図 7】本発明の一実施形態による表示器の駆動タイミングチャートを示す図である。 10
- 【図 8】電圧降下の表示状態への影響を説明する図である。
- 【図 9】電圧降下の縮退モデルを説明する図である。
- 【図 10】離散的に算出した電圧降下量を示す図である。
- 【図 11】離散的に算出した放出電流の変化量を示す図である。
- 【図 12】補正データの算出方法を説明するための図である。
- 【図 13】補正データの補間方法を説明するための図である。
- 【図 14】補正データの他の算出方法を説明するための図である。
- 【図 15】画像データの大きさが 128 の場合の補正データの算出例を示す図である。
- 【図 16】画像データの大きさが 192 の場合の補正データの算出例を示す図である。
- 【図 17】本発明に用いられる表示装置の映像信号処理回路の概略を示すブロック図であ 20
る。
- 【図 18】本発明の一実施の形態に係る表示装置の駆動制御回路の概略を示すブロック図である。
- 【図 19】本発明の一実施の形態に係る表示装置の概略を示すブロック図である。
- 【図 20】逆 処理部の構成を示すブロック図である。
- 【図 21】逆 処理部の入出力特性を示す図である。
- 【図 22】データ配列変換部の構成を示すブロック図である。
- 【図 23】補正データ算出手段の構成を示すブロック図である。
- 【図 24】離散補正データ算出部の構成を示すブロック図である。
- 【図 25】補正データ補間部の構成を示すブロック図である。 30
- 【図 26】補正データ補間部の直線近似手段の構成を示すブロック図である。
- 【図 27】本発明の一実施形態による水平走査期間の制御方法を説明するための模式図である。
- 【図 28】本発明の一実施形態に係る水平走査期間を算出するための演算処理のフローチャートである。
- 【図 29】図 28 の演算処理により求めた各走査配線の走査時間の一例を示す表図である。
- 【図 30】図 28 の演算処理により求めた各走査配線の走査時間の一例を示すグラフ図である。
- 【図 31】表示タイミング発生部の構成を示すブロック図である。 40
- 【図 32】本発明に用いられる変調回路の構成を示すブロック図である。
- 【図 33】画像データと同変調手段の出力パルス幅の関係を説明する図である。
- 【図 34】本発明に用いられる変調信号の出力波形の一例を示す模式図である。
- 【図 35】本発明に用いられる表示装置の走査駆動回路の構成を示すブロック図である。
- 【図 36】本発明の第 2 の実施形態に係る表示装置の概略を示すブロック図である。
- 【図 37】本発明の第 2 の実施の形態に係る表示装置の駆動制御回路の概略を示すブロック図である。
- 【図 38】本発明の第 2 の実施形態に係る水平走査期間を算出するための演算処理のフローチャートである。
- 【図 39】本発明の第 2 の実施形態に係る演算処理の一部のフローチャートである。 50

- 【図 4 0】本発明の第 2 の実施形態に係る演算処理の一部のフローチャートである。
- 【図 4 1】本発明の第 2 の実施形態による各走査配線の水平走査時間の一例を示す表図である。
- 【図 4 2】本発明の第 2 の実施形態による走査時間演算処理により求めた各走査配線の走査時間の一例を示すグラフ図である。
- 【図 4 3】本発明に用いられる変調回路の構成を示すブロック図である。
- 【図 4 4】画像データと同変調手段の出力パルス幅の関係を示す説明図である。
- 【図 4 5】本発明に用いられる変調信号の出力波形の一例を示す模式図である。
- 【図 4 6】本発明の第 3 の実施形態に係る表示装置の駆動制御回路の概略を示すブロック図である。 10
- 【図 4 7】本発明の第 3 の実施形態に係る走査期間を算出するための演算処理のフローチャートである。
- 【図 4 8】本発明の第 3 の実施形態に係る演算処理の一部のフローチャートである。
- 【図 4 9】本発明の第 4 の実施形態に係る演算処理の一部のフローチャートである。
- 【図 5 0】本発明の第 5 の実施形態に係る表示装置の信号処理回路の概略を示すブロック図である。
- 【図 5 1】本発明の第 5 の実施形態に係る表示装置の駆動制御回路の概略を示すブロック図である。
- 【図 5 2】フレームメモリの構成を示すブロック図である。
- 【図 5 3】W アドレス発生部の構成を示すブロック図である。 20
- 【図 5 4】R アドレス発生部の構成を示すブロック図である。
- 【図 5 5】本発明に用いられる水平走査期間の制御について説明するための模式図である。
- 【図 5 6】表示タイミング発生部の構成を示すブロック図である。
- 【図 5 7】本発明に用いられる表示タイミング信号の一例を示す説明図である。
- 【図 5 8】表示タイミング信号の一例を説明するための表図である。
- 【図 5 9】ゲインテーブルの構成を示すブロック図である。
- 【図 6 0】本発明に用いられるゲインテーブルの一例を示す説明図である。
- 【図 6 1】ゲインテーブルの一例を説明するための表図である。
- 【図 6 2】本発明の第 5 の実施形態による表示装置の各部の動作タイミングを示すタイミングチャートである。 30
- 【図 6 3】表示装置の各部の動作タイミングを示すタイミングチャートである。
- 【図 6 4】本発明の第 6 の実施形態に係る表示装置の信号処理回路の概略を示すブロック図である。
- 【図 6 5】本発明の第 7 の実施形態に係る表示装置の信号処理回路の概略を示すブロック図である。
- 【図 6 6】本発明の第 8 の実施形態に係る表示装置の信号処理回路の概略を示すブロック図である。
- 【図 6 7】本発明の第 9 の実施形態に用いられるリミッタの特性を示す説明図である。
- 【図 6 8】本発明の第 1 0 の実施形態による表示装置の概略を示すブロック図である。 40
- 【図 6 9】本発明の第 1 0 の実施形態による表示装置の各部のタイミングチャートを示す図である。
- 【図 7 0】演算処理のフローチャートである。
- 【図 7 1】本発明の第 1 1 の実施形態による演算処理のフローチャートである。
- 【図 7 2】本発明の第 1 2 の実施形態による表示装置の概略を示すブロック図である。
- 【図 7 3】演算処理のフローチャートである。
- 【図 7 4】本発明の第 1 3 の実施形態による表示装置の概略を示すブロック図である。
- 【図 7 5】演算処理のフローチャートである。
- 【図 7 6】従来の表示装置の駆動信号波形を示す図である。
- 【図 7 7】マトリクス型の表示器を示す模式図である。 50

【符号の説明】

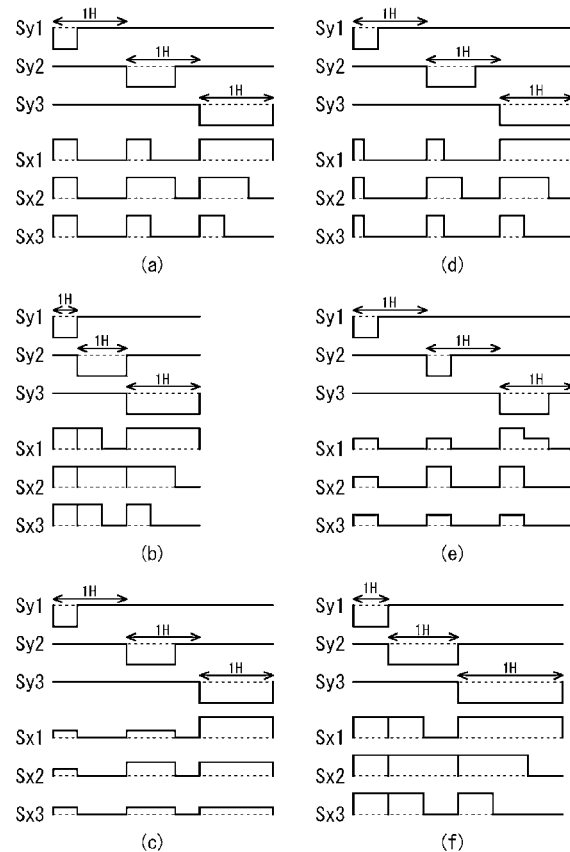
1	表示パネル（表示器）	
1 0 0 1	基板	
1 0 0 2	冷陰極素子	
1 0 0 3	行配線（走査配線）	
1 0 0 4	列配線（変調配線）	
1 0 0 5	リアプレート	
1 0 0 6	側壁	
1 0 0 7	フェースプレート	
1 0 0 8	蛍光膜	10
1 0 0 9	メタルバック	
2, 2 A, 2 B	走査駆動回路	
2 2 1	シフトレジスタ	
2 2 2	選択電圧 V_s の基準電圧源	
2 2 3	非選択電圧 V_{ns} の基準電圧源	
2 2 4	スイッチアレイ	
3	変調駆動回路	
4	駆動制御回路	
5	シフトレジスタ	
6	ラッチ回路	20
7	R G B 変換手段	
8	変調回路	
8 0	カウンタ	
8 1	コンパレータ	
8 2	スイッチ	
9	データ配列変換部	
1 0	ゲインテーブル	
1 1	タイミング発生回路	
1 2	加算器	
1 3	同期信号分離回路	30
1 4	補正データ算出手段	
1 4 1	離散補正データ算出部	
1 4 2	補正データ補間部	
1 7	逆ガンマ処理部	
1 7 R	R 用テーブル	
1 7 G	G 用テーブル	
1 7 B	B 用テーブル	
1 9	遅延回路	
2 1	Wアドレス発生部	
2 1 0	Vカウンタ	40
2 1 1	H上位カウンタ	
2 1 2	比較器	
2 1 3	Hカウンタ	
2 2	ライン最大値検出器	
2 6	メモリ A	
2 6 0	アドレス制御部	
2 6 1 ~ 2 6 8	第 1 メモリ ~ 第 8 メモリ	
2 7	メモリ B	
2 8	Rアドレス発生部	
2 8 0	Vカウンタ	50

- 2 8 1 比較器
- 2 8 2 Hカウンタ
- 3 1 ゲインレジスタ
- 3 3 表示タイミング発生部
- 3 3 0 Hカウンタ
- 3 3 1 メモリ
- 3 3 2 比較器
- 3 3 3 Vカウンタ
- 3 3 4 1 / 2 分周器
- 3 4 マイコン
- 4 0 電圧降下補正部
- 4 1 A Dコンバータ
- 4 2 制御回路
- 4 3 フレームメモリ
- 4 4 メモリバス
- 4 5 , 4 6 比較器
- 4 7 ラインメモリ
- 4 8 乗算器 (映像信号書換手段)
- 5 1 リミッタ
- 5 2 リミットデータメモリ
- 5 3 リミッタ

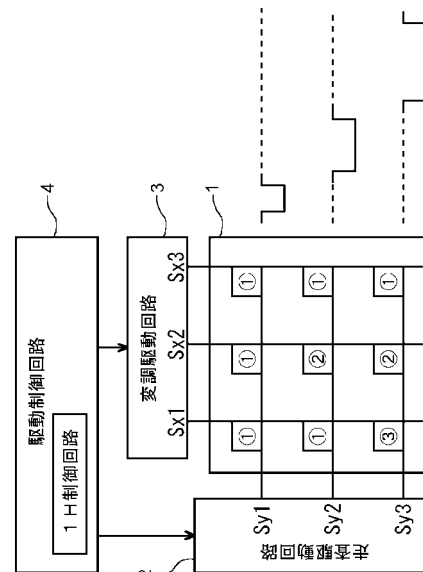
10

20

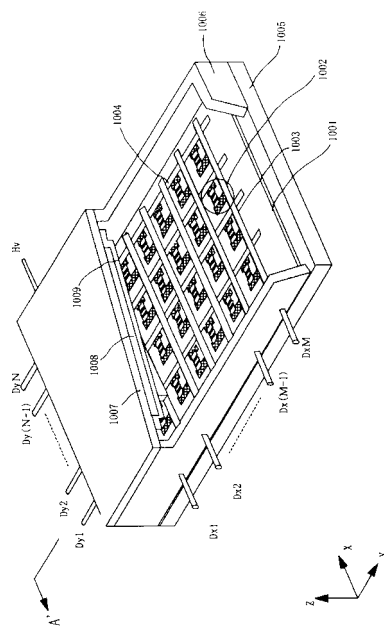
【図 1】



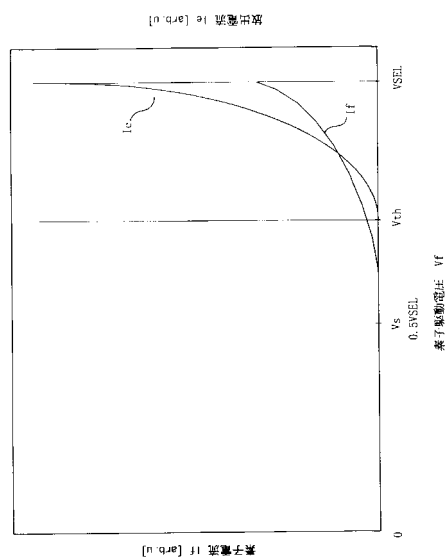
【図 2】



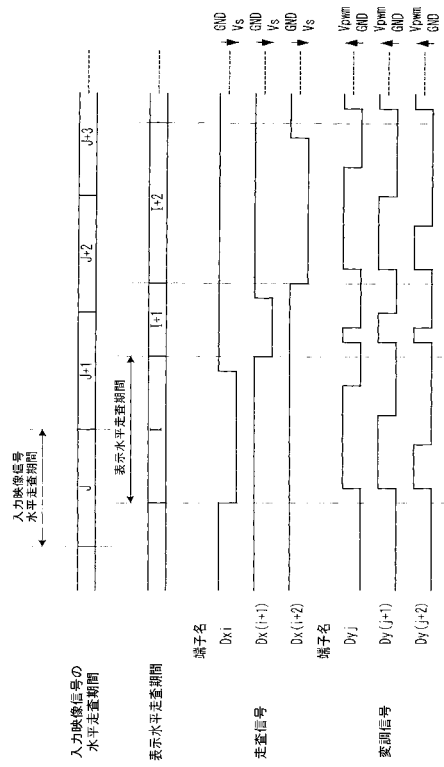
【 図 4 】



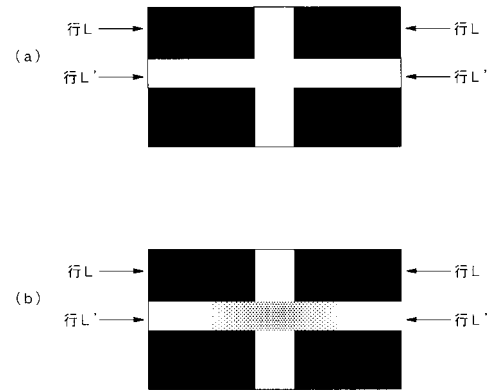
【 図 6 】



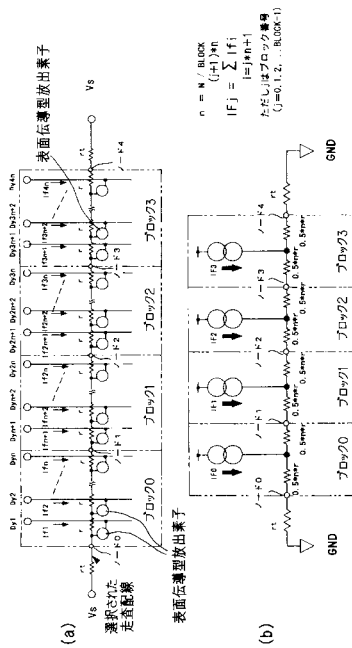
【図 7】



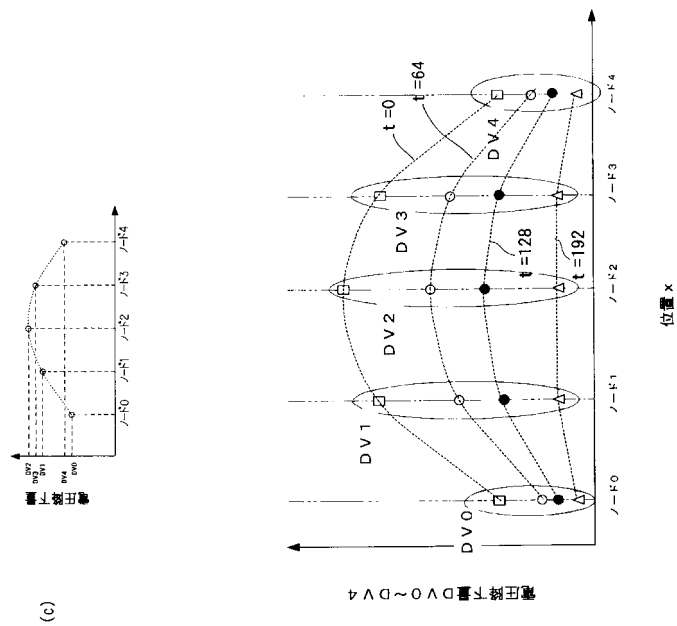
【図 8】



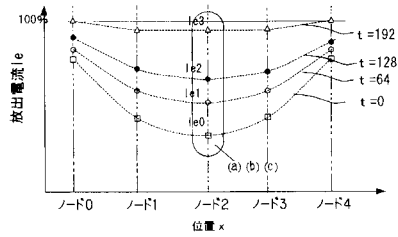
【図 9】



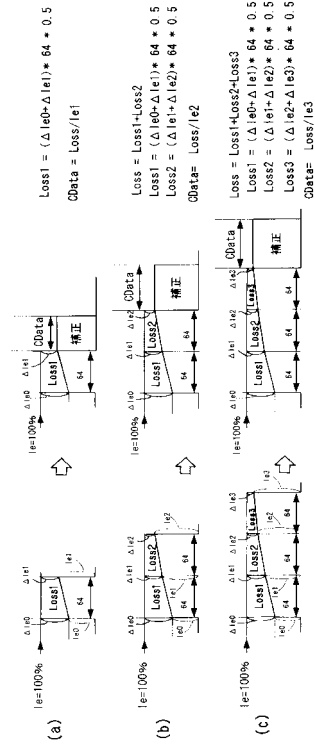
【図 10】



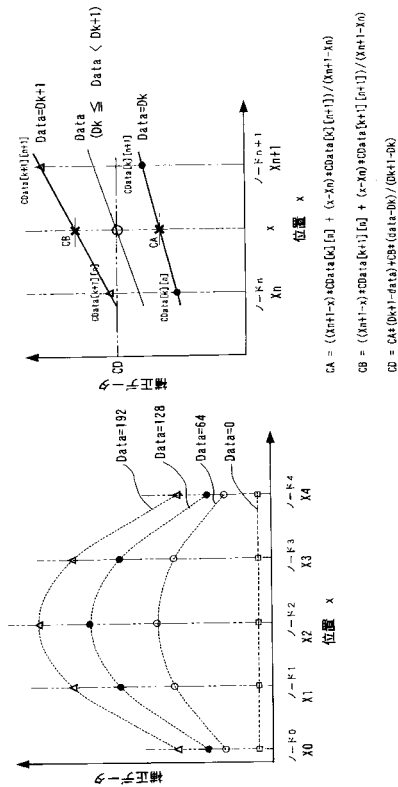
【図 1 1】



【図 1 2】



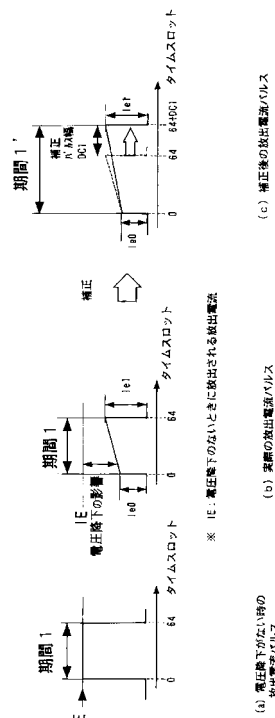
【図 1 3】



(a)

(b)

【図 1 4】



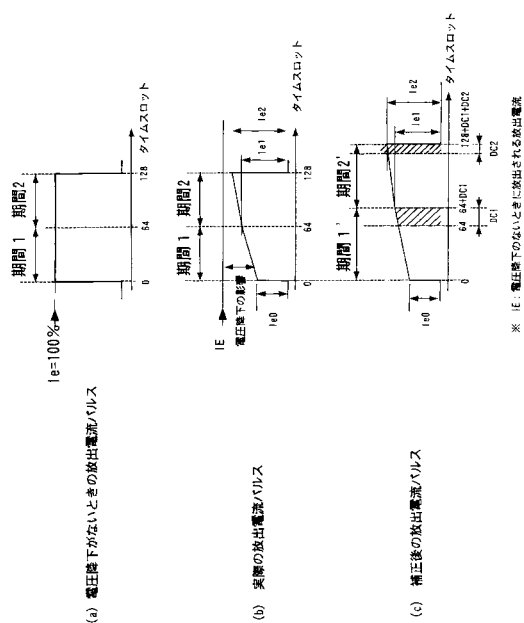
※ IE: 電圧降下のないときに抽出される電流

(a) 電圧降下がない時の
抽出電流パルス

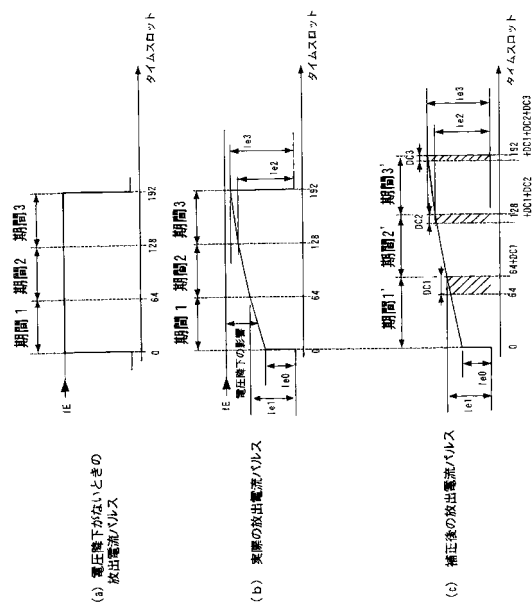
(b) 実測の抽出電流パルス

(c) 補正後の抽出電流パルス

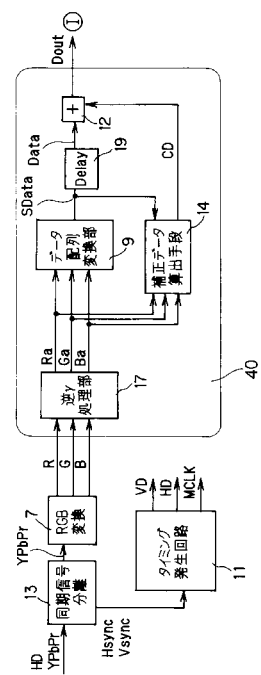
【 図 1 5 】



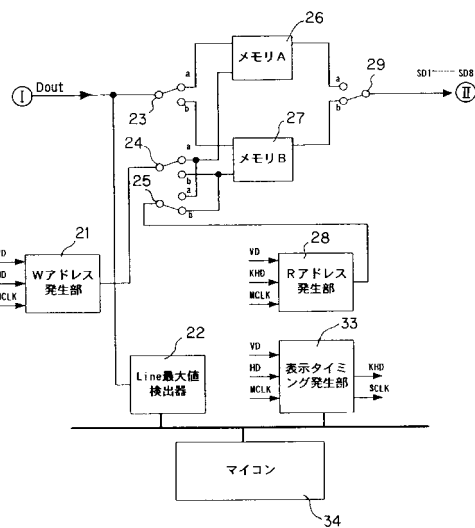
【 図 1 6 】



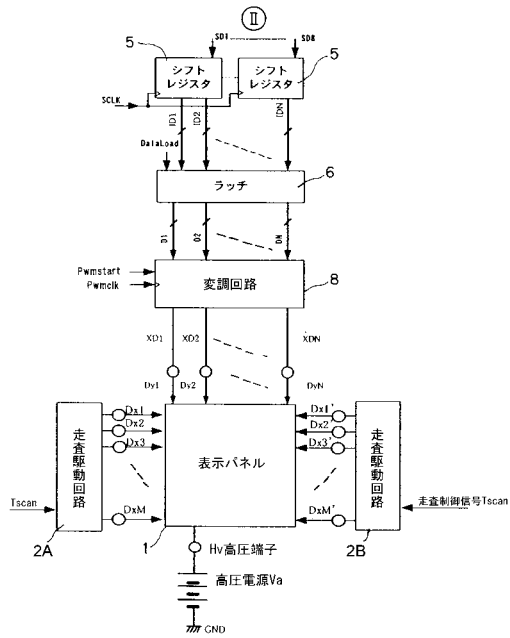
【 図 1 7 】



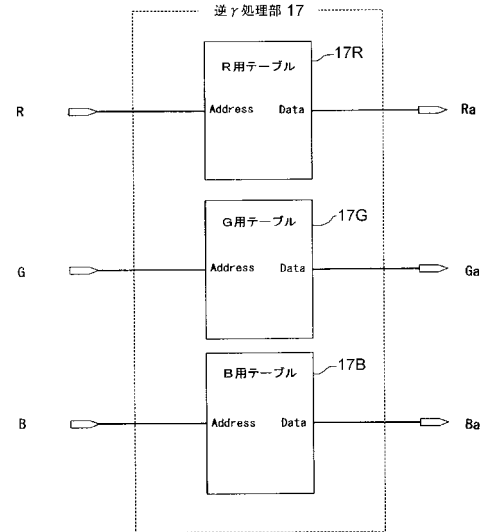
【 図 1 8 】



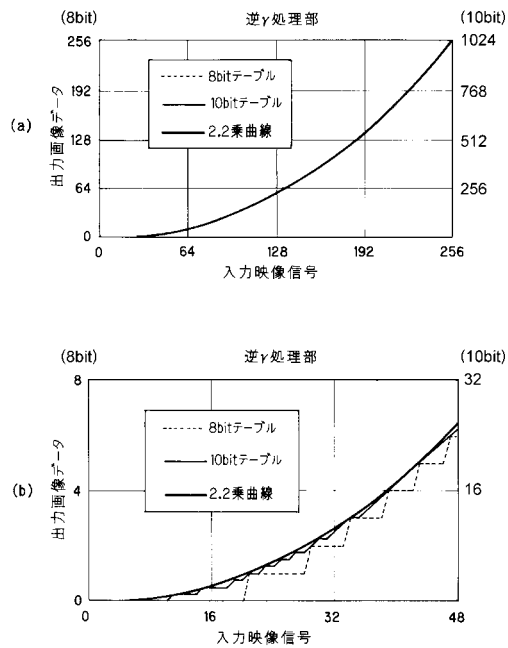
【図 19】



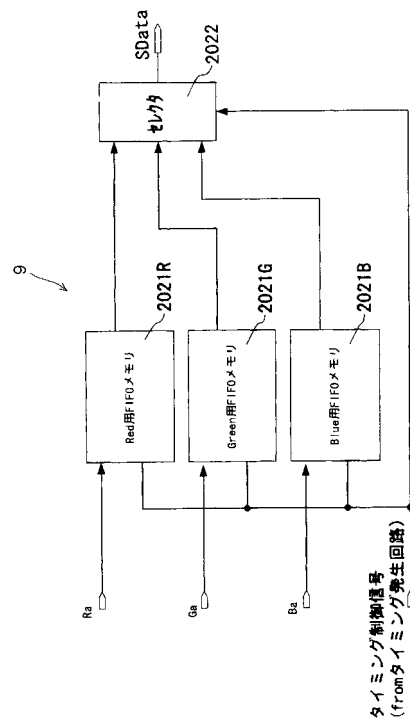
【図 20】



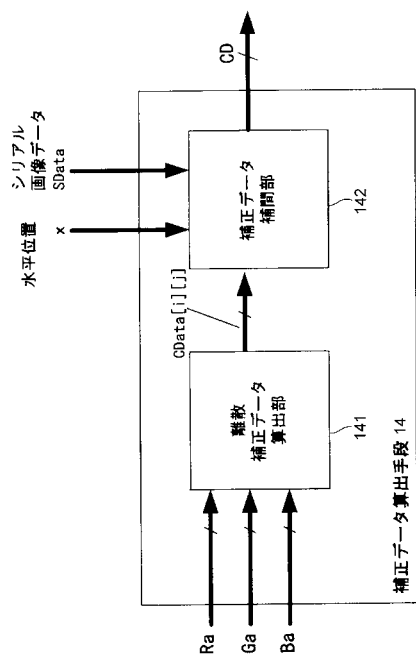
【図 21】



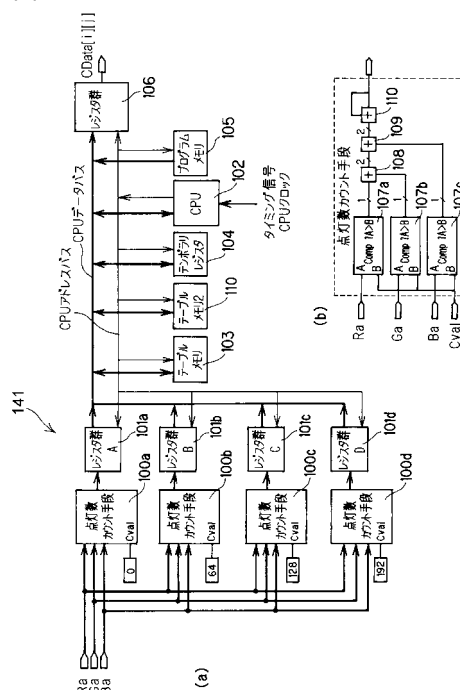
【図 22】



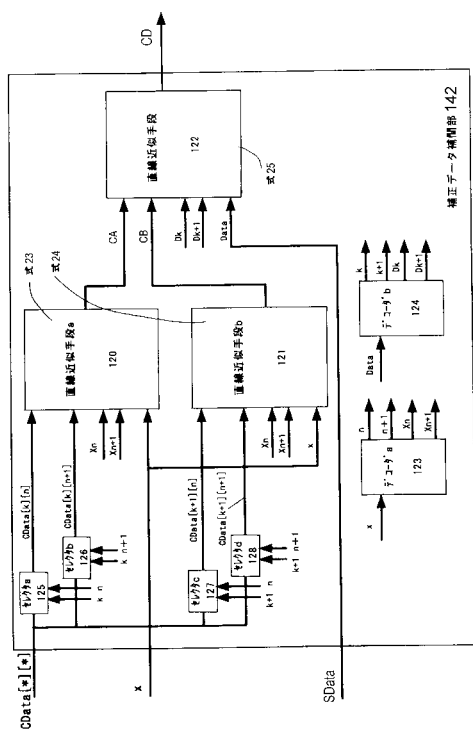
【 ㊦ 2 3 】



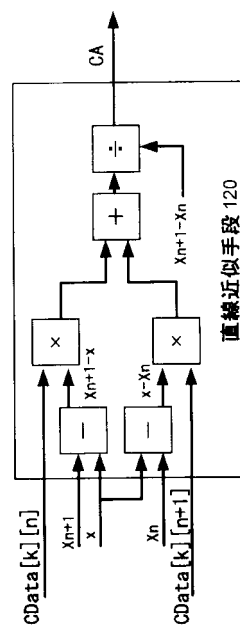
【 図 2 4 】



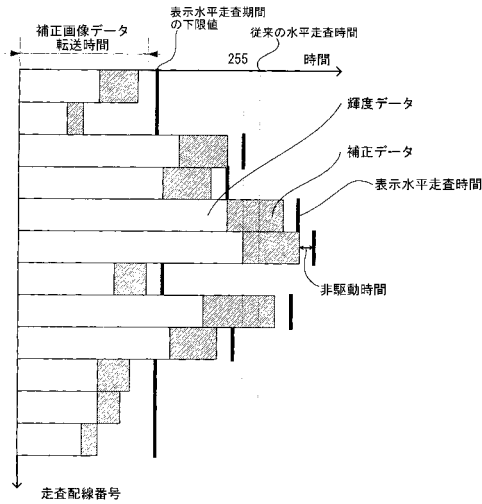
【 図 2 5 】



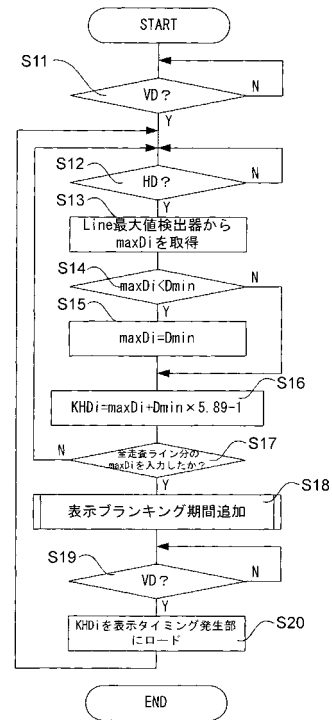
【 図 2 6 】



【図 27】



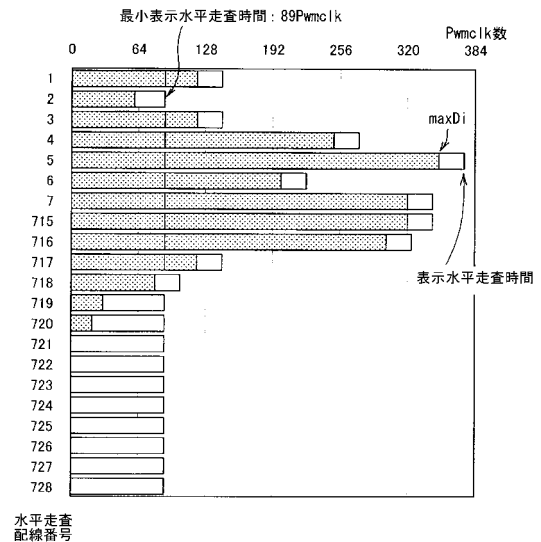
【図 28】



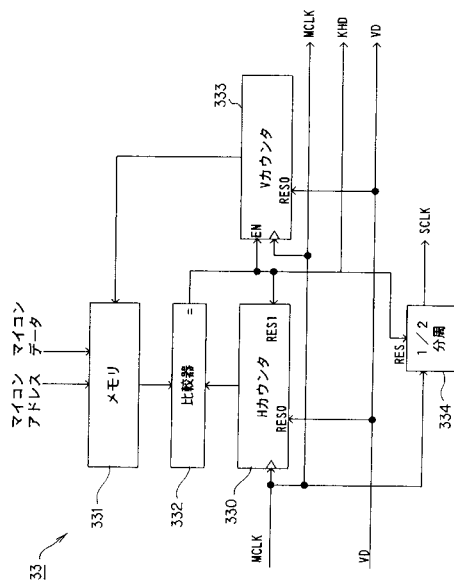
【図 29】

水平走査 ラインNo.	最小表示水平走査時間 (KHDmin) (Pwmclk数)	maxDi (Pwmclk数)	非駆動時間 (Pwmclk数)	表示水平走査時間 (Pwmclk数)	表示水平走査時間 (MCLK数)
1	89	120	24	144	848
2	89	60	24	89	524
3	89	120	24	144	945
4	89	250	24	274	1613
5	89	350	24	374	2202
6	89	200	24	224	1319
7	89	320	24	344	2025
715	89	320	24	344	2025
716	89	300	24	324	1907
717	89	120	24	144	848
718	89	80	24	104	613
719	89	30	24	89	524
720	89	20	24	89	524
721	89	0	0	89	524
722	89	0	0	89	524
723	89	0	0	89	524
724	89	0	0	89	524
725	89	0	0	89	524
726	89	0	0	89	524
727	89	0	0	89	524
728	89	0	0	89	524
合計				210000	1236000

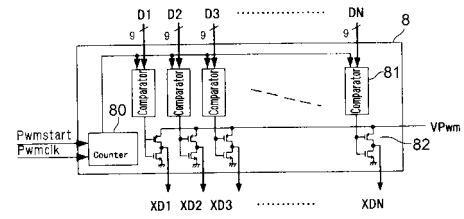
【図 30】



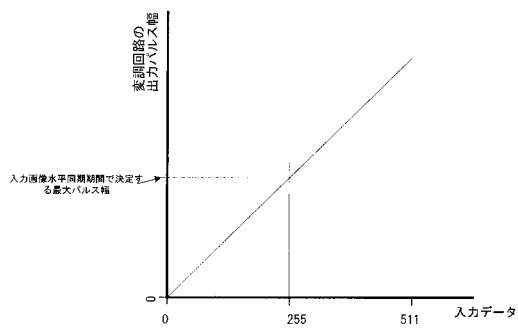
【図 3 1】



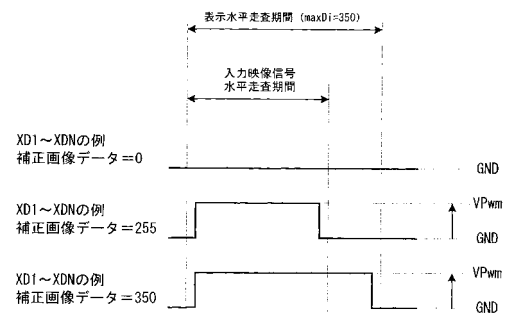
【図 3 2】



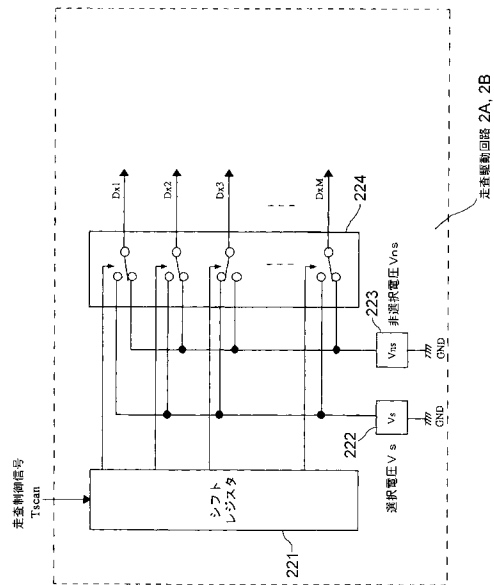
【図 3 3】



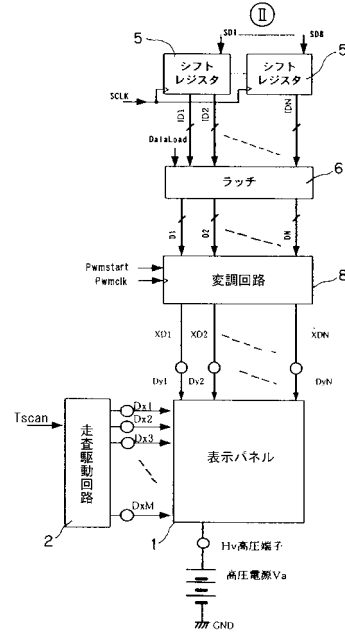
【図 3 4】



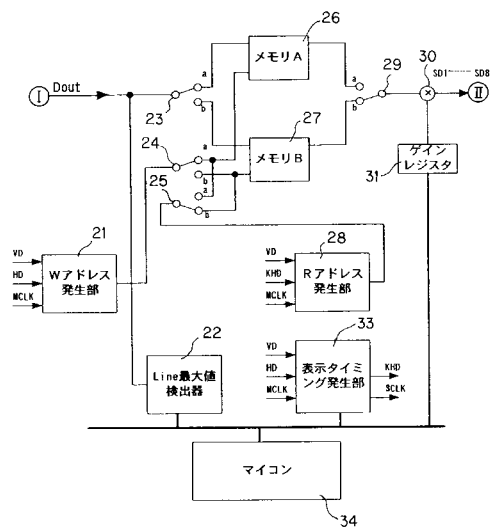
【図 35】



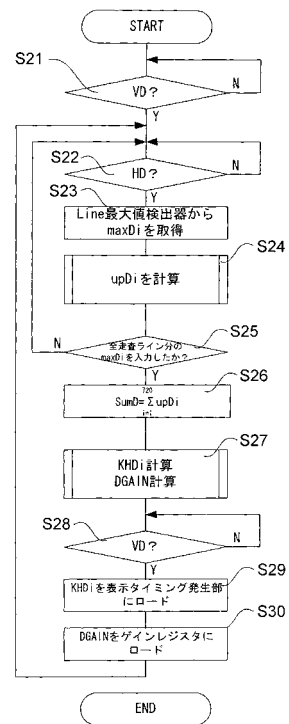
【図 36】



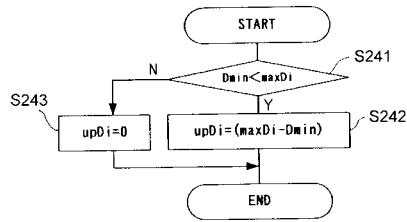
【図 37】



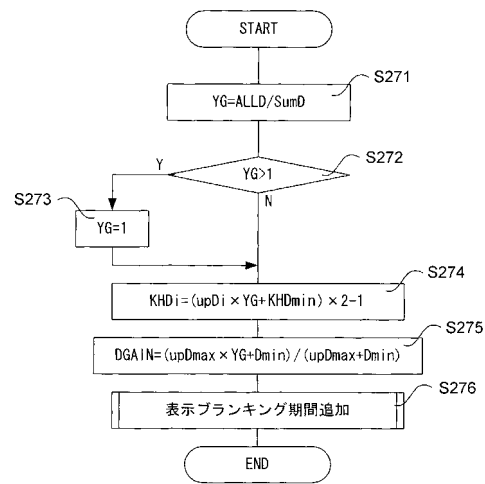
【図 38】



【図 39】



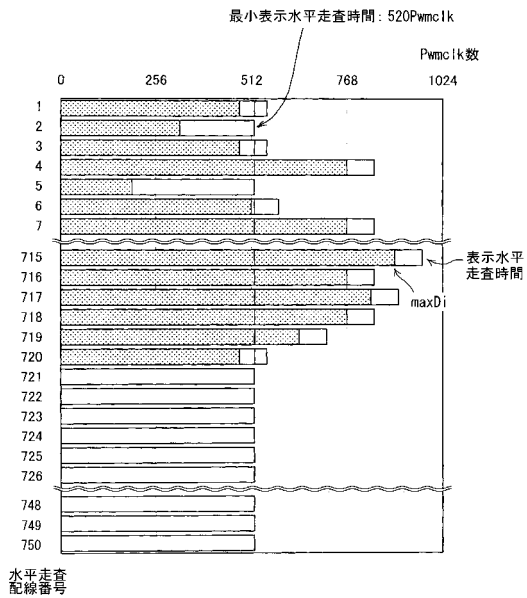
【図 40】



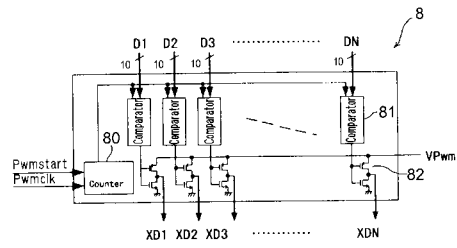
【図 41】

水平走査 ラインNo.	最小表示水平走査時間 (KHDmin) (Pwmclk数)	maxDi (Pwmclk数)	非駆動時間 (Pwmclk数)	表示水平走査時間 (Pwmclk数)	表示水平走査時間 (MCLK数)
1	520	480	74	554	1108
2	520	320	74	520	1040
3	520	480	74	554	1108
4	520	768	74	842	1684
5	520	192	74	520	1040
6	520	512	74	586	1172
7	520	768	74	842	1684
715	520	896	74	970	1940
716	520	768	74	842	1684
717	520	832	74	906	1812
718	520	768	74	842	1684
719	520	640	74	714	1428
720	520	480	74	554	1108
721	520	0	0	520	1040
722	520	0	0	520	1040
723	520	0	0	520	1040
724	520	0	0	520	1040
725	520	0	0	520	1040
726	520	0	0	520	1040
748	520	0	0	520	1040
749	520	0	0	520	1040
750	520	0	0	520	1040
合計				618000	1236000

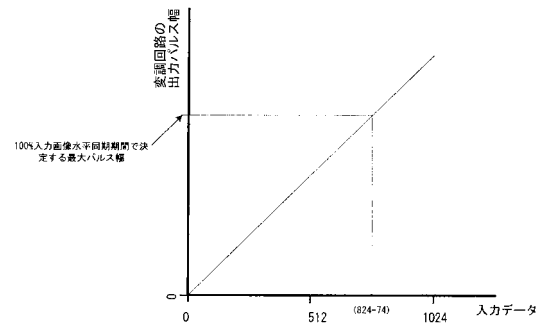
【図 42】



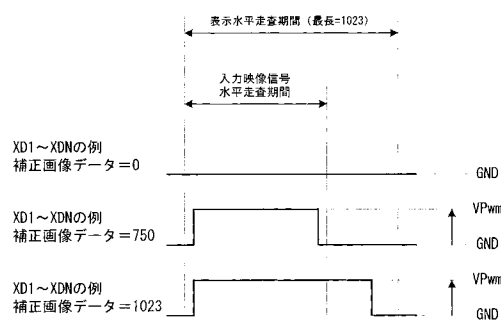
【図 4 3】



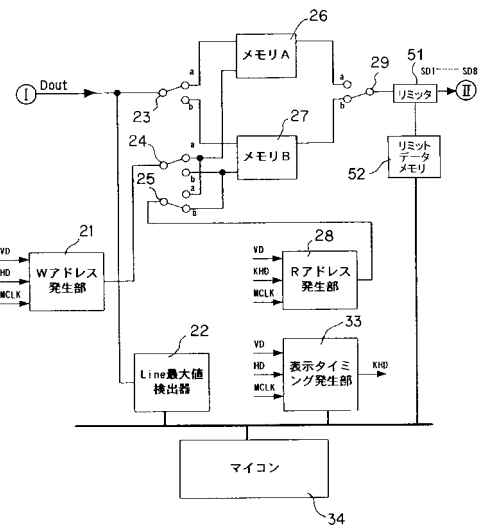
【図 4 4】



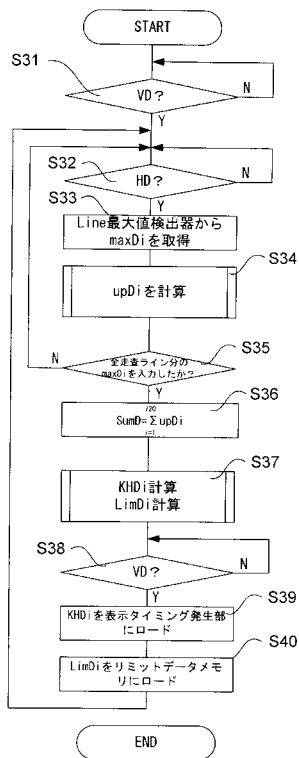
【図 4 5】



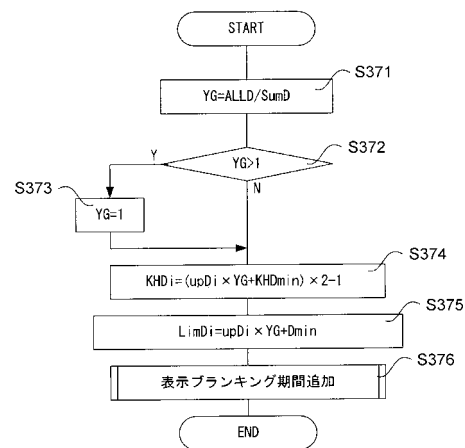
【図 4 6】



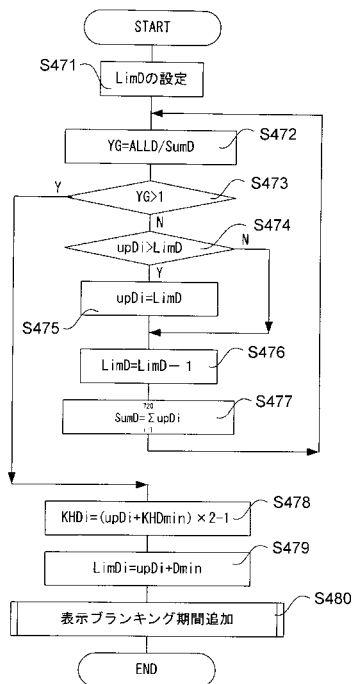
【図 47】



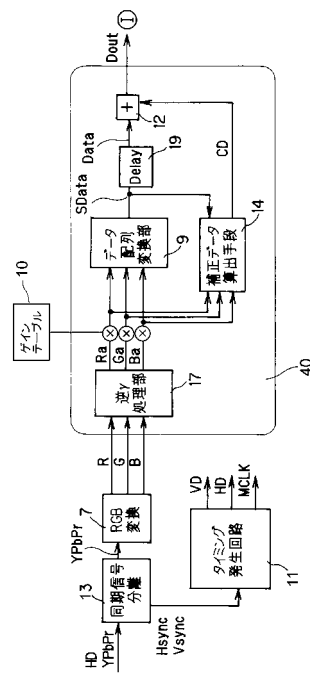
【図 48】



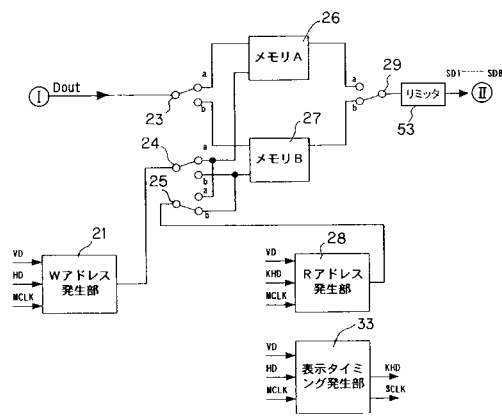
【図 49】



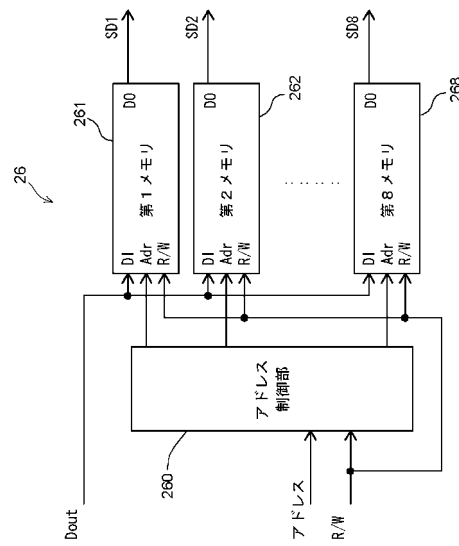
【図 50】



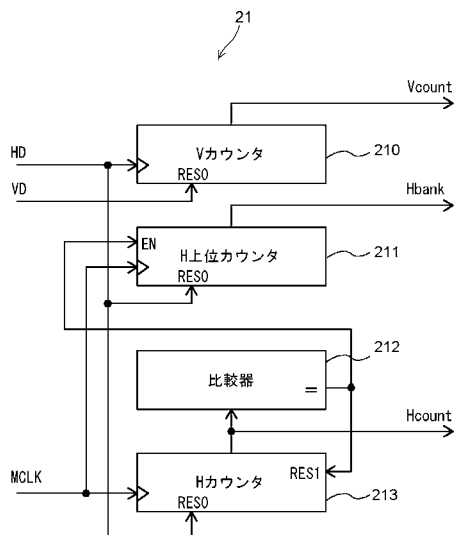
【図 5 1】



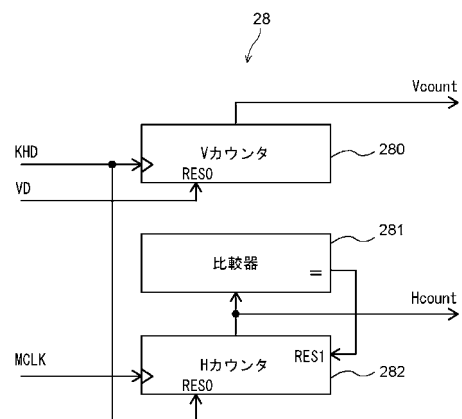
【図 5 2】



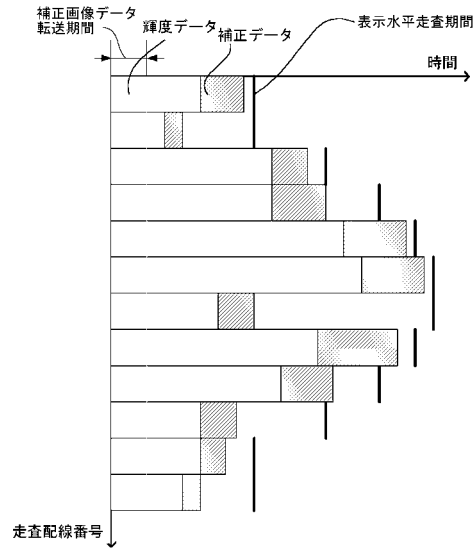
【図 5 3】



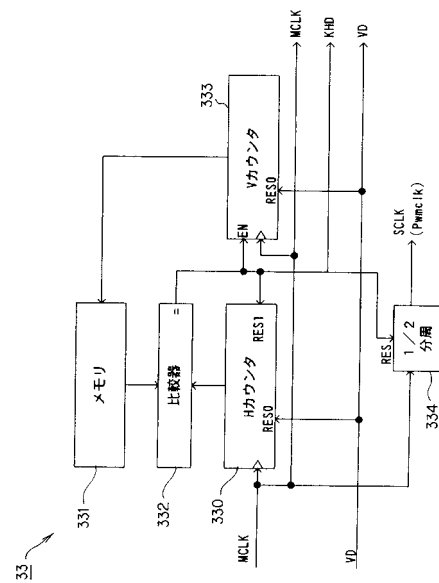
【図 5 4】



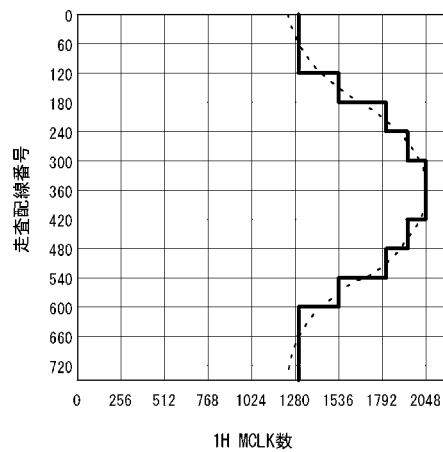
【図 55】



【図 56】



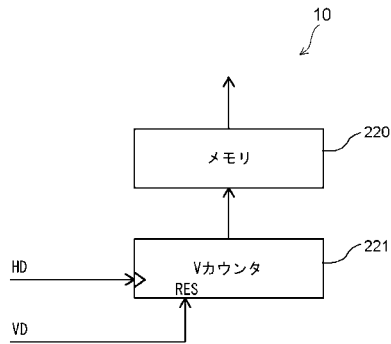
【図 57】



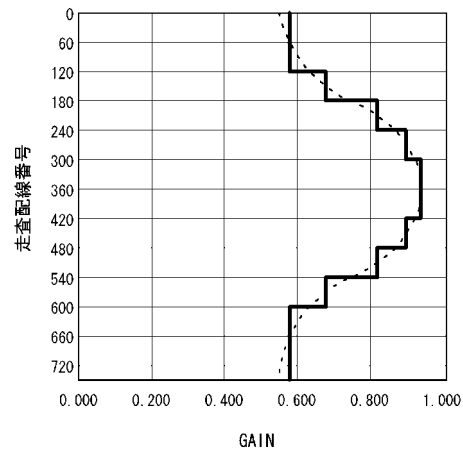
【図 58】

走査配線番号	1H MCLK数	SCLK数 (Pwmclk数)	MAXpwm
1-60	1328	664	590
61-120	1328	664	590
121-180	1536	768	694
181-240	1816	908	834
241-300	1984	992	918
301-360	2048	1024	950
361-420	2048	1024	950
421-480	1984	992	918
481-540	1816	908	834
541-600	1536	768	694
601-660	1328	664	590
661-720	1328	664	590
721-744	1328	664	590

【図 59】



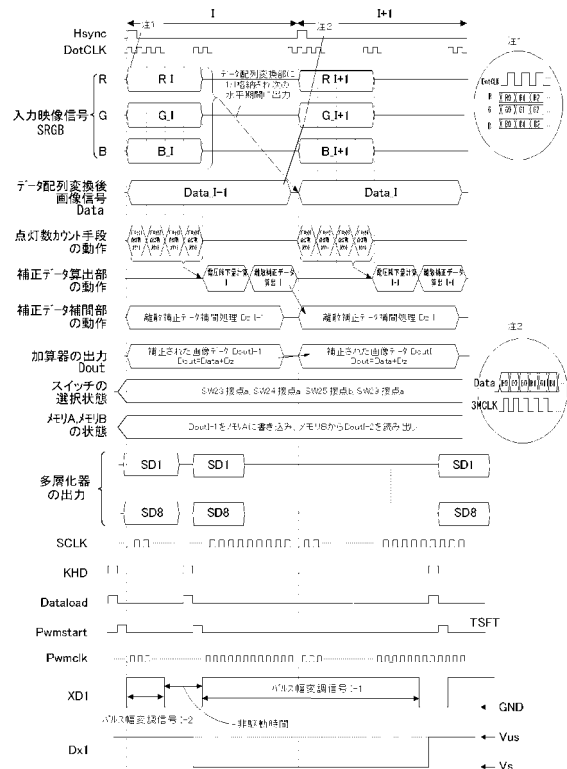
【図 60】



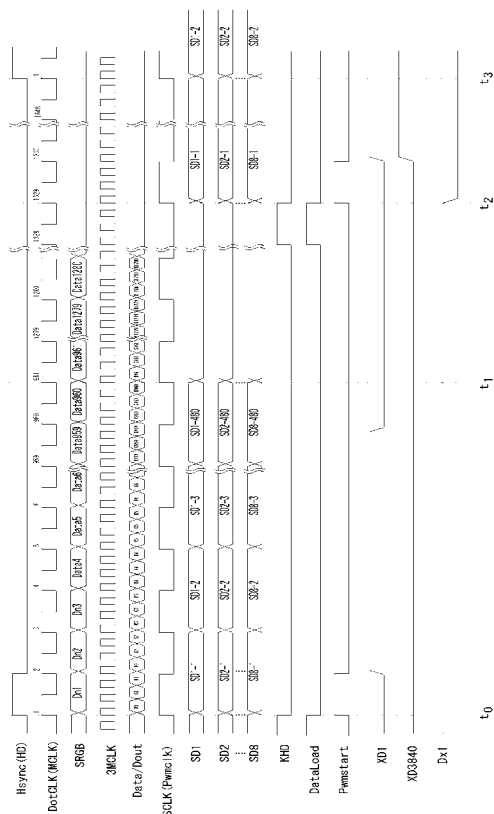
【図 61】

走査記線番号	1H MCLK数	SCLK数 (Pwmclk数)	MAXpwm	GAIN
1-60	1328	664	590	0.577
61-120	1328	664	590	0.577
121-180	1536	768	694	0.678
181-240	1816	908	834	0.815
241-300	1984	992	918	0.897
301-360	2048	1024	950	0.929
361-420	2048	1024	950	0.929
421-480	1984	992	918	0.897
481-540	1816	908	834	0.815
541-600	1536	768	694	0.678
601-660	1328	664	590	0.577
661-720	1328	664	590	0.577
721-744	1328	664	590	0.577

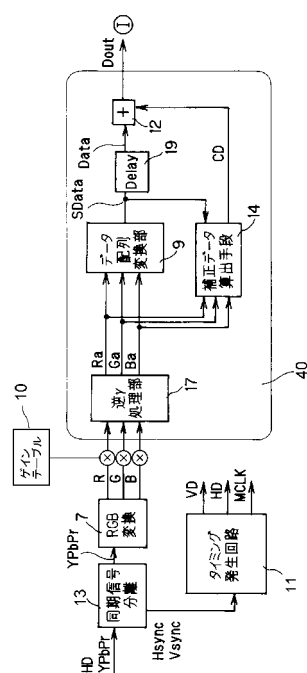
【図 62】



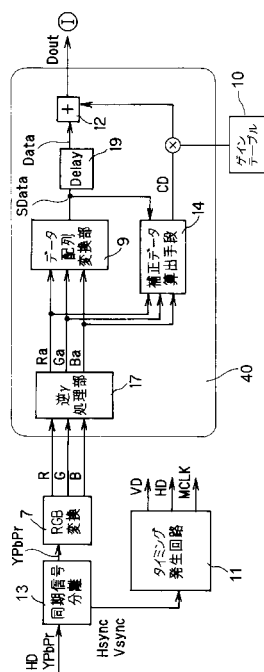
【 図 6 3 】



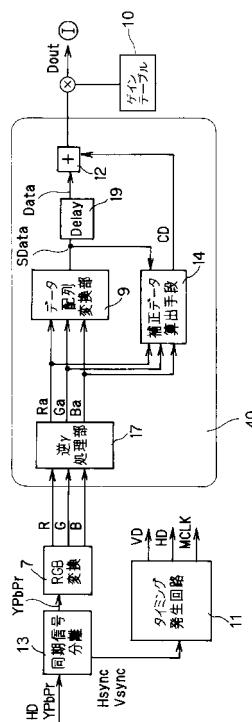
【 図 6 4 】



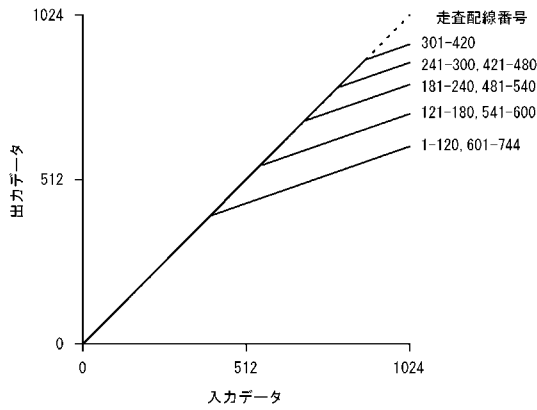
【 図 6 5 】



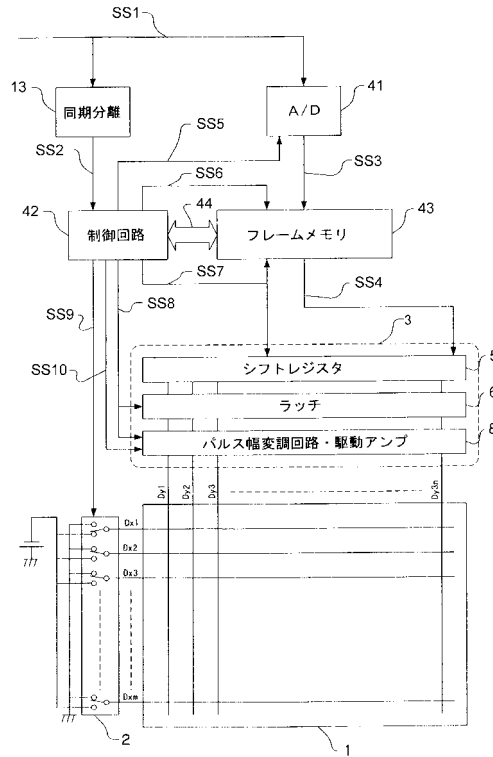
【 図 6 6 】



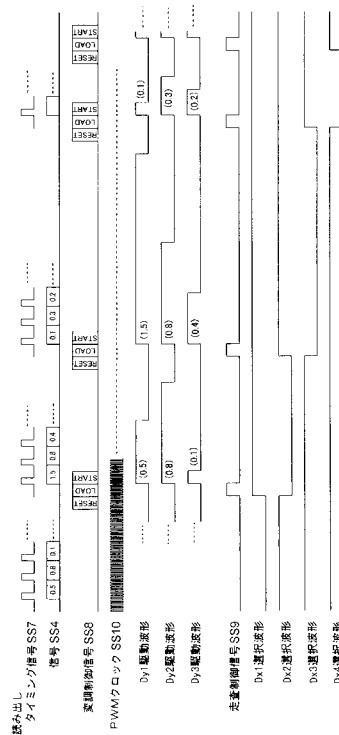
【図 67】



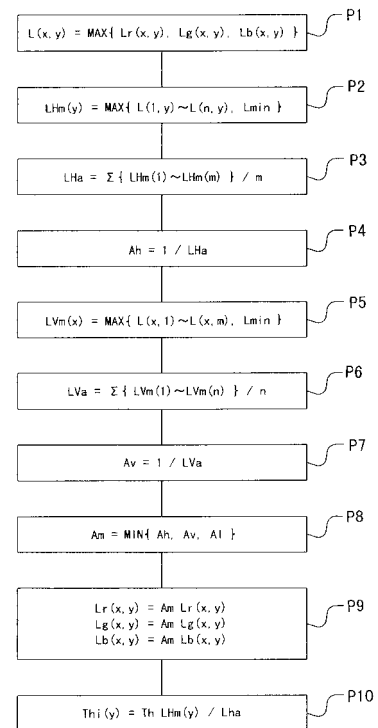
【図 68】



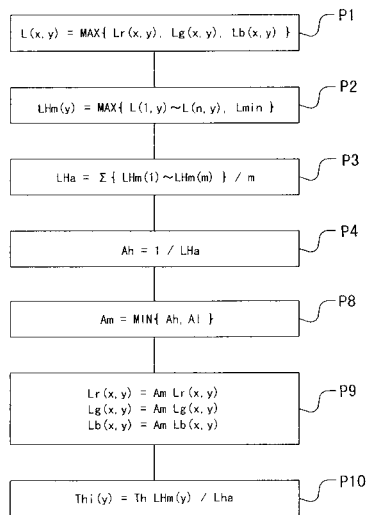
【図 69】



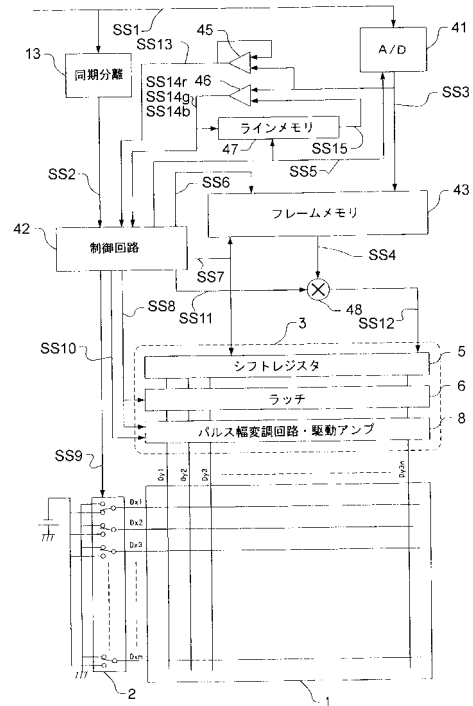
【図 70】



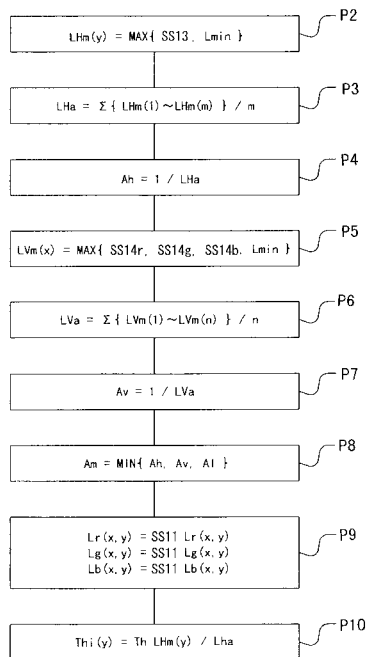
【図 7 1】



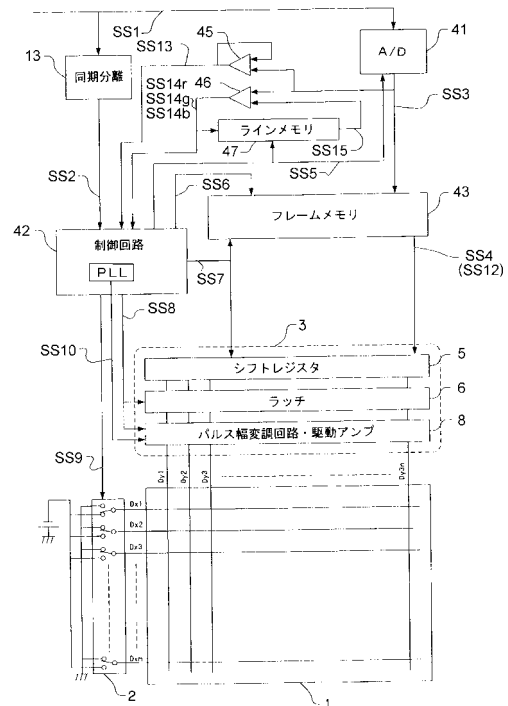
【図 7 2】



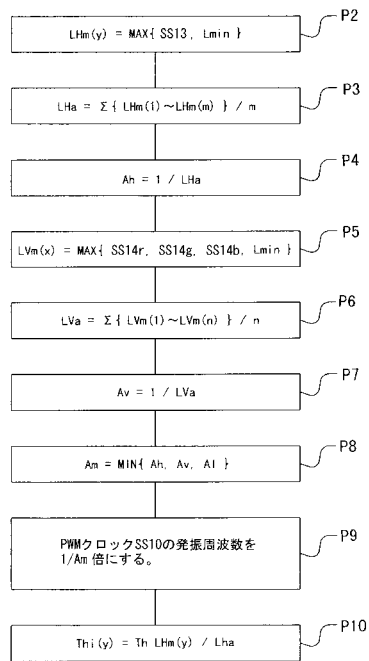
【図 7 3】



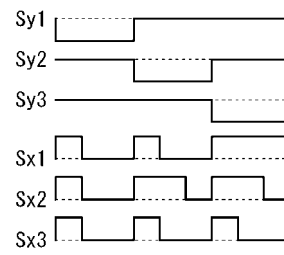
【図 7 4】



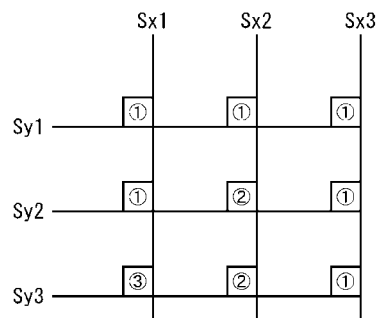
【図 75】



【図 76】



【図 77】



フロントページの続き

(51) Int.Cl.

F I

G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 2 3 U
G 0 9 G	3/20	6 3 1 B
G 0 9 G	3/20	6 3 1 D
G 0 9 G	3/20	6 3 1 V
G 0 9 G	3/20	6 3 2 B
G 0 9 G	3/20	6 4 1 E
G 0 9 G	3/20	6 4 2 D
G 0 9 G	3/20	6 4 2 P
H 0 4 N	5/66	B
H 0 4 N	9/12	B

(72)発明者 齋藤 裕

東京都大田区下丸子3丁目30番2号 キヤノン株式会社 内

(72)発明者 安藤 宗棋

東京都大田区下丸子3丁目30番2号 キヤノン株式会社 内

審査官 濱本 禎広

(56)参考文献 特開2001-331143(JP, A)

特開昭64-073390(JP, A)

特開平09-218672(JP, A)

特開2000-250458(JP, A)

特開2000-322021(JP, A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00-3/38

G02F 1/133