



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I736374 B

(45)公告日：中華民國 110 (2021) 年 08 月 11 日

(21)申請案號：109125559

(22)申請日：中華民國 103 (2014) 年 12 月 22 日

(51)Int. Cl. : **H01L27/108 (2006.01)****H01L21/8242(2006.01)****H01L27/12 (2006.01)**

(30)優先權：2013/12/26 日本

2013-269701

(71)申請人：日商半導體能源研究所股份有限公司(日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：宮入秀和 MIYAIRI, HIDEKAZU (JP)；笹川慎也 SASAGAWA, SHINYA (JP)

(74)代理人：林志剛

(56)參考文獻：

TW I549261

JP 2013-236072A

US 2006/0264025A1

US 2013/0256665A1

審查人員：修宇鋒

申請專利範圍項數：3 項 圖式數：37 共 168 頁

(54)名稱

半導體裝置

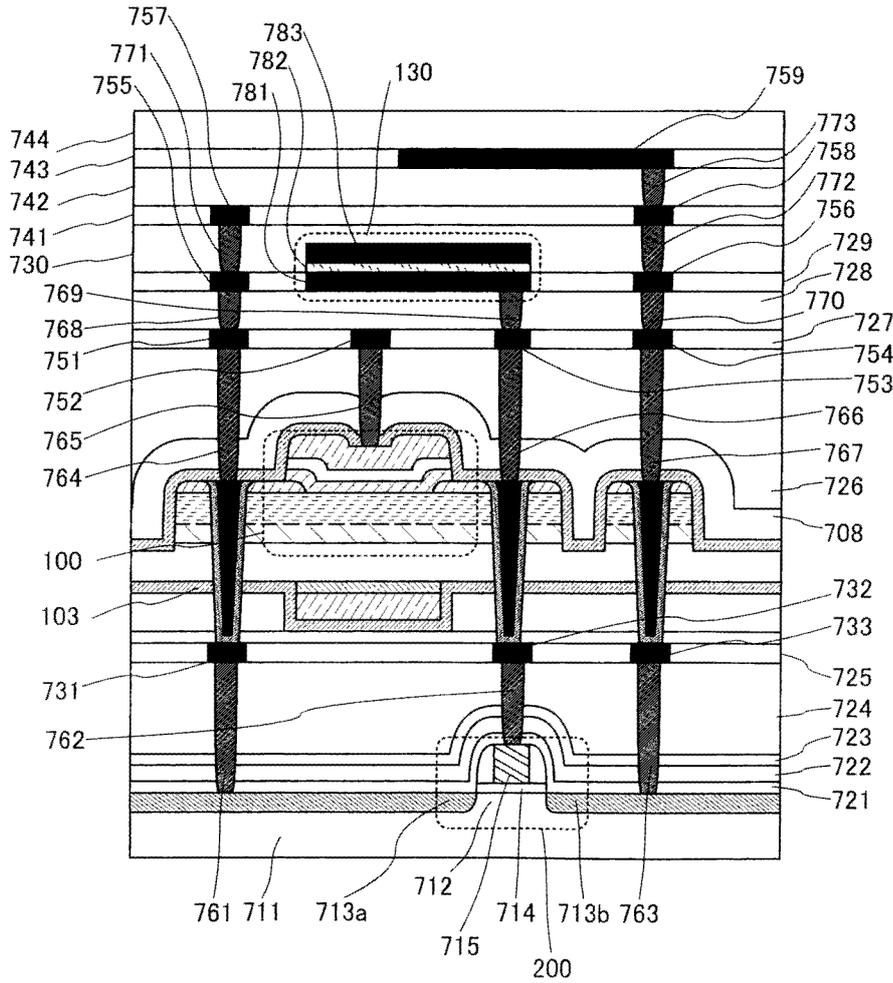
(57)摘要

本發明的一個實施方式提供一種適合於微型化的半導體裝置。本發明的一個實施方式是一種半導體裝置，包括：第一元件；該第一元件上的第一絕緣體；該第一絕緣體上的第一障壁膜；該第一障壁膜上的第一導電體；該第一導電體上的第二障壁膜；該第二障壁膜上的第二絕緣體；以及該第二絕緣體上的半導體，其中，該第一導電體由該第一障壁膜及該第二障壁膜圍繞。

A semiconductor device that is suitable for miniaturization is provided. A semiconductor device including a first element, a first insulator over the first element, a first barrier film over the first insulator, a first conductor over the first barrier film, a second barrier film over the first conductor, a second insulator over the second barrier film, and a semiconductor over the second insulator is provided. The first conductor is surrounded by the first barrier film and the second barrier film.

指定代表圖：

圖 7B



符號簡單說明：

- 100:電晶體
- 103:障壁膜
- 130:電容器
- 200:電晶體
- 708:絕緣體
- 711:半導體基板
- 712:半導體
- 713a、713b:低電阻區域
- 714:閘極絕緣膜
- 715:閘極電極
- 721、722、723:絕緣體
- 724、725、726:絕緣體
- 727、728、729:絕緣體
- 730:絕緣體
- 731、732、733:佈線
- 741、742、743:絕緣體
- 744:絕緣體
- 751、752、753:佈線
- 754、755、756:佈線
- 757、758、759:佈線
- 761、762、763:插頭
- 764、765、766:插頭
- 767、768、769:插頭
- 770、771、772:插頭
- 773:插頭
- 781:電極
- 782:絕緣體
- 783:電極

發明摘要

【發明名稱】(中文/英文)

半導體裝置

SEMICONDUCTOR DEVICE

【中文】

本發明的一個實施方式提供一種適合於微型化的半導體裝置。本發明的一個實施方式是一種半導體裝置，包括：第一元件；該第一元件上的第一絕緣體；該第一絕緣體上的第一障壁膜；該第一障壁膜上的第一導體；該第一導體上的第二障壁膜；該第二障壁膜上的第二絕緣體；以及該第二絕緣體上的半導體，其中，該第一導體由該第一障壁膜及該第二障壁膜圍繞。

【英文】

A semiconductor device that is suitable for miniaturization is provided. A semiconductor device including a first element, a first insulator over the first element, a first barrier film over the first insulator, a first conductor over the first barrier film, a second barrier film over the first conductor, a second insulator over the second barrier film, and a semiconductor over the second insulator is provided. The first conductor is surrounded by the first barrier film and the second barrier film.

【代表圖】

【本案指定代表圖】：第(7B)圖。

【本代表圖之符號簡單說明】：

100：電晶體	103：障壁膜
130：電容器	200：電晶體
708：絕緣體	711：半導體基板
712：半導體	713a、713b：低電阻區域
714：閘極絕緣膜	715：閘極電極
721、722、723：絕緣體	724、725、726：絕緣體
727、728、729：絕緣體	730：絕緣體
731、732、733：佈線	741、742、743：絕緣體
744：絕緣體	751、752、753：佈線
754、755、756：佈線	757、758、759：佈線
761、762、763：插頭	764、765、766：插頭
767、768、769：插頭	770、771、772：插頭
773：插頭	781：電極
782：絕緣體	783：電極

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

SEMICONDUCTOR DEVICE

【技術領域】

[0001] 本發明係關於一種物體、方法或製造方法。另外，本發明係關於一種製程 (process)、機器 (machine)、產品 (manufacture) 或者組合物 (composition of matter)。本發明的一個實施方式尤其係關於一種半導體裝置、顯示裝置、發光裝置、蓄電裝置、記憶體裝置及其驅動方法或其製造方法。

[0002] 注意，在本說明書等中，半導體裝置一般是指能夠藉由利用半導體特性而工作的所有裝置。電晶體、半導體電路為半導體裝置的一個方式。另外，算術裝置、記憶體裝置、攝像裝置、電光裝置、發電裝置 (包括薄膜太陽能電池、有機薄膜太陽能電池等) 及電子裝置的各者可包括半導體裝置。

【先前技術】

[0003] 使用半導體材料構成電晶體的技術受到關注。該電晶體被廣泛地應用於積體電路 (IC)、或影像顯示裝置 (亦簡單地記載為顯示裝置) 等電子裝置。作為可

以用於電晶體的半導體材料，矽類半導體材料被廣泛地使用，而作為其他材料，氧化物半導體受到關注。

[0004] 例如，公開了作為氧化物半導體使用氧化鋅或 In-Ga-Zn 類氧化物半導體來製造電晶體的技術（參照專利文獻 1 及專利文獻 2）。

[0005] 近年來，隨著電子裝置的高功能化、小型化或輕量化，對高密度地集成有被微型化的電晶體等半導體元件的積體電路的要求提高。

[0006]

[專利文獻 1]日本專利申請公開第 2007-123861 號公報

[專利文獻 2]日本專利申請公開第 2007-096055 號公報

【發明內容】

[0007] 本發明的一個實施方式的目的是之一是一種集成度高的半導體裝置。

[0008] 本發明的其他實施方式的目的是之一是一種可靠性高的半導體裝置。

[0009] 另外，本發明的一個實施方式的目的是之一是使半導體裝置具有良好的電特性。此外，本發明的一個實施方式的目的是之一是一種可靠性高的半導體裝置。另外，本發明的一個實施方式的目的是之一是一種具有新穎結構的半導體裝置。

[0010] 注意，這些目的的記載並不妨礙其他目的的

存在。此外，本發明的一個實施方式並不需要實現所有上述目的。另外，可以從發明說明、圖式、申請專利範圍等的記載得知並衍生上述以外的目的。

[0011] 本發明的一個實施方式是一種半導體裝置，包括：第一元件；該第一元件上的第一絕緣體；該第一絕緣體上的第一障壁膜；該第一障壁膜上的第一導電體；該第一導電體上的第二障壁膜；該第二障壁膜上的第二絕緣體；以及該第二絕緣體上的半導體，其中，該第一導電體由該第一障壁膜及該第二障壁膜圍繞。

[0012] 本發明的其他實施方式是一種半導體裝置，包括：第一元件；該第一元件上的第一絕緣體；該第一絕緣體上的第一障壁膜；該第一障壁膜上的第一導電體；該第一導電體上的第二障壁膜；該第二障壁膜上的第二絕緣體；以及該第二絕緣體上的半導體，其中，該第一絕緣體包括槽或開口，該第一導電體的至少一部分設置在上述槽或開口中，並且，該第一導電體由該第一障壁膜及該第二障壁膜圍繞。

[0013] 本發明的其他實施方式是一種半導體裝置，包括：半導體；該半導體上並與該半導體接觸的第一導電體；以及設置於形成在該半導體及該第一導電體中的開口中的第二導電體。

[0014] 本發明的其他實施方式是一種半導體裝置，包括：第一元件；該第一元件上的第一絕緣體；該第一絕緣體上的第一障壁膜；該第一障壁膜上的第一導電體；該

第一導電體上的第二障壁膜；該第二障壁膜上的第二絕緣體；該第二絕緣體上的半導體；該半導體上並與該半導體接觸的第二導電體；以及設置於形成在該半導體及該第二導電體中的開口中並與該第一元件電連接的第三導電體。

[0015] 本發明的其他實施方式是一種半導體裝置，包括：第一元件；該第一元件上的第一絕緣體；該第一絕緣體上的第一障壁膜；該第一障壁膜上的第一導電體；該第一導電體上的第二障壁膜；該第二障壁膜上的第二絕緣體；該第二絕緣體上的半導體；該半導體上並與該半導體接觸的第二導電體；該半導體及該第二導電體上的第三絕緣體；以及隔著該第三絕緣體與該半導體重疊的第三導電體，其中，該第一絕緣體包括槽或開口，該第一導電體的至少一部分設置在該槽或開口中，該第一導電體由該第一障壁膜及該第二障壁膜圍繞，並且，半導體裝置還包括設置於形成在該半導體及該第二導電體中的開口中並與該第一元件電連接的第四導電體。

[0016] 本發明的其他實施方式是一種半導體裝置，包括：第一元件；該第一元件上的第一絕緣體；該第一絕緣體上的第一障壁膜；該第一障壁膜上的第一導電體；該第一導電體上的第二障壁膜；該第二障壁膜上的第二絕緣體；該第二絕緣體上的半導體；該半導體上並與該半導體接觸的第二導電體；該半導體及該第二導電體上的第三絕緣體；隔著該第三絕緣體與該半導體重疊的第三導電體；該第三導電體上的第三障壁膜；以及該第三障壁膜上的第

二元件，其中，該第一導電體由該第一障壁膜及該第二障壁膜圍繞，並且，半導體裝置還包括設置於形成在該半導體及該第二導電體中的開口中並與該第一元件及該第二元件電連接的第四導電體。

[0017] 本發明的其他實施方式是一種半導體裝置，包括：第一元件；該第一元件上的第一絕緣體；該第一絕緣體上的第一障壁膜；該第一障壁膜上的第一導電體；該第一導電體上的第二障壁膜；該第二障壁膜上的第二絕緣體；該第二絕緣體上的半導體；該半導體上並與該半導體接觸的第二導電體；該半導體及該第二導電體上的第三絕緣體；隔著該第三絕緣體與該半導體重疊的第三導電體；該第三導電體上的第三障壁膜；以及該第三障壁膜上的第二元件，其中，該第一絕緣體包括槽或開口，該第一導電體的至少一部分設置在該槽或開口中，該第一導電體由該第一障壁膜及該第二障壁膜圍繞，並且，半導體裝置還包括設置於形成在該半導體及該第二導電體中的開口中並與該第一元件及該第二元件電連接的第四導電體。

[0018] 上述第一、第二及第三障壁膜的各者較佳為包含氮化矽、氮氧化矽、氧化鋁、氧氮化鋁、氧化鎵、氧氮化鎵、氧化鈮、氧氮化鈮、氧化鉛、氧氮化鉛中的至少一種。

[0019] 作為上述第二障壁膜可以使用 In-Ga-Zn 類氧氮化物半導體膜、In-Sn 類氧氮化物半導體膜、In-Ga 類氧氮化物半導體膜、In-Zn 類氧氮化物半導體膜、Sn 類氧氮

化物半導體膜、In 類氧氮化物半導體膜、金屬氮化膜（InN、ZnN 等）等，也可以使用這些材料中的至少一個或多個材料形成的疊層。

[0020] 此外，上述半導體裝置較佳為進一步包括在上述第一障壁膜與上述半導體之間包括含氧化物的絕緣膜，並且該絕緣膜較佳為包括包含超過滿足化學計量組成的氧的區域。

[0021] 上述含氧化物的絕緣膜較佳為包括所包含的氫的濃度低於 $5 \times 10^{18} \text{atoms/cm}^3$ 的區域。

[0022] 上述半導體較佳為包括所包含的氫的濃度低於 $5 \times 10^{18} \text{atoms/cm}^3$ 的區域。

[0023] 上述第二元件較佳是電晶體，第三絕緣體較佳是該電晶體的閘極絕緣膜，該閘極絕緣膜較佳為包括所包含的氫的濃度低於 $5 \times 10^{18} \text{atoms/cm}^3$ 的區域。

[0024] 上述電晶體的次臨界擺幅值較佳為 60mV/dec. 以上且 100mV/dec. 以下。

[0025] 根據本發明的一個實施方式，可以提供一種適合於微型化的半導體裝置。

[0026] 另外，根據本發明的一個實施方式，可以使半導體裝置具有良好的電特性。此外，根據本發明的一個實施方式，可以提供一種可靠性高的半導體裝置。另外，根據本發明的一個實施方式，可以提供一種具有新穎結構的半導體裝置等。注意，上述效果的記載不妨礙其他效果的存在。此外，本發明的一個實施方式並不需要達到所有

上述目標。另外，可以從發明說明、圖式、申請專利範圍等的記載得知並衍生上述以外的效果。

【圖式簡單說明】

[0027] 在圖式中：

圖 1 是根據實施方式的半導體裝置的結構實例；

圖 2 是說明根據實施方式的半導體裝置所包括的疊層結構的圖；

圖 3A 至圖 3D 是說明根據實施方式的半導體裝置的製造方法例子的圖；

圖 4A 至圖 4D 是說明根據實施方式的半導體裝置的製造方法例子的圖；

圖 5A 至圖 5C 是說明根據實施方式的半導體裝置的製造方法例子的圖；

圖 6A 至圖 6C 是說明根據實施方式的半導體裝置的製造方法例子的圖；

圖 7A 及圖 7B 是根據實施方式的半導體裝置的電路圖及結構實例；

圖 8 是根據實施方式的半導體裝置的結構實例；

圖 9A 至圖 9C 是根據實施方式的半導體裝置的結構實例；

圖 10A 至圖 10C 是根據實施方式的半導體裝置的結構實例；

圖 11A 至圖 11C 是根據實施方式的半導體裝置的結

構實例；

圖 12A 至圖 12C 是根據實施方式的半導體裝置的結構實例；

圖 13A 至圖 13C 是根據實施方式的半導體裝置的結構實例；

圖 14A 至圖 14D 是 CAAC-OS 的剖面的 Cs 校正高解析度 TEM 影像以及 CAAC-OS 的剖面示意圖；

圖 15A 至圖 15D 是 CAAC-OS 的平面的 Cs 校正高解析度 TEM 影像；

圖 16A 至圖 16C 是說明藉由 XRD 得到的 CAAC-OS 以及單晶氧化物半導體的結構分析的圖；

圖 17A 及圖 17B 是示出 CAAC-OS 的電子繞射圖案之圖；

圖 18 是示出藉由電子照射的 In-Ga-Zn 氧化物的結晶部的變化的圖；

圖 19A 及圖 19B 是說明 CAAC-OS 以及 nc-OS 的成膜模型的示意圖；

圖 20A 至圖 20C 是說明 InGaZnO₄ 的結晶及顆粒的圖；

圖 21A 至圖 21D 是說明 CAAC-OS 的成膜模型的示意圖；

圖 22A 至圖 22D 是根據實施方式的電路圖；

圖 23 是根據實施方式的 RF 裝置的結構實例；

圖 24 是根據實施方式的 CPU 的結構實例；

圖 25 是根據實施方式的記憶元件的電路圖；

圖 26A 至圖 26C 是根據實施方式的顯示裝置的電路圖；

圖 27A 至圖 27F 是根據實施方式的電子裝置；

圖 28A 至圖 28F 是根據實施方式的 RF 裝置的使用例子；

圖 29A 及圖 29B 是說明根據實施方式的能帶結構的圖；

圖 30A 至圖 30C 是說明根據實施方式的半導體裝置的製造方法例子的圖；

圖 31A 至圖 31C 是說明根據實施方式的半導體裝置的製造方法例子的圖；

圖 32A 及圖 32B 是說明根據實施方式的半導體裝置的製造方法例子的圖；

圖 33A 及圖 33B 是說明根據實施方式的半導體裝置的製造方法例子的圖；

圖 34A 及圖 34B 是說明根據實施方式的半導體裝置的製造方法例子的圖；

圖 35 是根據實施方式的半導體裝置的結構實例；

圖 36 是根據實施方式的半導體裝置的結構實例；

圖 37 是根據實施方式的半導體裝置的結構實例。

【實施方式】

[0028] 將參照圖式對實施方式進行詳細說明。注

意，本發明不侷限於以下說明，而所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的精神及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅侷限於以下所示的實施方式所記載的內容中。

[0029] 注意，在以下說明的發明的結構中，在不同的圖式之間共同使用相同的元件符號來表示相同的部分或具有相同功能的部分，而省略其重複說明。此外，當表示具有相同功能的部分時有時使用相同的陰影線，而不特別附加元件符號。

[0030] 注意，在本說明書所說明的各個圖式中，有時為了明確起見，誇大表示各構成要素的大小、層的厚度、區域。因此，本發明並不一定限定於上述尺寸。

[0031] 另外，在本說明書等中使用的“第一”、“第二”等序數詞是為了避免混淆構成要素而附的，而不是為了在數目方面上進行限定的。

[0032] 此外，在本說明書等中，電極和電連接到該電極的佈線也可以是一個構成要素。就是說，有時佈線的一部分被用作電極，有時電極的一部分被用作佈線。

[0033] 電晶體是半導體元件的一種，並且可以進行電流或電壓的放大、控制導通或非導通的切換操作等。本說明書中的電晶體包括 IGFET (Insulated Gate Field Effect Transistor : 絕緣閘場效電晶體) 和薄膜電晶體 (TFT : Thin Film Transistor) 。

[0034] 在本說明書中，用語“平行”是指兩條直線之間形成的角度為 -10° 以上且 10° 以下的狀態。因此，也包括該角度為 -5° 以上且 5° 以下的狀態。用語“大致平行”是指兩條直線之間形成的角度為 -30° 以上且 30° 以下的狀態。另外，用語“垂直”是指兩條直線之間形成的角度為 80° 至 100° 的狀態。因此，也包括該角度為 85° 至 95° 以下的狀態。用語“大致垂直”是指兩條直線之間形成的角度範圍為 60° 以上且 120° 以下的狀態。

[0035] 在本說明書中，六方晶系包括三方晶系和菱方晶系。

[0036]

實施方式 1

[疊層結構的結構實例]

以下，對可以應用於本發明的一個實施方式的半導體裝置的包括電晶體 100 的疊層體 10 的例子進行說明。圖 1 是以下所示的疊層體 10 的剖面示意圖。

[0037] 此外，可以在疊層體 10 的上方或下方形成並重疊各種元件。圖 2 示出在疊層體 20 上層疊疊層體 10 且在疊層體 10 上層疊疊層體 30 的例子。例如，也可以作為疊層體 20 形成單晶矽半導體，在其上形成疊層體 10，還在其上形成電容器等元件作為疊層體 30 之方式形成的結構。

[0038] 在疊層體 10 中設置有與絕緣體 101 的頂面接觸的絕緣體 102、形成在絕緣體 102 中的槽或開口、與在

該槽或開口的內側及絕緣體 102 的頂面接觸的障壁膜 103、在絕緣體 102 的槽或開口內隔著障壁膜 103 設置的導電體 104a、與導電體 104a 的頂面接觸的障壁膜 105a、與障壁膜 103 的頂面及障壁膜 105a 的頂面接觸的絕緣體 106、與絕緣體 106 的頂面接觸的半導體 107a、與半導體 107a 的頂面接觸的半導體 108a、與半導體 108a 的頂面接觸且在與半導體 108a 重疊的區域彼此分開的導電體 109b 及導電體 109c、至少設置於形成在導電體 109b、導電體 109c、半導體 108a 及半導體 107a 中的開口內的多個插頭 120a 及 120b、與半導體 108a 的頂面接觸的半導體 113、與半導體 113 頂面接觸的絕緣體 114、與絕緣體 114 的頂面接觸的導電體 115、至少覆蓋半導體 107a、半導體 108a 及半導體 113 的障壁膜 116。

[0039] 導電體 104a 及障壁膜 105a 與半導體 108a 重疊地設置。將導電體 104a 用作第二閘極電極。

[0040] 由於導電體 104a 由障壁膜 103 及障壁膜 105a 圍繞，所以可以防止導電體 104a 的氧化。

[0041] 導電體 109b 和電體 109c 中的一個被用作源極電極，另一個被用作汲極電極。此外，由於插頭 120a 及插頭 120b 的至少側面與半導體 108a 接觸，所以插頭 120a 和插頭 120b 中的一個被用作源極電極，另一個被用作汲極電極。另外，插頭 120a 由導電體 111b 及導電體 112a 構成，插頭 120b 由導電體 111c 及導電體 112b 構成。

[0042] 由於插頭 120a、插頭 120b 形成在設置在導電體 109b、導電體 109c、半導體 108a、半導體 107a 中的開口中，所以可以實現半導體裝置的微型化。

[0043] 絕緣體 114 設置在半導體 108a 與導電體 115 之間，並被用作閘極絕緣膜。

[0044] 導電體 115 與半導體 108a 重疊地設置，並被用作第一閘極電極。

[0045] 在電晶體 100 中至少包括半導體 108a、絕緣體 114、導電體 115 等。

[0046] 作為絕緣體 101 較佳為使用厚度為 50nm 左右的氮化矽。此外，作為絕緣體 102 較佳為使用利用 TEOS (Tetra-Ethyl-Ortho-Silicate : 四乙氧基矽烷) 形成的厚度為 150nm 左右的氧化矽膜。

[0047] 絕緣體 102 使用絕緣體 102 的蝕刻速率與絕緣體 101 不同的任何材料形成即可。此外，絕緣體 101 及絕緣體 102 例如都可以使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧氮化鋁、氮氧化鋁、氮化鋁等，以疊層或單層設置。

[0048] 絕緣體 102 被用作使起因於設置在其下的結構物等產生的步階平坦化的平坦化層。為了提高絕緣體 102 頂面的平坦性，其頂面也可以藉由利用 CMP (Chemical Mechanical Polishing : 化學機械拋光) 法等的平坦化處理被平坦化。

[0049] 作為可以用於障壁膜 103 及障壁膜 116 的材

料之例子，可以舉出氮化矽、氮氧化矽、氧化鋁、氧氮化鋁、氧化鎵、氧氮化鎵、氧化鈮、氧氮化鈮、氧化鈣、氧氮化鈣等。尤其是，氧化鋁具有對水或氫的優良的阻擋性，所以是較佳的。

[0050] 作為障壁膜 103 及障壁膜 116 的各者，除了不容易使水或氫透過的材料的層之外，也可以使用包含其他絕緣材料的層的疊層。例如，也可以使用包含氧化矽或氮氧化矽的層、包含金屬氧化物的層等的疊層。

[0051] 在此，較佳的是，在障壁膜 103 的下層中儘量降低氫或水等或抑制脫氣。氫或水對氧化物半導體來說有可能成為引起電特性變動的主要原因。另外，可以由障壁膜 103 抑制氫或水從障壁膜 103 的下層擴散到上層。

[0052] 為了儘量降低位於障壁膜 103 的下層的各層所包含的氫或水或者抑制脫氣，較佳的是，在形成障壁膜 103 之前，或者剛在障壁膜 103 中形成用來形成插頭 120a、插頭 120b 的開口之後的瞬間，進行用來去除障壁膜 103 的下層所包含的氫或水的加熱處理。在構成半導體裝置的導電膜等的耐熱性或電晶體的電特性不劣化的範圍內，加熱處理的溫度越高越較佳。明確而言，例如可以將其設定為 450°C 以上，較佳為 490°C 以上，更佳為 530°C 以上，但是也可以設定為 650°C 以上。較佳的是，在惰性氣體氛圍下或減壓氛圍下進行 1 小時以上，較佳為 5 小時以上，更佳為 10 小時以上的加熱處理。另外，加熱處理的溫度可以對半導體裝置所包括的佈線、電極或插頭的材

料的耐熱性加以考慮而決定，例如當該材料的耐熱性低時，可以在 550°C 以下、600°C 以下、650°C 以下或 800°C 以下的溫度下進行加熱處理。另外，進行這種加熱處理至少一次以上即可，較佳為進行多次。

[0053] 另外，作為障壁膜 103 及障壁膜 116，較佳為使用不容易使氧透過的材料。上述材料是不但對氫、水而且對氧也具有優良的阻擋性的材料。藉由使用這種材料，可以抑制當對絕緣體 106 進行加熱時被釋放的氧擴散到障壁膜 103 的下層或障壁膜 116 的上層。其結果，可以增大可能從絕緣體 106 被釋放而供應到半導體 107a、半導體 108a、半導體 113 中的氧量。

[0054] 如此，減少位於障壁膜 103 的下層的各層所包含的氫或水的濃度，或者去除氫或水且由障壁膜 103 抑制氫或水擴散到半導體 107a、半導體 108a、半導體 113 中。因此，可以使半導體 107a、半導體 108a、半導體 113 的各層中的氫及水的含量極低。例如，可以使半導體 107a、半導體 108a、半導體 113 或絕緣體 114 所包含的氫的濃度降低到低於 $5 \times 10^{18} \text{ atoms/cm}^3$ ，較佳低於 $1 \times 10^{18} \text{ atoms/cm}^3$ ，更佳低於 $3 \times 10^{17} \text{ atoms/cm}^3$ 。

[0055] 作為導電體 104a，較佳為使用選自鈿、鎢、鈦、鉬、鉻、鋁等金屬或以這些金屬為主要成分的合金材料或化合物材料。另外，還可以使用添加有磷等雜質的多晶矽。此外，還可以使用金屬氮化物膜和上述金屬膜的疊層結構。作為金屬氮化物，可以使用氮化鎢、氮化鉬或氮

化鈦。藉由設置金屬氮化物膜，可以提高金屬膜的緊密性，從而能夠防止剝離。

[0056] 導電體 104a 也可以使用銦錫氧化物、包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦鋅氧化物、添加有氧化矽的銦錫氧化物等透光導電材料形成。另外，還可以採用上述透光導電材料與上述金屬形成的疊層結構。

[0057] 例如，作為導電體 104a 的結構也可以採用三層的疊層結構。作為該疊層結構，也可以採用第一層為鈦、該第一層上的第二層為氮化鈦、該第二層上的第三層為鎢形成的疊層結構。

[0058] 作為障壁膜 105a 可以使用 In-Ga-Zn 類氧氮化物半導體膜、In-Sn 類氧氮化物半導體膜、In-Ga 類氧氮化物半導體膜、In-Zn 類氧氮化物半導體膜、Sn 類氧氮化物半導體膜、In 類氧氮化物半導體膜、金屬氮化膜（InN、ZnN 等）等。由於上述膜具有 5eV 以上，較佳為 5.5eV 以上的功函數，且該值比氧化物半導體的電子親和力大，所以可以使使用氧化物半導體的電晶體的臨界電壓向正方向漂移，從而可以實現所謂常閉（normally-off）特性的切換元件。例如，在使用 In-Ga-Zn 類氧氮化物半導體膜的情況下，使用氮濃度至少高於半導體 107a，具體為包含 7at.% 以上的氮的 In-Ga-Zn 類氧氮化物半導體膜。

[0059] 障壁膜 105a 較佳為使用不容易使氧擴散的材料形成。由此，可以防止導電體 104a 的氧化，並可以防

止導電體 104a 的電阻值增加。

[0060] 作為絕緣體 106，較佳為使用藉由加熱使一部分氧脫離的氧化物材料。

[0061] 作為藉由加熱使氧脫離的氧化物材料，較佳為使用包含超過滿足化學計量組成的氧的氧化物。在包含超過滿足化學計量組成的氧的氧化物膜中，藉由加熱使一部分氧脫離。包含超過滿足化學計量組成的氧的氧化物膜在熱脫附譜（TDS：Thermal Desorption Spectroscopy）分析中，換算為氧原子的氧的脫離量為 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上，較佳為 $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上。注意，上述 TDS 分析時的膜的表面溫度較佳為 100°C 以上且 700°C 以下或 100°C 以上且 500°C 以下。

[0062] 例如，作為這種材料，較佳為使用包含氧化矽或氧氮化矽的材料。另外，也可以使用金屬氧化物。作為該金屬氧化物之例子，有氧化鋁、氧氮化鋁、氧化鎵、氧氮化鎵、氧化鈮、氧氮化鈮、氧化鈣、氧氮化鈣等。注意，在本說明書中，“氧氮化矽”是指在其組成中氧含量多於氮含量的材料，而“氮氧化矽”是指在其組成中氮含量多於氧含量的材料。當作為半導體材料使用氧化物半導體時，從絕緣體 106 脫離的氧被供應到氧化物半導體，可以減少氧化物半導體中的氧缺陷。其結果，可以抑制電晶體的電特性變動，而可以提高可靠性。

[0063] 此外，在形成絕緣體 106 之前，採用在障壁膜 103 頂面與障壁膜 105a 頂面沒有步階的結構，由此可

以使絕緣體 106 形成得較薄。

[0064] 半導體 108a 也可以在通道形成區域中包含矽類半導體等半導體。尤其是，半導體 108a 較佳為包含能帶間隙比矽寬的半導體。較佳的是，半導體 108a 包含氧化物半導體。藉由使用能帶間隙比矽寬且載子密度比矽小的半導體材料，可以降低電晶體的關閉狀態（off-state）時的電流，所以是較佳的。

[0065] 例如，作為上述氧化物半導體較佳的是至少包含銦（In）或鋅（Zn）。更佳的是，氧化物半導體包含以 In-M-Zn 類氧化物（M 是 Al、Ti、Ga、Ge、Y、Zr、Sn、La、Ce 或 Hf 等金屬）表示的氧化物。

[0066] 尤其是，作為半導體，較佳為使用如下氧化物半導體膜：具有多個結晶部，該結晶部的 c 軸朝向垂直於半導體的被形成面或半導體的頂面的方向，並且在相鄰的結晶部間不具有晶界。

[0067] 藉由作為半導體使用上述材料，可以實現電特性的變動被抑制的可靠性高的電晶體。

[0068] 注意，在後面的實施方式中詳細地說明能夠適用於半導體的氧化物半導體的較佳的方式及其形成方法。

[0069] 本發明的一個實施方式的半導體裝置較佳的是在氧化物半導體與重疊於該氧化物半導體的絕緣體之間包括作為構成元素包含構成氧化物半導體的金屬元素中的至少一種金屬元素的氧化物。由此，可以抑制在氧化物半

導體與重疊於該氧化物半導體的絕緣體之間的介面形成陷阱能階。

[0070] 就是說，在本發明的一個實施方式中，較佳的是，氧化物半導體中的至少通道形成區域的頂面及底面接觸於被用作防止形成與氧化物半導體之間的介面態的障壁膜的氧化物。藉由採用這種結構，可以抑制在氧化物半導體中及與氧化物半導體之間的介面生成成為載子的生成原因的氧缺陷並抑制雜質混入，所以可以使氧化物半導體高純度本質化。高純度本質化是指使氧化物半導體本質化或實質上本質化。因此，可以抑制包括該氧化物半導體的電晶體的電特性變動，可以提供一種可靠性高的半導體裝置。

[0071] 注意，在本說明書等中，實質上本質純化的氧化物半導體的載子密度低於 $1 \times 10^{17}/\text{cm}^3$ 、低於 $1 \times 10^{15}/\text{cm}^3$ 或低於 $1 \times 10^{13}/\text{cm}^3$ 的狀態。藉由使氧化物半導體高純度本質化，可以對電晶體賦予穩定的電特性。

[0072] 半導體 107a 設置在絕緣體 106 與半導體 108a 之間。

[0073] 半導體 113 設置在半導體 108a 與用作閘極絕緣膜的絕緣體 114 之間。

[0074] 半導體 107a 及半導體 113 較佳的是都包含含有與半導體 108a 相同的金屬元素中的一種以上的氧化物。

[0075] 注意，有時半導體 108a 與半導體 107a 之間

的邊界或半導體 108a 與半導體 113 之間的邊界可能不明確。

[0076] 例如，作為半導體 107a 及半導體 113，使用如下材料：包含 In 或 Ga，典型為 In-Ga 類氧化物、In-Zn 類氧化物、In-M-Zn 類氧化物（M 為 Al、Ti、Ga、Y、Zr、La、Ce、Nd 或 Hf），並且其導帶底能量比半導體 108a 更近於真空能階。典型的是，半導體 107a 或半導體 113 的導帶底的能量與半導體 108a 的導帶底的能量的差異較佳為 0.05eV 以上、0.07eV 以上、0.1eV 以上或 0.15eV 以上，且 2eV 以下、1eV 以下、0.5eV 以下或 0.4eV 以下。此外，半導體 113 可以使用氧化鎵等形成。另外，根據情況有時半導體 113 用作閘極絕緣膜的一部分。

[0077] 藉由將用作穩定劑的 Ga 的含量比半導體 108a 大量的氧化物用於以夾著半導體 108a 的方式設置的半導體 107a 及半導體 113，可以抑制氧從半導體 108a 被釋放。

[0078] 作為半導體 108a，例如當使用原子數比為 In:Ga:Zn=1:1:1 或 3:1:2 的 In-Ga-Zn 類氧化物時，作為半導體 107a 或半導體 113，例如可以使用原子數比為 In:Ga:Zn=1:3:2、1:3:4、1:3:6、1:6:4、1:6:8、1:6:10 或 1:9:6 等的 In-Ga-Zn 類氧化物。此外，半導體 108a、半導體 107a 及半導體 113 的原子數比都包括上述原子數比的 $\pm 20\%$ 的變動的誤差。此外，半導體 107a 及半導體 113 既

可以使用相同的組成的材料形成，又可以使用不同的組成的材料形成。

[0079] 此外，當作為半導體 108a 使用 In-M-Zn 類氧化物時，作為用來形成成為半導體 108a 的半導體膜的靶材，當將該靶材所包含的金屬元素的原子數比設定為 $\text{In:M:Zn}=\text{x}_1:\text{y}_1:\text{z}_1$ 時，較佳為使用如下原子數比的氧化物： x_1/y_1 的值為 1/3 以上且 6 以下，較佳為 1 以上且 6 以下， z_1/y_1 的值為 1/3 以上且 6 以下，較佳為 1 以上且 6 以下。另外，藉由將 z_1/y_1 設定為 6 以下，可以使後面所述的 CAAC-OS 膜容易形成。作為靶材的金屬元素的原子數比的典型例子，可以舉出 $\text{In:M:Zn}=1:1:1$ 、 $3:1:2$ 等。

[0080] 此外，當作為半導體 107a、半導體 113 使用 In-M-Zn 類氧化物時，作為用來形成成為半導體 107a、半導體 113 的氧化物膜的靶材，當將該靶材所包含的金屬元素的原子數比設定為 $\text{In:M:Zn}=\text{x}_2:\text{y}_2:\text{z}_2$ 時，較佳為使用如下原子數比的氧化物： $\text{x}_2/\text{y}_2 < \text{x}_1/\text{y}_1$ ， z_2/y_2 的值為 1/3 以上且 6 以下，較佳為 1 以上且 6 以下。另外，藉由將 z_2/y_2 設定為 6 以下，可以使後面所述的 CAAC-OS 膜容易形成。作為靶材的金屬元素的原子數比的典型例子，可以舉出 $\text{In:M:Zn}=1:3:4$ 、 $1:3:6$ 、 $1:3:8$ 等。

[0081] 藉由將導帶底能量比半導體 108a 離真空能階近的材料用於半導體 107a 及半導體 113，主要在半導體 108a 中形成通道，半導體 108a 成為主要的電流路徑。如上所述，藉由將形成有通道的半導體 108a 夾在包含相同

的金屬元素的半導體 107a 與半導體 113 之間，介面態的生成得到抑制，而電晶體的電特性的可靠性得到提高。

[0082] 注意，不侷限於上述記載，可以根據所需的電晶體的半導體特性及電特性（場效移動率、臨界電壓等）使用具有適當的組成的材料。另外，較佳的是適當地設定半導體 108a、半導體 107a、半導體 113 的載子密度、雜質濃度、缺陷密度、金屬元素與氧的原子數比、原子間距離、密度等，以得到所需的電晶體的半導體特性。

[0083] 在此，在半導體 107a 與半導體 108a 之間有時存在半導體 107a 和半導體 108a 的混合區域。另外，在半導體 108a 與半導體 113 之間有時存在半導體 108a 和半導體 113 的混合區域。混合區域的介面態密度低。因此，半導體 107a、半導體 108a 及半導體 113 的疊層體具有各層之間的介面附近的能量連續地變化（也稱為連接結合）的能帶結構。

[0084] 在此，對能帶結構進行說明（圖 29A 及圖 29B）。為了容易理解，關於能帶結構，示出絕緣體 106、半導體 107a、半導體 108a、半導體 113 及用作閘極絕緣膜的絕緣體 114 的導帶底的能量（ E_c ）。

[0085] 如圖 29A、圖 29B 所示，在半導體 107a、半導體 108a、半導體 113 中，導帶底的能量連續地變化。這也可以從因半導體 107a、半導體 108a、半導體 113 的構成元素相同而氧容易互相擴散之處得知。由此可以說，雖然半導體 107a、半導體 108a、半導體 113 是組成互不

相同的疊層體，但是在物性上是連續的。

[0086] 主要成分相同而層疊的氧化物半導體不是只簡單的各層層疊，而是以形成連續結合（在此，尤其是指各層之間的導帶底的能量連續地變化的 U 字形井結構）的方式形成。換言之，以在各層的介面之間不存在會形成俘獲中心或再結合中心等缺陷能階的雜質的方式形成疊層結構。如果雜質混入被層疊的多層膜的層間，能帶則失去連續性，因此載子在介面因被俘獲或者再結合而消失。

[0087] 注意，圖 29A 示出半導體 107a 的 E_c 與半導體 113 的 E_c 相同的情況，但是也可以相互不同。例如，當半導體 113 的 E_c 具有比半導體 107a 的 E_c 高的能量時，能帶結構的一部分表示為圖 29B 所示的能帶結構。

[0088] 從圖 29A 和圖 29B 可知，半導體 108a 成為井（well），在半導體 108a 中形成通道。另外，由於在半導體 107a、半導體 108a 及半導體 113 中導帶底的能量連續地變化，因此也可以稱其為 U 字形井（U-shaped Well）。另外，也可以將具有上述結構的通道稱為埋入通道。

[0089] 另外，雖然在半導體 107a 與氧化矽膜等絕緣膜之間以及半導體 113 與氧化矽膜等絕緣膜之間的介面附近有可能形成起因於雜質或缺陷的陷阱能階，但是藉由設置半導體 107a 及半導體 113，可以使半導體 108a 和該陷阱能階相離。注意，當半導體 107a 的 E_c 與半導體 108a 的 E_c 之間或半導體 113 的 E_c 與半導體 108a 的 E_c 之間的

能量差小時，有時半導體 108a 的電子越過該能量差到達陷阱能階。電子被陷阱能階俘獲，使得在絕緣膜的介面產生負的固定電荷，這導致電晶體的臨界電壓漂移到正的方向。

[0090] 因此，為了降低電晶體的臨界電壓的變動，需要使半導體 107a 的 E_c 與半導體 108a 的 E_c 之間及半導體 113 的 E_c 與半導體 108a 的 E_c 之間產生能量差。該能量差的各者都較佳為 0.1eV 以上，更佳為 0.15eV 以上。

[0091] 另外，較佳的是，半導體 107a、半導體 108a 及半導體 113 包含結晶部。尤其是，藉由使用 c 軸配向結晶，能夠對電晶體賦予穩定的電特性。

[0092] 另外，在圖 29B 所示的能帶結構中，也可以在半導體 108a 與用作閘極絕緣膜的絕緣體 114 之間設置 In-Ga 類氧化物（例如，原子數比為 In : Ga=7 : 93）而不設置半導體 113。

[0093] 作為半導體 108a，使用電子親和力比半導體 107a 及半導體 113 大的氧化物。例如，作為半導體 108a，使用其電子親和力為半導體 107a 及半導體 113 的 0.07eV 以上且 1.3eV 以下，較佳為 0.1eV 以上且 0.7eV 以下，更佳為 0.15eV 以上且 0.4eV 以下的氧化物。注意，電子親和力是指真空能階與導帶底的能量之間的差異。

[0094] 在此，半導體 108a 的厚度較佳的是至少比半導體 107a 厚。半導體 108a 越厚，越可以提高電晶體的通態電流（on-state current）。另外，半導體 107a 只要具有

抑制生成與半導體 108a 之間的介面態的效果的程度的厚度即可。例如，可以將半導體 108a 的厚度設定為大於半導體 107a 的厚度，較佳為半導體 107a 的厚度的 2 倍以上，更佳為 4 倍以上，進一步較佳為 6 倍以上。注意，在不需要提高電晶體的通態電流的情況下不侷限於此，也可以將半導體 107a 的厚度設定為半導體 108a 的厚度以上。

[0095] 另外，與半導體 107a 同樣，半導體 113 也只要具有抑制生成與半導體 108a 之間的介面態的效果的程度的厚度即可。例如，可以將半導體 113 的厚度設定為與半導體 107a 同等或其以下的厚度。在半導體 113 厚時，來自用作閘極電極的導電體 115 的電場有可能不容易施加到半導體 108a，所以半導體 113 較佳為薄。例如，使半導體 113 的厚度比半導體 108a 的厚度薄。另外，不侷限於此，考慮用作閘極絕緣膜的絕緣體 114 的耐壓，根據驅動電晶體的電壓適當地設定半導體 113 的厚度即可。

[0096] 這裡，例如在半導體 108a 接觸於其構成要素與半導體 108a 不同的絕緣體（例如，包含氧化矽膜的絕緣體等）的情況下，在兩層之間的介面會形成介面態，該介面態有可能形成通道。在此情況下，有可能出現具有不同臨界電壓的電晶體，而使電晶體的外觀上的臨界電壓發生變動。然而，由於在本結構的電晶體中半導體 107a 包含一種以上的構成半導體 108a 的金屬元素，因此半導體 107a 與半導體 108a 之間的介面不容易形成介面態。因而，藉由設置半導體 107a，可以降低電晶體的臨界電壓

等電特性的偏差或變動。

[0097] 另外，當在用作閘極絕緣膜的絕緣體 114 與半導體 108a 之間的介面形成通道時，有時在該介面產生介面散射而使電晶體的場效移動率下降。然而，由於在本結構的電晶體中半導體 113 包含一種以上的構成半導體 108a 的金屬元素，因此在半導體 108a 與半導體 113 之間的介面不容易產生載子散射，而可以提高電晶體的場效移動率。

[0098] 導電體 109b 及導電體 109c 使用選自鋁、鈦、鉻、鎳、銅、鈮、銦、鋇、鉬、銀、鉭和鎢中的金屬或以這些元素為主要成分的合金以單層結構或疊層結構形成。例如，可以舉出包含矽的鋁膜的單層結構、在鈦膜上層疊鋁膜的兩層結構、在鎢膜上層疊鋁膜的兩層結構、在銅-鎂-鋁合金膜上層疊銅膜的兩層結構、在鈦膜上層疊銅膜的兩層結構、在鎢膜上層疊銅膜的兩層結構、依次層疊鈦膜或氮化鈦膜、鋁膜或銅膜以及鈦膜或氮化鈦膜的三層結構、以及依次層疊鉬膜或氮化鉬膜、鋁膜或銅膜以及鉬膜或氮化鉬膜的三層結構等。另外，也可以使用包含氧化銻、氧化錫或氧化鋅的透明導電材料。

[0099] 作為絕緣體 114，可使用例如氧化矽、氧氮化矽、氮氧化矽、氧化鋁、氧化鉛、氧化鎳、Ga-Zn 類金屬氧化物、氮化矽等之單層或疊層形成。

[0100] 此外，作為絕緣體 114 也可以使用矽酸鈣 (HfSiO_x)、添加有氮的矽酸鈣 ($\text{HfSi}_x\text{O}_y\text{N}_z$)、添加有

氮的鋁酸鈣 ($\text{HfAl}_x\text{O}_y\text{N}_z$)、氧化鈮等 high-k 材料形成。

[0101] 作為絕緣體 114 可以使用例如氧化鋁、氧化鎂、氧化矽、氧氮化矽、氧化鎵、氧化鍺、氧化鈮、氧化鈳、氧化釧、氧化鈹和氧化鈾等氧化物絕緣膜、氮化矽、氮氧化矽、氮化鋁和氮氧化鋁等氮化物絕緣膜或者這些的混合材料。

[0102] 另外，與絕緣體 106 同樣，作為絕緣體 114 較佳為使用包含超過化學計量組成的氧的氧化物絕緣膜。

[0103] 此外，藉由將特定的材料用於閘極絕緣膜，在特定的條件下閘極絕緣膜俘獲電子，由此可以增大臨界電壓。例如，如氧化矽及氧化鈣的疊層膜那樣，作為閘極絕緣膜的一部分使用氧化鈣、氧化鋁、氧化鈾等電子俘獲能階多的材料，在更高的溫度（比半導體裝置的使用溫度或保管溫度高的溫度、或者 125°C 以上且 450°C 以下，典型的是 150°C 以上且 300°C 以下）下，將閘極電極的電位保持為高於源極電極或汲極電極的電位的狀態 1 秒以上，典型的是 1 分鐘以上，電子從半導體層向閘極電極移動，其一部分被電子俘獲能階俘獲。

[0104] 像這樣，使電子俘獲能階俘獲所需要的量的電子的電晶體的臨界電壓向正方向漂移。藉由控制閘極電極的電壓可以控制電子的俘獲量，由此可以控制臨界電壓。另外，俘獲電子的處理在電晶體的製造過程中進行即可。

[0105] 例如，較佳為在形成與電晶體的源極電極或

汲極電極連接的佈線金屬之後、前製程（晶圓處理）結束之後、晶圓切割製程之後或者封裝之後等發貨之前的任一個步驟進行俘獲電子的處理即可。不管在上述哪一種情況下，較佳的是都在該處理之後不將電晶體放置在 125°C 以上的溫度下 1 小時以上。

[0106] 導電體 115 例如可以使用選自鋁、鉻、銅、鈹、鈦、鉬、鎢中的金屬、以上述金屬為成分的合金或組合上述金屬元素的合金等而形成。另外，也可以使用選自錳、鎳中的一個或多個的金屬。此外，也可以使用以摻雜磷等雜質元素的多晶矽為代表的半導體、鎳矽化物等矽化物。此外，導電體 115 可以具有單層結構或雙層以上的疊層結構。例如，可以舉出包含矽的鋁膜的單層結構、在鋁膜上層疊鈦膜的雙層結構、在氮化鈦膜上層疊鈦膜的雙層結構、在氮化鈦膜上層疊鎢膜的雙層結構、在氮化鈹膜或氮化鎢膜上層疊鎢膜的雙層結構以及依次層疊鈦膜、該鈦膜上的鋁膜和其上的鈦膜的三層結構等。此外，也可以使用組合鋁與選自鈦、鈹、鎢、鉬、鉻、釹、鈳中的一種或多種的合金膜。

[0107] 另外，導電體 115 也可以使用銮錫氧化物、包含氧化鎢的銮氧化物、包含氧化鎢的銮鋅氧化物、包含氧化鈦的銮氧化物、包含氧化鈦的銮錫氧化物、銮鋅氧化物、添加氧化矽的銮錫氧化物等透光導電材料。此外，也可以採用上述透光導電材料與上述金屬的疊層結構形成。

[0108] 導電體 115 可以使用氮化鈦（Titanium

Nitride)、氮化鉭 (Tantalum Nitride)、鎢、氮化鎢、鈦、N 型多晶矽、P 型多晶矽等作為調整功函數的材料之例子。例如，為了使電晶體 100 常關閉化，較佳為使用功函數高的材料。作為功函數高的材料之例子包含鎢、氮化鎢、鈦等。

[0109] 另外，可以在導電體 115 和絕緣體 114 之間設置 In-Ga-Zn 類氧氮化物半導體膜、In-Sn 類氧氮化物半導體膜、In-Ga 類氧氮化物半導體膜、In-Zn 類氧氮化物半導體膜、Sn 類氧氮化物半導體膜、In 類氧氮化物半導體膜、金屬氮化膜 (InN、ZnN 等) 等。由於上述膜具有 5eV 以上，較佳為 5.5eV 以上的功函數，且該值比氧化物半導體的電子親和力大，所以可以使使用氧化物半導體的電晶體的臨界電壓向正方向漂移，從而可以實現所謂常閉特性的切換元件。例如，在使用 In-Ga-Zn 類氧氮化物半導體膜的情況下，使用氮濃度至少高於半導體 108a，具體為 7at.% 以上的 In-Ga-Zn 類氧氮化物半導體膜。

[0110] 以上是結構實例的說明。

[0111] 注意，可以將本實施方式的一部分或整體自由地組合於、應用於或替換為其他實施方式的一部分或整體而實施。

[0112]

實施方式 2

[製造方法例子]

以下，參照圖 3A 至圖 3D、圖 4A 至圖 4D、圖 5A 至

圖 5C、圖 6A 至圖 6C 說明上述結構實例所示的半導體裝置的製造方法的一個例子。

[0113] 在絕緣體 101 上形成絕緣體 102。作為該絕緣體 101 較佳為使用厚度為 50nm 左右的氮化矽。此外，作為該絕緣體 102 較佳為使用利用 TEOS (Tetra-Ethyl-Ortho-Silicate：四乙氧基矽烷) 形成的厚度為 150nm 左右的氧化矽。

[0114] 絕緣體 101 及絕緣體 102 例如都可以使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧氮化鋁、氮氧化鋁、氮化鋁等，以疊層或單層設置而形成。

[0115] 該絕緣體 101 及該絕緣體 102 也可以利用濺射法、CVD (Chemical Vapor Deposition：化學氣相沉積) 法 (包括熱 CVD 法、PECVD (Plasma Enhanced CVD：電漿 CVD) 法等)、MOCVD (Metal Organic CVD：有機金屬 CVD) 法、MBE (Molecular Beam Epitaxy：分子束磊晶) 法、ALD (Atomic Layer Deposition：原子層沉積) 法、PLD (Pulsed Laser Deposition：脈衝雷射沉積) 法、HDP (High density plasma：高密度電漿) -CVD 法、減壓 CVD 法 (LP-CVD：low pressure CVD)、常壓 CVD 法 (AP-CVD：atmospheric pressure CVD)、准直濺射法或長拋濺射法等形成。

[0116] 尤其是，較佳為藉由 CVD 法形成該絕緣體，更佳是藉由電漿 CVD 法 (可以改善嵌入性)。另外，為了減少電漿所導致的損傷，較佳為利用熱 CVD 法、MOCVD

法或 ALD 法。

[0117] 接著，進行加熱處理。可以在稀有氣體或氫氣體等惰性氣體氛圍下或者在減壓氛圍下，例如在 490℃ 以上且低於基板的應變點的溫度下進行該加熱處理。

[0118] 藉由該加熱處理，可以抑制物質從包括絕緣體 102 且形成在絕緣體 102 下的疊層體脫離或脫氣。該物質諸如氫給形成在絕緣體 102 上的半導體帶來不良影響。注意，較佳為進行該加熱處理，但若不需要則也可以省略該處理。此外，也可以下面說明的在絕緣體中形成開口或槽的製程結束之後進行該加熱處理。

[0119] 接著，在該絕緣體 102 中形成開口或槽。此外，當在該絕緣體 102 中設置開口時，較佳為選擇相對於絕緣體 101 的絕緣體 102 的蝕刻率高的材料的組合。

[0120] 當在該絕緣體 102 中形成開口或槽時，可以利用光微影法等。在該絕緣體 102 上形成光阻遮罩，去除該絕緣體 102 的不需要的部分。然後，藉由去除光阻遮罩，可以在該絕緣體 102 中形成開口或槽（圖 3A）。

[0121] 在此，對被加工膜的加工方法進行說明。當對被加工膜進行微細加工時，可以使用各種微細加工技術。例如，也可以採用對藉由光微影法等形成的光阻遮罩進行縮小處理的方法。另外，也可以藉由光微影法等形成假圖案，在該假圖案處形成側壁之後去除假圖案，將殘留的側壁用作遮罩，對被加工膜進行蝕刻。此外，為了實現高縱橫比，作為被加工膜的蝕刻較佳為利用各向異性乾蝕

刻。另外，也可以使用由無機膜或金屬膜構成的硬遮罩。

[0122] 作為用來形成光阻遮罩的光，例如可以使用 i 線（波長 365nm）、g 線（波長 436nm）、h 線（波長 405nm）或將 i 線、g 線、h 線混合的光。此外，還可以使用紫外線、KrF 雷射或 ArF 雷射等。此外，也可以利用液浸曝光技術進行曝光。作為用於曝光的光，也可以使用極紫外光（EUV：Extreme Ultra-Violet）或 X 射線。此外，代替用於曝光的光，也可以使用電子束。當使用極紫外光、X 射線或電子束時，可以進行極其精細的加工，所以是較佳的。注意，在藉由掃描電子束等而進行曝光時，不需要光罩。

[0123] 也可以在形成將成為光阻遮罩的光阻膜之前，形成具有提高被加工膜與光阻膜的密接性的功能的有機樹脂膜。可以利用旋塗法等以覆蓋其下層的步階而使其表面平坦化的方式形成該有機樹脂膜，而可以降低形成在該有機樹脂膜的上層的光阻遮罩的厚度的偏差。尤其是，在進行微細的加工時，作為該有機樹脂膜較佳為使用具有防止用於曝光的光反射的作為抗反射膜的功能的材料。作為具有這種功能的有機樹脂膜之例子，例如有 BARC（Bottom Anti-Reflection Coating：底部抗反射塗料）膜等。在去除光阻遮罩的同時或在去除光阻遮罩之後去除該有機樹脂膜即可。

[0124] 接著，在形成有開口或槽的該絕緣體 102 上設置障壁膜 103。作為障壁膜 103 較佳為使用厚度為

50nm 左右的氧化鋁（圖 3B）。

[0125] 較佳為在設置在障壁膜 103 的下層的疊層體中，藉由熱脫附譜分析（也稱為 TDS 分析）測量的基板表面溫度為 400°C 的氫分子的脫離量為基板表面溫度為 300°C 的氫分子的脫離量的 130% 以下，較佳為 110% 以下。或者，較佳為藉由 TDS 分析測量的基板表面溫度為 450°C 的氫分子的脫離量為基板表面溫度為 350°C 的氫分子的脫離量的 130% 以下，較佳為 110% 以下。

[0126] 障壁膜 103 具有抑制水及氫從障壁膜 103 的下層擴散到其上層的功能。另外，障壁膜 103 也可以具有用來將設置在障壁膜 103 的上方的電極或佈線與設置在其下方的電極或佈線電連接的開口或插頭。

[0127] 作為可以用於障壁膜 103 的材料之例子包括氮化矽、氮氧化矽、氧化鋁、氧氮化鋁、氧化鎵、氧氮化鎵、氧化鈮、氧氮化鈮、氧化鈣、氧氮化鈣等。尤其是，氧化鋁具有對水、氫或氧的優良的阻擋性，所以是較佳的。

[0128] 作為障壁膜 103，使用除了不容易使水或氫透過的材料的層以及包含其他絕緣材料的層的疊層。例如，也可以使用包含氧化矽或氮氧化矽的層、包含金屬氧化物的層等的疊層。

[0129] 障壁膜 103 較佳為使用不容易使氧擴散的材料形成。上述材料是不但對氫、水而且對氧也具有優良的阻擋性的材料。藉由使用這種材料之任一種，可以抑制當

對後面設置的絕緣體 106 進行加熱時被釋放的氧擴散到障壁膜 103 的下層。其結果，可以增大可能從絕緣體 106 被釋放而供應到半導體 107、半導體 108、半導體 113 中的氧量。

[0130]障壁膜 103 本身所包含的水或氫也較佳為得到減少。例如，作為障壁膜 103，較佳為使用藉由 TDS 分析測量的基板表面溫度為 20°C 至 600°C 的範圍內的氫分子 ($M/z=2$) 的脫離量低於 2×10^{15} 個/cm²，較佳低於 1×10^{15} 個/cm²，更佳低於 5×10^{14} 個/cm² 的材料。或者，作為障壁膜 103，較佳為使用藉由 TDS 分析測量的基板表面溫度為 20°C 至 600°C 的範圍內的水分子 ($M/z=18$) 的脫離量低於 1×10^{16} 個/cm²，較佳低於 5×10^{15} 個/cm²，更佳低於 2×10^{12} 個/cm² 的材料。

[0131] 接著，在障壁膜 103 上設置導電體 104 (圖 3C)。

[0132] 作為導電體 104，較佳為使用選自鈿、鎢、鈦、鋁、鉻、鈮等金屬或以這些金屬為主要成分的合金材料或化合物材料。另外，還可以使用添加有磷等雜質的多晶矽。此外，還可以使用金屬氮化物膜和上述金屬膜的疊層結構。作為金屬氮化物，可以使用氮化鎢、氮化鋁或氮化鈦。藉由設置金屬氮化物膜，可以提高金屬膜的緊密性，從而能夠防止剝離。

[0133] 導電體 104 也可以使用銮錫氧化物、包含氧化鎢的銮氧化物、包含氧化鎢的銮鋅氧化物、包含氧化鈦

的銦氧化物、包含氧化鈦的銦錫氧化物、銦鋅氧化物、添加有氧化矽的銦錫氧化物等透光導電材料。另外，還可以採用上述透光導電材料與上述金屬而形成疊層結構。

[0134] 導電體 104 也可以藉由濺射法、蒸鍍法、CVD 法（包括熱 CVD 法、MOCVD 法、PECVD 法等）等形成。另外，為了減少電漿所導致的損傷，較佳為利用熱 CVD 法、MOCVD 法或 ALD 法。

[0135] 接著，也可以藉由利用 CMP（Chemical Mechanical Polishing：化學機械拋光）法等平坦化處理使導電體 104 平坦化。

[0136] 在利用 CMP 法對導電體 104 進行拋光時，既可以進行到絕緣體 102 的不設置開口或槽的區域上的障壁膜 103 頂面的高度與導電體 104 頂面的高度一致為止又可以中途停止拋光。

[0137] 接著，對導電體 104 進行蝕刻獲得導電體 104a。這裡，導電體 104a 頂面的高度較佳的是比絕緣體 102 的不設置開口或槽的區域上的障壁膜 103 頂面的高度低，尤其是比障壁膜 103 頂面的高度低 50nm 左右（圖 3D）。

[0138] 接著，在障壁膜 103 及導電體 104a 上設置障壁膜 105（圖 4A）。

[0139] 作為障壁膜 105 可以設置 In-Ga-Zn 類氧氮化物半導體膜、In-Sn 類氧氮化物半導體膜、In-Ga 類氧氮化物半導體膜、In-Zn 類氧氮化物半導體膜、Sn 類氧氮化物

半導體膜、In 類氧氮化物半導體膜、金屬氮化膜（InN、ZnN 等）等。由於上述膜具有 5eV 以上，較佳為 5.5eV 以上的功函數，且該值比氧化物半導體的電子親和力大，所以可以使使用氧化物半導體的電晶體的臨界電壓向正方向漂移，從而可以實現所謂常閉特性的切換元件。例如，在使用 In-Ga-Zn 類氧氮化物半導體膜的情況下，使用氮濃度至少高於半導體 108a，具體為 7at.% 以上的 In-Ga-Zn 類氧氮化物半導體膜。

[0140] 障壁膜 105 較佳為使用不容易使氧擴散的材料形成。由此，可以防止導電體 104a 的氧化，並可以防止導電體 104a 的電阻值增加。此外，障壁膜 105 可以使用與障壁膜 103 相同的材料、形成方法等。

[0141] 接著，直到絕緣體 102 的不設置開口或槽的區域上的障壁膜 103 頂面的高度與障壁膜 105 頂面的高度一致為止，利用 CMP 法對障壁膜 105 進行拋光，由此獲得障壁膜 105a（圖 4B）。此外，在圖 4B 中示出藉由 CMP 法進行拋光來獲得障壁膜 105a 的例子，但也可以不對障壁膜 105 進行拋光。

[0142] 接著，設置厚度為 100nm 左右的絕緣體 106（圖 4C）。

[0143] 絕緣體 106 較佳為藉由後面的熱處理等的步驟釋放氧的絕緣體。將被釋放的氧用來降低氧化物半導體的氧缺陷，而可以提高電晶體的電特性或可靠性。另一方面，在疊層體 10 的下方形成使用單晶矽的半導體元件等

的情況下，當被釋放的氧到達單晶矽時，有時使半導體元件的電特性或可靠性劣化。上述氧化鋁膜具有防止氧混入到位於疊層體 10 的下方的元件的功能。因此，即使設置包含過剩氧的氧氮化矽膜，也可以製造電特性或可靠性高的元件（例如，使用單晶矽的電晶體）。

[0144] 絕緣體 106 例如也可以藉由濺射法、CVD 法（包括熱 CVD 法、PECVD 法等）、MOCVD 法、MBE 法、ALD 法或 PLD 法等形式。尤其是，當藉由 CVD 法、較佳為藉由電漿 CVD 法形成該絕緣體時，可以提高覆蓋性，所以是較佳的。另外，為了減少電漿所導致的損傷，較佳為利用熱 CVD 法、MOCVD 法或 ALD 法。

[0145] 為了使絕緣體 106 含有過剩氧，例如，在氧氛圍下形成絕緣體 106 即可。或者，可以對形成後的絕緣體 106 引入氧而形成含有過剩氧的區域。或者，還可以組合上述兩種方法。

[0146] 例如，對形成之後的絕緣體 106 引入氧（至少包含氧自由基、氧原子、氧離子中的任一個）而形成包含過剩氧的區域。作為氧的引入方法，可以使用離子植入法、離子摻雜法、電漿浸沒離子佈植技術、電漿處理等。

[0147] 引入氧的處理可以使用含有氧的氣體進行。作為含有氧的氣體，可以使用氧、一氧化二氮、二氧化氮、二氧化碳及一氧化碳等。此外，在引入氧的處理中，也可以使用含有氧的氣體包含稀有氣體及/或氫。例如，也可以使用二氧化碳、氫、氫的混合氣體。

[0148] 在形成絕緣體 106 之後，為了提高其頂面的平坦性，也可以進行利用 CMP 法等的平坦化處理。

[0149] 此外，較佳的是，藉由對障壁膜 103 頂面及障壁膜 105a 頂面進行利用 CMP 法的處理，使其不容易產生步階。換言之，藉由使形成絕緣體 106 的表面不產生步階，可以使絕緣體 106 形成得較薄。這裡，雖然絕緣體 106 的厚度為 100nm，但也可以為小於 100nm。

[0150] 接著，形成半導體 107、半導體 108。例如，作為半導體 107 使用厚度為 15nm 的氧化物半導體，作為半導體 108 使用厚度為 20nm 至 40nm 的氧化物半導體。當形成這些半導體膜時，較佳為使用濺射法。此時，當形成半導體 107 的氧化物半導體膜時，使用 In : Ga : Zn=1 : 3 : 4[原子數比]的靶材。另外，當形成半導體 108 的氧化物半導體膜時，使用 In : Ga : Zn=1 : 1 : 1[原子數比]的靶材。

[0151] 較佳的是以不接觸於大氣的方式連續地形成半導體 107 及半導體 108。

[0152] 較佳的是在形成半導體 107 及半導體 108 之後進行加熱處理。以 250°C 以上且 650°C 以下，較佳為 300°C 以上且 500°C 以下的溫度，在惰性氣體氛圍下、包含 10ppm 以上的氧化氣體的氛圍下或者減壓狀態下進行加熱處理即可。另外，在惰性氣體氛圍下進行加熱處理之後，為了填補脫離的氧，也可以在包含 10ppm 以上的氧化氣體的氛圍下進行加熱處理。加熱處理既可以在形成半

導體膜之後立即進行，又可以在對半導體膜進行加工來形成島狀半導體之後進行。藉由加熱處理，氧從絕緣體 106 等供應到半導體 107 及半導體 108，而可以減少半導體膜中的氧缺陷。

[0153] 接著，設置導電體 109。作為導電體 109 較佳為使用厚度為 100nm 左右的鎢。導電體 109 可以利用濺射法形成。

[0154] 導電體 109 除了濺射法以外例如也可以藉由 CVD 法（包括熱 CVD 法、MOCVD 法、PECVD 法等）、MBE 法、ALD 法或 PLD 法等形式。尤其是，當藉由 CVD 法、較佳為藉由電漿 CVD 法形成該導電體時，可以提高覆蓋性，所以是較佳的。另外，為了減少電漿所導致的損傷，較佳為利用熱 CVD 法、MOCVD 法或 ALD 法。

[0155] 在導電體 109、半導體 108、半導體 107、絕緣體 106、障壁膜 103、絕緣體 102 及絕緣體 101 中形成開口。此時，可以利用光微影法等。在導電體 109 上形成光阻遮罩，去除導電體 109 的不需要的部分。然後，去除光阻遮罩，將導電體 109 用作遮罩，在半導體 108、半導體 107、絕緣體 106、障壁膜 103 中形成開口。像這樣，形成開口 110（圖 4D）。

[0156] 接著，在開口 110 的內側及導電體 109 上形成導電體 111 及導電體 112。導電體 111 及導電體 112 例如可以藉由濺射法、CVD 法（包括熱 CVD 法、MOCVD 法、PECVD 法等）、MBE 法、ALD 法或 PLD 法等形式

(圖 5A)。

[0157] 作為導電體 111 及導電體 112，較佳為使用選自鈿、鎢、鈦、鋁、鉻、鈮等的金屬或以這些金屬為主要成分的合金材料或化合物材料。另外，還可以使用添加有磷等雜質的多晶矽。此外，還可以使用金屬氮化物膜和上述金屬膜的疊層結構。作為金屬氮化物，可以使用氮化鎢、氮化鋁或氮化鈦。藉由設置金屬氮化物膜，可以提高金屬膜的緊密性，從而能夠防止剝離。

[0158] 接著，也可以藉由 CMP 法等平坦化處理使導電體 112 平坦化。在利用 CMP 法對導電體 112 進行拋光時，既可以進行到導電體 112 頂面的高度與導電體 111 頂面的高度一致為止又可以中途停止拋光。此外，也可以藉由濕蝕刻法等對導電體 112 進行蝕刻。像這樣，獲得導電體 112a 及導電體 112b (圖 5B)。

[0159] 接著，在導電體 111、導電體 112a 及導電體 112b 上利用光微影法等形成光阻遮罩。使用該光阻遮罩去除導電體 111 的不需要的部分，由此獲得導電體 111a。然後，去除光阻遮罩，將導電體 111a 用作遮罩，對導電體 109、半導體 108 及半導體 107 進行蝕刻。像這樣，獲得導電體 109a、半導體 108a 及半導體 107a。在此，當對導電體 109a、半導體 108a 及半導體 107a 進行蝕刻時，有時絕緣體 106 的一部分被蝕刻。因此，較佳為考慮到被蝕刻的深度而預先形成厚度較厚的絕緣體 106 (圖 5C)。

[0160] 接著，去除位於導電體 109a 上的導電體 111a

，獲得導電體 111b 及導電體 111c。這裡。形成插頭 120a 及插頭 120b。然後，對導電體 109a 的一部分進行蝕刻，獲得導電體 109b 及導電體 109c。此時，可以利用光微影法等。這裡，當對導電體 109a 進行蝕刻來獲得導電體 109b 及導電體 109c 時，有時半導體 108a 的一部分被蝕刻，而半導體 108a 的不與導電體 109b 及導電體 109c 重疊的部分薄膜化。因此，較佳為考慮到被蝕刻的深度而預先形成厚度較厚的成為半導體 108 的半導體（圖 6A）。

[0161] 此外，由於插頭 120a 及插頭 120b 設置在形成在與半導體 108a 重疊的導電體 109b 及導電體 109c 中的開口中，所以可以實現元件的微型化。

[0162] 此外，也可以使用與導電體 109b、導電體 109c、半導體 108a 及半導體 107a 同一層形成佈線。

[0163] 接著，依次層疊半導體、絕緣體及導電體。然後，在該導電體上形成光阻遮罩，去除該導電體的不需要的部分。然後，藉由去除光阻遮罩，可以形成導電體 115。此時，也可以在不去除該光阻遮罩的情況下，去除絕緣體及半導體的不需要的部分，形成絕緣體 114 及半導體 113。此外，也可以在去除該光阻遮罩之後，將導電體 115 用作遮罩，去除絕緣體及半導體的不需要的部分，形成絕緣體 114 及半導體 113。

[0164] 作為半導體 113 使用厚度為 5nm 的氧化物半導體。當形成半導體 113 時，較佳為使用濺射法。此時，當形成氧化物半導體膜時，使用 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ [原

子數比]的靶材。

[0165] 此外，較佳的是，以不接觸於大氣的方式連續形成半導體 113、絕緣體 114 及導電體 115 (圖 6B)。

[0166] 接著，設置障壁膜 116。障壁膜 116 可以使用與障壁膜 103 相同的材料、形成方法等 (圖 6C)。

[0167] 較佳的是在形成障壁膜 116 之後進行加熱處理。藉由加熱處理，氧從絕緣體 106 等供應給半導體 107a、半導體 108a 及半導體 113，可以減少半導體 107a、半導體 108a 及半導體 113 的氧缺陷。另外，此時，從絕緣體 106 脫離的氧被障壁膜 103 及障壁膜 116 阻擋，不擴散到障壁膜 103 的下層及障壁膜 116 的上層，所以可以有效地封閉該氧。因此，可以以不減少供應到半導體 107a、半導體 108a 及半導體 113 的氧量的方式對其供應氧，而可以有效地減少半導體 107a、半導體 108a 及半導體 113 中的氧缺陷。

[0168] 藉由如上步驟，形成包括電晶體 100 的疊層體 10。

[0169] 注意，可以將本實施方式的一部分或整體自由地組合於、應用於或替換為其他實施方式的一部分或整體而實施。

[0170]

實施方式 3

在此，示出可以應用於包括在疊層體 10 中的電晶體 100 的電晶體的其他結構實例。

[0171] 圖 9A 是電晶體的頂面示意圖，圖 9B、圖 9C 分別是沿著圖 9A 中的切斷線 A1-A2、B1-B2 切斷時的剖面示意圖。另外，圖 9B 相當於電晶體的通道長度方向上的剖面，圖 9C 相當於電晶體的通道寬度方向上的剖面。

[0172] 與圖 1 所示的電晶體 100 不同，在圖 9A 至圖 9C 中，半導體 113 設置在導電體 109b 及導電體 109c 與半導體 108a 之間，且半導體 113 以與半導體 108a 的頂面形狀大致一致的方式使用同一光罩進行加工。

[0173] 圖 10A 是電晶體的頂面示意圖，圖 10B、圖 10C 分別是沿著圖 10A 中的切斷線 A1-A2、B1-B2 切斷時的剖面示意圖。另外，圖 10B 相當於電晶體的通道長度方向上的剖面，圖 10C 相當於電晶體的通道寬度方向上的剖面。

[0174] 與圖 1 所示的電晶體 100 不同，在圖 10A 至圖 10C 中，在半導體 113、絕緣體 114 及導電體 115 不與導電體 109b 及導電體 109c 重疊的情況下，以半導體 113、絕緣體 114 及導電體 115 的頂面形狀大致一致的方式使用同一光罩進行加工。

[0175] 圖 11A 是電晶體的頂面示意圖，圖 11B、圖 11C 分別是沿著圖 11A 中的切斷線 A1-A2、B1-B2 切斷時的剖面示意圖。另外，圖 11B 相當於電晶體的通道長度方向上的剖面，圖 11C 相當於電晶體的通道寬度方向上的剖面。

[0176] 與圖 1 所示的電晶體 100 不同，在圖 11A 至

圖 11C 中，以導電體 115 不與導電體 109b 及導電體 109c 重疊的方式進行加工。

[0177] 圖 12A 是電晶體的頂面示意圖，圖 12B、圖 12C 分別是沿著圖 12A 中的切斷線 A1-A2、B1-B2 切斷時的剖面示意圖。另外，圖 12B 相當於電晶體的通道長度方向上的剖面，圖 12C 相當於電晶體的通道寬度方向上的剖面。

[0178] 與圖 1 所示的電晶體 100 不同，在圖 12A 至圖 12C 中，不設置導電體 109b 及導電體 109c，以半導體 113、絕緣體 114 及導電體 115 的頂面形狀大致一致的方式使用同一光罩進行加工。

[0179] 圖 13A 是電晶體的頂面示意圖，圖 13B、圖 13C 分別是沿著圖 13A 中的切斷線 A1-A2、B1-B2 切斷時的剖面示意圖。另外，圖 13B 相當於電晶體的通道長度方向上的剖面，圖 13C 相當於電晶體的通道寬度方向上的剖面。

[0180] 與圖 1 所示的電晶體 100 不同，在圖 13A 至圖 13C 中，導電體 104a 與絕緣體 101 接觸，在導電體 104a 及絕緣體 102 上設置障壁膜 103。

[0181] 在圖 13A 至圖 13C 中，作為導電體 104a 較佳為使用氧化物半導體。此時，作為絕緣體 101 較佳為使用含氫的氮化矽。藉由使氧化物半導體與含氫的氮化矽接觸，可以提高氧化物半導體層的導電性。

[0182] 此外，較佳的是，在圖 9A 至圖 12C 所示的各

電晶體中，在不與導電體 115、導電體 109b 及導電體 109c 重疊的半導體 113、半導體 108a、半導體 107a 的各區域，對各半導體添加雜質來低電阻化。作為對半導體添加的雜質之例子，可以使用氫、磷、硼、氮、鋁、氫、鎢、鉻、錳、釩、鈦、鎂、鈣等。此外，作為對半導體添加雜質的方法，可以利用電漿處理、離子植入法等。

[0183] 注意，在本說明書等中，“頂面形狀大致一致”是指層疊的層與層之間至少輪廓的一部分彼此重疊。例如，包括上層與下層由同一遮罩圖案或其一部分相同的遮罩圖案加工而成的情況。但是，有時“頂面形狀大致一致”還包括如下情況：嚴格地說輪廓不重疊，上層的端部位於下層的端部的內側或上層的端部位於下層的端部的外側。

[0184] 另外，如圖 9C 所示，藉由在電晶體的通道寬度方向上的剖面中以與半導體 108a 頂面及側面相對的方式設置用作閘極電極的導電體 115，不但在半導體 108a 頂面附近，而且在側面附近也形成通道，增大實效的通道寬度，可以增高開啟狀態下的電流（通態電流）。尤其是，在半導體 108a 的寬度極小（例如，50nm 以下，較佳為 30nm 以下，更佳為 20nm 以下）的情況下，形成通道的區域擴散到半導體 108a 的內部；因此，越進行微型化，越有助於通態電流。

[0185] 注意，例如，通道長度是指電晶體的俯視圖中的半導體（或在電晶體處於開啟狀態時，在半導體中電

流流過的部分)和閘極電極重疊的區域或者形成通道的區域中的源極(源極區域或源極電極)和汲極(汲極區域或汲極電極)之間的距離。另外,在一個電晶體中,通道長度不一定在所有的區域中成為相同的值。也就是說,一個電晶體的通道長度有時不限於一個值。因此,在本說明書中,通道長度是形成通道的區域中的任一個值、最大值、最小值或平均值。

[0186] 例如,通道寬度是指半導體(或在電晶體處於開啟狀態時,在半導體中電流流過的部分)和閘極電極重疊的區域或者形成通道的區域中的源極和汲極相對的部分的長度。另外,在一個電晶體中,通道寬度不一定在所有的區域中成為相同的值。也就是說,一個電晶體的通道寬度有時不限於一個值。因此,在本說明書中,通道寬度是形成通道的區域中的任一個值、最大值、最小值或平均值。

[0187] 另外,根據電晶體的結構,有時實際上形成通道的區域中的通道寬度(下面稱為實效的通道寬度)和電晶體的俯視圖所示的通道寬度(下面稱為外觀上的通道寬度)不同。例如,在具有立體結構的電晶體中,有時因為實效的通道寬度大於電晶體的俯視圖所示的外觀上的通道寬度,所以不能忽略其影響。例如,在具有微型且立體結構的電晶體中,有時形成在半導體的側面上的通道區域的比例大於形成在半導體的頂面上的通道區域的比例。在此情況下,實際上形成通道的實效的通道寬度大於俯視圖

所示的外觀上的通道寬度。

[0188] 在具有立體結構的電晶體中，有時難以藉由實測估計實效的通道寬度。例如，為了根據設計值估計實效的通道寬度，需要預先知道半導體的形狀作為假定。因此，當半導體的形狀不清楚時，難以正確地測量實效的通道寬度。

[0189] 於是，在本說明書中，有時在電晶體的俯視圖中將作為半導體和閘極電極重疊的區域中的源極和汲極相對的部分的長度的外觀上的通道寬度稱為“圍繞通道寬度（SCW：Surrounded Channel Width）”。此外，在本說明書中，在簡單地表示“通道寬度”時，有時是指圍繞通道寬度或外觀上的通道寬度。或者，在本說明書中，在簡單地表示“通道寬度”時，有時表示實效的通道寬度。注意，藉由取得剖面 TEM 影像等並對其影像進行分析等，可以決定通道長度、通道寬度、實效的通道寬度、外觀上的通道寬度、圍繞通道寬度等的值。

[0190] 另外，在藉由計算求得電晶體的場效移動率或每個通道寬度的電流值等時，有時使用圍繞通道寬度進行計算。在此情況下，有時成為與使用實效的通道寬度進行計算時不同的值。

[0191] 注意，可以將本實施方式的一部分或整體自由地組合於、應用於或替換為其他實施方式的一部分或整體而實施。

[0192]

實施方式 4

[結構實例]

圖 7A 是本發明的一個實施方式的半導體裝置的電路圖的一個例子。圖 7A 所示的半導體裝置包括：電晶體 200；電晶體 100；電容器 130；佈線 BL；佈線 WL；佈線 CL；以及佈線 BG。

[0193] 在本實施方式中示出圖 2 所示的疊層結構的一個方式。在本實施方式中示出如下例子：作為疊層體 20 使用單晶矽半導體，在疊層體 20 上層疊疊層體 10，還在其上層疊電容器作為疊層體 30。

[0194] 在電晶體 200 中，源極和汲極中的一個與佈線 BL 電連接，另一個與佈線 SL 電連接，閘極與電晶體 100 的源極和汲極中的一個及電容器 130 的一個電極電連接。在電晶體 100 中，源極和汲極中的另一個與佈線 BL 電連接，閘極與佈線 WL 電連接。電容器 130 的另一個電極與佈線 CL 電連接。另外，佈線 BG 與電晶體 100 的第二閘極電連接。此外，將電晶體 200 的閘極與電晶體 100 的源極和汲極中的一個與電容器 130 的一個電極之間的節點稱為節點 FN。

[0195] 在圖 7A 所示的半導體裝置中，當電晶體 100 處於導通狀態（開啟狀態）時，將對應於佈線 BL 的電位的電位施加到節點 FN。另外，當電晶體 100 處於非導通狀態（關閉狀態）時，保持節點 FN 的電位。就是說，圖 7A 所示的半導體裝置具有記憶體裝置的記憶單元的功

能。另外，當圖 7A 所示的半導體裝置具有與節點 FN 電連接的液晶元件或有機 EL (Electroluminescence: 電致發光) 元件等顯示元件時，可以將其用作顯示裝置的像素。

[0196] 可以根據施加到佈線 WL 或佈線 BG 的電位控制電晶體 100 的導通狀態、非導通狀態的選擇。另外，可以根據施加到佈線 WL 或佈線 BG 的電位控制電晶體 100 的臨界電壓。藉由作為電晶體 100 使用關態電流小的電晶體，可以長期間地保持非導通狀態下的節點 FN 的電位。因此，可以降低半導體裝置的更新頻率，所以可以實現耗電量小的半導體裝置。另外，作為關態電流小的電晶體的一個例子，可以舉出使用氧化物半導體的電晶體。

[0197] 另外，佈線 CL 被施加參考電位、接地電位或任意的固定電位等恆電位。此時，電晶體 100 的外觀上的臨界電壓根據節點 FN 的電位變動。根據外觀上的臨界電壓的變動而電晶體 200 的導通狀態、非導通狀態變化，由此可以讀出保持在節點 FN 中的電位的資訊作為資料。

[0198] 另外，為了使保持在節點 FN 中的電位以 85°C 保持 10 年 (3.15×10^8 秒)，較佳的是，每電容 1fF 的關態電流值及電晶體的每通道寬度 $1\mu\text{m}$ 的關態電流值小於 4.3yA (攸安培 (yoctoampere): 1yA 為 10^{-24}A)。此時，節點 FN 的電位的允許變動較佳為 0.5V 以內。此外，在 95°C 下，上述關態電流較佳小於 1.5yA 。在本發明的一個實施方式的半導體裝置中，障壁膜的下層的氫濃度充分得到降低，其結果，其上層的使用氧化物半導體的電

晶體可以實現這種極低的關態電流。

[0199] 另外，使用氧化物半導體的電晶體的次臨界擺幅值（S 值）為 66mV/dec.以上，較佳為 60mV/dec.以上，更佳為 50mV/dec.以上，並且為 200mV/dec.以下，較佳為 150mV/dec.以下，更佳為 100mV/dec.以下，進一步較佳為 80mV/dec.以下。越降低 S 值，越可以降低使電晶體關閉時的特定電壓下的關態電流。

[0200] 藉由將圖 7A 所示的半導體裝置配置為矩陣狀，可以構成記憶體裝置（記憶單元陣列）。

[0201] 圖 7B 示出能夠實現圖 7A 所示的電路的半導體裝置的剖面結構的一個例子。

[0202] 半導體裝置包括電晶體 200、電晶體 100 及電容器 130。電晶體 100 設置在電晶體 200 的上方，在電晶體 200 與電晶體 100 之間設置有障壁膜 103。

[0203] 電晶體 200 設置在半導體基板 711 上，並且包括：半導體基板 711 的一部分的半導體 712；閘極絕緣膜 714；閘極電極 715；以及用作源極區域或汲極區域的低電阻區域 713a 及低電阻區域 713b。

[0204] 電晶體 200 可以為 p 通道電晶體或 n 通道電晶體，可以根據電路結構或驅動方法使用適當的電晶體。

[0205] 半導體 712 的形成通道的區域或其附近的區域、用作源極區域或汲極區域的低電阻區域 713a 及低電阻區域 713b 等較佳為包含矽類半導體等半導體，更佳為包含單晶矽。另外，也可以使用包含 Ge（鍺）、SiGe

(矽鍺)、GaAs (砷化鎵)、GaAlAs (鎵鋁砷) 等的材料形成。也可以使用具有晶格畸變的矽。此外，電晶體 200 也可以是使用 GaAs 和 AlGaAs 等的 HEMT (High Electron Mobility Transistor: 高電子移動率電晶體)。

[0206] 在低電阻區域 713a 及低電阻區域 713b 中，除了應用於半導體 712 的半導體材料之外，還包含磷等賦予 n 型導電性的元素或硼等賦予 p 型導電性的元素。

[0207] 作為閘極電極 715，可以使用包含磷等賦予 n 型導電性的元素或硼等賦予 p 型導電性的元素的矽等半導體材料、金屬材料、合金材料或金屬氧化物材料等導電材料。尤其是，較佳為使用同時實現耐熱性和導電性的鎢或鉬等高熔點材料，尤其較佳為使用鎢。

[0208] 在此，包括電晶體 200 的結構對應於上述圖 2 中的疊層體 20 的一部分。

[0209] 在此，也可以使用如圖 8 所示的電晶體 180 代替電晶體 200。圖 8 的左側示出電晶體 180 的通道長度方向上的剖面，右側示出通道寬度方向上的剖面。在圖 8 所示的電晶體 180 中，形成通道的半導體 812 (半導體基板的一部分) 具有凸形狀，沿著其側面及頂面設置有閘極絕緣膜 814 及閘極電極 815。因為利用半導體基板的凸部，所以這種電晶體 180 被稱為 FIN 型電晶體。另外，也可以以與凸部的頂部接觸的方式設置有用作用來形成凸部的遮罩的絕緣膜。此外，雖然在此示出對半導體基板的一部分進行加工來形成凸部的情況，但是也可以對 SOI 基板

進行加工來形成具有凸形狀的半導體。

[0210] 以覆蓋電晶體 200 的方式依次層疊有絕緣體 721、絕緣體 722、絕緣體 723 及絕緣體 724。

[0211] 在半導體裝置的製程中，絕緣體 721 用作用來使添加到低電阻區域 713a 及低電阻區域 713b 的賦予導電性的元素活化的保護膜。如果不需要則可以不設置絕緣體 721。

[0212] 當將矽類半導體材料用於半導體 712 時，絕緣體 722 較佳為包含含氫的絕緣材料。藉由將含氫的絕緣體 722 設置在電晶體 200 上而進行加熱處理，由絕緣體 722 中的氫終結半導體 712 中的懸空鍵，由此可以提高電晶體 200 的可靠性。

[0213] 作為絕緣體 723 較佳為使用氮化矽膜等。絕緣體 723 也具有防止從絕緣體 722 脫離的氫擴散到上層的障壁膜的功能。

[0214] 絕緣體 724 用作使因設置在其下層的電晶體 200 等而產生的步階平坦化的平坦化層。為了提高絕緣體 724 頂面的平坦性，其頂面也可以藉由利用 CMP (Chemical Mechanical Polishing：化學機械拋光) 法等的平坦化處理被平坦化。

[0215] 絕緣體 724 也可以使用利用 HDP-CVD 法或常壓 CVD 法等形成的 USG (Undoped Silicate Glass：未摻雜矽玻璃) 膜。此外，也可以使用 BPSG (Borophosphosilicate Glass：硼磷矽玻璃) 膜或 BSG (

Borosilicate Glass：硼矽酸鹽玻璃）。例如，作為絕緣體 724 可以藉由 CVD 法使用矽烷氣體、TEOS 氣體、臭氧氣體、氧氣體、磷化氫（Phosphine）、乙硼烷（diborane）、硼酸三乙酯、硼酸三甲酯、磷酸三乙酯、磷酸三甲酯、亞磷酸三甲酯等形成 BSG 膜、BPSG 膜。也可以藉由利用熱處理的回流法、CMP 法提高 USG 膜、BPSG 膜、BSG 膜等的平坦性。

[0216] 另外，也可以在絕緣體 721、絕緣體 722、絕緣體 723、絕緣體 724 中埋入有與低電阻區域 713a 或低電阻區域 713b 等電連接的插頭 761、插頭 763、與電晶體 200 的閘極電極 715 電連接的插頭 762 等。

[0217] 在絕緣體 724 的上方設置有佈線 731、佈線 732 及佈線 733 等。

[0218] 佈線 731 與插頭 761 電連接。另外，佈線 732 與插頭 762 電連接。此外，佈線 733 與插頭 763 電連接。

[0219] 作為佈線 731、佈線 732、佈線 733 等的材料，可以使用金屬材料、合金材料或金屬氧化物材料等導電材料。尤其是，較佳為使用同時實現耐熱性和導電性的鎢或鉬等高熔點材料，尤其較佳為使用鎢。

[0220] 另外，較佳的是，佈線 731、佈線 732、佈線 733 等以埋入在絕緣體 725 中的方式設置，並且絕緣體 725、佈線 731、佈線 732、佈線 733 等的各頂面被平坦化。

[0221] 在上述疊層體 20 上層疊上述疊層體 10。

[0222] 在疊層體 10 上設置疊層體 30。覆蓋包括電晶體 100 的疊層體 10 的絕緣體 726 具有覆蓋其下層的凹凸形狀的平坦化層的功能。此外，絕緣體 708 也可以具有形成絕緣體 726 時的保護膜的功能。如不需要，則也可以不設置絕緣體 708。

[0223] 在障壁膜 116、絕緣體 708 及絕緣體 726 中嵌入有與導電體 109b 電連接的插頭 764、與導電體 115 電連接的插頭 765、與閘極電極 715 及導電體 109c 電連接的插頭 766、與電晶體 200 的低電阻區域 713b 電連接的插頭 767 等。

[0224] 在絕緣體 726 上設置有與插頭 764 電連接的佈線 751、與插頭 765 電連接的佈線 752、與插頭 766 電連接的佈線 753、與插頭 767 電連接的佈線 754 等。

[0225] 此外，佈線 751、佈線 752、佈線 753 及佈線 754 等以嵌入在絕緣體 727 中的方式設置，較佳的是使佈線 751、佈線 752、佈線 753、佈線 754、絕緣體 727 等的頂面都平坦化。

[0226] 在絕緣體 727 上設置有絕緣體 728。在該絕緣體 728 中設置有與佈線 751 電連接的插頭 768、與佈線 753 電連接的插頭 769、與佈線 754 電連接的插頭 770 等。

[0227] 在絕緣體 728 上設置有與插頭 768 電連接的佈線 755、與插頭 769 電連接的電極 781、與插頭 770 電連接的佈線 756 等。此外，電極 781 的一部分也用作佈

線。

[0228] 佈線 755、佈線 756、電極 781 等以嵌入在絕緣體 729 中的方式設置，較佳的是使佈線 755、佈線 756、電極 781、絕緣體 729 等的頂面都平坦化。

[0229] 絕緣體 782 在電極 781 上並與電極 781 接觸地設置，電極 783 在絕緣體 782 上並與電極 782 接觸地設置。電極 781、絕緣體 782、電極 783 構成電容器 130。此外，電極 783 的一部分用作佈線。

[0230] 在絕緣體 729 上設置有絕緣體 730，電容器 130 嵌入在絕緣體 730 中。此外，在絕緣體 730 中設置有與佈線 755 電連接的插頭 771、與佈線 756 電連接的插頭 772 等。

[0231] 在絕緣體 730 上設置有與插頭 771 電連接的佈線 757、與插頭 772 電連接的佈線 758 等。

[0232] 此外，佈線 757、佈線 758 等以嵌入在絕緣體 741 中的方式設置，較佳的是使佈線 757、佈線 758、絕緣體 741 等的頂面都平坦化。

[0233] 在絕緣體 741 上設置有絕緣體 742。在絕緣體 742 中設置有與佈線 758 電連接的插頭 773 等。

[0234] 在絕緣體 742 上設置有與插頭 773 電連接的佈線 759。

[0235] 此外，佈線 759 以嵌入在絕緣體 743 中的方式設置，較佳的是使佈線 759、絕緣體 743 等的頂面都平坦化。

[0236] 在絕緣體 743 上設置有絕緣體 744。

[0237] 這裡，在圖 7B 中，佈線 757 相當於圖 7A 所示的佈線 BL。同樣地，佈線 752 相當於佈線 WL，電極 783 相當於佈線 CL，導電體 104a 及障壁膜 105a 相當於佈線 BG。此外，包括電晶體 200 的閘極電極 715、電容器 130 的電極 781 及電晶體 100 的導電體 109c 的節點相當於圖 7A 所示的節點 FN。

[0238] 因為本發明的一個實施方式的半導體裝置包括電晶體 200、位於電晶體 200 的上方的電晶體 100 以及位於電晶體 100 的上方的電容器 130，所以藉由層疊它們可以縮小元件所占的面積。再者，藉由設置在電晶體 200 與電晶體 100 之間的障壁膜 103，可以抑制存在於其下層的水或氫等雜質擴散到電晶體 100 一側。

[0239] 在本實施方式中示出將電容器 130 配置在電晶體 100 的上方的例子，也可以將電容器 130 配置在其他位置上。例如，也可以在電晶體 200 與電晶體 100 之間配置電容器 130。此外，電容器 130 的電極也可以使用金屬或半導體材料。作為半導體材料較佳為使用添加有雜質的多晶矽。

[0240] 注意，可以將本實施方式的一部分或整體自由地組合於、應用於或替換為其他實施方式的一部分或整體而實施。

[0241]

實施方式 5

在本實施方式中，說明能夠適用於本發明的一個實施方式的半導體裝置的半導體的氧化物半導體。

[0242] 氧化物半導體具有 3.0eV 以上的高能隙。在包括以適當的條件對氧化物半導體進行加工並充分降低其載子密度而獲得的氧化物半導體膜的電晶體中，可以使關閉狀態下的源極與汲極之間的洩漏電流（關態電流）為比習知的使用矽的電晶體小得多。

[0243] 能夠應用的氧化物半導體較佳的是至少含有銦（In）或鋅（Zn）。尤其是較佳為包含 In 及 Zn。另外，作為用來減少使用該氧化物半導體的電晶體的電特性不均勻的穩定劑，較佳的是除了包含上述元素以外，還包含選自鎵（Ga）、錫（Sn）、鈦（Hf）、鋯（Zr）、鈦（Ti）、釷（Sc）、釷（Y）、鑰系元素（例如，鈾（Ce）、釹（Nd）、釷（Gd））中的一種或多種。

[0244] 例如，作為氧化物半導體可以使用氧化銦、氧化錫、氧化鋅、In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物、In-Ga-Zn 類氧化物（也稱為 IGZO）、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-Zr-Zn 類氧化物、In-Ti-Zn 類氧化物、In-Sc-Zn 類氧化物、In-Y-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、

In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物、In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。

[0245] 在此，“In-Ga-Zn 類氧化物”是指以 In、Ga 以及 Zn 為主要成分的氧化物，對 In、Ga 以及 Zn 的比例沒有限制。此外，也可以包含 In、Ga、Zn 以外的金屬元素。

[0246] 另外，作為氧化物半導體，也可以使用表示為 $\text{In}_{1+\alpha}\text{M}_{1-\alpha}\text{O}_3(\text{ZnO})_m$ ($-1 \leq \alpha \leq 1$ ， $m > 0$ 且 m 不是整數) 的材料。另外，M 表示選自 Ga、Fe、Mn 及 Co 中的一種或多種金屬元素或者用作上述穩定劑的元素。另外，作為氧化物半導體，也可以使用表示為 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n > 0$ 且 n 是整數) 的材料。

[0247] 例如，可以使用其原子數比為 In:Ga:Zn = 1:1:1、In:Ga:Zn = 1:3:2、In:Ga:Zn = 1:3:4、In:Ga:Zn = 1:3:6、In:Ga:Zn = 3:1:2 或 In:Ga:Zn = 2:1:3 的 In-Ga-Zn 類氧化物或接近於上述組成的氧化物。

[0248] 當氧化物半導體膜含有多量的氫時，該氫與氧化物半導體鍵合而使該氫的一部分成為施體，因此產生作為載子的電子。其結果是，導致電晶體的臨界電壓向負向漂移。因此，較佳的是藉由在形成氧化物半導體膜之後

進行脫水化處理（脫氫化處理），從氧化物半導體膜去除氫或水分來進行高度純化以使其儘量不包含雜質。

[0249] 另外，有時氧化物半導體膜中的氧也因脫水化處理（脫氫化處理）而被減少。因此，為了填補因對氧化物半導體膜的脫水化處理（脫氫化處理）而增加的氧缺陷，較佳的是將氧添加到氧化物半導體膜。在本說明書等中，有時將對氧化物半導體膜供應氧的情況稱為加氧化處理，或者，有時將使氧化物半導體膜的氧含量超過化學計量組成的情況稱為過氧化處理。

[0250] 如上所述，藉由進行脫水化處理（脫氫化處理）從氧化物半導體膜去除氫或水分，並進行加氧化處理以填補氧缺陷，可以得到被 i 型（本質）化的氧化物半導體膜或極其接近於 i 型而實質上呈 i 型（本質）的氧化物半導體膜。注意，“實質上本質”是指：在氧化物半導體膜中，來自於施體的載子極少（近於零），載子密度為 $1 \times 10^{17}/\text{cm}^3$ 以下， $1 \times 10^{16}/\text{cm}^3$ 以下， $1 \times 10^{15}/\text{cm}^3$ 以下， $1 \times 10^{14}/\text{cm}^3$ 以下， $1 \times 10^{13}/\text{cm}^3$ 以下。

[0251] 如此，具備 i 型或實質上呈 i 型的氧化物半導體膜的電晶體可以實現極為優良的關態電流特性。例如，可以將使用氧化物半導體膜的電晶體處於關閉狀態時的汲極電流在室溫（ 25°C 左右）下設定為 $1 \times 10^{-18}\text{A}$ 以下，較佳為 $1 \times 10^{-21}\text{A}$ 以下，更佳為 $1 \times 10^{-24}\text{A}$ 以下，或者，可以將汲極電流在 85°C 的溫度下設定為 $1 \times 10^{-15}\text{A}$ 以下，較佳為 $1 \times 10^{-18}\text{A}$ 以下，更佳為 $1 \times 10^{-21}\text{A}$ 以下。注意，“電晶體

處於關閉狀態”是指：在採用 n 通道型電晶體的情況下，閘極電壓充分小於臨界電壓的狀態。明確而言，在閘極電壓比臨界電壓小 1V 以上、2V 以上或 3V 以上時，電晶體成為關閉狀態。

[0252]

〈氧化物半導體的結構〉

下面說明氧化物半導體的結構。

[0253] 氧化物半導體被分為單晶氧化物半導體和非單晶氧化物半導體。作為非單晶氧化物半導體之例子有 CAAC-OS (C-Axis Aligned Crystalline Oxide Semiconductor: c 軸配向結晶氧化物半導體)、多晶氧化物半導體、微晶氧化物半導體以及非晶氧化物半導體等。

[0254] 從其他觀點看來，氧化物半導體被分為非晶氧化物半導體和結晶氧化物半導體。作為結晶氧化物半導體之例子有單晶氧化物半導體、CAAC-OS、多晶氧化物半導體以及微晶氧化物半導體等。

[0255]

〈CAAC-OS〉

首先，對 CAAC-OS 進行說明。注意，也可以將 CAAC-OS 稱為具有 CACN (C-Axis Aligned nanocrystals: c 軸配向奈米晶) 的氧化物半導體。

[0256] CAAC-OS 是包含多個 c 軸配向的結晶部 (也稱為顆粒) 的氧化物半導體之一。

[0257] 在利用穿透式電子顯微鏡 (TEM:

Transmission Electron Microscope) 觀察所得到的 CAAC-OS 的明視場影像與繞射圖案的複合分析影像 (也稱為高解析度 TEM 影像) 中, 觀察到多個顆粒。然而, 在高解析度 TEM 影像中, 觀察不到顆粒與顆粒之間的明確的邊界, 即晶界 (grain boundary)。因此, 可以說在 CAAC-OS 中, 不容易發生起因於晶界的電子移動率的降低。

[0258] 下面, 對利用 TEM 觀察的 CAAC-OS 進行說明。圖 14A 示出從大致平行於樣本面的方向觀察所得到的 CAAC-OS 的剖面的高解析度 TEM 影像。利用球面像差校正 (Spherical Aberration Corrector) 功能得到高解析度 TEM 影像。將利用球面像差校正功能所得到的高解析度 TEM 影像特別稱為 Cs 校正高解析度 TEM 影像。例如可以使用日本電子株式會社製造的原子解析度分析型電子顯微鏡 JEM-ARM200F 等得到 Cs 校正高解析度 TEM 影像。

[0259] 圖 14B 示出將圖 14A 中的區域 (1) 放大的 Cs 校正高解析度 TEM 影像。由圖 14B 可以確認到在顆粒中金屬原子排列為層狀。各金屬原子層具有反映了形成 CAAC-OS 膜的面 (也稱為被形成面) 或 CAAC-OS 膜的頂面的凸凹的配置並以平行於 CAAC-OS 的被形成面或頂面的方式排列。

[0260] 如圖 14B 所示, CAAC-OS 具有特有的原子排列。圖 14C 是以輔助線示出特有的原子排列的圖。由圖 14B 和圖 14C 可知, 一個顆粒的尺寸為 1nm 以上且 3nm 以下左右, 由顆粒與顆粒之間的傾斜產生的空隙的尺寸為

0.8nm 左右。因此，也可以將顆粒稱為奈米晶（nc：nanocrystal）。

[0261] 在此，根據 Cs 校正高解析度 TEM 影像，將基板 5120 上的 CAAC-OS 的顆粒 5100 的配置示意性地表示為堆積磚塊或塊體的結構（參照圖 14D）。在圖 14C 中觀察到的在顆粒與顆粒之間產生傾斜的部分相當於圖 14D 所示的區域 5161。

[0262] 圖 15A 示出從大致垂直於樣本面的方向觀察所得到的 CAAC-OS 的平面的 Cs 校正高解析度 TEM 影像。圖 15B、圖 15C 和圖 15D 分別示出將圖 15A 中的區域（1）、區域（2）和區域（3）放大的 Cs 校正高解析度 TEM 影像。由圖 15B、圖 15C 和圖 15D 可知在顆粒中金屬原子排列為三角形狀、四角形狀或六角形狀。但是，在不同的顆粒之間金屬原子的排列沒有規律性。

[0263] 接著，說明使用 X 射線繞射（XRD：X-Ray Diffraction）裝置進行分析的 CAAC-OS。例如，當利用 out-of-plane 法分析包含 InGaZnO_4 結晶的 CAAC-OS 的結構時，如圖 16A 所示，在繞射角（ 2θ ）為 31° 附近時常出現峰值。由於該峰值來源於 InGaZnO_4 結晶的（009）面，由此可知 CAAC-OS 中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於被形成面或頂面的方向。

[0264] 注意，當利用 out-of-plane 法分析 CAAC-OS 的結構時，除了 2θ 為 31° 附近的峰值以外，有時在 2θ 為 36° 附近時也出現峰值。 2θ 為 36° 附近的峰值表示 CAAC-

OS 中的一部分包含不具有 c 軸配向性的結晶。較佳的是，在利用 out-of-plane 法分析的 CAAC-OS 的結構中，在 2θ 為 31° 附近時出現峰值而在 2θ 為 36° 附近時不出現峰值。

[0265] 另一方面，當利用從大致垂直於 c 軸的方向使 X 射線入射到樣本的 in-plane 法分析 CAAC-OS 的結構時，在 2θ 為 56° 附近時出現峰值。該峰值來源於 InGaZnO_4 結晶的 (110) 面。在 CAAC-OS 中，即使將 2θ 固定為 56° 附近並在以樣本面的法線向量為軸 (ϕ 軸) 旋轉樣本的條件下進行分析 (ϕ 掃描)，也如圖 16B 所示的那樣觀察不到明確的峰值。相比之下，在 InGaZnO_4 的單晶氧化物半導體中，在將 2θ 固定為 56° 附近來進行 ϕ 掃描時，如圖 16C 所示的那樣觀察到來源於相等於 (110) 面的結晶面的六個峰值。因此，由使用 XRD 的結構分析可以確認到 CAAC-OS 中的 a 軸和 b 軸的配向沒有規律性。

[0266] 接著，說明利用電子繞射進行分析的 CAAC-OS。例如，當對包含 InGaZnO_4 結晶的 CAAC-OS 在平行於樣本面的方向上入射束徑為 300nm 的電子線時，可能會獲得圖 17A 所示的繞射圖案（也稱為選區透過電子繞射圖案）。在該繞射圖案中包含起因於 InGaZnO_4 結晶的 (009) 面的斑點。因此，由電子繞射也可知 CAAC-OS 所包含的顆粒具有 c 軸配向性，並且 c 軸朝向大致垂直於被形成面或頂面的方向。另一方面，圖 17B 示出對相同的樣本在垂直於樣本面的方向上入射束徑為 300nm 的電子線

時的繞射圖案。由圖 17B 觀察到環狀的繞射圖案。因此，由電子繞射也可知 CAAC-OS 所包含的顆粒的 a 軸和 b 軸不具有配向性。可以認為圖 17B 中的第一環起因於 InGaZnO_4 結晶的 (010) 面和 (100) 面等。另外，可以認為圖 17B 中的第二環起因於 (110) 面等。

[0267] 另外，CAAC-OS 是缺陷態密度低的氧化物半導體。氧化物半導體的缺陷例如有起因於雜質的缺陷、氧缺損等。因此，可以將 CAAC-OS 稱為雜質濃度低的氧化物半導體或者氧缺損少的氧化物半導體。

[0268] 包含於氧化物半導體的雜質有時會成為載子陷阱或載子發生源。另外，氧化物半導體中的氧缺損有時會成為載子陷阱或因俘獲氫而成為載子發生源。

[0269] 此外，雜質是指氧化物半導體的主要成分以外的元素，諸如氫、碳、矽和過渡金屬元素等。例如，與氧的鍵合力比構成氧化物半導體的金屬元素強的矽等元素會奪取氧化物半導體中的氧，由此打亂氧化物半導體的原子排列，導致結晶性下降。另外，由於鐵或鎳等的重金屬、氫、二氧化碳等的原子半徑（或分子半徑）大，所以會打亂氧化物半導體的原子排列，導致結晶性下降。

[0270] 缺陷態密度低（氧缺損少）的氧化物半導體可以具有低載子密度。將這樣的氧化物半導體稱為高純度本質或實質上高純度本質的氧化物半導體。CAAC-OS 的雜質濃度和缺陷態密度低。也就是說，CAAC-OS 容易成為高純度本質或實質上高純度本質的氧化物半導體。因

此，使用 CAAC-OS 的電晶體很少具有負臨界電壓的電特性（很少成為常開啟）。高純度本質或實質上高純度本質的氧化物半導體的載子陷阱少。被氧化物半導體的載子陷阱俘獲的電荷需要很長時間才能被釋放，並且有時像固定電荷那樣動作。因此，使用雜質濃度高且缺陷態密度高的氧化物半導體的電晶體有時電特性不穩定。但是，使用 CAAC-OS 的電晶體電特性變動小且可靠性高。

[0271] 由於 CAAC-OS 的缺陷態密度低，所以因光照射等而生成的載子很少被缺陷能階俘獲。因此，在使用 CAAC-OS 的電晶體中，起因於可見光或紫外光的照射的電特性的變動小。

[0272]

〈微晶氧化物半導體〉

接著說明微晶氧化物半導體。

[0273] 在微晶氧化物半導體的高解析度 TEM 影像中有能夠觀察到結晶部的區域和觀察不到明確的結晶部的區域。微晶氧化物半導體所包含的結晶部的尺寸大多為 1nm 以上且 100nm 以下或 1nm 以上且 10nm 以下。尤其是，將包含尺寸為 1nm 以上且 10nm 以下或 1nm 以上且 3nm 以下的微晶的奈米晶的氧化物半導體稱為 nc-OS (nanocrystalline Oxide Semiconductor: 奈米晶氧化物半導體)。例如，在 nc-OS 的高解析度 TEM 影像中，有時無法明確地觀察到晶界。注意，奈米晶的來源有可能與 CAAC-OS 中的顆粒相同。因此，下面有時將 nc-OS 的結

晶部稱為顆粒。

[0274] 在 nc-OS 中，微小的區域（例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域）中的原子排列具有週期性。另外，nc-OS 在不同的顆粒之間觀察不到結晶定向的規律性。因此，在膜整體中觀察不到配向性。所以，有時 nc-OS 在某些分析方法中與非晶氧化物半導體沒有差別。例如，當利用使用其束徑比顆粒大的 X 射線的 XRD 裝置藉由 out-of-plane 法對 nc-OS 進行結構分析時，檢測不到表示結晶面的峰值。在使用其束徑比顆粒大（例如，50nm 以上）的電子射線對 nc-OS 進行電子繞射（選區電子繞射）時，觀察到類似光暈圖案的繞射圖案。另一方面，在使用其束徑近於顆粒或者比顆粒小的電子射線對 nc-OS 進行奈米束電子繞射時，觀察到斑點。另外，在 nc-OS 的奈米束電子繞射圖案中，有時觀察到如圓圈那樣的（環狀的）亮度高的區域。而且，在 nc-OS 的奈米束電子繞射圖案中，有時還觀察到環狀的區域內的多個斑點。

[0275] 如此，由於在顆粒（奈米晶）之間結晶定向都沒有規律性，所以也可以將 nc-OS 稱為包含 RANC（Random Aligned nanocrystals：無規配向奈米晶）的氧化物半導體或包含 NANC（Non-Aligned nanocrystals：無配向奈米晶）的氧化物半導體。

[0276] nc-OS 是規律性比非晶氧化物半導體高的氧化物半導體。因此，nc-OS 的缺陷態密度比非晶氧化物半導

體低。但是，在 nc-OS 中的不同的顆粒之間觀察不到晶體配向的規律性。所以，nc-OS 的缺陷態密度比 CAAC-OS 高。

[0277]

〈非晶氧化物半導體〉

接著，說明非晶氧化物半導體。

[0278] 非晶氧化物半導體是膜中的原子排列沒有規律且不具有結晶部的氧化物半導體。其一個例子為具有如石英那樣的無定形態的氧化物半導體。

[0279] 在非晶氧化物半導體的高解析度 TEM 影像中無法發現結晶部。

[0280] 在使用 XRD 裝置藉由 out-of-plane 法對非晶氧化物半導體進行結構分析時，檢測不到表示結晶面的峰值。在對非晶氧化物半導體進行電子繞射時，觀察到光暈圖案。在對非晶氧化物半導體進行奈米束電子繞射時，觀察不到斑點而只觀察到光暈圖案。

[0281] 關於非晶結構有各種見解。例如，有時將原子排列完全沒有規律性的結構稱為完全的非晶結構（completely amorphous structure）。也有時將到最接近原子間距或到第二接近原子間距具有規律性，並且不是長程有序的結構稱為非晶結構。因此，根據最嚴格的定義，即使是略微具有原子排列的規律性的氧化物半導體也不能被稱為非晶氧化物半導體。至少不能將長程有序的氧化物半導體稱為非晶氧化物半導體。因此，由於具有結晶部，

例如不能將 CAAC-OS 和 nc-OS 稱為非晶氧化物半導體或完全的非晶氧化物半導體。

[0282]

〈amorphous-like 氧化物半導體〉

注意，氧化物半導體有時具有介於 nc-OS 與非晶氧化物半導體之間的結構。將具有這樣的結構的氧化物半導體特別稱為 amorphous-like 氧化物半導體（a-like OS：amorphous-like Oxide Semiconductor）。

[0283] 在 a-like OS 的高解析度 TEM 影像中有時觀察到空洞（void）。另外，在高解析度 TEM 影像中，有能夠明確地觀察到結晶部的區域和不能觀察到結晶部的區域。

[0284] 由於 a-like OS 包含空洞，所以其結構不穩定。為了證明與 CAAC-OS 及 nc-OS 相比 a-like OS 具有不穩定的結構，下面示出電子照射所導致的結構變化。

[0285] 作為進行電子照射的樣本，準備 a-like OS（樣本 A）、nc-OS（樣本 B）和 CAAC-OS（樣本 C）。每個樣本都是 In-Ga-Zn 氧化物。

[0286] 首先，取得各樣本的高解析度剖面 TEM 影像。由高解析度剖面 TEM 影像可知，每個樣本都具有結晶部。

[0287] 注意，如下那樣決定將哪個部分作為一個結晶部。例如，已知 InGaZnO_4 結晶的單位晶格具有包括三個 In-O 層和六個 Ga-Zn-O 層的 9 個層在 c 軸方向上以層

狀層疊的結構。這些彼此靠近的層的間隔與 (009) 面的晶格表面間隔 (也稱為 d 值) 是幾乎相等的, 由結晶結構分析求出其值為 0.29nm 。由此, 可以將晶格條紋的間隔為 0.28nm 以上且 0.30nm 以下的部分作為 InGaZnO_4 結晶部。每個晶格條紋對應於 InGaZnO_4 結晶的 a - b 面。

[0288] 圖 18 示出調查了各樣本的結晶部 (22 個部分至 45 個部分) 的平均尺寸的例子。注意, 結晶部尺寸對應於上述晶格條紋的長度。由圖 18 可知, 在 a -like OS 中, 結晶部根據電子的累積照射量逐漸變大。明確而言, 如圖 18 中的 (1) 所示, 可知在利用 TEM 的觀察初期尺寸為 1.2nm 左右的結晶部 (也稱為初始晶核) 在累積照射量為 $4.2 \times 10^8 \text{e}^-/\text{nm}^2$ 時生長到 2.6nm 左右。另一方面, 可知 nc -OS 和 $CAAC$ -OS 在開始電子照射時到電子的累積照射量為 $4.2 \times 10^8 \text{e}^-/\text{nm}^2$ 的範圍內, 結晶部的尺寸都沒有變化。明確而言, 如圖 18 中的 (2) 及 (3) 所示, 可知無論電子的累積照射量如何, nc -OS 及 $CAAC$ -OS 的平均結晶部尺寸都分別為 1.4nm 左右及 2.1nm 左右。

[0289] 如此, 有時電子照射引起 a -like OS 中的結晶部的生長。另一方面, 可知在 nc -OS 和 $CAAC$ -OS 中, 幾乎沒有電子照射所引起的結晶部的生長。也就是說, a -like OS 與 $CAAC$ -OS 及 nc -OS 相比具有不穩定的結構。

[0290] 此外, 由於 a -like OS 包含空洞, 所以其密度比 nc -OS 及 $CAAC$ -OS 低。具體地, a -like OS 的密度為具有相同組成的單晶氧化物半導體的 78.6% 以上且小於

92.3%。nc-OS 的密度及 CAAC-OS 的密度為具有相同組成的單晶氧化物半導體的 92.3%以上且小於 100%。注意，難以形成其密度小於單晶氧化物半導體的密度的 78%的氧化物半導體。

[0291] 例如，在原子數比滿足 $\text{In:Ga:Zn}=1:1:1$ 的氧化物半導體中，具有菱方晶系結構的單晶 InGaZnO_4 的密度為 6.357g/cm^3 。因此，例如，在原子數比滿足 $\text{In:Ga:Zn}=1:1:1$ 的氧化物半導體中，a-like OS 的密度為 5.0g/cm^3 以上且小於 5.9g/cm^3 。另外，例如，在原子數比滿足 $\text{In:Ga:Zn}=1:1:1$ 的氧化物半導體中，nc-OS 的密度和 CAAC-OS 的密度為 5.9g/cm^3 以上且小於 6.3g/cm^3 。

[0292] 注意，有時不存在相同組成的單晶。此時，藉由以任意比例組合組成不同的單晶氧化物半導體，可以估計出相當於所希望的組成的單晶氧化物半導體的密度。根據組成不同的單晶的組合比例使用加權平均計算出相當於所希望的組成的單晶氧化物半導體的密度即可。注意，較佳的是儘可能減少所組合的單晶氧化物半導體的種類來計算密度。

[0293] 如上所述，氧化物半導體具有各種結構及各種特性。注意，氧化物半導體例如可以是包括非晶氧化物半導體、a-like OS、微晶氧化物半導體和 CAAC-OS 中的兩種以上的疊層膜。

[0294]

〈成膜模型〉

下面對 CAAC-OS 和 nc-OS 的成膜模型的一個例子進行說明。

[0295] 圖 19A 是示出利用濺射法形成 CAAC-OS 的狀況的成膜室內的示意圖。

[0296] 靶材 5130 被黏合到底板上。在隔著底板與靶材 5130 相對的位置配置多個磁鐵。由該多個磁鐵產生磁場。利用磁鐵的磁場提高沉積速度的濺射法被稱為磁控濺射法。

[0297] 基板 5120 以與靶材 5130 相對的方式配置，其距離 d （也稱為靶材與基板之間的距離（T-S 間距離））為 0.01m 以上且 1m 以下，較佳為 0.02m 以上且 0.5m 以下。成膜室內幾乎被成膜氣體（例如，氧、氬或包含 5vol% 以上的氧的混合氣體）充滿，並且成膜室內的壓力被控制為 0.01Pa 以上且 100Pa 以下，較佳為 0.1Pa 以上且 10Pa 以下。在此，藉由對靶材 5130 施加一定程度以上的電壓，開始放電且確認到電漿。由磁場在靶材 5130 附近形成高密度電漿區域。在高密度電漿區域中，因成膜氣體的離子化而產生離子 5101。離子 5101 之例子包括氧的陽離子（ O^+ ）或氬的陽離子（ Ar^+ ）等。

[0298] 這裡，靶材 5130 具有包括多個晶粒的多晶結構，其中至少一個晶粒包括劈開面。作為一個例子，圖 20A 示出靶材 5130 所包含的 $InGaZnO_4$ 結晶的結構。注意，圖 20A 示出從平行於 b 軸的方向觀察 $InGaZnO_4$ 結晶時的結構。由圖 20A 可知，在靠近的兩個 Ga-Zn-O 層

中，每個層中的氧原子彼此配置得很近。並且，藉由氧原子具有負電荷，在靠近的兩個 Ga-Zn-O 層之間產生斥力。其結果， InGaZnO_4 結晶在靠近的兩個 Ga-Zn-O 層之間具有劈開面。

[0299] 在高密度電漿區域產生的離子 5101 由電場向靶材 5130 一側被加速而碰撞到靶材 5130。此時，平板狀或顆粒狀的濺射粒子的顆粒 5100a 和顆粒 5100b 從劈開面剝離而濺出。注意，顆粒 5100a 和顆粒 5100b 的結構有時會因離子 5101 碰撞的衝擊而產生畸變。

[0300] 顆粒 5100a 是具有三角形（例如正三角形）的平面的平板狀或顆粒狀的濺射粒子。顆粒 5100b 是具有六角形（例如正六角形）的平面的平板狀或顆粒狀的濺射粒子。注意，將顆粒 5100a 和顆粒 5100b 等平板狀或顆粒狀的濺射粒子總稱為顆粒 5100。顆粒 5100 的平面的形狀不侷限於三角形或六角形。例如，有時為組合多個三角形的形狀。例如，還有時為組合兩個三角形（例如正三角形）的四角形（例如菱形）。

[0301] 根據成膜氣體的种类等決定顆粒 5100 的厚度。顆粒 5100 的厚度較佳為均勻的，其理由在後面說明。另外，與厚度大的骰子狀相比，濺射粒子較佳為厚度小的顆粒狀。例如，顆粒 5100 的厚度為 0.4nm 以上且 1nm 以下，較佳為 0.6nm 以上且 0.8nm 以下。另外，例如，顆粒 5100 的寬度為 1nm 以上且 3nm 以下，較佳為 1.2nm 以上且 2.5nm 以下。顆粒 5100 相當於在上述圖 18

中的 (1) 所說明的初始晶核。例如，在使離子 5101 碰撞包含 In-Ga-Zn 氧化物的靶材 5130 的情況下，如圖 20B 所示，包含 Ga-Zn-O 層、In-O 層和 Ga-Zn-O 層的三個層的顆粒 5100 剝離。圖 20C 示出從平行於 c 軸的方向觀察剝離的顆粒 5100 時的結構。可以將顆粒 5100 的結構稱為包含兩個 Ga-Zn-O 層（麵包片）和 In-O 層（餡）的奈米尺寸的三明治結構。

[0302] 有時顆粒 5100 在穿過電漿時，其側面帶負電或帶正電。例如，在顆粒 5100 中，位於其側面的氧原子有可能帶負電。因側面帶相同極性的電荷而電荷相互排斥，從而可以維持平板形狀或顆粒形狀。當 CAAC-OS 是 In-Ga-Zn 氧化物時，與銦原子鍵合的氧原子有可能帶負電。或者，與銦原子、鎵原子或鋅原子鍵合的氧原子有可能帶負電。另外，有時顆粒 5100 在穿過電漿時與電漿中的銦原子、鎵原子、鋅原子和氧原子等鍵合而生長。上述圖 18 中的 (2) 和 (1) 的尺寸的差異相當於電漿中的生長程度。在此，當基板 5120 的溫度為室溫左右時，不容易產生基板 5120 上的顆粒 5100 的生長，因此成為 nc-OS（參照圖 19B）。由於能夠在室溫左右的溫度下進行成膜，即使基板 5120 的面積大也能夠形成 nc-OS。注意，為了使顆粒 5100 在電漿中生長，提高濺射法中的成膜功率是有效的。藉由提高成膜功率，可以使顆粒 5100 的結構穩定。

[0303] 如圖 19A 和圖 19B 所示，例如顆粒 5100 像風

箏那樣在電漿中飛著，並輕飄飄地飛到基板 5120 上。由於顆粒 5100 帶有電荷，所以在它靠近其他顆粒 5100 已沉積的區域時產生斥力。在此，在基板 5120 的頂面產生平行於基板 5120 頂面的磁場（也稱為水平磁場）。另外，由於在基板 5120 與靶材 5130 之間有電位差，所以電流從基板 5120 向靶材 5130 流過。因此，顆粒 5100 在基板 5120 頂面受到由磁場和電流的作用引起的力量（勞侖茲力）。這可以由弗萊明左手定則得到解釋。

[0304] 顆粒 5100 的質量比一個原子大。因此，為了在基板 5120 頂面移動，重要的是從外部施加某些力量。該力量之一有可能是由磁場和電流的作用產生的力量。為了對顆粒 5100 施加充分的力量以便顆粒 5100 在基板 5120 頂面移動，較佳的是在基板 5120 頂面設置平行於基板 5120 頂面的磁場為 10G 以上，較佳為 20G 以上，更佳為 30G 以上，進一步較佳為 50G 以上的區域。或者，較佳的是在基板 5120 頂面設置平行於基板 5120 頂面的磁場為垂直於基板 5120 頂面的磁場的 1.5 倍以上，較佳為 2 倍以上，更佳為 3 倍以上，進一步較佳為 5 倍以上的區域。

[0305] 此時，藉由磁鐵與基板 5120 相對地移動或旋轉，基板 5120 頂面的水平磁場的方向不斷地變化。因此，在基板 5120 頂面，顆粒 5100 受到各種方向的力量而可以向各種方向移動。

[0306] 另外，如圖 19A 所示，當基板 5120 被加熱

時，顆粒 5100 與基板 5120 之間的由摩擦等引起的電阻小。其結果，顆粒 5100 在基板 5120 頂面下滑。顆粒 5100 的移動發生在使其平板面朝向基板 5120 的狀態下。然後，當顆粒 5100 到達已沉積的其他顆粒 5100 的側面時，它們的側面彼此鍵合。此時，顆粒 5100 的側面的氧原子脫離。CAAC-OS 中的氧缺損有時被所脫離的氧原子填補，因此形成缺陷態密度低的 CAAC-OS。注意，基板 5120 的頂面溫度例如為 100°C 以上且低於 500°C、150°C 以上且低於 450°C 或 170°C 以上且低於 400°C 即可。因此，即使基板 5120 的面積大也能夠形成 CAAC-OS。

[0307] 另外，藉由在基板 5120 上加熱顆粒 5100，原子重新排列，從而離子 5101 的碰撞所引起的結構畸變得到緩和。畸變得到緩和的顆粒 5100 幾乎成為單晶。由於顆粒 5100 幾乎成為單晶，即使顆粒 5100 在彼此鍵合之後被加熱也幾乎不會發生顆粒 5100 本身的伸縮。因此，不會發生顆粒 5100 之間的空隙擴大導致晶界等缺陷的形成而成為裂縫 (crevasse) 的情況。

[0308] CAAC-OS 不是如一張平板的單晶氧化物半導體，而是具有如磚塊或塊體堆積起來那樣的顆粒 5100 (奈米晶) 的集合體的排列的結構。另外，顆粒 5100 之間沒有晶界。因此，即使因成膜時的加熱、成膜後的加熱或彎曲等而發生 CAAC-OS 的收縮等變形，也能夠緩和局部應力或解除畸變。因此，這是適合用於具有撓性的半導體裝置的結構。注意，nc-OS 具有顆粒 5100 (奈米晶) 無

序地堆積起來那樣的排列。

[0309] 當使離子 5101 碰撞靶材 5130 時，有時不僅是顆粒 5100，氧化鋅等也剝離。氧化鋅比顆粒 5100 輕，因此先到達基板 5120 的頂面。並且形成 0.1nm 以上且 10nm 以下、0.2nm 以上且 5nm 以下或 0.5nm 以上且 2nm 以下的氧化鋅層 5102。圖 21A 至圖 21D 示出剖面示意圖。

[0310] 如圖 21A 所示，在氧化鋅層 5102 上沉積顆粒 5105a 和顆粒 5105b。在此，顆粒 5105a 和顆粒 5105b 的側面彼此接觸。另外，顆粒 5105c 在沉積到顆粒 5105b 上後，在顆粒 5105b 上滑動。此外，在顆粒 5105a 的其他側面上，與氧化鋅一起從靶材剝離的多個粒子 5103 因來自基板 5120 的熱量而晶化，由此形成區域 5105a1。注意，多個粒子 5103 有可能包含氧、鋅、銦和鎵等。

[0311] 然後，如圖 21B 所示，區域 5105a1 與顆粒 5105a 變為一體而成為顆粒 5105a2。另外，顆粒 5105c 的側面與顆粒 5105b 的其他側面接觸。

[0312] 接著，如圖 21C 所示，顆粒 5105d 在沉積到顆粒 5105a2 上和顆粒 5105b 上後，在顆粒 5105a2 上和顆粒 5105b 上滑動。另外，顆粒 5105e 在氧化鋅層 5102 上向顆粒 5105c 的其他側面滑動。

[0313] 然後，如圖 21D 所示，顆粒 5105d 的側面與顆粒 5105a2 的側面接觸。另外，顆粒 5105e 的側面與顆粒 5105c 的其他側面接觸。此外，在顆粒 5105d 的其他側

面上，與氧化鋅一起從靶材 5130 剝離的多個粒子 5103 因來自基板 5120 的熱量而晶化，由此形成區域 5105d1。

[0314] 如上所述，藉由所沉積的顆粒彼此接觸，並且在顆粒的側面發生生長，在基板 5120 上形成 CAAC-OS。因此，CAAC-OS 的顆粒的每一個都比 nc-OS 的顆粒大。上述圖 18 中的 (3) 和 (2) 的尺寸的差異相當於沉積之後的生長程度。

[0315] 當顆粒彼此之間的空隙極小時，有時形成有一個大顆粒。一個大顆粒具有單晶結構。例如，從頂面看來顆粒的尺寸有時為 10nm 以上且 200nm 以下、15nm 以上且 100nm 以下或 20nm 以上且 50nm 以下。此時，有時在用於微型的電晶體的氧化物半導體中，通道形成區域容納在一個大顆粒中。也就是說，可以將具有單晶結構的區域用作通道形成區域。另外，當顆粒變大時，有時可以將具有單晶結構的區域用作電晶體的通道形成區域、源極區域和汲極區域。

[0316] 如此，藉由電晶體的通道形成區域等形成在具有單晶結構的區域中，有時可以提高電晶體的頻率特性。

[0317] 如上述模型那樣，可以認為顆粒 5100 沉積到基板 5120 上。因此，可知即使被形成面不具有結晶結構，也能夠形成 CAAC-OS，這是與磊晶生長不同的。此外，CAAC-OS 不需要雷射晶化，並且在大面積的玻璃基板等上也能夠均勻地進行成膜。例如，即使基板 5120 的

頂面（被形成面）結構為非晶結構（例如非晶氧化矽），也能夠形成 CAAC-OS。

[0318] 另外，可知即使作為被形成面的基板 5120 頂面具有凹凸，在 CAAC-OS 中顆粒 5100 也根據基板 5120 頂面的形狀排列。例如，當基板 5120 的頂面在原子級別上平坦時，顆粒 5100 以使其平行於 a-b 面的平板面朝下的方式排列。當顆粒 5100 的厚度均勻時，形成厚度均勻、平坦且結晶性高的層。並且，藉由層疊 n 個（n 是自然數）該層，可以得到 CAAC-OS。

[0319] 另一方面，在基板 5120 的頂面具有凹凸的情況下，CAAC-OS 也具有顆粒 5100 沿凹凸排列的層層疊為 n 個（n 是自然數）層的結構。由於基板 5120 具有凹凸，在 CAAC-OS 中有時容易在顆粒 5100 之間產生空隙。注意，此時，由於在顆粒 5100 之間產生分子間力，所以即使有凹凸，顆粒也以儘可能地減小它們之間的空隙的方式排列。因此，即使有凹凸也可以得到結晶性高的 CAAC-OS。

[0320] 因為根據這樣的模型形成 CAAC-OS，所以濺射粒子較佳為厚度小的顆粒狀。注意，當濺射粒子為厚度大的骰子狀時，朝向基板 5120 上的面不固定，所以有時不能使厚度或結晶的配向均勻。

[0321] 根據上述成膜模型，即使在具有非晶結構的被形成面上也可以形成結晶性高的 CAAC-OS。

[0322] 本實施方式的至少一部分可以與本說明書所

記載的其他實施方式適當地組合而實施。

[0323]

實施方式 6

在本實施方式中，參照圖式對本發明的一個實施方式的電晶體的電路的一個例子進行說明。

[0324]

[電路結構實例]

在上述實施方式所示的結構中，藉由改變電晶體或佈線、電極的連接結構，可以構成各種電路。下面說明藉由使用本發明的一個實施方式的半導體裝置來可以實現的電路結構的例子。

[0325]

[CMOS 電路]

圖 22A 所示的電路圖示出所謂的 CMOS 電路的結構，其中將 p 通道電晶體 1701 和 n 通道電晶體 1700 串聯連接且將各閘極連接。注意，在圖式中，對將氧化物半導體用於半導體的電晶體附上“OS”的符號。

[0326]

[類比開關]

圖 22B 所示的電路圖示出將電晶體 1700 和電晶體 1701 的各源極和汲極連接的結構。藉由採用該結構，可以將其用作所謂的類比開關。

[0327]

[記憶體裝置的例子]

圖 22C 示出半導體裝置（記憶體裝置）的一個例子，該半導體裝置（記憶體裝置）使用本發明的一個實施方式的電晶體，即使在沒有電力供應的情況下也能夠保持儲存內容，並且，對寫入次數也沒有限制。

[0328] 在圖 22C 所示的半導體裝置包括：使用第一半導體材料的電晶體 3200；將氧化物半導體用於半導體的電晶體 3300；以及電容元件 3400。作為電晶體 3300，可以使用在上述實施方式中例示的電晶體。

[0329] 電晶體 3300 是其通道形成在具有氧化物半導體的半導體中的電晶體。因為電晶體 3300 的關態電流小，所以藉由使用該電晶體，可以長期保持儲存內容。換言之，因為可以製造不需要更新工作或更新工作的頻率極低的半導體記憶體裝置，所以可以充分降低功耗。

[0330] 在圖 22C 中，第一佈線 3001 與電晶體 3200 的源極電極電連接，第二佈線 3002 與電晶體 3200 的汲極電極電連接。此外，第三佈線 3003 與電晶體 3300 的源極電極和汲極電極中的一個電連接，第四佈線 3004 與電晶體 3300 的閘極電極電連接。並且，電晶體 3200 的閘極電極及電晶體 3300 的源極電極和汲極電極中的另一個與電容元件 3400 的電極的一個電連接，第五佈線 3005 與電容元件 3400 的電極的另一個電連接。

[0331] 在圖 22C 所示的半導體裝置中，藉由有效地利用能夠保持電晶體 3200 的閘極電極的電位的特徵，可以像如下所示那樣進行資料的寫入、保持以及讀出。

[0332] 對資料的寫入及保持進行說明。首先，將第四佈線 3004 的電位設定為使電晶體 3300 成為開啟狀態的電位，使電晶體 3300 成為開啟狀態。由此，第三佈線 3003 的電位供應到電晶體 3200 的閘極電極及電容元件 3400。換言之，對電晶體 3200 的閘極電極供應規定的電荷（寫入）。這裡，供應賦予兩種不同電位位準的電荷（以下，稱為低位準電荷、高位準電荷）中的任一種。然後，藉由將第四佈線 3004 的電位設定為使電晶體 3300 成為關閉狀態的電位，來使電晶體 3300 成為關閉狀態，而保持供應到電晶體 3200 的閘極電極的電荷（保持）。

[0333] 因為電晶體 3300 的關態電流極小，所以電晶體 3200 的閘極電極的電荷被長時間地保持。

[0334] 接著，對資料的讀出進行說明。當在對第一佈線 3001 供應規定的電位（恆電位）的狀態下對第五佈線 3005 供應適當的電位（讀出電位）時，根據保持在電晶體 3200 的閘極電極中的電荷量，第二佈線 3002 具有不同的電位。這是因為如下緣故：一般而言，在電晶體 3200 為 n 通道電晶體的情況下，對電晶體 3200 的閘極電極供應高位準電荷時的外觀上的臨界電壓 V_{th_H} 低於對電晶體 3200 的閘極電極供應低位準電荷時的外觀上的臨界電壓 V_{th_L} 。在此，外觀上的臨界電壓是指為了使電晶體 3200 成為“開啟狀態”所需要的第五佈線 3005 的電位。因此，藉由將第五佈線 3005 的電位設定為 V_{th_H} 與 V_{th_L} 之間的電位 V_0 ，可以辨別供應到電晶體 3200 的閘極電極的

電荷。例如，在寫入時被供應高位準電荷的情況下，如果第五佈線 3005 的電位為 $V_0(>V_{th_H})$ ，電晶體 3200 成為“開啟狀態”。當被供應低位準電荷時，即使第五佈線 3005 的電位為 $V_0(<V_{th_L})$ ，電晶體 3200 依然是“關閉狀態”。因此，藉由辨別第二佈線 3002 的電位，可以讀出所保持的資料。

[0335] 注意，當將記憶單元配置為陣列狀時，需要僅讀出所希望的記憶單元的資料。如此，當不讀出資料時，對第五佈線 3005 供應不管閘極電極的狀態如何都使電晶體 3200 成為“關閉狀態”的電位，即小於 V_{th_H} 的電位，即可。或者，對第五佈線 3005 供應不管閘極電極的狀態如何都使電晶體 3200 成為“開啟狀態”的電位，即大於 V_{th_L} 的電位，即可。

[0336] 圖 22D 所示的半導體裝置與圖 22C 所示的半導體裝置之間的主要不同點是圖 22D 所示的半導體裝置沒有設置電晶體 3200。在此情況下也可以藉由與上述相同的工作進行資料的寫入及保持工作。

[0337] 接著，對資料的讀出進行說明。在電晶體 3300 成為開啟狀態時，處於浮動狀態的第三佈線 3003 和電容元件 3400 導通，且在第三佈線 3003 和電容元件 3400 之間再次分配電荷。其結果是，第三佈線 3003 的電位產生變化。第三佈線 3003 的電位的變化量根據電容元件 3400 的第一電極的電位（或積累在電容元件 3400 中的電荷）而具有不同的值。

[0338] 例如，在電容元件 3400 的第一電極的電位為 V ，電容元件 3400 的電容為 C ，第三佈線 3003 所具有的電容成分為 CB ，再次分配電荷之前的第三佈線 3003 的電位為 VB_0 時，再次分配電荷之後的第三佈線 3003 的電位為 $(CB \times VB_0 + C \times V) / (CB + C)$ 。因此，在假定作為記憶單元的狀態，電容元件 3400 的第一電極的電位成為兩種狀態，即 V_1 和 V_0 ($V_1 > V_0$) 時，可以知道保持電位 V_1 時的第三佈線 3003 的電位 ($= (CB \times VB_0 + C \times V_1) / (CB + C)$) 高於保持電位 V_0 時的第三佈線 3003 的電位 ($= (CB \times VB_0 + C \times V_0) / (CB + C)$)。

[0339] 藉由對第三佈線 3003 的電位和規定的電位進行比較，可以讀出資料。

[0340] 在此情況下，可以將使用上述第一半導體材料的電晶體用於用來驅動記憶單元的驅動電路，並在該驅動電路上作為電晶體 3300 層疊將氧化物半導體用於半導體的電晶體。

[0341] 在本實施方式所示的半導體裝置中，藉由使用將氧化物半導體用於通道形成區域的關態電流極小的電晶體，可以在極長的期間內保持儲存內容。換言之，因為不需要進行更新工作，或者，可以使更新工作的頻率極低，所以可以充分降低功耗。另外，即使在沒有電力供應的情況下（注意，較佳的是固定電位），也可以長期保持儲存內容。

[0342] 另外，在本實施方式所示的半導體裝置中，

資料的寫入不需要高電壓，而且也沒有元件劣化的問題。例如，由於不需要如習知的非揮發性記憶體那樣地對浮動閘極注入電子或從浮動閘極抽出電子，因此根本不會發生如閘極絕緣膜的劣化等問題。換言之，在根據所公開的發明的半導體裝置中，對重寫的次數沒有限制，這限制是習知的非揮發性記憶體所具有的問題，所以可靠性得到極大提高。再者，根據電晶體的開啟狀態或關閉狀態而進行資料寫入，因此可以容易地實現高速的工作。

[0343] 本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0344]

實施方式 7

在本實施方式中，參照圖 23 說明包括上述實施方式所例示的電晶體或記憶體裝置的 RF 裝置。

[0345] 根據本發明的一個實施方式的 RF 裝置在其內部包括記憶體電路，在該記憶體電路中儲存所需要的資料，並使用非接觸單元諸如無線通訊向外部發送資料和/或從外部接受資料。由於具有這種特徵，RF 裝置可以被用於藉由讀取物品等的個體資訊來識別物品的個體識別系統等。注意，這些用途要求極高的可靠性。

[0346] 參照圖 23 說明 RF 裝置的結構。圖 23 是示出 RF 裝置的結構實例的塊圖。

[0347] 如圖 23 所示，RF 裝置 800 包括接收從與通信器 801（也稱為詢問器、讀取器/寫入器等）連接的天線

802 發送的無線信號 803 的天線 804。RF 裝置 800 還包括整流電路 805、恆壓電路 806、解調變電路 807、調變電路 808、邏輯電路 809、記憶體電路 810、ROM811。另外，在包括在解調變電路 807 中的具有整流作用的電晶體中，也可以使用充分地抑制反向電流的材料，諸如氧化物半導體。由此，可以抑制起因於反向電流的整流作用的降低並防止解調變電路的輸出飽和，也就是說，可以使解調變電路的輸入和解調變電路的輸出之間的關係靠近於線性關係。注意，資料傳輸方法大致分成如下三種方法：將一對線圈相對地設置並利用互感進行通信的電磁耦合方法；利用感應場進行通信的電磁感應方法；以及利用電波進行通信的電波方法。在本實施方式所示的 RF 裝置 800 中可以使用上述任何方法。

[0348] 接著，說明各電路的結構。天線 804 與連接於通信器 801 的天線 802 之間進行無線信號 803 的發送及接受。在整流電路 805 中，對藉由由天線 804 接收無線信號來生成的輸入交流信號進行整流，例如進行半波倍壓整流，並由設置在後級的電容元件使被整流的信號平滑化，由此生成輸入電位。另外，整流電路 805 的輸入一側或輸出一側也可以設置限制器電路。限制器電路是在輸入交流信號的振幅大且內部生成電壓大時進行控制以不使一定以上的電力輸入到後級的電路中的電路。

[0349] 恆壓電路 806 是由輸入電位生成穩定的電源電壓而供應到各電路的電路。恆壓電路 806 也可以在其內

部包括重設信號產生電路。重設信號產生電路是利用穩定的電源電壓的上升而生成邏輯電路 809 的重設信號的電路。

[0350] 解調變電路 807 是藉由包封檢測對輸入交流信號進行解調並生成解調信號的電路。此外，調變電路 808 是根據從天線 804 輸出的資料進行調變的電路。

[0351] 邏輯電路 809 是分析解調信號並進行處理的電路。記憶體電路 810 是保持被輸入的資料的電路，並包括行解碼器、列解碼器、儲存區域等。此外，ROM811 是保持識別號碼（ID）等並根據處理進行輸出的電路。

[0352] 注意，根據需要可以適當地設置上述各電路。

[0353] 在此，可以將上述實施方式所示的記憶體電路用於記憶體電路 810。因為根據本發明的一個實施方式的記憶體電路即使在關閉電源的狀態下也可以保持資料，所以適用於 RF 裝置。再者，因為根據本發明的一個實施方式的記憶體電路的資料寫入所需要的電力（電壓）比習知的非揮發性記憶體低得多，所以也可以不產生資料讀出時和寫入時的最大通信距離的差異。再者，根據本發明的一個實施方式的記憶體電路可以抑制由於資料寫入時的電力不足引起誤動作或誤寫入的情況。

[0354] 此外，因為根據本發明的一個實施方式的記憶體電路可以用作非揮發性記憶體，所以還可以應用於 ROM811。在此情況下，較佳的是生產者另外準備用來對

ROM811 寫入資料的指令防止使用者自由地重寫。由於生產者在預先寫入識別號碼後出貨，可以僅使出貨的良品具有識別號碼而不使所製造的所有 RF 裝置具有識別號碼，由此不發生出貨後的產品的識別號碼不連續的情況而可以容易根據出貨後的產品進行顧客管理。

[0355] 本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0356]

實施方式 8

在本實施方式中，說明至少可以使用上述實施方式所說明的電晶體且包含上述實施方式所說明的記憶體裝置的 CPU。

[0357] 圖 24 是示出將在上述實施方式中說明的電晶體用於至少其一部分的 CPU 的結構的一個例子的塊圖。

[0358] 圖 24 所示的 CPU 在基板 1190 上具有：ALU1191（ALU：Arithmetic logic unit：算術邏輯單元）、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194、時序控制器 1195、暫存器 1196、暫存器控制器 1197、匯流排介面 1198（Bus I/F）、能夠重寫的 ROM1199 以及 ROM 介面 1189（ROM I/F）。作為基板 1190 使用半導體基板、SOI 基板、玻璃基板等。ROM1199 及 ROM 介面 1189 也可以設置在不同的晶片上。當然，圖 24 所示的 CPU 只不過是簡化其結構而表示的一個例子，所以實際上的 CPU 根據其用途具有各種各樣的結構。例

如，也可以以包括圖 24 所示的 CPU 或算術電路的結構為核心，設置多個該核心並使其同時工作。另外，在 CPU 的內部算術電路或資料匯流排中能夠處理的位元數例如可以為 8 位、16 位、32 位、64 位等。

[0359] 藉由匯流排介面 1198 輸入到 CPU 的指令在輸入到指令解碼器 1193 並被解碼之後，輸入到 ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、時序控制器 1195。

[0360] ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、時序控制器 1195 根據被解碼的指令進行各種控制。明確而言，ALU 控制器 1192 生成用來控制 ALU1191 的工作的信號。另外，中斷控制器 1194 在執行 CPU 的程式時，根據其優先度或遮罩的狀態來判斷來自外部的輸入/輸出裝置或週邊電路的中斷要求而對該要求進行處理。暫存器控制器 1197 生成暫存器 1196 的位址，並根據 CPU 的狀態來進行暫存器 1196 的讀出或寫入。

[0361] 另外，時序控制器 1195 生成用來控制 ALU1191、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194 以及暫存器控制器 1197 的工作時序的信號。例如，時序控制器 1195 具有根據參考時脈信號 CLK1 生成內部時脈信號 CLK2 的內部時脈發生器，並將內部時脈信號 CLK2 供應到上述各種電路。

[0362] 在圖 24 所示的 CPU 中，在暫存器 1196 中設置有記憶單元。作為暫存器 1196 的記憶單元，可以使用

上述實施方式所示的電晶體。

[0363] 在圖 24 所示的 CPU 中，暫存器控制器 1197 根據 ALU1191 的指令進行暫存器 1196 中的保持工作的選擇。換言之，暫存器控制器 1197 在暫存器 1196 所具有的記憶單元中選擇由正反器保持資料還是由電容元件保持資料。在選擇由正反器保持資料的情況下，對暫存器 1196 中的記憶單元供應電源電壓。在選擇由電容元件保持資料的情況下，對電容元件進行資料的重寫，而可以停止對暫存器 1196 中的記憶單元供應電源電壓。

[0364] 圖 25 是可以用作暫存器 1196 的記憶元件的電路圖的一個例子。記憶元件 1200 包括當關閉電源時丟失儲存資料的電路 1201、當關閉電源時不丟失儲存資料的電路 1202、開關 1203、開關 1204、邏輯元件 1206、電容元件 1207 以及具有選擇功能的電路 1220。電路 1202 包括電容元件 1208、電晶體 1209 及電晶體 1210。另外，記憶元件 1200 根據需要還可以包括其他元件諸如二極體、電阻元件或電感器等。

[0365] 在此，電路 1202 可以使用上述實施方式所示的記憶體裝置。在停止對記憶元件 1200 供應電源電壓時，接地電位（0V）或使電晶體 1209 關閉的電位繼續輸入到電路 1202 中的電晶體 1209 的閘極。例如，電晶體 1209 的閘極藉由電阻器等負載接地。

[0366] 在此示出開關 1203 為具有一導電型（例如，n 通道型）的電晶體 1213，而開關 1204 為具有與此相反

的導電型（例如，p 通道型）的電晶體 1214 的例子。這裡，開關 1203 的第一端子對應於電晶體 1213 的源極和汲極中的一個，開關 1203 的第二端子對應於電晶體 1213 的源極和汲極中的另一個，並且開關 1203 的第一端子與第二端子之間的導通或非導通（即，電晶體 1213 的開啟狀態或關閉狀態）由輸入到電晶體 1213 的閘極的控制信號 RD 選擇。開關 1204 的第一端子對應於電晶體 1214 的源極和汲極中的一個，開關 1204 的第二端子對應於電晶體 1214 的源極和汲極中的另一個，並且開關 1204 的第一端子與第二端子之間的導通或非導通（即，電晶體 1214 的開啟狀態或關閉狀態）由輸入到電晶體 1214 的閘極的控制信號 RD 選擇。

[0367] 電晶體 1209 的源極和汲極中的一個電連接到電容元件 1208 的一對電極中的一個及電晶體 1210 的閘極。在此，將連接部分稱為節點 M2。電晶體 1210 的源極和汲極中的一個電連接到能夠供應低電源電位的佈線（例如，GND 線），而另一個電連接到開關 1203 的第一端子（電晶體 1213 的源極和汲極中的一個）。開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）電連接到開關 1204 的第一端子（電晶體 1214 的源極和汲極中的一個）。開關 1204 的第二端子（電晶體 1214 的源極和汲極中的另一個）電連接到能夠供應電源電位 VDD 的佈線。開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）、開關 1204 的第一端子（電晶體 1214 的源極

和汲極中的一個)、邏輯元件 1206 的輸入端子和電容元件 1207 的一對電極中的一個是電連接著的。在此，將連接部分稱為節點 M1。可以對電容元件 1207 的一對電極中的另一個輸入固定電位。例如，可以輸入低電源電位 (GND 等) 或高電源電位 (VDD 等)。電容元件 1207 的一對電極中的另一個電連接到能夠供應低電源電位的佈線 (例如，GND 線)。對電容元件 1208 的一對電極中的另一個可以輸入固定電位。例如，可以輸入低電源電位 (GND 等) 或高電源電位 (VDD 等)。電容元件 1208 的一對電極中的另一個電連接到能夠供應低電源電位的佈線 (例如，GND 線)。

[0368] 當積極地利用電晶體或佈線的寄生電容等時，可以不設置電容元件 1207 及電容元件 1208。

[0369] 控制信號 WE 輸入到電晶體 1209 的第一閘極 (第一閘極電極)。開關 1203 及開關 1204 的第一端子與第二端子之間的導通狀態或非導通狀態由與控制信號 WE 不同的控制信號 RD 選擇，當一個開關的第一端子與第二端子之間處於導通狀態時，另一個開關的第一端子與第二端子之間處於非導通狀態。

[0370] 對應於保持在電路 1201 中的資料的信號被輸入到電晶體 1209 的源極和汲極中的另一個。圖 25 示出從電路 1201 輸出的信號輸入到電晶體 1209 的源極和汲極中的另一個的例子。由邏輯元件 1206 使從開關 1203 的第二端子 (電晶體 1213 的源極和汲極中的另一個) 輸出的信

號的邏輯值反轉而成為反轉信號，將其經由電路 1220 輸入到電路 1201。

[0371] 另外，雖然圖 25 示出從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號經由邏輯元件 1206 及電路 1220 輸入到電路 1201 的例子，但是不侷限於此。也可以不使從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號的邏輯值反轉而輸入到電路 1201。例如，當在電路 1201 內存在其中保持使從輸入端子輸入的信號的邏輯值反轉的信號的節點時，可以將從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號輸入到該節點。

[0372] 在圖 25 所示的用於記憶元件 1200 的電晶體中，電晶體 1209 以外的電晶體也可以使用其通道形成在由氧化物半導體以外的半導體構成的層或基板 1190 中的電晶體。例如，可以使用其通道形成在矽層或矽基板中的電晶體。此外，也可以作為用於記憶元件 1200 的所有的電晶體使用其通道形成在氧化物半導體層中的電晶體。或者，記憶元件 1200 還可以包括電晶體 1209 以外的其通道由氧化物半導體層形成的電晶體，並且作為剩下的電晶體可以使用其通道形成在由氧化物半導體以外的半導體構成的層或基板 1190 中的電晶體。

[0373] 圖 25 所示的電路 1201 例如可以使用正反器電路。另外，作為邏輯元件 1206 例如可以使用反相器或時脈反相器等。

[0374] 在根據本發明的一個實施方式的半導體裝置中，在不向記憶元件 1200 供應電源電壓的期間，可以由設置在電路 1202 中的電容元件 1208 保持儲存在電路 1201 中的資料。

[0375] 另外，其通道形成在氧化物半導體層中的電晶體的關態電流極小。例如，其通道形成在氧化物半導體層中的電晶體的關態電流比其通道形成在具有結晶性的矽中的電晶體的關態電流低得多。因此，藉由將該電晶體用作電晶體 1209，即使在不向記憶元件 1200 供應電源電壓的期間也可以長期間地儲存電容元件 1208 所保持的信號。因此，記憶元件 1200 在停止供應電源電壓的期間也可以保持儲存內容（資料）。

[0376] 另外，由於該記憶元件是以藉由設置開關 1203 及開關 1204 進行預充電工作為特徵的記憶元件，因此它可以縮短在再次開始供應電源電壓之後直到電路 1201 再次保持原來的資料為止的時間。

[0377] 另外，在電路 1202 中，由電容元件 1208 保持的信號被輸入到電晶體 1210 的閘極。因此，在再次開始向記憶元件 1200 供應電源電壓之後，可以將由電容元件 1208 保持的信號轉換為電晶體 1210 的狀態（開啟狀態或關閉狀態），並從電路 1202 讀出。因此，即使對應於保持在電容元件 1208 中的信號的電位有些變動，也可以準確地讀出原來的信號。

[0378] 藉由將這種記憶元件 1200 用於處理器所具有

的暫存器或快取記憶體等記憶體裝置，可以防止記憶體裝置內的資料因停止電源電壓的供應而消失。另外，可以在再次開始供應電源電壓之後在短時間內恢復到停止供應電源之前的狀態。因此，在整個處理器或構成處理器的一個或多個邏輯電路中在短時間內也可以停止電源，從而可以抑制功耗。

[0379] 在本實施方式中，雖然對將記憶元件 1200 用於 CPU 的例子進行說明，但是也可以將記憶元件 1200 應用於 LSI 諸如 DSP (Digital Signal Processor: 數位訊號處理器)、定製 LSI、PLD (Programmable Logic Device: 可程式邏輯裝置) 等、RF-ID (Radio Frequency Identification: 射頻識別)。

[0380] 本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0381]

實施方式 9

在本實施方式中說明本發明的一個實施方式的顯示面板的結構實例。

[0382]

[結構實例]

圖 26A 是本發明的一個實施方式的顯示面板的俯視圖，圖 26B 是在將液晶元件用於本發明的一個實施方式的顯示面板的像素時可以使用的像素電路的電路圖。圖 26C 是在將有機 EL 元件用於本發明的一個實施方式的顯示面

板的像素時可以使用的像素電路的電路圖。

[0383] 可以根據上述實施方式形成配置在像素部中的電晶體。此外，因為該電晶體容易形成為 n 通道電晶體，所以將驅動電路中的可以由 n 通道電晶體構成的驅動電路的一部分與像素部的電晶體形成在同一基板上。如上所述，藉由將上述實施方式所示的電晶體用於像素部或驅動電路，可以提供可靠性高的顯示裝置。

[0384] 圖 26A 示出主動矩陣型顯示裝置的方塊圖的一個例子。在顯示裝置的基板 2100 上設置有：像素部 2101；第一掃描線驅動電路 2102；第二掃描線驅動電路 2103；以及信號線驅動電路 2104。在像素部 2101 中配置有從信號線驅動電路 2104 延伸的多個信號線以及從第一掃描線驅動電路 2102 及第二掃描線驅動電路 2103 延伸的多個掃描線。此外，在掃描線與信號線的交叉區域中具有顯示元件的像素配置為矩陣狀。另外，顯示裝置的基板 2100 藉由 FPC (Flexible Printed Circuit：撓性印刷電路) 等的連接部連接到時序控制電路 (也稱為控制器、控制 IC)。

[0385] 在圖 26A 中，在設置有像素部 2101 的基板 2100 上形成有第一掃描線驅動電路 2102、第二掃描線驅動電路 2103、信號線驅動電路 2104。由此，設置在外部的驅動電路等的構件的數量減少，從而能夠實現成本的降低。另外，當在基板 2100 的外部設置驅動電路時，需要使佈線延伸，佈線之間的連接數增加。當在基板 2100 上設置驅動電路時，可以減少該佈線之間的連接數，從而可

以實現可靠性或良率的提高。

[0386]

(液晶面板)

圖 26B 示出像素部的電路結構的一個例子。在此，示出可以用於 VA 方式的液晶顯示面板的像素的像素電路。

[0387] 可以將該像素電路應用於一個像素具有多個像素電極層的結構。各像素電極層分別與不同的電晶體連接，以藉由不同閘極信號驅動各電晶體。由此，可以獨立地控制施加到多域像素中的各像素電極層的信號。

[0388] 電晶體 2116 的閘極佈線 2112 和電晶體 2117 的閘極佈線 2113 彼此分離，以便能夠被提供不同的閘極信號。另一方面，電晶體 2116 和電晶體 2117 共同使用用作資料線的源極電極層或汲極電極層 2114。作為電晶體 2116 及電晶體 2117，可以適當地利用上述實施方式所示的電晶體。由此可以提供可靠性高的液晶顯示面板。

[0389] 以下說明與電晶體 2116 電連接的第一像素電極層及與電晶體 2117 電連接的第二像素電極層的形狀。第一像素電極層和第二像素電極層被狹縫彼此分離。第一像素電極層呈擴展為 V 字型的形狀，第二像素電極層以圍繞第一像素電極層的方式形成。

[0390] 電晶體 2116 的閘極電極連接到閘極佈線 2112，而電晶體 2117 的閘極電極連接到閘極佈線 2113。藉由對閘極佈線 2112 和閘極佈線 2113 施加不同的閘極信號，可以使電晶體 2116 及電晶體 2117 的工作時序互不相

同來控制液晶配向。

[0391] 另外，也可以由電容佈線 2110、用作電介質的閘極絕緣膜以及與第一像素電極層或第二像素電極層電連接的電容電極形成儲存電容器。

[0392] 多域結構在一個像素中設置有第一液晶元件 2118 和第二液晶元件 2119。第一液晶元件 2118 由第一像素電極層、反電極層以及它們之間的液晶層構成，而第二液晶元件 2119 由第二像素電極層、反電極層以及它們之間的液晶層構成。

[0393] 此外，圖 26B 所示的像素電路不侷限於此。例如，也可以還對圖 26B 所示的像素追加開關、電阻元件、電容元件、電晶體、感測器或邏輯電路等。

[0394]

(有機 EL 面板)

圖 26C 示出像素的電路結構的其他例子。在此，示出使用有機 EL 元件的顯示面板的像素結構。

[0395] 在有機 EL 元件中，藉由對發光元件施加電壓，電子和電洞從一對電極分別注入到包含發光有機化合物的層，而產生電流。然後，藉由使電子和電洞再結合，發光有機化合物達到激發態，並且當該激發態恢復到基態時，獲得發光。根據這種機制，該發光元件被稱為電流激發型發光元件。

[0396] 圖 26C 是示出可以應用的像素電路的一個例子的圖。這裡示出一個像素包括兩個 n 通道電晶體的例

子。本發明的一個實施方式的金屬氧化物膜可以用於 n 通道電晶體的通道形成區域。另外，該像素電路可以採用數位時間灰階級驅動。

[0397] 以下說明可以應用的像素電路的結構及採用數位時間灰階級驅動時的像素的工作。

[0398] 像素 2120 包括開關電晶體 2121、驅動電晶體 2122、發光元件 2124 以及電容元件 2123。在開關電晶體 2121 中，閘極電極層與掃描線 2126 連接，第一電極（源極電極層和汲極電極層中的一個）與信號線 2125 連接，並且第二電極（源極電極層和汲極電極層中的另一個）與驅動電晶體 2122 的閘極電極層連接。在驅動電晶體 2122 中，閘極電極層藉由電容元件 2123 與電源線 2127 連接，第一電極與電源線 2127 連接，第二電極與發光元件 2124 的第一電極（像素電極）連接。發光元件 2124 的第二電極相當於共同電極 2128。共同電極 2128 與形成在同一基板上的共用電位線電連接。

[0399] 作為開關電晶體 2121 及驅動電晶體 2122，可以適當地利用上述實施方式所示的電晶體。由此可以提供可靠性高的有機 EL 顯示面板。

[0400] 將發光元件 2124 的第二電極（共同電極 2128）的電位設定為低電源電位。注意，低電源電位是指低於供應到電源線 2127 的高電源電位的電位，例如，低電源電位可以為 GND、0V 等。將高電源電位與低電源電位的電位差設定為發光元件 2124 的正向臨界電壓以上，

將該電位差施加到發光元件 2124 來使電流流過發光元件 2124，以獲得發光。發光元件 2124 的正向電壓是指獲得所希望的亮度的電壓，至少包含正向臨界電壓。

[0401] 另外，還可以使用驅動電晶體 2122 的閘極電容代替電容元件 2123。作為驅動電晶體 2122 的閘極電容，也可以利用在通道形成區域和閘極電極層之間的電容。

[0402] 接著，說明輸入到驅動電晶體 2122 的信號。當採用電壓輸入電壓驅動方式時，對驅動電晶體 2122 輸入使驅動電晶體 2122 充分處於開啟狀態或關閉狀態的兩個狀態的視訊信號。為了使驅動電晶體 2122 在線性區域中工作，將比電源線 2127 的電壓高的電壓施加到驅動電晶體 2122 的閘極電極層。另外，對信號線 2125 施加電源線電壓加驅動電晶體 2122 的臨界電壓 V_{th} 的值以上的電壓。

[0403] 當進行類比灰階級驅動時，對驅動電晶體 2122 的閘極電極層施加發光元件 2124 的正向電壓加驅動電晶體 2122 臨界電壓的 V_{th} 的值以上的電壓。另外，藉由輸入使驅動電晶體 2122 在飽和區域中工作的視訊信號，使電流流過發光元件 2124。為了使驅動電晶體 2122 在飽和區域中工作，使電源線 2127 的電位高於驅動電晶體 2122 的閘極電位。藉由採用類比方式的視訊信號，可以使與視訊信號對應的電流流過發光元件 2124，而進行類比灰階級驅動。

[0404] 注意，像素電路的結構不侷限於圖 26C 所示的像素結構。例如，還可以對圖 26C 所示的像素電路追加開關、電阻元件、電容元件、感測器、電晶體或邏輯電路等。

[0405] 當對圖 26A 至圖 26C 所示的電路應用上述實施方式所示的電晶體時，使源極電極（第一電極）及汲極電極（第二電極）分別電連接到低電位一側及高電位一側。再者，可以由控制電路等控制第一閘極電極的電位，且由未圖示的佈線將比源極電極低的電位等如上所示的電位輸入第二閘極電極。

[0406] 本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0407]

實施方式 10

根據本發明的一個實施方式的半導體裝置可以用於顯示裝置、個人電腦或具備儲存介質的影像再現裝置（典型的是，能夠再現儲存介質如數位影音光碟（DVD：Digital Versatile Disc）等並具有可以顯示該影像的顯示器的裝置）中。另外，作為可以安裝有根據本發明的一個實施方式的半導體裝置的電子裝置之例子，可以舉出行動電話、包括可攜式的遊戲機、可攜式資料終端、電子書閱讀器、拍攝裝置諸如視頻攝影機或數位相機等、護目鏡型顯示器（頭戴式顯示器）、導航系統、音頻再生裝置（汽車音響系統、數位聲訊播放機等）、影印機、傳真機、印表機、

多功能印表機、自動櫃員機（ATM）以及自動販賣機等。
圖 27A 至圖 27F 示出這些電子裝置的具體例子。

[0408] 圖 27A 是可攜式遊戲機，該可攜式遊戲機包括外殼 901、外殼 902、顯示部 903、顯示部 904、麥克風 905、揚聲器 906、操作鍵 907 以及觸控筆 908 等。注意，雖然圖 27A 所示的可攜式遊戲機包括兩個顯示部 903 和顯示部 904，但是可攜式遊戲機所包括的顯示部的個數不限於此。

[0409] 圖 27B 是可攜式資料終端，該可攜式資料終端包括第一外殼 911、第二外殼 912、第一顯示部 913、第二顯示部 914、連接部 915、操作鍵 916 等。第一顯示部 913 設置在第一外殼 911 中，第二顯示部 914 設置在第二外殼 912 中。而且，第一外殼 911 和第二外殼 912 由連接部 915 連接，由連接部 915 可以改變第一外殼 911 和第二外殼 912 之間的角度。第一顯示部 913 的影像也可以根據連接部 915 所形成的第一外殼 911 和第二外殼 912 之間的角度切換。另外，也可以對第一顯示部 913 和第二顯示部 914 中的至少一個使用附加有位置輸入功能的顯示裝置。另外，可以藉由在顯示裝置中設置觸控面板來附加位置輸入功能。或者，也可以藉由在顯示裝置的像素部中設置被稱為光感測器的光電轉換元件來附加位置輸入功能。

[0410] 圖 27C 是膝上型個人電腦，該膝上型個人電腦包括外殼 921、顯示部 922、鍵盤 923 以及指向裝置 924 等。

[0411] 圖 27D 是電冷藏冷凍箱，該電冷藏冷凍箱包括外殼 931、冷藏室門 932、冷凍室門 933 等。

[0412] 圖 27E 是視頻攝影機，該視頻攝影機包括第一外殼 941、第二外殼 942、顯示部 943、操作鍵 944、透鏡 945、連接部 946 等。操作鍵 944 及透鏡 945 設置在第一外殼 941 中，顯示部 943 設置在第二外殼 942 中。而且，第一外殼 941 和第二外殼 942 由連接部 946 連接，由連接部 946 可以改變第一外殼 941 和第二外殼 942 之間的角度。顯示部 943 的影像也可以根據連接部 946 所形成的第一外殼 941 和第二外殼 942 之間的角度切換。

[0413] 圖 27F 是一般的汽車，該汽車包括車體 951、車輪 952、儀表板 953 及燈 954 等。

[0414] 本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0415]

實施方式 11

在本實施方式中，參照圖 28A 至圖 28F 說明根據本發明的一個實施方式的 RF 裝置的使用例子。RF 裝置的用途廣泛，例如可以設置於物品諸如鈔票、硬幣、有價證券類、不記名證券類、證書類（駕駛證、居民卡等，參照圖 28A）、包裝用容器類（包裝紙、瓶子等，參照圖 28C）、儲存介質（DVD、錄影帶等，參照圖 28B）、車輛類（自行車等，參照圖 28D）、個人物品（包、眼鏡等）、食物類、植物類、動物類、人體、衣服、生活用品

類、包括藥品或藥劑的醫療品、電子裝置（液晶顯示裝置、EL 顯示裝置、電視機或行動電話）等或者各物品的裝運標籤（參照圖 28E 和圖 28F）等。

[0416] 當將根據本發明的一個實施方式的 RF 裝置 4000 固定到物品時，將其附著到物品的表面上或者填埋於物品中。例如，當固定到書本時，將 RF 裝置嵌入在書本的紙張裡，而當固定到有機樹脂的包裝時，將 RF 裝置填埋於有機樹脂內部。根據本發明的一個實施方式的 RF 裝置 4000 實現了小型、薄型以及輕量，所以即使在固定到物品中也不會影響到該物品的設計性。另外，藉由將根據本發明的一個實施方式的 RF 裝置 4000 設置於鈔票、硬幣、有價證券類、不記名證券類或證書類等，可以賦予識別功能。藉由利用該識別功能可以防止偽造。另外，可以藉由在包裝用容器類、儲存介質、個人物品、食物類、衣服、生活用品類或電子裝置等中設置根據本發明的一個實施方式的 RF 裝置，可以提高檢品系統等系統的運行效率。另外，藉由在車輛類中安裝根據本發明的一個實施方式的 RF 裝置，可以防止盜竊等而提高安全性。

[0417] 如上所述，藉由將根據本發明的一個實施方式的 RF 裝置應用於在本實施方式中列舉的各用途，可以降低包括資料的寫入或讀出等的工作的功耗，因此能夠使最大通信距離長。另外，即使在關閉電力供應的狀態下，也可以在極長的期間保持資料，所以上述 RF 裝置適用於寫入或讀出的頻率低的用途。

[0418] 本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0419]

實施方式 12

在本實施方式中，圖 30A 至圖 34B 示出能夠用於疊層體 10 的包括電晶體的疊層體的製造方法及結構的一個例子。注意，圖中的 a1-a2 剖面示出包括電晶體的剖面，b1-b2 剖面示出佈線部。

[0420] 在絕緣體 2501 上形成絕緣體 2502。絕緣體 2501 較佳為使用與實施方式 2 所示的絕緣體 101 相同的材質、形成方法等。此外，絕緣體 2502 較佳為使用與實施方式 2 所示的絕緣體 2402 相同的材質、形成方法等（圖 30A）。

[0421] 接著，在該絕緣體 2502 中形成開口或槽。此外，當在該絕緣體 2502 中設置開口時，較佳為選擇相對於絕緣體 2501 的絕緣體 2502 的蝕刻率高的材料的組合。

[0422] 當在絕緣體 2502 中形成開口或槽時，可以利用光微影法等。在絕緣體 2502 上形成光阻遮罩，去除絕緣體 2502 的不需要的部分。然後，藉由去除光阻遮罩，可以在絕緣體 2502 中形成開口或槽。

[0423] 作為光微影法等的被加工膜的加工方法可以使用實施方式 2 所示的方法。

[0424] 接著，在形成有開口或槽的該絕緣體 2502 上設置障壁膜 2503。作為障壁膜 2503 較佳為使用厚度為

50nm 左右的氧化鋁（圖 30B）。

[0425] 障壁膜 2503 具有抑制水及氫等從障壁膜 2503 的下層擴散到其上層的功能。另外，障壁膜 2503 也可以具有用來將設置在障壁膜 2503 的上方的電極或佈線與設置在其下方的電極或佈線電連接的開口或插頭。

[0426] 障壁膜 2503 可以使用與實施方式 2 所示的障壁膜 103 相同的材質、形成方法等。

[0427] 接著，在障壁膜 2503 上設置導電體 2504（圖 30C）。

[0428] 導電體 2504 可以使用與實施方式 2 所示的導電體 104 相同的材質、形成方法等。

[0429] 注意，也可以藉由利用 CMP（Chemical Mechanical Polishing：化學機械拋光）法等的平坦化處理使導電體 2504 平坦化。

[0430] 在利用 CMP 法對導電體 2504 進行拋光時，既可以進行到不設置絕緣體 2502 的開口或槽的區域上的障壁膜 2503 頂面的高度與導電體 2504 頂面的高度一致為止又可以中途停止拋光。

[0431] 接著，對在絕緣體 2502 的開口或槽中隔著障壁膜 2503 形成的導電體 2504 進行蝕刻，來獲得導電體 2504a。這裡，導電體 2504a 頂面的高度較佳的是比不設置絕緣體 2502 的開口或槽的區域上的障壁膜 2503 頂面的高度低，尤其較佳低 50nm 左右。

[0432] 接著，在障壁膜 2503 及導電體 2504a 上設置

障壁膜 2601 (圖 31A)。此外，也可以在形成障壁膜 2601 之後利用 CMP 法使其表面平坦化。此外，在本實施方式中示出設置障壁膜 2601 的例子，根據情況也可以不設置障壁膜 2601。

[0433] 障壁膜 2601 可以使用與實施方式 2 所示的障壁膜 103 及障壁膜 105 相同的材質、形成方法等。

[0434] 接著，設置厚度為 100nm 左右的絕緣體 2602。

[0435] 絕緣體 2602 可以使用與實施方式 2 所示的絕緣體 106 相同的材質、形成方法等。根據情況也可以利用 CMP 法使絕緣體 2602 平坦化。

[0436] 接著，形成半導體 2603、半導體 2604。

[0437] 半導體 2603 可以使用與實施方式 2 所示的半導體 107 相同的材質、形成方法等。此外，半導體 2604 可以使用與實施方式 2 所示的半導體 108 相同的材質、形成方法等。

[0438] 接著，設置導電體 2605。作為導電體 2605 較佳為使用厚度為 100nm 左右的鎢。導電體 2605 可以利用濺射法形成。

[0439] 導電體 2605 可以使用與實施方式 2 所示的導電體 109 相同的材質、形成方法等。

[0440] 接著，在導電體 2605 上形成絕緣體 2606。作為絕緣體 2606 例如可以使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧氮化鋁、氮氧化鋁、氮化鋁等，

以疊層或單層設置（圖 31B）。

[0441] 接著，在絕緣體 2606、導電體 2605、半導體 2604、半導體 2603、絕緣體 2602、障壁膜 2601、障壁膜 2503、絕緣體 2502、絕緣體 2501 等中形成開口。此時，可以利用光微影法等。在絕緣體 2606 上形成光阻遮罩，去除絕緣體 2606 及導電體 2605 的不需要的部分。然後，去除光阻遮罩等，將導電體 2605 用作遮罩，在半導體 2604、半導體 2603、絕緣體 2602、障壁膜 2601、障壁膜 2503、絕緣體 2502、絕緣體 2501 等中形成開口。如此，形成開口 2607a 及開口 2607b（圖 31C）。

[0442] 藉由在導電體 2605 上設置絕緣體 2606，當對障壁膜 2601、障壁膜 2503、絕緣體 2502、絕緣體 2501 等進行蝕刻時，防止導電體 2605 被蝕刻，可以抑制形成在導電體 2605 中的開口擴大。

[0443] 此外，當形成開口 2607a、開口 2607b 時，也可以不設置絕緣體 2606 而在將光阻遮罩形成在導電體 2605 上之後，形成開口 2607a、開口 2607b。

[0444] 也可以在絕緣體 2606 上形成抗反射膜或提高密接性的膜，在其上形成光阻遮罩，然後形成開口 2607a、開口 2607b。此外，也可以在導電體 2605 上形成抗反射膜或提高密接性的膜，在其上形成光阻遮罩，然後形成開口 2607a、開口 2607b。

[0445] 抗反射膜具有防止在對光阻遮罩進行曝光時由導電體 2605 反射用於曝光的光的功能。藉由降低光反

射，可以提高光阻遮罩的加工精度，可以實現更微細的加工。

[0446] 提高密接性的膜藉由改善導電體 2605 與光阻遮罩或絕緣體 2606 與光阻遮罩的密接性，可以實現更微細的加工。

[0447] 接著，在開口 2607a、開口 2607b 的內側及導電體 2605 上形成導電體 2701（圖 32A）。

[0448] 導電體 2701 可以使用與實施方式 2 所示的導電體 111 及導電體 112 相同的材質、形成方法等。

[0449] 接著，也可以利用 CMP 法等進行平坦化處理使導電體 2701 平坦化。此外，也可以藉由濕蝕刻法等對導電體 2701 表面進行蝕刻。

[0450] 接著，在導電體 2701 上形成光阻遮罩。使用該光阻遮罩去除導電體 2701 的不需要的部分，形成導電體 2701a、導電體 2701b、導電體 2701c。然後，去除光阻遮罩（圖 32B）。

[0451] 接著，在導電體 2605、導電體 2701a、導電體 2701b、導電體 2701c 上形成光阻遮罩。藉由使用該光阻遮罩去除導電體 2605、半導體 2604、半導體 2603 的不需要的部分，獲得導電體 2605a、導電體 2605b。此時，有時去除絕緣體 2602 的一部分。因此，較佳為考慮到其一部分被去除的深度而預先形成厚度較厚的絕緣體 2602（圖 33A）。

[0452] 接著，在導電體 2605a 上形成光阻遮罩，去

除導電體 2605a 的不需要的部分，獲得導電體 2605c、導電體 2605d（圖 33B）。

[0453] 接著，依次形成半導體、絕緣體及導電體。然後，在該導電體上形成光阻遮罩，去除該導電體的不需要的部分。然後，藉由去除光阻遮罩，獲得導電體 2903a。再者，將導電體 2903a 用作遮罩，去除絕緣體、半導體的不需要的部分，獲得絕緣體 2902a、半導體 2901a。當獲得絕緣體 2902a、半導體 2901a 時，也可以在不去除用來獲得導電體 2903a 的光阻遮罩而留下的情況下，去除絕緣體、半導體的不需要的部分，獲得絕緣體 2902a、半導體 2901a（圖 34A）。

[0454] 在本實施方式中示出藉由去除半導體、絕緣體的不需要的部分獲得絕緣體 2902a、半導體 2901a 的例子，但也可以不去除不需要的部分。

[0455] 半導體 2901a 可以使用與實施方式 2 所示的半導體 113 相同的材質、形成方法等。此外，有時半導體 2901a 用作閘極絕緣膜的一部分。

[0456] 接著，設置障壁膜 2904。障壁膜 2904 可以使用與實施方式 2 所示的障壁膜 103 相同的材質、形成方法等（圖 34B）。

[0457] 如此，形成包括電晶體的疊層體 10。

[0458] 注意，可以將本實施方式的一部分或整體自由地組合於、應用於或替換為其他實施方式的一部分或整體而實施。

[0459]

實施方式 13

圖 35 是本發明的一個實施方式的半導體裝置的一個例子。在本實施方式中示出圖 2 所示的疊層結構的一個方式。在本實施方式中示出如下例子：作為疊層體 20 使用單晶矽半導體，在疊層體 20 上層疊疊層體 10。

[0460] 半導體裝置包括電晶體 3600、電晶體 3500。電晶體 3500 設置在電晶體 3600 上，在電晶體 3500 的半導體與電晶體 3600 之間設置障壁膜。

[0461] 電晶體 3600 包括由半導體基板 3010 的一部分構成的半導體 3011、絕緣體 3012、導電體 3013、低電阻區域 3014、低電阻區域 3015。絕緣體 3012 具有用作電晶體的閘極絕緣膜的區域。此外，低電阻區域 3014 及低電阻區域 3015 具有用作源極區域或汲極區域的區域。

[0462] 電晶體 3600 可以為 p 通道電晶體或 n 通道電晶體，可以根據電路結構或驅動方法使用適當的電晶體。

[0463] 作為半導體 3011 的形成通道的區域或其附近的區域、低電阻區域 3014、低電阻區域 3015 等可以使用與實施方式 4 所示的半導體 712、低電阻區域 713a、低電阻區域 713b 相同的材質、形成方法。

[0464] 在此，包括電晶體 3600 的結構對應於圖 2 中的疊層體 20。

[0465] 在此，也可以使用如圖 8 所示的電晶體 180 代替電晶體 3600。

[0466] 以覆蓋導電體 3013 的方式依次層疊設置絕緣體 3016、絕緣體 3017、絕緣體 3018 及絕緣體 3019。絕緣體 3016 可以使用與實施方式 4 所示的絕緣體 721 相同的材質、形成方法。絕緣體 3017 可以使用與實施方式 4 所示的絕緣體 722 相同的材質、形成方法。絕緣體 3018 可以使用與實施方式 4 所示的絕緣體 723 相同的材質、形成方法。絕緣體 3019 可以使用與實施方式 4 所示的絕緣體 724 相同的材質、形成方法。

[0467] 在絕緣體 3016、絕緣體 3017、絕緣體 3018 及絕緣體 3019 中也可以嵌入有與低電阻區域 3014、低電阻區域 3015 等電連接的插頭 3020、插頭 3021 等。根據需要也可以形成與導電體 3013 電連接的插頭。

[0468] 在絕緣體 3019 上設置有佈線 3022、佈線 3023 等。

[0469] 佈線 3022 與插頭 3020 電連接。此外，佈線 3023 與插頭 3021 電連接。

[0470] 佈線 3022 及佈線 3023 可以使用與實施方式 4 所示的佈線 731、佈線 732、佈線 733 相同的材質、形成方法。

[0471] 在佈線 3022、佈線 3023 上設置絕緣體 3024。

[0472] 當形成佈線 3022、佈線 3023 等時，在絕緣體 3019 上形成絕緣體 3024，在絕緣體 3024 中形成開口或槽之後，形成導電體，對該導電體進行 CMP 處理等，也可

以將在絕緣體 3024 中的開口或槽中殘留的導電體用於佈線 3022、佈線 3023 等。

[0473] 當形成插頭 3020、插頭 3021、佈線 3022、佈線 3023 等時，也可以利用雙鑲嵌法等。

[0474] 在上述疊層體 20 上形成疊層體 10。疊層體 10 包括電晶體 3500。作為疊層體 10 的一部分或整體的疊層的一個例子可以使用圖 34B 等的結構。

[0475] 在本實施方式中示出對疊層體 10 的一部分應用圖 34B 所示的疊層體的例子。在障壁膜 2904 上設置有絕緣體 3025。

[0476] 在障壁膜 2904 及絕緣體 3025 中設置有與導電體 2701a、導電體 2701b、導電體 2701c 電連接的插頭 3026、插頭 3027、插頭 3028。

[0477] 在絕緣體 3025 上設置有與插頭 3026、插頭 3027、插頭 3028 電連接的佈線 3029、佈線 3030、佈線 3031。

[0478] 本發明的一個實施方式的半導體裝置由於在包括電晶體 3600 的疊層體上具有包括電晶體 3500 的疊層體，所以可以縮小半導體裝置的面積。此外，可以提高電晶體等半導體元件的集成度。此外，藉由設置在電晶體 3600 與電晶體 3500 之間的障壁膜，可以抑制存在於其下層的水或氫等雜質擴散到電晶體 3500 一側。

[0479] 此外，在本實施方式中，當電晶體 3600 為 p 型電晶體且電晶體 3500 為 n 型電晶體時，可以構成

CMOS 的反相器電路。如此，藉由層疊配置構成單位電路的電晶體可以提高佈局的彈性，並可以提高集成度。

[0480] 注意，可以將本實施方式的一部分或整體自由地組合於、應用於或替換為其他實施方式的一部分或整體而實施。

[0481]

實施方式 14

圖 36 是本發明的一個實施方式的半導體裝置的一個例子。在本實施方式中示出圖 2 所示的疊層結構的一個方式。在本實施方式中示出如下例子：作為疊層體 20 的一部分使用單晶矽半導體，在疊層體 20 上重疊疊層體 10。

[0482] 作為疊層體 20 可以使用與實施方式 13 所示的疊層體 20 相同的疊層體。

[0483] 在疊層體 20 上形成疊層體 10。疊層體 10 包括電晶體 3101。

[0484] 在本實施方式中示出對疊層體 10 的一部分應用改變圖 34B 的一部分的疊層體的例子。明確而言，應用不形成圖 34B 所示的導電體 2701a、2701b、2701c 的結構。

[0485] 在障壁膜 2904 上設置有絕緣體 3025。在障壁膜 2904 及絕緣體 3025 中形成與佈線 3022 電連接的插頭 3126、與佈線 3023 電連接的插頭 3128。此外，形成與導電體 2605d 電連接的插頭 3127。

[0486] 在絕緣體 3025 上設置有與插頭 3126、插頭

3127、插頭 3128 電連接的佈線 3129、佈線 3130、佈線 3131。

[0487] 本發明的一個實施方式的半導體裝置由於在包括電晶體 3600 的疊層體上具有包括電晶體 3101 的疊層體，所以可以縮小半導體裝置的面積。此外，可以提高電晶體等半導體元件的集成度。此外，藉由設置在電晶體 3600 與電晶體 3101 之間的障壁膜，可以抑制存在於其下層的水或氫等雜質擴散到電晶體 3101 一側。

[0488] 此外，在本實施方式中，當電晶體 3600 為 p 型電晶體且電晶體 3101 為 n 型電晶體時，可以構成 CMOS 的反相器電路。如此，藉由層疊配置構成單位電路的電晶體可以提高佈局的彈性，並可以提高集成度。

[0489] 注意，可以將本實施方式的一部分或整體自由地組合於、應用於或替換為其他實施方式的一部分或整體而實施。

[0490]

實施方式 15

圖 37 是本發明的一個實施方式的半導體裝置的一個例子。在本實施方式中示出圖 2 所示的疊層結構的一個方式。在本實施方式中示出如下例子：作為疊層體 20 使用單晶矽半導體，在疊層體 20 上層疊疊層體 10。

[0491] 作為疊層體 20 可以使用與實施方式 13 所示的疊層體 20 相同的疊層體。

[0492] 在疊層體 20 上形成疊層體 10。疊層體 10 包

括電晶體 3201。

[0493] 在本實施方式中示出對疊層體 10 的一部分應用改變圖 34B 的一部分的疊層體的例子。明確而言，應用如下結構：在形成障壁膜 2601 之後，形成與佈線 3022 電連接的插頭 3232 及佈線 3233、與佈線 3023 電連接的插頭 3134 以及佈線 3235，不形成圖 34B 中的導電體 2701a、2701b、2701c。

[0494] 在障壁膜 2904 上設置有絕緣體 3225。在障壁膜 2904 及絕緣體 3225 中形成與佈線 3233 電連接的插頭 3226、與佈線 3235 電連接的插頭 3228。此外，形成與導電體 2605d 電連接的插頭 3227。

[0495] 在絕緣體 3225 上設置有與插頭 3226、插頭 3227、插頭 3228 電連接的佈線 3229、佈線 3230、佈線 3231。

[0496] 本發明的一個實施方式的半導體裝置由於在包括電晶體 3600 的疊層體上具有包括電晶體 3201 的疊層體，所以可以縮小半導體裝置的面積。此外，可以提高電晶體等半導體元件的集成度。此外，藉由設置在電晶體 3600 與電晶體 3201 之間的障壁膜，可以抑制存在於其下層的水或氫等雜質擴散到電晶體 3201 一側。

[0497] 此外，在本實施方式中，當電晶體 3600 為 p 型電晶體且電晶體 3201 為 n 型電晶體時，可以構成 CMOS 的反相器電路。如此，藉由層疊配置構成單位電路的電晶體可以提高佈局的彈性，並可以提高集成度。

[0498] 注意，可以將本實施方式的一部分或整體自由地組合於、應用於或替換為其他實施方式的一部分或整體而實施。

【符號說明】

[0499]

10：疊層體

20：疊層體

30：疊層體

100：電晶體

101：絕緣體

102：絕緣體

103：障壁膜

104：導電體

104a：導電體

105：障壁膜

105a：障壁膜

106：絕緣體

107：半導體

107a：半導體

108：半導體

108a：半導體

109：導電體

109a：導電體

109b : 導電體
109c : 導電體
110 : 開口
111 : 導電體
111a : 導電體
111b : 導電體
111c : 導電體
112 : 導電體
112a : 導電體
112b : 導電體
113 : 半導體
114 : 絕緣體
115 : 導電體
116 : 障壁膜
120a : 插頭
120b : 插頭
130 : 電容器
180 : 電晶體
200 : 電晶體
708 : 絕緣體
711 : 半導體基板
712 : 半導體
713a : 低電阻區域
713b : 低電阻區域

714 : 閘極絕緣膜

715 : 閘極電極

721 : 絕緣體

722 : 絕緣體

723 : 絕緣體

724 : 絕緣體

725 : 絕緣體

726 : 絕緣體

727 : 絕緣體

728 : 絕緣體

729 : 絕緣體

730 : 絕緣體

731 : 佈線

732 : 佈線

733 : 佈線

741 : 絕緣體

742 : 絕緣體

743 : 絕緣體

744 : 絕緣體

751 : 佈線

752 : 佈線

753 : 佈線

754 : 佈線

755 : 佈線

- 756 : 佈線
- 757 : 佈線
- 758 : 佈線
- 759 : 佈線
- 761 : 插頭
- 762 : 插頭
- 763 : 插頭
- 764 : 插頭
- 765 : 插頭
- 766 : 插頭
- 767 : 插頭
- 768 : 插頭
- 769 : 插頭
- 770 : 插頭
- 771 : 插頭
- 772 : 插頭
- 773 : 插頭
- 781 : 電極
- 782 : 絕緣體
- 783 : 電極
- 800 : RF 裝置
- 801 : 通信器
- 802 : 天線
- 803 : 無線信號

- 804 : 天線
- 805 : 整流電路
- 806 : 恆壓電路
- 807 : 解調變電路
- 808 : 調變電路
- 809 : 邏輯電路
- 810 : 記憶體電路
- 811 : ROM
- 812 : 半導體
- 814 : 閘極絕緣膜
- 815 : 閘極電極
- 901 : 外殼
- 902 : 外殼
- 903 : 顯示部
- 904 : 顯示部
- 905 : 麥克風
- 906 : 揚聲器
- 907 : 操作鍵
- 908 : 觸控筆
- 911 : 外殼
- 912 : 外殼
- 913 : 顯示部
- 914 : 顯示部
- 915 : 連接部

- 916 : 操作鍵
- 921 : 外殼
- 922 : 顯示部
- 923 : 鍵盤
- 924 : 指向裝置
- 931 : 外殼
- 932 : 冷藏室門
- 933 : 冷凍室門
- 941 : 外殼
- 942 : 外殼
- 943 : 顯示部
- 944 : 操作鍵
- 945 : 透鏡
- 946 : 連接部
- 951 : 車體
- 952 : 車輪
- 953 : 儀表板
- 954 : 燈

- 1189 : ROM 介面
- 1190 : 基板
- 1191 : ALU
- 1192 : ALU 控制器
- 1193 : 指令解碼器
- 1194 : 中斷控制器

- 1195：時序控制器
- 1196：暫存器
- 1197：暫存器控制器
- 1198：匯流排介面
- 1199：ROM
- 1200：記憶元件
- 1201：電路
- 1202：電路
- 1203：開關
- 1204：開關
- 1206：邏輯元件
- 1207：電容元件
- 1208：電容元件
- 1209：電晶體
- 1210：電晶體
- 1213：電晶體
- 1214：電晶體
- 1220：電路
- 1700：電晶體
- 1701：電晶體
- 2100：基板
- 2101：像素部
- 2102：掃描線驅動電路
- 2103：掃描線驅動電路

- 2104：信號線驅動電路
- 2110：電容佈線
- 2112：閘極佈線
- 2113：閘極佈線
- 2114：汲極電極層
- 2116：電晶體
- 2117：電晶體
- 2118：液晶元件
- 2119：液晶元件
- 2120：像素
- 2121：開關電晶體
- 2122：驅動電晶體
- 2123：電容元件
- 2124：發光元件
- 2125：信號線
- 2126：掃描線
- 2127：電源線
- 2128：共同電極
- 2402：絕緣體
- 2501：絕緣體
- 2502：絕緣體
- 2503：障壁膜
- 2504：導電體
- 2504a：導電體

2601 : 障壁膜
2602 : 絕緣體
2603 : 半導體
2604 : 半導體
2605 : 導電體
2605a : 導電體
2605b : 導電體
2605c : 導電體
2605d : 導電體
2606 : 絕緣體
2607a : 開口
2607b : 開口
2701 : 導電體
2701a : 導電體
2701b : 導電體
2701c : 導電體
2901a : 半導體
2902a : 絕緣體
2903a : 導電體
2904 : 障壁膜
3001 : 佈線
3002 : 佈線
3003 : 佈線
3004 : 佈線

- 3005 : 佈線
- 3010 : 半導體基板
- 3011 : 半導體
- 3012 : 絕緣體
- 3013 : 導電體
- 3014 : 低電阻區域
- 3015 : 低電阻區域
- 3016 : 絕緣體
- 3017 : 絕緣體
- 3018 : 絕緣體
- 3019 : 絕緣體
- 3020 : 插頭
- 3021 : 插頭
- 3022 : 佈線
- 3023 : 佈線
- 3024 : 絕緣體
- 3025 : 絕緣體
- 3026 : 插頭
- 3027 : 插頭
- 3028 : 插頭
- 3029 : 佈線
- 3030 : 佈線
- 3031 : 佈線
- 3101 : 電晶體

3126 : 插頭

3127 : 插頭

3128 : 插頭

3129 : 佈線

3130 : 佈線

3131 : 佈線

3134 : 插頭

3200 : 電晶體

3201 : 電晶體

3225 : 絕緣體

3226 : 插頭

3227 : 插頭

3228 : 插頭

3229 : 佈線

3230 : 佈線

3231 : 佈線

3232 : 插頭

3233 : 佈線

3235 : 佈線

3300 : 電晶體

3400 : 電容元件

3500 : 電晶體

3600 : 電晶體

4000 : RF 裝置

5100：顆粒

5100a：顆粒

5100b：顆粒

5101：離子

5102：氧化鋅層

5103：粒子

5105a：顆粒

5105a1：區域

5105a2：顆粒

5105b：顆粒

5105c：顆粒

5105d：顆粒

5105d1：區域

5105e：顆粒

5120：基板

5130：靶材

5161：區域

申請專利範圍

【請求項1】一種半導體裝置，具有：第一導電層；
具有與該第一導電層重疊的區域、及第一電晶體的通道形成區域的半導體；
連接電極；
該第一電晶體下方的絕緣層；
該絕緣層下方的第二電晶體；
該連接電極具有第二導電層、及第三導電層；
該第二導電層具有與該半導體的開口部的側面接觸的區域、及與該絕緣層的側面接觸的區域；
該連接電極具有與該第一導電層接觸的區域；
該第一電晶體的該通道形成區域具有矽；
該第二電晶體的通道形成區域具有矽；
該第二導電層具有金屬氮化物。

【請求項2】一種半導體裝置，具有：第一導電層；
具有與該第一導電層重疊的區域、及第一電晶體的通道形成區域的半導體；
連接電極；
該第一電晶體下方的絕緣層；
該絕緣層下方的第二電晶體；
該連接電極下方的第二導電層；
該連接電極具有第三導電層、及第四導電層；
該第三導電層具有與該半導體的開口部的側面接觸的區域、與該絕緣層的側面接觸的區域、及與該第二導電層

的頂面接觸的區域；

該連接電極具有與該第一導電層接觸的區域；

該第一電晶體的該通道形成區域具有砒；

該第二電晶體的通道形成區域具有砒；

該第三導電層具有金屬氮化物。

【請求項3】一種半導體裝置，具有：第一導電層；
具有與該第一導電層重疊的區域、及第一電晶體的通道形成區域的半導體；

連接電極；

該第一電晶體下方的絕緣層；

該絕緣層下方的第二電晶體；

該連接電極下方的第二導電層；

該連接電極具有第三導電層、及第四導電層；

該第三導電層具有與該半導體的開口部的側面接觸的區域、與該絕緣層的側面接觸的區域、及與該第二導電層的頂面接觸的區域；

該連接電極具有與該第一導電層接觸的區域；

該第一電晶體的該通道形成區域具有砒；

該第二電晶體的通道形成區域具有砒；

該第四導電層具有鈹、鎢、鈦、鉬、鉻、或鋮中的任一金屬；

該第三導電層具有氮化鎢、氮化鉬、或氮化鈦。

圖式

圖 1

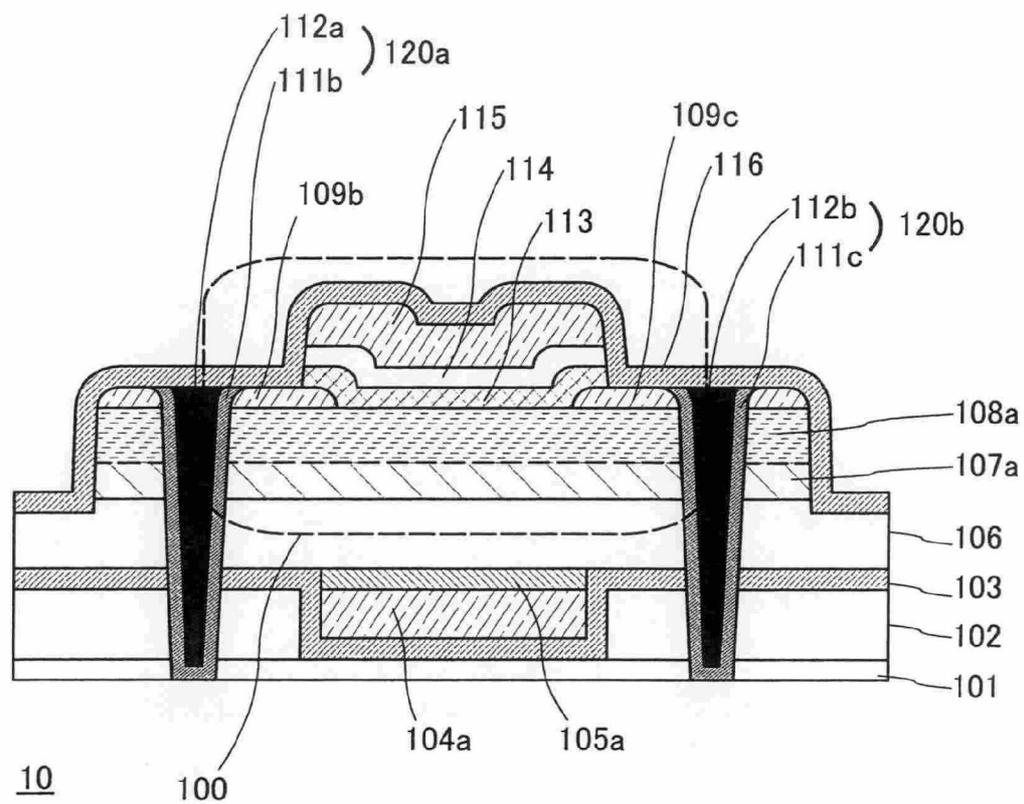


圖 2

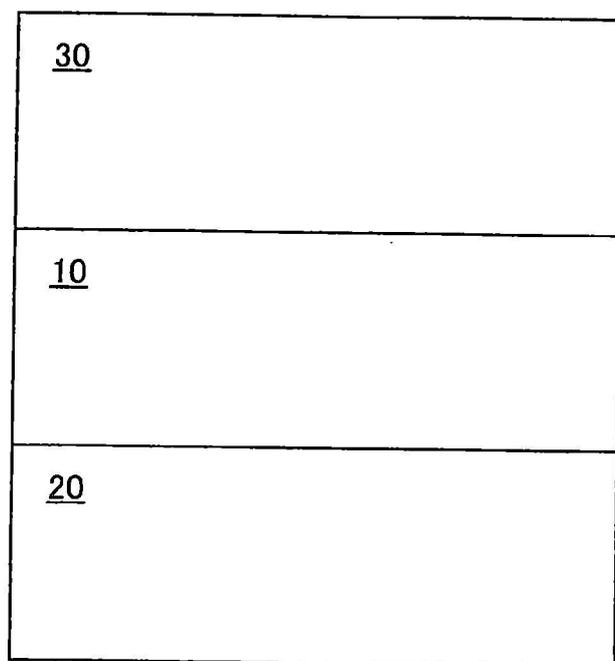


圖 3A

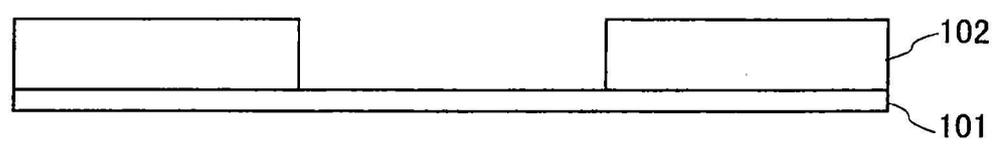


圖 3B

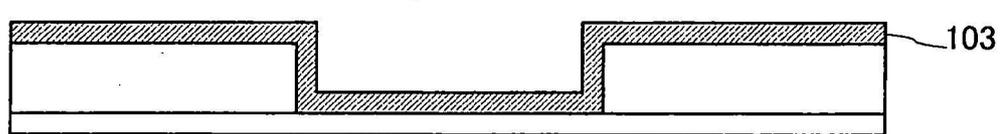


圖 3C

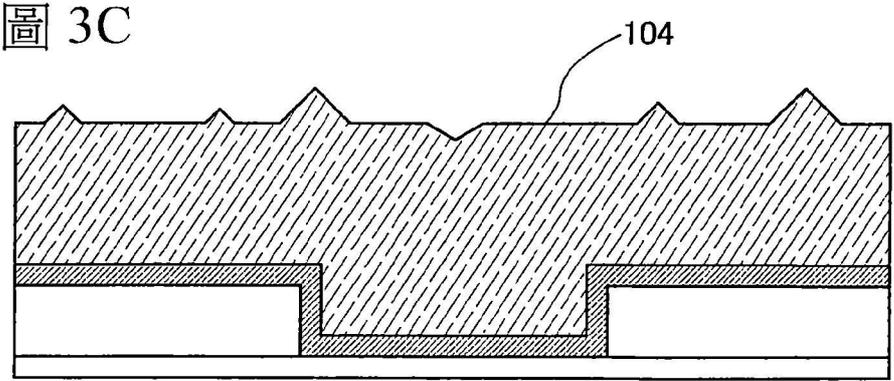


圖 3D

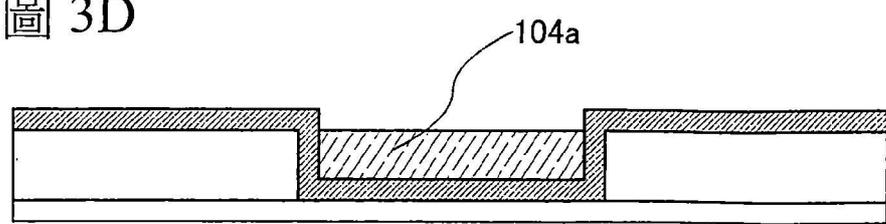


圖 4A

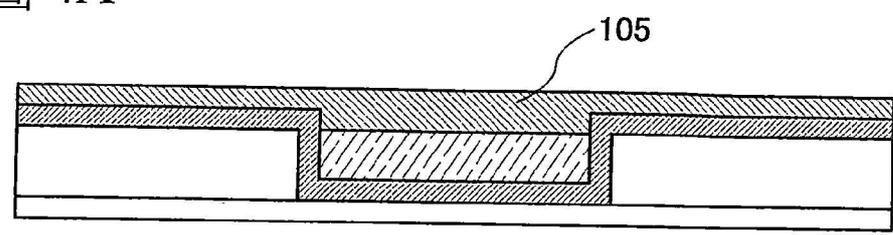


圖 4B

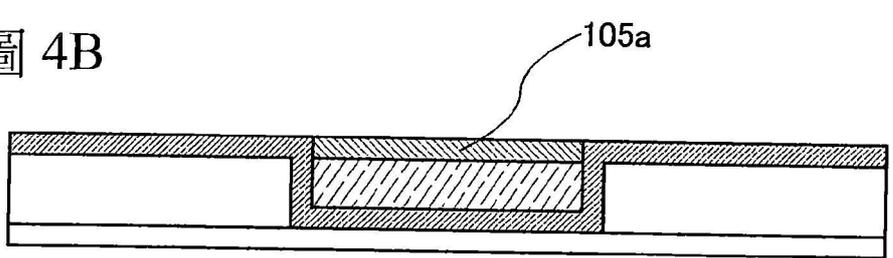


圖 4C

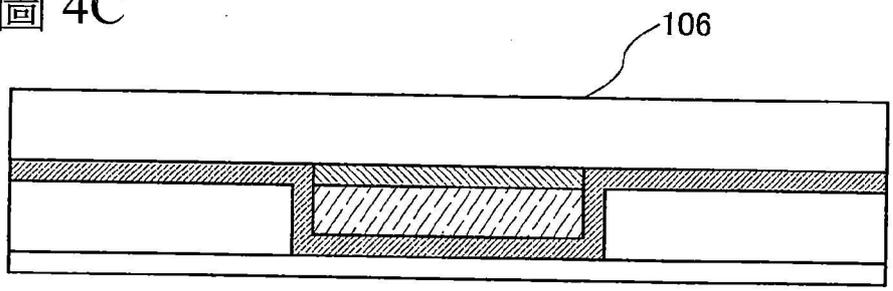


圖 4D

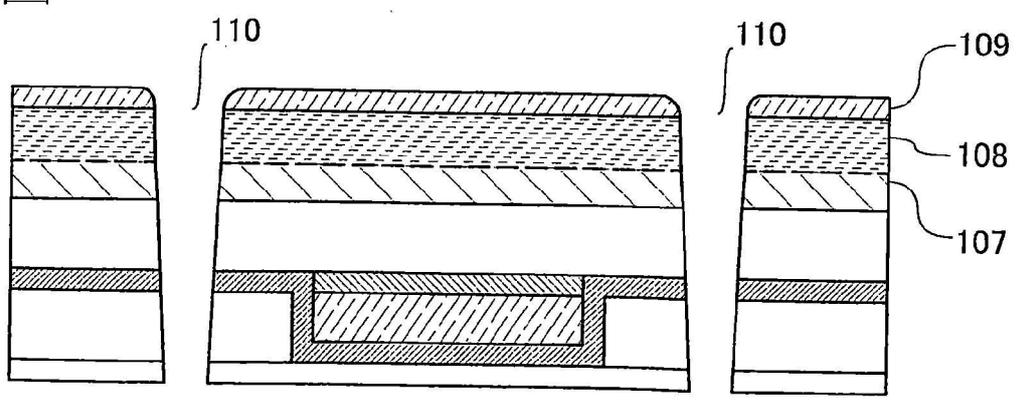


圖 5A

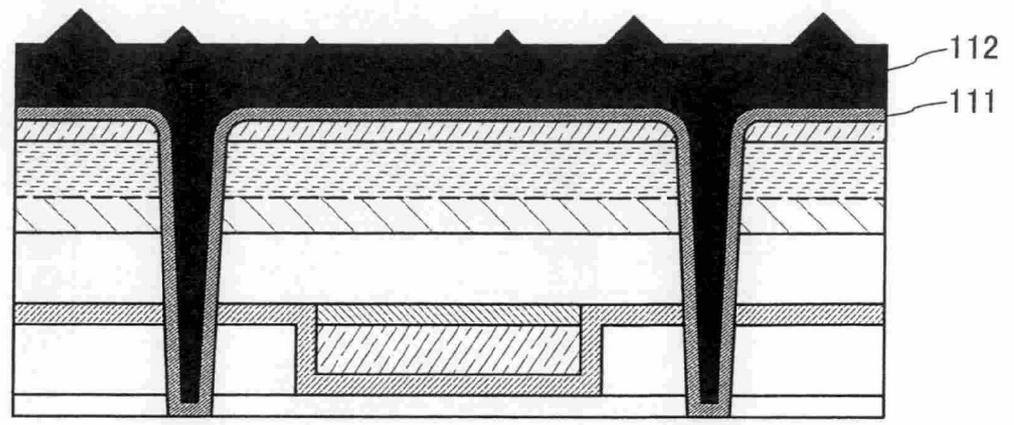


圖 5B

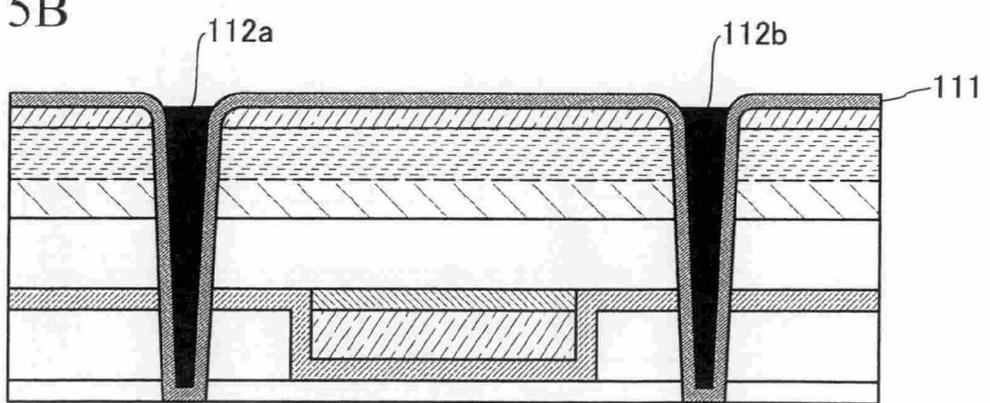


圖 5C

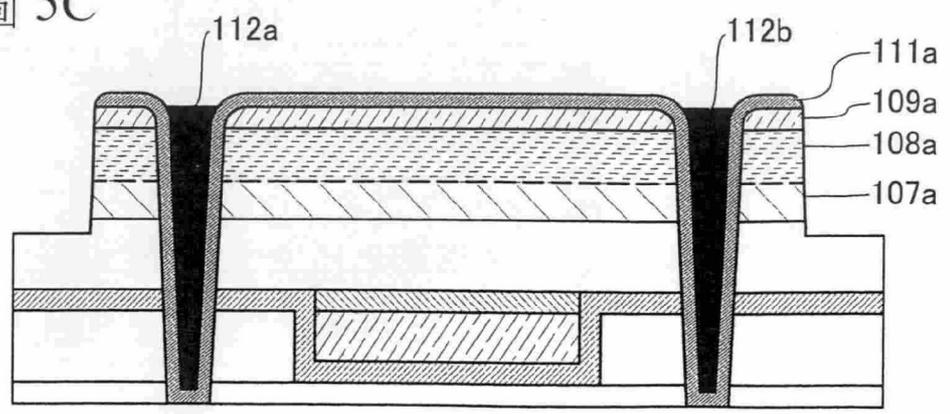


圖 6A

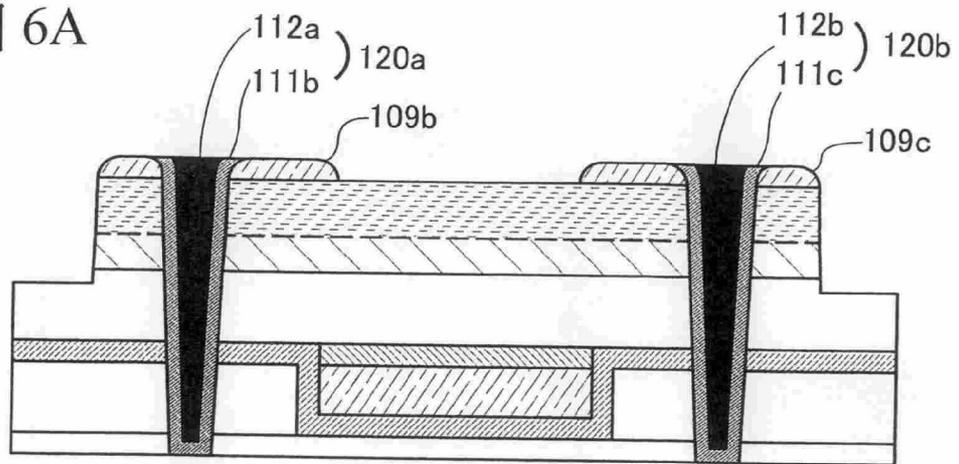


圖 6B

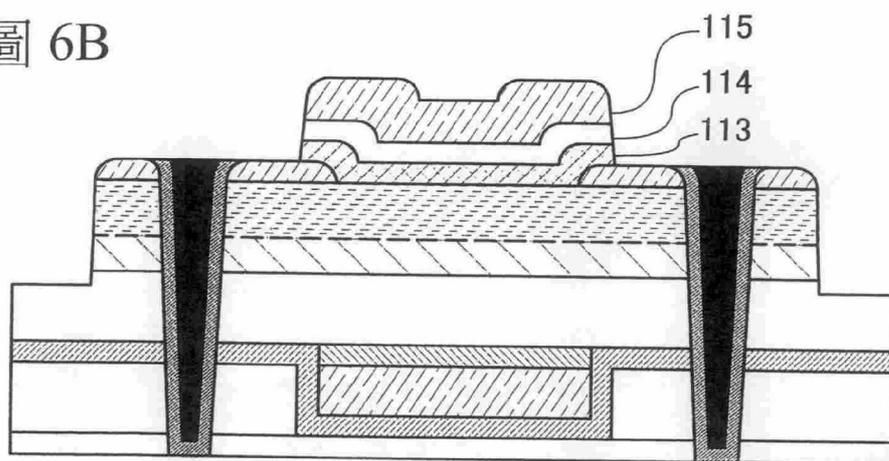


圖 6C

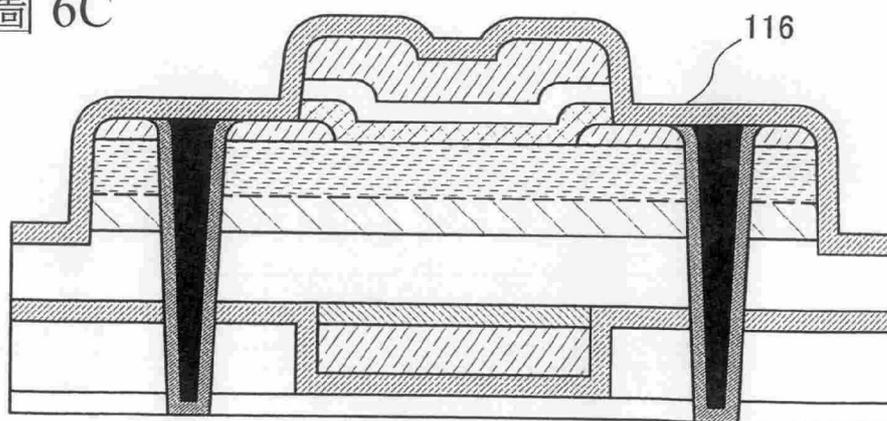


圖 7A

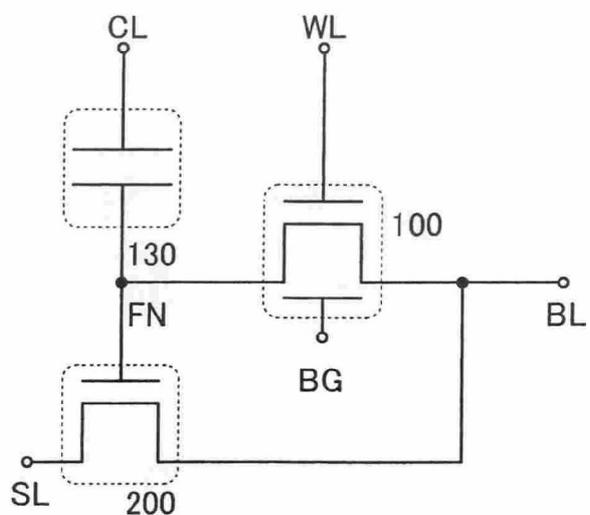


圖 7B

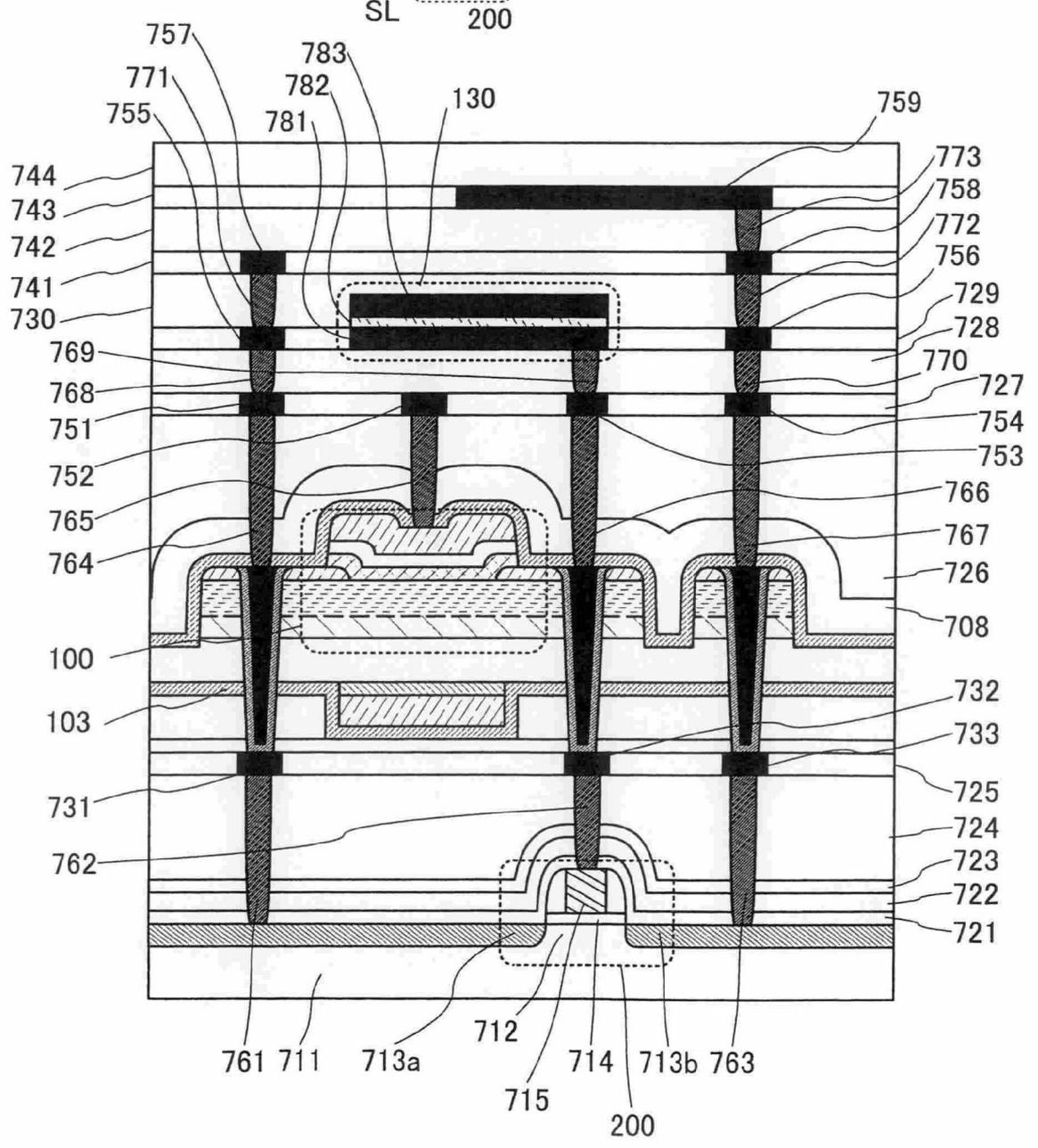


圖 8

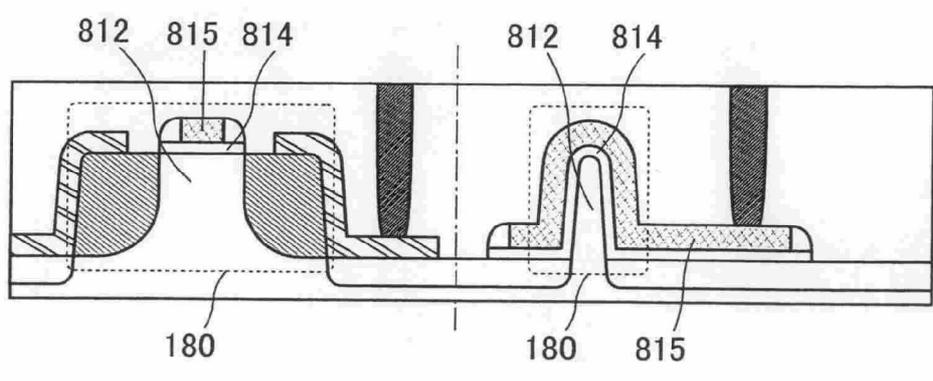


圖 9A

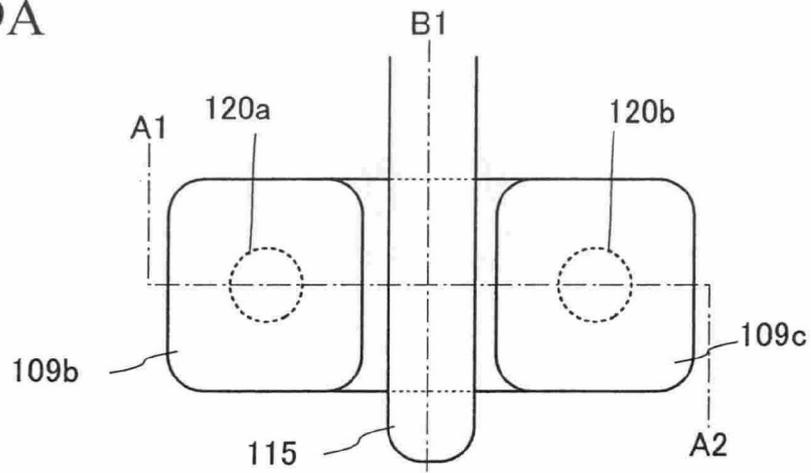


圖 9B

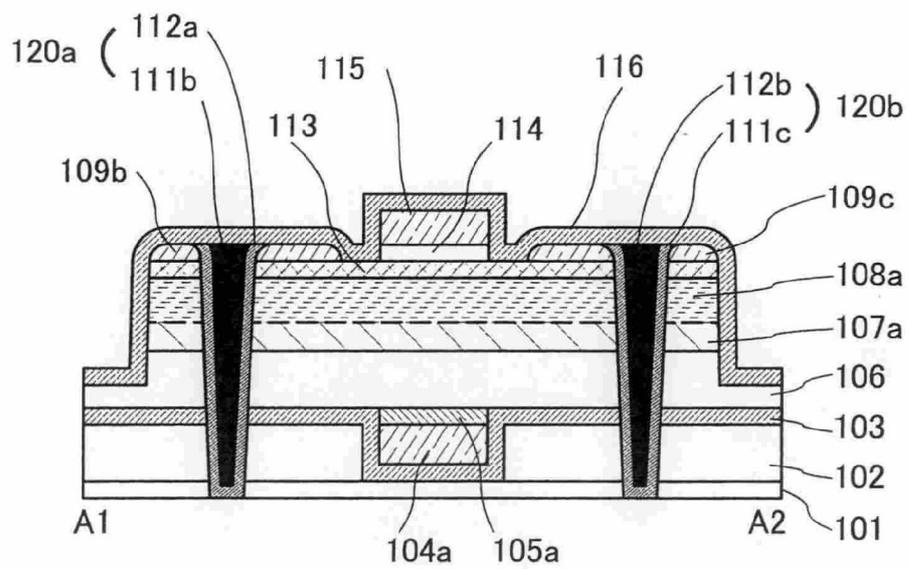


圖 9C

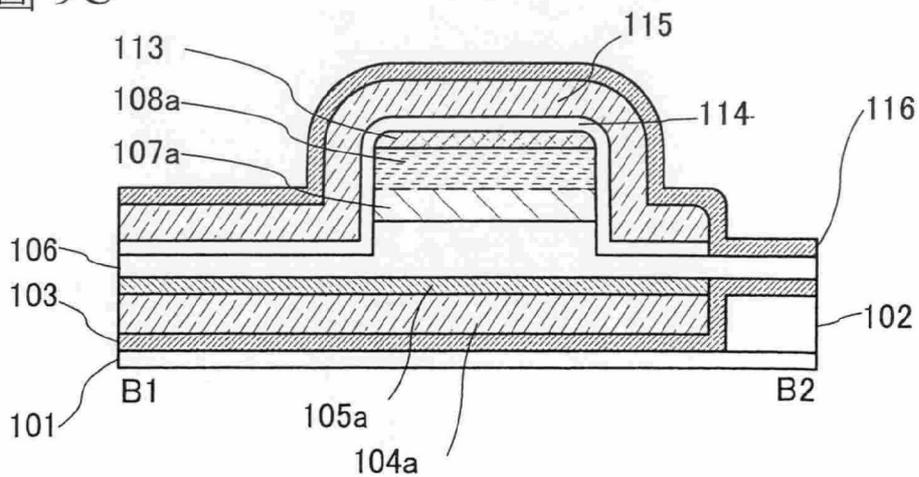


圖 10A

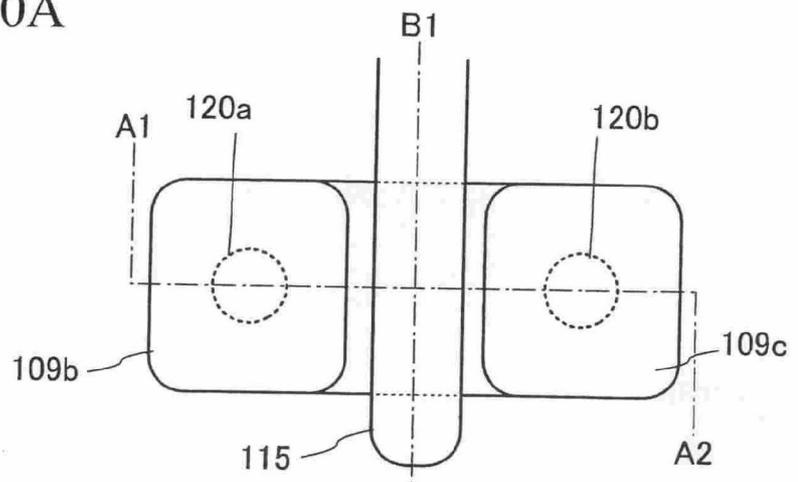


圖 10B

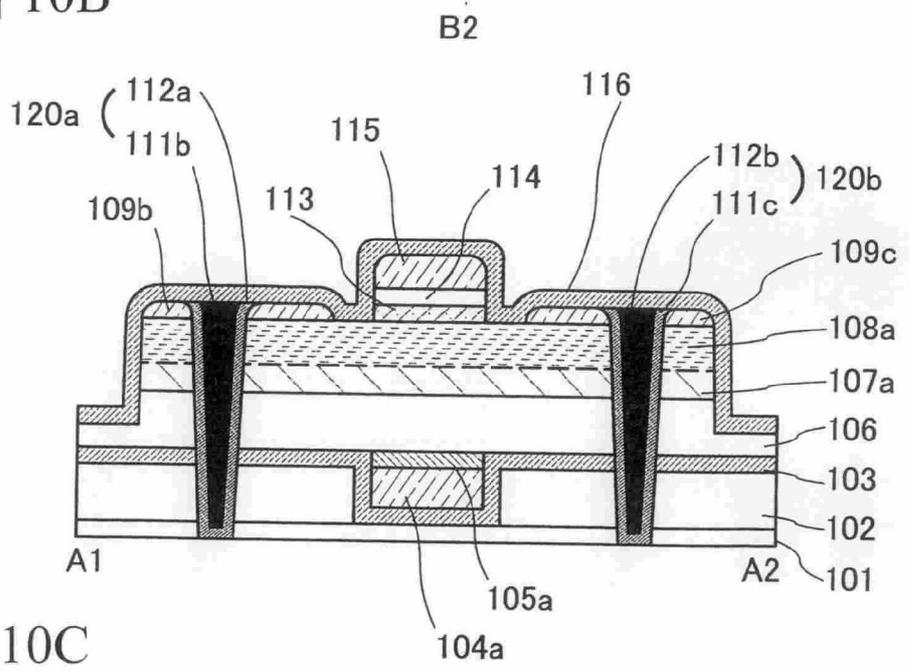


圖 10C

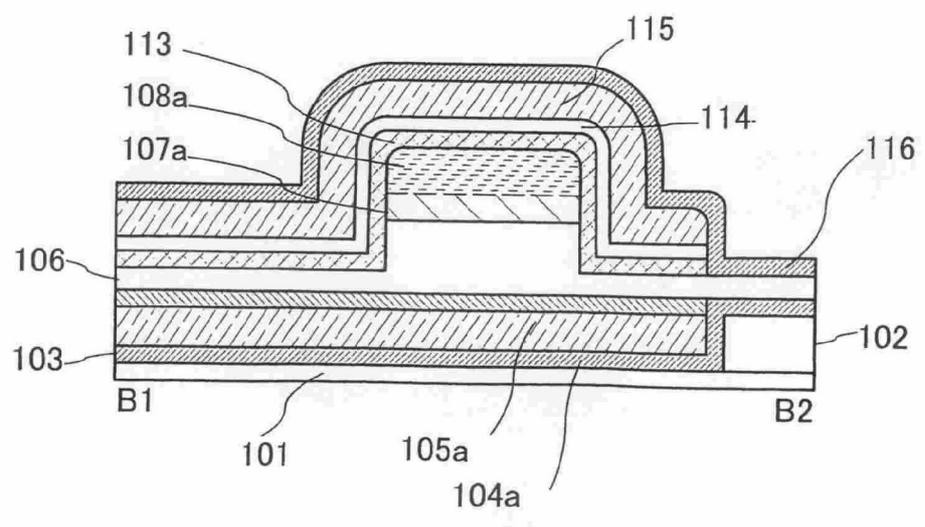


圖 11A

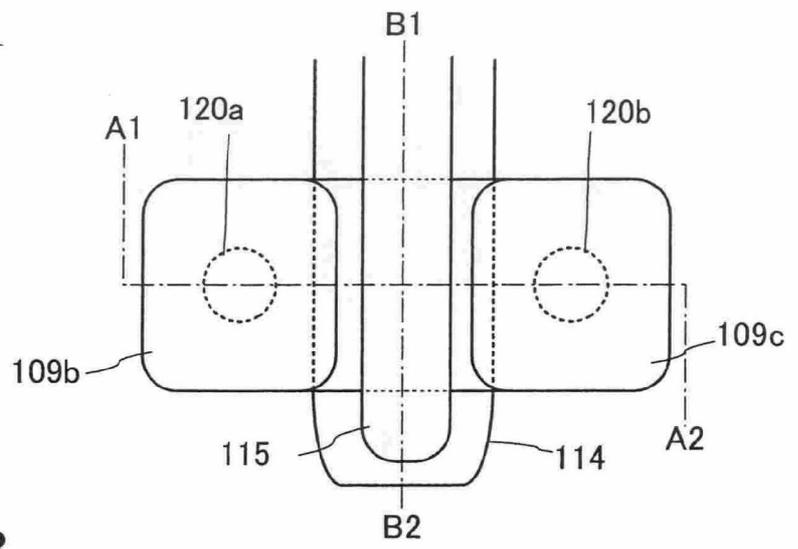


圖 11B

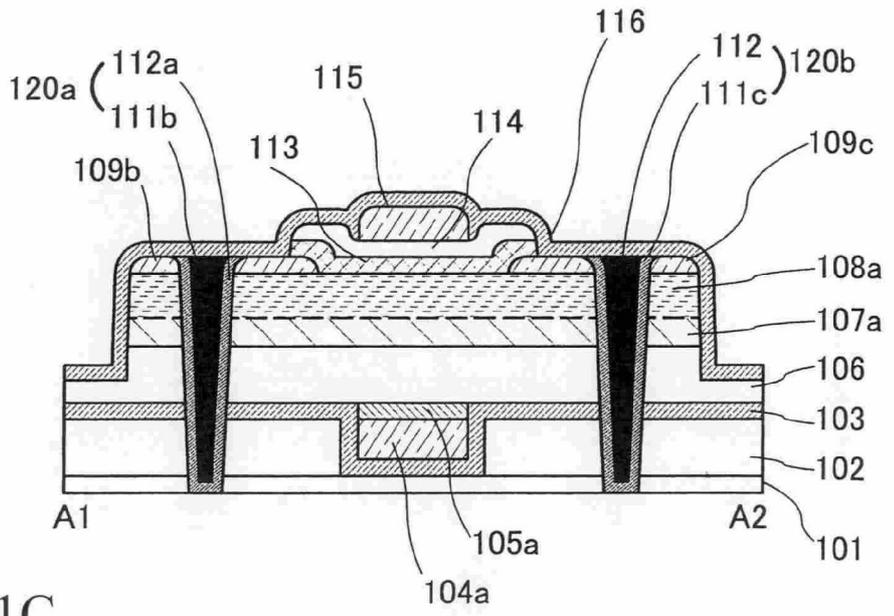


圖 11C

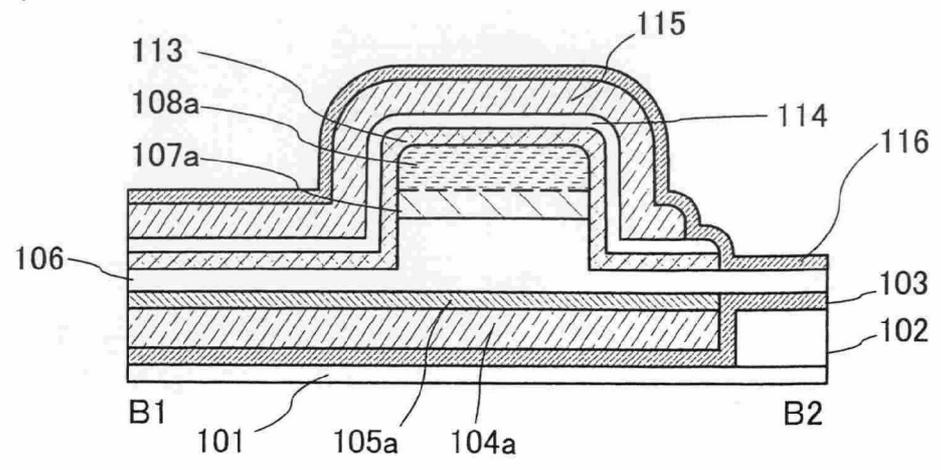


圖 12A

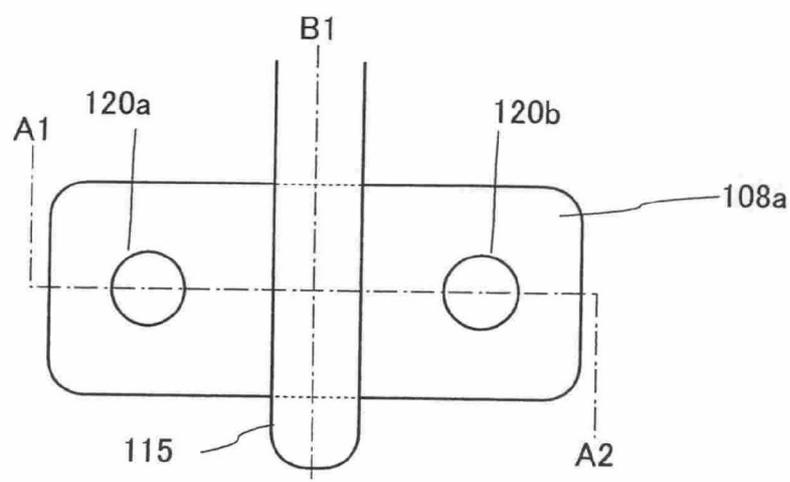


圖 12B

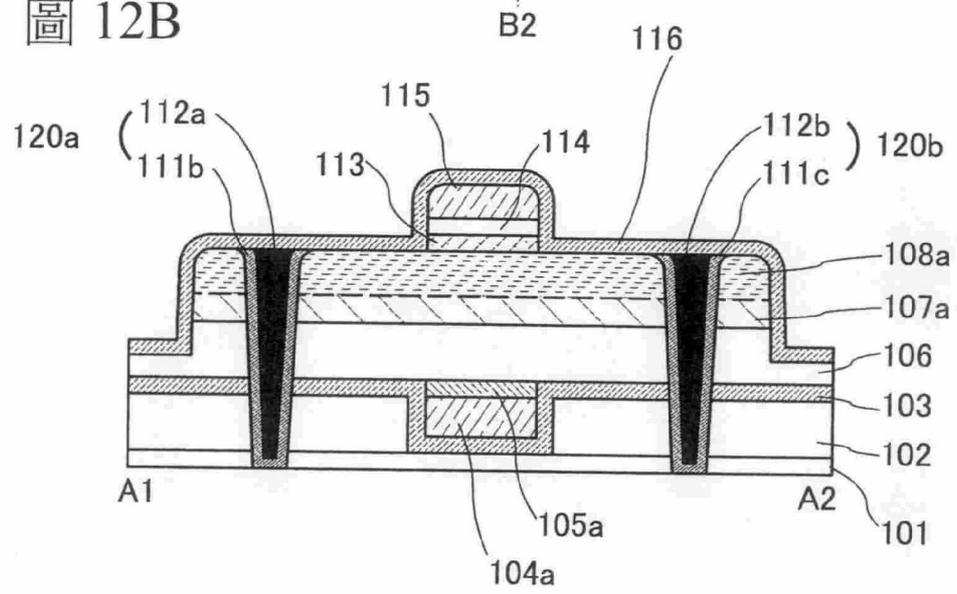


圖 12C

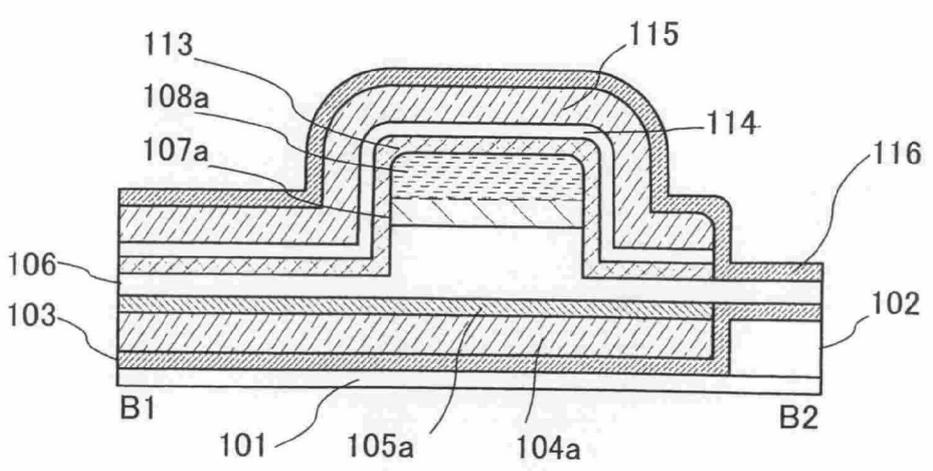


圖 13A

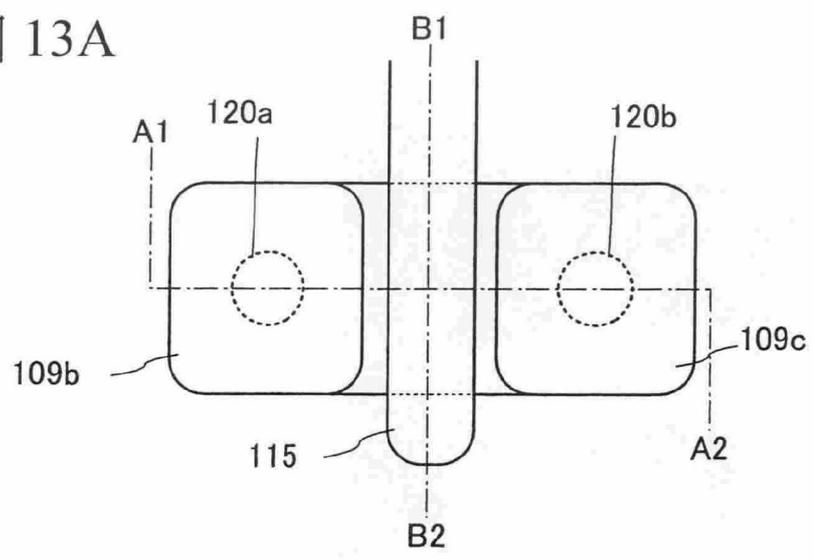


圖 13B

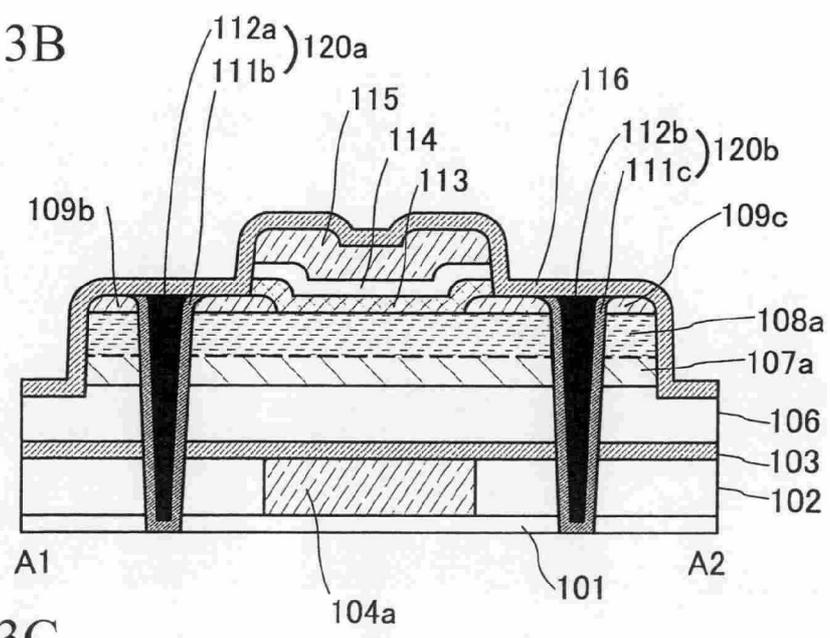


圖 13C

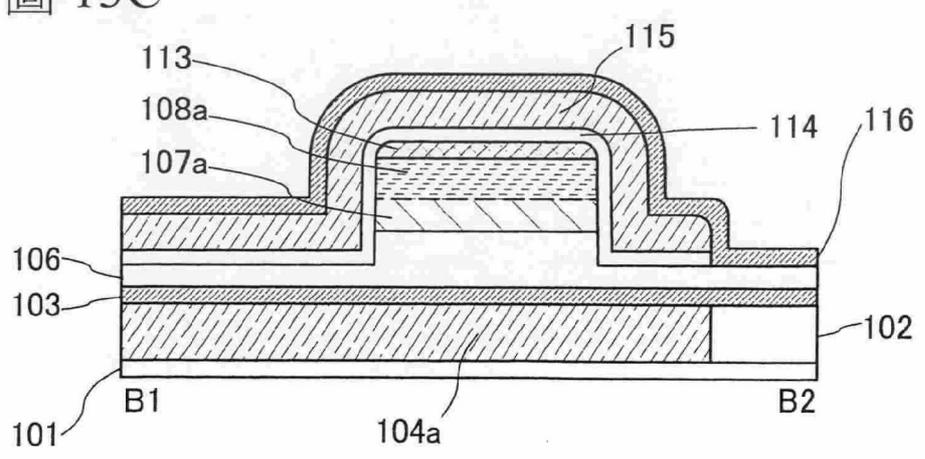


圖 14A

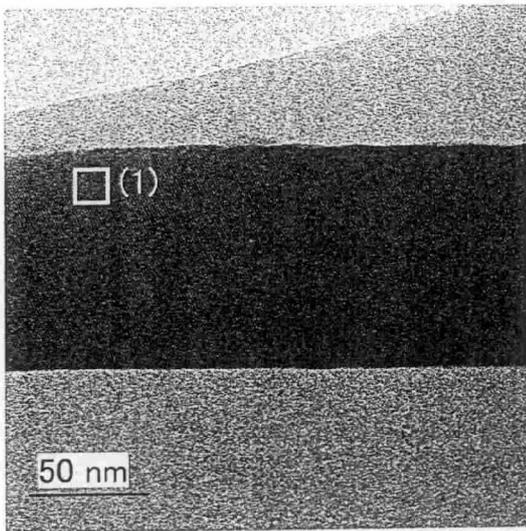


圖 14B

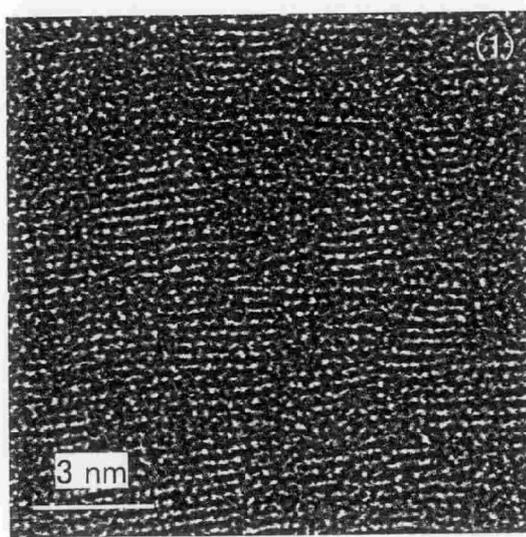


圖 14C

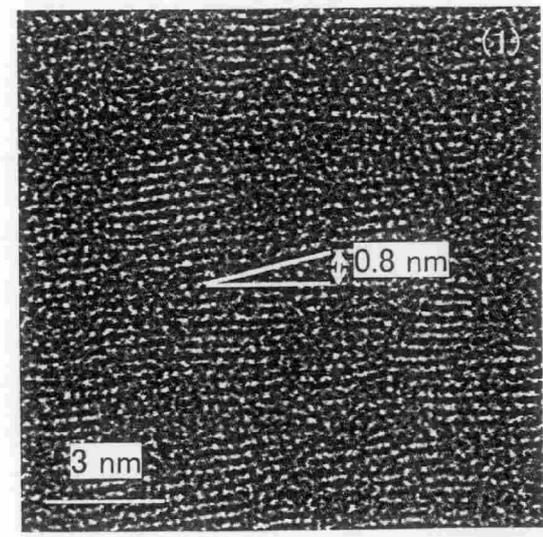


圖 14D

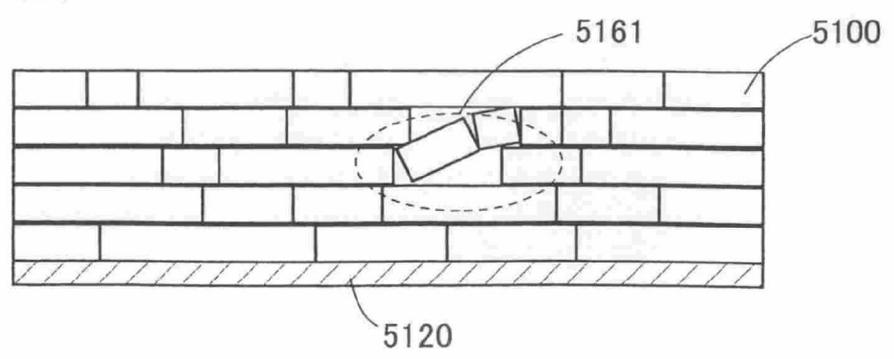


圖 15A

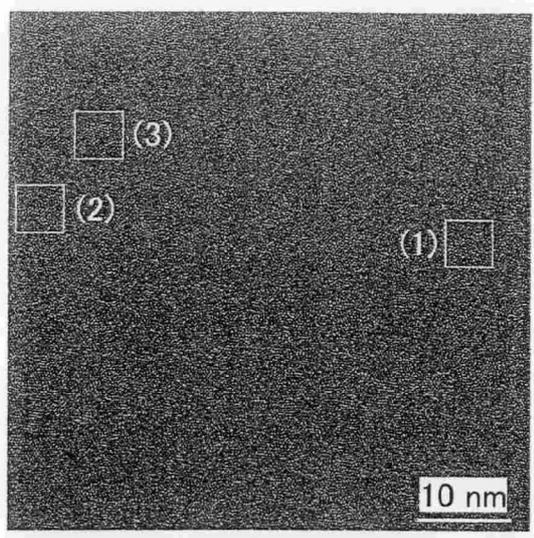


圖 15B

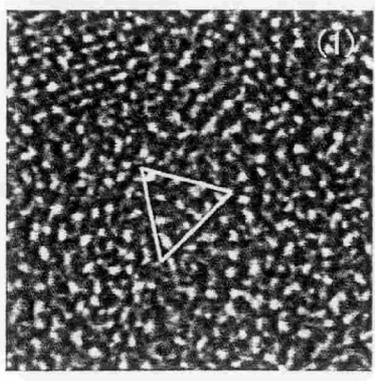


圖 15C

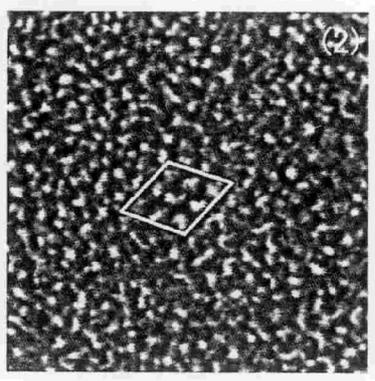


圖 15D

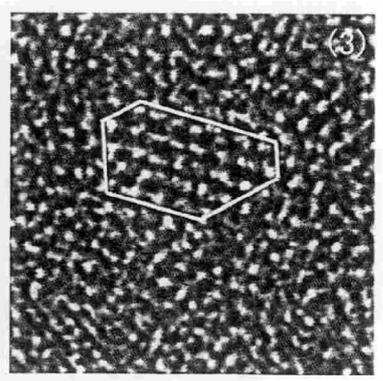


圖 16A Out-of-plane 法
CAAC-OS

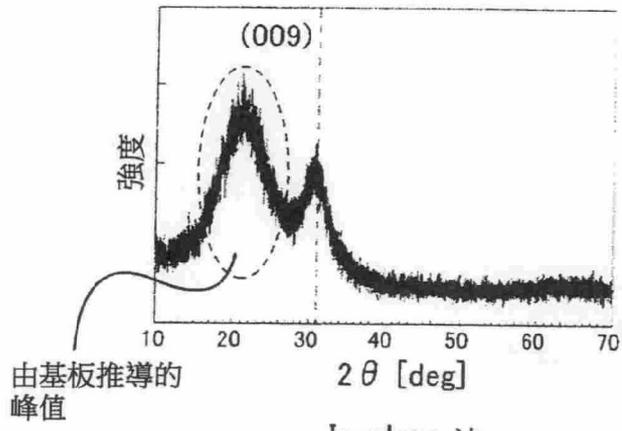


圖 16B In-plane 法
 ϕ 掃描
CAAC-OS

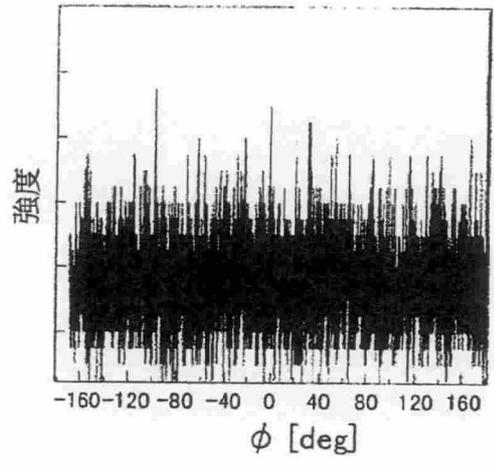


圖 16C In-plane 法
 ϕ 掃描
單晶 OS

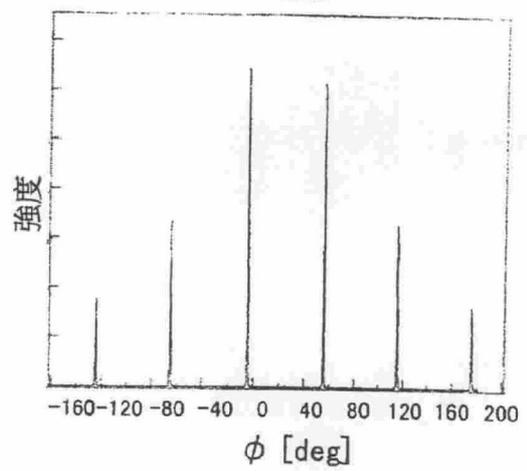
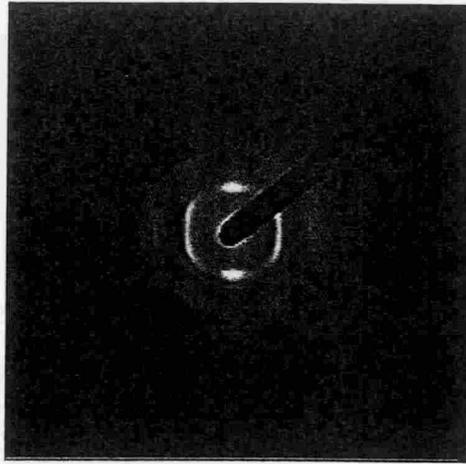
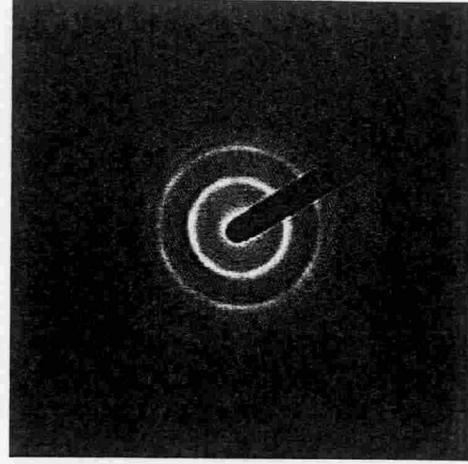


圖 17A



電子束入射於平行樣本
表面的方向

圖 17B



電子束入射於垂直樣本
表面的方向

圖 18

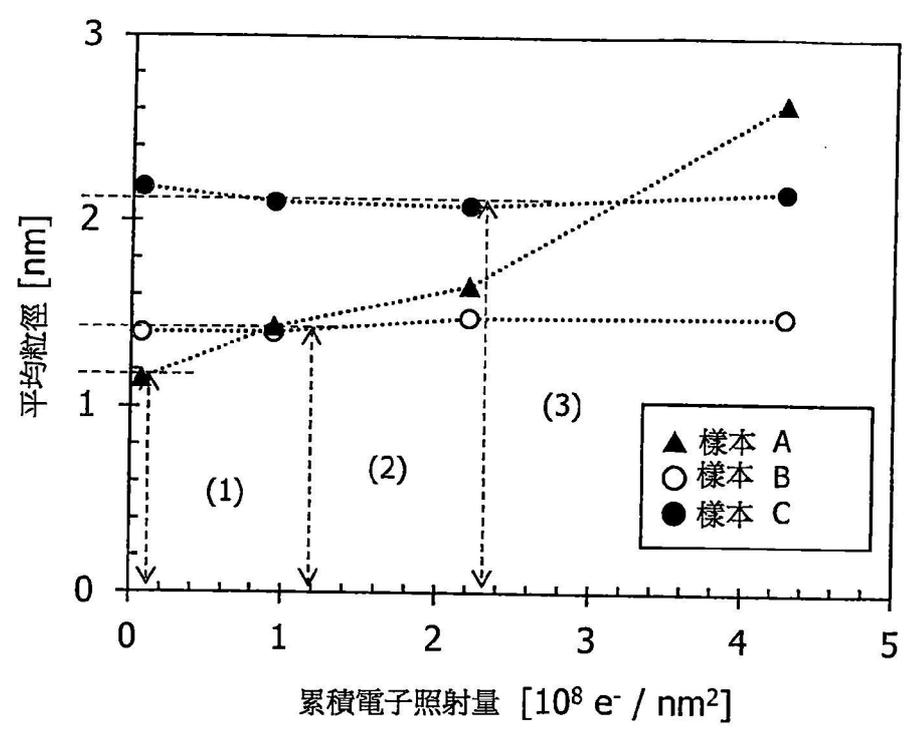


圖 19A

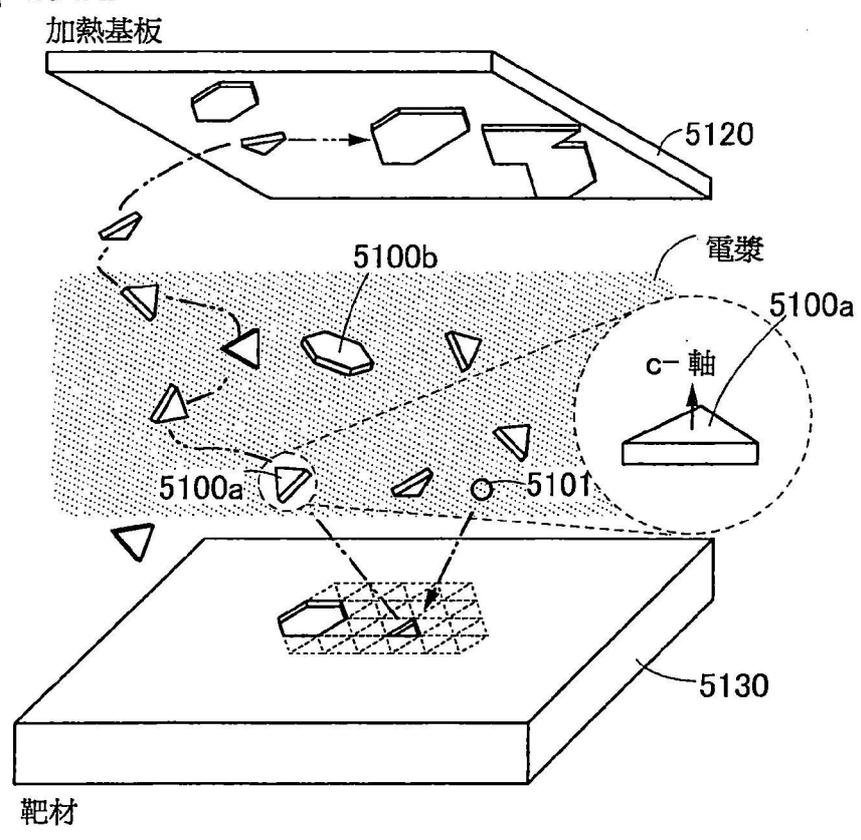


圖 19B

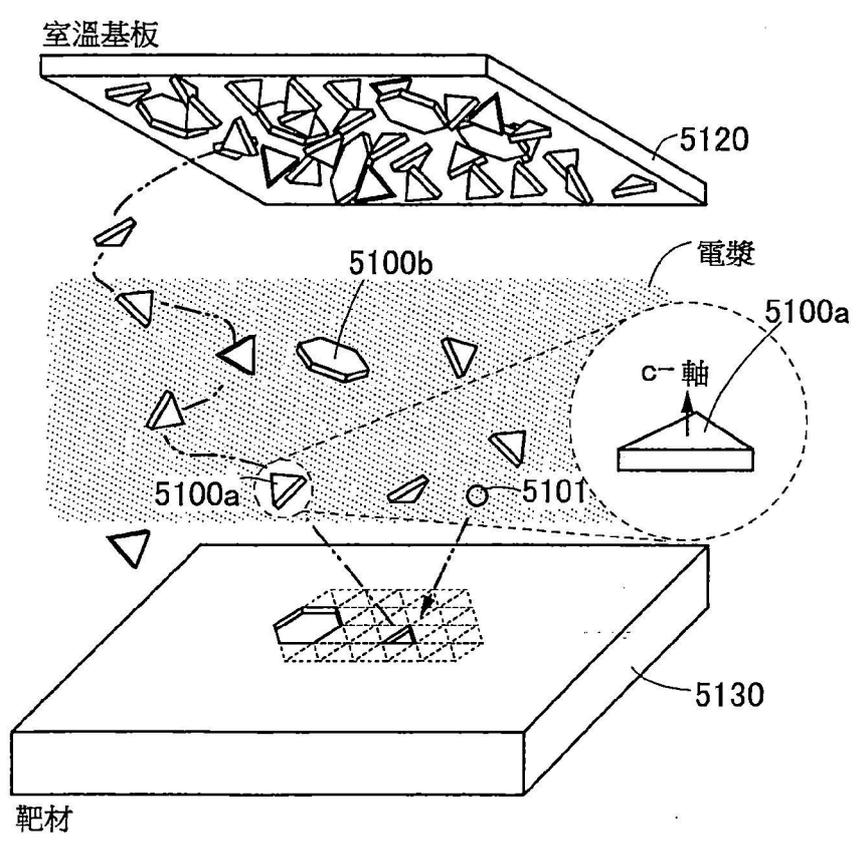


圖 20A

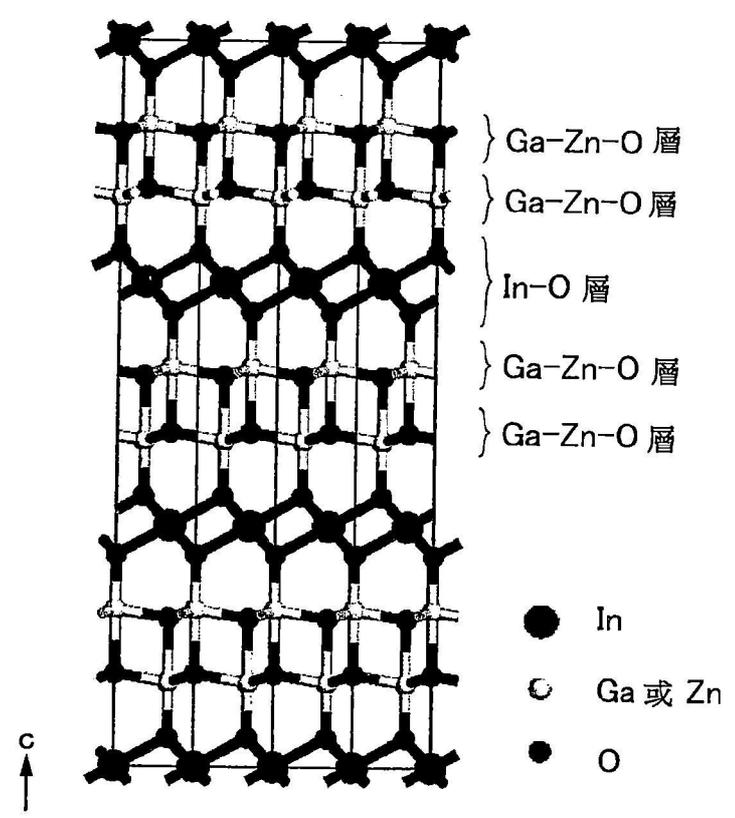


圖 20B

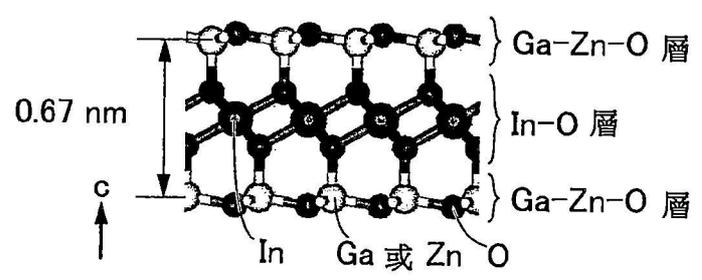


圖 20C

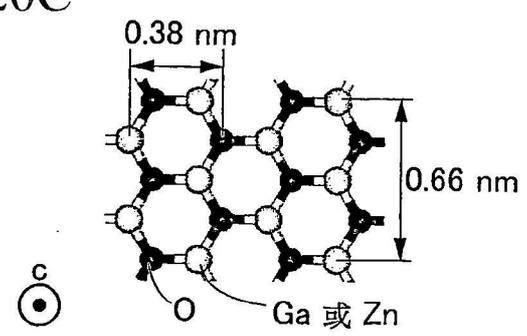


圖 21A

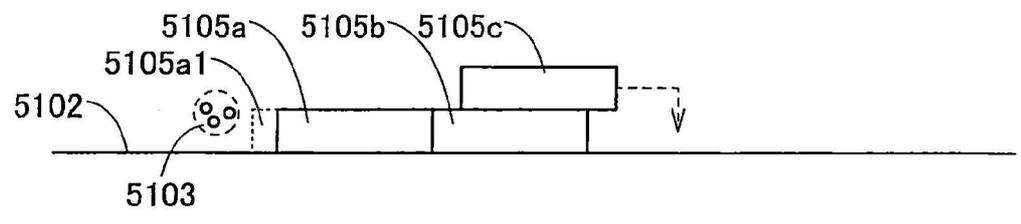


圖 21B

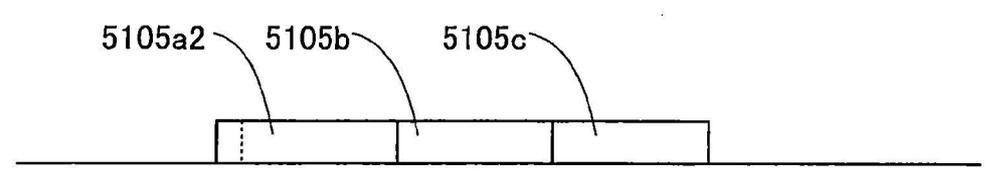


圖 21C

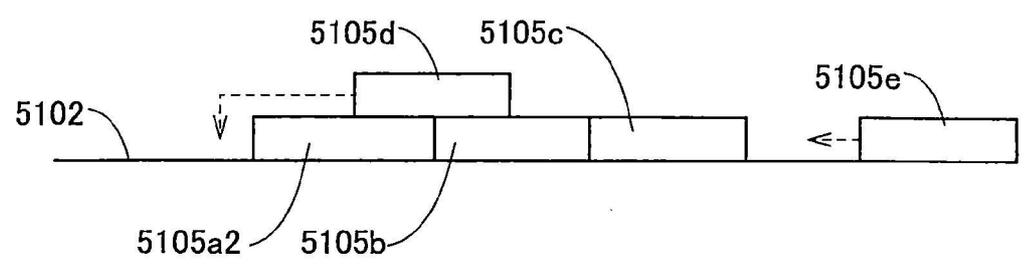


圖 21D

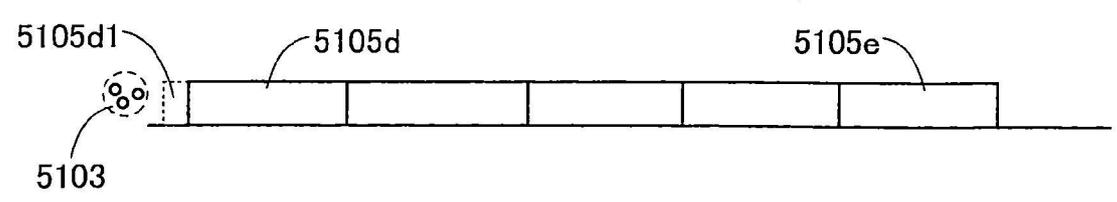


圖 22A

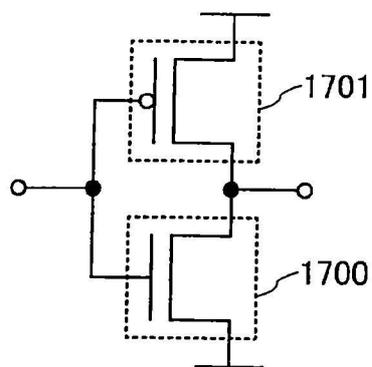


圖 22B

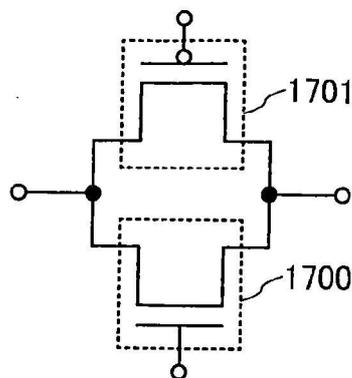


圖 22C

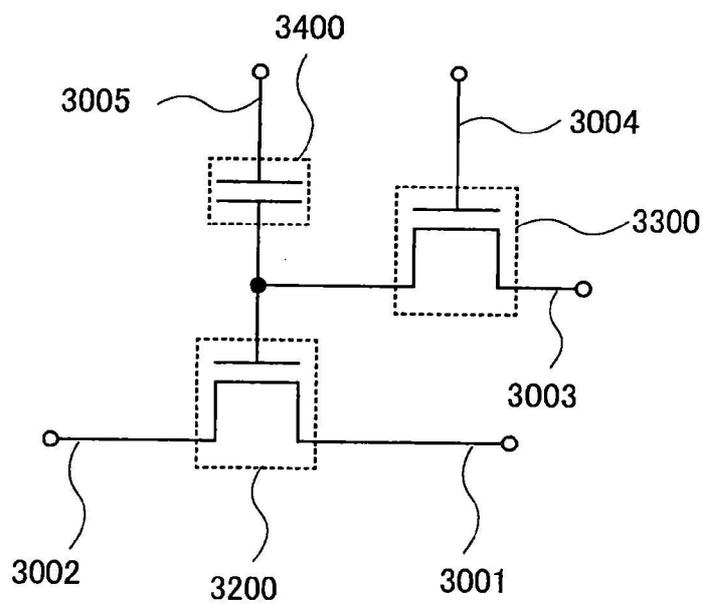


圖 22D

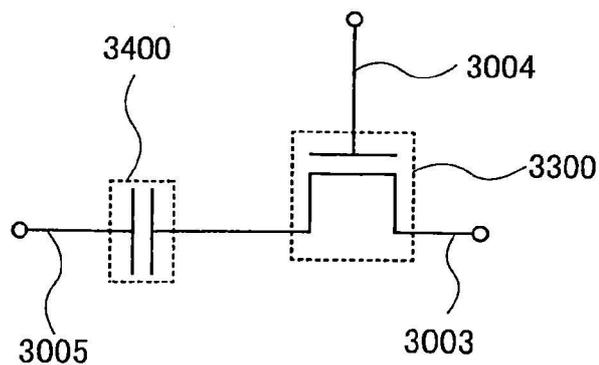


圖 24

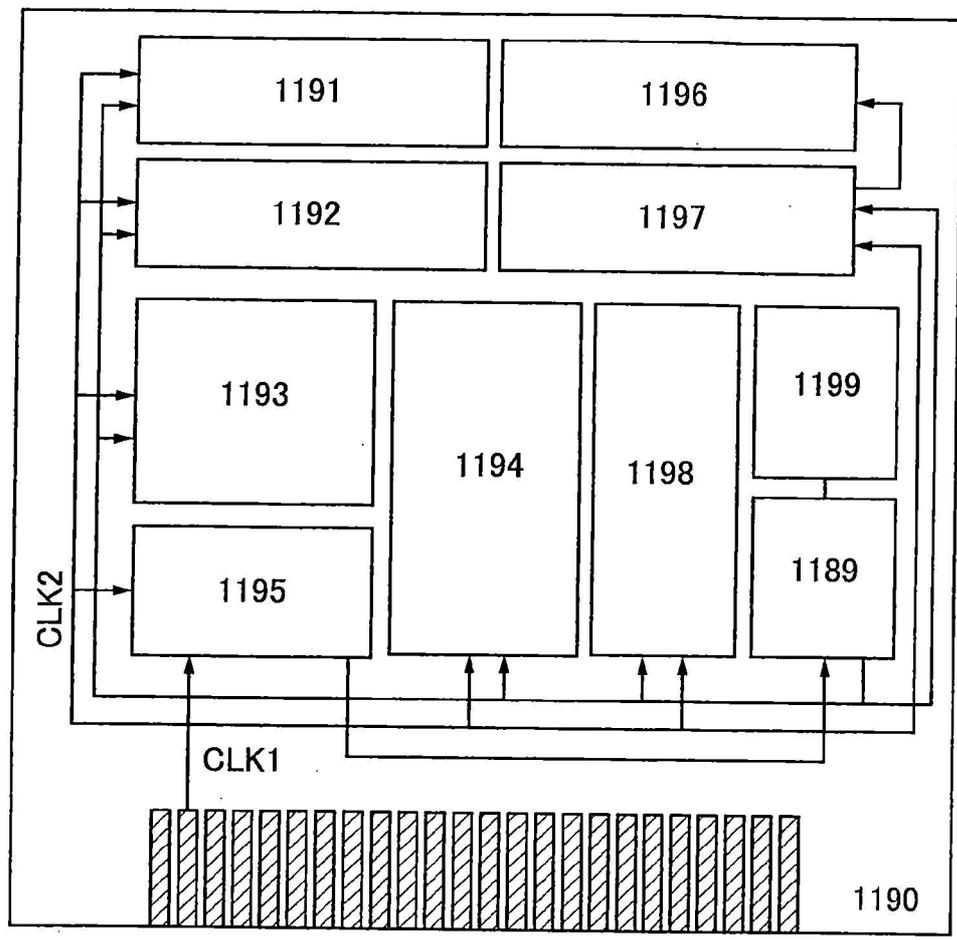


圖 25

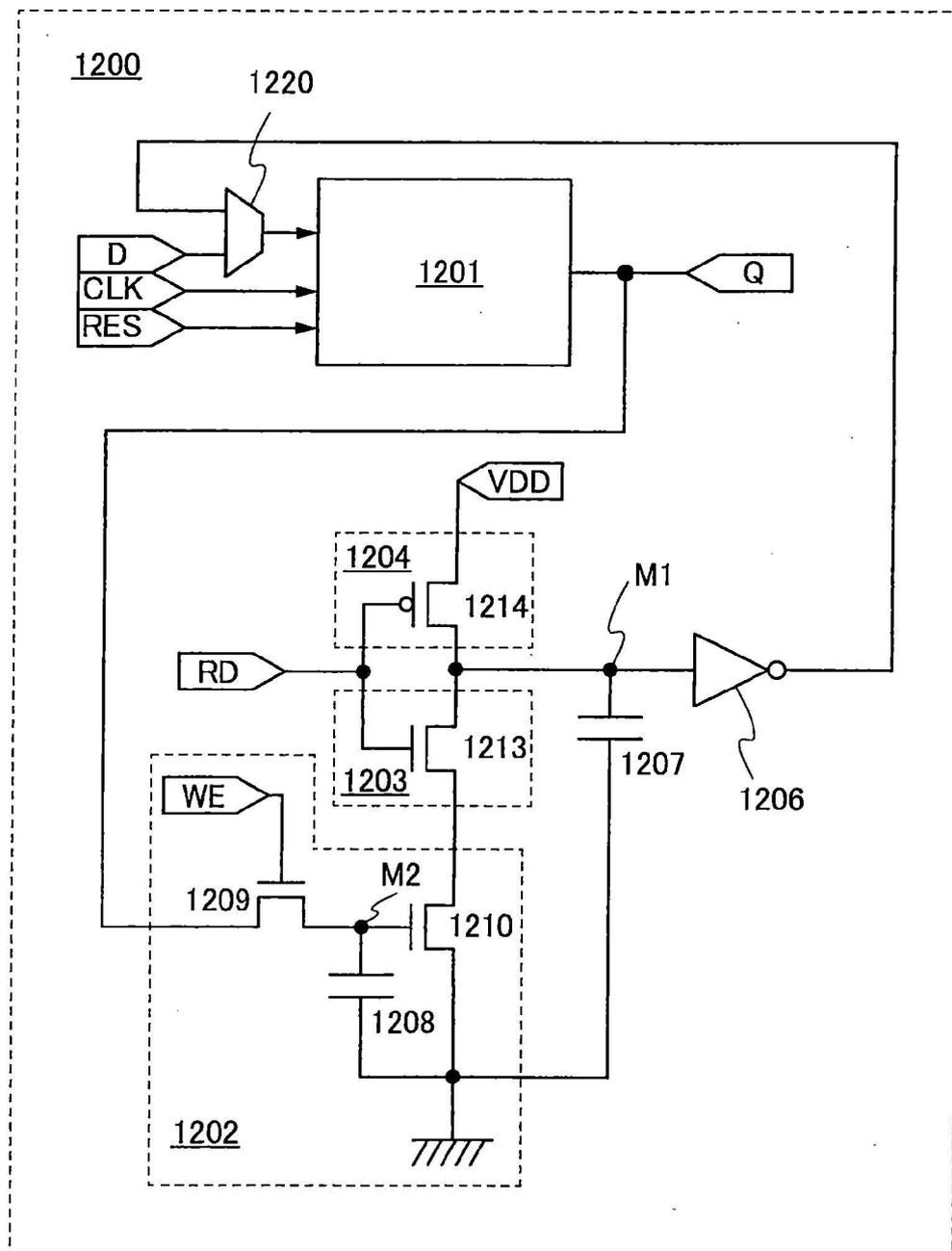


圖 26A

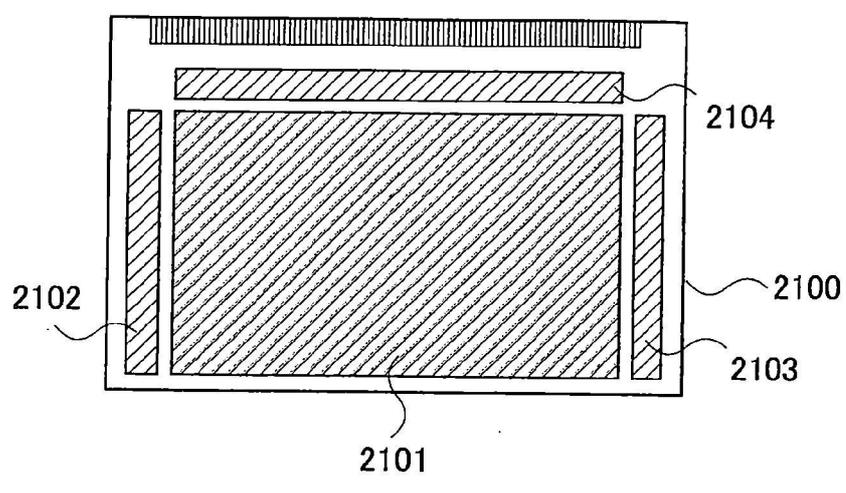


圖 26B

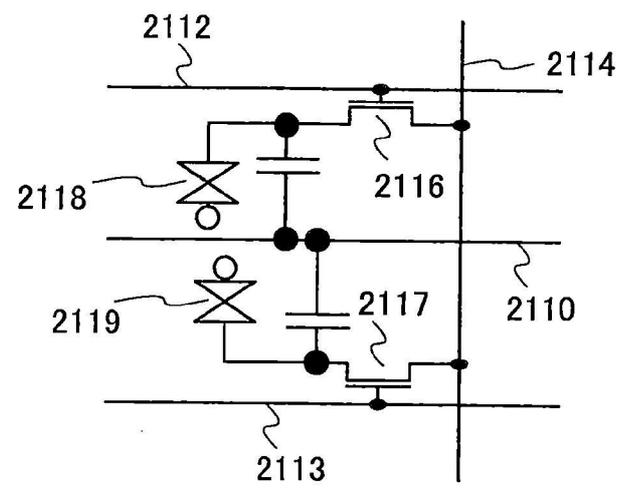


圖 26C

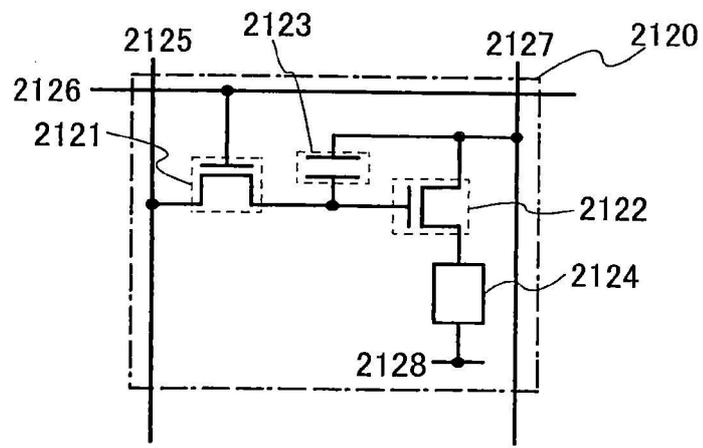


圖 27A

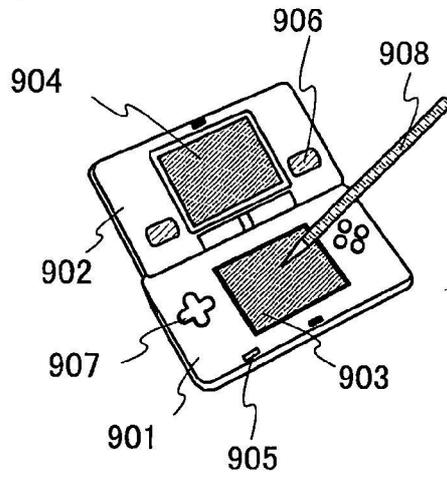


圖 27B

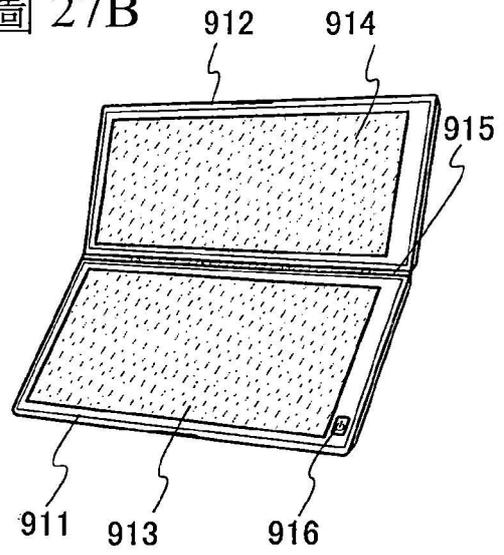


圖 27C

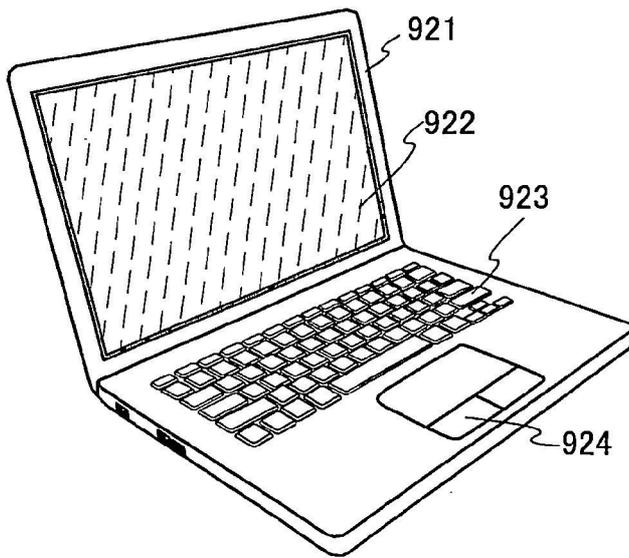


圖 27D

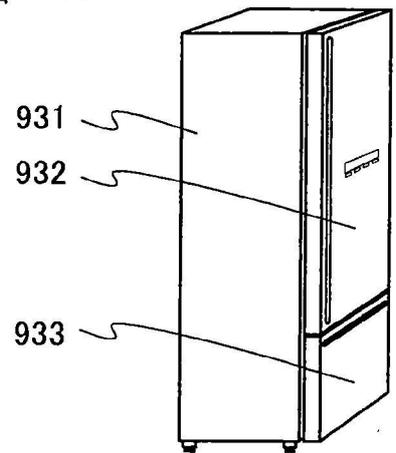


圖 27E

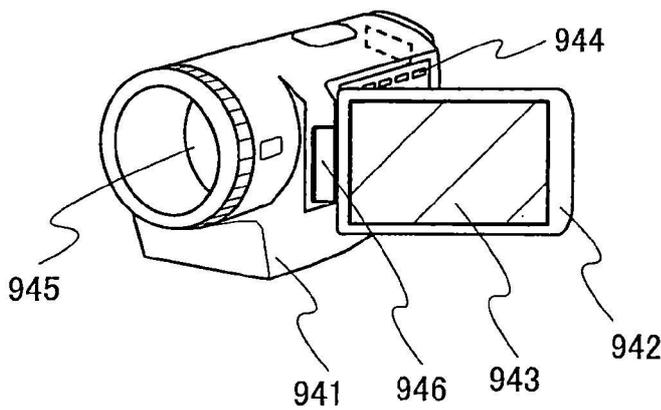


圖 27F

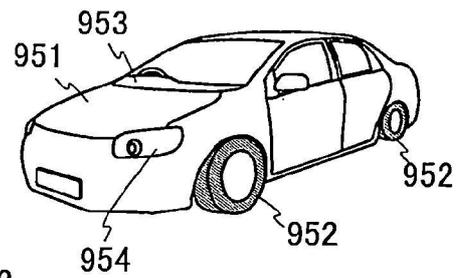


圖 28A

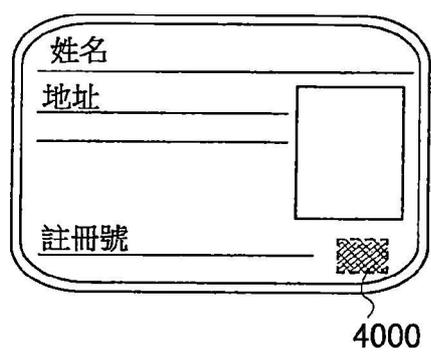


圖 28B

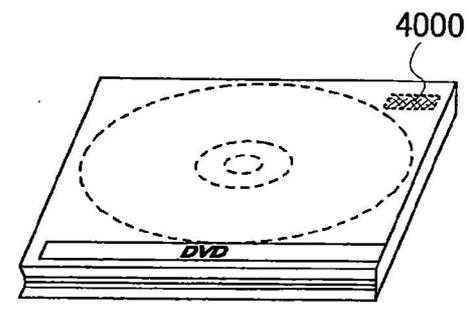


圖 28C

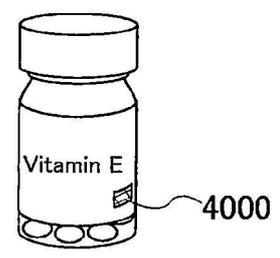


圖 28D

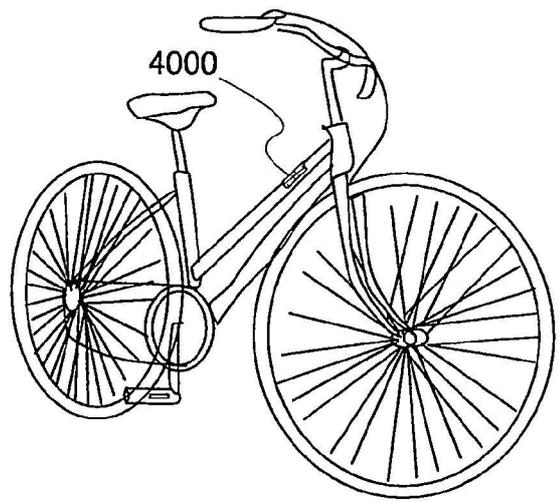


圖 28E

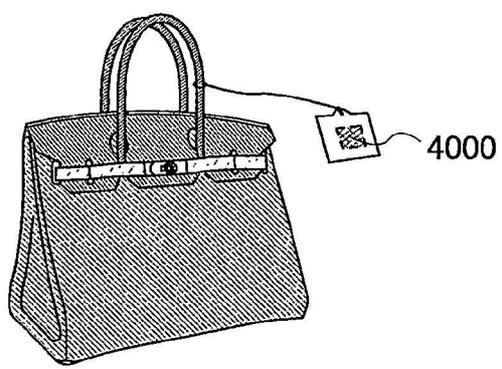


圖 28F

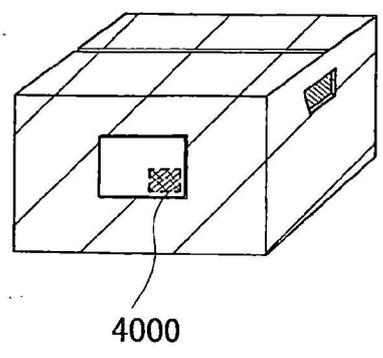


圖 29A

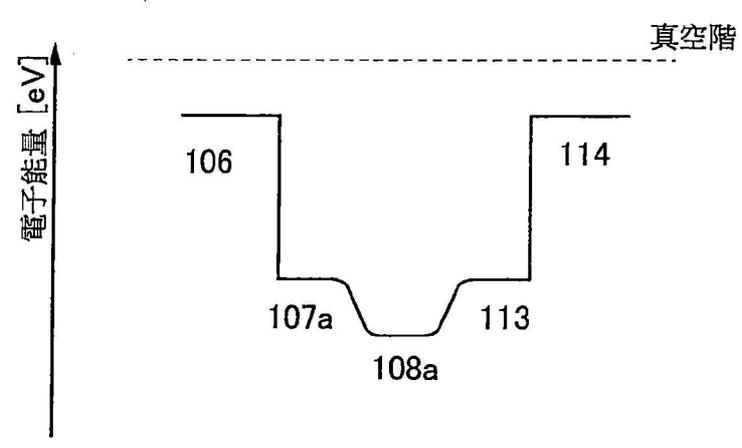


圖 29B

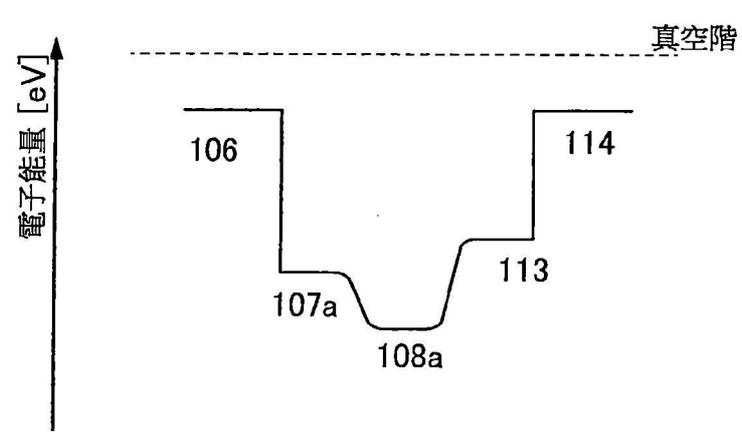


圖 30A

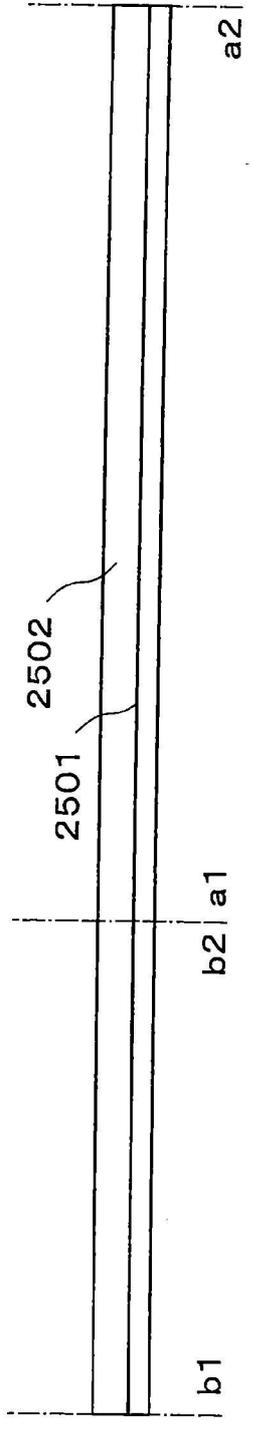


圖 30B

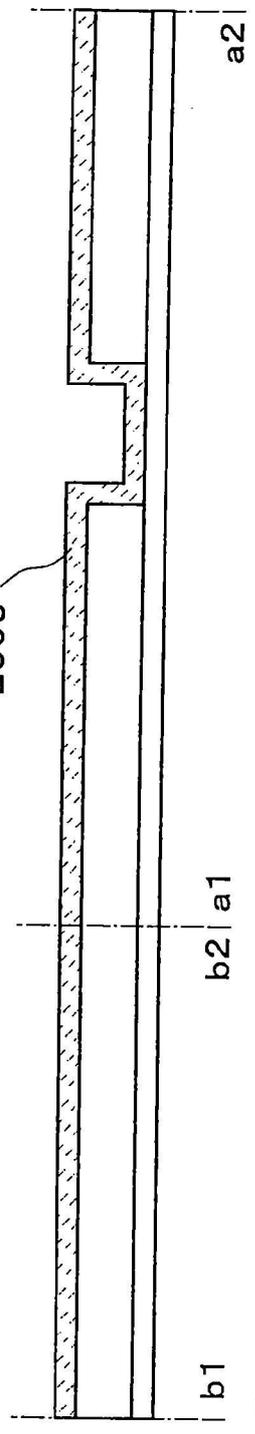


圖 30C

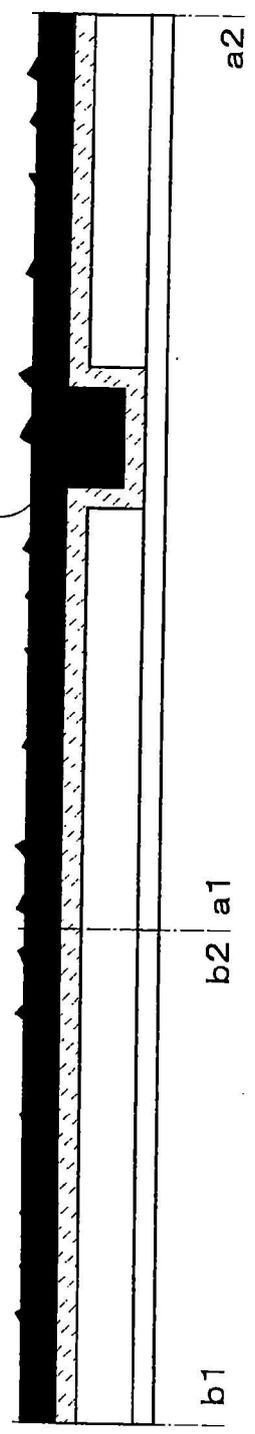


圖 31A

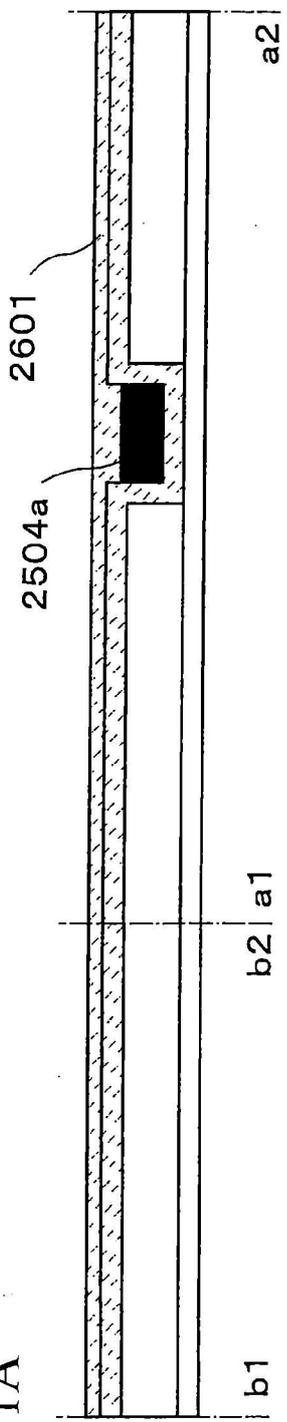


圖 31B

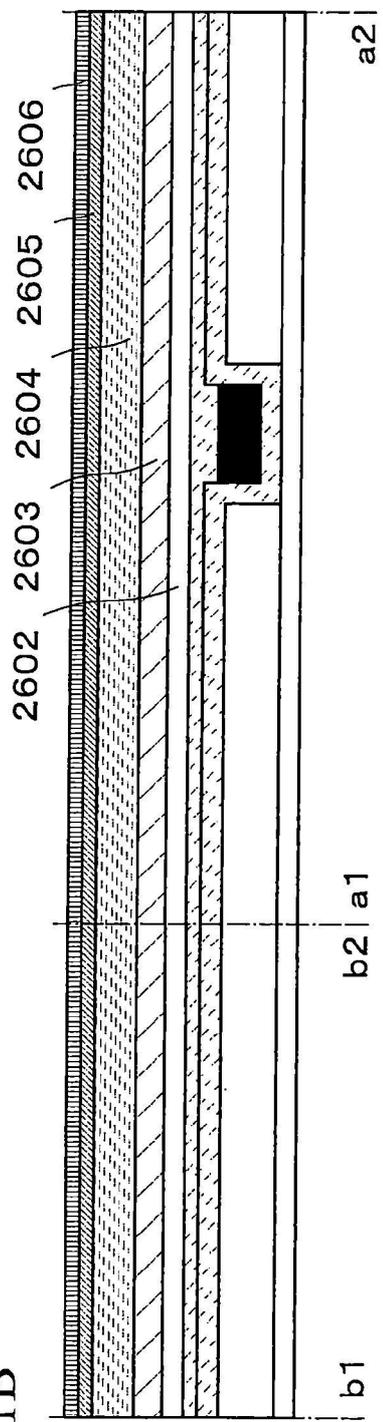


圖 31C

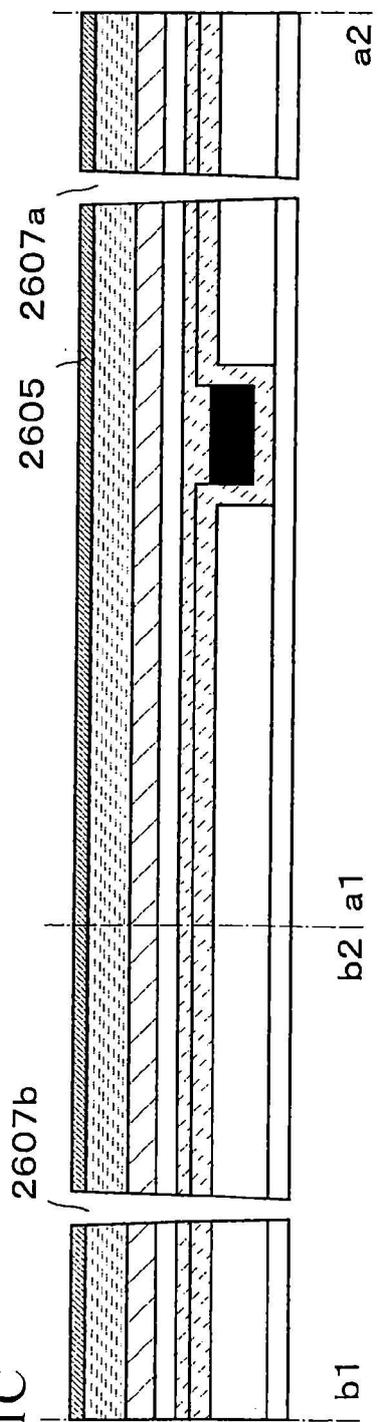


圖 32A

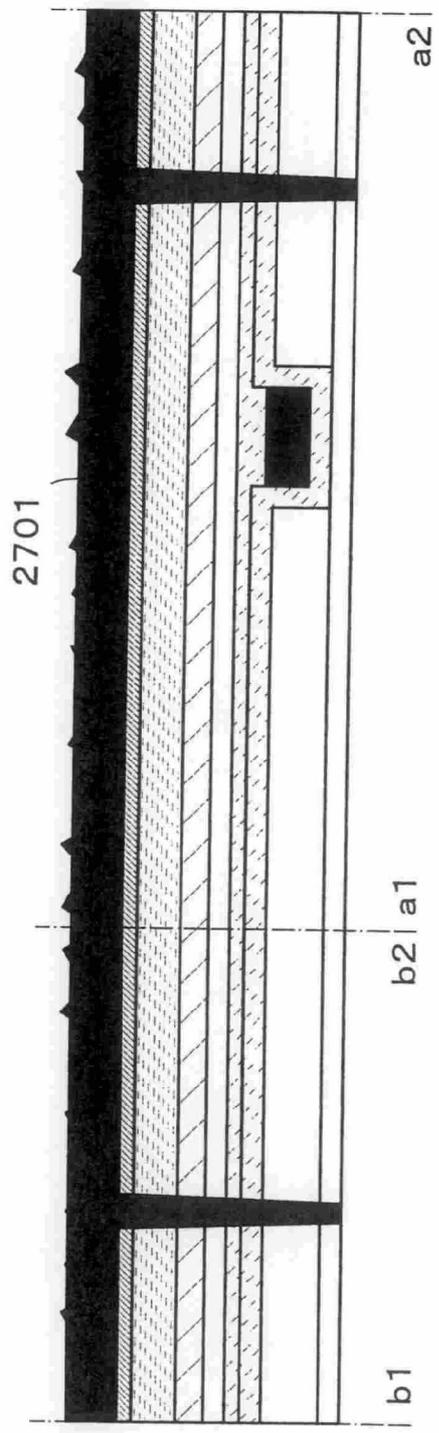


圖 32B

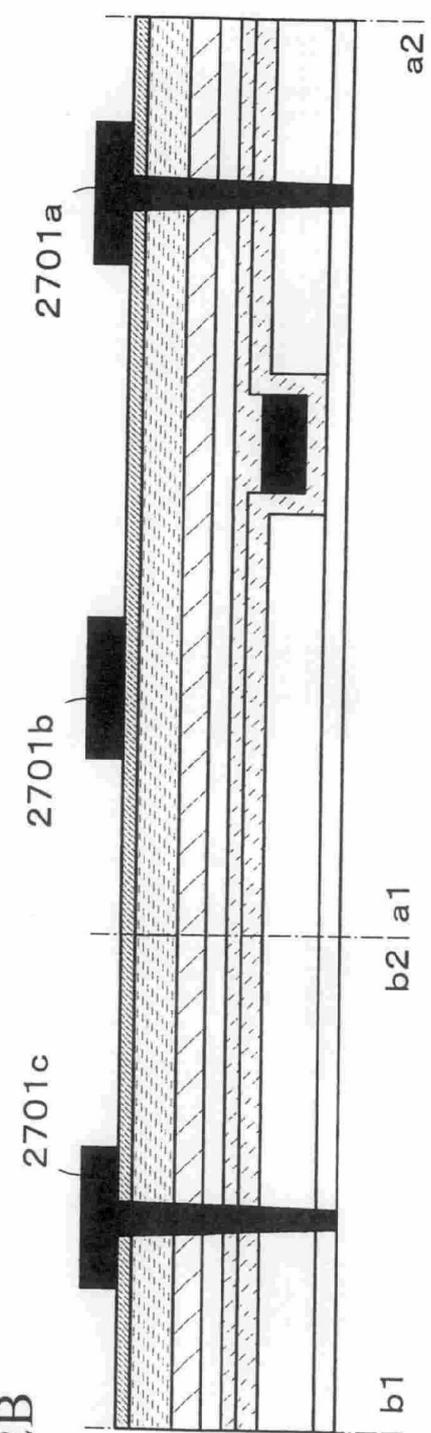


圖 34A

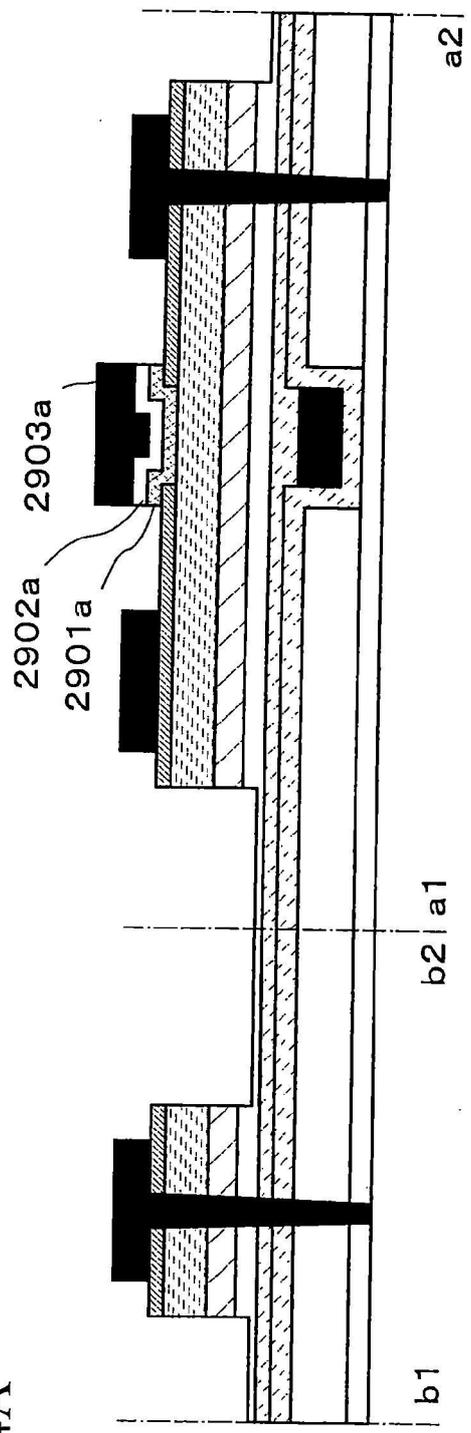


圖 34B

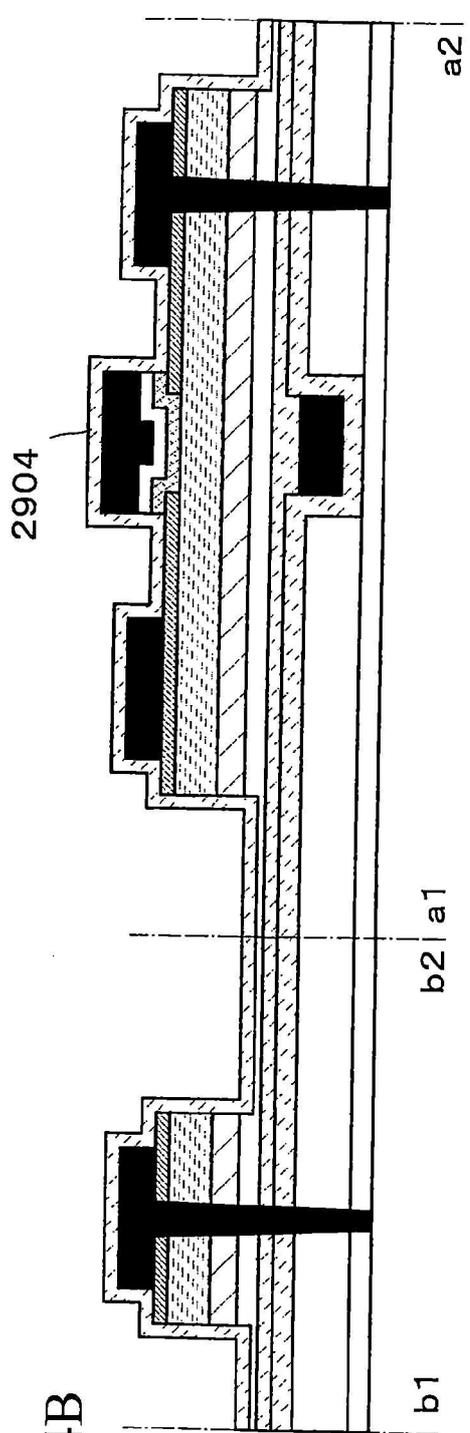


圖 36

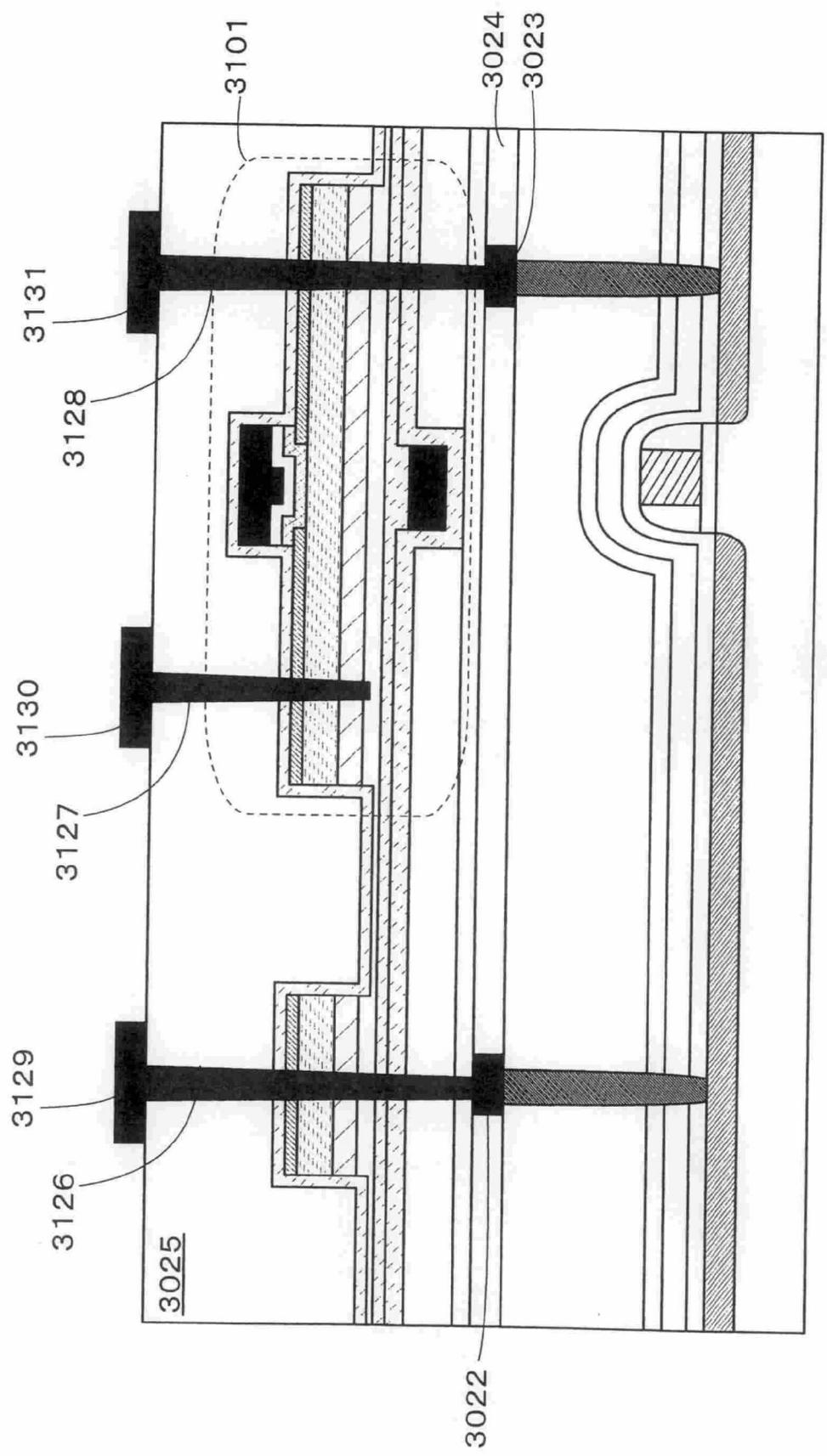


圖 37

