



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0098254
(43) 공개일자 2008년11월07일

(51) Int. Cl.

H01L 27/108 (2006.01) H01L 21/8242 (2006.01)

(21) 출원번호 10-2007-0043697

(22) 출원일자 2007년05월04일

심사청구일자 2007년05월04일

(71) 출원인

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

김진혁

서울 송파구 석촌동 157-184 178-3번지 501호

노재성

경기 과천시 별양동 6번지 주공아파트 503-303

(뒷면에 계속)

(74) 대리인

특허법인 신성

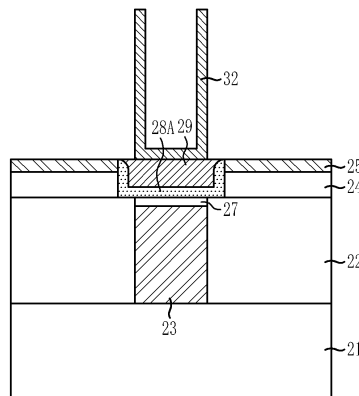
전체 청구항 수 : 총 25 항

(54) 루테튬전극을 구비한 반도체소자 및 그 제조 방법

(57) 요약

본 발명은 스토리지노드콘택플러그의 산화를 방지하고 식각정지막과의 접착 특성이 우수하여 리프팅에 의한 스토리지노드의 쓰러짐현상이 방지되는 반도체소자 및 그의 제조 방법을 제공하기 위한 것으로, 본 발명의 반도체소자는 기판 상에서 상기 기판을 노출시키는 콘택홀을 제공하고 절연막과 식각정지막(질화막)이 적층된 구조물; 상기 콘택홀을 일부 채우는 제1플러그(폴리실리콘막); 상기 제1플러그 위에서 상기 콘택홀의 나머지 영역의 바닥 및 측벽에 걸쳐서 형성된 확산방지막(티타늄질화막); 상기 확산방지막 상에서 상기 콘택홀을 채우도록 형성된 제2플러그(루테튬막); 및 상기 제2플러그 상에 연결된 캐패시터의 스토리지노드를 포함하고, 상술한 본 발명은 스토리지노드 물질로서 Ru 혹은 RuO₂를 사용할 때 발생하는 콘택 저항과 접착 문제를 해결함으로써 우수한 구조 및 전기적 특성을 확보하여 반도체 캐패시터의 신뢰성을 향상시킬 수 있을 뿐만 아니라, 45nm이하의 디자인 룰을 가지는 고집적 소자 동작에 요구되는 충분한 캐패시터 용량을 확보할 수 있다.

대표도 - 도4g



(72) 발명자

염승진

경기 용인시 수지구 동천동 현대1차홈타운 105-704

이기정

서울 서초구 서초1동 서초 쌍용플래티넘 1606호

송한상

서울 강동구 둔촌동 주공아파트 410-106

길덕신

경기 이천시 부발읍 아미리 현대7차아파트 706동
601호

김영대

경기 수원시 팔달구 영통동 황골아파트 138-1504

특허청구의 범위

청구항 1

기관 상에서 상기 기관을 노출시키는 콘택홀을 제공하고 절연막과 식각정지막이 적층된 구조물;
 상기 콘택홀을 일부 채우는 제1플러그;
 상기 제1플러그 위에서 상기 콘택홀의 나머지 영역의 바닥 및 측벽에 걸쳐서 형성된 확산방지막;
 상기 확산방지막 상에서 상기 콘택홀을 채우도록 형성된 제2플러그; 및
 상기 제2플러그 상에 연결된 캐패시터의 스토리지노드
 를 포함하는 반도체소자.

청구항 2

제1항에 있어서,
 상기 절연막은,
 상기 제1플러그가 매립된 제1콘택홀을 제공하는 제1절연막; 및
 상기 제1절연막 상에서 상기 확산방지막 및 제2플러그가 형성되는 제2콘택홀을 제공하는 제2절연막을 포함하고,
 상기 제2콘택홀은 상기 제2절연막과 식각정지막의 적층에 의해 제공되는 반도체소자.

청구항 3

제2항에 있어서,
 상기 제2콘택홀은 상기 제1콘택홀보다 오픈면적이 더 넓은 반도체소자.

청구항 4

제1항에 있어서,
 상기 제1플러그는 폴리실리콘막이고, 상기 확산방지막은 티타늄질화막이며, 상기 제2플러그는 루테튬막인 반도체소자.

청구항 5

제1항에 있어서,
 상기 제1플러그는 폴리실리콘막이고, 상기 확산방지막은 티타늄질화막이며, 상기 제2플러그는 물리기상증착법(PVD)에 의한 루테튬막(PVD Ru)인 반도체소자.

청구항 6

제1항에 있어서,
 상기 스토리지노드는 루테튬막 또는 루테튬산화막인 반도체소자.

청구항 7

제1항에 있어서,
 상기 식각정지막은 질화막인 반도체소자.

청구항 8

제1항에 있어서,
 상기 제1플러그와 확산방지막 사이에 삽입된 오믹콘택층을 더 포함하는 반도체소자.

청구항 9

제8항에 있어서,
 상기 오믹콘택층은 티타늄실리사이드막인 반도체소자.

청구항 10

콘택홀을 제공하는 절연 구조물의 상기 콘택홀을 일부 채우는 제1플러그가 구비된 기판을 형성하는 단계;
 상기 콘택홀의 나머지 영역의 바닥 및 측벽에 걸치는 확산방지막을 형성하는 단계;
 상기 확산방지막 상에 상기 콘택홀의 나머지 영역을 매립하는 제2플러그를 형성하는 단계; 및
 상기 제2플러그 상에 캐패시터의 스토리지노드를 형성하는 단계
 를 포함하는 반도체소자의 제조 방법.

청구항 11

제10항에 있어서,
 상기 절연구조물은,
 상기 콘택홀의 일부를 제공하는 제1절연막; 및
 상기 콘택홀의 나머지영역을 제공하는 제2절연막과 식각정지막의 적층구조물
 을 포함하는 반도체소자의 제조방법.

청구항 12

제10항에 있어서,
 상기 식각정지막은 질화막으로 형성하고, 상기 제1 및 제2절연막은 산화막으로 형성하는 반도체소자의 제조 방법.

청구항 13

제10항에 있어서,
 상기 콘택홀의 나머지영역은 상기 제1플러그가 매립된 콘택홀의 일부보다 오픈면적이 더 넓게 형성되는 반도체 소자의 제조 방법.

청구항 14

제10항에 있어서,
 상기 확산방지막을 형성하는 단계는,
 상기 확산방지막으로 사용되는 도전막을 증착하는 단계; 및
 상기 절연구조물의 표면이 노출되도록 화학적기계적연마(CMP)로 상기 도전막을 평탄화하는 단계
 를 포함하는 반도체소자의 제조 방법.

청구항 15

제10항에 있어서,
 상기 확산방지막을 형성하는 단계는,
 상기 확산방지막으로 사용되는 도전막을 증착하는 단계; 및
 에치백을 통해 상기 제2콘택홀의 바닥 및 측벽에 상기 도전막을 잔류시키는단계
 를 포함하는 반도체소자의 제조 방법.

청구항 16

제14항 또는 제15항에 있어서,

상기 도전막은 CVD(Chemical Vapor Deposition) 또는 SFD(Sequential Flow Deposition)를 이용하여 50~300Å 두께로 증착하는 반도체소자의 제조 방법.

청구항 17

제10항, 제14항 또는 제15항에 있어서,

상기 확산방지막은 티타늄질화막으로 형성하는 반도체소자의 제조 방법.

청구항 18

제10항에 있어서,

상기 제2플러그를 형성하는 단계는,

상기 확산방지막 상부를 매립하도록 상기 제2플러그로 사용되는 도전막을 증착하는 단계; 및

상기 절연구조물의 표면이 노출되도록 화학적기계적연마로 상기 도전막을 평탄화하는 단계

를 포함하는 반도체소자의 제조 방법.

청구항 19

제10항에 있어서,

상기 제2플러그를 형성하는 단계는,

상기 확산방지막 상부를 매립하도록 상기 제2플러그로 사용되는 도전막을 증착하는 단계; 및

상기 절연구조물의 표면이 노출되도록 상기 도전막을 에치백하는 단계

를 포함하는 반도체소자의 제조 방법.

청구항 20

제18항 또는 제19항에 있어서,

상기 제2플러그로 사용되는 도전막은 물리기상증착법(PVD)으로 증착하는 반도체소자의 제조 방법.

청구항 21

제10항, 제18항 또는 제19항에 있어서,

상기 제2플러그는 물리기상증착법으로 증착한 루테튬막(PVD Ru)인 반도체소자의 제조 방법.

청구항 22

제10항에 있어서,

상기 제1플러그는 폴리실리콘막이고, 상기 확산방지막은 티타늄질화막이며, 상기 제2플러그는 루테튬막인 반도체소자의 제조 방법.

청구항 23

제22항에 있어서,

상기 제1플러그와 확산방지막 사이에 오믹콘택층을 더 형성하는 반도체소자의 제조 방법.

청구항 24

제23항에 있어서,

상기 오믹콘택층은 티타늄실리사이드막으로 형성하는 반도체소자의 제조 방법.

청구항 25

제10항에 있어서,

상기 스토리지노드는 루테튬막 또는 루테튬산화막인 반도체소자의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <13> 본 발명은 반도체소자의 제조 방법에 관한 것으로, 특히 루테튬전극을 구비하는 반도체소자 및 그 제조 방법에 관한 것이다.
- <14> 최근 미세화된 반도체 공정기술의 발달로 인하여 메모리 소자의 고집적화가 가속화됨에 따라 단위 셀면적이 크게 감소하고 동작전압의 저전압화가 이루어지고 있다. SIS(poly Si-insulator-poly Si) 구조의 캐패시터의 경우, 계면산화막의 존재로 인해 셀당 약 25fF 이상의 충분한 캐패시터 용량을 확보하기 어려워지고 있으며, 이를 해결하기 위해 금속 전극을 사용한 MIM(metal-insulator-metal) cylinder 구조의 캐패시터 개발이 이루어지고 있다. 한편 45nm 이하의 디자인 룰을 가지는 반도체 메모리 소자에서는 유전막으로 TiO₂, Ta₂O₅, SrTiO₃ 등의 고유전 물질이 사용되어질 것으로 예상되는데 기존 TiN 전극보다는 루테튬(Ru)을 전극물질로 사용할 경우 더 높은 유전율을 가지는 상(Phase) 혹은 우선 배향성을 가질 수 있는 것으로 보고되고 있다.
- <15> 그러나, 루테튬전극을 CVD(Chemical Vapor Deposition) 혹은 ALD(Atomic Layer Deposition) 방법으로 증착하는 경우 일반적으로 반응가스로서 산소(O₂)를 사용하는데 증착초기에 루테튬전극 아래의 TiN 확산방지막의 산화로 인해 콘택저항(Rc)이 증가하는 문제가 있다. 또한, 루테튬전극의 하부를 지지하고 있는 식각정지막인 Si₃N₄와의 접착(adhesion) 특성이 열악하여 증착 후 국소적인 리프팅(lifting)이 발생하며(도 1 참조), 이로 인해 실린더(cylinder) 혹은 스택(stack) 구조의 캐패시터 형성시 풀딥아웃(full dip-out) 공정에서 하부 산화막이 습식식각(wet etching)됨으로써 하부전극의 쓰러짐(SN leaning)이 발생하는 문제가 있다(도 2 참조).
- <16> 도 1은 종래기술에 따른 루테튬전극의 리프팅을 도시한 사진으로서, TiN 플러그와 루테튬의 계면, 또는 루테튬과 Si₃N₄의 계면에서 리프팅이 발생하고 있다.
- <17> 도 2는 스토리지노드의 쓰러짐 현상이 발생된 상태를 나타낸 사진이다.

발명이 이루고자 하는 기술적 과제

- <18> 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 제안된 것으로, 스토리지노드콘택플러그의 산화를 방지하고 식각정지막과의 접착 특성이 우수하여 리프팅에 의한 스토리지노드의 쓰러짐현상이 방지되는 반도체소자 및 그의 제조 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

- <19> 상기 목적을 달성하기 위한 본 발명의 반도체소자는 기판 상에서 상기 기판을 노출시키는 콘택홀을 제공하고 절연막과 식각정지막이 적층된 구조물; 상기 콘택홀을 일부 채우는 제1플러그; 상기 제1플러그 위에서 상기 콘택홀의 나머지 영역의 바닥 및 측벽에 걸쳐서 형성된 확산방지막; 상기 확산방지막 상에서 상기 콘택홀을 채우도록 형성된 제2플러그; 및 상기 제2플러그 상에 연결된 캐패시터의 스토리지노드를 포함하는 것을 특징으로 하고, 상기 제1플러그는 폴리실리콘막이고, 상기 확산방지막은 티타늄질화막이며, 상기 제2플러그는 루테튬막이고, 상기 스토리지노드는 루테튬막 또는 루테튬산화막인 것을 특징으로 하고, 상기 제1플러그와 확산방지막 사이에 삽입된 오믹콘택층을 더 포함하며, 상기 오믹콘택층은 티타늄실리사이드막인 것을 특징으로 한다.
- <20> 그리고, 본 발명의 반도체소자의 제조 방법은 콘택홀을 제공하는 절연 구조물의 상기 콘택홀을 일부 채우는 제1 플러그가 구비된 기판을 형성하는 단계; 상기 콘택홀의 나머지 영역의 바닥 및 측벽에 걸쳐서 확산방지막을 형

성하는 단계; 상기 확산방지막 상에 상기 콘택홀의 나머지 영역을 매립하는 제2플러그를 형성하는 단계; 및 상기 제2플러그 상에 캐패시터의 스토리지노드를 형성하는 단계를 포함하는 것을 특징으로 한다.

- <21> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.
- <22> 후술하는 실시예에서는, 스토리지노드와 스토리지노드콘택플러그(폴리실리콘막으로 형성된 제1플러그) 사이에 식각정지막인 질화막과 접촉하는 면에는 티타늄질화막(TiN)으로 된 확산방지막을 형성하고, 그 위에 물리기상증착법을 이용한 루테튬막(PVD Ru)으로 채운 제2플러그를 형성함으로써 접착성이 좋고 티타늄질화막으로 형성된 확산방지막의 산화를 방지한다.
- <23> 도 3은 본 발명의 제1실시예에 따른 반도체소자의 구조를 도시한 도면이다.
- <24> 도 3에 도시된 바와 같이, 제1실시예에 따른 반도체소자는 기판 상의 제1콘택홀을 제공하는 층간절연막(22), 제1콘택홀을 채우는 제1플러그(23), 층간절연막(22) 상에서 제1플러그(23)를 오픈시키는 제2콘택홀을 제공하는 버퍼산화막(24)과 식각정지막(25)의 적층구조물, 제2콘택홀의 바닥 및 측벽에 걸쳐서 형성된 확산방지막(28A), 확산방지막(28A) 상에서 제2콘택홀을 채우도록 형성된 제2플러그(29), 및 제2플러그(29) 상에 연결된 캐패시터의 스토리지노드(32)를 포함한다.
- <25> 먼저, 제1플러그(23)는 폴리실리콘막으로 형성된 플러그이고, 확산방지막(28A)은 티타늄질화막(TiN)으로 형성된다. 제2플러그(29)는 루테튬막, 특히 물리기상증착법에 의한 루테튬막(PVD Ru)으로 형성된 플러그이다. 제1플러그(23)의 표면에는 오믹콘택층(27)이 형성되어 있다. 오믹콘택층(27)은 티타늄실리사이드막이다.
- <26> 그리고, 층간절연막(22)과 버퍼산화막(24)은 산화막 물질이고, 식각정지막(25)은 질화막 물질이다.
- <27> 그리고, 스토리지노드(32)는 루테튬막 또는 루테튬산화막이며, 루테튬막인 경우 제2플러그(29)와 스토리지노드는 동일한 물질이 된다.
- <28> 도 3에 따르면, 스토리지노드(32)와 연결되는 스토리지노드콘택플러그가 폴리실리콘막으로 형성된 제1플러그(23), 티타늄질화막으로 형성된 확산방지막(28A) 및 루테튬막으로 형성된 제2플러그(29)로 이루어지고, 확산방지막(28A)이 제1플러그(23)와 제2플러그(29) 사이에 위치하는 구조가 된다. 아울러, 제1플러그(23)와 확산방지막(28A) 사이에는 오믹콘택을 형성해주어 콘택저항을 낮추는 오믹콘택층(27)이 형성되어 있다.
- <29> 상술한 스토리지노드콘택플러그 구조에서, 확산방지막(28A)은 버퍼산화막(24)과 식각정지막(25)에 접촉하고 있으나, 제2플러그(29)는 확산방지막(28A)에 의해 버퍼산화막(24)과 식각정지막(25)에 접촉되지 않는다. 이처럼, 제2플러그(29)와 식각정지막(25)간의 접촉을 확산방지막(28A)이 방지하므로, 접착성이 좋다. 또한, 후술하겠지만 제2플러그(29)는 산소가스를 사용하지 않는 물리기상증착법(PVD)을 이용한 루테튬막이므로, 확산방지막(28A)으로 사용된 티타늄질화막의 산화가 근본적으로 발생되지 않는다.
- <30> 도 4a 내지 도 4g는 본 발명의 제1실시예에 따른 반도체소자의 제조 방법을 도시한 공정 단면도이다.
- <31> 도 4a에 도시된 바와 같이, 기판(21) 상에 층간절연막(22)을 형성한 후, 층간절연막(22)을 식각하여 기판(21)의 표면을 노출시키는 제1콘택홀(SNC1, 도면부호 생략)을 형성한다. 이어서, 제1콘택홀 내부에 매립되는 제1플러그(23)를 형성한다.
- <32> 여기서, 기판(21)에는 소자분리(isolation), 게이트(gate), 비트라인(bit line) 등 DRAM 구성에 필요한 공정이 진행되어 있다. 바람직하게는, 기판(21)은 실리콘기판, 불순물주입층 또는 랜딩플러그콘택(Landing Plug Contact)일 수 있다.
- <33> 그리고, 제1플러그(23)는 폴리실리콘막 증착 및 에치백을 통해 형성한 폴리실리콘 플러그로서, 스토리지노드콘택플러그(SNC Plug)의 역할을 한다.
- <34> 이어서, 층간절연막(22) 상에 버퍼산화막(Buffer oxide, 24)을 형성한 후, 버퍼산화막(24) 상에 식각정지막(25)을 증착한다. 여기서, 버퍼산화막(24)은 USG, PSG, BPSG, HSG, PETEOS 또는 Ta₂O₅ 중에서 선택된 어느 하나를 사용하며, 그 두께는 500~3000 Å이다.
- <35> 또한, 식각정지막(25)은 질화막, 특히 실리콘질화막(Si₃N₄)을 사용한다.
- <36> 이어서, 식각정지막(25)과 버퍼산화막(24)을 식각하여 제1플러그(23)의 표면을 노출시키는 제2콘택홀(SNC2, 2

6)을 형성한다. 여기서, 제2콘택홀(26)의 오픈면적은 제1콘택홀의 오픈면적보다 더 넓다. 이처럼, 제2콘택홀의 오픈면적을 넓게 하면, 제2콘택홀에 형성되는 확산방지막 및 제2플러그와 그 위에 형성되는 스토리지노드간 오버랩 마진을 확보할 수 있다.

- <37> 도 4b에 도시된 바와 같이, 제1플러그(23) 상에 오믹콘택층(27)을 형성한다. 이때, 오믹콘택층(27)은 금속실리사이드막, 특히 티타늄실리사이드막(Ti silicide27)이다. 티타늄실리사이드막은 화학기상증착법(Chemical Vapor Deposition; CVD) 또는 원자층착법(Atomic Layer Deposition; ALD)을 이용하여 티타늄막(Ti)을 50Å 이하(10~50Å)의 두께로 증착하는 과정, RTA(Rapid Thermal Anneal) 또는 퍼니스(furnace) 열처리 과정, 미반응 티타늄막을 세정(cleaning)으로 제거하는 과정을 순차적으로 진행하여 형성한다. 예컨대, 제1플러그(23)가 폴리실리콘막이므로, 티타늄막과 폴리실리콘막이 반응하여 티타늄실리사이드막이 형성된다.
- <38> 도 4c에 도시된 바와 같이, 단차피복성(step-coverage)이 우수한 티타늄질화막(TiN, 28)을 증착한다. 이때, 티타늄질화막(28)은 확산방지막 역할 및 스토리지노드콘택플러그 역할을 겸한다.
- <39> 티타늄질화막(28)은 CVD(Chemical Vapor Deposition) 또는 SFD(Sequential Flow Deposition) 방법을 이용하여 50~300Å 두께로 증착한다. 이처럼, CVD 또는 SFD 방법을 이용하므로 단차피복성이 우수하여 균일한 두께로 증착이 가능하다.
- <40> 도 4d에 도시된 바와 같이, 식각정지막(25)의 표면이 노출되도록 화학적기계적연마(Chemical Mechanical Polishing; CMP) 또는 에치백(etchback)을 진행하여 티타늄질화막(28)을 선택적으로 제거함으로써 제2콘택홀(26) 내부에 확산방지막(28A)을 형성한다.
- <41> 이때, 제2콘택홀(26) 내부의 바닥 및 측벽에 걸쳐서 확산방지막(28A)이 형성되도록 에치백공정은 플라즈마식각을 사용하되, 물리적식각(Physical etch)보다는 화학적식각(Chemical etch)이 주로 발생하는 레시피를 사용한다. 이로써, 바닥에서의 식각을 억제하여 제2콘택홀의 바닥에서도 확산방지막(28A)을 잔류시킨다.
- <42> 예컨대, 티타늄질화막(TiN)의 경우 제2콘택홀(26)의 외부에서는 물리화학적식각이 일어나도록 Ar/Cl₂의 혼합가스를 이용하고, 제2콘택홀(26)의 내부 바닥부분에서 물리적 식각을 최소화하기 위하여 바이어스 파워를 30W~300W로 낮게 조절하고, Cl₂에 의한 화학적식각 정도를 적절히 조절하기 위하여 Cl₂와 Ar의 혼합가스에서 Cl₂ 함량을 1%~50%로 조절한다. 아울러, 식각챔버의 압력은 물리적식각 및 화학적 식각이 적절히 일어나도록 하기 위하여 1mtorr~50mtorr로 조절한다.
- <43> 상술한 바와 같은 식각조건으로 플라즈마 전면식각을 진행할 경우 제2콘택홀(26)의 외부에 형성된 티타늄질화막은 식각속도가 매우 빠르게 식각되는 반면, 제2콘택홀(26)의 내부 측벽에 형성된 티타늄질화막(TiN)은 화학적식각이 느리게 일어나도록 조정된 식각조건(Cl₂와 Ar의 혼합가스에서 Cl₂ 함량을 1%~50%로 조절)하에서 식각이 진행되므로 아주 미미한 정도로 식각이 된다. 그리고, 제2콘택홀(26)의 내부 측벽의 티타늄질화막과 라디칼과의 반응에 의해 생긴 반응부산물들이 제2콘택홀(26)의 내부를 채우게 되면서 제2콘택홀(26) 내부의 압력이 증가되고 바이어스파워를 30W~300W로 낮게 조절함에 따라 플라즈마로부터 제2콘택홀(26)의 내부 바닥부분으로 입사하는 양이온 및 확산해들어오는 라디칼의 흐름을 억제시킴으로써 제2콘택홀(26)의 내부 바닥부분에 형성된 티타늄질화막또한 미미한 정도로만 식각이 진행된다.
- <44> 결국, 전체적으로 볼 때 제2콘택홀(26)의 외부에 형성된 티타늄질화막은 물리화학적식각에 의해 빠르게 식각되고 제2콘택홀(26)의 내부 측벽이나 제2콘택홀(26)의 내부 바닥부분에 형성된 티타늄질화막은 제2콘택홀(26)의 외부에 비해 상대적으로 매우 느리게 식각된다. 이로써 경사식각이 아닌 수직인 방향으로의 배리어리스 플라즈마 전면식각(Barrierless plasma blanket etch)을 하더라도 확산방지막(28A)의 원하는 식각 모양을 양호하게 만들 수 있다.
- <45> 전술한 티타늄질화막에 대한 전면식각시, 제2콘택홀(26)의 외부에서의 식각률 대비 제2콘택홀(26)의 내부 측벽 및 바닥부분에서의 식각률이 1%~70%가 되도록 조절한다. 그리고, 제2콘택홀(26)의 내부 측벽에서의 식각률과 바닥부분에서의 식각률은 거의 동일한 수준으로 조절한다.
- <46> 이를 위해 레시피는, 10mT/300W(S)/100W(B)/10Cl₂/190Ar/40°C/EOP(16"±1")+10"(OE)로 한다. 여기서, 300W(S)는 소스파워이고, 100W(B)는 바이어스파워이며, EOP(End of Point)는 종말점이고, OE(Over Etch)는 과도식각을 의미한다.
- <47> 상술한 레시피로 진행할 때, 티타늄질화막 두께 300Å 기준으로 보면, 제2콘택홀(26)의 외부에서의 식각속도는

1120Å/분이고, 제2콘택홀(26)의 내부 측벽 및 바텀부분에서는 식각속도는 제2콘택홀(26)의 외부에 비해 현저히 낮아져 10Å/분으로 측정되었다. 여기서, 제2콘택홀(26)의 외부에서의 티타늄질화막 식각속도는 식각조건별로 차이가 나는데 500Å/분~2000Å/분이며, 따라서 제2콘택홀(26)의 내부에서의 티타늄질화막 식각속도는 5Å/분~140Å/분(2000Å/분의 70% 수준)이다.

- <48> 그리고, Cl₂/Ar의 함량조절에 따른 식각률 변화는 Cl₂/Ar의 함량이 매우 낮은 경우 500Å/분 이상이고 Cl₂/Ar의 함량이 매우 높은 경우 3000Å/분 정도로 변화시킬 수 있다. 즉, Cl₂/Ar의 함량조절에 의해 식각률은 500Å/분~3000Å/분 범위로 변화시킬 수 있다. 그러나, 티타늄질화막의 두께가 얇아 쓰루풋은 크게 이슈가 되지 않고, 오히려 프로파일이나 과도식각(Over Etch, OE) 등 컨트롤을 위해 식각속도를 비교적 느리게 하는 방향으로 식각조건을 조절한다.
- <49> 바람직한 플라즈마 전면식각 조건은 압력 5mtorr~20mtorr, 소스파워 300W~800W, 바이어스파워 30W~300W, Cl₂/Ar 혼합가스 대비 Cl₂ 비율이 1%~50%, 식각챔버의 전극온도는 10℃~40℃이다.
- <50> 상술한 실시예에서, 티타늄질화막의 플라즈마전면식각시 화학적식각을 수반하는 식각가스로는 Cl₂외에 HCl 또는 CCl₄와 같은 Cl계 가스를 단독 또는 혼합하여 사용할 수 있으며, Ar와 Cl계 식각가스의 혼합가스 외에 플라즈마 안정화, 유량 조절, 식각가스 회석을 위해 Ar, Xe, He 등을 단독 또는 혼합하여 첨가할 수 있고, 화학적식각이 우세하게 일어나 확산방지막(27A)이 손상되는 것을 방지할 보호(passivation) 또는 반응억제제(inhibitor)로 O₂, N₂ 등을 단독 또는 혼합하여 첨가할 수 있다.
- <51> 도 4e에 도시된 바와 같이, 물리기상증착법(Physical Vapor Deposition; PVD)으로 루테튬막을 증착하여 확산방지막(28A) 상에서 제2콘택홀(26)의 내부를 채운 후, 식각정지막(25)의 표면이 노출되도록 CMP 혹은 에치백을 진행한다. 이로써, 제2콘택홀(26)의 내부에만 제2플러그(29)가 잔류한다.
- <52> 물리기상증착 방법에서는 산소가스를 사용하지 않아도 루테튬막을 증착할 수 있다. 그리고, 제2콘택홀(26)의 중횡비가 낮기 때문에 물리기상증착방법으로도 충분히 제2콘택홀(26)의 내부를 루테튬막으로 채울 수 있다. 한편, CVD, ALD 방법에 의한 루테튬막 증착시에는 산소가스를 반응가스로 사용할 수 밖에 없기 때문에 루테튬막 증착시 그 하부 물질이 산화되는 문제가 발생하고, 이로 인해 스토리지노드콘택플러그와 스토리지노드간 접착력이 저하되어 리프팅이 발생한다.
- <53> 결국, 제1실시예는 제2플러그(29)로 사용되는 루테튬막을 산소가스를 사용하지 않아도 되는 물리기상증착법(PVD)을 이용하여 증착하므로 하부 물질의 산화가 발생되지 않는다.
- <54> 일련의 공정에 따르면, 후속 스토리지노드와 연결되는 스토리지노드콘택플러그는, 폴리실리콘막으로 형성된 제1플러그(23), 티타늄질화막으로 형성된 확산방지막(28A) 및 루테튬막으로 형성된 제2플러그(29)로 이루어지고, 확산방지막(28A)이 제1플러그(23)와 제2플러그(29) 사이에 위치하는 구조가 된다. 아울러, 제1플러그(23)와 확산방지막(28A) 사이에는 오믹콘택을 형성해주는 오믹콘택층(27)이 티타늄실리사이드막으로 형성되어 있다.
- <55> 상술한 스토리지노드콘택플러그 구조에서, 확산방지막(28A)은 버퍼산화막(24)과 식각정지막(25)에 접촉하고 있으나, 제2플러그(29)는 확산방지막(28A)에 의해 버퍼산화막(24)과 식각정지막(25)에 접촉되지 않는다. 이처럼, 제2플러그(29)와 식각정지막(25)간의 접촉을 확산방지막(28A)이 방지하므로, 접착성이 좋다. 또한, 제2플러그(29)으로 사용된 루테튬막이 산소가스를 사용하지 않는 물리기상증착법(PVD)을 이용하고 있으므로, 루테튬막 증착시 확산방지막(28A)의 산화가 근본적으로 발생되지 않는다.
- <56> 도 4f에 도시된 바와 같이, 전면에 희생막(30)을 형성하고, 희생막(30)을 식각하여 스토리지노드가 형성될 홈, 즉 오픈영역(31)을 형성한다. 여기서, 희생막(30)은 산화막으로 형성하며, 특히 PSG, PETEOS, USG 또는 HDP 중 에서 선택된 어느 하나 또는 2가지 이상의 적층으로 형성한다.
- <57> 이어서, 스토리지노드 물질로서 Ru 혹은 RuO₂ 박막을 증착한 후 에치백(Etchback) 혹은 화학기계적 연마(CMP) 방법으로 이웃한 스토리지 노드(32)를 분리하는 공정을 진행한다.
- <58> 스토리지노드(32)가 되는 Ru 또는 RuO₂은 화학기상증착법(CVD), 원자층증착법(ALD), 사이클릭화학기상증착법(cyclic CVD) 또는 의사원자층증착법(pseudo ALD) 중에 선택된 어느 하나의 방법을 사용할 수 있다. 그리고, 스토리지노드(32)의 두께는 100~300Å이다.

- <59> 그리고, 스토리지노드(32)의 바닥선펙은 제2플러그(29)의 선펙보다 작게 한다.
- <60> 도 4g에 도시된 바와 같이, 풀딥아웃(Full dip out)을 통해 희생막(30)을 완전히 제거함으로써 실린더 구조의 스토리지노드(32)를 형성한다. 이때, 풀딥아웃은 희생막(30)이 산화막 물질이므로, 불산이 포함된 케미컬을 사용하여 진행한다. 그리고, 식각정지막(25)이 질화막 물질이므로, 그 아래의 버퍼산화막(24) 및 층간절연막(22)이 식각되지 않는다.
- <61> 도 5는 본 발명의 제2실시예에 따른 반도체소자의 구조를 도시한 도면이다.
- <62> 도 5에 도시된 바와 같이, 제2실시예에 따른 반도체소자는 기관(41) 상의 스토리지노드콘택홀(44)을 제공하는 층간절연막(42)과 식각정지막(43)의 적층구조물, 스토리지노드콘택홀(44)을 일부 매립하면서 리세스프로파일을 갖는 제1플러그(45), 제1플러그(45) 상부의 리세스프로파일의 바닥 및 측벽에 걸쳐서 형성된 확산방지막(47A), 확산방지막(47A) 상에서 리세스프로파일을 채우도록 형성된 제2플러그(48), 및 제2플러그(48) 상에 연결된 캐패시터의 스토리지노드(49)를 포함한다.
- <63> 먼저, 제1플러그(45)는 폴리실리콘막으로 형성된 플러그이고, 확산방지막(47A)은 티타늄질화막으로 형성된다. 제2플러그(48)는 루테튬막, 특히 물리기상증착법에 의한 루테튬막(PVD Ru)으로 형성된 플러그이다. 여기서, 제1플러그(45)의 표면은 리세스프로파일을 가져 스토리지노드콘택홀(44)을 일부만 채우는 형태가 되고, 제1플러그(45)의 표면에는 오믹콘택층(47)이 형성되어 있다. 오믹콘택층(47)은 티타늄실리사이드막이다.
- <64> 그리고, 층간절연막(42)은 산화막 물질이고, 식각정지막(43)은 질화막 물질이다.
- <65> 그리고, 스토리지노드(49)는 루테튬막 또는 루테튬산화막이며, 루테튬막인 경우 제2플러그(48)와 스토리지노드(49)는 동일한 물질이 된다.
- <66> 도 5에 따르면, 스토리지노드(49)와 연결되는 스토리지노드콘택플러그가 폴리실리콘막으로 형성된 제1플러그(45), 티타늄질화막으로 형성된 확산방지막(47A) 및 루테튬막으로 형성된 제2플러그(48)로 이루어지고, 확산방지막(47A)이 제1플러그(45)와 제2플러그(48) 사이에 위치하는 구조가 된다. 아울러, 제1플러그(45)와 확산방지막(47A) 사이에는 오믹콘택을 형성해주는 오믹콘택층(46)이 티타늄실리사이드막으로 형성되어 있다.
- <67> 상술한 스토리지노드콘택플러그 구조에서, 확산방지막(47A)은 식각정지막(43)과 접촉하고 있으나, 제2플러그(48)는 확산방지막(47A)에 의해 식각정지막(43)과 접촉되지 않는다. 이처럼, 제2플러그(48)와 식각정지막(43)간의 접촉을 확산방지막(47A)이 방지하므로, 접착성이 좋다. 또한, 후술하겠지만 제2플러그(48)는 산소가스를 사용하지 않는 물리기상증착법을 이용한 루테튬막이므로, 확산방지막(47A)으로 사용된 티타늄질화막의 산화가 근본적으로 발생되지 않는다.
- <68> 도 6a 내지 도 6f는 본 발명의 제2실시예에 따른 반도체소자의 제조 방법을 도시한 공정 단면도이다.
- <69> 도 6a에 도시된 바와 같이, 기관(41) 상에 층간절연막(42)과 식각정지막(43)을 형성한 후, 식각정지막(43)과 층간절연막(42)을 식각하여 기관(41)의 표면을 노출시키는 스토리지노드콘택홀(44)을 형성한다. 여기서, 기관(41)에는 소자분리(isolation), 게이트(gate), 비트라인(bit line) 등 DRAM 구성에 필요한 공정이 진행되어 있다. 바람직하게는, 기관(41)은 실리콘기관, 불순물접합층 또는 랜딩플러그콘택(Landing Plug Contact)일 수 있다. 따라서, 층간절연막(42)은 다층구조일 수 있고, 그 재질은 산화막일 수 있다. 그리고, 식각정지막(43)은 질화막 물질, 바람직하게는 실리콘질화막(Si₃N₄)을 사용한다.
- <70> 도 6b에 도시된 바와 같이, 스토리지노드콘택홀(44) 내부를 일부 매립하는 제1플러그(45)를 형성한다. 여기서, 제1플러그(45)는 폴리실리콘막 증착 및 에치백을 통해 형성한 폴리실리콘 플러그로서, 표면을 리세스시켜 리세스프로파일(Recess profile, 도면부호 'R')을 갖도록 한다. 따라서, 제1플러그(45)는 스토리지노드콘택홀(44)을 일부 채우는 형태가 되며, 제1플러그(45)의 상부는 식각정지막(43)에 접촉하지 않는다.
- <71> 도 6c에 도시된 바와 같이, 제1플러그(45) 상에 오믹콘택층(46)을 형성한다. 이때, 오믹콘택층(46)은 티타늄실리사이드막(Ti silicide)이다. 티타늄실리사이드막은 화학기상증착법(Chemical Vapor Deposition; CVD) 또는 원자층증착법(Atomic Layer Deposition; ALD)을 이용하여 티타늄막(Ti)을 50Å 이하의 두께로 증착하는 과정, RTA(Rapid Thermal Anneal) 또는 퍼니스(furnace) 열처리 과정, 미반응 티타늄막을 세정(cleaning)으로 제거하는 과정을 순차적으로 진행하여 형성한다. 예컨대, 제1플러그(45)가 폴리실리콘막이므로, 티타늄막과 폴리실리콘막이 반응하여 티타늄실리사이드막이 형성된다. 그리고, 티타늄실리사이드막은 오믹콘택을 형성하여 스토리지노드콘택플러그의 저항을 낮춘다.

- <72> 이어서, 단차피복성(step-coverage)이 우수한 티타늄질화막(TiN, 47)을 증착한다. 이때, 티타늄질화막(47)은 확산방지막 역할 및 스토리지노드콘택플러그 역할을 겸한다.
- <73> 티타늄질화막(47)은 CVD 또는 SFD 방법을 이용하여 50~300Å 두께로 증착한다.
- <74> 도 6d에 도시된 바와 같이, 식각정지막(43)의 표면이 노출되도록 CMP(Chemical Mechanical Polishing) 혹은 에치백(etchback)을 진행하여 티타늄질화막(47)을 선택적으로 제거하므로써 리세스프로파일의 내부에 확산방지막(47A)을 형성한다. 이때, 리세스프로파일 내부의 바닥(제1플러그 표면) 및 측벽에 걸쳐서 확산방지막(47A)이 형성되도록 에치백공정은 플라즈마식각을 사용하되, 물리적식각(Physical etch)보다는 화학적식각(Chemical etch)이 주로 발생하는 레시피를 사용한다. 이로써, 바닥에서의 식각을 억제하여 리세스프로파일의 바닥에서도 확산방지막(47A)을 잔류시킬 수 있다.
- <75> 이와 같이 리세스프로파일의 바닥 및 측벽에서 확산방지막(47A)을 잔류시키기 위한 에치백공정은 전술한 제1실시예에 기재된 방법을 참조하기로 한다.
- <76> 도 6e에 도시된 바와 같이, 물리기상증착법(PVD)으로 루테튬막을 증착하여 확산방지막(47A) 상에서 리세스프로파일의 내부를 모두 채운 후, 식각정지막(43)의 표면이 노출되도록 CMP 혹은 에치백을 진행한다. 이로써, 리세스프로파일의 내부를 채우는 제2플러그(48)가 잔류한다.
- <77> 이때, 물리기상증착 방법에서는 산소가스를 사용하지 않아도 루테튬막을 증착할 수 있다. 그리고, 리세스프로파일의 종횡비가 낮기 때문에 물리기상증착법으로도 충분히 리세스프로파일의 내부를 루테튬막으로 채울 수 있다. 한편, CVD, ALD 방법에 의한 루테튬막 증착시에는 산소가스를 반응가스로 사용할 수 밖에 없기 때문에 루테튬막 증착시 그 하부 물질이 산화되는 문제가 발생하고, 이로 인해 스토리지노드콘택플러그와 스토리지노드간 접촉력이 저하되어 리프팅이 발생한다.
- <78> 결국, 제2실시예는 제2플러그(48)로 사용되는 루테튬막을 산소가스를 사용하지 않아도 되는 물리기상증착법(PVD)을 이용하여 증착하므로 하부 물질의 산화가 발생되지 않는다.
- <79> 일련의 공정에 의하면, 후속 스토리지노드와 연결되는 스토리지노드콘택플러그는, 폴리실리콘막으로 형성된 제1플러그(45), 티타늄질화막으로 형성된 확산방지막(47A) 및 루테튬막으로 형성된 제2플러그(48)로 이루어지고, 확산방지막(47A)이 제1플러그(45)와 제2플러그(48) 사이에 위치하는 구조가 된다. 아울러, 제1플러그(45)와 확산방지막(47A) 사이에는 오믹콘택을 형성해주는 오믹콘택층(46)이 형성되어 있다.
- <80> 상술한 스토리지노드콘택플러그 구조에서, 확산방지막(47A)은 질화막 물질인 식각정지막(43)과 접촉하고 있으나, 제2플러그(48)는 확산방지막(47A)에 의해 식각정지막(43)과 접촉되지 않는다. 이처럼, 제2플러그(48)와 식각정지막(43)간의 접촉을 확산방지막(47A)이 방지하므로, 접촉성이 좋다. 또한, 제2플러그(48)가 산소가스를 사용하지 않는 물리기상증착법을 이용한 루테튬막이므로, 확산방지막(47A)의 산화가 근본적으로 발생되지 않는다.
- <81> 도 6f에 도시된 바와 같이, 제2플러그(48)에 연결되는 실린더형 스토리지노드(49)를 형성한다. 실린더형 스토리지노드(49)의 형성 방법은 제1실시예에 기재된 방법을 참조하기로 한다. 이때, 스토리지노드(49)로 사용되는 물질은 Ru 혹은 RuO₂ 박막이다. 그리고, 스토리지노드(49)의 바닥선폭은 제2플러그(48)의 선폭과 동일하거나 더 작게 할 수도 있다.
- <82> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

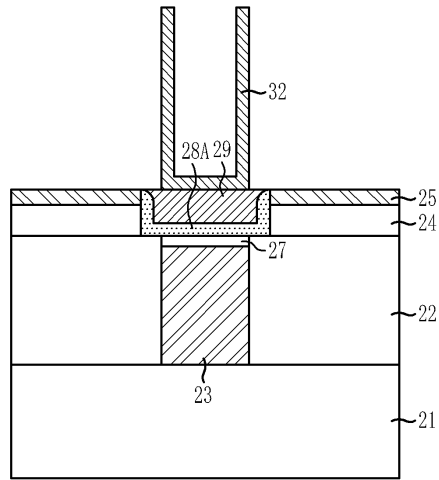
발명의 효과

- <83> 전술한 본 발명은 스토리지노드 물질로서 Ru 혹은 RuO₂를 사용할 때 발생하는 콘택 저항과 접촉 문제를 해결함으로써 우수한 구조 및 전기적 특성을 확보하여 반도체 캐패시터의 신뢰성을 향상시킬 수 있을 뿐만 아니라, 45nm 이하의 디자인 룰을 가지는 고집적 소자 동작에 요구되는 충분한 캐패시터 용량을 확보할 수 있다.

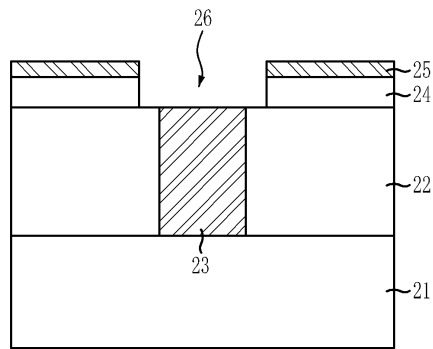
도면의 간단한 설명

- <1> 도 1은 종래기술에 따른 루테튬전극의 리프팅을 도시한 사진.

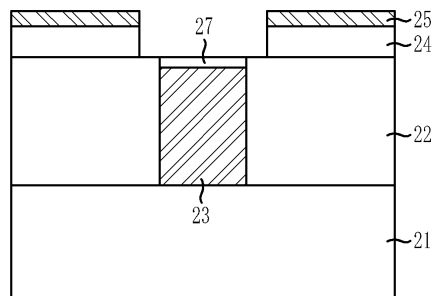
도면3



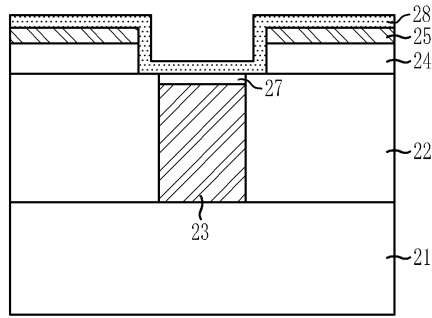
도면4a



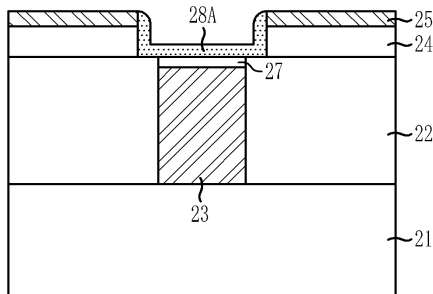
도면4b



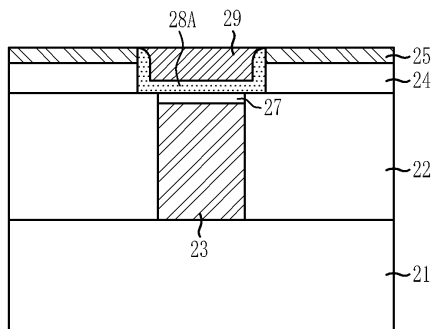
도면4c



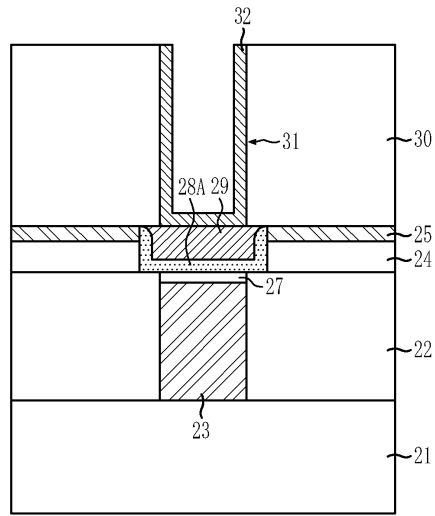
도면4d



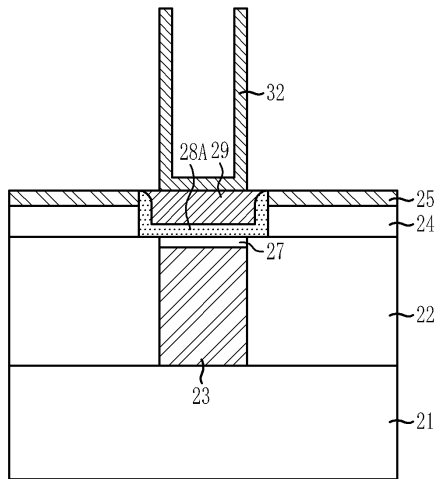
도면4e



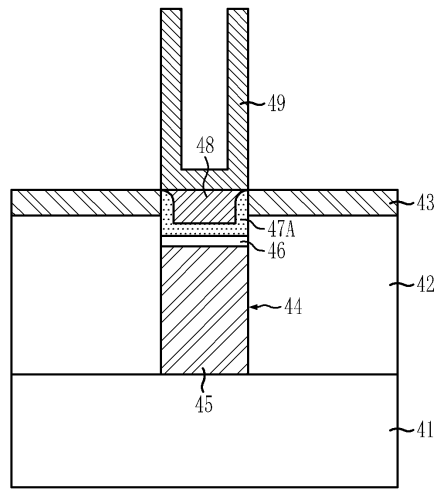
도면4f



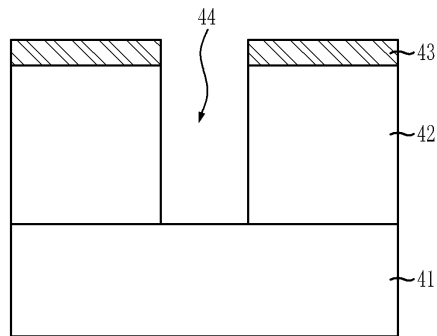
도면4g



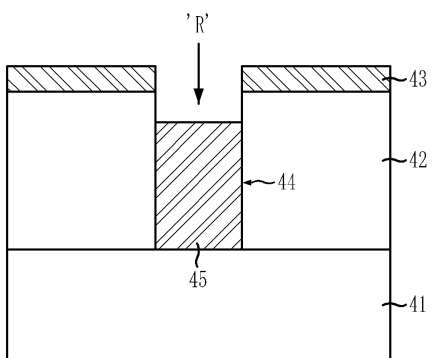
도면5



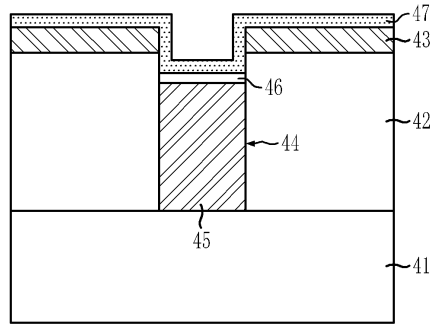
도면6a



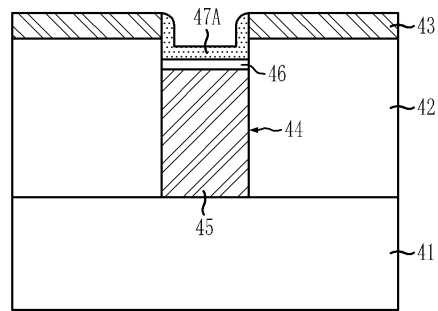
도면6b



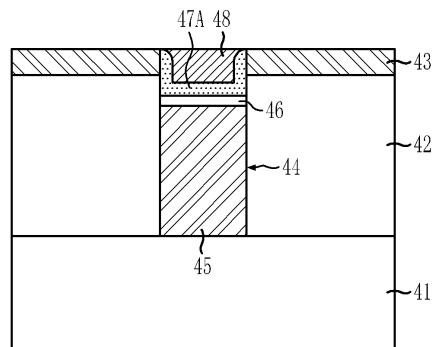
도면6c



도면6d



도면6e



도면6f

