



# [12] 发明专利说明书

[21] ZL 专利号 98116761.6

[45] 授权公告日 2004 年 4 月 21 日

[11] 授权公告号 CN 1146982C

[22] 申请日 1998.7.31 [21] 申请号 98116761.6  
 [30] 优先权  
 [32] 1997.10.17 [33] JP [31] 285715/1997  
 [71] 专利权人 冲电气工业株式会社  
 地址 日本东京  
 [72] 发明人 山内智 竹广忍 吉丸正树  
 审查员 朱永全

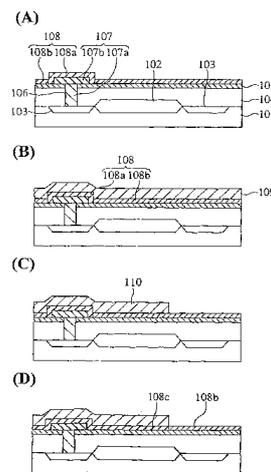
[74] 专利代理机构 中国国际贸易促进委员会专利  
 商标事务所  
 代理人 王永刚

权利要求书 2 页 说明书 8 页 附图 12 页

[54] 发明名称 半导体器件的制造方法

[57] 摘要

在把采用 BST 膜作为介电膜的电容器组合到 DRAM 的工艺中，用湿法腐蚀方法选择性地清除此膜以制作接触孔。为此，在硅片的整个表面上制作底电极然后制作非晶膜。在此膜上制作结晶态顶电极之后，执行灯加热以便仅仅使与电极相接触的区域结晶。然后用氢和氟化铵(1:2)的溶液执行湿法腐蚀，这就使得有可能仅仅选择性地清除非晶区域。



ISSN 1008-4274

1. 一种半导体器件的制造方法，它包含下列步骤：

(a) 制作一个底电极，此底电极带有制作在半导体衬底的层间隔离膜中的层间互连膜，以及制作在上述层间隔离膜上的与层间互连膜相接触的导电图形；

(b) 在上述层间隔离膜和上述导电图形上制作非晶或晶体介电膜；

(c) 在上述介电膜上制作覆盖部分介电膜的顶电极；

(d) 改变上述介电膜，使至少上述顶电极下方区域成为晶体而其它区域成为非晶；以及

(e) 用湿法腐蚀方法，采用一种对非晶的腐蚀速率高于对晶体的腐蚀速率的腐蚀剂，清除上述介电膜非晶区域的一部分或全部。

2. 根据权利要求1的半导体器件制造方法，其中所述的步骤(b)是制作上述介电膜的步骤，使上述层间隔离膜上的区域成为非晶，而上述的步骤(d)是借助于加热此顶电极而使上述顶电极下方的上述介电膜结晶的步骤。

3. 根据权利要求2的半导体器件制造方法，其中所述的加热是灯加热。

4. 根据权利要求1的半导体器件制造方法，其中所述的步骤(b)是制作上述晶体介电膜的步骤，而上述的步骤(d)是在制作覆盖上述顶电极的掩膜之后注入离子的步骤，使上述介电膜的离子注入区改变成非晶态。

5. 根据权利要求4的半导体器件制造方法，其中所述的离子注入是氩离子注入。

6. 根据权利要求1的半导体器件制造方法，其中所述的步骤(e)是用湿法腐蚀方法清除上述介电膜非晶区域的一部分或全部，以便在上述层间隔离膜中制作贯通孔的步骤。

7. 根据权利要求1的半导体器件制造方法，其中所述的上述步

骤 (a) 制作的导电图形带有为接触上述层间互连膜而制作的势垒层以及制作在此势垒层上的由 Ru、RuO<sub>2</sub>、Ir、IrO<sub>2</sub> 和 Pt 之一组成的层。

8. 根据权利要求 1 的半导体器件制造方法, 其中所述的上述步骤 (b) 制作的介电层是钛酸锶钡。

9. 根据权利要求 1 的半导体器件制造方法, 其中所述的步骤 (e) 是用氢和铵的氟化物 (1:2) 来执行湿法腐蚀的步骤。

## 半导体器件的制造方法

### 技术领域

本发明涉及到半导体衬底上制作有电容器的半导体器件的制造方法。

### 背景技术

诸如 DRAM（动态随机存取存储器）的集成电路中组合有电容器的半导体器件已为人所知。

新近已提出用  $\text{BaTiO}_3$  和  $\text{SrTiO}_3$  作为电容器介电膜的技术。

例如，下列文献就公开了这种技术：

- (1) S.Yamamichi et al., 1995 IEDM Technical Digest, p.119;
- (2) K.P.Lee et al., 1995 IEDM Technical Digest, p.910;
- (3) 日本专利公开 No.50395/95。

如上述文献（1）和（2）所公开的那样，用  $\text{BaTiO}_3$  和  $\text{SrTiO}_3$  作为介电膜改善了介电膜的绝缘性能，因而可为集成度高的半导体器件制作介电常数高的电容器。这一技术可望被千兆位规模大容量 DRAM 这样的半导体器件所采用。

而且，如文献（3）所公开的，当用二对或更多对顶电极和底电极以及一层  $\text{BaTiO}_3$  介电膜制作二个或更多个电容器时，借助于制作一个不与顶电极及底电极接触的用来降低介电常数的非晶介电膜的区域，可降低寄生电容。

图 12 剖面图示出了常规 DRAM 主要部位的结构。

图 12 示出了用作器件隔离膜的二氧化硅膜 1202 以及作为硅片表面上 MOS 晶体管一部分的扩散层 1203a 和 1203b。在片子 1201 的整个表面上，制作了层间隔离膜 1204、氮化硅膜 1205、例如由多晶硅制成的层间互连膜 1206a 以及由 Ru、 $\text{RuO}_2$  或 Pt 制成的导电膜。层间互连膜 1206a 和导电膜 1206b 组成底电极 1206。

介电膜 1207 和顶电极 1208 层叠在导电膜 1206b 和氮化硅膜 1205 上。而层间隔离膜 1209 制作在顶电极 1208 和介电膜 1207 上。

在隔离膜 1209 表面上制作互连图形 1210 和 1211。互连图形 1210

和扩散层 1203b 用层间互连膜 1212 连接，而互连图形 1211 和顶电极 1208 用层间互连膜 1213 连接。

为了在具有这种结构的 DRAM 中制作薄膜 1212，必须制作一个穿透薄膜 1204、1205、1207 和 1209 的接触孔。

然而，当介电膜 1207 由  $\text{BaTiO}_3$  膜或  $\text{SrTiO}_3$  膜组成时，用诸如 RIE（反应离子刻蚀）的干法腐蚀方法难以清除介电膜 1207，因此难以制作接触孔。这是由于 Ba、Sr、Ti 形成的化合物和腐蚀气体组分（例如 Cl）的熔点高，亦即挥发性低。

若代之以使用湿法腐蚀，则可容易地清除由  $\text{BaTiO}_3$  和  $\text{SrTiO}_3$  组成的介电膜 1207。但由于湿法腐蚀的各向异性小，故对于集成度高的 DRAM 难以使用湿法腐蚀。

上述文献(3)中公开的技术，只改变了含有  $\text{BaTiO}_3$  和其它非晶组分的介电膜的一部分，它能够减小寄生电容的介电常数，但不能完全消除寄生电容。这一技术仍然解决不了难以制作上述接触孔的问题。

虽然此处使用 DRAM 作为例子来进行解释，但对于集成度高的半导体器件都有这种问题。

#### 发明内容

本发明的目的是提供一种用湿法腐蚀方法方便而准确地清除半导体器件电容器介电膜的方法。

为此目的，本发明包含下列步骤：(a) 制作一个底电极，此底电极带有制作在半导体衬底的层间隔离膜中的层间互连膜，以及制作在上述层间隔离膜上的与层间互连膜相接触的导电图形；(b) 在上述层间隔离膜和上述导电图形上制作非晶或晶体介电膜；(c) 在上述介电膜上制作覆盖部分介电膜的顶电极；(d) 改变上述介电膜，使至少上述顶电极下方区域成为晶体而其它区域成为非晶；以及(e) 用湿法腐蚀方法，采用一种对非晶的腐蚀速率高于对晶体的腐蚀速率的腐蚀剂，清除上述介电膜非晶区域的一部分或全部。

若采用这一制造方法，则由于使用了湿法腐蚀，腐蚀将很容易，而且由于所用的腐蚀剂对非晶的腐蚀速率高于对晶体的腐蚀速率而可能得到足够各向异性的腐蚀。

#### 附图说明

以下参照附图来描述本发明的进一步目的和优点：

图 1 和图 2 是工艺剖面图, 示出了根据第一实施例的半导体器件的制造方法;

图 3 指出了灯加热时间与根据第一实施例的介电膜的结晶速度之间的关系;

图 4 和图 5 描述了第一实施例的效果;

图 6-9 是工艺剖面图, 示出了根据第二实施例的半导体器件的制造方法;

图 10 和图 11 工艺剖面图, 示出了根据第四实施例的半导体器件的制造方法; 而

图 12 剖面图示出了常规半导体器件主要部位的结构。

#### 具体实施方式

以下参照附图, 用举例的方法来描述本发明应用于 DRAM 的实施例。图中各组成部分的尺寸、形状和位置关系只是初略的表示以有利于理解本发明, 而下面描述中的数值条件只是一些例子。

#### 第一实施例

下面参照图 1-5 来描述根据本发明第一实施例的制造方法。

图 1 和图 2 是工艺剖面图, 示出了根据第一实施例的 DRAM 的制造方法。

(1) 首先, 在硅片 101 表面上制作将成为器件隔离膜的  $\text{SiO}_2$  膜 102 和将成为 MOS 晶体管或相似器件一部分的扩散层 103。用 CVD (化学气相沉积) 之类的方法, 在此片子 101 上制作例如 700-1000nm 厚的将成为层间隔膜的  $\text{SiO}_2$  膜和例如 10-100nm 厚的非晶  $\text{SiN}$  膜 105。

然后用普通光刻之类的技术在  $\text{SiO}_2$  膜 104 和  $\text{SiN}$  膜 105 中制作接触孔 106。再用溅射之类的方法, 在整个表面上沉积多晶硅, 并借助于在表面上执行回腐蚀而制作层间互连膜 107a。在此层上, 用 CVD 之类的沉积工艺和图形化工艺, 制作含有势垒层和 Ru 层、 $\text{RuO}_2$  层、Ir 层、 $\text{IrO}_2$  层、Pt 层中至少一种层(晶体膜)的导电层 107b, 使总厚度为例如 20-100nm。这一导电层 107b 和上述的互连膜 107a 组成底电极 107。

然后用 CVD 之类的方法, 在整个表面上制作厚度例如为 20-100nm 的 BST(钛酸锶钡)膜 108。借助于设定沉积温度为  $500^\circ\text{C}$  或更低, 可将 BST 膜 108 制成晶体膜上的结晶体和非晶膜上的非晶体。在本实施例中, 107b 层是结晶体, 而膜 105 是非晶体, 因此, 晶体 BST 膜 108a

被制作在 107b 层上，而非晶 BST 膜 108b 被制作在膜 105 上（见图 1（A））。若沉积温度被设定为 500℃ 或更高，则导电膜 107b 和 SiN 膜 105 上的 BST 膜都是结晶体。

(2) 用溅射、CVD 或其它方法，在 BST 膜 108 的整个表面上制作至少由 Ru、RuO<sub>2</sub>、Ir、IrO<sub>2</sub>、Pt 之一构成的膜 109，使总厚度为例如 30-200nm（见图 1（B））。

(3) 借助于用普通光刻之类的方法对膜 109 进行图形化，制作顶电极 110（见图 1（C））。

(4) 用灯在例如 400℃ 的温度下，对整个表面进行加热。借助于这一处理，只有与电极 110 相接触的上述非晶膜 108b 的区域结晶并成为晶体膜 108c（见图 1（D））。

图 3 示出了灯加热处理时间与 BST 膜 108b 结晶速度之间的关系。在图 3 中，横坐标表示灯加热时间，纵坐标表示 BST 膜 108b 的 X 射线衍射峰强度（任意值）。

如图 3 中的 a 所示，即使用灯加热，不与电极 110 相接触的 BST 膜 108b 的部位也不结晶。另一方面，如图 3 中的 b 所示，用 400℃ 灯加热大约 60 秒钟，与电极 110 相接触的部位却完全结晶了。

这样，在非晶膜 108b 上制作晶体膜 110 之后，灯加热就使得有可能在与晶体膜 110 相接触的区域中选择性地使非晶膜结晶。

(5) 只有 BST 膜 108b 的非晶区域被湿法腐蚀清除（见图 2（A））。此处只要对非晶的腐蚀速率高于对晶体的腐蚀速率，任何腐蚀剂都可以使用，而本实施例中采用了氢和铵的氟化物（1: 2）溶液。

图 4 示出了采用氢和铵的氟化物（1: 2）溶液作为 BST 膜腐蚀剂时的腐蚀速率，其中横坐标表示氢和铵氟化物（1: 2）的浓度，而纵坐标表示腐蚀速率。

如图 4 所示，当采用氢和铵的氟化物（1: 2）溶液作为腐蚀剂时，不管浓度如何，晶体的腐蚀速率（见 a）都低于非晶的腐蚀速率（见 b）。

图 5 示出了当采用氢和铵的氟化物（1: 2）溶液作为 BST 膜的腐蚀剂时的晶体腐蚀速率对非晶腐蚀速率的比率，其中横座标表示氢和铵的氟化物（1: 2）的浓度，而纵坐标表示腐蚀速率之比率。

如图 5 所示，采用氢和铵的氟化物（1: 2）溶液作为腐蚀剂，使得非

晶的腐蚀速率成为晶体腐蚀速率的三倍或更大。这就使得有可能在清除非晶膜 108b 时, 将晶体膜 108c 中的腐蚀深度控制在 108 膜厚度的 1/3 以内。

(6) 然后用 RIE 之类, 只清除 SiN 膜 105 的暴露区域 (见图 2(B))。

(7) 用 CVD 之类的方法, 在整个表面上制作作为层间隔离膜的 SiO<sub>2</sub> 膜 111 (见图 2(C))。

(8) 最后, 用普通光刻之类的技术, 在 SiO<sub>2</sub> 膜 111 上制作接触孔 112 和穿通孔 113。并且在用溅射之类的方法于整个表面上淀积多晶硅之后, 借助于采用普通光刻之类的图形化, 制作层间互连膜 114、115 和互连图形 116、117。

在本实施例中, 清除 SiN 膜 105 之后, 制作了接触孔 112 (见上述工艺 (6) 和 (8)), 但在制作接触孔 112 的腐蚀过程中, 无需清除膜 105 就可在膜 105 中制作另一窗口。

于是, 在本实施例中, 在非晶膜 108b 上制作电极 110 之后执行灯加热, 以便只使与电极 110 相接触的非晶部位结晶, 并在后续的腐蚀工序中, 使用氢和氟化铵 (1: 2) 的溶液执行湿法腐蚀。这使得有可能选择性地清除非晶膜 108b (亦即不制作电极 110 处的那部分 BST 膜)。

由于不制作电容器的区域中的 BST 膜可被完全清除, 故本方法也可有效地防止寄生电容的产生。

## 第二实施例

下面参照图 6 和图 7 来描述根据本发明第二实施例的制造方法。

图 6 和图 7 工艺剖面图示出了根据第二实施例的 DRAM 的制造方法。

(1) 首先, 以与第一实施例相同的方法, 在硅片 601 的表面上相继制作作为器件隔离层的 SiO<sub>2</sub> 膜 602、扩散膜 603、作为层间隔离膜的 SiO<sub>2</sub> 膜 604 以及非晶 SiN 膜 605, 然后用普通光刻之类的技术在 SiO<sub>2</sub> 膜 604 和 SiN 膜 605 中制作接触孔 606。借助于制作结构与第一实施例相同的层间互连膜 607a 和导电膜 607b 而形成底电极。

然后用与第一实施例相同的方法, 制作与电极 607 相接触的区域为晶体而其它区域为非晶的 BST 膜 608, 从而形成结构与第一实施例相同的顶电极。然后以与第一实施例相同的方式执行灯加热, 以便形成与电极 609 相接触的区域 608a 为晶体而其它区域 608b 为非晶的 BST 膜。再在整个表

面上制作  $\text{SiO}_2$  膜 610 (见图 6 (A))。

(2) 用普通干法腐蚀之类的方法制作穿透孔 611, 使部分非晶膜 608b 暴露出来 (见图 6 (B))。

(3) 用湿法腐蚀方法清除非晶膜 608b 的暴露部位 (见图 6 (C))。在本实施例中, 也可用氢和氟化铵 (1: 2) 的溶液作为腐蚀剂。

(4) 在清除  $\text{SiN}$  膜 605 的暴露部位之后, 用普通干法腐蚀之类的技术, 清除所有的膜 610 (见图 7 (A))。

(5) 用 CVD 之类的方法, 在整个表面上制作将成为层间隔离膜的  $\text{SiO}_2$  膜 612 (见图 7 (B))。

(6) 最后, 用普通光刻之类的技术, 在膜 612 中制作接触孔 613 和穿透孔 614。并在用溅射之类的方法于整个表面上淀积多晶硅之后, 用普通光刻之类的图形化方法制作层间互连膜 615、616 以及互连图形 617、618。

这样, 在本实施例中, 在非晶 BST 膜 608b 上制作电极 610 之后, 也执行灯加热, 以便只使与电极 609 相接触的那部分 BST 膜结晶, 并在后续的腐蚀工序中, 用氢和氟化铵 (1: 2) 的溶液执行湿法腐蚀。因此, 在本实施例中, 只有 BST 膜 608b 所希望的区域能够被简单的工序清除。

### 第三实施例

下面参照图 8 和图 9 来描述根据本发明的第三实施例的制造方法。

图 8 和图 9 剖面图示出了根据第三实施例的 DRAM 的制造方法。

(1) 首先, 用与第一和第二实施例相同的方法, 在硅片 801 表面上相继制作将成为器件隔离膜的  $\text{SiO}_2$  膜 802、扩散层 803、将成为层间隔离膜的  $\text{SiO}_2$  膜 804 以及非晶  $\text{SiN}$  膜 805, 然后用普通光刻之类的技术, 在膜 804 和膜 805 中制作接触孔 806。借助于制作结构与第一实施例相同的层间互连膜 807a 和导电膜 807b 而形成底电极 807。

然后用 CVD 方法、反应溅射方法或其它方法, 在整个表面上制作厚度例如为 20-100nm 的 BST 膜 808。在本实施例中, 借助于将淀积温度设定为 500℃ 或更高, 此 BST 膜 808 被制成晶体。

用溅射方法、CVD 方法或其它方法, 在 BST 膜 808 的整个表面上制作至少由 Ru、 $\text{RuO}_2$ 、Ir、 $\text{IrO}_2$ 、Pt 之一制成的膜 809, 使总厚度为例如 30-200nm。

然后用 CVD 之类的方法，在整个表面上制作  $\text{SiO}_2$  层 810（见图 8（A））。

(2) 借助于用普通图形化之类的技术对层 809 和 810 进行图形化，制作顶电极 811 和掩模图形 812（见图 8（B））。

(3) 用例如 10-20kV 的加速电压和  $1 \times 10^{13}$ - $1 \times 10^{15}$  的剂量，将氩离子之类注入到整个表面。这就在 BST 膜 808 的暴露区域上施加了离子轰击，从而形成非晶区域 808a（见图 8（C））。

(4) 用湿法腐蚀方法，仅仅清除非晶区域 808a（见图 9（A））。在本实施例中，任何腐蚀剂只要对非晶的腐蚀速率高于对晶体的腐蚀速率，例如氢和氯化铵（1：2）的溶液，也都可以使用。

(5) 用 RIE 之类的方法清除膜 805 的暴露部分（见图 9（B））。

(6) 在清除掩模图形 812 之后，制作将成为层间隔离膜的  $\text{SiO}_2$  膜 813。并在此膜 813 中制作接触孔 814 和穿通孔 815 之后，用与第一实施例相同的方法制作层间互连膜 816 和 817 以及互连图形 818 和 819（见图 9（C））。

在本实施例中，接触孔 814 是在清除 805 膜之后制作的（见上述工序（6）和（8）），但在腐蚀制作接触孔 814 的过程中，无需清除膜 805，也可以在膜 805 中制作另一个窗口。

这样，在本实施例中，氩离子被注入到晶体 BST 膜 808 的特定区域以将此区域改变成非晶态，并在后续的腐蚀工序中，用氢和氯化铵（1：2）的溶液执行湿法腐蚀。这使得有可能选择性地清除 BST 膜 808 的非晶区域 808a。

由于在不制作电容器的区域中的 BST 膜可被完全地清除，故此方法也可有效地防止寄生电容的产生。

#### 第四实施例

下面参照图 10 和图 11 来描述根据本发明第四实施例的制造方法。

图 10 和图 11 工艺剖面图示出了根据第四实施例的 DRAM 的制造方法。

(1) 首先，用与上述各实施例相同的方法，在硅片 1001 表面上相继制作将成为器件隔离膜的  $\text{SiO}_2$  膜 1002、扩散膜 1003、将成为层间隔离膜的

SiO<sub>2</sub>膜 1004 以及非晶 SiN 膜 1005，然后用普通光刻之类的技术，在 SiO<sub>2</sub>膜 1004 和 SiN 膜 1005 中制作接触孔 1006。并借助于制作结构与第一实施例相同的层间互连膜 1007a 和导电层 1007b 而形成底电极 1007。

然后制作与第三实施例相同的晶体 BST 膜 1008。用溅射方法、CVD 方法或其它方法制作至少由 Ru、RuO<sub>2</sub>、Ir、IrO<sub>2</sub>、Pt 之一构成的层，使总厚度为例如 30-200nm，再用溅射方法制作与第一实施例相似的顶电极 1009。

然后用 CVD 之类的方法在整个表面上制作 SiO<sub>2</sub> 层 1010（见图 10（A））。

(2) 用普通干法腐蚀技术制作贯通孔 1011，使一部分 BST 膜 1008 暴露出来（见图 10（B））。

(3) 以例如 10-20kV 的加速电压和  $1 \times 10^{13}$ - $1 \times 10^{15}$  的剂量，将氩离子之类注入到整个表面中。这就在晶体膜 1008 的暴露部位施加了离子轰击，从而使该区域变成非晶态。

湿法腐蚀仅仅清除膜 1008 的非晶区域（见图 10（C））。在本实施例中，氢和氯化铵（1：2）的溶液也可用作腐蚀剂。

(4) 用 RIE 之类的方法清除膜 1005 的暴露部位，然后完全清除 SiO<sub>2</sub> 膜 1010（见图 11（A））。

(5) 在整个表面上制作将成为层间隔离膜的 SiO<sub>2</sub> 膜 1011（见图 11（B））。

(6) 最后，用普通光刻之类的技术，在 SiO<sub>2</sub> 膜 1011 中制作接触孔 1012 和贯通孔 1013。用溅射之类的方法在整个表面上淀积多晶硅之后，借助于用普通光刻之类的方法进行图形化而制作层间互连膜 1014 和 1015 以及互连图形 1016 和 1017。

这样，在本实施例中，氩离子被注入到晶体 BST 膜 1008 的特定区域中，将此部分改变成非晶态，并在后续的腐蚀工序中执行采用氢和氯化铵（1：2）溶液的湿法腐蚀。因此，在本实施例中，仅仅 BST 膜的所希望的区域可被简单的工艺清除。

如上所述，本发明使得有可能用湿法腐蚀方法容易而精确地清除待要制作在半导体器件中的电容器的介电膜。

图 1(A)

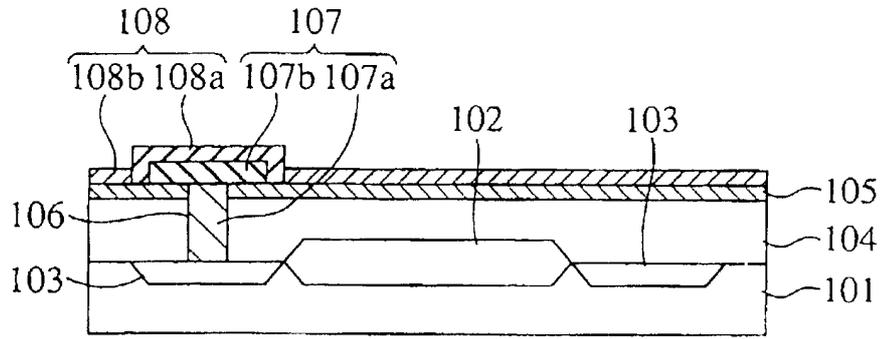


图 1(B)

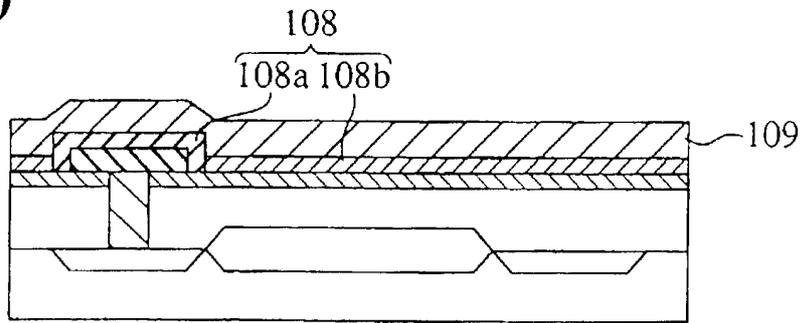


图 1(C)

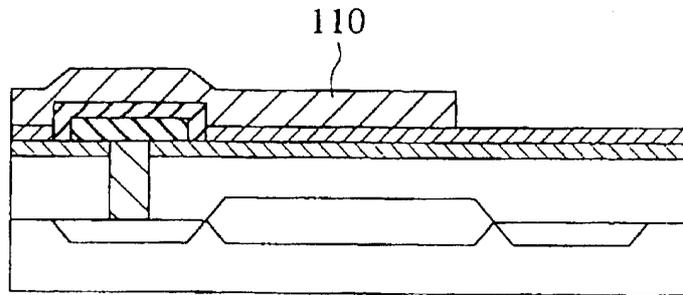


图 1(D)

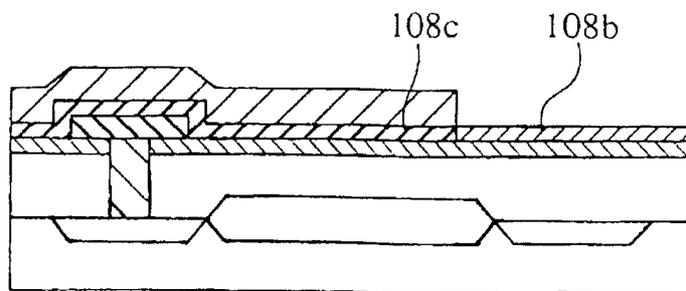


图 2(A)

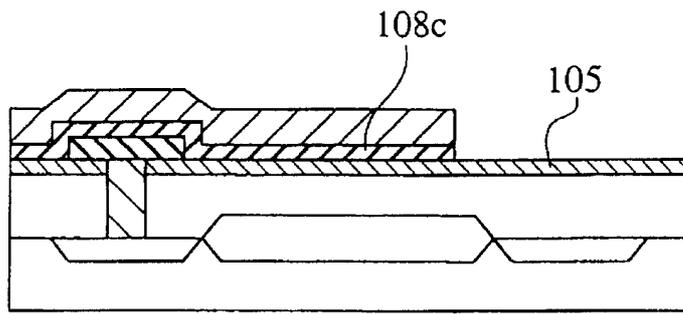


图 2(B)

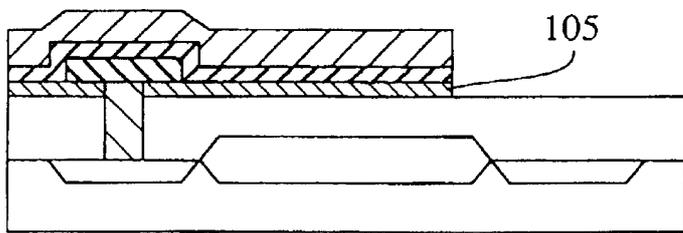


图 2(C)

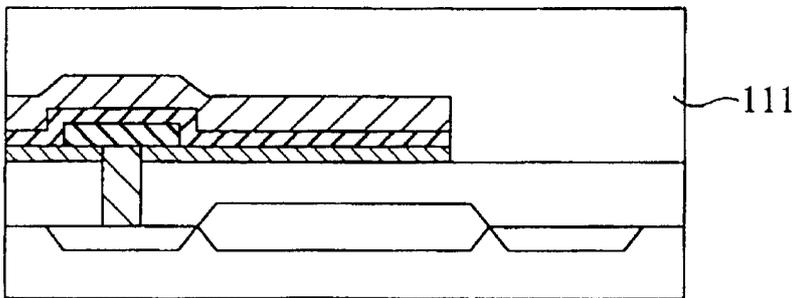


图 2(D)

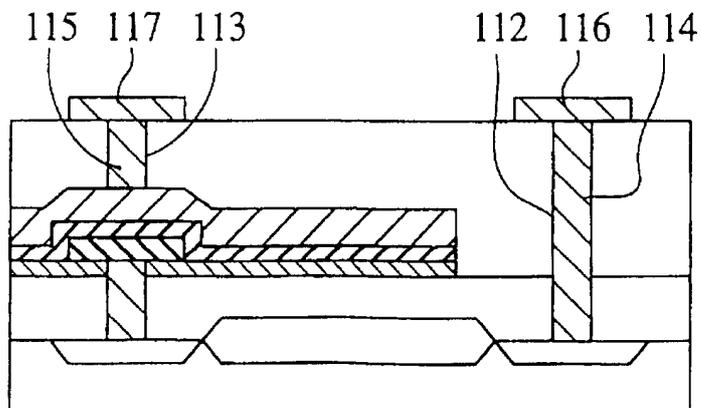


图 3

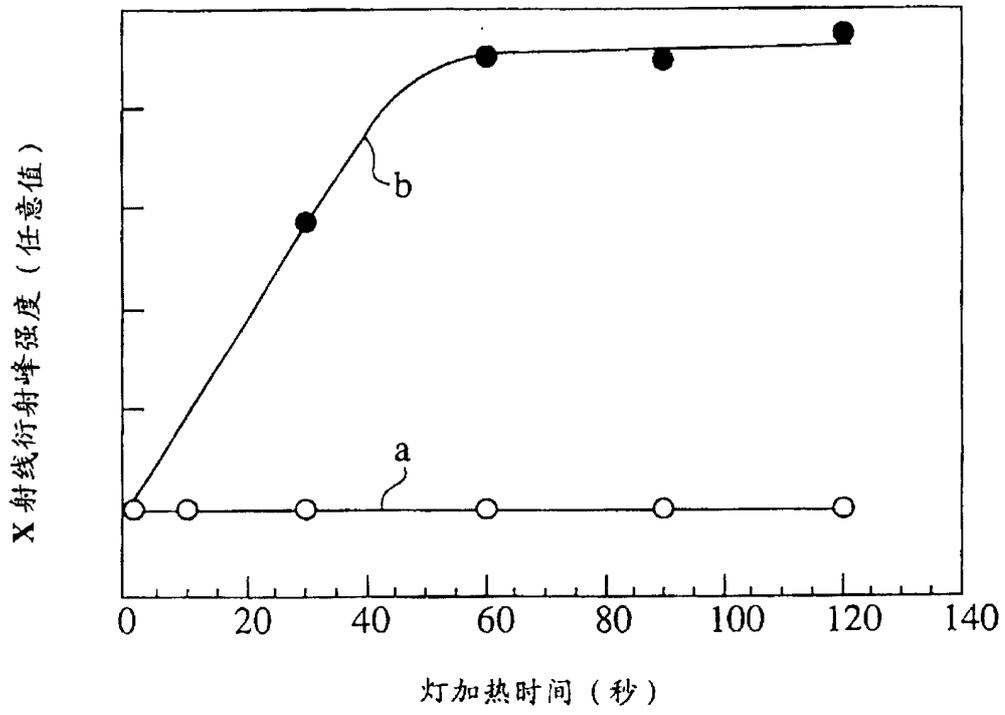


图 4

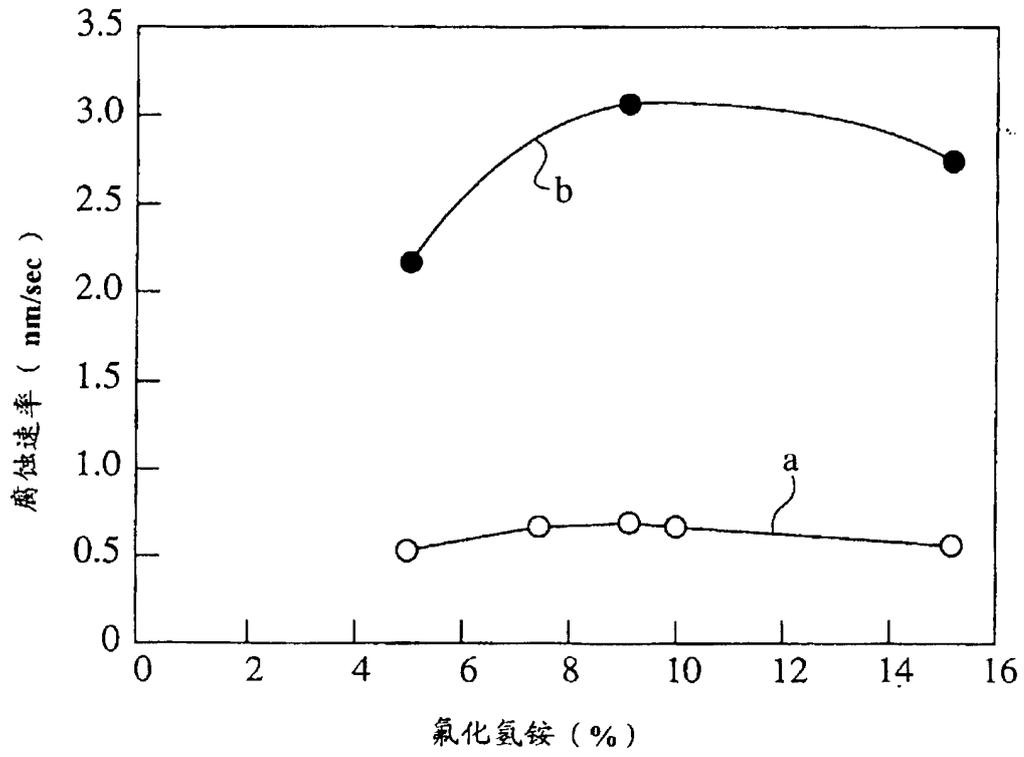


图 5

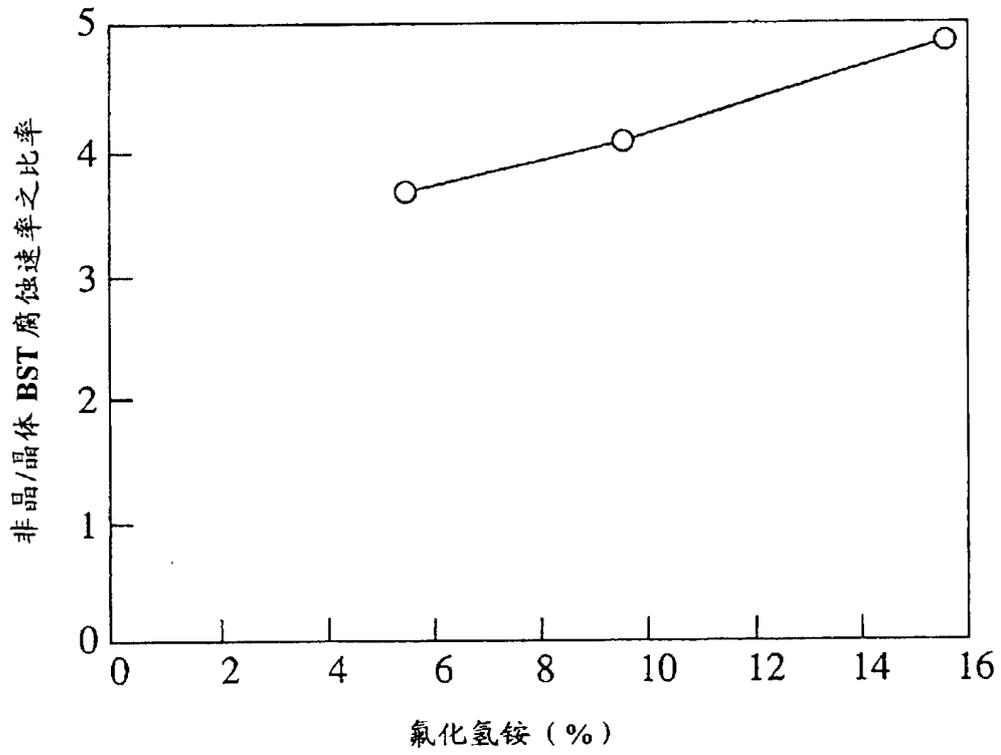


图 6(A)

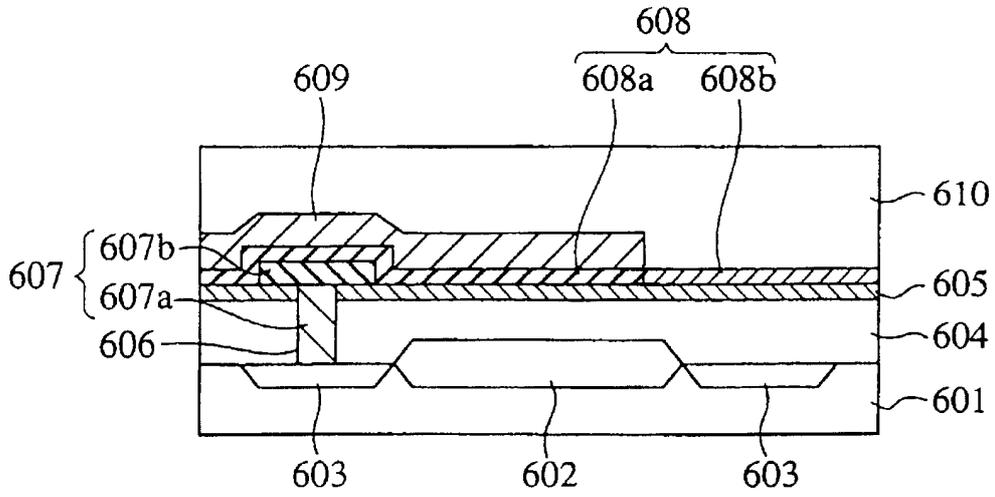


图 6(B)

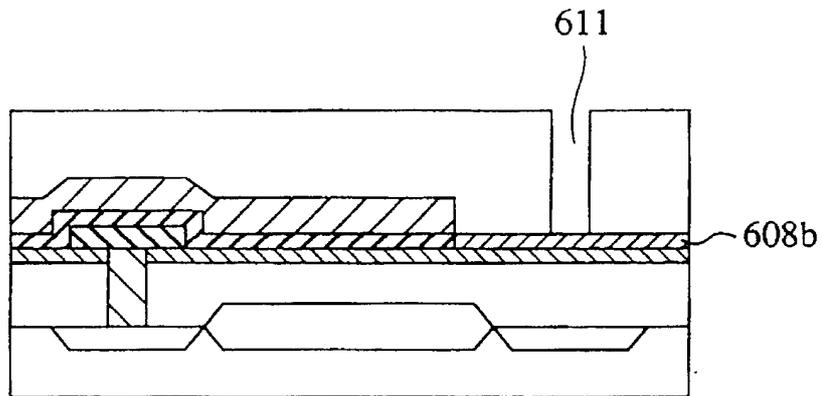


图 6(C)

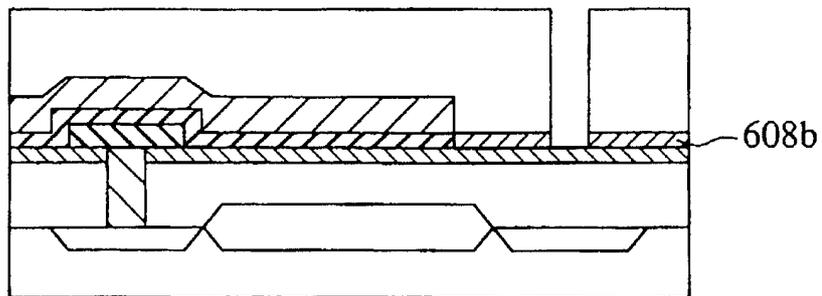


图 7(A)

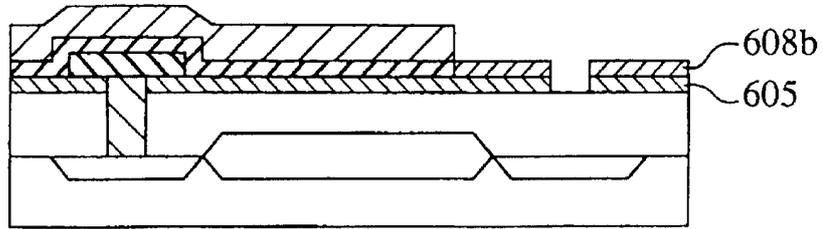


图 7(B)

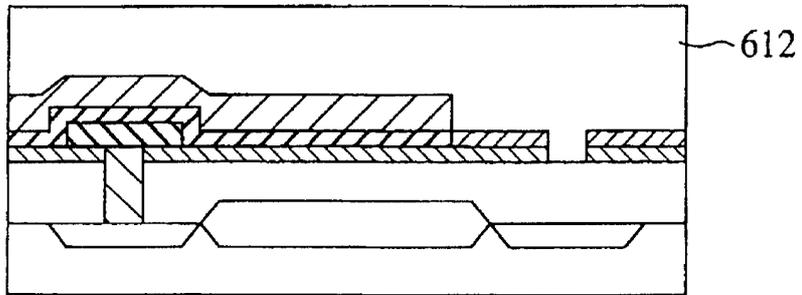


图 7(C)

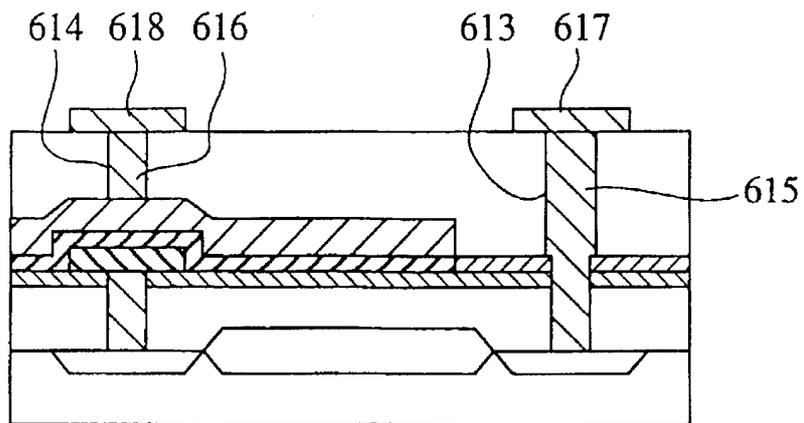


图 8(A)

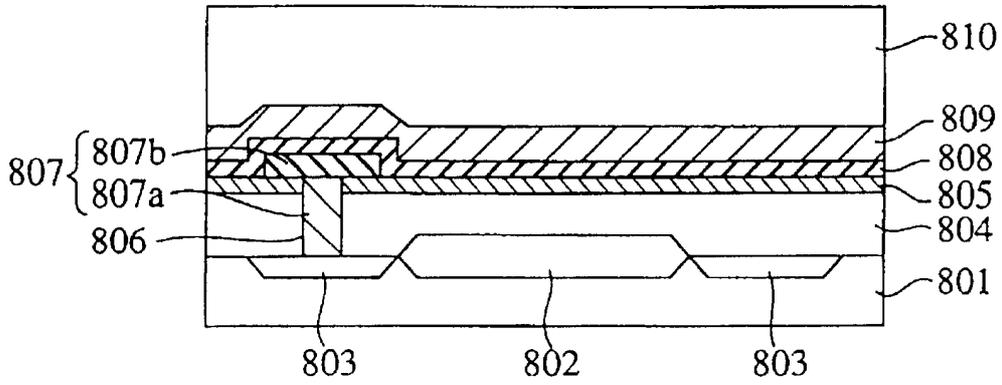


图 8(B)

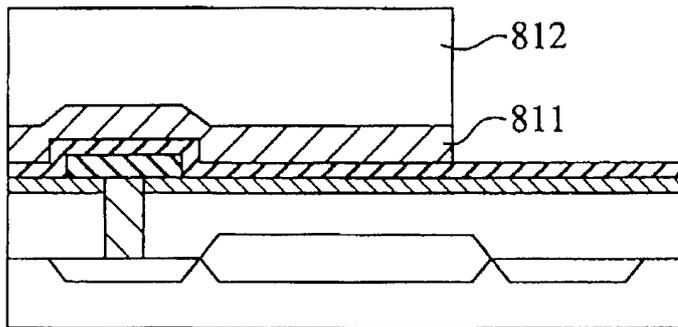


图 8(C)

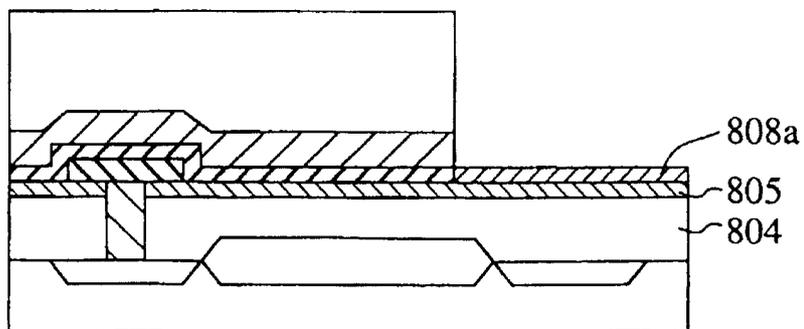


图 9(A)

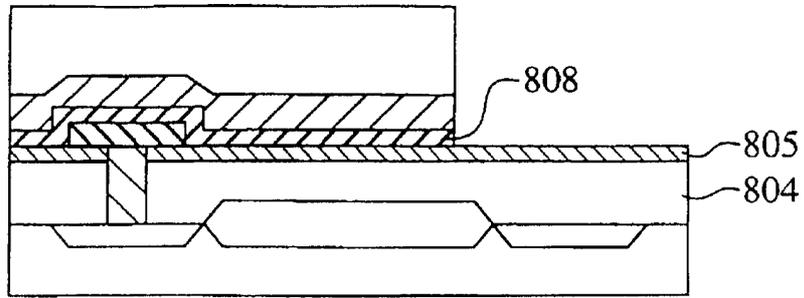


图 9(B)

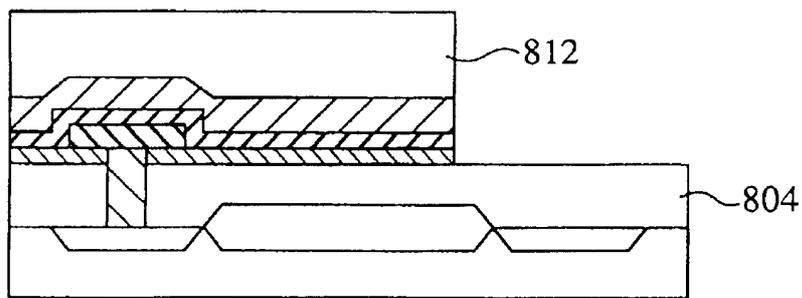


图 9(C)

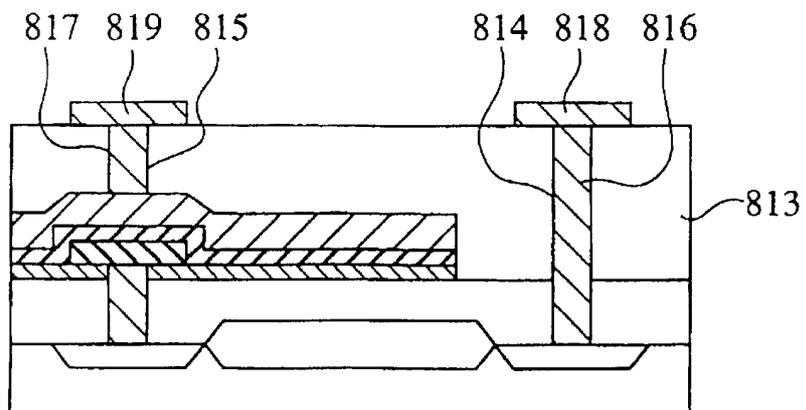




图 11(A)

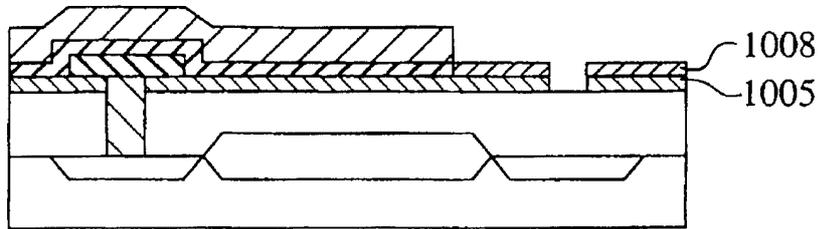


图 11(B)

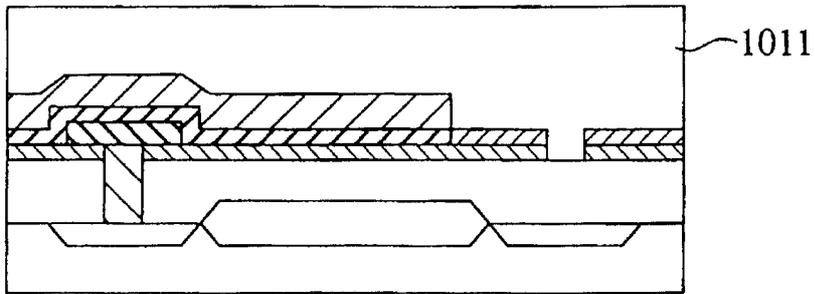


图 11(C)

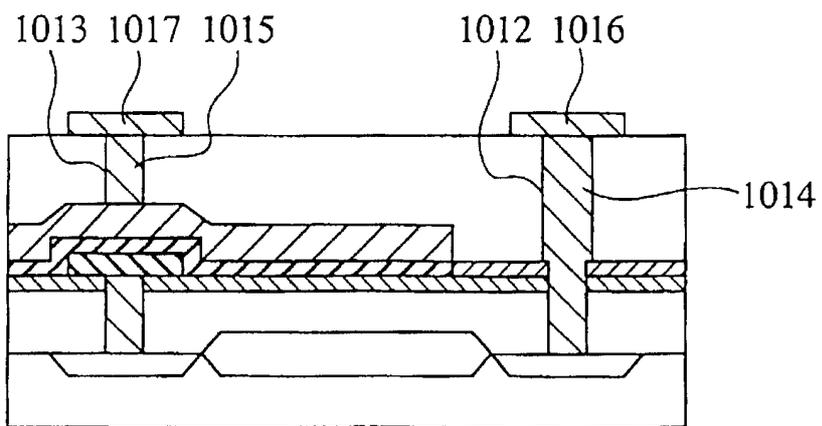


图 12

