

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6301112号
(P6301112)

(45) 発行日 平成30年3月28日(2018.3.28)

(24) 登録日 平成30年3月9日(2018.3.9)

(51) Int.Cl.

F 1

HO2M	7/48	(2007.01)
HO5H	1/46	(2006.01)
HO1L	21/3065	(2006.01)
C23C	16/505	(2006.01)

HO2M	7/48	L
HO5H	1/46	R
HO1L	21/302	1 O 1 G
C23C	16/505	

請求項の数 4 (全 19 頁)

(21) 出願番号

特願2013-236378 (P2013-236378)

(22) 出願日

平成25年11月15日 (2013.11.15)

(65) 公開番号

特開2015-97433 (P2015-97433A)

(43) 公開日

平成27年5月21日 (2015.5.21)

審査請求日

平成28年10月17日 (2016.10.17)

(73) 特許権者 000000262

株式会社ダイヘン

大阪府大阪市淀川区田川2丁目1番11号

(74) 代理人 100086380

弁理士 吉田 稔

(74) 代理人 100115369

弁理士 仙波 司

(74) 代理人 100168044

弁理士 小淵 景太

(72) 発明者 福本 佳樹

大阪市淀川区田川2丁目1番11号 株式会社ダイヘン内

審査官 佐藤 匡

最終頁に続く

(54) 【発明の名称】高周波電源

(57) 【特許請求の範囲】

【請求項 1】

4個のスイッチング素子のブリッジ回路を含み、ドライブ信号により各スイッチング素子をオン・オフ動作させて前記ブリッジ回路の入力端子対に供給される直流電力を高周波電力に変換して前記ブリッジ回路の出力端子対から出力する電力変換手段と、

前記スイッチング素子毎に、前記ドライブ信号を生成するドライブ信号生成手段と、

前記高周波電力の出力を停止させる場合、前記ブリッジ回路の2つのアームの上側又は下側に配置される2個のスイッチング素子に対するドライブ信号のレベルを各スイッチング素子が遮断するレベルに設定し、残りの2個のスイッチング素子に対するドライブ信号のレベルを各スイッチング素子が能動領域で動作するレベルに設定するドライブ信号制御手段を備えたことを特徴とする高周波電源。

【請求項 2】

前記ドライブ信号生成手段は、

前記ブリッジ回路の一方のアームの上側と他方のアームの下側に配置される2個のスイッチング素子に対するドライブパルスとして、スイッチング素子毎に前記電力変換手段から出力される前記高周波電力の周波数と同一の周波数を有する所定レベルの第1のドライブパルスを生成するとともに、前記ブリッジ回路の一方のアームの下側と他方のアームの上側に配置される2個のスイッチング素子に対するドライブパルスとして、スイッチング素子毎に前記第1のドライブパルスに対して位相がだけずれた第2のドライブパルスを生成するドライブパルス生成手段と、

10

20

前記ドライブパルス生成手段で前記スイッチング素子毎に生成したドライブパルスを増幅して各スイッチング素子に対する前記ドライブ信号をそれぞれ生成する増幅手段と、を含み、

前記ドライブ信号制御手段は、前記高周波電力の出力を停止させる場合、前記ブリッジ回路の 2 つのアームの上側又は下側に配置される 2 個のスイッチング素子に対してスイッチング素子毎に生成されたドライブパルスのレベルをローレベルに設定し、残りの 2 個のスイッチング素子に対してスイッチング素子毎に生成されたドライブパルスのレベルをハイレベルに設定する、請求項 1 に記載の高周波電源。

【請求項 3】

前記ドライブ信号制御手段は、

10

前記ブリッジ回路に電力変換動作をさせる第 1 の状態と前記ブリッジ回路に電力変換動作をさせない第 2 の状態とが割り当てられた 2 値信号からなるドライブ制御信号を生成するドライブ制御信号生成手段と、

前記ドライブ制御信号と前記ドライブパルス生成手段で前記スイッチング素子毎に生成された 4 個のドライブパルスを用いて所定の論理演算を行う論理演算手段と、を含み、

前記論理演算手段は、前記ドライブ制御信号が前記第 1 の状態が割り当てられたレベルの期間では、前記ドライブ信号生成手段で生成される 4 個のドライブパルスと同一波形の信号を出力し、前記ドライブ制御信号が前記第 2 の状態が割り当てられたレベルの期間では、前記ブリッジ回路の 2 つのアームの上側又は下側に配置される 2 個のスイッチング素子に対してローレベルの信号を出力するとともに、残りの 2 個のスイッチング素子に対してハイレベルの信号を出力する、請求項 2 に記載の高周波電源。

20

【請求項 4】

前記論理演算手段は、

前記ドライブパルスと前記ドライブ制御信号の論理積を演算する 2 つの A N D 回路と、N O T 回路によって前記ドライブパルスのレベルを反転した信号と前記ドライブ制御信号の否定論理積を演算する 2 つの N A N D 回路とを含み、

前記 2 つの A N D 回路には、前記ブリッジ回路の 2 つのアームの上側又は下側に配置される 2 個のスイッチング素子に対して生成されたドライブパルスが入力され、前記 2 つの N A N D 回路には、残りの 2 個のスイッチング素子に対して生成されたドライブパルスが前記 N O T 回路を介して入力される、請求項 3 に記載の高周波電源。

30

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、プラズマ処理システムに用いられる高周波電源に関する。

【背景技術】

【0 0 0 2】

プラズマ処理システムは、例えば、フッ素系のガスと半導体ウェハや液晶基板等の被加工物をプラズマ処理装置のチャンバー内に封入し、そのチャンバー内の二対の電極に高周波電源から高周波電力を供給して放電させ、その放電によりガスのプラズマを発生させて被加工物に薄膜形成処理やエッチング処理を行うシステムである。

40

【0 0 0 3】

従来、プラズマ処理システム用の高周波電源として、高周波の出力周波数よりも低周波のパルス変調制御信号 P S により高周波電源の出力をパルス変調して高周波をパルス出力する高周波電源が知られている。この高周波電源では、図 13 に示すように、例えば、パルス変調制御信号 P S のハイレベルの期間だけ高周波 v が出力されるように高周波電源の出力がパルス変調される。

【0 0 0 4】

例えば、特開 2013 - 135159 号公報には、図 14 に示す高周波電源が開示されている。

50

【 0 0 0 5 】

図14に示す高周波電源100は、直流電源（図示省略）の直流出力を正弦波の高周波に変換するフル・ブリッジ型の正弦波インバータ102を備える。正弦波インバータ102からトランス103を介して出力される高周波は、ローパスフィルタ104によって高調波が除去されて負荷に出力される。図14では、高周波電源100と負荷との間に整合器200が設けられているので、高周波電源100から出力される高周波は、整合器200を介して負荷に出力される。

【 0 0 0 6 】

正弦波インバータ102にはスイッチングパルス発振器101からパルス信号（13.56MHzの2相スイッチングパルス）が入力され、正弦波インバータ102は、そのパルス信号により正弦波インバータ102内の2組のスイッチング素子が交互にオン・オフ動作することによって直流を高周波に変換する。

【 0 0 0 7 】

高周波電源100から出力される高周波の特性（振幅や周波数等）とその高周波のパルス出力は、電源制御部105によって制御される。電源制御部105は、スイッチングパルス発振器101のパルス信号の生成動作を制御することによって正弦波インバータ102で生成される高周波の特性を制御する。また、電源制御部105は、主制御部108から入力されるパルス変調制御信号PSに基づいて、正弦波インバータ102内の各スイッチング素子へのパルス信号の入力を制御することにより正弦波インバータ102の高周波のパルス出力を制御する。

【 0 0 0 8 】

なお、RFパワーモニタ106は、トランス103の二次側に生じる進行波電力（トランス103から出力端側に進行する電力）と反射波電力（出力端からトランスT側に進行する電力）をモニタするためのものである。RFパワーモニタ106で検出された進行波電力と反射波電力は電源制御部105に入力され、パルス信号の生成制御に利用される。また、RFパワーモニタ106で検出された進行波電力と反射波電力は主制御部108に入力され、モニタ表示に利用される。

【 0 0 0 9 】

図15(a)は、主制御部108から入力されるパルス変調制御信号PSと正弦波インバータ102内の4個のスイッチング素子にそれぞれ入力されるパルス信号S_{Q1}, S_{Q2}, S_{Q3}, S_{Q4}との関係を示す図である。なお、パルス信号S_{Q1}, S_{Q2}, S_{Q3}, S_{Q4}は、図15(b)に示すように、フル・ブリッジ接続された4個のスイッチング素子Q₁, Q₂, Q₃, Q₄の各ゲートに入力される2相のスイッチングパルスである。

【 0 0 1 0 】

フル・ブリッジ回路の一方の対角位置にある2つのスイッチング素子Q₁, Q₄には、両スイッチング素子Q₁, Q₄のオン・オフ動作を同期させるために、同一波形のスイッチングパルスS_{Q1}, S_{Q4}が入力される。フル・ブリッジ回路の他方の対角位置にある2つのスイッチング素子Q₂, Q₃にも、両スイッチング素子Q₂, Q₃のオン・オフ動作を同期させるために、同一波形のスイッチングパルスS_{Q2}, S_{Q3}が入力される。スイッチング素子Q₁, Q₄のスイッチングパルスとスイッチング素子Q₂, Q₃のスイッチングパルスの波形は、スイッチング素子Q₁, Q₃とスイッチング素子Q₂, Q₄を交互にオン・オフ動作させるために、互いにレベルが反転した波形となっている。なお、上下のスイッチング素子Q₁とQ₂, 及びスイッチング素子Q₃とQ₄が同時にオンして過大な電流が流れないようにするために、パルス信号S_{Q1}, S_{Q3}のレベルとパルス信号S_{Q2}, S_{Q4}のレベルが反転する部分にデッドタイムが設けられている。

【 0 0 1 1 】

高周波電源100のパルス出力がパルス変調制御信号PSのハイレベル期間に高周波vを出力させ、ローレベル期間に高周波vを停止させるように制御される場合、電源制御部105は、図15(a)に示すように、パルス変調制御信号PSがハイレベルからローレベルに切り換ると、4つのスイッチングパルスS_{Q1}～S_{Q4}のレベルを全てローレベルにす

10

20

30

40

50

る。

【0012】

上記の制御によれば、高周波電源100からはパルス変調制御信号PSのハイレベル期間にだけ高周波vが出力される。しかしながら、負荷のインピーダンス変動により高周波電源100の出力端から負荷側を見たインピーダンス（以下、「負荷インピーダンス」という。）が高周波電源100の出力インピーダンス（一般に、公称値は特性インピーダンスに設計されている。）に整合しない場合は、パルス変調制御信号PSがハイレベルからローレベルに反転したタイミング t_L で高周波vは直ちにゼロにならず、図16に示すように、振動しながら減衰していく。

【0013】

高周波vの出力オフ時に高周波vが直ちにゼロにならず、振動状態が発生すると、プラズマ処理装置におけるプラズマ処理に悪影響を与えるので、図14に示す高周波電源100には、残留高周波除去回路107が設けられている。残留高周波除去回路107は、抵抗Rとスイッチング素子107aの直列回路で構成され、ローパスフィルタ104の出力端に並列に接続されている。

【0014】

主制御部108は、パルス変調制御信号PSのローレベル期間にスイッチング素子107aをオン動作させる制御信号を出力し、パルス変調制御信号PSがローレベルになると、ローパスフィルタ104の出力端に流れている高周波v（進行波と反射波の合成波）を、抵抗Rを介してグランドにバイパスさせ、負荷（プラズマ処理装置）に出力させないようにする。

【先行技術文献】

【特許文献】

【0015】

【特許文献1】特開2013-135159号公報

【発明の概要】

【発明が解決しようとする課題】

【0016】

図14に示される従来の高周波電源100は、パルス出力制御で高周波vの出力を停止させるとときに生じる振動を抑制するために、抵抗Rとスイッチング素子107aの直列回路で構成される残留高周波除去回路107を設けているので、回路構成が複雑になっている。

【0017】

また、パルス変調制御信号PSのローレベルに同期して残留高周波除去回路107を高周波vのグランドへのバイパス回路として機能させる制御を必要とするので、主制御部108の制御も複雑である。

【0018】

本発明は、上記の課題に鑑みてなされたものであって、従来の残留高周波除去回路のような回路を追加することなく、簡単な構成でパルス出力の高周波停止時における振動を抑制することができる高周波電源を提供することを目的とする。

【課題を解決するための手段】

【0019】

本発明によって提供される高周波電源は、4個のスイッチング素子のブリッジ回路を含み、ドライブ信号により各スイッチング素子をオン・オフ動作させて前記ブリッジ回路の入力端子対に供給される直流電力を高周波電力に変換して前記ブリッジ回路の出力端子対から出力する電力変換手段と、前記スイッチング素子毎に、前記ドライブ信号を生成するドライブ信号生成手段と、前記高周波電力の出力を停止させる場合、前記ブリッジ回路の2つのアームの上側又は下側に配置される2個のスイッチング素子に対するドライブ信号のレベルを各スイッチング素子が遮断するレベルに設定し、残りの2個のスイッチング素子に対するドライブ信号のレベルを各スイッチング素子が導通するレベルに設定するドラ

10

20

30

40

50

イブ信号制御手段を備えたことを特徴とする（請求項 1）。

【0020】

好ましい実施形態によれば、上記の高周波電源において、前記ドライブ信号制御手段は、前記残りの 2 個のスイッチング素子に対するドライブ信号のレベルを各スイッチング素子が能動領域若しくは飽和領域で動作するレベルに設定する（請求項 2，3）。

【0021】

また、上記の高周波電源において、前記ドライブ信号生成手段は、前記ブリッジ回路の一方のアームの上側と他方のアームの下側に配置される 2 個のスイッチング素子に対するドライブパルスとして、スイッチング素子毎に前記電力変換手段から出力される前記高周波電力の周波数と同一の周波数を有する所定レベルの第 1 のドライブパルスを生成するとともに、前記ブリッジ回路の一方のアームの下側と他方のアームの上側に配置される 2 個のスイッチング素子に対するドライブパルスとして、スイッチング素子毎に前記第 1 のドライブパルスに対して位相がだけずれた第 2 のドライブパルスを生成するドライブパルス生成手段と、前記ドライブパルス生成手段で前記スイッチング素子毎に生成したドライブパルスを増幅して各スイッチング素子に対する前記ドライブ信号をそれぞれ生成する増幅手段と、を含み、前記ドライブ信号制御手段は、前記高周波電力の出力を停止させる場合、前記ブリッジ回路の 2 つのアームの上側又は下側に配置される 2 個のスイッチング素子に対してスイッチング素子毎に生成されたドライブパルスのレベルをローレベルに設定し、残りの 2 個のスイッチング素子に対してスイッチング素子毎に生成されたドライブパルスのレベルをハイレベルに設定する（請求項 4）。 10

【0022】

また、上記の高周波電源において、前記ドライブ信号制御手段は、前記ブリッジ回路に電力変換動作をさせる第 1 の状態と前記ブリッジ回路に電力変換動作をさせない第 2 の状態とが割り当てられた 2 値信号からなるドライブ制御信号を生成するドライブ制御信号生成手段と、前記ドライブ制御信号と前記ドライブパルス生成手段で前記スイッチング素子毎に生成された 4 個のドライブパルスを用いて所定の論理演算を行う論理演算手段と、を含み、前記論理演算手段は、前記ドライブ制御信号が前記第 1 の状態が割り当てられたレベルの期間では、前記ドライブ信号生成手段で生成される 4 個のドライブパルスと同一波形の信号を出力し、前記ドライブ制御信号が前記第 2 の状態が割り当てられたレベルの期間では、前記ブリッジ回路の 2 つのアームの上側又は下側に配置される 2 個のスイッチング素子に対してローレベルの信号を出力するとともに、残りの 2 個のスイッチング素子に対してハイレベルの信号を出力する（請求項 5）。 30

【0023】

また、上記の高周波電源において、前記論理演算手段は、前記ドライブパルスと前記ドライブ制御信号の論理積を演算する 2 つの A N D 回路と、N O T 回路によって前記ドライブパルスのレベルを反転した信号と前記ドライブ制御信号の否定論理積を演算する 2 つの N A N D 回路とを含み、前記 2 つの A N D 回路には、前記ブリッジ回路の 2 つのアームの上側又は下側に配置される 2 個のスイッチング素子に対して生成されたドライブパルスが入力され、前記 2 つの N A N D 回路には、残りの 2 個のスイッチング素子に対して生成されたドライブパルスが前記 N O T 回路を介して入力される（請求項 6）。 40

【発明の効果】

【0024】

本発明によれば、ブリッジ回路の電力変換動作を停止させて高周波電力の出力を停止させる場合、ブリッジ回路の 2 つのアームの上側又は下側に配置される 2 個のスイッチング素子に対するドライブ信号のレベルを各スイッチング素子が遮断するレベルに設定して当該 2 個のスイッチング素子をオフ状態にするとともに、残りの 2 個のスイッチング素子に対するドライブ信号のレベルを各スイッチング素子がの導通するレベルに設定して当該 2 個のスイッチング素子をオン状態にする。具体的には、H 型のブリッジ回路の一方のアームがスイッチング素子 Q 1 とスイッチング素子 Q 2 の直列回路で構成され、他方のアームがスイッチング素子 Q 3 とスイッチング素子 Q 4 の直列回路で構成されているとすると、 50

2つのアームの上側に配置されているスイッチング素子Q1とスイッチング素子Q3を遮断状態にするとともに、残りの2個のスイッチング素子Q2とスイッチング素子Q4を導通状態にする。或いはまた、2つのアームの下側に配置されているスイッチング素子Q2とスイッチング素子Q4を遮断状態にするとともに、残りの2個のスイッチング素子Q1とスイッチング素子Q3を導通状態にする。

【0025】

これにより、高周波電力を出力している状態でその出力を停止させるタイミングになると、2つのアームの上側又は下側に配列される2個のスイッチング素子によりブリッジ回路への直流電力の供給が停止され、ブリッジ回路による高周波電力の出力は停止する。また、残りの2個のスイッチング素子により短絡され、ブリッジ回路の出力端子対に接続されている後段の回路が閉回路となるので、ブリッジ回路から出力されていた高周波（高周波電圧と高周波電流）が負荷のインピーダンスの影響を受けて振動しながら減衰する現象を抑制することができる。また、ブリッジ回路の出力端子対に接続される回路に蓄積されたエネルギーを閉回路によって好適に吸収させることができる。10

【0026】

従って、本発明によれば、4個のドライブ信号の出力波形を制御するだけで、簡単にパルス出力の停止時に発生する振動を抑制することができる。

【図面の簡単な説明】

【0027】

【図1】本発明に係る高周波電源の内部構成を示す機能ブロック図である。20

【図2】ドライブパルス生成部の内部構成を示す機能ブロック図である。

【図3】パルス発生器が発生する4個のドライブパルスの波形を示す図である。

【図4】図2の構成のドライブパルス生成部から出力される4個のドライブパルスの波形とドライブ制御信号の波形との関係を示す図である。

【図5】ドライブ制御信号のハイレベルからローレベルに反転するタイミングが図4とは異なる場合のドライブ制御信号の波形と4個のドライブパルスの波形との関係を示す図である。

【図6】ドライバ内に含まれる增幅回路の一例を示す図である。

【図7】図2の構成の場合のドライブ制御信号がローレベル期間のインバータ回路3の回路状態を示す図である。30

【図8】図16に示した出力オフ時に高周波振動が生じる負荷インピーダンスを用いて図1に示す高周波電源の出力オフ時の波形をシミュレーションした波形図である。

【図9】ドライブパルス生成部の内部構成の変形例を示す機能ブロック図である。

【図10】図9の構成のドライブパルス生成部から出力される4個のドライブパルスの波形とドライブ制御信号の波形との関係を示す図である。

【図11】ドライブ制御信号のハイレベルからローレベルに反転するタイミングが図10とは異なる場合のドライブ制御信号の波形と4個のドライブパルスの波形との関係を示す図である。

【図12】図9の構成の場合のドライブ制御信号がローレベル期間のインバータ回路の回路状態を示す図である。40

【図13】高周波をパルス出力させた場合の波形を示す図である。

【図14】従来の高周波をパルス出力する高周波電源の回路ブロックの一例を示す図である。

【図15】(a)は主制御部から入力されるパルス信号と正弦波インバータ内の4個のスイッチング素子にそれぞれ入力されるパルス信号との関係を示す図、(b)は4つのパルス信号と4個のスイッチング素子との関係を示す図である。

【図16】高周波のパルス出力で出力をオフにしたときに生じる振動を示す図である。

【発明を実施するための形態】

【0028】

以下、本発明の好ましい実施の形態を、添付図面を参照して具体的に説明する。

【0029】

図1は、本発明に係る高周波電源の内部構成を示す機能ブロック図である。図2は、ドライバパルス生成部の内部構成を示す機能ブロック図である。

【0030】

高周波電源1は、例えば、負荷10であるプラズマ処理装置に高周波電力を所定の高周波で供給する電源である。プラズマ処理装置は、フッ素系のガスと半導体ウェハや液晶ガラス基板等の被加工物をチャンバー(図示省略)内に封入し、そのチャンバー内の一对の電極(図示省略)に高周波電源1からの高周波電力を供給して放電させ、その放電によりガスのプラズマを発生させて被加工物に薄膜形成処理やエッチング処理を行う装置である。

10

【0031】

高周波電源1は、出力電圧可変の可変直流電源2と、可変直流電源2から出力される直流(直流電圧と直流電流)を高周波(高周波電圧と高周波電流)に変換するインバータ回路3と、インダクタLとキャパシタCの直列回路からなる直列共振回路4と、高周波を発生する高周波発生段と高周波を負荷10に出力する高周波出力段を電気的に絶縁するトランジストと、トランジストから出力される高周波に含まれる高調波を除去するフィルタ回路5(ローパスフィルタ)と、フィルタ回路5と高周波電源1の出力端(負荷10の接続端)との間を流れる高周波電力を検出する電力検出器6と、インバータ回路3内の4個のスイッチング素子Q1, Q2, Q3, Q4のオン・オフ駆動を制御するための4個のドライバパルスdv1, dv2, dv3, dv4を発生するドライバパルス発生部7と、インバータ回路3とドライバパルス発生部7を絶縁し、ドライバパルス発生部7で発生した4個のドライバパルスdv1, dv2, dv3, dv4を増幅してインバータ回路3に出力するドライバ8と、高周波電源1から出力される高周波電力と出力モードを制御する制御部9とを備える。

20

【0032】

高周波電源1は、可変直流電源2で生成した直流電圧V_{dc}をインバータ回路3によって高周波電圧V_{inv}に変換し、その高周波電圧V_{inv}をトランジストを介して負荷側に出力する。トランジストから出力される高周波電圧V_{inv}は、フィルタ回路5で高調波が除去されて正弦波の高周波電圧V_{out}となり、負荷10に出力される。インバータ回路3から出力される高周波電圧V_{inv}は、制御部9によりフィードバック制御によって所定の高周波電圧に制御される。制御部9は、可変直流電源2で生成される直流電圧V_{dc}のレベルを変化させることにより、インバータ回路3から出力される高周波電圧V_{inv}のレベルを変化させる。

30

【0033】

高周波電圧V_{inv}のレベルが変化すると、高周波電源1から負荷10に供給される進行波電力P_fが変化するので、制御部9は、進行波電力P_fと目標出力電力P_{fs}の偏差Pを監視し、その誤差Pがゼロになるように可変直流電源2の出力電圧V_{dc}を制御する。

【0034】

可変直流電源2は、入力される交流電圧V_{AC}(例えば、商用電源200[V]など)を整流した後、DC-DCコンバータによって所定の電圧範囲内の任意の直流電圧を生成する。可変直流電源2は、制御部9から入力される駆動制御信号P-CNTによってDC-DCコンバータの変換動作を制御することにより、交流電圧V_{AC}を整流した直流電圧V_{DC}を駆動制御信号P-CNTに基づく所定の直流電圧V_{dc}に変換する。

40

【0035】

インバータ回路3は、図1に示されるように、4個のスイッチング素子Q1, Q2, Q3, Q4を用いたH型ブリッジ回路で構成される。図1では、スイッチング素子としてN型MOSFETを用いているが、バイポーラトランジスタ等の他のスイッチング素子を用いることができる。インバータ回路3には、ドライバ8から4個のスイッチング素子Q1, Q2, Q3, Q4のオン・オフ駆動を制御する4個のドライバ信号S_{Q1}, S_{Q2}, S_{Q3}, S_{Q4}が入力される。4個のドライバ信号S_{Q1}, S_{Q2}, S_{Q3}, S_{Q4}は、ドライバパルス発生

50

部7から出力される4個のドライブパルスd v 1, d v 2, d v 3, d v 4をそれぞれ増幅した信号である。ドライブ信号S_{Q1}, S_{Q2}, S_{Q3}, S_{Q4}は、それぞれスイッチング素子(MOSFET)Q1, Q2, Q3, Q4のゲートに入力される。

【0036】

H型ブリッジ回路の入力端子対(c-d)にスイッチング素子Q1とスイッチング素子Q2の第1の直列回路と、スイッチング素子Q3とスイッチング素子Q4の第2の直列回路とが並列に接続されている。第1の直列回路はH型ブリッジ回路の第1のアームを構成し、第2の直列回路はH型ブリッジ回路の第2のアームを構成する。H型ブリッジ回路のスイッチング素子Q1とスイッチング素子Q2の接続点aと、スイッチング素子Q3とスイッチング素子Q4の接続点bはインバータ回路3の出力端子対である。

10

【0037】

本実施形態では、負荷10がプラズマ処理装置であるので、高周波電源1はプラズマ処理システムに規定された2.0MHz、13.56MHz、40.68MHz等の周波数fを基本周波数とする正弦波の高周波電圧V_{out}を出力する。インバータ回路3の入力端子対(c-d)には可変直流電源2から出力される直流電圧V_{dc}が供給される。インバータ回路3の出力端子対(a-b)からは、周波数fの波形が矩形波の高周波電圧V_{inv}が出力される。インバータ回路3から出力される高周波電圧V_{inv}は、後段の直列共振回路4とフィルタ回路5を通過することによって高調波成分が除去され、高周波電源1の出力端からは周波数fの正弦波の高周波電圧V_{out}が出力される。

【0038】

直列共振回路4は、スイッチングロスを低減するために、インバータ回路3のゼロ電圧スイッチングを行うための回路である。直列共振回路4は、トランジストの一次巻線に直列に接続されている。フィルタ回路5は、例えば、2個のキャパシタと1個のインダクタを型に接続したローパスフィルタである。フィルタ回路5は、高周波電圧V_{inv}の周波数f(基本周波数)よりも高い周波数の信号の通過を阻止することにより、インバータ回路3で発生する高調波を除去する。

20

【0039】

電力検出部6は、負荷10に供給される進行波電力P_fをモニタするためのものである。電力検出部6は、方向性結合器を含み、その方向性結合器から高周波電圧V_{out}に含まれる進行波電圧V_fと反射波電圧V_rを検出す。電力検出部6は、進行波電圧V_fと反射波電圧V_rをそれぞれ進行波電力P_fと反射波電力P_rに変換して制御部9に出力する。なお、高周波電源1は、例えば、特性インピーダンスR_o=50Ωで設計されているので、進行波電力P_f及び反射波電力P_rは、P_f=V_f²/R_o、P_r=V_r²/R_oの演算式により変換される。

30

【0040】

ドライブパルス発生部7は、図2に示すように、基準クロックを発生する基準発振器701と、基準発振器701で発生された基準クロックに基づいて、4個のドライブパルスd v 1', d v 2', d v 3', d v 4'を発生するパルス発生器702と、制御部9から入力されるドライブ制御信号S_{DC}によって各ドライブパルスd v 1, d v 2, d v 3, d v 4の出力波形を制御する論理回路703を含む。基準発振器701とパルス発生回路702は、FPGA(field-programmable gate array)やDSP(Digital Signal Processor)で構成される。

40

【0041】

ドライブパルスd v 1' ~ d v 4'は、図3に示すように、周期Tが1/f[μ秒]でデューティ比(T_{ON}/T)が50%よりも僅かに小さいパルス信号である。ドライブパルスd v 2', d v 3'は、ドライブパルスd v 1', d v 4'に対して、位相がだけ遅れた関係若しくは進んだ関係となっている。ドライブパルスd v 1' ~ d v 4'は、オフ期間T_{OFF}がオン期間T_{ON}よりも長くなっているので、ドライブパルスd v 1', d v 4'がローレベルに反転するタイミングとドライブパルスd v 2', d v 3'がハイレベルに反転するタイミングは僅かにずれている。このずれ時間は、ドライブパルス発生部7か

50

ら出力されるドライブパルス d_{v1} , d_{v2} に基づいて生成されるドライブ信号 S_{Q1} , S_{Q2} によってスイッチング素子 Q1, Q2 が同時にオンしないようにするため（第1のアームの部分で入力端子対 (c - d) が短絡しないようにするため）のデッドタイムであり、ドライブパルス d_{v3} , d_{v4} に基づいて生成されるドライブ信号 S_{Q3} , S_{Q4} によってスイッチング素子 Q3, Q4 が同時にオンしないようにするため（第2のアームの部分で入力端子対 (c - d) 短絡しないようにするため）のデッドタイムである。

【0042】

論理回路 703 は、インバータ回路 3 から高周波電圧 v_{inv} がドライブ制御信号 S_{DC} の ON 期間（ハイレベル期間）にだけ出力されるように、ドライブパルス $d_{v1}' \sim d_{v4}'$ のパルス波形を整形する回路である。具体的には、論理回路 703 は、ドライブ制御信号 S_{DC} の ON 期間ではドライブパルス $d_{v1}' \sim d_{v4}'$ と同一の波形を有し、ドライブ制御信号 S_{DC} の OFF 期間（ローレベル期間）では、ドライブパルス d_{v2}', d_{v4}' をハイレベルに固定し、ドライブパルス d_{v1}', d_{v3}' をローレベルに固定したドライブパルス $d_{v1} \sim d_{v4}$ を出力する。
10

【0043】

論理回路 703 は、2 個の AND（論理積）回路 703a, 703c と、2 個の NAND（否定論理積）回路 703b, 703d と、1 個のバッファ回路 703e と、2 個の NOT（論理否定）回路 703f, 703g で構成される。AND 回路 703a, 703c 及び NAND 回路 703b, 703d の一方の入力端子にはそれぞれドライブ制御信号 S_{DC} がバッファ回路 703e を介して入力されている。AND 回路 703a, 703c の他方の入力端子にはそれぞれドライブパルス d_{v1}', d_{v3}' が入力され、NAND 回路 703b, 703d の他方の入力端子にはそれぞれドライブパルス d_{v2}', d_{v4}' がそれぞれ NOT 回路 703f, 703g でレベルが反転されて入力されている。
20

【0044】

AND 回路 703a, 703c の入出力の論理は、

【表 1】

入力		出力
d_{v1}', d_{v3}'	S_{DC}	d_{v1}, d_{v3}
L	L	L
H	L	L
L	H	L
H	H	H

である。なお、表 1 で「H」は、ハイレベルを示し、「L」はローレベルを示す。
30

【0045】

表 1 より、ドライブ制御信号 S_{DC} が「H」のときは、AND 回路 703a, 703c の出力は、ドライブパルス d_{v1}', d_{v3}' と同一のレベルになるから、ドライブ制御信号 S_{DC} がハイレベル期間では、AND 回路 703a, 703c からドライブパルス d_{v1}', d_{v3}' と同一波形のドライブパルス d_{v1}, d_{v3} が出力される。一方、ドライブ制御信号 S_{DC} が「L」のときは、AND 回路 703a, 703c の出力は、「L」に固定されるから、ドライブ制御信号 S_{DC} がローレベル期間では、AND 回路 703a, 703c からローレベルのドライブパルス d_{v1}, d_{v3} が出力される。
40

【0046】

NAND 703b, 703d の入出力の論理は、

【表2】

入力			出力
dv2' , dv4'	/dv2' , /dv4'	S _{DC}	dv2, dv4
H	L	L	H
L	H	L	H
H	L	H	H
L	H	H	L

である。なお、表2で「H」は、ハイレベルを示し、「L」はローレベルを示す。
10

。

【0047】

表2より、ドライブ制御信号S_{DC}が「H」のときは、NAND703b, 703dの出力は、ドライブパルスdv2, dv4と同一のレベルになるから、ドライブ制御信号S_{DC}がハイレベル期間では、NAND回路703b, 703dからドライブパルスdv2', dv4' と同一波形のドライブパルスdv2, dv4が出力される。一方、ドライブ制御信号S_{DC}が「L」のときは、NAND回路703b, 703dの出力は、「H」に固定されるから、ドライブ制御信号S_{DC}がローレベル期間では、NAND回路703b, 703dからハイレベルのドライブパルスdv2, dv4が出力される。

【0048】

従って、ドライブパルス発生部7に入力されるドライブ制御信号S_{DC}の波形とドライブパルス発生部7から出力される4つのドライブパルスdv1, dv2, dv3, dv4の波形との関係は、図4, 図5に示すようになる。なお、図4は、ドライブパルスdv1, dv4がローレベルで、かつ、ドライブパルスdv2, dv3がハイレベルの期間に、ドライブ制御信号S_{DC}がローレベルに反転するタイミングt_Lが生じた場合の波形図である。また、図5は、ドライブパルスdv1, dv4がハイレベルで、かつ、ドライブパルスdv2, dv3がローレベルの期間にタイミングt_Lが生じた場合の波形図である。

【0049】

図4, 図5に示されるように、ドライブ制御信号S_{DC}のハイレベル期間では、ドライブパルス発生部7から出力されるドライブパルスdv1, dv2, dv3, dv4は、ドライブパルスdv1', dv2', dv3', dv4' と同一波形となるから、インバータ回路3内のスイッチング素子Q1～Q4のゲートにはそれぞれドライブパルスdv1', dv2', dv3', dv4' のレベルを増幅したドライブ信号S_{Q1}～S_{Q4}が入力される。ドライブ信号S_{Q1}～S_{Q4}は、ローレベルでスイッチング素子Q1～Q4が遮断状態となり、ハイレベルで導通状態となるパルス信号である。

【0050】

従って、ドライブ制御信号S_{DC}のハイレベル期間では、H型ブリッジ回路の第1のアームの上側のスイッチング素子Q1及び第2のアームの下側のスイッチング素子Q4と、H型ブリッジ回路の第1のアームの下側のスイッチング素子Q2及び第2のアームの上側のスイッチング素子Q3とが交互にオン動作（導通状態）とオフ動作（遮断状態）とを繰り返し、インバータ回路3の出力端子対a, bに直流電圧+V_{dc}がドライブ信号S_{Q1}～S_{Q4}の周期T=1/f(秒)で交互に印加されることになるので、出力端子対a, bから周波数fを基本周波数とする矩形波の高周波電圧v_{inv}が出力される。

【0051】

一方、ドライブ制御信号S_{DC}のローレベル期間では、ドライブパルスdv1, dv3がローレベルとなり、ドライブパルスdv2, dv4がハイレベルとなるから、インバータ回路3内のスイッチング素子Q1, Q3のゲートにはそれぞれローレベルのドライブ信号S_{Q1}, S_{Q3}が入力され、スイッチング素子Q2, Q4のゲートにはそれぞれハイレベルのドライブ信号S_{Q2}, S_{Q4}が入力される。従って、ドライブ制御信号S_{DC}のローレベル期間では、H型ブリッジ回路の第1, 第2のアームの上側のスイッチング素子Q1, Q3が遮

10

20

30

40

50

断状態になることによってインバータ回路3が可変直流電源2から切り離されるとともに、H型ブリッジ回路の第1，第2のアームの下側のスイッチング素子Q2，Q4が通電状態になることによってインバータ回路3の出力端子対a，bが短絡されるので、高周波電圧 v_{inv} の出力が停止される。

【0052】

図1に戻り、ドライバ8は、ドライブパルス発生部7から出力される4つのドライブパルス $d v 1, d v 2, d v 3, d v 4$ に基づいて、インバータ回路3内の4個のスイッチング素子 $Q_1 \sim Q_4$ をそれぞれオン・オフ駆動させるための4個のドライブ信号 $S_{Q1}, S_{Q2}, S_{Q3}, S_{Q4}$ を生成する。ドライバ8は、4つのドライブパルス $d v 1, d v 2, d v 3, d v 4$ に対応して、電気的に絶縁された電源で駆動される4個の增幅回路を有し、各增幅回路で4つのドライブパルス $d v 1, d v 2, d v 3, d v 4$ のレベルをそれぞれ所定のレベルに増幅して4つのドライブ信号 $S_{Q1}, S_{Q2}, S_{Q3}, S_{Q4}$ を生成する。
10

【0053】

図6は、ドライバ8内に設けられる増幅回路の一例を示す図である。

【0054】

増幅回路801は、ドライブパルスの入力回路を構成するフォトカプラ801aと、フォトカプラ801aの出力を増幅するアンプ801bとで構成される。フォトカプラ801aの駆動電源 $V1a$ は、低電圧の電源である。アンプ801bの駆動電源 $V1b, V1c$ は、駆動電源 $V1a$ よりも電圧値（絶対値）が大きい電源である。フォトカプラ801aの駆動電源 $V1a$ とアンプ801bの駆動電源 $V1b, V1c$ は電気的に絶縁されている。フォトカプラ801aの入力端子にはドライブパルス（ $d v 1, d v 2, d v 3, d v 4$ ）が入力され、フォトカプラ801aの出力信号がアンプ801bで増幅されてドライブ信号（ $S_{Q1}, S_{Q2}, S_{Q3}, S_{Q4}$ ）として出力される。
20

【0055】

アンプ801bの増幅率は、ドライブ信号 $S_{Q1} \sim S_{Q4}$ のハイレベルがスイッチング素子 $Q1 \sim Q4$ を能動領域若しくは飽和領域で動作させることができる所定のレベルである。スイッチング素子 $Q1 \sim Q4$ を能動領域で動作させる場合は、スイッチング素子 $Q1 \sim Q4$ 内の抵抗分がスイッチング素子 $Q1 \sim Q4$ を飽和領域で動作させるよりも大きくなり、その抵抗分によって出力停止時の振動を抑制する効果がスイッチング素子 $Q1 \sim Q4$ を飽和領域で動作させる場合よりも良好になる場合がある。スイッチング素子 $Q1 \sim Q4$ 内の抵抗分は、能動領域の動作点によって変化するので、アンプ801bの増幅率を調整してドライブ信号 $S_{Q1} \sim S_{Q4}$ のハイレベルの値を適切に設定することにより、高周波電源1の出力停止時に発生する振動の抑制を最適な状態にすることができる。
30

【0056】

制御部9は、高周波電源1から負荷10に出力される高周波電力（進行波電力 P_f ）を制御する。従って、制御部9には、制御目標の目標出力電力 P_{fs} が入力される。ユーザは、目標出力電力 P_{fs} を、入力装置（図示省略）を操作して手動で入力したり、予め設定したプログラムにより自動で入力させたりすることができる。また、制御部9は、高周波電圧 v_{out} の出力形式を制御する。高周波電源1には、出力形式として高周波電圧 v_{out} を連続的に出力させる連続出力モードと高周波電圧 v_{out} を断続的に出力させるパルス出力モードが設けられており、ユーザは、連続出力モードとパルス出力モードのいずれかの出力形式で高周波電源1から高周波電圧 v_{out} を出力させることができる。従って、制御部9には、モード切替信号 S_{MS} と、パルス出力の条件（周波数とデューティ比）を含むパルス出力情報 P_S が入力される。ユーザは、出力形式の切り替えやパルス出力の条件を入力装置（図示省略）を操作して手動で行ったり、予め設定したプログラムにより自動で行わせたりすることができる。
40

【0057】

制御部9は、C P U (Central Processing Unit)、R O M (Read Only Memory) 及びR A M (Random Access Memory) を備えるマイクロコンピュータやF P G Aで構成される。制御部9は、駆動制御信号P-C N Tを生成し、その駆動制御信号P-C N Tを可変直
50

流電源 2 に出力して可変直流電源 2 の出力電圧 V_{dc} を制御する。駆動制御信号 P - CNT は、高周波電源 1 の出力電力（進行波電力 P_f ）が目標出力電力 P_{fs} となるように、可変直流電源 2 の出力電圧 V_{dc} を制御する信号である。

【 0 0 5 8 】

制御部 9 は、電力検出器 6 から入力される進行波電力 P_f の検出値と目標出力電力 P_{fs} の偏差 $P (= P_{fs} - P_f)$ を演算し、その偏差 P に基づいて当該偏差 P をゼロにする駆動制御信号 P - CNT を生成する。具体的な駆動制御信号 P - CNT の内容は、可変直流電源 2 の構成によって決定される。例えば、可変直流電源 2 が内部で DC - DC コンバータの駆動を制御する駆動パルスを生成する構成の場合、その駆動パルスの生成を制御する信号が駆動制御信号 P - CNT として制御部 9 から可変直流電源 2 に入力される。可変直流電源 2 が駆動パルスを外部から供給される構成の場合、制御部 9 が駆動パルスを生成し、その駆動パルスを駆動制御信号 P - CNT として可変直流電源 2 に入力することも可能である。10

【 0 0 5 9 】

次に、本発明に係る高周波電源 1 の作用について説明する。

【 0 0 6 0 】

高周波電源 1 は、インバータ回路 3 で直流電力を周波数 f （高周波電源 1 から出力させる高周波電圧 V_{out} の基本周波数。例えば、2.0 [MHz]、13.56 [MHz] 等の高周波）の高周波電力に変換して負荷 10 に出力する。制御部 9 は、フィードバック制御によって可変直流電源 2 がインバータ回路 3 に供給する直流電圧 V_{dc} を制御することにより、インバータ回路 3 から出力される進行波電力 P_f を目標出力電力 P_{fs} に制御する。20

【 0 0 6 1 】

また、制御部 9 は、モード切替信号 S_{MS} に基づいて、インバータ回路 3 から出力される高周波電圧 V_{inv} を連続出力とパルス出力のいずれかで出力させる。制御部 9 は、連続出力の場合、例えば、出力開始から出力終了までの期間だけハイレベルとなるドライブ制御信号 S_{DC} をドライブパルス発生部 7 に出力する。出力開始から出力終了までの期間は、例えば、プラズマ処理中は連続して高周波電力を供給する場合、プラズマ処理の開始から終了までの期間である。

【 0 0 6 2 】

一方、制御部 9 は、パルス出力の場合、パルス出力情報 P_S に含まれる周波数 f_p [Hz] とデューティ比 D_p [%] に基づいて周期 $T_p = 1 / f_p$ [秒]、オン期間 $T_{ON} = T_p \times D / 100$ [秒] のパルス信号からなるドライブ制御信号 S_{DC} を生成してドライブパルス発生部 7 に出力する。周波数 f_p は、高周波電圧 V_{inv} の基本周波数 f よりも低い周波数である。また、パルス信号は、ハイレベル期間にインバータ回路 3 から高周波電圧 V_{inv} を出力させる第 1 の状態が割り当てられ、ローレベル期間にインバータ回路 3 から高周波電圧 V_{inv} を出力させない第 2 の状態が割り当てられた 2 値信号である。30

【 0 0 6 3 】

なお、ドライブ制御信号 S_{DC} のハイレベル期間に第 1 の状態を割り当て、ローレベル期間に第 2 の状態を割り当てる論理にしてもよい。

【 0 0 6 4 】

ドライブパルス発生部 7 は、周波数 f のデューティ比 D が 50 % より僅かに小さいパルス信号（図 3 参照）からなるドライブパルス $d_{v1'}$, $d_{v4'}$ を発生する。また、ドライブパルス発生部 7 は、ドライブパルス $d_{v1'}$, $d_{v4'}$ に対して位相が だけずれているドライブパルス $d_{v2'}$, $d_{v3'}$ を発生する。40

【 0 0 6 5 】

ドライブパルス発生部 7 は、ドライブ制御信号 S_{DC} がハイレベルの期間にはドライブパルス $d_{v1'} \sim d_{v4'}$ と同一波形のドライブパルス $d_{v1} \sim d_{v4}$ をドライバ 8 に出力し、ドライブ制御信号 S_{DC} がローレベルの期間にはローレベルのドライブパルス $d_{v1'}$, $d_{v3'}$ とハイレベルのドライブパルス $d_{v2'}$, $d_{v4'}$ を出力する。

【 0 0 6 6 】

従って、インバータ回路3には、ドライブ制御信号 S_{DC} のハイレベルの期間にドライブパルス $d v 1' \sim d v 4'$ を増幅したドライブ信号 $S_{Q1} \sim S_{Q4}$ が入力され、ドライブ制御信号 S_{DC} のローレベルの期間にローレベルのドライブ信号 S_{Q1}, S_{Q3} とドライブパルス $d v 2', d v 4'$ を増幅したハイレベルのドライブ信号 S_{Q2}, S_{Q4} が入力される。

【0067】

ドライブ制御信号 S_{DC} がハイレベルからローレベルに反転するタイミング t_L では、ドライブパルス $d v 1 \sim d v 4$ は、ドライブパルス $d v 1, d v 3$ がローレベル、ドライブパルス $d v 2, d v 4$ がハイレベルに切り替わり(図4, 図5参照)、次にハイレベルに反転するタイミング t_H までその状態が継続される。ドライブ制御信号 S_{DC} がローレベルからハイレベルに反転するタイミング t_H から次のタイミング t_L までの期間では、ドライブパルス $d v 1 \sim d v 4$ は、ドライブパルス $d v 1' \sim d v 4'$ と同一波形となるので(図4, 図5参照)、インバータ回路3内のスイッチング素子 $Q_1 \sim Q_4$ は、H型ブリッジ回路の第1のアームの上側と第2のアームの下側の2個のスイッチング素子 Q_1, Q_4 と、残りの2個のスイッチング素子 Q_2, Q_3 (第1のアームの下側と第2のアームの上側のスイッチング素子)が周期 $T = 1 / f$ で交互にオン・オフ動作をする。従って、ドライブ制御信号 S_{DC} のハイレベル期間では、高周波 v_{out} が出力される。
10

【0068】

ドライブ制御信号 S_{DC} のローレベル期間では、ドライブパルス $d v 1, d v 3$ がローレベル、ドライブパルス $d v 2, d v 4$ がハイレベルになるので、インバータ回路3の回路状態は、図7に示すように、H型ブリッジ回路の第1及び第2のアームの上側の2個のスイッチング素子 Q_1, Q_3 がオフ状態(遮断状態)となり、H型ブリッジ回路の第1及び第2のアームの下側の2個のスイッチング素子 Q_2, Q_4 がオン状態(導通状態)となる。
20

【0069】

ドライブ制御信号 S_{DC} のローレベル期間では、H型ブリッジ回路の第1及び第2のアームの上側の2個のスイッチング素子 Q_1, Q_3 がオフ状態になるので、インバータ回路3は可変直流電源2から切り離され、電力変換動作をしない。また、H型ブリッジ回路の第1及び第2のアームの下側の2個のスイッチング素子 Q_2, Q_4 がオン状態となり、インバータ回路3の出力端子対(a-b)が短絡若しくはスイッチング素子 Q_2, Q_4 の内部抵抗によって接続されるので、出力端子対(a-b)に接続された直列共振回路4とトランジストの一次巻線は閉回路となる。
30

【0070】

出力端子対(a-b)が短絡若しくはスイッチング素子 Q_2, Q_4 の内部抵抗によって接続された状態になると、インバータ回路3の後段側のLC成分(直列共振回路4、トランジスト、伝送線路、負荷10などに含まれるLC成分)に蓄積された電気エネルギーが閉回路内の抵抗成分によって消費されるので、負荷10のインピーダンスの影響によってフィルタ回路5から出力される高周波(高周波電圧と高周波電流) v_{out} が振動しながら減衰する現象を抑制することができる。特に、スイッチング素子 Q_2, Q_4 を能動領域でオン動作させるようにすれば、スイッチング素子 Q_2, Q_4 内の抵抗成分によってLC成分に蓄積された電気エネルギーの消費を効果的に行わせることができるので、負荷10のインピーダンスの状態によっては、スイッチング素子 Q_2, Q_4 を飽和領域でオン動作させるよりも振動の抑制効果を高めることができる。
40

【0071】

図8は、図16に示した出力オフ時に高周波振動が生じる負荷インピーダンスを用いて図1に示す高周波電源1の出力オフ時の波形をシミュレーションした波形図である。図8は、周波数 $f = 13.56$ [MHz]、振幅 $A = 250$ [V]の高周波 v を周波数 $f_p = 50$ [kHz]、 $D_p = 50$ [%]のドライブ制御信号 S_{DC} でパルス出力させた場合の高周波 v_{out} のシミュレーション波形である。

【0072】

同図に示すように、ドライブ制御信号 S_{DC} がオフになるタイミング t_L (10μ秒、30μ秒、50μ秒、...)でインバータ回路3を停止させた直後の振動の振幅は、高周波 v
50

v_{out} の振幅Aのほぼ1/4以下に抑制されており、高周波 v_{out} の出力を停止させたときに生じる振動を十分に抑制することができるが分かる。

【0073】

上記の実施形態では、ドライブ制御信号 S_{DC} のローレベル期間に、インバータ回路3の第1, 第2のアームの上側のスイッチング素子Q1, Q3をオフ状態(遮断状態)にし、下側のスイッチング素子Q2, Q4をオン状態(導通状態)にするようにしているが、ドライブパルス発生部7の内部構成を図9に示すように変形し、インバータ回路3の第1, 第2のアームの上側のスイッチング素子Q1, Q3をオン状態(導通状態)にし、下側のスイッチング素子Q2, Q4をオフ状態(遮断状態)にするようにしてもよい。

【0074】

図9は、図2に対して、ドライブパルス d_{v1}', d_{v3}' をそれぞれNOT回路703f, 703gを介してNAND回路703b, 703dに入力し、ドライブパルス d_{v2}', d_{v4}' をそれぞれAND回路703a, 703cに入力するようにしたのである。

【0075】

図9に示す回路構成から出力されるドライブパルス $d_{v1} \sim d_{v4}$ は、表1の入力 d_{v1}', d_{v3}' と表2の入力 d_{v2}', d_{v4}' (/ $d_{v2}', /d_{v4}'$)とを入れ替えたものになるから、ドライブ制御信号 S_{DC} の波形とドライブパルス発生部7から出力される4つのドライブパルス $d_{v1}, d_{v2}, d_{v3}, d_{v4}$ の波形との関係は、図10, 図11に示すようになる。

【0076】

図10, 図11に示されるように、ドライブ制御信号 S_{DC} のハイレベル期間では、ドライブパルス発生部7から出力されるドライブパルス $d_{v1} \sim d_{v4}$ は、ドライブパルス $d_{v1}' \sim d_{v4}'$ と同一波形となるが、ドライブ制御信号 S_{DC} のローレベル期間では、ドライブパルス d_{v1}, d_{v3} がハイレベルとなり、ドライブパルス d_{v2}, d_{v4} がローレベルとなる。従って、ドライブ制御信号 S_{DC} のローレベル期間のインバータ回路3の回路状態は、図12に示すように、スイッチング素子Q1, Q3がオン状態(導通状態)となり、スイッチング素子Q2, Q4がオフ状態(遮断状態)となる。

【0077】

ドライブパルス発生部7の内部構成を図9に示すようにした場合でも、図8に示したシミュレーション結果と同様の効果を得ることができる。

【0078】

上記実施形態では、高周波 v_{out} をパルス出力する場合について説明したが、高周波 v_{out} を連続出力する場合でもドライブ制御信号 S_{DC} のローレベル期間におけるドライブ信号 $S_{Q1} \sim S_{Q4}$ を、ドライブ信号 S_{Q1}, S_{Q3} をハイレベル、ドライブ信号 S_{Q2}, S_{Q4} をローレベルとする組み合わせ、若しくはドライブ信号 S_{Q1}, S_{Q3} をローレベル、ドライブ信号 S_{Q2}, S_{Q4} をハイレベルとする組み合わせの状態にすることによって、高周波 v_{out} の出力停止時における振動の発生を抑制することができる。

【0079】

上記実施形態では、ドライブパルス発生部7の内部構成を、基準発振器701及びドライブパルス発生器702と論理回路703によって構成したが、図2又は図9に示す回路構成に限定されるものではなく、図4, 図5若しくは図10, 図11に示す波形のドライブパルス $d_{v1} \sim d_{v4}$ を生成する回路であれば、任意の回路構成を採用することができる。

【0080】

また、上記実施形態では、ドライブ信号 $S_{Q1} \sim S_{Q4}$ を生成するためのドライブパルス $d_{v1} \sim d_{v4}$ の波形をドライブ制御信号 S_{DC} によって制御するようになっていたが、スイッチング素子Q1～Q4のゲートに入力されるドライブ信号 $S_{Q1} \sim S_{Q4}$ の波形をドライブ制御信号 S_{DC} によって直接制御するようにしてもよい。

【0081】

10

20

30

40

50

例えば、スイッチング素子Q₁～Q₄の各ゲートの前段にスイッチ回路を設け、スイッチング素子Q₁，Q₃の各スイッチ回路では、各ゲートへの入力をドライブ信号S_{Q1}，S_{Q3}とハイレベル信号のいずれかに切り換えるようにし、H型ブリッジ回路の第1及び第2のアームの下側の2個のスイッチング素子Q₂，Q₄の各スイッチ回路では、各ゲートへの入力をドライブ信号S_{Q2}，S_{Q4}とローレベル信号のいずれかに切り換えるようにする。そして、ドライブ制御信号S_{DC}のハイレベル期間ではドライブ信号S_{Q1}～S_{Q4}の入力側に接続し、ドライブ制御信号S_{DC}のローレベル期間では、ハイレベル若しくはローレベルの入力側に接続するように、ドライブ制御信号S_{DC}によって各スイッチ回路の接続切替えを制御するようにしてもよい。

【0082】

10

なお、H型ブリッジ回路の第1及び第2のアームの上側の2個のスイッチング素子Q₁，Q₃の各スイッチ回路を、各ゲートへの入力をドライブ信号S_{Q1}，S_{Q3}とローレベル信号のいずれかに切り換える内容にし、H型ブリッジ回路の第1及び第2のアームの下側の2個のスイッチング素子Q₂，Q₄の各スイッチ回路を、各ゲートへの入力をドライブ信号S_{Q2}，S_{Q4}とハイレベル信号のいずれかに切り換える内容にしてもよい。また、ドライブ制御信号S_{DC}のハイレベル期間に高周波v_{out}の出力を停止させ、ローレベル期間に高周波v_{out}を出力させる論理にしてもよい。

【0083】

上記のように、本実施形態に係る高周波電源1によれば、インバータ回路3の高周波v_{inv}の出力を停止させると、H型のブリッジ回路を構成する4個のスイッチング素子Q₁～Q₄のうち、第1及び第2のアームの上側又は下側に配置される2個のスイッチング素子をオン状態（導通状態）に固定し、残りの2個のスイッチング素子をオフ状態（遮断状態）に固定する（スイッチング素子Q₁，Q₃をオン状態にし、スイッチング素子Q₂，Q₄をオフ状態にする、又はスイッチング素子Q₂，Q₄をオン状態にし、スイッチング素子Q₁，Q₃をオフ状態にする）ようにしたので、高周波v_{inv}の出力停止時に発生する振動を好適に抑制することができる。

20

【0084】

また、上記実施形態では、プラズマ処理システムに適用される13.56 [MHz]等の高周波信号について説明したが、本発明は、プラズマ処理システムに適用される周波数帯に限定されるものではなく任意の周波数帯の周波数に適用することができる。また、本発明は、プラズマ処理装置の負荷に限定せず、LCR負荷となる任意の負荷が接続される高周波電源に適用することができる。

30

【符号の説明】

【0085】

- 1 高周波電源
- 2 可変直流電源
- 3 インバータ回路（電力変換手段）
- 4 直列共振回路
- 5 フィルタ回路
- 6 電力検出器
- 7 ドライブパルス発生部（ドライブパルス生成手段）
- 701 基準発振器
- 702 パルス発生器
- 703 論理回路（論理演算手段）
- 703a, 703c AND（論理積）回路
- 703b, 703d NAND（否定論理積）回路
- 703e バッファ回路
- 703f, 703g NOT（論理否定）回路
- 8 ドライバ（ドライブ信号生成手段）
- 801a フォトカプラ

40

50

8 0 1 b アンプ(増幅手段)

9 制御部(ドライブ信号制御手段, ドライブ制御信号生成手段)

10 負荷(プラズマ処理装置)

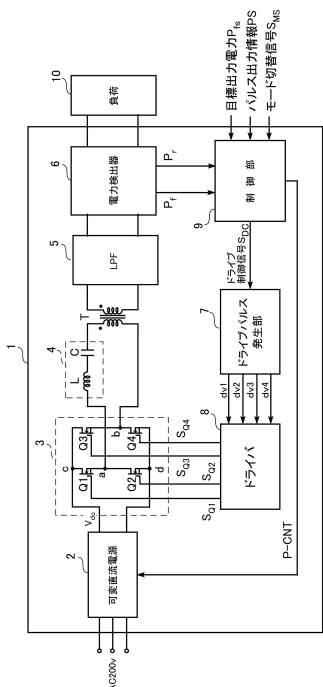
a, b 出力端子対

c, d 入力端子対

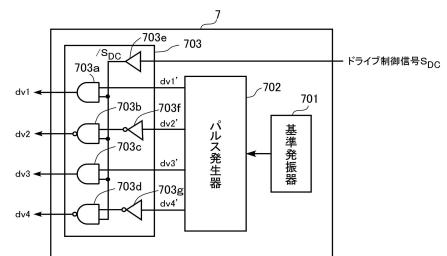
T トランス

Q 1, Q 2, Q 3, Q 4 スイッチング素子

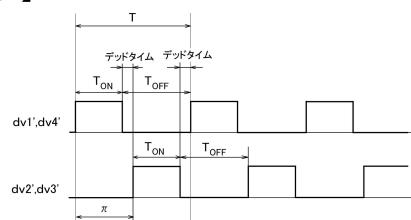
【図1】



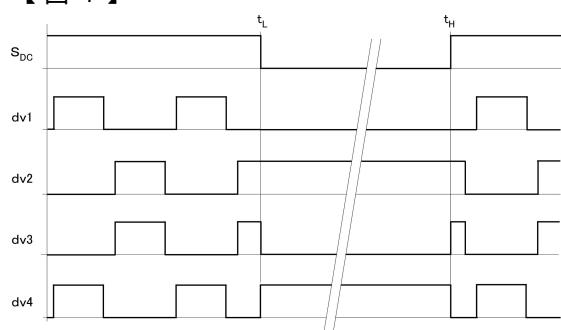
【図2】



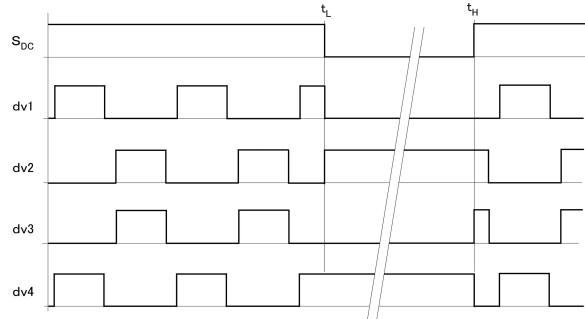
【図3】



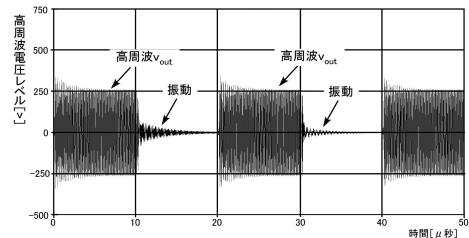
【図4】



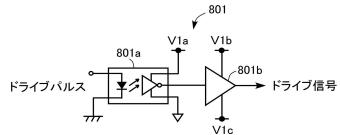
【図5】



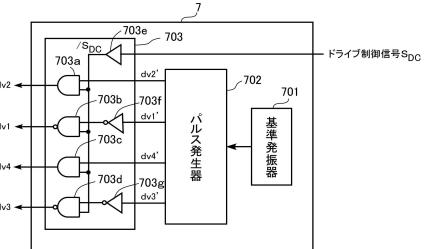
【図8】



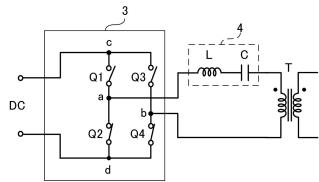
【図6】



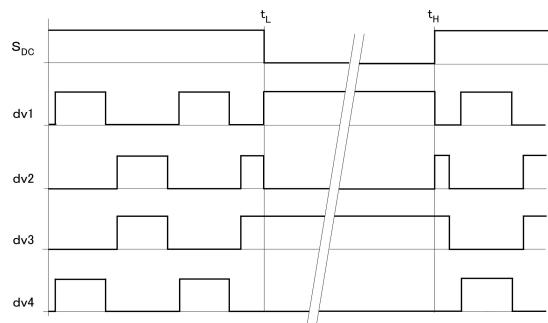
【図9】



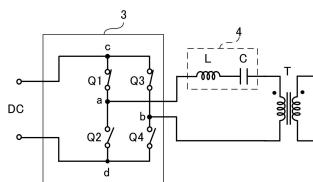
【図7】



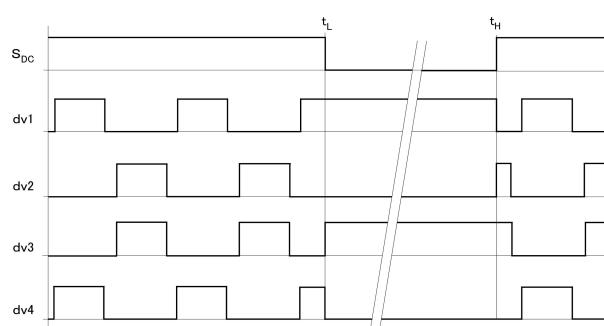
【図10】



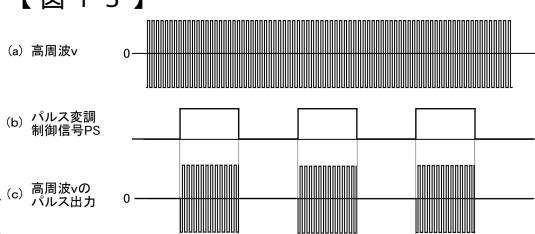
【図12】



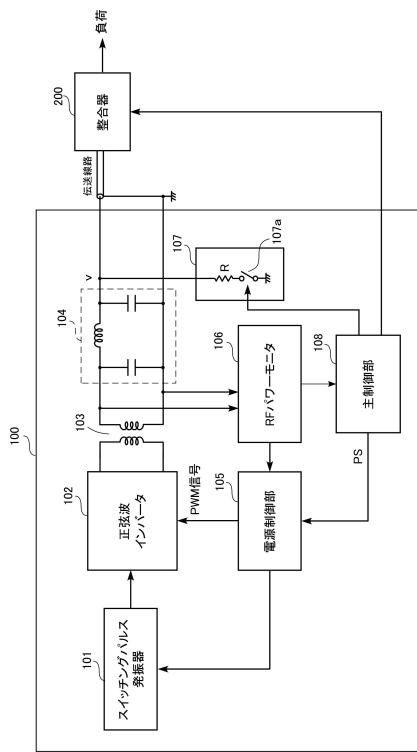
【図11】



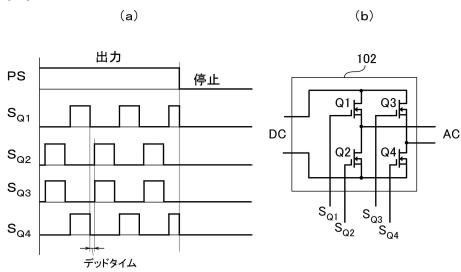
【図13】



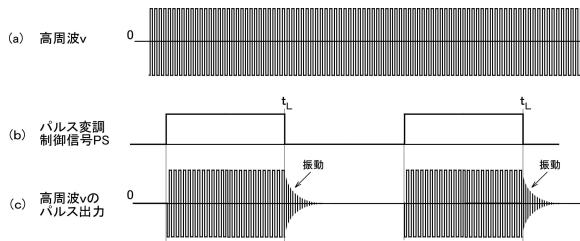
【図14】



【図15】



【図16】



フロントページの続き

(56)参考文献 特開2013-135159(JP,A)
国際公開第2013/145486(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H 02 M 7 / 48
C 23 C 16 / 505
H 01 L 21 / 3065
H 05 H 1 / 46