

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6301112号
(P6301112)

(45) 発行日 平成30年3月28日 (2018. 3. 28)

(24) 登録日 平成30年3月9日 (2018. 3. 9)

(51) Int. Cl.

F I

H02M 7/48 (2007.01)
H05H 1/46 (2006.01)
H01L 21/3065 (2006.01)
C23C 16/505 (2006.01)

H02M 7/48 L
H05H 1/46 R
H01L 21/302 I O I G
C23C 16/505

請求項の数 4 (全 19 頁)

(21) 出願番号 特願2013-236378 (P2013-236378)
(22) 出願日 平成25年11月15日 (2013. 11. 15)
(65) 公開番号 特開2015-97433 (P2015-97433A)
(43) 公開日 平成27年5月21日 (2015. 5. 21)
審査請求日 平成28年10月17日 (2016. 10. 17)

(73) 特許権者 000000262
株式会社ダイヘン
大阪府大阪市淀川区田川2丁目1番11号
(74) 代理人 100086380
弁理士 吉田 稔
(74) 代理人 100115369
弁理士 仙波 司
(74) 代理人 100168044
弁理士 小淵 景太
(72) 発明者 福本 佳樹
大阪市淀川区田川2丁目1番11号 株式
会社ダイヘン内

審査官 佐藤 匡

最終頁に続く

(54) 【発明の名称】 高周波電源

(57) 【特許請求の範囲】

【請求項 1】

4 個のスイッチング素子のブリッジ回路を含み、ドライブ信号により各スイッチング素子をオン・オフ動作させて前記ブリッジ回路の入力端子対に供給される直流電力を高周波電力に変換して前記ブリッジ回路の出力端子対から出力する電力変換手段と、

前記スイッチング素子毎に、前記ドライブ信号を生成するドライブ信号生成手段と、

前記高周波電力の出力を停止させる場合、前記ブリッジ回路の 2 つのアームの上側又は下側に配置される 2 個のスイッチング素子に対するドライブ信号のレベルを各スイッチング素子が遮断するレベルに設定し、残りの 2 個のスイッチング素子に対するドライブ信号のレベルを各スイッチング素子が能動領域で動作するレベルに設定するドライブ信号制御手段を備えたことを特徴とする高周波電源。

【請求項 2】

前記ドライブ信号生成手段は、

前記ブリッジ回路の一方のアームの上側と他方のアームの下側に配置される 2 個のスイッチング素子に対するドライブパルスとして、スイッチング素子毎に前記電力変換手段から出力される前記高周波電力の周波数と同一の周波数を有する所定レベルの第 1 のドライブパルスを生成するとともに、前記ブリッジ回路の一方のアームの下側と他方のアームの上側に配置される 2 個のスイッチング素子に対するドライブパルスとして、スイッチング素子毎に前記第 1 のドライブパルスに対して位相が だけずれた第 2 のドライブパルスを生成するドライブパルス生成手段と、

10

20

前記ドライブパルス生成手段で前記スイッチング素子毎に生成したドライブパルスを増幅して各スイッチング素子に対する前記ドライブ信号をそれぞれ生成する増幅手段と、を含み、

前記ドライブ信号制御手段は、前記高周波電力の出力を停止させる場合、前記ブリッジ回路の２つのアームの上側又は下側に配置される２個のスイッチング素子に対してスイッチング素子毎に生成されたドライブパルスのレベルをローレベルに設定し、残りの２個のスイッチング素子に対してスイッチング素子毎に生成されたドライブパルスのレベルをハイレベルに設定する、請求項 1 に記載の高周波電源。

【請求項 3】

前記ドライブ信号制御手段は、

前記ブリッジ回路に電力変換動作をさせる第 1 の状態と前記ブリッジ回路に電力変換動作をさせない第 2 の状態とが割り当てられた 2 値信号からなるドライブ制御信号を生成するドライブ制御信号生成手段と、

前記ドライブ制御信号と前記ドライブパルス生成手段で前記スイッチング素子毎に生成された 4 個のドライブパルスを用いて所定の論理演算を行う論理演算手段と、を含み、

前記論理演算手段は、前記ドライブ制御信号が前記第 1 の状態が割り当てられたレベルの期間では、前記ドライブ信号生成手段で生成される 4 個のドライブパルスと同一波形の信号を出力し、前記ドライブ制御信号が前記第 2 の状態が割り当てられたレベルの期間では、前記ブリッジ回路の２つのアームの上側又は下側に配置される２個のスイッチング素子に対してローレベルの信号を出力するとともに、残りの２個のスイッチング素子に対してハイレベルの信号を出力する、請求項 2 に記載の高周波電源。

【請求項 4】

前記論理演算手段は、

前記ドライブパルスと前記ドライブ制御信号の論理積を演算する 2 つの A N D 回路と、N O T 回路によって前記ドライブパルスのレベルを反転した信号と前記ドライブ制御信号の否定論理積を演算する 2 つの N A N D 回路とを含み、

前記 2 つの A N D 回路には、前記ブリッジ回路の２つのアームの上側又は下側に配置される２個のスイッチング素子に対して生成されたドライブパルスが入力され、前記 2 つの N A N D 回路には、残りの２個のスイッチング素子に対して生成されたドライブパルスが前記 N O T 回路を介して入力される、請求項 3 に記載の高周波電源。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、プラズマ処理システムに用いられる高周波電源に関する。

【背景技術】

【0002】

プラズマ処理システムは、例えば、フッ素系のガスと半導体ウェハや液晶基板等の被加工物をプラズマ処理装置のチャンバー内に封入し、そのチャンバー内の一対の電極に高周波電源から高周波電力を供給して放電させ、その放電によりガスのプラズマを発生させて被加工物に薄膜形成処理やエッチング処理を行うシステムである。

【0003】

従来、プラズマ処理システム用の高周波電源として、高周波の出力周波数よりも低周波のパルス変調制御信号 P S により高周波電源の出力をパルス変調して高周波をパルス出力する高周波電源が知られている。この高周波電源では、図 1 3 に示すように、例えば、パルス変調制御信号 P S のハイレベルの期間だけ高周波 ν が出力されるように高周波電源の出力がパルス変調される。

【0004】

例えば、特開 2 0 1 3 - 1 3 5 1 5 9 号公報には、図 1 4 に示す高周波電源が開示されている。

10

20

30

40

50

【 0 0 0 5 】

図 1 4 に示す高周波電源 1 0 0 は、直流電源（図示省略）の直流出力を正弦波の高周波に変換するフル・ブリッジ型の正弦波インバータ 1 0 2 を備える。正弦波インバータ 1 0 2 からトランス 1 0 3 を介して出力される高周波は、ローパスフィルタ 1 0 4 によって高調波が除去されて負荷に出力される。図 1 4 では、高周波電源 1 0 0 と負荷との間に整合器 2 0 0 が設けられているので、高周波電源 1 0 0 から出力される高周波は、整合器 2 0 0 を介して負荷に出力される。

【 0 0 0 6 】

正弦波インバータ 1 0 2 にはスイッチングパルス発振器 1 0 1 からパルス信号（13.56 MHz の 2 相スイッチングパルス）が入力され、正弦波インバータ 1 0 2 は、そのパルス信号により正弦波インバータ 1 0 2 内の 2 組のスイッチング素子が交互にオン・オフ動作することによって直流を高周波に変換する。

10

【 0 0 0 7 】

高周波電源 1 0 0 から出力される高周波の特性（振幅や周波数等）とその高周波のパルス出力は、電源制御部 1 0 5 によって制御される。電源制御部 1 0 5 は、スイッチングパルス発振器 1 0 1 のパルス信号の生成動作を制御することによって正弦波インバータ 1 0 2 で生成される高周波の特性を制御する。また、電源制御部 1 0 5 は、主制御部 1 0 8 から入力されるパルス変調制御信号 P S に基づいて、正弦波インバータ 1 0 2 内の各スイッチング素子へのパルス信号の入力を制御することにより正弦波インバータ 1 0 2 の高周波のパルス出力を制御する。

20

【 0 0 0 8 】

なお、RF パワーモニタ 1 0 6 は、トランス 1 0 3 の二次側に生じる進行波電力（トランス 1 0 3 から出力端側に進行する電力）と反射波電力（出力端からトランス T 側に進行する電力）をモニタするためのものである。RF パワーモニタ 1 0 6 で検出された進行波電力と反射波電力は電源制御部 1 0 5 に入力され、パルス信号の生成制御に利用される。また、RF パワーモニタ 1 0 6 で検出された進行波電力と反射波電力は主制御部 1 0 8 に入力され、モニタ表示に利用される。

【 0 0 0 9 】

図 1 5 (a) は、主制御部 1 0 8 から入力されるパルス変調制御信号 P S と正弦波インバータ 1 0 2 内の 4 個のスイッチング素子にそれぞれ入力されるパルス信号 S_{Q1} , S_{Q2} , S_{Q3} , S_{Q4} との関係を示す図である。なお、パルス信号 S_{Q1} , S_{Q2} , S_{Q3} , S_{Q4} は、図 1 5 (b) に示すように、フル・ブリッジ接続された 4 個のスイッチング素子 Q_1 , Q_2 , Q_3 , Q_4 の各ゲートに入力される 2 相のスイッチングパルスである。

30

【 0 0 1 0 】

フル・ブリッジ回路の一方の対角位置にある 2 つのスイッチング素子 Q_1 , Q_4 には、両スイッチング素子 Q_1 , Q_4 のオン・オフ動作を同期させるために、同一波形のスイッチングパルス S_{Q1} , S_{Q4} が入力される。フル・ブリッジ回路の他方の対角位置にある 2 つのスイッチング素子 Q_2 , Q_3 にも、両スイッチング素子 Q_2 , Q_3 のオン・オフ動作を同期させるために、同一波形のスイッチングパルス S_{Q2} , S_{Q3} が入力される。スイッチング素子 Q_1 , Q_4 のスイッチングパルスとスイッチング素子 Q_2 , Q_3 のスイッチングパルスの波形は、スイッチング素子 Q_1 , Q_3 とスイッチング素子 Q_2 , Q_4 を交互にオン・オフ動作させるために、互いにレベルが反転した波形となっている。なお、上下のスイッチング素子 Q_1 と Q_2 , 及びスイッチング素子 Q_3 と Q_4 が同時にオンして過大な電流が流れないようにするために、パルス信号 S_{Q1} , S_{Q3} のレベルとパルス信号 S_{Q2} , S_{Q4} のレベルが反転する部分にデッドタイムが設けられている。

40

【 0 0 1 1 】

高周波電源 1 0 0 のパルス出力がパルス変調制御信号 P S のハイレベル期間に高周波 v を出力させ、ローレベル期間に高周波 v を停止させるように制御される場合、電源制御部 1 0 5 は、図 1 5 (a) に示すように、パルス変調制御信号 P S がハイレベルからローレベルに切り換ると、4 つのスイッチングパルス $S_{Q1} \sim S_{Q4}$ のレベルを全てローレベルにす

50

る。

【 0 0 1 2 】

上記の制御によれば、高周波電源 1 0 0 からパルス変調制御信号 P S のハイレベル期間にだけ高周波 v が出力される。しかしながら、負荷のインピーダンス変動により高周波電源 1 0 0 の出力端から負荷側を見たインピーダンス（以下、「負荷インピーダンス」という。）が高周波電源 1 0 0 の出力インピーダンス（一般に、公称値は特性インピーダンスに設計されている。）に整合しない場合は、パルス変調制御信号 P S がハイレベルからローレベルに反転したタイミング t_L で高周波 v は直ちにゼロにならず、図 1 6 に示すように、振動しながら減衰していく。

【 0 0 1 3 】

高周波 v の出力オフ時に高周波 v が直ちにゼロにならず、振動状態が発生すると、プラズマ処理装置におけるプラズマ処理に悪影響を与えるので、図 1 4 に示す高周波電源 1 0 0 には、残留高周波除去回路 1 0 7 が設けられている。残留高周波除去回路 1 0 7 は、抵抗 R とスイッチング素子 1 0 7 a の直列回路で構成され、ローパスフィルタ 1 0 4 の出力端に並列に接続されている。

【 0 0 1 4 】

主制御部 1 0 8 は、パルス変調制御信号 P S のローレベル期間にスイッチング素子 1 0 7 a をオン動作させる制御信号を出力し、パルス変調制御信号 P S がローレベルになると、ローパスフィルタ 1 0 4 の出力端に流れている高周波 v （進行波と反射波の合成波）を、抵抗 R を介してグラウンドにバイパスさせ、負荷（プラズマ処理装置）に出力させないようにする。

【先行技術文献】

【特許文献】

【 0 0 1 5 】

【特許文献 1】特開 2 0 1 3 - 1 3 5 1 5 9 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 1 6 】

図 1 4 に示される従来の高周波電源 1 0 0 は、パルス出力制御で高周波 v の出力を停止させるときに生じる振動を抑制するために、抵抗 R とスイッチング素子 1 0 7 a の直列回路で構成される残留高周波除去回路 1 0 7 を設けているので、回路構成が複雑になっている。

【 0 0 1 7 】

また、パルス変調制御信号 P S のローレベルに同期して残留高周波除去回路 1 0 7 を高周波 v のグラウンドへのバイパス回路として機能させる制御を必要とするので、主制御部 1 0 8 の制御も複雑である。

【 0 0 1 8 】

本発明は、上記の課題に鑑みてなされたものであって、従来の残留高周波除去回路のような回路を追加することなく、簡単な構成でパルス出力の高周波停止時における振動を抑制することができる高周波電源を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 9 】

本発明によって提供される高周波電源は、4 個のスイッチング素子のブリッジ回路を含み、ドライブ信号により各スイッチング素子をオン・オフ動作させて前記ブリッジ回路の入力端子対に供給される直流電力を高周波電力に変換して前記ブリッジ回路の出力端子対から出力する電力変換手段と、前記スイッチング素子毎に、前記ドライブ信号を生成するドライブ信号生成手段と、前記高周波電力の出力を停止させる場合、前記ブリッジ回路の 2 つのアームの上側又は下側に配置される 2 個のスイッチング素子に対するドライブ信号のレベルを各スイッチング素子が遮断するレベルに設定し、残りの 2 個のスイッチング素子に対するドライブ信号のレベルを各スイッチング素子が導通するレベルに設定するドラ

10

20

30

40

50

イブ信号制御手段を備えたことを特徴とする（請求項１）。

【００２０】

好ましい実施形態によれば、上記の高周波電源において、前記ドライブ信号制御手段は、前記残りの２個のスイッチング素子に対するドライブ信号のレベルを各スイッチング素子が能動領域若しくは飽和領域で動作するレベルに設定する（請求項２，３）。

【００２１】

また、上記の高周波電源において、前記ドライブ信号生成手段は、前記ブリッジ回路の一方のアームの上側と他方のアームの下側に配置される２個のスイッチング素子に対するドライブパルスとして、スイッチング素子毎に前記電力変換手段から出力される前記高周波電力の周波数と同一の周波数を有する所定レベルの第１のドライブパルスを生成するとともに、前記ブリッジ回路の一方のアームの下側と他方のアームの上側に配置される２個のスイッチング素子に対するドライブパルスとして、スイッチング素子毎に前記第１のドライブパルスに対して位相が だけずれた第２のドライブパルスを生成するドライブパルス生成手段と、前記ドライブパルス生成手段で前記スイッチング素子毎に生成したドライブパルスを増幅して各スイッチング素子に対する前記ドライブ信号をそれぞれ生成する増幅手段と、を含み、前記ドライブ信号制御手段は、前記高周波電力の出力を停止させる場合、前記ブリッジ回路の２つのアームの上側又は下側に配置される２個のスイッチング素子に対してスイッチング素子毎に生成されたドライブパルスのレベルをローレベルに設定し、残りの２個のスイッチング素子に対してスイッチング素子毎に生成されたドライブパルスのレベルをハイレベルに設定する（請求項４）。

【００２２】

また、上記の高周波電源において、前記ドライブ信号制御手段は、前記ブリッジ回路に電力変換動作をさせる第１の状態と前記ブリッジ回路に電力変換動作をさせない第２の状態とが割り当てられた２値信号からなるドライブ制御信号を生成するドライブ制御信号生成手段と、前記ドライブ制御信号と前記ドライブパルス生成手段で前記スイッチング素子毎に生成された４個のドライブパルスを用いて所定の論理演算を行う論理演算手段と、を含み、前記論理演算手段は、前記ドライブ制御信号が前記第１の状態が割り当てられたレベルの期間では、前記ドライブ信号生成手段で生成される４個のドライブパルスと同一波形の信号を出力し、前記ドライブ制御信号が前記第２の状態が割り当てられたレベルの期間では、前記ブリッジ回路の２つのアームの上側又は下側に配置される２個のスイッチング素子に対してローレベルの信号を出力するとともに、残りの２個のスイッチング素子に対してハイレベルの信号を出力する（請求項５）。

【００２３】

また、上記の高周波電源において、前記論理演算手段は、前記ドライブパルスと前記ドライブ制御信号の論理積を演算する２つのＡＮＤ回路と、ＮＯＴ回路によって前記ドライブパルスのレベルを反転した信号と前記ドライブ制御信号の否定論理積を演算する２つのＮＡＮＤ回路とを含み、前記２つのＡＮＤ回路には、前記ブリッジ回路の２つのアームの上側又は下側に配置される２個のスイッチング素子に対して生成されたドライブパルスが入力され、前記２つのＮＡＮＤ回路には、残りの２個のスイッチング素子に対して生成されたドライブパルスが前記ＮＯＴ回路を介して入力される（請求項６）。

【発明の効果】

【００２４】

本発明によれば、ブリッジ回路の電力変換動作を停止させて高周波電力の出力を停止させる場合、ブリッジ回路の２つのアームの上側又は下側に配置される２個のスイッチング素子に対するドライブ信号のレベルを各スイッチング素子が遮断するレベルに設定して当該２個のスイッチング素子をオフ状態にするとともに、残りの２個のスイッチング素子に対するドライブ信号のレベルを各スイッチング素子が導通するレベルに設定して当該２個のスイッチング素子をオン状態にする。具体的には、Ｈ型のブリッジ回路の一方のアームがスイッチング素子Ｑ１とスイッチング素子Ｑ２の直列回路で構成され、他方のアームがスイッチング素子Ｑ３とスイッチング素子Ｑ４の直列回路で構成されているとすると、

2つのアームの上側に配置されているスイッチング素子Q1とスイッチング素子Q3を遮断状態にするとともに、残りの2個のスイッチング素子Q2とスイッチング素子Q4を導通状態にする。或いはまた、2つのアームの下側に配置されているスイッチング素子Q2とスイッチング素子Q4を遮断状態にするとともに、残りの2個のスイッチング素子Q1とスイッチング素子Q3を導通状態にする。

【0025】

これにより、高周波電力を出力している状態でその出力を停止させるタイミングになると、2つのアームの上側又は下側に配列される2個のスイッチング素子によりブリッジ回路への直流電力の供給が停止され、ブリッジ回路による高周波電力の出力は停止する。また、残りの2個のスイッチング素子により短絡され、ブリッジ回路の出力端子対に接続されている後段の回路が閉回路となるので、ブリッジ回路から出力されていた高周波（高周波電圧と高周波電流）が負荷のインピーダンスの影響を受けて振動しながら減衰する現象を抑制することができる。また、ブリッジ回路の出力端子対に接続される回路に蓄積されたエネルギーを閉回路によって好適に吸収させることができる。

10

【0026】

従って、本発明によれば、4個のドライブ信号の出力波形を制御するだけで、簡単にパルス出力の停止時に発生する振動を抑制することができる。

【図面の簡単な説明】

【0027】

【図1】本発明に係る高周波電源の内部構成を示す機能ブロック図である。

20

【図2】ドライブパルス生成部の内部構成を示す機能ブロック図である。

【図3】パルス発生器が発生する4個のドライブパルスの波形を示す図である。

【図4】図2の構成のドライブパルス生成部から出力される4個のドライブパルスの波形とドライブ制御信号の波形との関係を示す図である。

【図5】ドライブ制御信号のハイレベルからローレベルに反転するタイミングが図4とは異なる場合のドライブ制御信号の波形と4個のドライブパルスの波形との関係を示す図である。

【図6】ドライバ内に含まれる増幅回路の一例を示す図である。

【図7】図2の構成の場合のドライブ制御信号がローレベル期間のインバータ回路3の回路状態を示す図である。

30

【図8】図16に示した出力オフ時に高周波振動が生じる負荷インピーダンスを用いて図1に示す高周波電源の出力オフ時の波形をシミュレーションした波形図である。

【図9】ドライブパルス生成部の内部構成の変形例を示す機能ブロック図である。

【図10】図9の構成のドライブパルス生成部から出力される4個のドライブパルスの波形とドライブ制御信号の波形との関係を示す図である。

【図11】ドライブ制御信号のハイレベルからローレベルに反転するタイミングが図10とは異なる場合のドライブ制御信号の波形と4個のドライブパルスの波形との関係を示す図である。

【図12】図9の構成の場合のドライブ制御信号がローレベル期間のインバータ回路の回路状態を示す図である。

40

【図13】高周波をパルス出力させた場合の波形を示す図である。

【図14】従来の高周波をパルス出力する高周波電源の回路ブロックの一例を示す図である。

【図15】(a)は主制御部から入力されるパルス信号と正弦波インバータ内の4個のスイッチング素子にそれぞれ入力されるパルス信号との関係を示す図、(b)は4つのパルス信号と4個のスイッチング素子との関係を示す図である。

【図16】高周波のパルス出力で出力をオフにしたときに生じる振動を示す図である。

【発明を実施するための形態】

【0028】

以下、本発明の好ましい実施の形態を、添付図面を参照して具体的に説明する。

50

【 0 0 2 9 】

図 1 は、本発明に係る高周波電源の内部構成を示す機能ブロック図である。図 2 は、ドライブパルス生成部の内部構成を示す機能ブロック図である。

【 0 0 3 0 】

高周波電源 1 は、例えば、負荷 10 であるプラズマ処理装置に高周波電力を所定の高周波で供給する電源である。プラズマ処理装置は、フッ素系のガスと半導体ウェハや液晶ガラス基板等の被加工物をチャンバー（図示省略）内に封入し、そのチャンバー内の一対の電極（図示省略）に高周波電源 1 から高周波電力を供給して放電させ、その放電によりガスのプラズマを発生させて被加工物に薄膜形成処理やエッチング処理を行う装置である。

10

【 0 0 3 1 】

高周波電源 1 は、出力電圧可変の可変直流電源 2 と、可変直流電源 2 から出力される直流（直流電圧と直流電流）を高周波（高周波電圧と高周波電流）に変換するインバータ回路 3 と、インダクタ L とキャパシタ C の直列回路からなる直列共振回路 4 と、高周波を発生する高周波発生段と高周波を負荷 10 に出力する高周波出力段を電氣的に絶縁するトランス T と、トランス T から出力される高周波に含まれる高調波を除去するフィルタ回路 5（ローパスフィルタ）と、フィルタ回路 5 と高周波電源 1 の出力端（負荷 10 の接続端）との間を流れる高周波電力を検出する電力検出器 6 と、インバータ回路 3 内の 4 個のスイッチング素子 Q1, Q2, Q3, Q4 のオン・オフ駆動を制御するための 4 個のドライブパルス d_v1 , d_v2 , d_v3 , d_v4 を発生するドライブパルス発生部 7 と、インバータ回路 3 とドライブパルス発生部 7 を絶縁し、ドライブパルス発生部 7 で発生した 4 個のドライブパルス d_v1 , d_v2 , d_v3 , d_v4 を増幅してインバータ回路 3 に出力するドライバ 8 と、高周波電源 1 から出力される高周波電力と出力モードを制御する制御部 9 とを備える。

20

【 0 0 3 2 】

高周波電源 1 は、可変直流電源 2 で生成した直流電圧 V_{dc} をインバータ回路 3 によって高周波電圧 v_{inv} に変換し、その高周波電圧 v_{inv} をトランス T を介して負荷側に出力する。トランス T から出力される高周波電圧 v_{inv} は、フィルタ回路 5 で高調波が除去されて正弦波の高周波電圧 v_{out} となり、負荷 10 に出力される。インバータ回路 3 から出力される高周波電圧 v_{inv} は、制御部 9 によりフィードバック制御によって所定の高周波電圧に制御される。制御部 9 は、可変直流電源 2 で生成される直流電圧 V_{dc} のレベルを変化させることにより、インバータ回路 3 から出力される高周波電圧 v_{inv} のレベルを変化させる。

30

【 0 0 3 3 】

高周波電圧 v_{inv} のレベルが変化すると、高周波電源 1 から負荷 10 に供給される進行波電力 P_f が変化するので、制御部 9 は、進行波電力 P_f と目標出力電力 P_{fs} の偏差 P を監視し、その誤差 P がゼロになるように可変直流電源 2 の出力電圧 V_{dc} を制御する。

【 0 0 3 4 】

可変直流電源 2 は、入力される交流電圧 V_{AC} （例えば、商用電源 200 [V] など）を整流した後、DC-DC コンバータによって所定の電圧範囲内の任意の直流電圧を生成する。可変直流電源 2 は、制御部 9 から入力される駆動制御信号 $P-CNT$ によって DC-DC コンバータの変換動作を制御することにより、交流電圧 V_{AC} を整流した直流電圧 V_{DC} を駆動制御信号 $P-CNT$ に基づく所定の直流電圧 V_{dc} に変換する。

40

【 0 0 3 5 】

インバータ回路 3 は、図 1 に示されるように、4 個のスイッチング素子 Q1, Q2, Q3, Q4 を用いた H 型ブリッジ回路で構成される。図 1 では、スイッチング素子として N 型 MOSFET を用いているが、バイポーラトランジスタ等の他のスイッチング素子を用いることができる。インバータ回路 3 には、ドライバ 8 から 4 個のスイッチング素子 Q1, Q2, Q3, Q4 のオン・オフ駆動を制御する 4 個のドライブ信号 S_{Q1} , S_{Q2} , S_{Q3} , S_{Q4} が入力される。4 個のドライブ信号 S_{Q1} , S_{Q2} , S_{Q3} , S_{Q4} は、ドライブパルス発生

50

部 7 から出力される 4 個のドライブパルス $d v 1$, $d v 2$, $d v 3$, $d v 4$ をそれぞれ増幅した信号である。ドライブ信号 S_{Q1} , S_{Q2} , S_{Q3} , S_{Q4} は、それぞれスイッチング素子 (MOSFET) $Q 1$, $Q 2$, $Q 3$, $Q 4$ のゲートに入力される。

【 0 0 3 6 】

H 型ブリッジ回路の入力端子対 (c - d) にスイッチング素子 $Q 1$ とスイッチング素子 $Q 2$ の第 1 の直列回路と、スイッチング素子 $Q 3$ とスイッチング素子 $Q 4$ の第 2 の直列回路とが並列に接続されている。第 1 の直列回路は H 型ブリッジ回路の第 1 のアームを構成し、第 2 の直列回路は H 型ブリッジ回路の第 2 のアームを構成する。H 型ブリッジ回路のスイッチング素子 $Q 1$ とスイッチング素子 $Q 2$ の接続点 a と、スイッチング素子 $Q 3$ とスイッチング素子 $Q 4$ の接続点 b はインバータ回路 3 の出力端子対である。

10

【 0 0 3 7 】

本実施形態では、負荷 1 0 がプラズマ処理装置であるので、高周波電源 1 はプラズマ処理システムに規定された 2 . 0 M H z、1 3 . 5 6 M H z、4 0 . 6 8 M H z 等の周波数 f を基本周波数とする正弦波の高周波電圧 v_{out} を出力する。インバータ回路 3 の入力端子対 (c - d) には可変直流電源 2 から出力される直流電圧 V_{dc} が供給される。インバータ回路 3 の出力端子対 (a - b) からは、周波数 f の波形が矩形波の高周波電圧 v_{inv} が出力される。インバータ回路 3 から出力される高周波電圧 v_{inv} は、後段の直列共振回路 4 とフィルタ回路 5 を通過することによって高調波成分が除去され、高周波電源 1 の出力端からは周波数 f の正弦波の高周波電圧 v_{out} が出力される。

【 0 0 3 8 】

20

直列共振回路 4 は、スイッチングロスを低減するために、インバータ回路 3 のゼロ電圧スイッチングを行うための回路である。直列共振回路 4 は、トランス T の一次巻線に直列に接続されている。フィルタ回路 5 は、例えば、2 個のキャパシタと 1 個のインダクタを型に接続したローパスフィルタである。フィルタ回路 5 は、高周波電圧 v_{inv} の周波数 f (基本周波数) よりも高い周波数の信号の通過を阻止することにより、インバータ回路 3 で発生する高調波を除去する。

【 0 0 3 9 】

電力検出部 6 は、負荷 1 0 に供給される進行波電力 P_f をモニタするためのものである。電力検出部 6 は、方向性結合器を含み、その方向性結合器から高周波電圧 v_{out} に含まれる進行波電圧 v_f と反射波電圧 v_r を検出する。電力検出部 6 は、進行波電圧 v_f と反射波電圧 v_r をそれぞれ進行波電力 P_f と反射波電力 P_r に変換して制御部 9 に出力する。なお、高周波電源 1 は、例えば、特性インピーダンス $R_0 = 50$ で設計されているので、進行波電力 P_f 及び反射波電力 P_r は、 $P_f = v_f^2 / R_0$ 、 $P_r = v_r^2 / R_0$ の演算式により変換される。

30

【 0 0 4 0 】

ドライブパルス発生部 7 は、図 2 に示すように、基準クロックを発生する基準発振器 7 0 1 と、基準発振器 7 0 1 で発生された基準クロックに基づいて、4 個のドライブパルス $d v 1'$, $d v 2'$, $d v 3'$, $d v 4'$ を発生するパルス発生器 7 0 2 と、制御部 9 から入力されるドライブ制御信号 S_{DC} によって各ドライブパルス $d v 1$, $d v 2$, $d v 3$, $d v 4$ の出力波形を制御する論理回路 7 0 3 を含む。基準発振器 7 0 1 とパルス発生回路 7 0 2 は、FPGA (field-programmable gate array) や DSP (Digital Signal Processor) で構成される。

40

【 0 0 4 1 】

ドライブパルス $d v 1'$ ~ $d v 4'$ は、図 3 に示すように、周期 T が $1 / f$ [μ 秒] でデューティ比 (T_{ON} / T) が 5 0 % よりも僅かに小さいパルス信号である。ドライブパルス $d v 2'$, $d v 3'$ は、ドライブパルス $d v 1'$, $d v 4'$ に対して、位相が だけ遅れた関係若しくは進んだ関係となっている。ドライブパルス $d v 1'$ ~ $d v 4'$ は、オフ期間 T_{OFF} がオン期間 T_{ON} よりも長くなっているため、ドライブパルス $d v 1'$, $d v 4'$ がローレベルに反転するタイミングとドライブパルス $d v 2'$, $d v 3'$ がハイレベルに反転するタイミングは僅かにずれている。このずれ時間は、ドライブパルス発生部 7 が

50

ら出力されるドライブパルス $dv1$, $dv2$ に基づいて生成されるドライブ信号 S_{Q1} , S_{Q2} によってスイッチング素子 $Q1$, $Q2$ が同時にオンしないようにするため（第1のアームの部分で入力端子対（ $c-d$ ）が短絡しないようにするため）のデッドタイムであり、ドライブパルス $dv3$, $dv4$ に基づいて生成されるドライブ信号 S_{Q3} , S_{Q4} によってスイッチング素子 $Q3$, $Q4$ が同時にオンしないようにするため（第2のアームの部分で入力端子対（ $c-d$ ）短絡しないようにするため）のデッドタイムである。

【0042】

論理回路703は、インバータ回路3から高周波電圧 v_{inv} がドライブ制御信号 S_{DC} のON期間（ハイレベル期間）にだけ出力されるように、ドライブパルス $dv1' \sim dv4'$ のパルス波形を整形する回路である。具体的には、論理回路703は、ドライブ制御信号 S_{DC} のON期間ではドライブパルス $dv1' \sim dv4'$ と同一の波形を有し、ドライブ制御信号 S_{DC} のOFF期間（ローレベル期間）では、ドライブパルス $dv2'$, $dv4'$ をハイレベルに固定し、ドライブパルス $dv1'$, $dv3'$ をローレベルに固定したドライブパルス $dv1 \sim dv4$ を出力する。

【0043】

論理回路703は、2個のAND（論理積）回路703a , 703cと、2個のNAND（否定論理積）回路703b , 703dと、1個のバッファ回路703eと、2個のNOT（論理否定）回路703f , 703gで構成される。AND回路703a , 703c及びNAND回路703b , 703dの一方の入力端子にはそれぞれドライブ制御信号 S_{DC} がバッファ回路703eを介して入力されている。AND回路703a , 703cの他方の入力端子にはそれぞれドライブパルス $dv1'$, $dv3'$ が入力され、NAND回路703b , 703dの他方の入力端子にはそれぞれドライブパルス $dv2'$, $dv4'$ がそれぞれNOT回路703f , 703gでレベルが反転されて入力されている。

【0044】

AND回路703a , 703cの入出力の論理は、

【表1】

入力		出力
$dv1'$, $dv3'$	S_{DC}	$dv1$, $dv3$
L	L	L
H	L	L
L	H	L
H	H	H

である。なお、表1で「H」は、ハイレベルを示し、「L」はローレベルを示す。

【0045】

表1より、ドライブ制御信号 S_{DC} が「H」のときは、AND回路703a , 703cの出力は、ドライブパルス $dv1'$, $dv3'$ と同一のレベルになるから、ドライブ制御信号 S_{DC} がハイレベル期間では、AND回路703a , 703cからドライブパルス $dv1'$, $dv3'$ と同一波形のドライブパルス $dv1$, $dv3$ が出力される。一方、ドライブ制御信号 S_{DC} が「L」のときは、AND回路703a , 703cの出力は、「L」に固定されるから、ドライブ制御信号 S_{DC} がローレベル期間では、AND回路703a , 703cからローレベルのドライブパルス $dv1$, $dv3$ が出力される。

【0046】

NAND703b , 703dの入出力の論理は、

10

20

30

40

【表 2】

入力			出力
$dv2'$, $dv4'$	$/dv2'$, $/dv4'$	S_{DC}	$dv2$, $dv4$
H	L	L	H
L	H	L	H
H	L	H	H
L	H	H	L

である。なお、表 2 で「H」は、ハイレベルを示し、「L」はローレベルを示す。また、 $/dv2'$, $/dv4'$ は、 $dv2'$, $dv4'$ のレベルが反転した信号であることを示す。

10

【0047】

表 2 より、ドライブ制御信号 S_{DC} が「H」のときは、NAND 703b , 703d の出力は、ドライブパルス $dv2$, $dv4$ と同一のレベルになるから、ドライブ制御信号 S_{DC} がハイレベル期間では、NAND 回路 703b , 703d からドライブパルス $dv2'$, $dv4'$ と同一波形のドライブパルス $dv2$, $dv4$ が出力される。一方、ドライブ制御信号 S_{DC} が「L」のときは、NAND 回路 703b , 703d の出力は、「H」に固定されるから、ドライブ制御信号 S_{DC} がローレベル期間では、NAND 回路 703b , 703d からハイレベルのドライブパルス $dv2$, $dv4$ が出力される。

【0048】

20

従って、ドライブパルス発生部 7 に入力されるドライブ制御信号 S_{DC} の波形とドライブパルス発生部 7 から出力される 4 つのドライブパルス $dv1$, $dv2$, $dv3$, $dv4$ の波形との関係は、図 4 , 図 5 に示すようになる。なお、図 4 は、ドライブパルス $dv1$, $dv4$ がローレベルで、かつ、ドライブパルス $dv2$, $dv3$ がハイレベルの期間に、ドライブ制御信号 S_{DC} がローレベルに反転するタイミング t_L が生じた場合の波形図である。また、図 5 は、ドライブパルス $dv1$, $dv4$ がハイレベルで、かつ、ドライブパルス $dv2$, $dv3$ がローレベルの期間にタイミング t_L が生じた場合の波形図である。

【0049】

図 4 , 図 5 に示されるように、ドライブ制御信号 S_{DC} のハイレベル期間では、ドライブパルス発生部 7 から出力されるドライブパルス $dv1$, $dv2$, $dv3$, $dv4$ は、ドライブパルス $dv1'$, $dv2'$, $dv3'$, $dv4'$ と同一波形となるから、インバータ回路 3 内のスイッチング素子 $Q1 \sim Q4$ のゲートにはそれぞれドライブパルス $dv1'$, $dv2'$, $dv3'$, $dv4'$ のレベルを増幅したドライブ信号 $S_{Q1} \sim S_{Q4}$ が入力される。ドライブ信号 $S_{Q1} \sim S_{Q4}$ は、ローレベルでスイッチング素子 $Q1 \sim Q4$ が遮断状態となり、ハイレベルで導通状態となるパルス信号である。

30

【0050】

従って、ドライブ制御信号 S_{DC} のハイレベル期間では、H 型ブリッジ回路の第 1 のアームの上側のスイッチング素子 $Q1$ 及び第 2 のアームの下側のスイッチング素子 $Q4$ と、H 型ブリッジ回路の第 1 のアームの下側のスイッチング素子 $Q2$ 及び第 2 のアームの上側のスイッチング素子 $Q3$ とが交互にオン動作（導通状態）とオフ動作（遮断状態）とを繰り返し、インバータ回路 3 の出力端子対 a , b に直流電圧 $+V_{dc}$ がドライブ信号 $S_{Q1} \sim S_{Q4}$ の周期 $T = 1/f$ (秒) で交互に印加されることになるので、出力端子対 a , b から周波数 f を基本周波数とする矩形波の高周波電圧 v_{inv} が出力される。

40

【0051】

一方、ドライブ制御信号 S_{DC} のローレベル期間では、ドライブパルス $dv1$, $dv3$ がローレベルとなり、ドライブパルス $dv2$, $dv4$ がハイレベルとなるから、インバータ回路 3 内のスイッチング素子 $Q1$, $Q3$ のゲートにはそれぞれローレベルのドライブ信号 S_{Q1} , S_{Q3} が入力され、スイッチング素子 $Q2$, $Q4$ のゲートにはそれぞれハイレベルのドライブ信号 S_{Q2} , S_{Q4} が入力される。従って、ドライブ制御信号 S_{DC} のローレベル期間では、H 型ブリッジ回路の第 1 , 第 2 のアームの上側のスイッチング素子 $Q1$, $Q3$ が遮

50

断状態になることによってインバータ回路 3 が可変直流電源 2 から切り離されるとともに、H 型ブリッジ回路の第 1, 第 2 のアームの下側のスイッチング素子 Q_2 , Q_4 が通電状態になることによってインバータ回路 3 の出力端子対 a , b が短絡されるので、高周波電圧 v_{inv} の出力が停止される。

【0052】

図 1 に戻り、ドライバ 8 は、ドライブパルス発生部 7 から出力される 4 つのドライブパルス d_{v1} , d_{v2} , d_{v3} , d_{v4} に基づいて、インバータ回路 3 内の 4 個のスイッチング素子 $Q_1 \sim Q_4$ をそれぞれオン・オフ駆動させるための 4 個のドライブ信号 S_{Q1} , S_{Q2} , S_{Q3} , S_{Q4} を生成する。ドライバ 8 は、4 つのドライブパルス d_{v1} , d_{v2} , d_{v3} , d_{v4} に対応して、電氣的に絶縁された電源で駆動される 4 個の増幅回路を有し、各増幅回路で 4 つのドライブパルス d_{v1} , d_{v2} , d_{v3} , d_{v4} のレベルをそれぞれ所定のレベルに増幅して 4 つのドライブ信号 S_{Q1} , S_{Q2} , S_{Q3} , S_{Q4} を生成する。

10

【0053】

図 6 は、ドライバ 8 内に設けられる増幅回路の一例を示す図である。

【0054】

増幅回路 801 は、ドライブパルスの入力回路を構成するフォトカプラ 801a と、フォトカプラ 801a の出力を増幅するアンプ 801b とで構成される。フォトカプラ 801a の駆動電源 V_{1a} は、低電圧の電源である。アンプ 801b の駆動電源 V_{1b} , V_{1c} は、駆動電源 V_{1a} よりも電圧値（絶対値）が大きい電源である。フォトカプラ 801a の駆動電源 V_{1a} とアンプ 801b の駆動電源 V_{1b} , V_{1c} は電氣的に絶縁されている。フォトカプラ 801a の入力端子にはドライブパルス (d_{v1} , d_{v2} , d_{v3} , d_{v4}) が入力され、フォトカプラ 801a の出力信号がアンプ 801b で増幅されてドライブ信号 (S_{Q1} , S_{Q2} , S_{Q3} , S_{Q4}) として出力される。

20

【0055】

アンプ 801b の増幅率は、ドライブ信号 $S_{Q1} \sim S_{Q4}$ のハイレベルがスイッチング素子 $Q_1 \sim Q_4$ を能動領域若しくは飽和領域で動作させることができる所定のレベルである。スイッチング素子 $Q_1 \sim Q_4$ を能動領域で動作させる場合は、スイッチング素子 $Q_1 \sim Q_4$ 内の抵抗分がスイッチング素子 $Q_1 \sim Q_4$ を飽和領域で動作させるよりも大きくなり、その抵抗分によって出力停止時の振動を抑制する効果がスイッチング素子 $Q_1 \sim Q_4$ を飽和領域で動作させる場合よりも良好になる場合がある。スイッチング素子 $Q_1 \sim Q_4$ 内の抵抗分は、能動領域の動作点によって変化するので、アンプ 801b の増幅率を調整してドライブ信号 $S_{Q1} \sim S_{Q4}$ のハイレベルの値を適切に設定することにより、高周波電源 1 の出力停止時に発生する振動の抑制を最適な状態にすることができる。

30

【0056】

制御部 9 は、高周波電源 1 から負荷 10 に出力される高周波電力（進行波電力 P_f ）を制御する。従って、制御部 9 には、制御目標の目標出力電力 P_{fs} が入力される。ユーザは、目標出力電力 P_{fs} を、入力装置（図示省略）を操作して手動で入力したり、予め設定したプログラムにより自動で入力させたりすることができる。また、制御部 9 は、高周波電圧 v_{out} の出力形式を制御する。高周波電源 1 には、出力形式として高周波電圧 v_{out} を連続的に出力させる連続出力モードと高周波電圧 v_{out} を断続的に出力させるパルス出力モードが設けられており、ユーザは、連続出力モードとパルス出力モードのいずれかの出力形式で高周波電源 1 から高周波電圧 v_{out} を出力させることができる。従って、制御部 9 には、モード切替信号 S_{MS} と、パルス出力の条件（周波数とデューティ比）を含むパルス出力情報 PS が入力される。ユーザは、出力形式の切り替えやパルス出力の条件を入力装置（図示省略）を操作して手動で行ったり、予め設定したプログラムにより自動で行わせたりすることができる。

40

【0057】

制御部 9 は、CPU (Central Processing Unit)、ROM (Read Only Memory) 及び RAM (Random Access Memory) を備えるマイクロコンピュータや FPGA で構成される。制御部 9 は、駆動制御信号 P_CNT を生成し、その駆動制御信号 P_CNT を可変直

50

流電源 2 に出力して可変直流電源 2 の出力電圧 V_{dc} を制御する。駆動制御信号 $P - CNT$ は、高周波電源 1 の出力電力（進行波電力 P_f ）が目標出力電力 P_f となるように、可変直流電源 2 の出力電圧 V_{dc} を制御する信号である。

【0058】

制御部 9 は、電力検出器 6 から入力される進行波電力 P_f の検出値と目標出力電力 P_{fs} の偏差 $P (= P_{fs} - P_f)$ を演算し、その偏差 P に基づいて当該偏差 P をゼロにする駆動制御信号 $P - CNT$ を生成する。具体的な駆動制御信号 $P - CNT$ の内容は、可変直流電源 2 の構成によって決定される。例えば、可変直流電源 2 が内部で DC - DC コンバータの駆動を制御する駆動パルスを生成する構成の場合、その駆動パルスの生成を制御する信号が駆動制御信号 $P - CNT$ として制御部 9 から可変直流電源 2 に入力される。可変直流電源 2 が駆動パルスを外部から供給される構成の場合、制御部 9 が駆動パルスを生成し、その駆動パルスを駆動制御信号 $P - CNT$ として可変直流電源 2 に入力することも可能である。

【0059】

次に、本発明に係る高周波電源 1 の作用について説明する。

【0060】

高周波電源 1 は、インバータ回路 3 で直流電力を周波数 f （高周波電源 1 から出力させる高周波電圧 v_{out} の基本周波数。例えば、 $2.0 [MHz]$ 、 $13.56 [MHz]$ 等の高周波）の高周波電力に変換して負荷 10 に出力する。制御部 9 は、フィードバック制御によって可変直流電源 2 がインバータ回路 3 に供給する直流電圧 V_{dc} を制御することにより、インバータ回路 3 から出力される進行波電力 P_f を目標出力電力 P_{fs} に制御する。

【0061】

また、制御部 9 は、モード切替信号 S_{MS} に基づいて、インバータ回路 3 から出力される高周波電圧 v_{inv} を連続出力とパルス出力のいずれかで出力させる。制御部 9 は、連続出力の場合、例えば、出力開始から出力終了までの期間だけハイレベルとなるドライブ制御信号 S_{DC} をドライブパルス発生部 7 に出力する。出力開始から出力終了までの期間は、例えば、プラズマ処理中は連続して高周波電力を供給する場合、プラズマ処理の開始から終了までの期間である。

【0062】

一方、制御部 9 は、パルス出力の場合、パルス出力情報 PS に含まれる周波数 $f_p [Hz]$ とデューティ比 $D_p [%]$ に基づいて周期 $T_p = 1 / f_p [秒]$ 、オン期間 $T_{ON} = T_p \times D / 100 [秒]$ のパルス信号からなるドライブ制御信号 S_{DC} を生成してドライブパルス発生部 7 に出力する。周波数 f_p は、高周波電圧 v_{inv} の基本周波数 f よりも低い周波数である。また、パルス信号は、ハイレベル期間にインバータ回路 3 から高周波電圧 v_{inv} を出力させる第 1 の状態が割り当てられ、ローレベル期間にインバータ回路 3 から高周波電圧 v_{inv} を出力させない第 2 の状態が割り当てられた 2 値信号である。

【0063】

なお、ドライブ制御信号 S_{DC} のハイレベル期間に第 1 の状態を割り当て、ローレベル期間に第 2 の状態を割り当てる論理にしてもよい。

【0064】

ドライブパルス発生部 7 は、周波数 f のデューティ比 D が 50 % より僅かに小さいパルス信号（図 3 参照）からなるドライブパルス dv_1' 、 dv_4' を発生する。また、ドライブパルス発生部 7 は、ドライブパルス dv_1' 、 dv_4' に対して位相が だけずれているドライブパルス dv_2' 、 dv_3' を発生する。

【0065】

ドライブパルス発生部 7 は、ドライブ制御信号 S_{DC} がハイレベルの期間にはドライブパルス $dv_1' \sim dv_4'$ と同一波形のドライブパルス $dv_1 \sim dv_4$ をドライバ 8 に出力し、ドライブ制御信号 S_{DC} がローレベルの期間にはローレベルのドライブパルス dv_1' 、 dv_3' とハイレベルのドライブパルス dv_2' 、 dv_4' を出力する。

【0066】

10

20

30

40

50

従って、インバータ回路 3 には、ドライブ制御信号 S_{DC} のハイレベルの期間にドライブパルス $d v 1' \sim d v 4'$ を増幅したドライブ信号 $S_{Q1} \sim S_{Q4}$ が入力され、ドライブ制御信号 S_{DC} のローレベルの期間にローレベルのドライブ信号 S_{Q1}, S_{Q3} とドライブパルス $d v 2', d v 4'$ を増幅したハイレベルのドライブ信号 S_{Q2}, S_{Q4} が入力される。

【 0 0 6 7 】

ドライブ制御信号 S_{DC} がハイレベルからローレベルに反転するタイミング t_L では、ドライブパルス $d v 1 \sim d v 4$ は、ドライブパルス $d v 1, d v 3$ がローレベル、ドライブパルス $d v 2, d v 4$ がハイレベルに切り替わり（図 4, 図 5 参照）、次にハイレベルに反転するタイミング t_H までその状態が継続される。ドライブ制御信号 S_{DC} がローレベルからハイレベルに反転するタイミング t_H から次のタイミング t_L までの期間では、ドライブパルス $d v 1 \sim d v 4$ は、ドライブパルス $d v 1' \sim d v 4'$ と同一波形となるので（図 4, 図 5 参照）、インバータ回路 3 内のスイッチング素子 $Q_1 \sim Q_4$ は、H 型ブリッジ回路の第 1 のアームの上側と第 2 のアームの下側の 2 個のスイッチング素子 Q_1, Q_4 と、残りの 2 個のスイッチング素子 Q_2, Q_3 （第 1 のアームの下側と第 2 のアームの上側のスイッチング素子）が周期 $T = 1 / f$ で交互にオン・オフ動作をする。従って、ドライブ制御信号 S_{DC} のハイレベル期間では、高周波 v_{out} が出力される。

【 0 0 6 8 】

ドライブ制御信号 S_{DC} のローレベル期間では、ドライブパルス $d v 1, d v 3$ がローレベル、ドライブパルス $d v 2, d v 4$ がハイレベルになるので、インバータ回路 3 の回路状態は、図 7 に示すように、H 型ブリッジ回路の第 1 及び第 2 のアームの上側の 2 個のスイッチング素子 Q_1, Q_3 がオフ状態（遮断状態）となり、H 型ブリッジ回路の第 1 及び第 2 のアームの下側の 2 個のスイッチング素子 Q_2, Q_4 がオン状態（導通状態）となる。

【 0 0 6 9 】

ドライブ制御信号 S_{DC} のローレベル期間では、H 型ブリッジ回路の第 1 及び第 2 のアームの上側の 2 個のスイッチング素子 Q_1, Q_3 がオフ状態になるので、インバータ回路 3 は可変直流電源 2 から切り離され、電力変換動作をしない。また、H 型ブリッジ回路の第 1 及び第 2 のアームの下側の 2 個のスイッチング素子 Q_2, Q_4 がオン状態となり、インバータ回路 3 の出力端子対（a - b）が短絡若しくはスイッチング素子 Q_2, Q_4 の内部抵抗によって接続されるので、出力端子対（a - b）に接続された直列共振回路 4 とトランス T の一次巻線は閉回路となる。

【 0 0 7 0 】

出力端子対（a - b）が短絡若しくはスイッチング素子 Q_2, Q_4 の内部抵抗によって接続された状態になると、インバータ回路 3 の後段側の LC 成分（直列共振回路 4、トランス T、伝送線路、負荷 10 などに含まれる LC 成分）に蓄積された電気エネルギーが閉回路内の抵抗成分によって消費されるので、負荷 10 のインピーダンスの影響によってフィルタ回路 5 から出力される高周波（高周波電圧と高周波電流） v_{out} が振動しながら減衰する現象を抑制することができる。特に、スイッチング素子 Q_2, Q_4 を能動領域でオン動作させるようにすれば、スイッチング素子 Q_2, Q_4 内の抵抗成分によって LC 成分に蓄積された電気エネルギーの消費を効果的に行わせることができるので、負荷 10 のインピーダンスの状態によっては、スイッチング素子 Q_2, Q_4 を飽和領域でオン動作させるよりも振動の抑制効果を高めることができる。

【 0 0 7 1 】

図 8 は、図 16 に示した出力オフ時に高周波振動が生じる負荷インピーダンスを用いて図 1 に示す高周波電源 1 の出力オフ時の波形をシミュレーションした波形図である。図 8 は、周波数 $f = 13.56$ [MHz]、振幅 $A = 250$ [V] の高周波 v を周波数 $f_p = 50$ [kHz]、 $D_p = 50$ [%] のドライブ制御信号 S_{DC} でパルス出力させた場合の高周波 v_{out} のシミュレーション波形である。

【 0 0 7 2 】

同図に示すように、ドライブ制御信号 S_{DC} がオフになるタイミング t_L （10 μ 秒、30 μ 秒、50 μ 秒、...）でインバータ回路 3 を停止させた直後の振動の振幅は、高周波 v

10

20

30

40

50

v_{out} の振幅Aのほぼ1/4以下に抑制されており、高周波 v_{out} の出力を停止させたときに生じる振動を十分に抑制することができることが分かる。

【0073】

上記の実施形態では、ドライブ制御信号 S_{DC} のローレベル期間に、インバータ回路3の第1,第2のアームの上側のスイッチング素子 Q_1, Q_3 をオフ状態(遮断状態)にし、下側のスイッチング素子 Q_2, Q_4 をオン状態(導通状態)にするようにしているが、ドライブパルス発生部7の内部構成を図9に示すように変形し、インバータ回路3の第1,第2のアームの上側のスイッチング素子 Q_1, Q_3 をオン状態(導通状態)にし、下側のスイッチング素子 Q_2, Q_4 をオフ状態(遮断状態)にするようにしてもよい。

【0074】

図9は、図2に対して、ドライブパルス $d v_1', d v_3'$ をそれぞれNOT回路703f, 703gを介してNAND回路703b, 703dに入力し、ドライブパルス $d v_2', d v_4'$ をそれぞれAND回路703a, 703cに入力するようにしたものである。

【0075】

図9に示す回路構成から出力されるドライブパルス $d v_1 \sim d v_4$ は、表1の入力 $d v_1', d v_3'$ と表2の入力 $d v_2', d v_4'$ ($/d v_2', /d v_4'$)とを入れ替えたものになるから、ドライブ制御信号 S_{DC} の波形とドライブパルス発生部7から出力される4つのドライブパルス $d v_1, d v_2, d v_3, d v_4$ の波形との関係は、図10, 図11に示すようになる。

【0076】

図10, 図11に示されるように、ドライブ制御信号 S_{DC} のハイレベル期間では、ドライブパルス発生部7から出力されるドライブパルス $d v_1 \sim d v_4$ は、ドライブパルス $d v_1' \sim d v_4'$ と同一波形となるが、ドライブ制御信号 S_{DC} のローレベル期間では、ドライブパルス $d v_1, d v_3$ がハイレベルとなり、ドライブパルス $d v_2, d v_4$ がローレベルとなる。従って、ドライブ制御信号 S_{DC} のローレベル期間のインバータ回路3の回路状態は、図12に示すように、スイッチング素子 Q_1, Q_3 がオン状態(導通状態)となり、スイッチング素子 Q_2, Q_4 がオフ状態(遮断状態)となる。

【0077】

ドライブパルス発生部7の内部構成を図9に示すようにした場合でも、図8に示したシミュレーション結果と同様の効果を得ることができる。

【0078】

上記実施形態では、高周波 v_{out} をパルス出力する場合について説明したが、高周波 v_{out} を連続出力する場合でもドライブ制御信号 S_{DC} のローレベル期間におけるドライブ信号 $S_{Q1} \sim S_{Q4}$ を、ドライブ信号 S_{Q1}, S_{Q3} をハイレベル、ドライブ信号 S_{Q2}, S_{Q4} をローレベルとする組み合わせ、若しくはドライブ信号 S_{Q1}, S_{Q3} をローレベル、ドライブ信号 S_{Q2}, S_{Q4} をハイレベルとする組み合わせの状態にすることによって、高周波 v_{out} の出力停止時における振動の発生を抑制することができる。

【0079】

上記実施形態では、ドライブパルス発生部7の内部構成を、基準発振器701及びドライブパルス発生器702と論理回路703によって構成したが、図2又は図9に示す回路構成に限定されるものではなく、図4, 図5若しくは図10, 図11に示す波形のドライブパルス $d v_1 \sim d v_4$ を生成する回路であれば、任意の回路構成を採用することができる。

【0080】

また、上記実施形態では、ドライブ信号 $S_{Q1} \sim S_{Q4}$ を生成するためのドライブパルス $d v_1 \sim d v_4$ の波形をドライブ制御信号 S_{DC} によって制御するようしていたが、スイッチング素子 $Q_1 \sim Q_4$ のゲートに入力されるドライブ信号 $S_{Q1} \sim S_{Q4}$ の波形をドライブ制御信号 S_{DC} によって直接制御するようにしてもよい。

【0081】

10

20

30

40

50

例えば、スイッチング素子 $Q_1 \sim Q_4$ の各ゲートの前段にスイッチ回路を設け、スイッチング素子 Q_1, Q_3 の各スイッチ回路では、各ゲートへの入力をドライブ信号 S_{Q1}, S_{Q3} とハイレベル信号のいずれかに切り換えるようにし、H型ブリッジ回路の第1及び第2のアームの下側の2個のスイッチング素子 Q_2, Q_4 の各スイッチ回路では、各ゲートへの入力をドライブ信号 S_{Q2}, S_{Q4} とローレベル信号のいずれかに切り換えるようにする。そして、ドライブ制御信号 S_{DC} のハイレベル期間ではドライブ信号 $S_{Q1} \sim S_{Q4}$ の入力側に接続し、ドライブ制御信号 S_{DC} のローレベル期間では、ハイレベル若しくはローレベルの入力側に接続するように、ドライブ制御信号 S_{DC} によって各スイッチ回路の接続切替えを制御するようにしてもよい。

【0082】

10

なお、H型ブリッジ回路の第1及び第2のアームの上側の2個のスイッチング素子 Q_1, Q_3 の各スイッチ回路を、各ゲートへの入力をドライブ信号 S_{Q1}, S_{Q3} とローレベル信号のいずれかに切り換える内容にし、H型ブリッジ回路の第1及び第2のアームの下側の2個のスイッチング素子 Q_2, Q_4 の各スイッチ回路を、各ゲートへの入力をドライブ信号 S_{Q2}, S_{Q4} とハイレベル信号のいずれかに切り換える内容にしてもよい。また、ドライブ制御信号 S_{DC} のハイレベル期間に高周波 v_{out} の出力を停止させ、ローレベル期間に高周波 v_{out} を出力させる論理にしてもよい。

【0083】

上記のように、本実施形態に係る高周波電源1によれば、インバータ回路3の高周波 v_{inv} の出力を停止させるとき、H型のブリッジ回路を構成する4個のスイッチング素子 $Q_1 \sim Q_4$ のうち、第1及び第2のアームの上側又は下側に配置される2個のスイッチング素子をオン状態（導通状態）に固定し、残りの2個のスイッチング素子をオフ状態（遮断状態）に固定する（スイッチング素子 Q_1, Q_3 をオン状態にし、スイッチング素子 Q_2, Q_4 をオフ状態にする、又はスイッチング素子 Q_2, Q_4 をオン状態にし、スイッチング素子 Q_1, Q_3 をオフ状態にする）ようにしたので、高周波 v_{inv} の出力停止時に発生する振動を好適に抑制することができる。

20

【0084】

また、上記実施形態では、プラズマ処理システムに適用される13.56[MHz]等の高周波信号について説明したが、本発明は、プラズマ処理システムに適用される周波数帯に限定されるものではなく任意の周波数帯の周波数に適用することができる。また、本発明は、プラズマ処理装置の負荷に限定させず、LCR負荷となる任意の負荷が接続される高周波電源に適用することができる。

30

【符号の説明】

【0085】

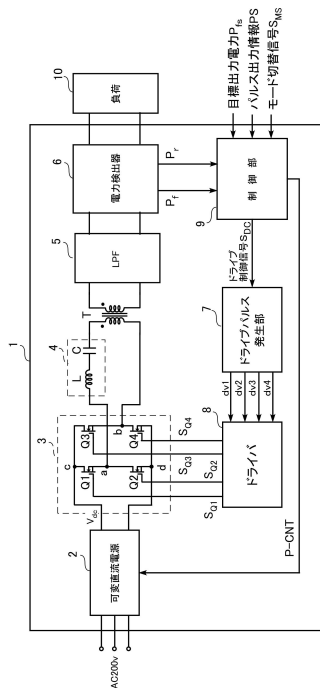
- 1 高周波電源
- 2 可変直流電源
- 3 インバータ回路（電力変換手段）
- 4 直列共振回路
- 5 フィルタ回路
- 6 電力検出器
- 7 ドライブパルス発生部（ドライブパルス生成手段）
- 701 基準発振器
- 702 パルス発生器
- 703 論理回路（論理演算手段）
- 703a, 703c AND（論理積）回路
- 703b, 703d NAND（否定論理積）回路
- 703e バッファ回路
- 703f, 703g NOT（論理否定）回路
- 8 ドライバ（ドライブ信号生成手段）
- 801a フォトカプラ

40

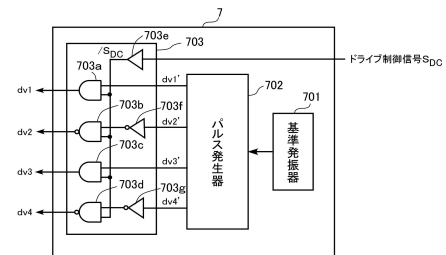
50

- 8 0 1 b アンプ (増幅手段)
 9 制御部 (ドライブ信号制御手段 , ドライブ制御信号生成手段)
 1 0 負荷 (プラズマ処理装置)
 a , b 出力端子対
 c , d 入力端子対
 T トランス
 Q 1 , Q 2 , Q 3 , Q 4 スイッチング素子

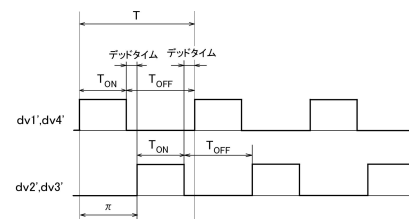
【図 1】



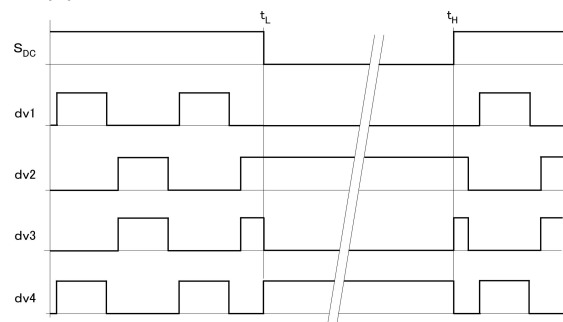
【図 2】



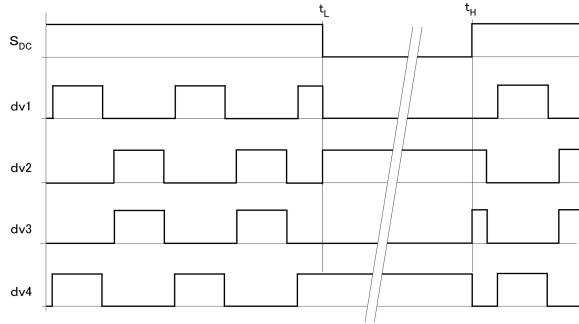
【図 3】



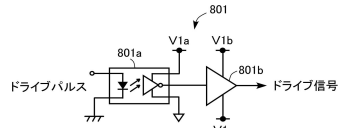
【図 4】



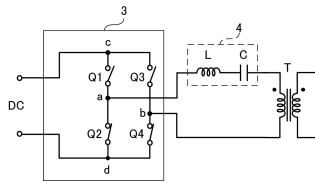
【図 5】



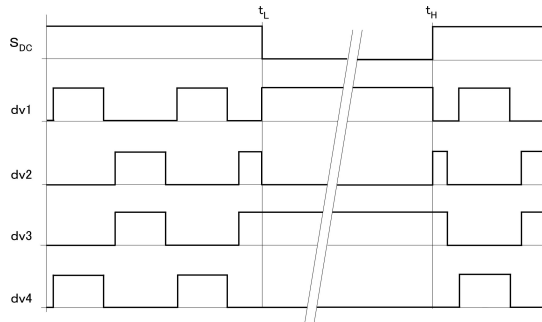
【図 6】



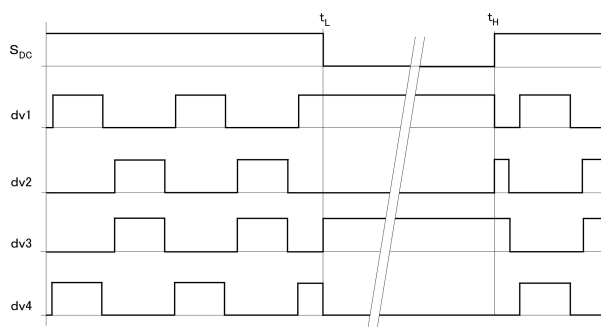
【図 7】



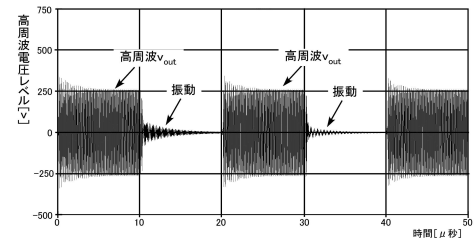
【図 10】



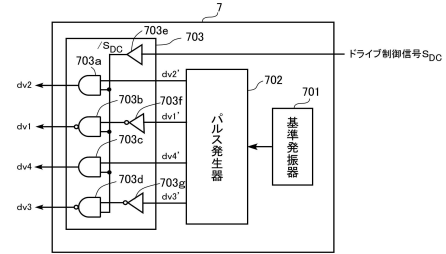
【図 11】



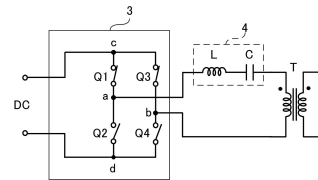
【図 8】



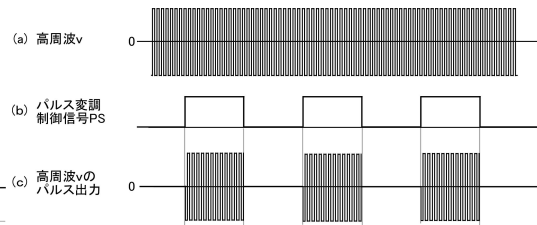
【図 9】



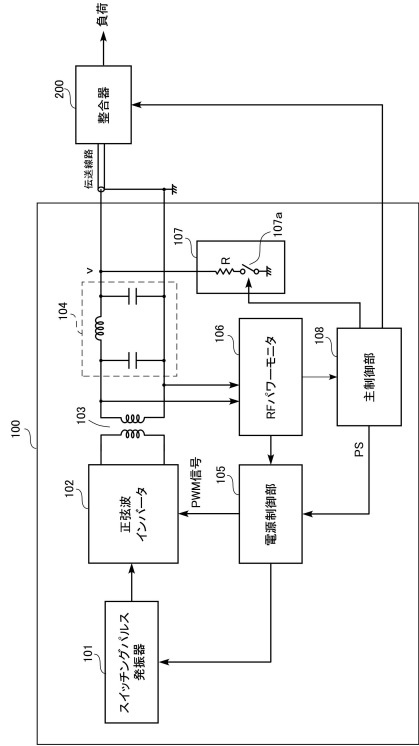
【図 12】



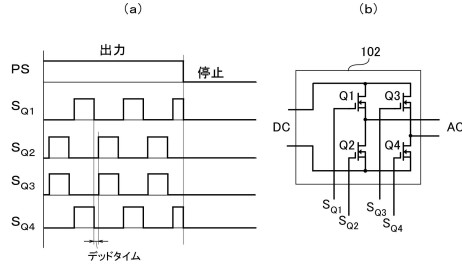
【図 13】



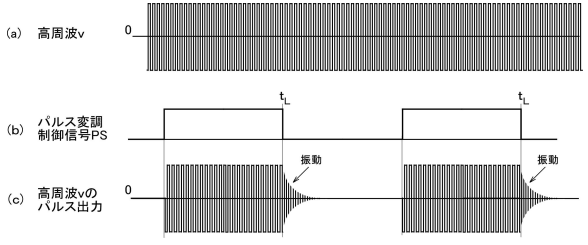
【図 14】



【図 15】



【図 16】



フロントページの続き

(56)参考文献 特開 2 0 1 3 - 1 3 5 1 5 9 (J P , A)
国際公開第 2 0 1 3 / 1 4 5 4 8 6 (W O , A 1)

(58)調査した分野(Int.Cl. , D B 名)

H 0 2 M	7 / 4 8
C 2 3 C	1 6 / 5 0 5
H 0 1 L	2 1 / 3 0 6 5
H 0 5 H	1 / 4 6