

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2002年12月12日 (12.12.2002)

PCT

(10) 国際公開番号  
WO 02/099886 A1

(51) 国際特許分類: H01L 27/108, 29/78, 21/8242, 21/336

(21) 国際出願番号: PCT/JP02/05478

(22) 国際出願日: 2002年6月4日 (04.06.2002)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願2001-168938 2001年6月5日 (05.06.2001) JP  
特願2001-213045 2001年7月13日 (13.07.2001) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 岩崎 富生 (IWASAKI, Tomio) [JP/JP]; 〒300-0013 茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内 Ibaraki (JP). 守谷 浩志 (MORIYA, Hiroshi) [JP/JP];

〒300-0013 茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内 Ibaraki (JP). 三浦 英生 (MIURA, Hideo) [JP/JP]; 〒300-0013 茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内 Ibaraki (JP). 池田 修二 (IKEDA, Shuji) [JP/JP]; 〒187-0022 東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内 Tokyo (JP).

(74) 代理人: 浅村 皓, 外 (ASAMURA, Kiyoshi et al.); 〒100-0004 東京都千代田区大手町2丁目2番1号 新大手町ビル331 Tokyo (JP).

(81) 指定国 (国内): CN, KR, SG, US.

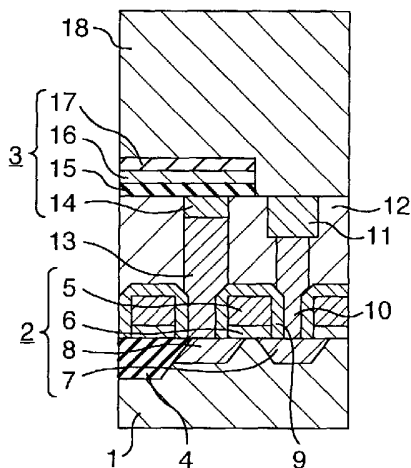
(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

添付公開書類:  
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A high-reliability semiconductor device comprising a first capacitor electrode, a capacitor insulation film including titanium oxide as a main constituent material and formed so as to contact the first capacitor electrode, and a second capacitor electrode formed so as to contact the capacitor insulation film, wherein a conductive oxide film including ruthenium oxide or iridium oxide as a main constituent material is used for the first and second capacitor electrodes. Or, a gate insulation film having a leak current-restricting titanium silicate film and titanium oxide is used.

[続葉有]

WO 02/099886 A1



---

(57) 要約:

信頼性の高い半導体装置を提供するために、第一キャパシタ電極と、前記第一キャパシタ電極に接するように形成された酸化チタンを主構成材料とするキャパシタ絶縁膜と、前記キャパシタ絶縁膜に接するように形成された第二キャパシタ電極とを備え、前記第一キャパシタ電極と前記第二キャパシタ電極に酸化ルテニウムまたは酸化イリジウムを主構成材料とする導電性酸化膜を用いる。または、リーク電流を抑制するチタンシリケート膜及び酸化チタンを有するゲート絶縁膜を用いる。

## 明 細 書

## 半導体装置

## 5 技術分野

本発明は半導体装置に関する。

## 背景技術

近年、半導体装置の微細化にともない、メモリキャパシタの面積が減少し、容量の絶対値も減少する傾向にある。容量Cは、例えば平行平板キャパシタ構造の場合、

$$C = \epsilon \cdot S / d$$

で決定される。ここで、 $\epsilon$ はキャパシタ絶縁膜の誘電率、Sは電極の面積、dは誘電体の膜厚（電極間の距離）である。情報蓄積用キャパシタ素子に使用される電極の面積Sを増大することなく、容量を確保するためには、誘電率 $\epsilon$ の高いキャパシタ絶縁膜材料を使用するか、キャパシタ絶縁膜の膜厚dを薄くすることが必要である。従来は、キャパシタ絶縁膜に酸化シリコン膜が用いられており、この膜厚を薄くすることで高集積化してきた。しかし、256メガビット以上の高集積メモリにおいては、薄膜化が限界に達しているため、酸化シリコンより誘電率 $\epsilon$ の高い酸化タンタル等のキャパシタ絶縁膜材料が導入されている。また、1 Gビット以降のDRAM (Dynamic Random Access Memory) においては、例えば特開平9-186299号公報に記載されているように、チタン酸バリウムストロンチウム (BaSrTiO<sub>3</sub>: BST) という高誘電率材料の使用が検討されている。同様の課題は、高集積メモリに限らず、小型化が必要な各種電子回路に使用するコンデンサにも共通している。例えば特開平10-41467号公報に記載されているように、コンデンサのキャパシタ絶縁膜材料として、誘電率の高い酸化チタンの使用が検討されている。

## 発明の開示

しかし、特開平10-41467号公報に記載されているように、酸化チタンをキャパシタ絶縁膜として用い、白金を電極材料として用いた場合、誘電率が安定しない場合があった。かかる場合を一例として様々な要因で信頼性の高い半導体装置が望まれる。

そこで、本発明の目的は信頼性の高い半導体装置を提供することにある。

本発明の課題を解決するために、以下の構成を備えた半導体装置を用いることができる。

以下に一具体例を説明する。

10 第一に、信頼性の高い薄膜キャパシタを提供することにより、信頼性の高いシステム・イン・パッケージを提供できる。それにより、信頼性の高い半導体装置を提供できる。

そのために、下記の構成を備えた薄膜キャパシタ、システム・イン・パッケージ、半導体装置により解決される。

15 (1) : 第一キャパシタ電極に接するように形成されたキャパシタ絶縁膜と、前記キャパシタ絶縁膜に接するように形成された第二キャパシタ電極とを備え、前記キャパシタ絶縁膜が酸化チタンを主構成材料とし、前記第一キャパシタ電極および前記第二キャパシタ電極に酸化ルテニウムまたは酸化イリジウムを主構成材料とする導電性酸化膜を用いる。

20 なお、前記キャパシタ絶縁膜および前記導電性酸化膜は0.9nm以上の膜厚を有すること、また、前記酸化チタンはルチル構造の結晶であることが望ましい。

(2) : 基板と、前記基板の一主面側に、LSI (Large Scale Integration Device) と、コンデンサと、抵抗が、絶縁層で仕切られた配線で接続された回路を備え、前記コンデンサが第一キャパシタ電極と、前記第一キャパシタ電極に接するように形成されたキャパシタ絶縁膜と、前記キャパシタ絶縁膜に接するように形成された第二キャパシタ電極とを備えたシステム・イン・パッケージにおいて、前記キャパシタ絶縁膜が酸化チタンを主構成材料とし、前記第一キャパシタ電極と前記第二キャパシタ電極が酸化ルテニウムまたは酸化イリジウムを主構成材料とする導電性酸化膜を用いる。

なお、前記キャパシタ絶縁膜および前記導電性酸化膜は0.9 nm以上の膜厚を有すること、また、前記酸化チタンはルチル構造の結晶であることが望ましい。

(3) : 半導体基板と、前記半導体基板の一主面側に形成された第一キャパシタ電極と、前記第一キャパシタ電極に接するように形成されたキャパシタ絶縁膜と、  
5 前記キャパシタ絶縁膜に接するように形成された第二キャパシタ電極とを備えた半導体装置において、前記キャパシタ絶縁膜が酸化チタンを主構成材料とし、前記第一キャパシタ電極と前記第二キャパシタ電極に酸化ルテニウムまたは酸化イリジウムを主構成材料とする導電性酸化膜を用いる。

10 なお、前記キャパシタ絶縁膜および前記導電性酸化膜は0.9 nm以上の膜厚を有すること、また、前記酸化チタンはルチル構造の結晶であることが望ましい。ここで、70 at. %以上含まれている材料のことを主構成材料とよぶことにする。

また、第二に、効果的にリーク電流を抑制できるゲート絶縁膜等のゲート電極構造を改良した半導体装置を提供することにより、信頼性の高い半導体装置を提  
15 供できる。

近年、半導体装置の微細化に伴い、半導体基板とゲート電極との間に介在するゲート絶縁膜を有する複数のMOS (Metal Oxide Semiconductor) トランジスタが形成された半導体装置において、ゲート絶縁膜の薄膜化が要求され、3.0 nm以下の酸化膜が使われるようになってきた。絶縁膜の厚さが3.0 nm以下まで薄くなるとダイレクトトンネル電流 (以下DT電流) が無視できないほど大きくなり、リーク電流が増大し消費電力が増すという問題がある。そこで、ゲート絶縁膜に酸化シリコンより誘電率の高い酸化チタン等を用いることにより、誘電特性を保ちつつ、ゲート絶縁膜の膜厚を厚くし、DT電流の増加を抑えることが考えられている。例えば、酸化チタンと酸化シリコンの比誘電率をそれぞれ60、4.0とした場合、膜厚30 nm  
25 の酸化チタン薄膜は、2 nmの酸化シリコンと同等の誘電特性をもつことになる。このようなとき、上記膜厚30 nmの酸化チタン薄膜は、酸化シリコン換算膜厚で2 nmと呼ばれる。これに対し、実際の膜厚30 nmは、物理膜厚または実膜厚と呼ばれる。

一方、酸化チタン膜をシリコン基板上に成膜した場合、酸化チタン膜中の酸素原子がシリコン基板側に拡散し、酸化チタン膜とシリコン基板との界面に酸化シリコンが形成されてしまうことがある。酸化シリコンの形成は、ゲート絶縁膜の換算膜厚を厚くさせることとなる。例えば、上記界面に酸化シリコンが1 nm以上形成されてしまった場合、ゲート絶縁膜の換算膜厚を1 nm以下とするのは不可能となる。

そこで、上記界面での酸化シリコンの形成を防止する方法として、酸化チタン膜とシリコン基板との間に窒化シリコン膜を設ける方法が考案されている（例えば、特開2000-58831号公報参照）。酸化チタン膜とシリコン基板との間に窒化シリコン膜を設けることにより上記界面での酸化シリコンの形成を抑制することはできる。しかし、窒化シリコンは比誘電率が約7.8しかなく、ゲート絶縁膜の膜厚を酸化シリコン換算膜厚1 nm以下にしようとすると、その実膜厚が薄くなってしまい、ダイレクトトンネルによるリーク電流が増加してしまい、リーク電流が許容値を超える可能性がある。

リーク電流が増加して許容値を超える可能性があることは、製品の歩留まりを低下させ、かつ製品の信頼性低下に繋がる。

そこで、信頼性の高い半導体装置を提供するために、ゲート絶縁膜が酸化チタン膜を含んで構成されたMOSトランジスタを複数備えた半導体装置において、酸化チタン膜とシリコン基板との界面における酸化シリコンの形成を抑制し、ゲート絶縁膜の酸化シリコン換算膜厚1 nm以下に対応した半導体装置を提供する。

または、ゲート絶縁膜を流れるリーク電流を低く抑えることが可能な半導体装置を提供する。

また、ひいては、歩留りの高い半導体装置を提供することにある。

発明者等は、種々の材料による試験や計算を行った結果、シリコン基板面にチタンシリケート膜を形成し、その上に酸化チタン膜を形成してゲート絶縁膜を構成すれば、酸化チタン膜から酸素原子がシリコン基板に拡散するのを回避でき、かつ、チタンシリケートの比誘電率が窒化シリコンよりも大きいので、効果的にリーク電流を低減できることを見出した。

(4) 上記課題を解決する本発明は、半導体基板とゲート電極との間に介在する

ゲート絶縁膜を有する複数のMOSトランジスタを備えた半導体装置において、前記ゲート絶縁膜として、半導体基板側に形成されたチタンシリケート膜と、ゲート電極側に形成された酸化チタン膜と、を含んでなる積層構造を有することを特徴とする。

- 5 この場合、誘電特性から求められる前記ゲート絶縁膜の酸化シリコン換算膜厚を1.0nm以下とする。

また、前記チタンシリケート膜の実膜厚は1.0nm以上3.2nm以下とするのが望ましい。

- 具体的には、前記ゲート絶縁膜の酸化シリコン換算膜厚を $T_{eff}$ 、前記チタンシリケート膜の実膜厚を $T_2$ としたとき、前記チタンシリケート膜の実膜厚 $T_2$ を、 $1.0\text{ (nm)} \leq T_2 \leq 5T_{eff} - 1.8\text{ (nm)}$  で表される範囲になるように形成するのが望ましい。

- (5) また、半導体基板とゲート電極の間にゲート絶縁膜を介在させた複数のMOSトランジスタを備えた半導体装置の製造に際し、前記ゲート絶縁膜を、前記半導体基板上にチタンシリケート膜を形成する手順と、該チタンシリケート膜の上に酸化チタン膜を形成する手順と、を含む工程で形成する。

- チタンシリケート膜を形成する方法としては、シリコン基板面にチタン膜を形成し、このチタン膜を熱処理によりシリサイド化してチタンシリサイド膜にし、このチタンシリサイド膜を酸化させてチタンシリケート膜とする方法、あるいは、シリコン基板面に酸化シリコン膜を形成し、この酸化シリコン膜の上にチタン膜を重ねて形成し、両者を熱処理により反応させてチタンシリケート膜とする方法のいずれでもよい。

- 本発明の半導体装置は、酸化チタンとシリコン基板との界面にチタンシリケート膜を有しているので、上記界面に比誘電率が低い酸化シリコン膜が形成されるのが抑制される。その結果、ゲート絶縁膜の酸化シリコン換算膜厚を薄くすることができる。

また、ゲート絶縁膜として高誘電率材料である酸化チタンと、比較的誘電率が大きいチタンシリケート膜を有しているので、ゲート絶縁膜の実膜厚を厚く、酸化シリコン換算膜厚を薄くすることができる。その結果、リーク電流が低減され

る。

さらに、リーク電流が流れにくい半導体装置が得られることによって、信頼性の高い半導体装置を提供することができ、かつ歩留まりの高い半導体装置を提供することができる。

- 5 本発明の他の目的、特徴及び利点は添付図面に関する以下の本発明の実施の態様の記載から明らかになるであろう。

#### 図面の簡単な説明

10 図1は、本発明における第一の実施例である半導体装置の主要部の断面図である。

図2は、本発明に係る、厚さ3nmのキャパシタ電極へ厚さ3nmのルチル構造の酸化チタン膜から拡散する酸素の、300℃での拡散係数を示した図である。

図3は、本発明に係る、厚さ3nmのキャパシタ電極へ厚さ3nmのルチル構造の酸化チタン膜から拡散する酸素の、600℃での拡散係数を示した図である。

15 図4は、本発明に係る、厚さ3nmのキャパシタ電極へ厚さ3nmのアナターゼ構造の酸化チタン膜から拡散する酸素の、300℃での拡散係数を示した図である。

20 図5は、本発明に係る、厚さ3nmのキャパシタ電極へ厚さ3nmのアナターゼ構造の酸化チタン膜から拡散する酸素の、600℃での拡散係数を示した図である。

図6は、本発明に係る、厚さ0.9nmのキャパシタ電極へ厚さ0.9nmのルチル構造の酸化チタン膜から拡散する酸素の、300℃での拡散係数を示した図である。

25 図7は、本発明に係る、厚さ0.9nmのキャパシタ電極へ厚さ0.9nmのアナターゼ構造の酸化チタン膜から拡散する酸素の、300℃での拡散係数を示した図である。

図8は、本発明に係る、厚さ0.8nmのキャパシタ電極へ厚さ0.9nmのルチル構造の酸化チタン膜から拡散する酸素の、300℃での拡散係数を示した図である。



図9は、本発明に係る、厚さ0.9nmのキャパシタ電極へ厚さ0.8nmのルチル構造の酸化チタン膜から拡散する酸素の、300℃での拡散係数を示した図である。

図10は、本発明における第二の実施例である半導体装置の主要部の断面図である。

図11は、本発明における第三の実施例である半導体装置の主要部の断面図である。

図12は、本発明における第四の実施例である薄膜キャパシタの主要部の断面図である。

10 図13は、本発明における第五の実施例である薄膜キャパシタの主要部の断面図である。

図14は、本発明における第六の実施例である薄膜キャパシタの主要部の断面図である。

15 図15は、本発明における第七の実施例である薄膜キャパシタの主要部の断面図である。

図16は、本発明における第八の実施例であるシステム・イン・パッケージの主要部の断面図である。

20 図17は、本発明に係る、厚さ3nmのキャパシタ電極へ厚さ30nmのルチル構造の酸化チタン膜から拡散する酸素の、300℃での拡散係数を示した図である。

図18は、本発明に係る、厚さ3nmのキャパシタ電極へ厚さ35nmのルチル構造の酸化チタン膜から拡散する酸素の、300℃での拡散係数を示した図である。

25 図19は、本発明の第9の実施例である半導体装置の主要部を示す断面図である。

図20は、図19に示す実施例の半導体装置の主要部を示す平面図である。

図21は、図19に示す実施例における、ゲート電極、酸化チタン、チタンシリケート、シリコン基板のエネルギー帯を示す概念図である。

図22は、図19に示す実施例で、ゲート電極に電圧Vが印加された場合の、

ゲート電極、酸化チタン、チタンシリケート、シリコン基板のエネルギー帯を示す概念図である。

図 2 3 は、本発明の第 9 の実施例で、チタンシリケートの比誘電率が 1.5、ゲート絶縁膜酸化シリコン換算膜厚 1.0 nm、ゲート絶縁膜印加電圧が 1.05 (V) の場合の、リーク電流密度のチタンシリケート膜厚、換算膜厚依存性を示すグラフである。

図 2 4 は、本発明の第 9 の実施例で、チタンシリケートの比誘電率が 2.0、ゲート絶縁膜酸化シリコン換算膜厚 1.0 nm、ゲート絶縁膜印加電圧が 1.0 (V) の場合の、リーク電流密度のチタンシリケート膜厚、換算膜厚依存性を示すグラフである。

図 2 5 は、本発明の第 9 の実施例で、チタンシリケートの比誘電率が 2.5、ゲート絶縁膜酸化シリコン換算膜厚 1.0 nm、ゲート絶縁膜印加電圧が 1.0 (V) の場合の、リーク電流密度のチタンシリケート膜厚、換算膜厚依存性を示すグラフである。

図 2 6 は、本発明の第 9 の実施例で、チタンシリケートの比誘電率が 3.0、ゲート絶縁膜酸化シリコン換算膜厚 1.0 nm、ゲート絶縁膜印加電圧が 0.5、0.7、及び 1.0 (V) の場合の、リーク電流密度のチタンシリケート膜厚、換算膜厚依存性を示すグラフである。

図 2 7 は、本発明の第 9 の実施例で、チタンシリケートの比誘電率が 1.5、ゲート絶縁膜酸化シリコン換算膜厚 1.0 nm、ゲート絶縁膜印加電圧が 0.5、0.7、及び 1.0 (V) の場合の、リーク電流密度のチタンシリケート膜厚、換算膜厚依存性を示すグラフである。

図 2 8 は、本発明の第 9 の実施例で、チタンシリケートの比誘電率が 1.5、ゲート絶縁酸化シリコン膜換算膜厚 0.7 nm、ゲート絶縁膜印加電圧が 0.5、0.7、及び 1.0 (V) の場合の、リーク電流密度のチタンシリケート膜厚、換算膜厚依存性を示すグラフである。

図 2 9 は、本発明の第 9 の実施例で、ゲート絶縁膜の酸化シリコン換算膜 0.7~1.0 nm のときのチタンシリケート実膜厚の望ましい範囲を示すグラフである。

図30は、図19に示す実施例において、ゲート電極を、窒化タングステン膜とタングステン膜の2層構造とした例を示す断面図である。

図31は、図19に示した半導体装置の主要部の製造方法を説明するための断面図である。

5 図32は、図19に示した半導体装置の主要部の製造方法を説明するための断面図であり、図31に続く図である。

図33は、図19に示した半導体装置の主要部の製造方法を説明するための断面図であり、図32に続く図である。

10 図34は、図19に示した半導体装置の主要部の製造方法の他の例を説明するための断面図である。

発明を実施するための最良の形態

以下、本発明の実施の形態を詳細に説明する。まず、本発明における第一の実施例であるDRAM (Dynamic Random Access Memory) メモリセル主要部の断面構造を図1に示す。本実施例の半導体装置は、図1に示すように、半導体であるシリコン基板1に形成されたMOS (Metal Oxide Semiconductor) 型のトランジスタ2と、その上部に配置されたメモリキャパシタ3とを備えている。絶縁膜12は、素子間分離のための膜である。なお、本図及びその他の図の構造は本実施例の理解を助けるために模式的に示したものであり、回路はその一例である。

20 25  
メモリセルのMOSトランジスタ2は、ゲート電極5、ゲート絶縁膜6および拡散層7で構成されている。ゲート絶縁膜6は、例えばシリコン酸化膜、窒化珪素膜あるいは高誘電率膜あるいはこれらの積層構造からなる。また、ゲート電極5は、例えば多結晶シリコン膜や金属薄膜、導電性酸化膜、あるいは金属シリサイド膜あるいはこれらの積層構造からなる。前記ゲート電極5の上部および側壁には例えばシリコン酸化膜からなる絶縁膜9が形成されている。メモリセル選択用MOSトランジスタの一方の拡散層7には、プラグ10を介してビット線11が接続されている。MOSトランジスタの上部全面には、例えばBPSG [Boron-doped Phospho Silicate Glass]

膜やSOG (Spin On Glass) 膜、あるいは化学気相蒸着法やスパッタ法で形成したシリコン酸化膜や窒化膜等からなる絶縁膜12が形成されている。

MOSトランジスタを覆う絶縁膜12の上部にはメモリキャパシタ3が形成されている。メモリキャパシタ3は、メモリセル選択用MOSトランジスタの他方の拡散層8に、例えば多結晶シリコンやタングステン等からなるプラグ13を介して接続されている。メモリキャパシタ3は、下層から順に、導電性のバリア膜14、キャパシタ下部電極15、酸化チタンを主構成材料とするキャパシタ絶縁膜16、キャパシタ上部電極17を積層した構造で構成されている。このメモリキャパシタ3は絶縁膜18で覆われている。導電性のバリア膜14は、例えばチタン、窒化チタン、タンタル、窒化タンタル等からなる。なお、導電性のバリア膜14は、キャパシタ下部電極15とプラグ13の密着性が良く、なおかつ相互拡散を起こしにくい場合等には、無くてもよい。

発明者らは、キャパシタ下部電極15とキャパシタ上部電極17の材料として、従来からキャパシタ電極材料として検討されてきた多結晶シリコン、タングステン、タングステンシリサイド、モリブデン、モリブデンシリサイド、ルテニウム、イリジウム、白金などを用いると、酸化チタンを主構成材料とするキャパシタ絶縁膜16からキャパシタ電極へ酸素が拡散し、キャパシタ絶縁膜16の中に酸素欠損できることを見出した。そして、この酸素欠損によって誘電率が安定しないことを見出した。さらに、発明者らは、酸化チタンを主構成材料としたキャパシタ絶縁膜からキャパシタ電極への酸素の拡散を抑制する手段を得るために鋭意研究を行った結果、酸化チタンに接触するキャパシタ電極材料として酸化ルテニウムまたは酸化イリジウムを用いることが有効であることを見出した。そこで、本実施例では、酸化チタンを主構成材料とするキャパシタ絶縁膜16から電極へ酸素が拡散しにくいように、キャパシタ下部電極15とキャパシタ上部電極17には酸化ルテニウムまたは酸化イリジウムを主構成材料とする導電性酸化膜を用いる。この導電性酸化膜は、例えば化学気相蒸着法、スパッタ法等を用いて形成される。

酸化チタンから電極への酸素の拡散について、従来からキャパシタ電極材料と

して検討されてきた多結晶シリコン、タングステン、タングステンシリサイド、モリブデン、モリブデンシリサイド、ルテニウム、イリジウム、白金と、本実施例で使用した酸化ルテニウム、酸化イリジウムを比較することによって、本実施例の効果を以下に説明する。

- 5 本実施例の効果を詳しく説明するために、分子動力学シミュレーションによる解析例を示す。分子動力学シミュレーションとは、例えばジャーナルオブアプライドフィジックス (Journal of Applied Physics) の第54巻 (1983年発行) の4864ページから4878ページまでに記述されているように、原子間ポテンシャルを通して各原子に働く力を計算し、この
- 10 力を基にニュートンの運動方程式を解くことによって各時刻における各原子の位置を算出する方法である。なお、本実施例では、上記の分子動力学法に電荷移動を取り入れて異種元素間の相互作用を計算することにより、以下の関係を求めることができた。

- 本実施例の主な効果は、キャパシタ絶縁膜からキャパシタ電極への酸素の拡散
- 15 が抑制されることである。他の元素の拡散も抑制されるが、ここでは、キャパシタ電極へ拡散する酸素の拡散係数を計算し、計算結果これを比較することによって本実施例の効果を説明する。分子動力学シミュレーションにより拡散係数を計算する方法は、例えばフィジカルレビューB (Physical Review B) の第29巻 (1984年発行) の5363ページから5371ページまでに
- 20 記述されている。

- はじめに、3 nmの膜厚を有するキャパシタ電極と3 nmの膜厚を有するキャパシタ絶縁膜が積層された構造を用いた場合の計算例を用いて、本実施例の効果を示す。キャパシタ絶縁膜としてはルチル構造またはアナターゼ構造の酸化チタン膜を用い、キャパシタ電極材料としては、従来からキャパシタ電極として検討
- 25 されてきた多結晶シリコン、タングステン、タングステンシリサイド、モリブデン、モリブデンシリサイド、ルテニウム、イリジウム、白金と、本実施例で使用した酸化ルテニウム、酸化イリジウムを用いた。

300℃において、ルチル構造の酸化チタン膜から電極へ酸素が拡散する際の、拡散係数を計算した結果を図2に示す。また、600℃における拡散係数を図3

に示す。

300℃での拡散係数が $10 \sim 20 \text{ m}^2/\text{s}$ 以上の場合には、キャパシタ絶縁膜に酸素欠損が多く形成されてしまうので、図1のような半導体装置の信頼性を確保するためには300℃での拡散係数が $10 \sim 20 \text{ m}^2/\text{s}$ より小さいことが  
5 好ましい。

これらの図より、300℃の場合も600℃の場合も、酸化ルテニウムまたは酸化イリジウムを電極として用いた場合には、他に比べて小さな拡散係数を示すことがわかる。すなわち、酸化ルテニウムまたは酸化イリジウムを電極として用いた場合には、電極へ酸素が拡散しにくく、信頼性が高いといえる。図3、図4  
10 はルチル構造の酸化チタンを用いた計算結果であったが、アナターゼ構造を持つ酸化チタンを用いた場合の拡散係数の計算結果は、図4、図5の通りである。図4、図5はそれぞれ300℃、600℃の計算結果である。これらの場合にも、図2、図3と同様に、酸化ルテニウムまたは酸化イリジウムを電極として用いた場合に他と比べて小さな拡散係数を示す。図4、図5の計算結果と図2、図3の  
15 計算結果を比較すると、ルチル構造を用いた場合の拡散係数のほうがアナターゼ構造の場合よりも小さいことがわかる。したがって、ルチル構造の酸化チタンをキャパシタ絶縁膜として用い、酸化ルテニウムまたは酸化イリジウムをキャパシタ電極として用いることがより好ましい。ルチル構造の酸化チタンは、例えば I  
B M J o u r n a l o f R e s e a r c h a n d  
20 D e v e l o p m e n t の第43巻第3号（1999年5月発行）の383ページから391ページまでに記載されているように、高温で成膜するかあるいは低温で成膜した後で熱処理を施すといった方法により形成する。

図2、図3、図4、図5は、キャパシタ電極膜およびキャパシタ絶縁膜の膜厚を3nmとした場合の計算結果であったが、拡散係数の膜厚への依存性を調べる  
25 ために、これらの膜厚を変えて調べた結果を以下に示す。キャパシタ電極膜とキャパシタ絶縁膜の膜厚をともに0.9nmとした場合の、ルチル構造とアナターゼ構造に対する300℃での計算結果をそれぞれ図6と図7に示す。

図6と図7より、膜厚が0.9nmにまで薄くなっても、膜厚が3nmの場合と同様に、酸化ルテニウムと酸化イリジウムに対する拡散係数が他に比べて顕著

に小さいことがわかる。図には示さないが、600℃の場合にも、酸化ルテニウムと酸化イリジウムに対する拡散係数が他に比べて顕著に小さいという結果が得られた。

これに対して、キャパシタ絶縁膜の膜厚を0.9 nmとしたまま、キャパシタ電極膜の膜厚を0.8 nmとした場合の、300℃でのルチル構造の計算結果を図8に示す。この場合には、図6や図7と比較して、酸化ルテニウムと酸化イリジウムの拡散係数が $10 \sim 20 \text{ m}^2 / \text{s}$ を超え著しく大きくなっており、本実施例の効果が弱くなっていることがわかる。したがって、酸化ルテニウムまたは酸化イリジウムの膜厚は、0.9 nm以上であることがより好ましい。次に、キャパシタ電極膜の膜厚を0.9 nmとしたまま、キャパシタ絶縁膜の膜厚を0.8 nmとした場合の、300℃でのルチル構造の計算結果を図9に示す。

この場合にも、図6や図7と比較して、酸化ルテニウムと酸化イリジウムの拡散係数が著しく大きくなっており、本実施例の効果が弱くなっていることがわかる。したがって、酸化チタンの膜厚も0.9 nm以上であることがより好ましい。

電極の厚さまたはキャパシタ絶縁膜の膜厚が0.8 nm以下としたときに拡散係数が急激に大きくなるという上記の減少は、次の理由によるものと考えられる。原子の直径は、およそ0.1~0.3 nmであり、0.8 nmは原子が4から8列に並ぶ状態である。この状態では、もはや隣接膜同士の原子が入り組み膜としての機能を失いつつあるのではないかと推測される。

図8と図9はルチル構造に対する結果であったが、アナターゼ構造についても同様に、膜厚が0.9 nm以上であることがより好ましいという結果が得られた。0.8 nm以下の膜厚で効果が弱くなるのは、酸化ルテニウム、酸化イリジウム、酸化チタンの結晶構造がやや不安定になるためである。なお、図2から図7までには示していないが、電極材料として金や銀のような融点の低い材料を用いた場合には、シリコンを電極として用いた場合よりも酸素の拡散係数が大きくなってしまふ。したがって、金や銀を酸化チタンに接触する電極材料として用いることも好ましくないといえる。

次に、本発明における第二の実施例であるDRAM (D y n a m i c R a n d o m A c c e s s M e m o r y) メモリセル主要部の断面構造を図

10に示す。第一の実施例との主な違いは、キャパシタ構造が平行平板ではなく、  
矩形的な構造となっている点である。図10において、図1と同一の番号は同一  
の構成を示す。この構造はキャパシタの実効面積が大きく、よりキャパシタ容量  
5  
5 リジウムを主構成材料とするキャパシタ電極を用いることによって、酸素拡散抑  
制効果は第一の実施例と同様に得られる。また、キャパシタの構造はこれら以外  
の構造であってもよい。

次に、本発明における第三の実施例であるDRAM (D y n a m i c  
R a n d o m A c c e s s M e m o r y) メモリセル主要部の断面構造を図  
10 11に示す。第二の実施例との主な違いは、キャパシタ電極が二層構造となっ  
ている点である。すなわち、キャパシタ下部電極が導電性膜15と導電性膜19で  
構成されており、キャパシタ上部電極が導電性膜17と導電性膜20で構成され  
ている。図11において、図10と同一の番号は同一の構成を示す。図11の場  
合、キャパシタ絶縁膜と直接接触する15と17は、キャパシタ絶縁膜からの酸  
15 素の拡散を抑制するために、酸化ルテニウムまたは酸化イリジウムを主構成材料  
とする膜からなる。キャパシタ絶縁膜と直接接触しない19と20の電極膜は、  
酸化ルテニウムや酸化イリジウムよりも電気抵抗の低い材料、例えば、ルテニウ  
ム、イリジウム、白金、オスミウム、ロジウム、パラジウム、タングステン、モ  
リブデン、金、銀やこれらの合金およびシリサイド化合物等とするのが好ましい。  
20 以下の実施例の電極についてもこれと同様のことがいえる。なお、電極構造はこ  
こで示した構造に限るものではなく、別の層がさらに含まれていても良い。また、  
上部電極のみが複数の層で形成され、下部電極は単層からなる構造でもよい。こ  
の逆で、下部電極のみが複数の層で形成され、上部電極は単層からなる構造でも  
よい。以下の実施例の電極についてもこれらと同様のことがいえる。

25 ここまでの実施例は、DRAM (D y n a m i c R a n d o m  
A c c e s s M e m o r y) であるが、酸化チタンを主構成材料とするキャパ  
シタ絶縁膜を含んだ薄膜キャパシタを有する製品には、酸化ルテニウムまたは酸  
化イリジウムを主構成材料とした電極を用いることができる。

次に、本発明における第四の実施例である薄膜キャパシタについて図12を用



いて説明する。本実施例では、例えば半導体材料、樹脂、ガラス等からなる基板 101 に薄膜キャパシタ 102 が形成されている。この薄膜キャパシタ 102 は、下層から順に、導電性のバリア膜 103、キャパシタ下部電極 104、酸化チタンを主構成材料とするキャパシタ絶縁膜 105、キャパシタ上部電極 106 からなる。導電性のバリア膜 103 は、チタン、窒化チタン、タンタル、窒化タンタル等からなる。キャパシタ下部電極 104、キャパシタ上部電極 106 の主構成材料には、キャパシタ絶縁膜 105 から酸素が拡散しにくい材料である酸化ルテニウムまたは酸化イリジウムを用いる。薄膜キャパシタ 102 は、第一層配線 107 に、例えば銅やタングステン等からなるプラグ 108 を介して接続されている。

第一層配線 107 には、第二層配線 109 がプラグ 110 を介して接続されている。また図には示していないが、第二層配線 109 およびキャパシタ上部電極 106 は、別の配線に接続される。第一層配線 107、第二層配線 109、プラグ 108、プラグ 110 には、バリア膜 111、112、113、114、115、116、117、118 が隣接している。第一層配線 107、第二層配線 109、プラグ 108 が、絶縁膜 119 との密着性に優れ、なおかつ絶縁膜 119 との相互拡散を起こしにくい場合には、これらのバリア膜は無くても良い。120 と 121 は絶縁膜である。薄膜キャパシタ 102 は、例えば、第二層配線に特定範囲の周波数の交流電流のみを流すフィルターとして使用される。

続いて、本発明における第五の実施例である薄膜キャパシタについて図 13 を用いて説明する。本実施例の第四の実施例との主な違いは、酸化チタンを主構成材料とするキャパシタ絶縁膜が第一層配線と第二層配線の間で絶縁膜として使用されている点であり、構造的には単純である。なお、図 13 において、図 12 と同一の番号は同一の構成を示す。本実施例によれば、成膜工程を減らすことができる。

また、薄膜キャパシタのレイアウトはこれらに限定されたものではない。例えば図 14 に示すようなレイアウトでも良い。この第六の実施例と第四の実施例の主な違いは、薄膜キャパシタ 102 が第二層配線 109 と第三層配線 125 の間の層に位置している点である。図 14 において、図 12 と同一の番号は同一の構

成を示す。

このほか、より単純な実施例としては、図15のようなレイアウトがある。この第七の実施例は、例えばシリコンなどからなる基板101の一主面に薄膜キャパシタ102が形成されている構造を持つ。薄膜キャパシタ102は、下層から順に、導電性のバリア膜103、キャパシタ下部電極104、酸化チタンを主構成材料とするキャパシタ絶縁膜105、キャパシタ上部電極106からなる。導電性のバリア膜103は、例えば窒化チタンやチタンなどからなる。さらに図には示さないが、バリア膜103と基板101の間には、別の膜が単数または複数あってもよい。

- 10 続いて、本発明における第八の実施例であるシステム・イン・パッケージの主要断面図を図14に示す。システム・イン・パッケージとは、例えば日経マイクロデバイスの2001年3月号114ページから123ページに記載されているような、基板にLSI (Large Scale Integrated Circuit) と受動部品を一体化したものである。本実施例では、例えば樹
- 15 脂、有機材料、ガラス、シリコンなどからなる基板210上にLSI 218と薄膜キャパシタ202と抵抗226が形成されている。薄膜キャパシタ202は、下層から順に、キャパシタ下部電極203、酸化チタンを主構成材料とするキャパシタ絶縁膜204、キャパシタ上部電極205からなる。キャパシタ下部電極203、キャパシタ上部電極205の主構成材料には、キャパシタ絶縁膜204
- 20 から酸素が拡散しにくい材料である酸化ルテニウムまたは酸化イリジウムを用いる。この薄膜キャパシタ202のキャパシタ下部電極203は、バリア膜207、208に挟まれた配線206に接続されている。ここで、配線206の主構成材料が銅である場合には、バリア膜208の主構成材料としてルテニウムまたはイリジウムを用いることが配線の剥離を防止する上で好ましい。これは、銅とルテ
- 25 ニウムおよび銅とイリジウムの密着性が優れているためである。また、ルテニウム、イリジウムはキャパシタ下部電極203の主構成材料である酸化ルテニウムまたは酸化イリジウムとの密着性も良いので剥離しにくい構造となる。これは、キャパシタ上部電極205についても同様のことがいえる。すなわち、キャパシタ上部電極205は、バリア膜210、211に挟まれた配線209に接続され

ているので、バリア膜 210 の主構成材料としてルテニウムまたはイリジウムを用いることが配線の剥離を防止する上で好ましい。図 16 において、212、215、219、222、227、230、236 は例えば銅を主構成材料とする配線を示し、213、214、216、217、220、221、223、224、228、229、231、232、234、235、237、238 は例えばルテニウムを主構成材料とするバリア膜を示す。また、225、239 は例えば樹脂などからなる絶縁膜を示す。薄膜キャパシタ 202 は、例えば配線 222 に流れる電流のうち、特定範囲の周波数の交流電流のみを抵抗 226、配線 227 へ流すフィルターとして使用される。この薄膜キャパシタ 202 の代わりに、  
10 実施例七のように基板に形成された薄膜キャパシタを用いてもよい。

なお、図示しないが、このシステム・イン・パッケージ内には、ROM、RAM 等のメモリチップが配設される場合がある。キャパシタの小型化が可能であるので、複雑な配線を設計する際に、キャパシタの配置の自由度が向上するといった効果がある。

15 なお、図 2 から図 9 までに示した効果の、膜厚依存性をさらに詳しく見るため、キャパシタ絶縁膜を 30 nm にした場合の酸素の拡散係数を図 17 に示す。また、キャパシタ絶縁膜を 35 nm にした場合の酸素の拡散係数を図 18 に示す。図 17 をみると、キャパシタ絶縁膜を 30 nm にした場合には、酸化ルテニウム、酸化イリジウム以外の電極材料を用いると 300°C での拡散係数が 10 ~ 20  
20  $\text{m}^2/\text{s}$  以上となってしまふ。一方、図 18 をみると、キャパシタ絶縁膜を 35 nm にした場合には、酸化ルテニウム、酸化イリジウム以外の電極材料を用いても 300°C での拡散係数が 10 ~ 20  $\text{m}^2/\text{s}$  より小さくなる。300°C での拡散係数が 10 ~ 20  $\text{m}^2/\text{s}$  以上の場合には、キャパシタ絶縁膜に酸素欠損が多く形成されてしまうので、図 1 のような半導体装置の信頼性を確保するためには  
25 300°C での拡散係数が 10 ~ 20  $\text{m}^2/\text{s}$  より小さいことが好ましい。図 17、図 18 より、キャパシタ絶縁膜が 35 nm よりも小さい場合に、酸化ルテニウム、酸化イリジウムを電極材料として用いる重要性がより高い。なお、キャパシタ絶縁膜を 3 nm にしたまま、電極の膜厚を 30 nm や 35 nm と厚くしても、図 2 とほぼ同じ結果が得られた。したがって、電極の膜厚を厚くしても、酸化ルテニ

ウム、酸化イリジウム以外の電極材料を使用した場合には、300℃での拡散係数は $10 \sim 20 \text{ m}^2 / \text{s}$ 以上になってしまう。

前記第1から第8の実施例によれば、信頼性の高い薄膜キャパシタを提供できる。また、信頼性の高いシステム・イン・パッケージを提供できる。

5 以下、本発明の他の実施例を以下に詳細に説明する。

本発明の第9の実施の形態である半導体装置の平面レイアウトを図10に示す。図19は、図20に示した半導体装置を、A-A'線で切断した断面構造を示す断面図である。本実施の形態の半導体装置では、図19に示すように、P型のシリコン基板301の表面に、例えば酸化シリコン膜からなる素子分離膜302が  
10 間隔をおいて設けられ、素子分離膜302の間に素子形成領域303が形成されている。素子形成領域303には、PチャネルMOSトランジスタが設けられている。

MOSトランジスタは、シリコン基板301の表面に形成されたゲート絶縁膜1001と、このゲート絶縁膜1001を挟んでシリコン基板301に対向する  
15 ゲート電極306aを含んで構成されている。ゲート電極306a及びゲート絶縁膜1001の前記素子分離膜側両側面には、例えば窒化シリコンからなるサイドウォール307aが形成されている。ゲート絶縁膜1001は少なくとも、シリコン基板側のチタンシリケート膜304a、ゲート電極膜側の酸化チタン膜305aからなる二層の積層構造を含んで構成されている。ゲート電極306aは、  
20 例えば多結晶シリコン膜や金属薄膜、あるいは金属シリサイド膜あるいはこれらの積層構造である。

図示のMOSトランジスタは、ゲート電極306aに自己整合的に形成されたP-型ソース・ドレイン拡散層308aと、素子分離膜302並びにゲート電極306aに自己整合的に形成されたP+型ソース・ドレイン拡散層309を有し  
25 ている。

この半導体装置の表面には、層間絶縁膜310が形成され、この層間絶縁膜310には、P+型ソース・ドレイン拡散層309に達するコンタクトホール311が設けられている。

トランジスタの微細化の要求に対応させるため、チタンシリケート膜304a

の実膜厚は、ゲート絶縁膜1001の酸化シリコン換算膜厚が1nm以下となる厚さで、かつリーク電流の増加を防止する膜厚としてある。この膜厚は、例えば、上記ゲート絶縁膜1001の酸化シリコン換算膜厚を1nmとした場合は、ゲート絶縁膜印加電圧が1Vのとき、チタンシリケート膜304aの実膜厚を1.05nm以上3.2nm以下とする。これにより、リーク電流を低く抑えたゲート絶縁膜を得ることが出来る。

次に、リーク電流の増加を抑えるのに有効なチタンシリケート膜の膜厚の導出方法について説明する。

図21は、図19に示したMOSトランジスタのゲート電極、ゲート絶縁膜、シリコン基板のエネルギー帯図を示している。ここで、例えば、ゲート電極はリンをドーパした多結晶シリコンからなる。またゲート絶縁膜は、厚さ $T_1$ の酸化チタン膜、厚さ $T_2$ のチタンシリケート膜の二層構造からなり、チタンシリケート膜はシリコン基板側に形成されている。また、シリコン基板はP型基板である。図中の $E_v$ 、 $E_c$ 、そして $E_f$ は、それぞれシリコンの価電子帯、伝導帯、そしてフェルミエネルギーを示している。また $\Phi_{B1}$ 、 $\Phi_{B2}$ は、酸化チタン、チタンシリケートのエネルギー障壁を示す。

ここで、酸化シリコン、酸化チタン、チタンシリケートの比誘電率を、それぞれ $\epsilon_{SiO_2}$ 、 $\epsilon_1$ 、 $\epsilon_2$ とした場合、上記酸化チタン膜とチタンシリケート膜、それら二層構造からなるゲート絶縁膜の酸化シリコン換算膜厚 $T_{1eff}$ 、 $T_{2eff}$ 、 $T_{eff}$ は、それぞれ、下記数1、数2、数3で示される。

$$T_{1eff} = \frac{\epsilon_{SiO_2}}{\epsilon_1} T_1 \quad \dots \text{(数1)}$$

$$T_{2eff} = \frac{\epsilon_{SiO_2}}{\epsilon_2} T_2 \quad \dots \text{(数2)}$$

$$T_{eff} = T_{1eff} + T_{2eff} = \epsilon_{SiO_2} \left( \frac{T_1}{\epsilon_1} + \frac{T_2}{\epsilon_2} \right) \quad \dots \text{(数3)}$$

例えば、酸化シリコン、酸化チタン、チタンシリケートの比誘電率を、 $\epsilon_{SiO_2}=4$ 、 $\epsilon_1=60$ 、 $\epsilon_2=15$ とした場合、膜厚 $T_1=15\text{ nm}$ 、 $T_2=3\text{ nm}$ 、 $T=18\text{ nm}$ では、換算膜厚は、 $T_{1\text{eff}}=1\text{ nm}$ 、 $T_{2\text{eff}}=0.4\text{ nm}$ 、 $T_{\text{eff}}=1.4\text{ nm}$ となる。

- 5 図22は、ゲート電極に正の電圧 $V$ が印加された場合のエネルギー帯を示している。この場合、酸化チタン膜、チタンシリケート膜には、それぞれ次式に示す電圧 $V_1$ 、 $V_2$ 、電界 $E_{ox1}$ 、 $E_{ox2}$ が印加される。

$$10 \quad V_1 = \frac{\epsilon_2 T_1}{\epsilon_2 T_1 + \epsilon_1 T_2} V \quad \dots \text{(数4)}$$

$$V_2 = \frac{\epsilon_1 T_2}{\epsilon_2 T_1 + \epsilon_1 T_2} V \quad \dots \text{(数5)}$$

$$15 \quad E_{ox1} = \frac{V_1}{T_1} \quad \dots \text{(数6)}$$

$$E_{ox2} = \frac{V_2}{T_2} \quad \dots \text{(数7)}$$

- 20 上記に示した酸化チタン膜、チタンシリケート膜からなるゲート絶縁膜を流れるトンネル電流 $J$ は、WKB (Wentzel-Kramers-Brillouin) 近似を用いて絶縁膜を電子がトンネリングする確率から、下記数8により求めることができる。

$$25 \quad J(\Phi_B, T_{ox}, E_{ox}) \\ = \frac{n_v m_d k_B T}{2 \pi^2 \hbar} \int T^* T_{\text{WKB}}(\Phi_{B1}, \Phi_{B2}, T_1, T_2, E_{ox1}, E_{ox2}, E) \ln \left( 1 + \exp \left( \frac{E_F - E}{k_B T} \right) \right) dE \\ \dots \text{(数8)}$$

$$T^* T_{\text{WKB}}(\Phi_{B1}, \Phi_{B2}, T_1, T_2, E_{ox1}, E_{ox2}, E) \\ = \exp\{A_1(E_{n1} - E_{n2}) + A_2(E_{n3} - E_{n4})\}$$

$$A_1 = \frac{4\sqrt{2} m_{ins}}{3\hbar q E_{ox1}}$$

5

$$A_2 = \frac{4\sqrt{2} m_{ins}}{3\hbar q E_{ox2}}$$

$$10 \quad E_{n1} = \begin{cases} \{\Phi_{B1} - (E - E_F)\}^{3/2} & E < \Phi_{B1} + E_F \\ 0 & E \geq \Phi_{B1} + E_F \end{cases}$$

$$E_{n2} = \begin{cases} \{\Phi_{B1} - (E - E_F) - V_1\}^{3/2} & E < \Phi_{B1} + E_F - V_1 \\ 0 & E \geq \Phi_{B1} + E_F - V_1 \end{cases}$$

15

$$E_{n3} = \begin{cases} \{\Phi_{B2} - (E - E_F) - V_1\}^{3/2} & E < \Phi_{B2} + E_F - V_1 \\ 0 & E \geq \Phi_{B2} + E_F - V_1 \end{cases}$$

20

$$E_{n4} = \begin{cases} \{\Phi_{B2} - (E - E_F) - (V_1 + V_2)\}^{3/2} & E < \Phi_{B2} + E_F - (V_1 + V_2) \\ 0 & E \geq \Phi_{B2} + E_F - (V_1 + V_2) \end{cases}$$

但し、 $n_v$  : ゲート電極電子状態縮態度

$m_d$  : ゲート電極電子有効質量

$k_B$  : ボルツマン定数

25

$T$  : 温度

$\pi$  : 円周率

$h$  : プランク定数 (式中には  $h$  に横棒が追加されている)

$m_{ins}$  : 絶縁膜電子有効質量

$E$  : 電子のエネルギー

$E_F$  : ゲート電極のフェルミエネルギー

図 2 3 に、チタンシリケートの比誘電率  $\epsilon_2$  を 1.5 とし、印加電圧 1 V、温度 300 K で、ゲート絶縁膜の換算膜厚  $T_{eff}$  が 1.0 nm の場合の、リーク電流密度のチタンシリケート膜厚  $T_2$ 、換算膜厚  $T_{2eff}$  依存性を示す。図は、チタンシリケートのエネルギー障壁  $\Phi_{B2}$  が、1.5、2.0、2.5、3.0 eV の場合の計算結果である。ゲート絶縁膜が酸化チタンのみからなる  $T_2 = 0$  nm では、リーク電流密度は約  $1.3 \times 10^{-8} \text{ A/cm}^2$  であり、チタンシリケートの膜厚が増すにつれて、リーク電流密度は減少する。これは、高さが低い酸化チタンのエネルギー障壁を超えられた電子の一部が、シリケートの作るエネルギー障壁は超えられないためである。

リーク電流密度は、チタンシリケートの換算膜厚が約 0.7 nm、実膜厚が約 2.5 nm で極小値をとり、チタンシリケートの膜厚の増加とともにリーク電流も増加する。これは、チタンシリケートの作るエネルギー障壁を電子がダイレクトトンネルにより透過し、トンネル電流が流れるためである。

図 2 3 からわかるように、リーク電流密度はチタンシリケートのエネルギー障壁の値によって変わる。しかし、ゲート絶縁膜への印加電圧 1 V で  $T_2$  が 3.2 nm 以下であれば、チタンシリケートのエネルギー障壁の値がばらついても、ゲート絶縁膜が酸化チタンのみからなる場合のリーク電流密度より低くリーク電流を抑えられることがわかる。

次に、図 2 4 に、チタンシリケートの比誘電率  $\epsilon_2$  を 2.0 とし、ゲート絶縁膜への印加電圧 1 V で、ゲート絶縁膜の換算膜厚  $T_{eff}$  が 1.0 nm の場合の、リーク電流密度のチタンシリケート膜厚  $T_2$ 、換算膜厚  $T_{2eff}$  依存性を示す。図 2 3 と同様に、 $T_2 = 0$  nm からチタンシリケート膜の膜厚が増すに従い、リーク電流密度は減少し、チタンシリケート膜の換算膜厚が約 0.8 nm、実膜厚が約 4.0 nm でリーク電流密度は極小値をとる。また、 $T_2$  が 4.8 nm 以下であれば、チタンシリケートのエネルギー障壁の値がばらついても、リーク電流を、ゲート絶縁膜が酸化チタンのみからなる場合のリーク電流密度より低く抑えられることがわかる。

同様な計算から、図 2 5、2 6 にチタンシリケートの比誘電率  $\epsilon_2$  を 2.5、3



0とした場合のリーク電流密度のチタンシリケート膜厚 $T_2$ 、換算膜厚 $T_{2\text{eff}}$ 依存性を示す。図から、換算膜厚1nmという条件を満たす膜厚であれば、チタンシリケート膜を設けることにより、チタンシリケートのエネルギー障壁の値がばらついても、ゲート絶縁膜が酸化チタンのみからなる場合のリーク電流密度より低くリーク電流を抑えられることがわかる。

また、チタンシリケート膜が良好な誘電特性を示すためには、少なくとも1格子の膜厚は必要であると考えられるため、実膜厚 $T_2$ は1nm以上とする。

以上から、チタンシリケートの比誘電率 $\epsilon_2$ が15以上30以下、エネルギー障壁 $\Phi_{B2}$ が1.5eV以上、3.0eV以下の範囲でばらついても、チタンシリケートの実膜厚 $T_2$ を1.0nm以上、3.2nm以下で形成することによりゲート絶縁膜を流れるリーク電流の値を低く抑えることができる。

以上、ゲート絶縁膜の酸化シリコン換算膜厚が1nm、ゲート絶縁膜印加電圧が1V、温度300Kの場合について述べたが、上記以外の酸化シリコン換算膜厚、電圧、温度の場合であっても同様の方法により、リーク電流を抑えるのに適正なチタンシリケートの膜厚を決めることができる。

次に、ゲート印加電圧が0.5~1V、換算膜厚が0.7~1nmの場合に、リーク電流を抑えるのに適正なチタンシリケートの膜厚について、図27、図28、図29を用いて説明する。

図27は、チタンシリケートの比誘電率 $\epsilon_2$ を15とし、温度300Kで、ゲート絶縁膜の換算膜厚 $T_{\text{eff}}$ を1.0nmとした場合の、リーク電流密度のチタンシリケート膜厚 $T_2$ と換算膜厚 $T_{2\text{eff}}$ への依存性を示している。印加電圧は、0.5V、0.7V、1V、チタンシリケートのエネルギー障壁 $\Phi_{B2}$ は1.5eVの場合について計算したものである。

図27に示すように、ゲート絶縁膜が酸化チタンのみからなる $T_2=0$ の場合から、チタンシリケート膜の膜厚を増すにつれて、リーク電流密度は減少する。これは、高さが低い酸化チタンのエネルギー障壁を越えられた電子の一部が、チタンシリケートの作るエネルギー障壁を越えることができないためである。

また、リーク電流密度は、チタンシリケートの換算膜厚が0.7nm、実膜厚が約2.5nmで極小値をとり、チタンシリケートの膜厚の増加とともにリーク

電流も増加することがわかる。これは、チタンシリケートの作るエネルギー障壁を電子がダイレクトトンネルにより透過し、トンネル電流が流れるためである。

図27からわかるように、リーク電流密度は印加電圧の値によって変わる。しかし、印加電圧が0.5~1Vの範囲のときは、 $T_2$ が3.2nm以下とすれば、  
5 ゲート絶縁膜が酸化チタンのみからなる場合のリーク電流密度より低い値にリーク電流を抑えられることが分かる。

また、図27では、チタンシリケートのエネルギー障壁 $\Phi_{B2}$ が1.5eV、比誘電率 $\epsilon_2$ が15の場合について示したが、先に図23~図26を参照して述べたように、エネルギー障壁 $\Phi_{B2}$ が1.5~3.0eV、比誘電率 $\epsilon_2$ が15~3  
10 0の場合についても、 $T_2$ が3.2nm以下であれば、ゲート絶縁膜が酸化チタンのみからなる場合のリーク電流密度より低い値にリーク電流を抑えられることが示せる。

図28に、チタンシリケートの比誘電率 $\epsilon_2$ を15とし、温度300Kで、ゲート絶縁膜の換算膜厚 $T_{eff}$ を0.7nmとした場合の、リーク電流密度のチ  
15 タンシリケート膜厚 $T_2$ と換算膜厚 $T_{2eff}$ への依存性を示している。印加電圧は、0.5V、0.7V、1V、チタンシリケートのエネルギー障壁 $\Phi_{B2}$ は1.5eVの場合について計算したものである。

図28からわかるように、リーク電流密度は印加電圧の値によって変わる。しかし、印加電圧が0.5~1Vの範囲で、かつゲート絶縁膜の換算膜厚 $T_{eff}$   
20 が0.7nmのときは、チタンシリケート膜厚 $T_2$ を1.7nm以下とすれば、ゲート絶縁膜が酸化チタンのみからなる場合のリーク電流密度より低い値にリーク電流を抑えられることが分かる。

また図28では、チタンシリケートのエネルギー障壁 $\Phi_{B2}$ が1.5eV、ゲート絶縁膜の酸化シリコン換算膜厚 $T_{eff}$ が0.7nm、比誘電率 $\epsilon_2$ が15の  
25 場合について示したが、先に図23~図26を参照して述べたように、エネルギー障壁 $\Phi_{B2}$ が1.5~3.0eV、比誘電率 $\epsilon_2$ が15~30の場合についても、 $T_2$ が1.7nm以下であれば、ゲート絶縁膜が酸化チタンのみからなる場合のリーク電流密度より低い値にリーク電流を抑えられることが分かる。

同様な方法により、ゲート絶縁膜の酸化シリコン換算膜厚が0.7~1.0

n mの場合の各膜厚について、リーク電流の増加を抑制するチタンシリケートの実膜厚の範囲を求めることができる。図29は、上記チタンシリケートの実膜厚の望ましい範囲をゲート印加電圧が0.5~1.0Vの場合について、ゲート絶縁膜の酸化シリコン換算膜厚が0.7~1.0nmに対応してまとめたものである。図に示されているチタンシリケートの実膜厚の望ましい範囲は、チタンシリケートの比誘電率が1.5の場合に対応しており、チタンシリケートの比誘電率がさらに高い場合は、もっと広い範囲とすることが可能である。

なお、図で、チタンシリケートの実膜厚 $T_2$ を1.0nm以上としているのは、チタンシリケートが良好な誘電特性を発揮するには、少なくとも1格子の膜厚は必要であるためである。

図29に示すチタンシリケートの実膜厚 $T_2$ の範囲は、ゲート絶縁膜の酸化シリコン換算膜厚 $T_{eff}$ の関数として、下式で表される。

$$1.0 \text{ (nm)} \leq T_2 \leq 5 T_{eff} - 1.8 \text{ (nm)} \text{ 但し、 } 0.7 \text{ (nm)} \leq T_{eff} \leq 1.0 \text{ (nm)}$$

すなわち、半導体装置の仕様として要求されるゲート絶縁膜の酸化シリコン換算膜厚 $T_{eff}$ に応じて、図29に示した実膜厚の範囲の膜厚のチタンシリケート膜を、酸化チタンとシリコン基板の間に形成することにより、リーク電流の増加を抑制したゲート絶縁膜を有する半導体装置を得ることができる。

また、上記実施の形態では、ゲート電極がリンをドーブした多結晶シリコン膜の場合について説明したが、多結晶シリコン膜以外に例えば、タングステン、モリブデン等の金属薄膜、あるいは窒化タングステン等の金属化合物、あるいはタングステンシリサイド等の金属シリサイド膜、あるいはこれらの積層構造からなるゲート電極であっても、同様の方法により、リーク電流を抑えるのに適正なチタンシリケートの膜厚を決めることができる。

ゲート電極にタングステン、モリブデン等の金属膜を用いることにより、ゲート電極膜内で空乏化が生じないため、ゲート絶縁膜の換算膜厚を薄くすることができる。また、タングstenは熱的に安定であり、電極膜を成膜した後の高温プロセスの際に膜質が変化することが少ない。また、酸化チタンとタングstenを接し積層した場合、酸化タングstenが、形成される場合がある。酸化タングス

テンは酸化チタンよりも誘電率が小さく、酸化タングステンの形成はゲート絶縁膜の換算膜厚の増加につながる。そこで、タングステン膜に比べ耐酸化性に優れた窒化タングステン、タングステンシリサイド膜を用いることは有効である。特に耐酸化性においては、窒化タングステン膜は特に優れている。また、窒化タングステン膜をゲート電極に用いる場合は、図30に示すように、酸化チタンに接した層を窒化タングステン312、その上層を窒化タングステンより低抵抗であるタングステン313とする2層構造のゲート電極314とすることにより、低抵抗なゲート電極を得ることが出来る。

以上述べたように、本実施の形態によれば、酸化チタン膜とシリコン基板との界面にチタンシリケート膜を有しているので、上記界面に比誘電率が低い酸化シリコン膜が形成されるのを抑制できるとともに酸化シリコン換算膜厚を、窒化シリコンを前記界面に設けた場合よりも薄くすることが可能となり、微細化に対応したゲート絶縁膜を有する半導体装置を提供することができる。

本実施の形態によればまた、ゲート絶縁膜を、高誘電率材料である酸化チタン膜と比較的誘電率が大きいチタンシリケート膜の積層構造で構成したので、ゲート絶縁膜の実膜厚を厚く、酸化シリコン換算膜厚を薄くすることができ、リーク電流を低減できる。

本実施の形態によればさらに、リーク電流が流れにくい半導体装置が得られることによって、信頼性の高い半導体装置を提供することができ、かつ歩留まりの高い半導体装置を提供することができる。

本発明の第10の実施例を、図31、図32、図33を用いて説明する。図31、図32、図33は、図19に示した酸化チタン膜とチタンシリケート膜からなるゲート絶縁膜を有する半導体装置の製造方法を示している。ここでは、チタンシリケート膜の実膜厚が3nm、酸化チタンの実膜厚が3nmの場合について説明する。

まず、P型シリコン基板301表面に、所定の間隔をおいて深さ200～300nmの溝を複数形成して酸化シリコン膜を埋め込み、浅溝型の素子分離膜302を形成する(図31(A))。

次に、シリコン基板101表面に、例えばスパッタリング法により、厚さ1

nmほどのチタン膜1010を形成する(図31(B))。次に、600°Cの熱処理によりチタン膜1010をシリサイド化させチタンシリサイド膜1011とする。このシリサイド反応により、チタンシリサイド膜1011の厚さは約2nmとなる(図31(C))。なお、このとき、素子分離膜302に接している

5 部分はシリサイド化されず、そのまま残る。

次に、チタンシリサイド膜1011を酸化させ、チタンシリケイト膜304を形成する(図32(A))。この酸化反応は体積膨張を伴い、チタンシリケイト膜304の膜厚は約3nmとなる。ここで、チタンシリケイト膜304の膜厚が3nmより厚い場合には、スパッタリング法等によりチタンシリケイト膜304

10 をエッチングし、膜厚を薄くし所定の厚さとする。

次に、チタンシリケイト膜304表面に、例えば化学的気層成長(Chemical Vapor deposition: CVD)法により、厚さ3nmほどの酸化チタン膜305を形成する。

ここで、チタンシリケイト膜304と酸化チタン膜305を有するゲート絶縁

15 膜の換算膜厚が1nmより厚い場合は、酸化チタン膜305をスパッタリング法等によりエッチングし、膜厚を薄くし所定の換算厚さとする。

さらに、酸化チタン膜305表面に、不純物リンを含む多結晶シリコン膜306をCVD法等により形成する。多結晶シリコン膜306の膜厚は例えば約200nmとする(図32(B))。

20 次に、フォトリジスト膜をマスクに用いて、多結晶シリコン膜306、酸化チタン膜305、チタンシリケイト膜304をエッチングする。これによりMOSトランジスタのゲート絶縁膜1001とゲート電極306aとを形成する。ここで、ゲート絶縁膜1001は、チタンシリケイト膜304aと酸化チタン膜305aを有する(図32(C))。

25 次に、ホウ素のイオン注入によりMOSトランジスタのP-型ソース・ドレイン領域308を形成する。P-型ソース・ドレイン領域308は、ゲート電極、ゲート絶縁膜に対して自己整合的である(図33(A))。

続いて、半導体基板表面に厚さ200nmの窒化シリコン膜307をスパッタ法またはCVD法により堆積し(図33(B))、窒化シリコン膜307をエッ

チングすることによりゲート電極とゲート絶縁膜の素子分離膜302側の側壁を覆うサイドウォール307aを形成する(図33(C))。

次に、素子分離膜302、ゲート電極306a、サイドウォール307aをマスクとし、ホウ素のイオン注入により、シリコン基板301にP+型ソース・ド  
5 レイン拡散層309を形成する。次いで、CVD法により素子分離膜302、ゲート電極306a、サイドウォール307a及びP+型ソース・ドレイン拡散層309を覆う層間絶縁膜310を形成し、形成した層間絶縁膜310に、その表面からP+型ソース・ドレイン拡散層309の表面に達するコンタクトホール311を形成する。

10 上述のように、シリコン基板表面にまずチタンシリサイド膜を形成し、次いでこのチタンシリサイド膜を酸化させてチタンシリケイト膜とし、その上に酸化チタン膜を形成するのは、次の理由による。すなわち、シリコン基板表面に直接酸化チタン膜を形成すると、先に述べたように酸化チタン膜中の酸素原子がシリ  
15 コン基板側に拡散し、酸化チタン膜とシリコン基板の界面に誘電率の低い酸化シリコンが形成されてしまうことがあり、不具合である。

本実施の形態では、シリコン基板面にチタンシリサイド膜を形成したのち、チタンシリサイド膜を酸化させてチタンシリケイト膜とするので、シリコン基板面が酸素雰囲気  
に接することもなく、基板界面に酸化シリコン形成の惧れがない。また、シリコン基板表面にチタンシリケイト膜を形成し、その上に酸化チタン膜  
20 を積層するので、酸化チタン膜中の酸素原子がシリコン基板側に拡散するのが避けられる。また、さらに、チタンシリケイトの比誘電率は、窒化シリコンの比誘電率約7.8に対し、15~40であり、窒化シリコン膜を酸化チタン膜とシリコン基板の界面に形成した場合に比べ、酸化シリコン換算膜厚を同じにしたとき、チタンシリケイト膜の実膜厚を、窒化シリコン膜の実膜厚よりも厚くできる。

25 このため、リーク電流を抑制する効果が大い。

上述の製造方法は、PチャネルMOSトランジスタの場合であるが、この製造方法はNチャネルMOSトランジスタにも応用できる。さらにCMOSトランジスタ、BiCMOSトランジスタにも応用できる。

本発明の第11の実施例を、図34を用いて説明する。図34は、図19に示

した酸化チタン膜とチタンシリケート膜からなるゲート絶縁膜を有する半導体装置の製造方法の工程の一部であり、主にシリコン基板上にチタンシリケート膜を形成する工程までを示している。ここでは、例えばチタンシリケートの実膜厚が3 nm、酸化チタンの実膜厚が3 nmの場合について説明する。

- 5 まず、P型シリコン基板301表面に、深さ200 nmから300 nmの溝を複数、所定の間隔をおいて形成し、酸化シリコン膜を埋め込んで浅溝型の素子分離層302を形成する(図34(A))。

次に、シリコン基板301表面に、例えば熱酸化法により、厚さ1.5 nmほどの酸化シリコン膜1020を形成する(図34(B))。

- 10 さらに、上記酸化シリコン膜上に厚さ1.5 nmほどのチタン膜1021を形成する(図34(C))。

- 次に、400℃から500℃の熱処理により上記酸化シリコン膜1020とチタン膜1021とを反応させる。この熱処理では、チタンの還元反応により酸化シリコン膜1020がなくなり、チタンシリケート膜304が形成される(図34(D))。上記チタンシリケート膜304の膜厚は約3 nmとなるが、チタンシリケート膜304の膜厚が3 nmより厚い場合には、スパッタリング法等によりチタンシリケート膜304をエッチングし、膜厚を薄くし所定の厚さとする。薄い場合には、上記酸化シリコン膜とチタン膜の厚さを調整することにより、膜厚を所定の厚さとすることは可能である。

- 20 この後の工程では、前記第10の実施例の図32(B)以降の工程と同様にして、ゲート絶縁膜、ゲート電極膜等を形成し、MOSトランジスタを形成する。

- 本実施の形態においては、一旦、シリコン基板301に酸化シリコン膜1020が形成されるが、酸化シリコン膜1020の上にチタン膜1021が形成され、熱処理により両者を反応させてチタンシリケート膜304とすることで誘電率の低い酸化シリコン膜1020がなくなる。そして、その上に酸化チタン膜が成膜されるから、酸化チタン膜成膜時に、シリコン基板との界面において、酸化チタン膜中の酸素原子がシリコン基板側に拡散するのが避けられる。

すなわち、本実施の形態においても、前記第10の実施例と同様の効果が得られる。なお、更に、好ましい形態として、前記第9～第11の実施例において示

したゲート絶縁膜を含むゲート電極構造に関する構成を第1～第8の実施例における対応部分に適応することができる。

この前記第9～第11の実施例によれば、酸化チタン膜とシリコン基板との界面にチタンシリケート膜を有しているため、上記界面に比誘電率が低い酸化シリコン膜が形成されるのを抑制できるとともに酸化シリコン換算膜厚を、窒化シリコンを前記界面に設けた場合よりも薄くすることが可能となり、微細化に対応したゲート絶縁膜を有する半導体装置を提供することができる。

また、ゲート絶縁膜を、高誘電率材料である酸化チタン膜と比較的誘電率が大きいチタンシリケート膜の積層構造で構成したため、ゲート絶縁膜の実膜厚を厚く、酸化シリコン換算膜厚を薄くすることができ、リーク電流を低減できる。

また、さらに、リーク電流が流れにくい半導体装置が得られることにより、信頼性の高い半導体装置を提供することができ、かつ歩留まりの高い半導体装置を提供することができる。

上記記載は実施例についてなされたが、本発明はそれに限らず、本発明の精神と添付の請求の範囲の範囲内で種々の変更および修正をすることができることは当業者に明らかである。

#### 産業上の利用可能性

本発明は、半導体装置に関し、信頼性の高い半導体装置に適応することができる。好ましくは、信頼性の高い薄膜キャパシタを備えた半導体装置、或いはリーク電流を抑制したゲート構造を有する半導体装置に適応することができる。



## 請求の範囲

1. 第一キャパシタ電極に接するように形成されたキャパシタ絶縁膜と、前記キャパシタ絶縁膜に接するように形成された第二キャパシタ電極とを備え、前記  
5 キャパシタ絶縁膜は酸化チタンを主構成材料とし、前記第一キャパシタ電極および前記第二キャパシタ電極は酸化ルテニウムまたは酸化イリジウムを主構成材料とする導電性酸化膜である薄膜キャパシタ。
2. 請求の範囲 1 において、前記キャパシタ絶縁膜および前記導電性酸化膜は  
0.9 nm 以上の膜厚を有する薄膜キャパシタ。
- 10 3. 請求の範囲 1 において、前記酸化チタンはルチル構造である薄膜キャパシタ。
4. 基板と、前記基板の一主面側に、LSI と、コンデンサと、抵抗が、絶縁層で仕切られた配線で接続された回路を備え、前記コンデンサが第一キャパシタ電極と、前記第一キャパシタ電極に接するように形成されたキャパシタ絶縁膜と、  
15 前記キャパシタ絶縁膜に接するように形成された第二キャパシタ電極とを備え、前記キャパシタ絶縁膜が酸化チタンを主構成材料とし、前記第一キャパシタ電極と前記第二キャパシタ電極が酸化ルテニウムまたは酸化イリジウムを主構成材料とする導電性酸化膜であるシステム・イン・パッケージ。
5. 請求の範囲 4 において、前記キャパシタ絶縁膜および前記導電性酸化膜は  
20 0.9 nm 以上の膜厚を有するシステム・イン・パッケージ。
6. 請求の範囲 4 において、前記酸化チタンはルチル構造の結晶であるシステム・イン・パッケージ。
7. 半導体基板と、前記半導体基板の一主面側に形成された第一キャパシタ電極と、前記第一キャパシタ電極に接するように形成されたキャパシタ絶縁膜と、  
25 前記キャパシタ絶縁膜に接するように形成された第二キャパシタ電極とを備え、前記キャパシタ絶縁膜が酸化チタンを主構成材料とし、前記第一キャパシタ電極と前記第二キャパシタ電極が酸化ルテニウムまたは酸化イリジウムを主構成材料とする導電性酸化膜である半導体装置。
8. 請求の範囲 7 において、前記キャパシタ絶縁膜および前記導電性酸化膜は

0. 9 nm以上の膜厚を有する半導体装置。

9. 請求の範囲7において、前記酸化チタンはルチル構造の結晶である半導体装置。

10. 半導体基板上にゲート絶縁膜を介して形成されたゲート電極を有してなる複数のMOSトランジスタを備えた半導体装置において、前記ゲート絶縁膜は、前記半導体基板面に形成されたチタンシリケート膜と、該チタンシリケート膜上に形成された酸化チタン膜とを含んでなる半導体装置。

11. 半導体基板とゲート電極との間に介在するゲート絶縁膜を有する複数のMOSトランジスタが形成された半導体装置において、前記ゲート絶縁膜は、前記半導体基板側に形成されたチタンシリケート膜と、ゲート電極側に形成された酸化チタン膜とを含んでなる積層構造で構成されている半導体装置。

12. 請求の範囲10に記載の半導体装置において、誘電特性から求められる前記ゲート絶縁膜の酸化シリコン換算膜厚が1.0 nm以下である半導体装置。

13. 請求の範囲10に記載の半導体装置において、前記チタンシリケート膜の膜厚が1.0 nm以上3.2 nm以下である半導体装置。

14. 請求の範囲10に記載の半導体装置において、前記ゲート絶縁膜の酸化シリコン換算膜厚を $T_{eff}$ 、前記チタンシリケート膜の実膜厚を $T_2$ としたとき、前記チタンシリケート膜の実膜厚 $T_2$ が、

$$1.0 \text{ (nm)} \leq T_2 \leq 5 T_{eff} - 1.8 \text{ (nm)}$$

20. で表される範囲にある半導体装置。

15. 半導体基板上にゲート絶縁膜を形成する工程と、該ゲート絶縁膜上にゲート電極を形成する工程とを有してなる、複数のMOSトランジスタを備えた半導体装置の製造方法において、前記ゲート絶縁膜を形成する工程が、前記半導体基板上にチタンシリケート膜を形成する手順と、該チタンシリケート膜の上に酸化チタン膜を形成する手順と、を含んでなる半導体装置の製造方法。

16. 請求の範囲15に記載の半導体装置の製造方法において、前記半導体基板上にチタンシリケート膜を形成する手順が、前記半導体基板上にチタンシリサイド膜を形成する手順と、前記チタンシリサイド膜を酸化してチタンシリケート膜に変化させる手順と、を含んでなる半導体装置の製造方法。

17. 請求の範囲16に記載の半導体装置の製造方法において、前記半導体基板上にチタンシリサイド膜を形成する手順が、前記半導体基板上にチタン膜を形成する手順と、前記チタン膜を熱処理によりチタンシリサイド膜とする手順と、を含んでなる半導体装置の製造方法。

- 5 18. 請求の範囲16に記載の半導体装置の製造方法において、前記半導体基板上にチタンシリケート膜を形成する手順が、半導体基板の表面に酸化シリコン膜を形成する手順と、前記酸化シリコン膜上にチタン膜を形成する手順と、熱処理により前記酸化シリコン膜とチタン膜を反応させ前記チタンシリケート膜を形成する手順と、を含んでなる半導体装置の製造方法。

FIG. 1

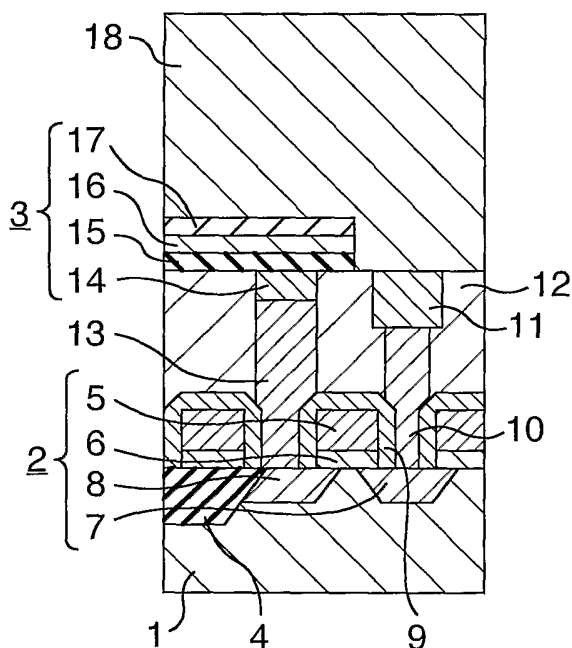


FIG. 2

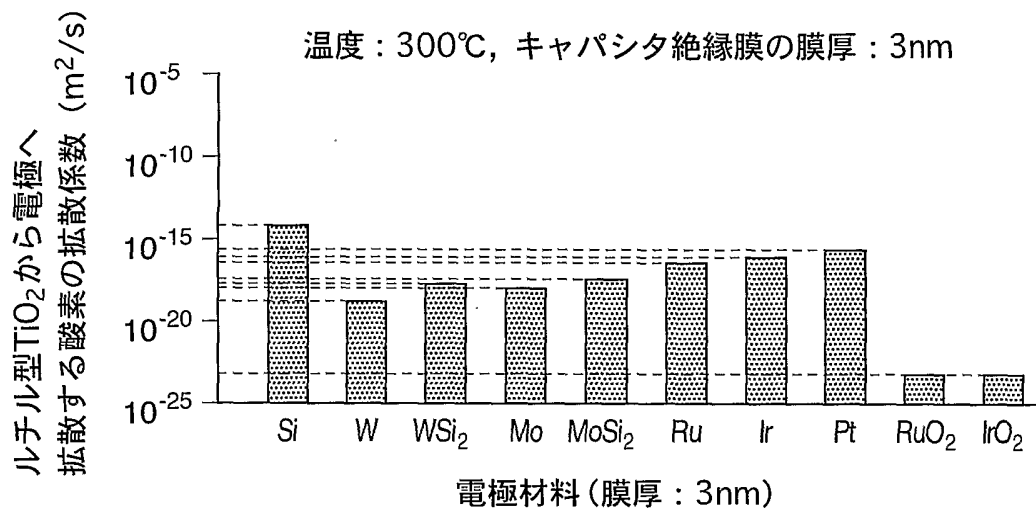


FIG. 3

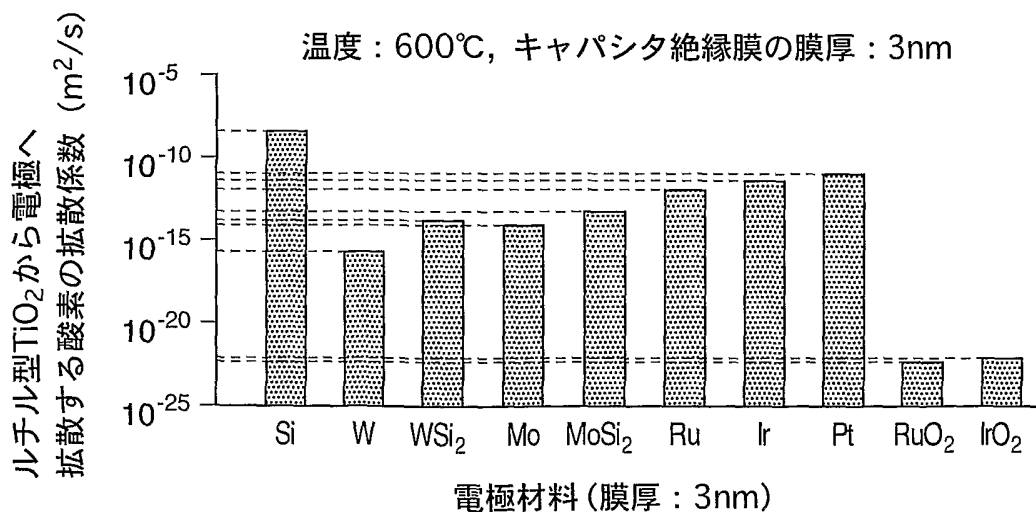


FIG. 4

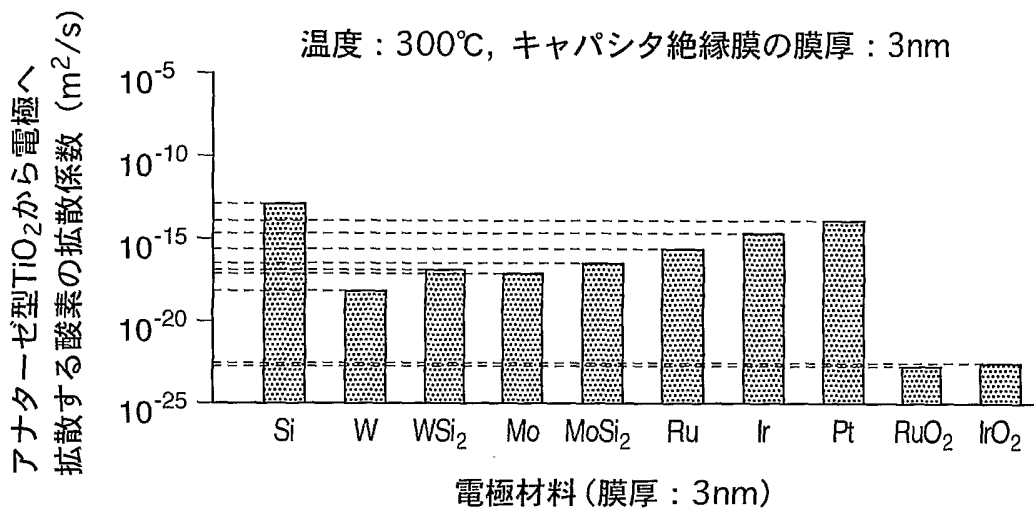


FIG. 5

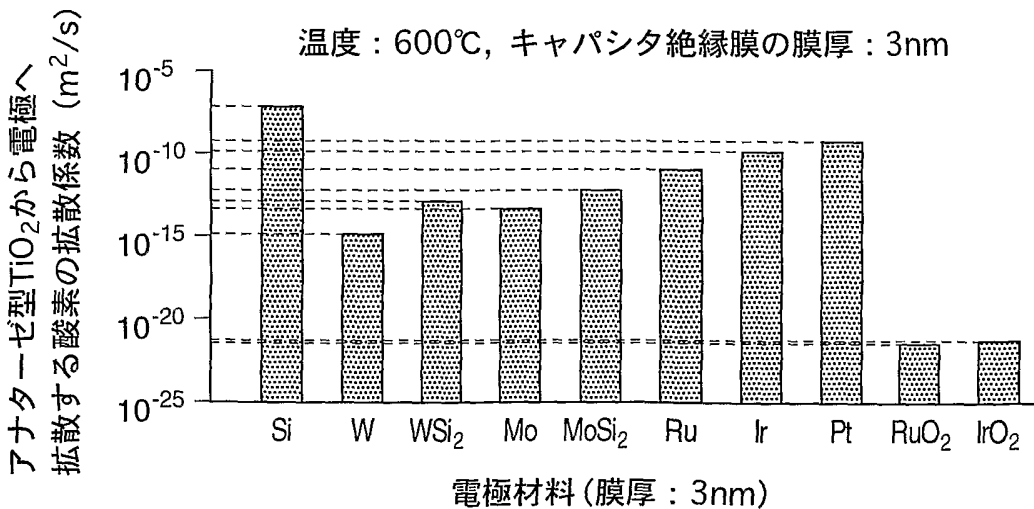


FIG. 6

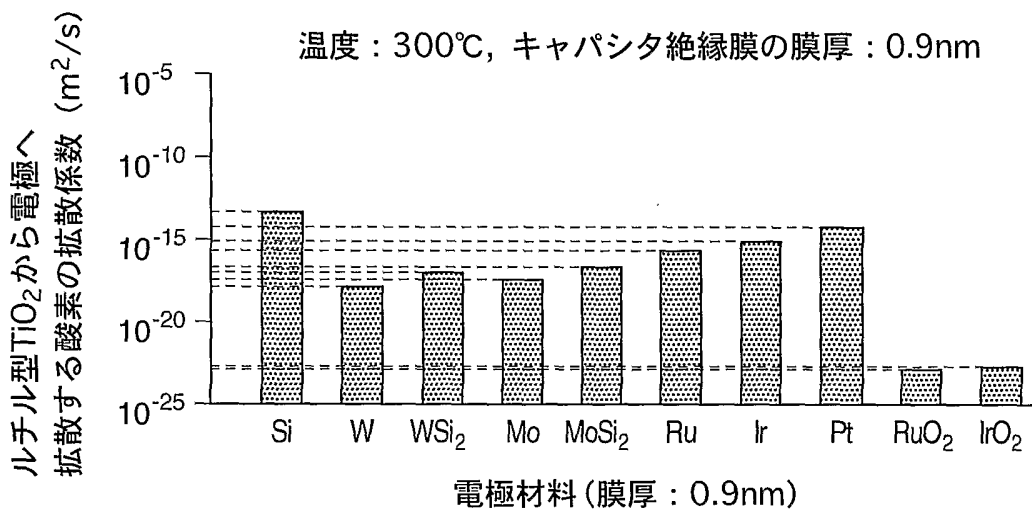


FIG. 7

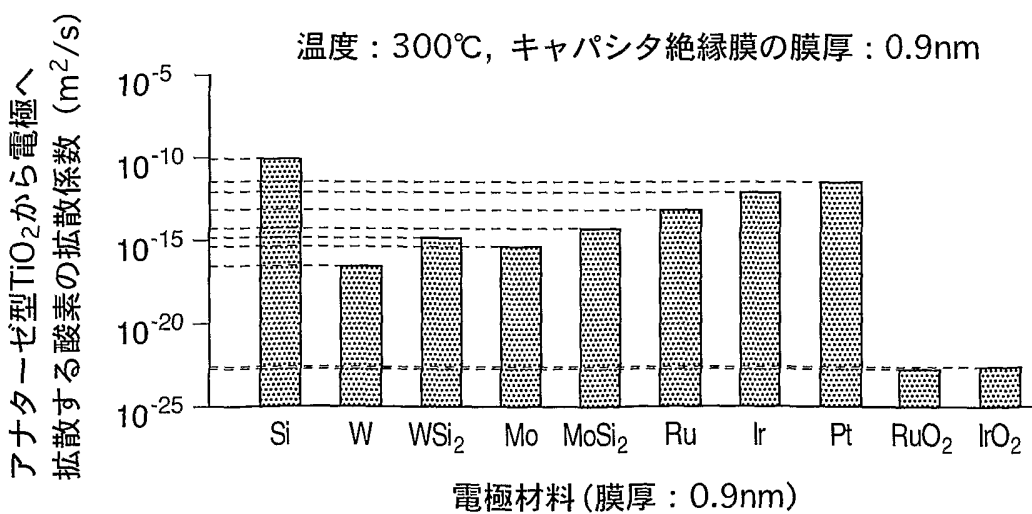


FIG. 8

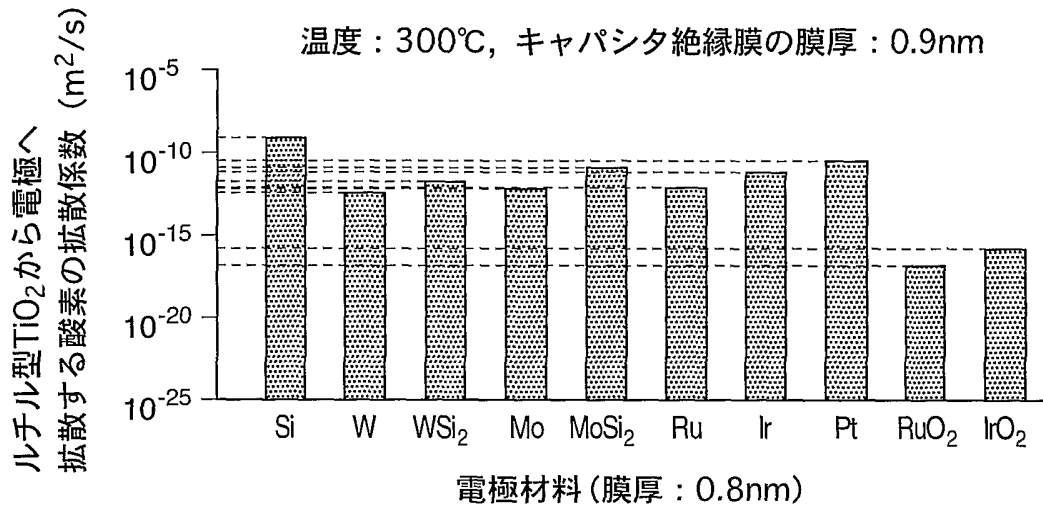
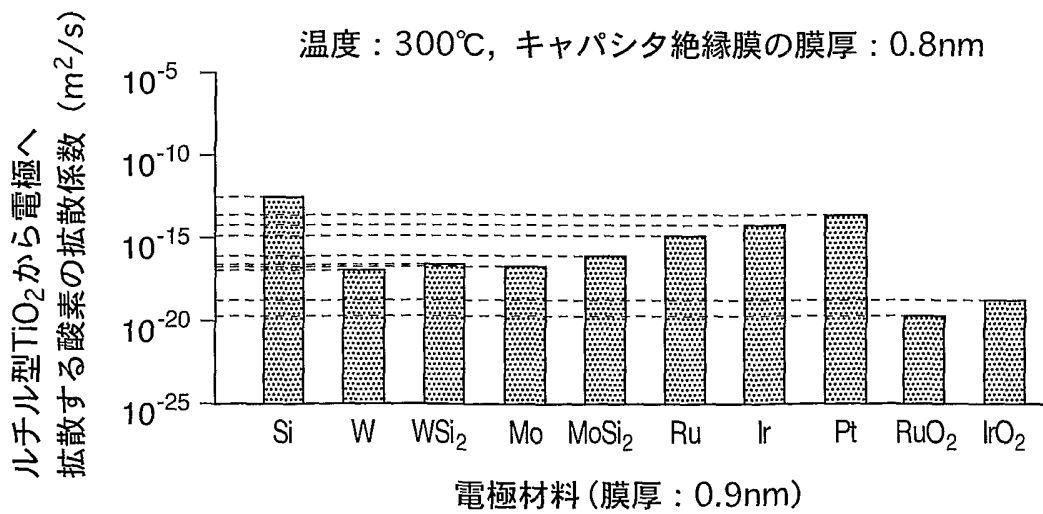


FIG. 9







7/23

FIG. 12

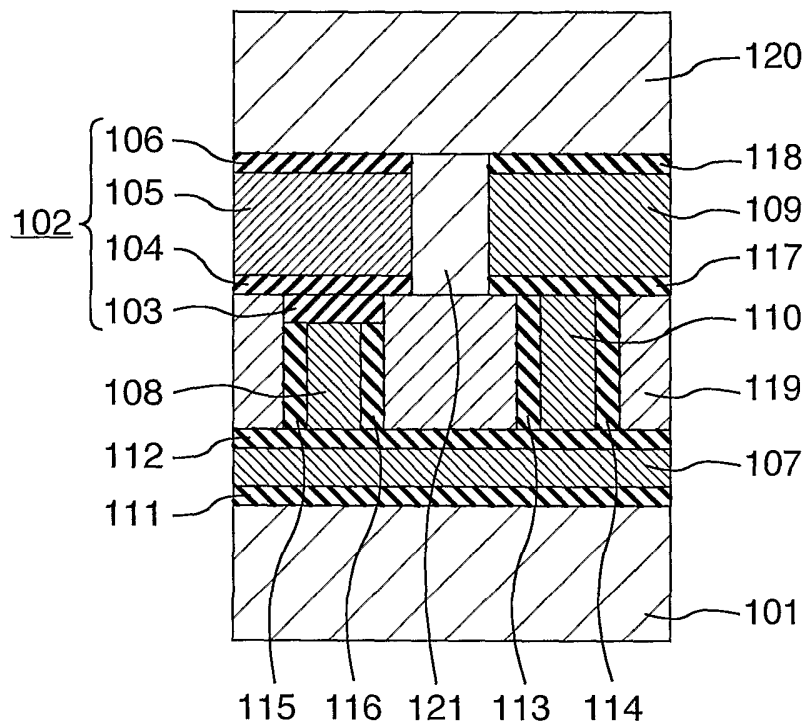


FIG. 13

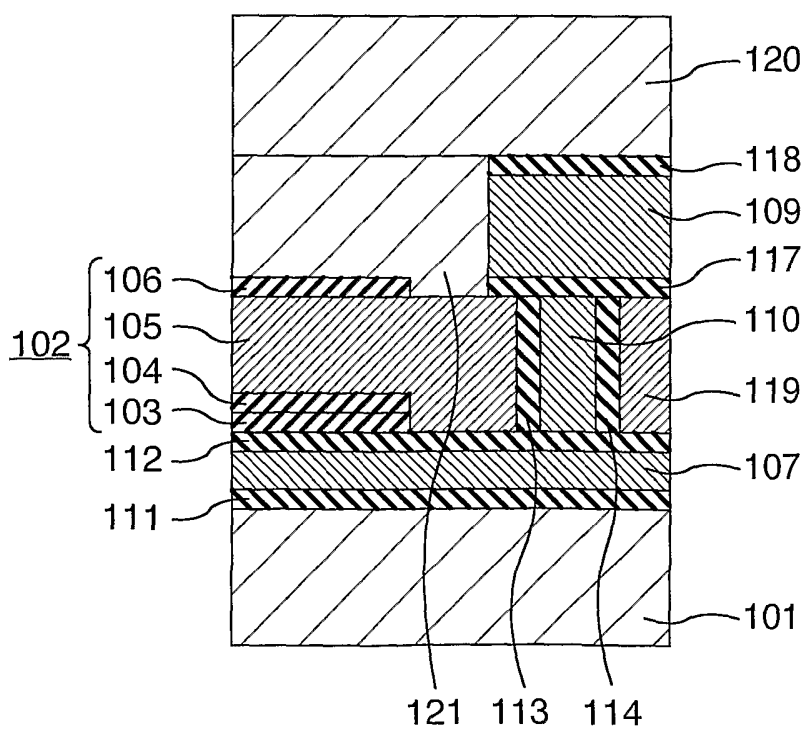


FIG. 14

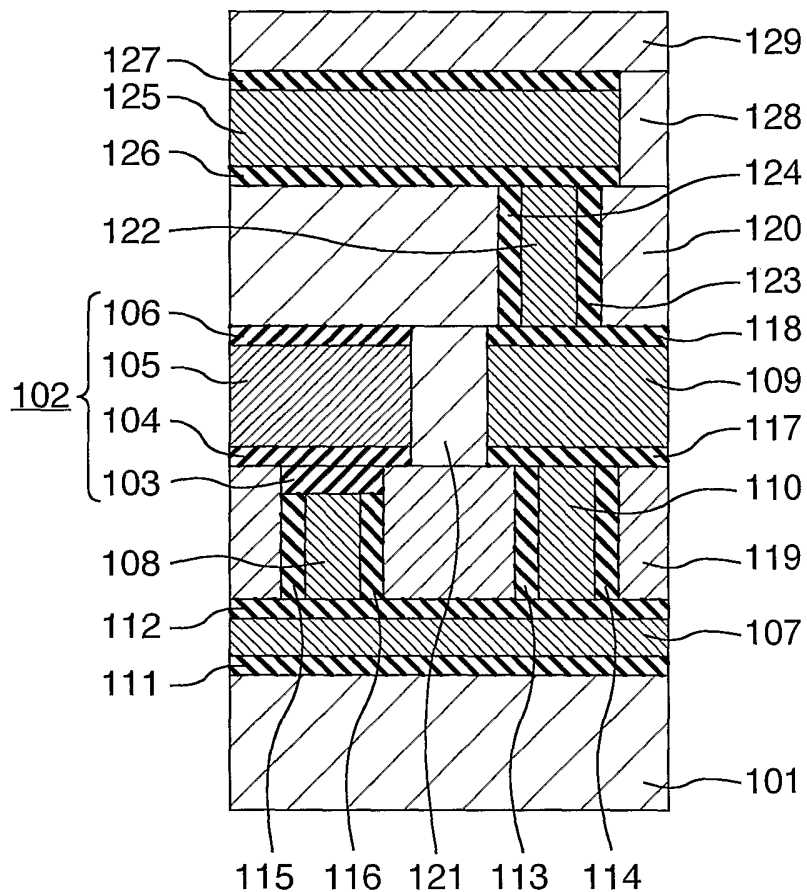


FIG. 15

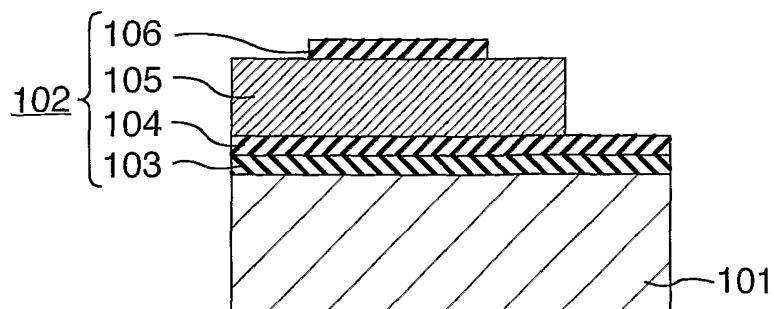
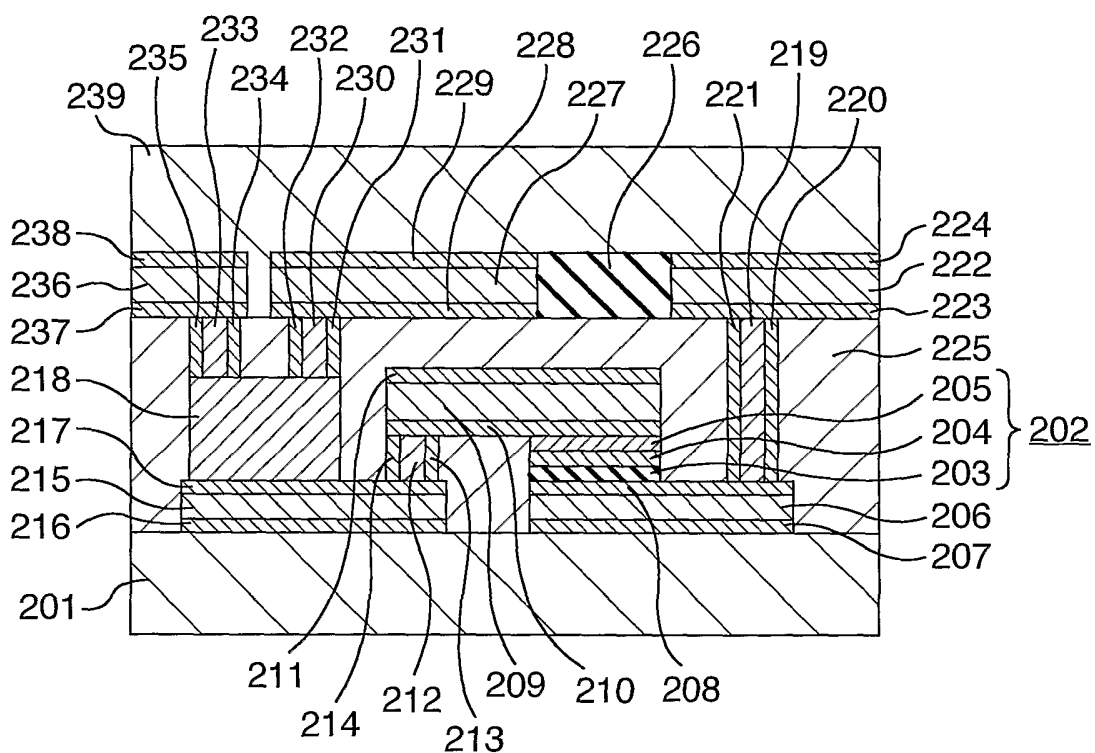


FIG. 16



10/23

FIG. 17

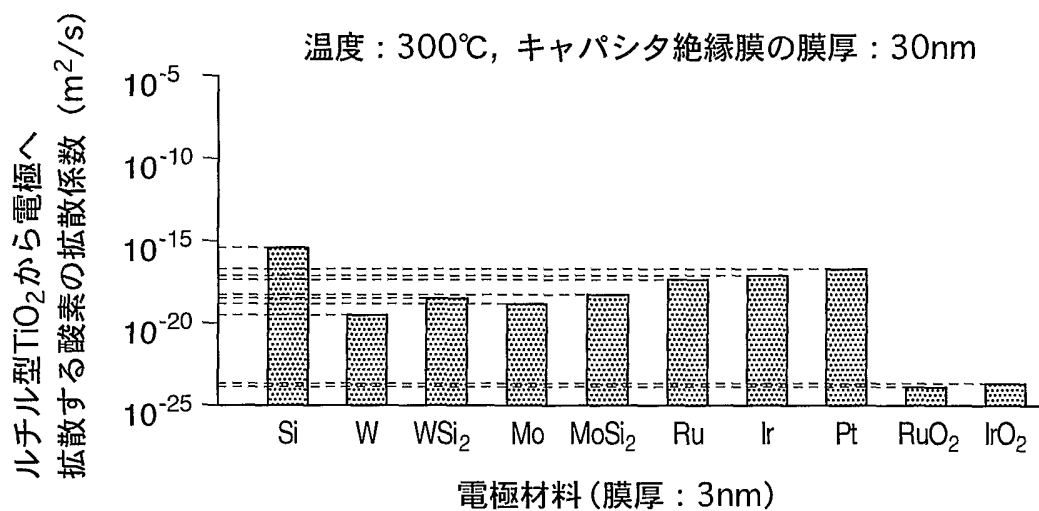


FIG. 18

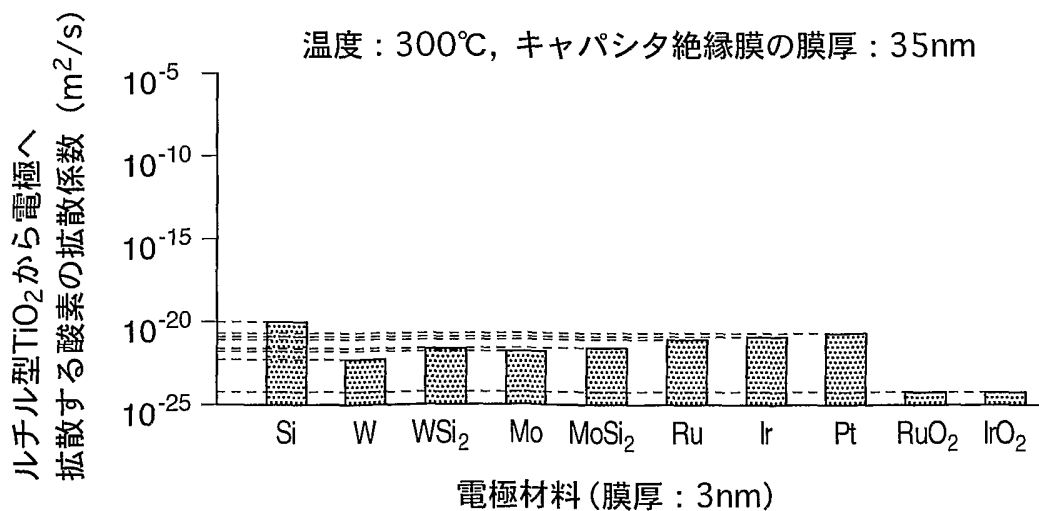


FIG. 19

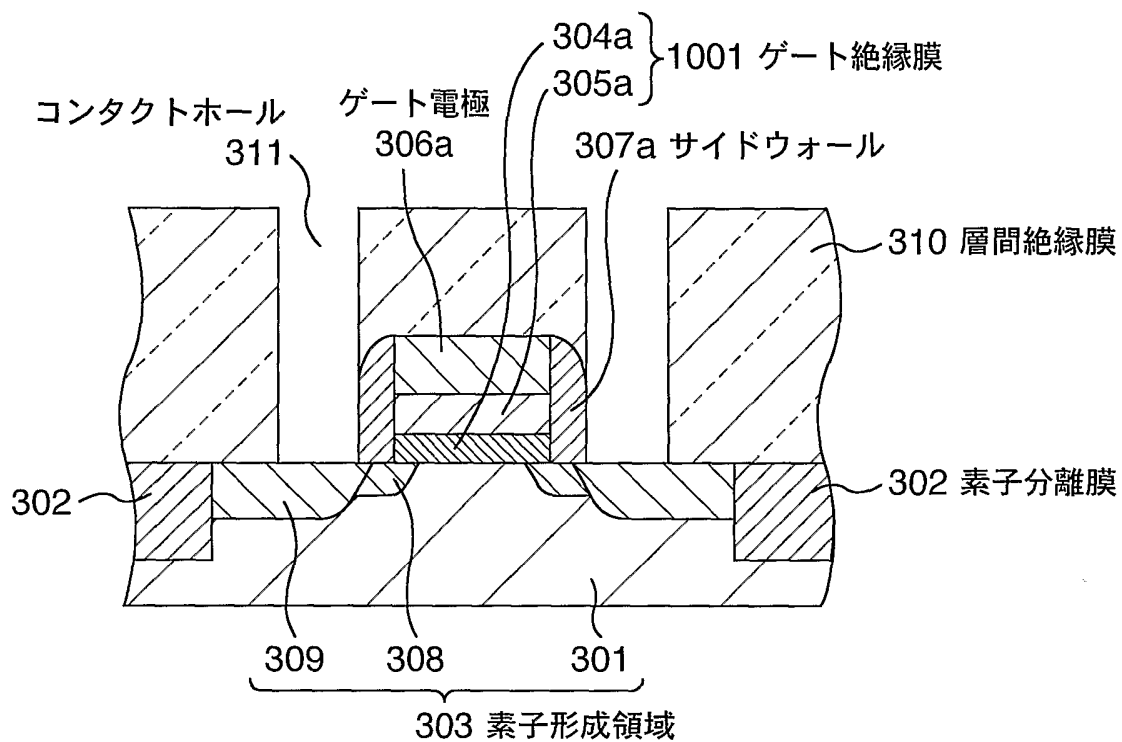


FIG. 20

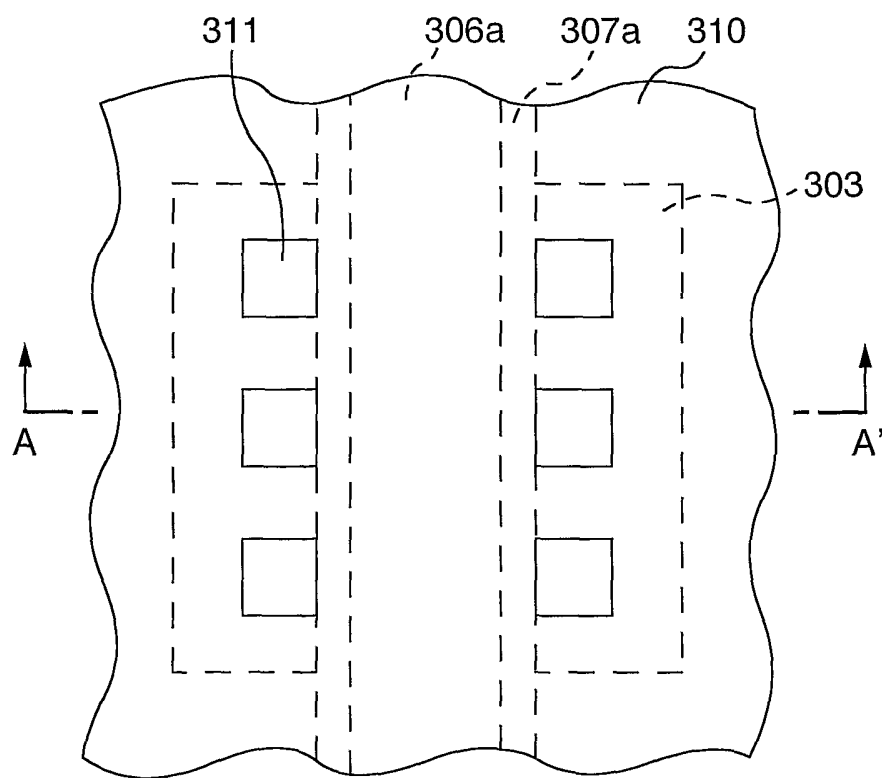


FIG. 21

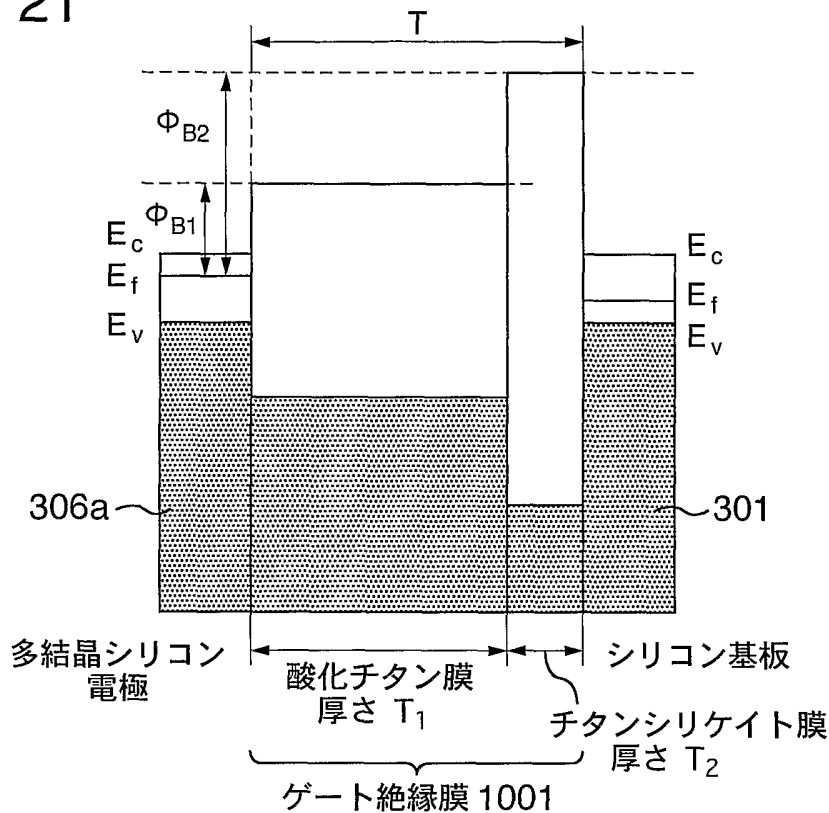


FIG. 22

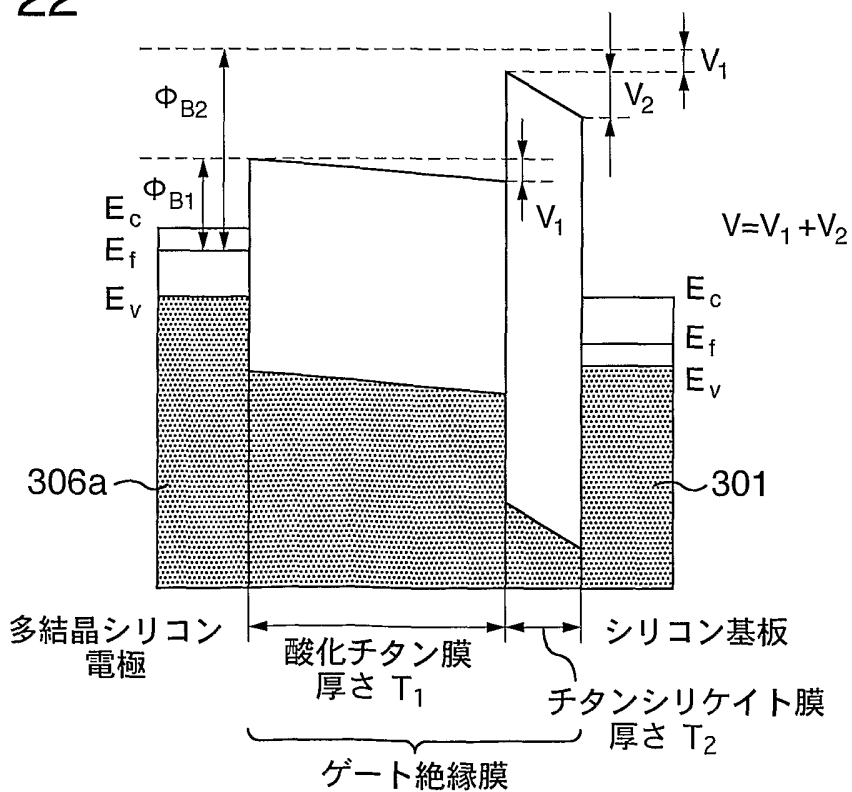


FIG. 23

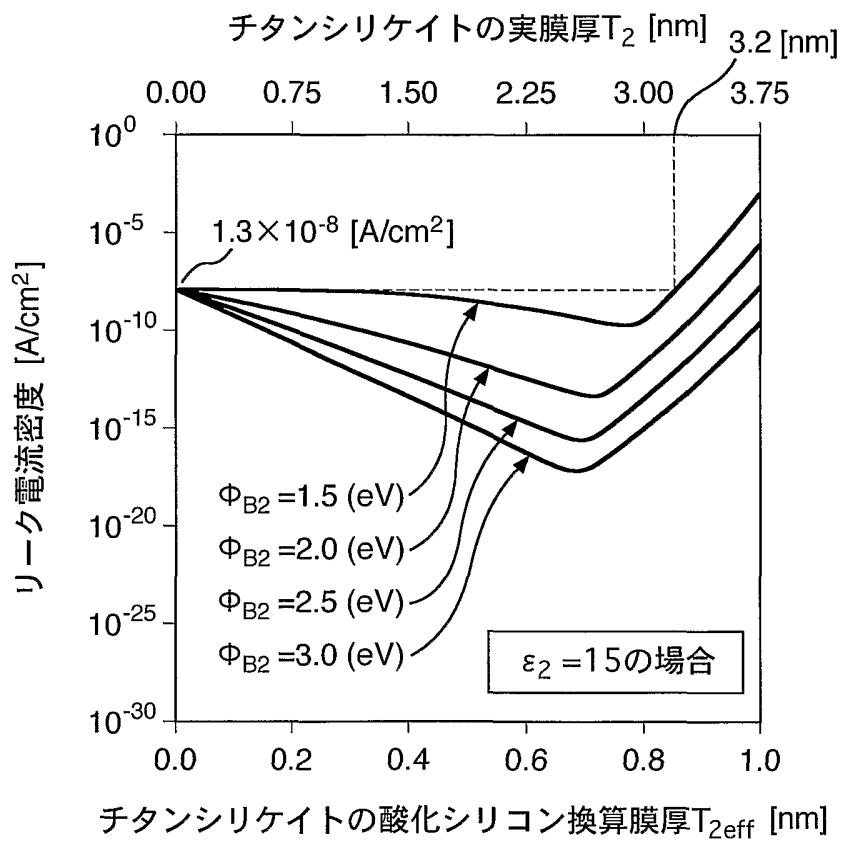




FIG. 24

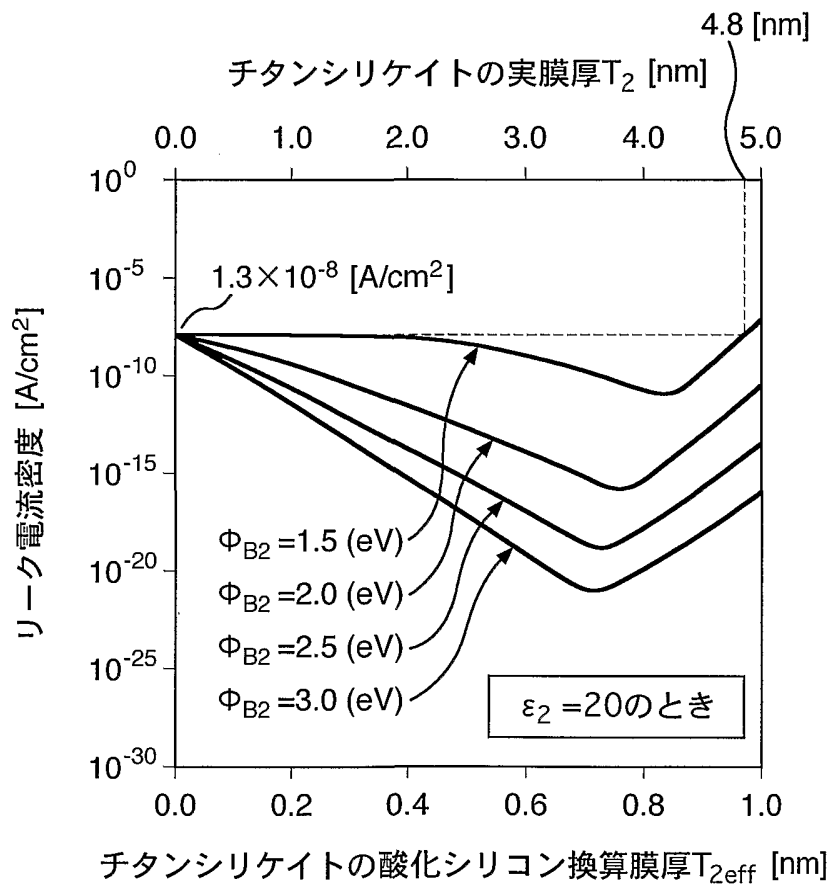


FIG. 25

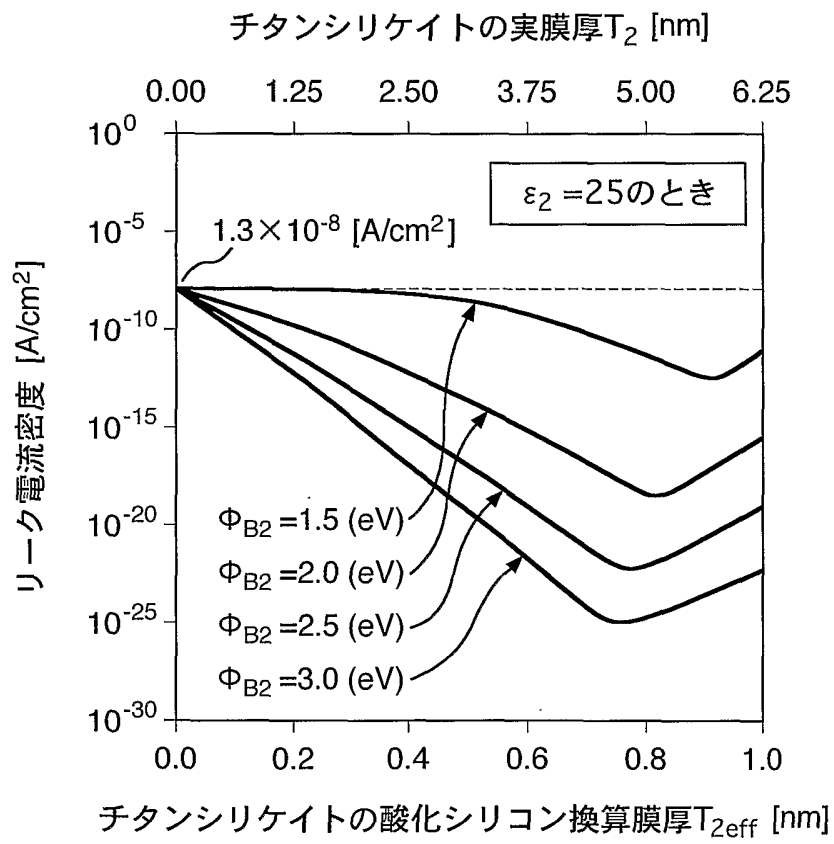


FIG. 26

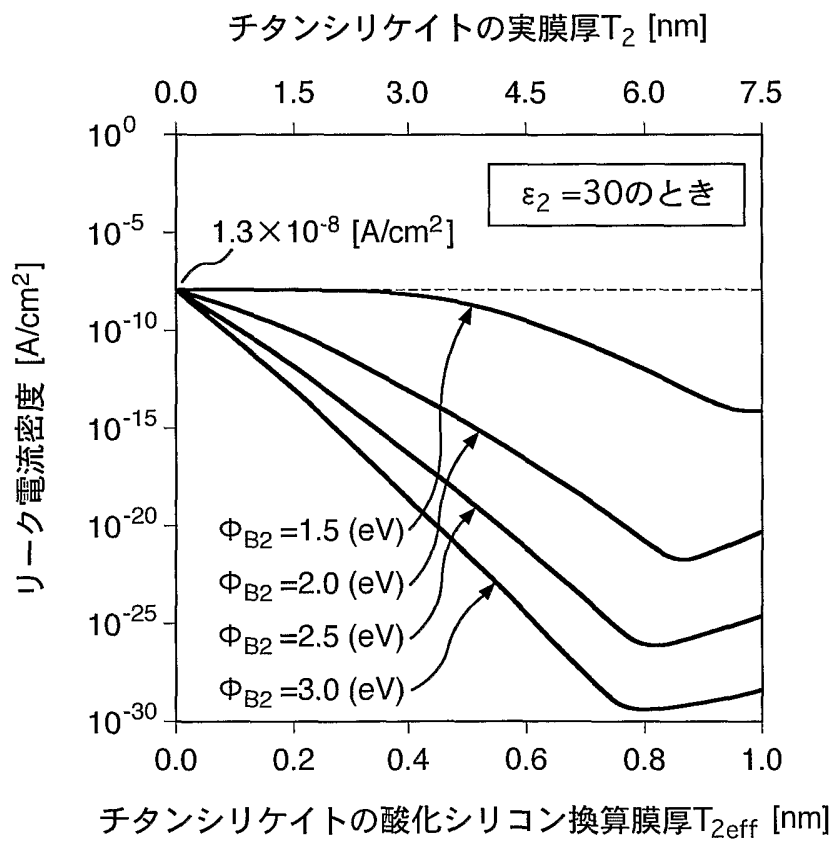


FIG. 27

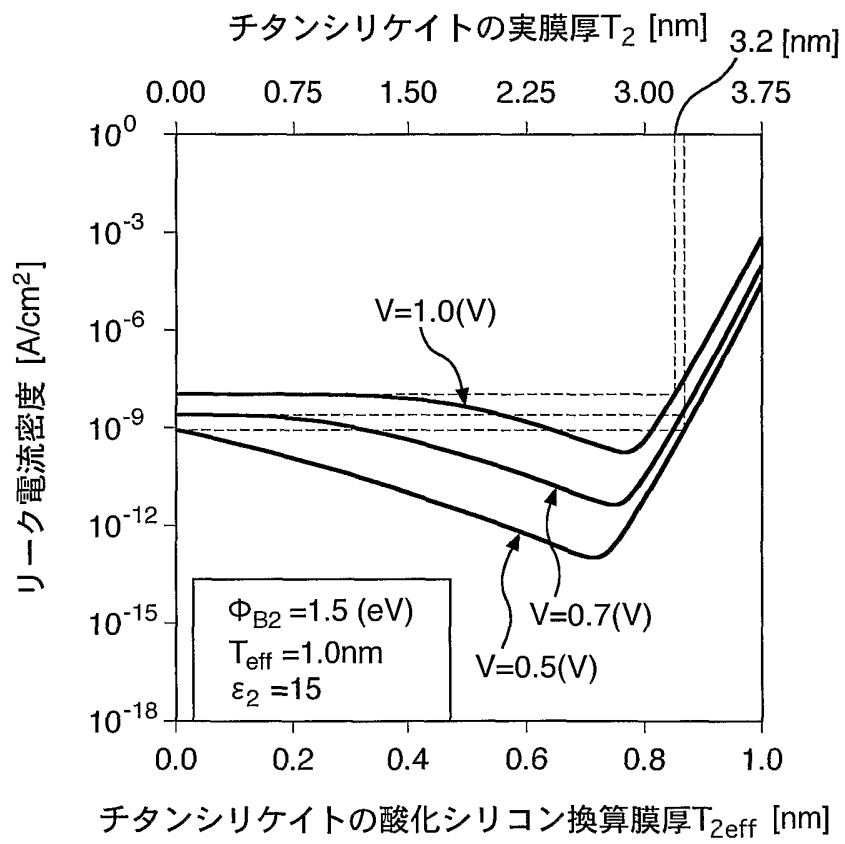


FIG. 28

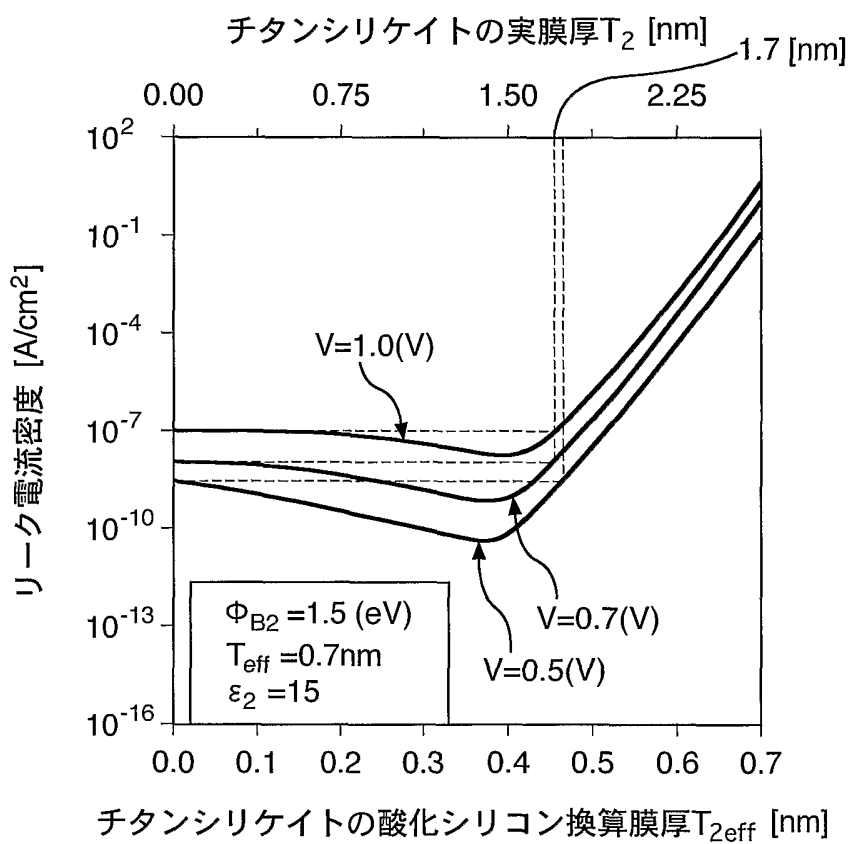


FIG. 29

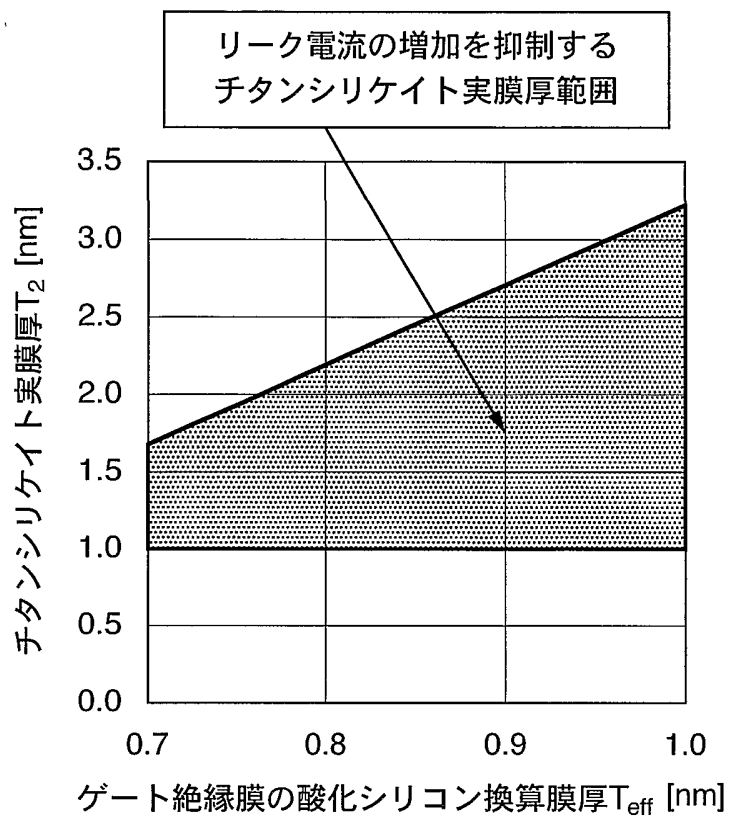


FIG. 30

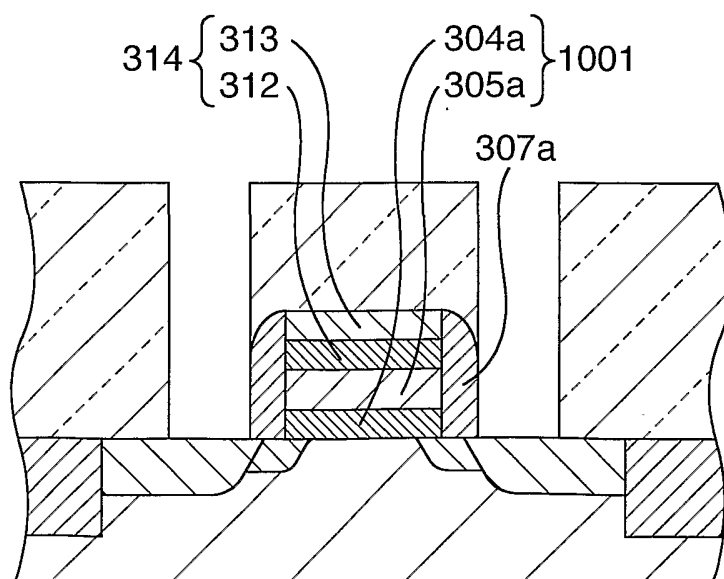


FIG. 31

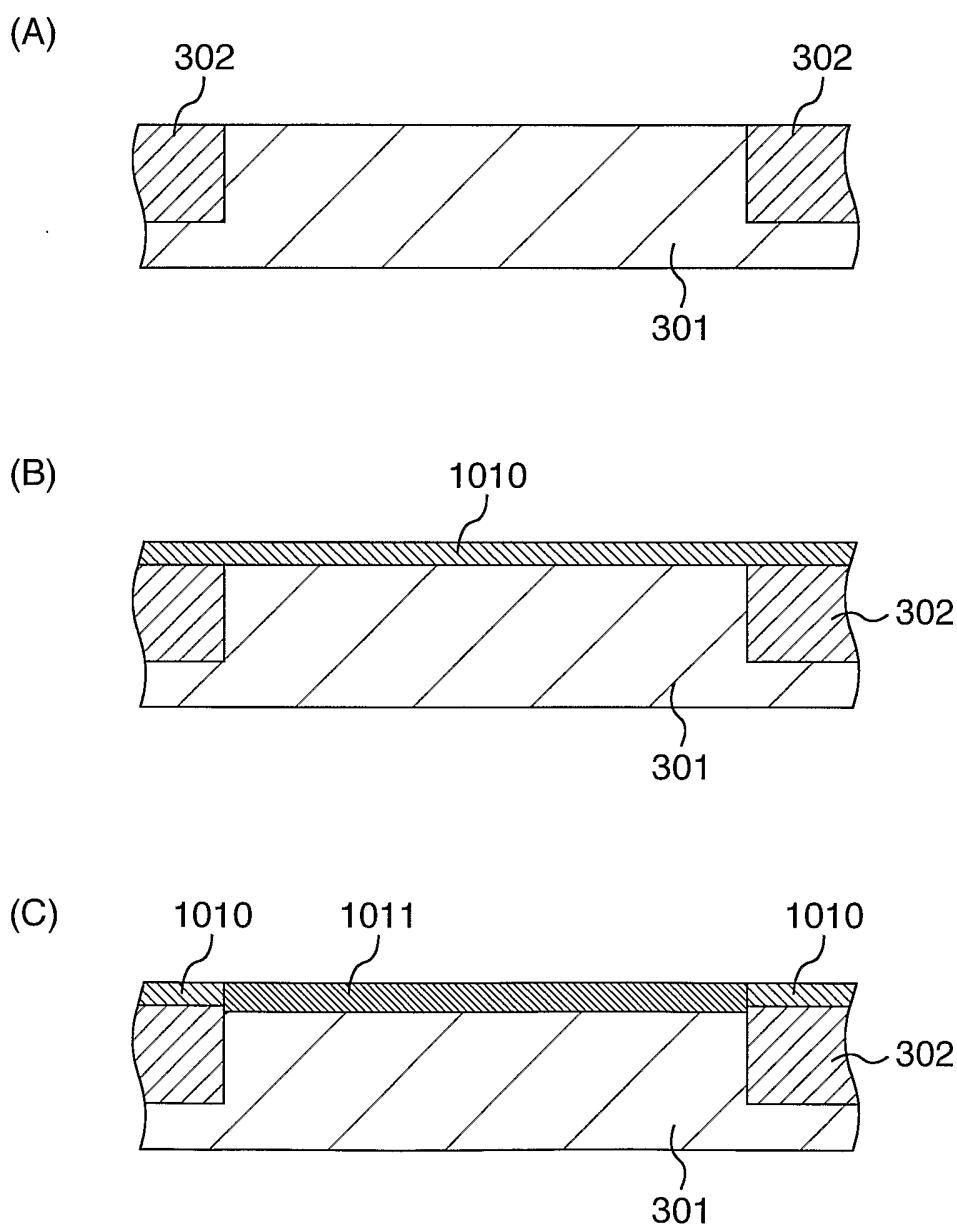


FIG. 32

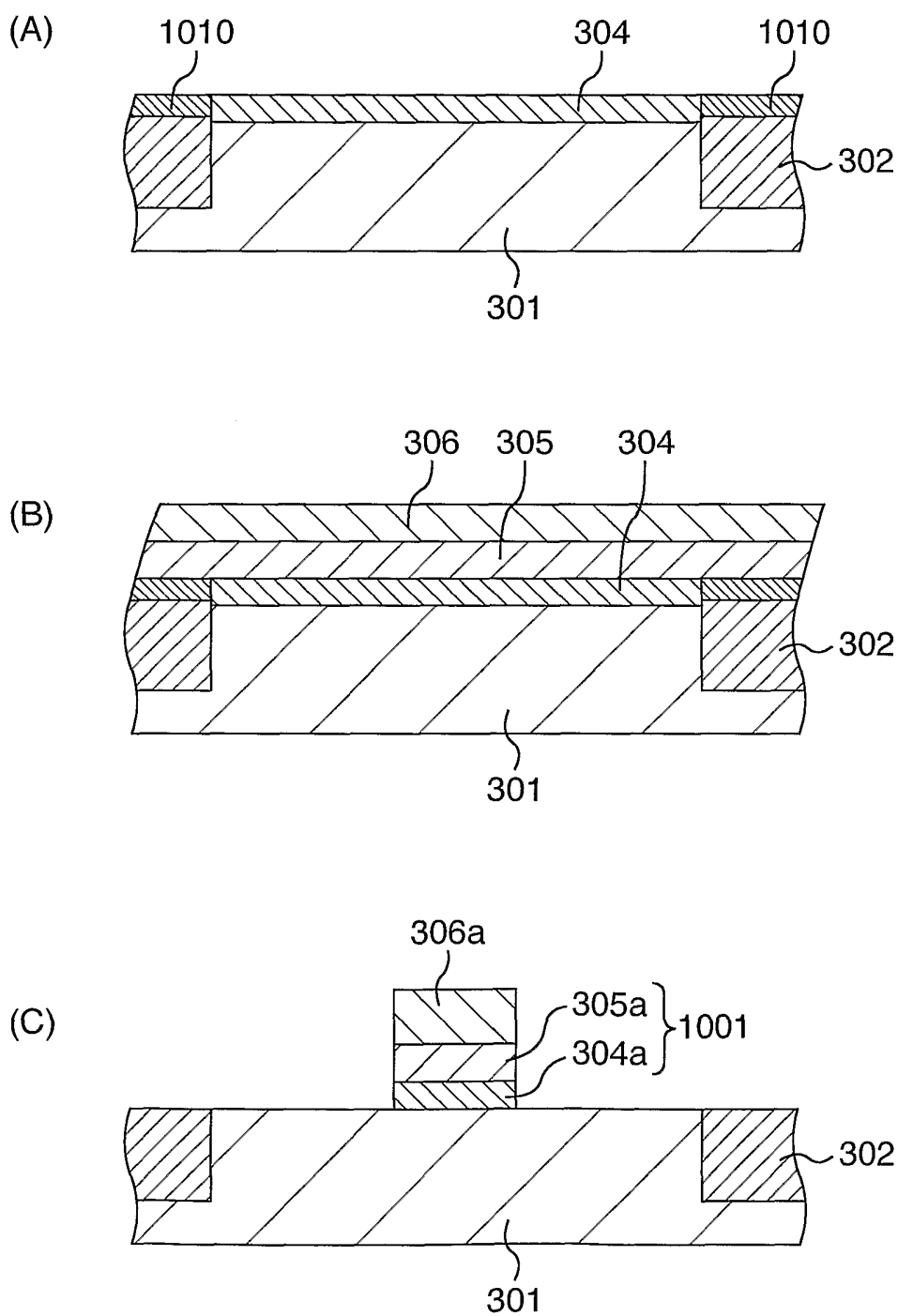




FIG. 33

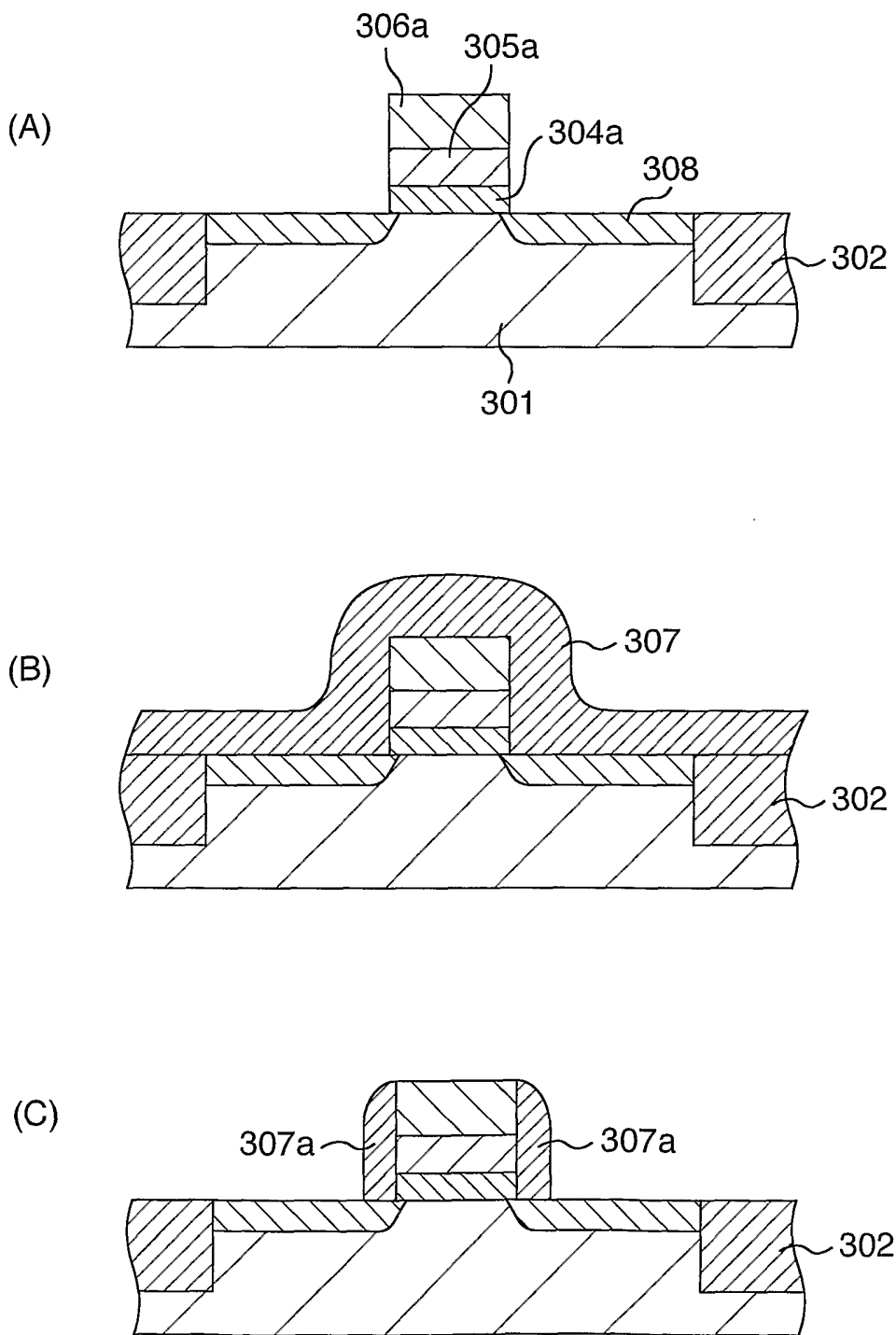
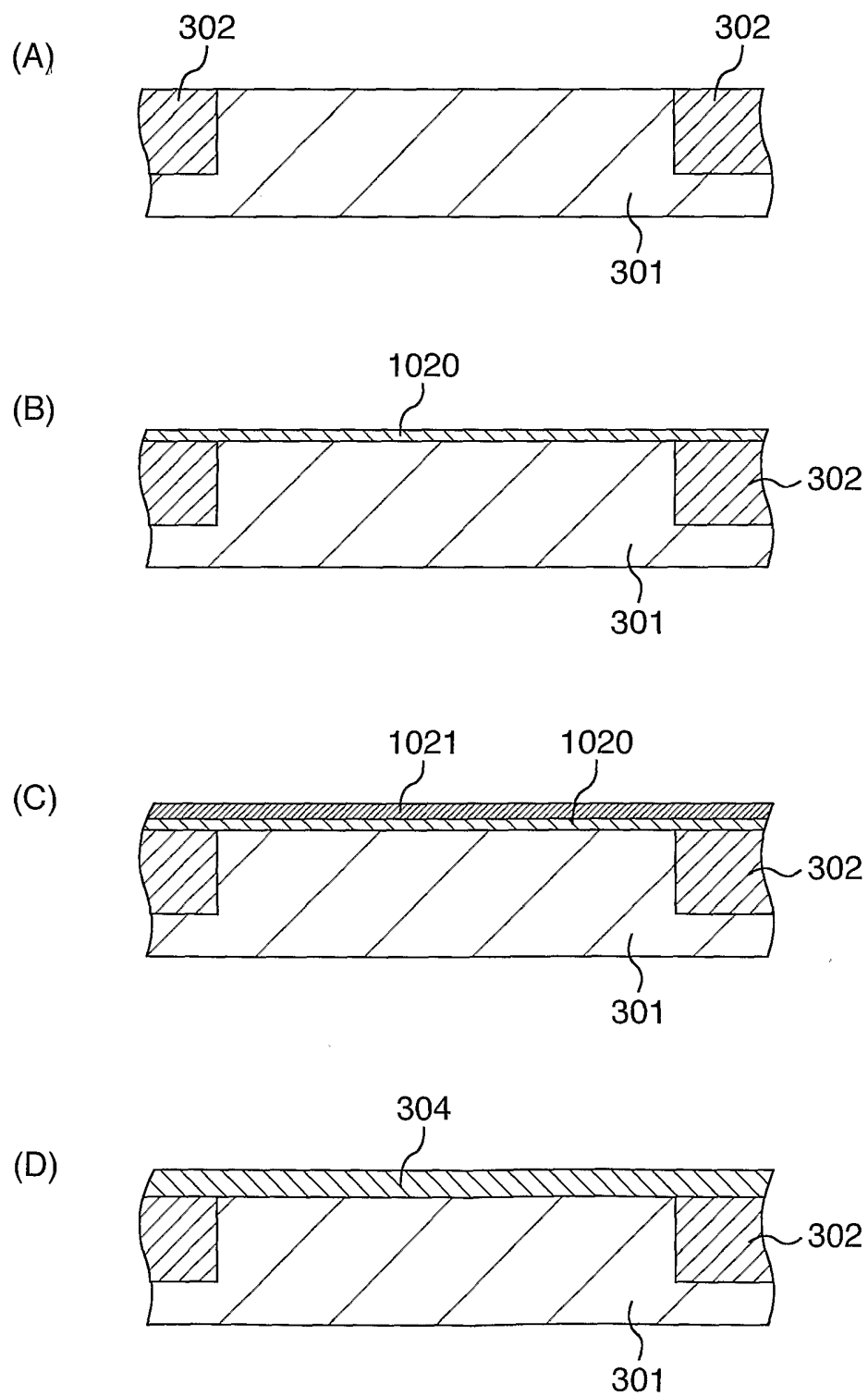


FIG. 34



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/05478

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> H01L27/108, 29/78, 21/8242, 21/336

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> H01L27/108, 29/78, 21/8242, 21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Jitsuyo Shinan Toroku Koho	1996-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Toroku Jitsuyo Shinan Koho	1994-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)  
INSPEC, The IEEE/IEE Electronic Library Online

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5185689 A (Motorola Inc.), 09 February, 1993 (09.02.93), Full text & JP 6-21341 A Full text	1-9
A	JP 7-263572 A (Hitachi, Ltd.), 13 October, 1995 (13.10.95), Full text (Family: none)	1-9
A	US 4200474 A (Texas Instruments Inc.), 29 April, 1980 (29.04.80), Full text & JP 55-102242 A Full text	10-18

Further documents are listed in the continuation of Box C.  See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
27 August, 2002 (27.08.02)

Date of mailing of the international search report  
10 September, 2002 (10.09.02)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/05478

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-260979 A (Toshiba Corp.), 22 September, 2000 (22.09.00), Full text & US 6326670 B1	10-18
A	US 6200866 B1 (Sharp Laboratories of America Inc.), 13 March, 2001 (13.03.01), Full text & JP 2001-102583 A Full text & KR 2001-39964 A	10-18
A	EP 1096042 A (Motorola Inc.), 02 May, 2001 (02.05.01), Full text & JP 2001-189312 A Full text & CN 1302080 A & KR 2001-51012 A & TW 468212 A	10-18
E,X	JP 2002-217410 A (Hitachi, Ltd.), 02 August, 2002 (02.08.02), Full text (Family: none)	10-18
E,A	JP 2002-217409 A (Hitachi, Ltd.), 02 August, 2002 (02.08.02), Full text (Family: none)	10-18

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
 Int.Cl<sup>7</sup> H01L27/108, 29/78, 21/8242, 21/336

B. 調査を行った分野  
 調査を行った最小限資料 (国際特許分類 (IPC))  
 Int.Cl<sup>7</sup> H01L27/108, 29/78, 21/8242, 21/336

最小限資料以外の資料で調査を行った分野に含まれるもの  
 日本国実用新案公報 1926-1996年  
 日本国公開実用新案公報 1971-2002年  
 日本国実用新案登録公報 1996-2002年  
 日本国登録実用新案公報 1994-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)  
 INSPEC, The IEBE/IEE Electronic Library Online


C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	US 5185689 A (MOTOROLA INC.) 1993.02.09 全文 & JP 6-21341 A 全文	1-9
A	JP 7-263572 A (株式会社日立製作所) 1995.10.13 全文 (ファミリー無し)	1-9

C欄の続きにも文献が列挙されている。  パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー  
 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献  
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日 27.08.02  
 国際調査報告の発送日 10.09.02

国際調査機関の名称及びあて先  
 日本国特許庁 (ISA/JP)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
 井原 純   
 電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	US 4200474 A (TEXAS INSTRUMENTS INCORPORATED) 1980.04.29 全文 &JP 55-102242 A 全文	10-18
A	JP 2000-260979 A (株式会社東芝) 2000.09.22 全文 &US 6326670 B1	10-18
A	US 6200866 B1 (SHARP LABORATORIES OF AMERICA IN C.) 2001.03.13 全文 &JP 2001-102583 A 全文 &KR 2001-39964 A	10-18
A	EP 1096042 A (MOTOROLA INC.) 2001.05.02 全文 &JP 2001-189312 A 全文 &CN 1302080 A &KR 2001-51012 A &TW 468212 A	10-18
EX	JP 2002-217410 A (株式会社日立製作所) 2002.08.02 全文 (ファミリー無し)	10-18
EA	JP 2002-217409 A (株式会社日立製作所) 2002.08.02 全文 (ファミリー無し)	10-18