

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 8 月 18 日 (18.08.2005)

PCT

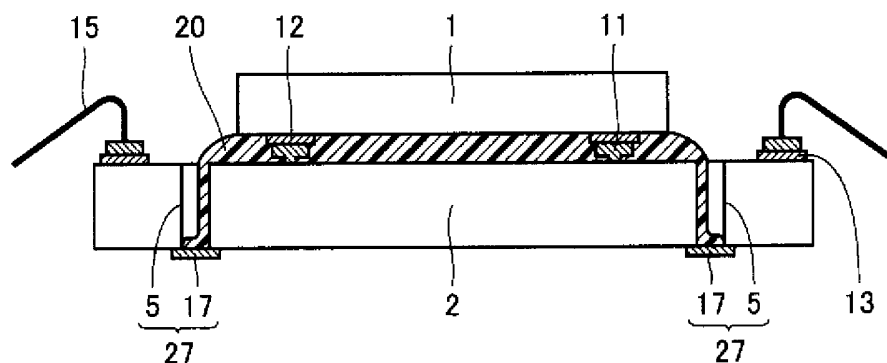
(10) 国際公開番号
WO 2005/076352 A1

- (51) 国際特許分類: **H01L 25/065**, 21/60, 25/07, 25/18 (74) 代理人: 深見 久郎, 外 (FUKAMI, Hisao et al.); 〒5300054 大阪府大阪市北区南森町 2 丁目 1 番 29 号 三井住友銀行南森町ビル 深見特許事務所 Osaka (JP).
- (21) 国際出願番号: PCT/JP2005/000905
- (22) 国際出願日: 2005 年 1 月 25 日 (25.01.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2004-029614 2004 年 2 月 5 日 (05.02.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内 2 丁目 4 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 若宮 敬一郎 (WAKAMIYA, Keiichiro) [JP/JP]; 〒1006334 東京都千代田区丸の内 2 丁目 4 番 1 号 株式会社ルネサステクノロジ内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告書

/ 続葉有 /

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置および半導体装置の製造方法



(57) Abstract: A semiconductor device is provided with a semiconductor chip (2), a semiconductor chip (1), which is fixed on the semiconductor chip (2) with a space in between so as to have their front planes almost in parallel, and an underfill resin (20) which is applied in the space. In the semiconductor chip (2), a recessed part (27) is formed outside of a region whereupon the semiconductor chip (1) is projected on the semiconductor chip (2).

(57) 要約: 半導体装置は、半導体チップ (2) と、表面同士が互いに略平行になるように、間隙を空けて半導体チップ (2) に固定された半導体チップ (1) と、上記の間隙に充填されたアンダーフィル樹脂 (20) とを備える。半導体チップ (2) において、半導体チップ (1) を半導体チップ (2) に投影した領域の外側には、凹部 (27) が形成されている。

WO 2005/076352 A1



2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

半導体装置および半導体装置の製造方法

技術分野

- [0001] 本発明は、半導体装置および半導体装置の製造方法に関する。特に、半導体チップを基板などにフリップチップ接合した半導体装置に関する。

背景技術

- [0002] 半導体チップを基板などに搭載する方法には、金線などのワイヤボンディングによらず、半導体チップの電極パッドにバンパを形成して、このバンパを基板のランドなどに直接的に結合するフリップチップによる結合方法がある。たとえば、半導体チップの主表面に形成されたアルミニウム (Al) からなる複数の電極パッドの主表面上に、バンパ (突起部) をそれぞれ形成する。このバンパと基板などに形成されたランドとを直接結合する。バンパには、ワイヤボンディング技術を用いて金 (Au) で形成される、いわゆるスタットバンパや、電極パッドの主表面に予めバリアメタルを形成しておいて、このバリアメタルに半田を用いて形成されるバンパなどがある。
- [0003] フリップチップによる結合方法は、半導体チップまたは基板などに対してフェイスダウン方式で、熱圧着による結合方法や超音波を併用した熱圧着による結合方法などが用いられる。フリップチップによって半導体チップを別の半導体チップまたは基板に対して実装した後は、半導体チップ同士の間または半導体チップと基板との間 (隙間) にアンダーフィル樹脂が注入される。アンダーフィル樹脂は、半導体チップ同士の間の隙間全体または半導体チップと基板との間の隙間全体を埋めるように注入される。
- [0004] 特開2003-234362号公報においては、アンダーフィルの流出を防止するために、フリップチップの周囲に高粘度の樹脂でダムを形成してからアンダーフィルを注入する製造方法が開示されている。基板とフリップチップとは、複数の半田バンパによってボンディングされる。基板とフリップチップとの間であって、ダムに囲まれた半田バンパが存在しない部分には、アンダーフィルが注入されて固化される、と開示されている。

[0005] また、同公報においては、基板と基板上に形成された複数個の半田バンプと、これらの半田バンプにより基板にボンディングされるフリップチップと、基板とフリップチップとの間に注入され固化する樹脂と、基板上にフリップチップの周囲を囲むように形成され、基板上への樹脂の流出を堰き止める半田ダムとを備えた半導体装置が開示されている。この半導体装置によれば、樹脂の流出を防ぐダムの形成に必要な面積を減少させることが可能になり、また、半田バンプの形成の工程と同じ工程で半田ダムを形成することができるので、コストアップの要因を排除することが可能になる、と開示されている。

特許文献1:特開2003-234362号公報

発明の開示

発明が解決しようとする課題

[0006] フリップチップ接合において、一の半導体チップと他の半導体チップとの隙間、または半導体チップと基板との隙間は、装置の小型化に伴って狭くなってきている。すなわち、狭ギャップ化が進行している。この狭ギャップ化に伴って、隙間へのアンダーフィル樹脂の侵入性は悪化する。アンダーフィル樹脂の侵入性を向上させるために、アンダーフィル樹脂の粘度を下げるが行なわれている。しかし、粘度を下げると、隙間へのアンダーフィル樹脂の侵入性が向上する一方で、半導体チップまたは基板の周辺部に配置されている電極パッドや外部ランドに向かってアンダーフィル樹脂が流れてしまい、電極パッドや外部ランドが汚染されるという問題があった。

[0007] たとえば、上側に配置される半導体チップと下側に配置される半導体チップとを、フリップチップによって結合する後に、上側の半導体チップと下側の半導体チップとの間隙にアンダーフィル樹脂を注入する。この後に、下側の半導体チップの外周に形成された電極パッドとインターポーザ(基板)のボンディングパッドとをワイヤボンディングによって接続する。この際に、下側の半導体チップの電極パッドが、アンダーフィル樹脂によって汚染されていると、電極パッドに形成される金(Au)ボールの接合強度が小さくなってしまう。このため、接合された金ボールが剥がれる、または、ワイヤボンディングによって接合することができないという問題があった。

課題を解決するための手段

- [0008] 本発明は、アンダーフィル樹脂によって、基板や半導体チップの表面に形成された電極パッドなどの部品が汚染されることを防止した半導体装置および半導体装置の製造方法を提供することを目的とする。
- [0009] 本発明に基づく半導体装置の第1の局面では、第1の部材と、表面同士が互いに略平行になるように、間隙を空けて第1の部材に固定された第2の部材と、上記の間隙に充填されたアンダーフィル樹脂とを備える。第1の部材において、第2の部材を第1の部材に投影した領域の外側に、第1の部材を保護するための保護膜が形成され、保護膜は、第1の部材の表面から突出して、堰になるように形成されている。
- [0010] または、本発明に基づく半導体装置の第2の局面では、第1の部材と、表面同士が互いに略平行になるように、間隙を空けて第1の部材に固定された第2の部材と、上記の間隙に充填されたアンダーフィル樹脂とを備える。第1の部材において、第2の部材を第1の部材に投影した領域の外側に凹部が形成されている。
- [0011] または、本発明に基づく半導体装置の第3の局面では、第1の部材と、表面同士が互いに略平行になるように、間隙を空けて第1の部材に固定された第2の部材と、上記の間隙に充填されたアンダーフィル樹脂とを備える。第1の部材において、第2の部材を第1の部材に投影した領域の外側に、領域を取り囲むように第1の部材を貫通する貫通孔が形成されている。
- [0012] 本発明に基づく半導体装置の製造方法は、第1の部材と、表面同士が互いに略平行になるように、間隙を空けて第1の部材に固定された第2の部材と、間隙に配置されたアンダーフィル樹脂とを備える半導体装置の製造方法において、第2の部材の表面において、第1の部材が配置されるべき領域の外側に第1のパッドを形成する工程と、第2の部材の表面において、第1の部材を接続するための第2のパッドを形成する工程と、第1のパッドの表面に導電性部材を配置してかさ上げ部を形成するかさ上げ部形成工程と、かさ上げ部形成工程の後に、第1の部材と第2の部材との間にアンダーフィル樹脂を配置するアンダーフィル樹脂配置工程とを含む。

発明の効果

- [0013] 本発明によれば、電極パッドなどの部品がアンダーフィル樹脂によって汚染されることを防止した半導体装置および半導体装置の製造方法を提供することができる。

図面の簡単な説明

- [0014] [図1]実施の形態1における第1の半導体装置の概略断面図である。
- [図2]実施の形態1における第1の半導体装置の概略平面図である。
- [図3]実施の形態1における第2の半導体装置の概略断面図である。
- [図4]実施の形態1における第3の半導体装置の概略平面図である。
- [図5]実施の形態1における第4の半導体装置の概略平面図である。
- [図6]実施の形態1における第5の半導体装置の概略平面図である。
- [図7]実施の形態1における半導体装置の製造方法の第1工程説明図である。
- [図8]実施の形態1における半導体装置の製造方法の第2工程説明図である。
- [図9]実施の形態1における半導体装置の製造方法の第3工程説明図である。
- [図10]実施の形態1における半導体装置の製造方法の第4工程説明図である。
- [図11]実施の形態1における半導体装置の製造方法の第5工程説明図である。
- [図12]実施の形態1における半導体装置の製造方法の第6工程説明図である。
- [図13]実施の形態2における半導体装置の概略断面図である。
- [図14]実施の形態2における半導体装置の製造方法の第1工程説明図である。
- [図15]実施の形態2における半導体装置の製造方法の第2工程説明図である。
- [図16]実施の形態2における半導体装置の製造方法の第3工程説明図である。
- [図17]実施の形態2における半導体装置の製造方法の第4工程説明図である。
- [図18]実施の形態2における半導体装置の製造方法の第5工程説明図である。
- [図19]実施の形態2における半導体装置の製造方法の第6工程説明図である。
- [図20]実施の形態2における半導体装置の製造方法の第7工程説明図である。
- [図21]実施の形態3における半導体装置の概略断面図である。
- [図22]実施の形態4における半導体装置の概略断面図である。
- [図23]実施の形態4における半導体装置の概略平面透視図である。
- [図24]実施の形態4における半導体装置の下面図である。
- [図25]実施の形態4における半導体装置の製造方法の第1工程説明図である。
- [図26]実施の形態4における半導体装置の製造方法の第2工程説明図である。
- [図27]実施の形態4における半導体装置の製造方法の第3工程説明図である。

- [図28]実施の形態4における半導体装置の製造方法の第4工程説明図である。
- [図29]実施の形態4における半導体装置の製造方法の第5工程説明図である。
- [図30]実施の形態4における半導体装置の製造方法の第6工程説明図である。
- [図31]実施の形態4における半導体装置の製造方法の第7工程説明図である。
- [図32]実施の形態4における半導体装置の製造方法の第8工程説明図である。
- [図33]実施の形態4における半導体装置の製造方法の第9工程説明図である。
- [図34]実施の形態4における半導体装置の製造方法の第10工程説明図である。
- [図35]実施の形態5における半導体装置の概略断面図である。
- [図36]実施の形態5における半導体装置の製造方法の第1工程説明図である。
- [図37]実施の形態5における半導体装置の製造方法の第2工程説明図である。
- [図38]実施の形態5における半導体装置の製造方法の第3工程説明図である。
- [図39]実施の形態5における半導体装置の製造方法の第4工程説明図である。
- [図40]実施の形態5における半導体装置の製造方法の第6工程説明図である。
- [図41]実施の形態6における第1の半導体装置の製造方法の説明図である。
- [図42]実施の形態6における第2の半導体装置の製造方法の説明図である。
- [図43]実施の形態6における第3の半導体装置の製造方法の第1工程説明図である。
- 。
- [図44]実施の形態6における第3の半導体装置の製造方法の第2工程説明図である。
- 。
- [図45]実施の形態6における半導体装置の部分拡大図である。

符号の説明

- [0015] 1, 2, 3 半導体チップ、4, 31 有機基板、5, 8 貫通孔、6, 7, 9, 10, 27, 28 凹部、11 バンプ、12, 13 電極パッド、14 外部ランド、15, 16 金線、17, 18, 25, 35 蓋、19 保護膜、20 アンダーフィル樹脂、21 Si基板、22 層間絶縁膜、23 SiN膜、24, 30 Cu膜、26, 37 切欠き部、32 絶縁膜、33 無電解Cuめっき膜、34 電解Cuめっき部、36 Cuめっき膜、51, 52 半導体チップ、55, 56 ポリイミド膜、58 半導体基板、61 金線、63〜65 パッド、71 金ボール部、72, 72a, 72b, 79 バリアメタル層、73a, 73b, 80 Auバンプ、74a, 74b, 75 かさ上げ部、

77 フォトレジスト層、78 開口部、81 配線基板、82, 84 ランド、83 半田ボール、85 キャピラリ、86 供給ノズル、88 NCP、89 NCF、90 封止樹脂、91 接着材、92 アンダーフィル樹脂、93-100 矢印。

発明を実施するための最良の形態

[0016] (実施の形態1)

図1から図12を参照して、本発明に基づく実施の形態1における半導体装置について説明する。

[0017] 図1は、本実施の形態における第1の半導体装置の概略断面図である。第1の半導体装置は、第1の部材としての半導体チップ2と、第2の部材としての半導体チップ1とを備える。半導体チップ1および半導体チップ2は、板状に形成されている。半導体チップ1は、主表面が半導体チップ2の主表面とほぼ平行になるように、間隙をあけて半導体チップ2に固定されている。

[0018] 半導体チップ1の主表面には、アルミニウム(Al)からなる複数の電極パッド12が形成され、電極パッド12の表面には、バンプ(突起)11が形成されている。バンプ11は、それぞれの電極パッド12に1つずつ形成されている。バンプ11としては、たとえば、金(Au)の金属を用いて形成されたスタッドバンプが用いられている。

[0019] 半導体チップ2の主表面のうち、半導体チップ1が結合される側の主表面には、半導体チップ1の電極パッド12の位置に対応するように電極パッドが形成され(図示せず)、この電極パッドにバンプ11が結合固定されている。

[0020] 半導体チップ1は、フリップチップによって半導体チップ2に固定されている。半導体チップ1と半導体チップ2との間の間隙には、アンダーフィル樹脂20が充填されている。アンダーフィル樹脂20は、流動性の高い低粘度のエポキシ樹脂が主に用いられる。

[0021] 半導体チップ2の主表面において、半導体チップ1を半導体チップ2に投影した領域の外側には、凹部27が形成されている。凹部27は、貫通孔5および蓋17を含み、半導体チップ2の主表面よりも窪んでいる。貫通孔5は、半導体チップ2を貫通するように形成されている。貫通孔5の内壁には、図示しない銅からなるめっき膜が形成されている。

- [0022] 半導体チップ2の主表面のうち、半導体チップ1が結合されている側と反対側の主表面には、貫通孔5の開口部を覆うように、蓋17が配置されている。蓋17は、平板状に形成され、貫通孔5の平面形状に沿って形成されている。本実施の形態においては、蓋17は銅から形成されている。このように、半導体チップ2を貫通する貫通孔5と貫通孔5の一方の開口部を封止するように形成された蓋17とによって、凹部27が形成されている。貫通孔5の内壁に配置されためっき膜は、蓋17に接合して電氣的に接続されている。
- [0023] 電極パッド13は、半導体チップ2の主表面のうち、半導体チップ1が結合されている側の主表面において、貫通孔5の外側に形成されている。すなわち、凹部27は、電極パッド13と半導体チップ同士の間隙が形成されている領域との間に配置されている。電極パッド13には、外部の電気回路との接続のための金線15が接続固定されている。
- [0024] アンダーフィル樹脂20は、半導体チップ1と半導体チップ2との間隙から、外側に向かうように配置されている。アンダーフィル樹脂20は、半導体チップ2の主表面に沿って配置され、一部が凹部27の内部に配置されている。
- [0025] 図2に、本実施の形態における第1の半導体装置の平面図を示す。本実施の形態における第1の半導体装置の半導体チップ1および半導体チップ2は、平面形状がほぼ正方形になるように形成されている。
- [0026] 凹部27は、半導体チップ1の平面形状の正方形の一辺に沿うように、溝状に形成されている。凹部27は、半導体チップ1が配置される領域の周りを取り囲むように配置されている。また、凹部27は、半導体チップ1を半導体チップ2に投影したときの領域の周りを取り囲むように形成されている。凹部27は、平面形状においてほぼ長方形になるように形成されている。第1の半導体装置における凹部27の幅は、100 μ m程度である。凹部27の外側には、複数の電極パッド13が形成され、それぞれの電極パッド13には金線15が接続されている。
- [0027] 図3に、本実施の形態における第2の半導体装置の概略断面図を示す。半導体チップ1と半導体チップ2とがフリップチップによって結合され、2つの半導体チップ1、2同士の隙間にアンダーフィル樹脂20が充填されていることは、第1の半導体装置と

同様である。

[0028] 第2の半導体装置においては、第1の半導体装置における貫通孔を含む凹部の代わりに、凹部10が形成されている。凹部10は、半導体チップ2を貫通しないように、半導体チップ2の一部が切り欠かれて形成されている。凹部10は、溝状に形成されている。第2の半導体装置においては、凹部10の内壁のめっき膜は形成されていない。凹部10は、半導体チップ1を半導体チップ2の主表面に投影したときの領域の周りに、この領域を取り囲むように形成されている。アンダーフィル樹脂20は、一部が凹部10の内部に配置されている。その他の構成については、第1の半導体装置と同様である。

[0029] 図4に、本実施の形態における第3の半導体装置の平面図を示す。図4においては、説明のためアンダーフィル樹脂を省略して記載している。半導体チップ1と半導体チップ2とがフリップチップによって結合され、2つの半導体チップ1、2同士の隙間にアンダーフィル樹脂が充填されていることは、第1の半導体装置と同様である。

[0030] 第3の半導体装置においては、凹部6が断続的に形成されている。凹部6は、半導体チップ2の貫通孔を含み、半導体チップ2の主表面のうち半導体チップ1が配置されている側と反対側の主表面には、貫通孔の開口部を覆うように蓋が形成されている。

[0031] それぞれの凹部6は、平面形状が長方形になるような溝状に形成され、この長方形の長辺が、半導体チップ1の平面形状である正方形の一辺にほぼ平行になるように配置されている。凹部6は、1つの凹部6が2つの電極パッド13に対応するように形成されている。凹部6は、ほぼ等間隔で配置され、半導体チップ1を半導体チップ2に投影したときの領域の周りを囲むように形成されている。すなわち、第3の半導体装置における凹部6は、第1の半導体装置における凹部を複数に分断した形状を有する。図示しないアンダーフィル樹脂は、一部が凹部6の内部に配置されている。その他の構成については、第1の半導体装置と同様である。

[0032] 図5に、本実施の形態における第4の半導体装置の平面図を示す。図5においては、説明のためアンダーフィル樹脂を省略して記載している。半導体チップ1と半導体チップ2とがフリップチップによって結合され、2つの半導体チップ1、2同士の隙間に

アンダーフィル樹脂が充填されていることは、第1の半導体装置と同様である。

[0033] 第4の半導体装置においては、円形の平面形状を有する凹部7が形成されている。凹部7は、半導体チップ2を貫通する貫通孔を含む。半導体チップ2の主表面のうち、半導体チップ1が結合されている側と反対側の主表面には、貫通孔の開口部を覆うように、蓋が形成されている。

[0034] 凹部7は、複数個形成され、凹部7が配列している方向と半導体チップ1の平面形状である正方形の一辺とが、ほぼ平行になるように配置されている。凹部7は、電極パッド13と半導体チップ1との間に形成され、それぞれの1つの電極パッド13に対応するように、1つの凹部7が形成されている。また、半導体チップ1を半導体チップ2に投影した領域の周りを取り囲むように、凹部7が配置されている。図示しないアンダーフィル樹脂は、一部が凹部7の内部に配置されている。その他の構成については、第1の半導体装置と同様である。

[0035] 図6に、本実施の形態における第5の半導体装置の平面図を示す。図6においては、説明のためアンダーフィル樹脂を省略して記載している。半導体チップ1と半導体チップ2とがフリップチップによって結合され、2つの半導体チップ1、2同士の隙間にアンダーフィル樹脂が充填されていることは、第1の半導体装置と同様である。

[0036] 第5の半導体装置においては、平面形状がほぼ正方形の凹部9が、半導体チップ同士の隙間と電極パッド13との間に2列形成されている。すなわち、凹部9は、複数個形成され、半導体チップ1の側に配置された列と、電極パッド13の側に配置された列とを有するように配置されている。それぞれの列は、半導体チップ1の平面形状である正方形の一辺に対して、ほぼ平行になるように形成されている。

[0037] 電極パッド13の側に形成された列の凹部9は、電極パッド13に対応するように配置されている。すなわち、それぞれの1つの電極パッド13と半導体チップ1との間に、1つの凹部9が形成されている。半導体チップ1の側に形成された凹部9は、電極パッド13の側に配置された列の凹部9同士の間に対応するように配置されている。このように、第5の半導体装置においては、凹部9が形成されている複数の列が、互いにずれるように形成されている。その他の構成については、第1の半導体装置と同様である。

- [0038] 本実施の形態における半導体装置は、フリップチップによって、2つ部材が結合されている。特に本実施の形態においては、平板状の部材が主表面同士が互いに平行になるように結合されている。半導体装置の製造工程においては、半導体チップ1が、熱圧着工法または超音波を併用した熱圧着工法によって、半導体チップ2にフリップチップ接合される。次に、半導体チップ1と半導体チップ2との隙間に、低粘度のアンダーフィル樹脂20が注入される。
- [0039] 図1および図2に示す第1の半導体装置においては、アンダーフィル樹脂20を隙間に注入する際に、アンダーフィル樹脂20のうち一部が、半導体チップ2の外側に向かって流れようとする。この一部のアンダーフィル樹脂20は、凹部27に流れ込む。このため、アンダーフィル樹脂20が、電極パッド13まで到達することを防止できる。この結果、電極パッド13が、アンダーフィル樹脂20によって汚染されない半導体装置を得ることができる。
- [0040] このように、第1の部材において第2の部材を第1の部材に投影した領域の外側に、凹部が形成されていることによって、電極パッドなどの部品がアンダーフィル樹脂で汚染されることを防止した半導体装置を提供することができる。本実施の形態においては、有底の凹部が形成されているが、凹部の代わりに、第1の部材を貫通して第1の部材の表裏に開口部を有する貫通孔のみが形成され、蓋が形成されていなくても同様の効果を有する。
- [0041] また、図1に示すように、第1の半導体装置においては、凹部が第1の部材を貫通する貫通孔と、貫通孔の一方の開口部を封止するように形成された蓋とを含む。本実施の形態においては、貫通孔の内壁にめっき膜が形成され、めっき膜および蓋は、共に導電性を有する銅から形成されている。このような構成を採用することにより、凹部を第1の部材の表裏の主表面に形成された電気回路を接続するためのビアとして用いることができる。また、蓋25が導電性材料で形成されていることによって、蓋25を電極パッドとして用いることができる。
- [0042] また、貫通孔に対して蓋を形成することによって、アンダーフィル樹脂が半導体チップの裏面に付着することを防止できる。特に、半導体チップの表裏に貫通孔を介して接続された配線が形成されている場合には、裏面にも配線や電極パッドが形成され

ている。このため、基板や半導体チップの裏面に対しても、アンダーフィル樹脂で部品が汚染されることを防止することが好ましく、蓋を形成することによってこの汚染を防止することができる。

[0043] また、図2に示すように、第1の半導体装置においては、凹部が溝状に形成され、第2の部材を第1の部材に投影した領域の周りを取り囲むように形成されている。この構成を採用することにより、より効果的に外側に向かって流れるアンダーフィル樹脂を凹部に導くことができ、より効果的に電極パッドなどの汚染を防止できる。

[0044] 図3に示す第2の半導体装置においては、凹部10が半導体チップ2を貫通しないように切欠かれた部分によって形成されている。この構成を採用することによっても、半導体チップ2の外側に向かって流れるアンダーフィル樹脂20を凹部10に導くことができ、電極パッド13が汚染することを防止できる。また、第1の半導体装置に比べて、半導体チップ2の片方の主表面に形成する蓋が不要であるため構成が簡単になる。

[0045] 第2の半導体装置においては、単一の半導体チップを単一の半導体チップや基板に接続固定する場合には有用である。一方で、半導体チップを三次元的に積層する場合には、図1に示した第1の半導体装置のように、凹部を半導体チップ同士を接続するためのビアとして用いることができるため、貫通孔に対して蓋が配置されていることが好ましい。その他の作用および効果については第1の半導体装置と同様である。

[0046] 図4に示す第3の半導体装置においては、平面形状が長方形になるような貫通孔が断続的に形成されている。また、図5に示す第4の半導体装置においては、平面形状が円形になるような凹部7が形成されている。これらのうち、いずれかの構成を採用することによっても、アンダーフィル樹脂が外側に配置された電極パッドに到達して電極パッドが汚染されることを防止できる。

[0047] 第3の半導体装置および第4の半導体装置においては、それぞれの貫通孔が電極パッドの位置に対応するように配置されている。すなわち、第3の半導体装置においては、2つの電極パッド13に対して、1つの凹部6が対応するように形成され、外側に向かうアンダーフィル樹脂が電極パッド13に到達しないように凹部6が配置されている。また、第4の半導体装置においては、1つの電極パッド13に対応するように1つの

凹部7が形成され、それぞれの凹部7は、外側に向かうアンダーフィル樹脂が電極パッド13に到達しないように配置されている。これらのうちいずれかの構成を採用することにより、電極パッドがアンダーフィル樹脂によって汚染されることをより効果的に防止できる。その他の作用および効果については、第1の半導体装置と同様である。

[0048] 図6に示す第5の半導体装置においては、半導体チップ1と電極パッド13との間に、2列になるように複数の凹部9が形成されている。このように、複数列の凹部を形成することによって、アンダーフィル樹脂が電極パッド13に到達することをより確実に防止できる。

[0049] 本実施の形態においては、2つの半導体チップ同士を結合するバンプ材に、金(Au)から形成されたものを用いたが、特にこの形態に限られず、たとえば、半田からなるバンプ材が用いられていても構わない。また、第1の部材および第2の部材は、半導体チップに限られず、任意の部品を用いることができる。特に、フリップチップ接合を行なう装置に本発明を適用することができる。

[0050] また、第1の半導体装置、第2の半導体装置および第4の半導体装置においては、形成されている凹部の平面形状が、四角形になるように形成されているが、特にこの形態に限られず、平面的に見たときに、曲線を含む形状であっても構わない。

[0051] 本実施の形態における凹部に含まれる貫通孔は、形成されている方向が半導体チップ2の主表面に垂直になっているが、特にこの形態に限られず、半導体チップ2の主表面に対して傾斜するように形成されていても構わない。また、それぞれの凹部は、断面形状が長方形になるように形成されているが、特にこの形態に限られず、たとえば、断面形状が台形になるように形成されていても構わない。

[0052] また、本実施の形態においては、アンダーフィル樹脂の一部が、凹部の内部に配置されているが、特にこの形態に限られず、アンダーフィル樹脂が凹部まで到達せずに、凹部の内部にアンダーフィル樹脂が配置されていなくてもよい。

[0053] 図7から図12を参照して、本実施の形態における半導体装置に含まれる凹部の製造方法の例を示す。図7から図12は、それぞれの製造工程を説明する概略断面図である。図7に示すように、Si基板21の上面に開口部を有する層間絶縁膜22を形成する。層間絶縁膜22をマスクにして、Si基板21に対してエッチングを行なって切欠き

部26を形成する。

[0054] 次に、図8に示すように、CVD (Chemical Vapor Deposition) 法によって、SiN膜23を層間絶縁膜22の上面および切欠き部26の内壁を覆うように形成する。

[0055] 次に、SiN膜23の表面に、CVD法によって、図示しないTiN膜を形成する。さらに、TiN膜の上面に、CVD法によって図示しないCu膜を形成する。この後に、図9に示すように、CVD法で形成されたCu膜を電極として、電解Cuめっき法にて、Cu膜24を形成する。

[0056] 次に、図10に示すように、Cu膜24のうち切欠き部26の内部に形成されている部分以外の部分を、CMP (化学機械研磨) 法によって除去する。また、SiN膜23のうち切欠き部26の内部に形成されている部分以外の部分についても、CMP法によって除去する。

[0057] 次に、図11に示すように、Si基板21の裏面に対して研磨を行なって、切欠き部の底部に形成されたCu膜24を露出させる。

[0058] 最後に、図12に示すように、Si基板21の裏面に露出したCu膜24に対して、TiNで形成された拡散防止膜を介して、Cuで形成された蓋25を配置する。このように、フリップチップ接合を行なう前に、凹部を形成することができる。

[0059] (実施の形態2)

図13から図20を参照して、本発明に基づく実施の形態2における半導体装置について説明する。実施の形態2における半導体装置は、実施の形態1における第1の部材としての半導体チップが有機基板に置き換えられ、さらに、第2の部材としての半導体チップが積層された半導体装置である。

[0060] 図13は、本実施の形態における半導体装置の概略断面図である。本実施の形態における半導体装置は、第1の部材としての有機基板4と、第2の部材として半導体チップ1とを備える。有機基板4と半導体チップ1とは、それぞれの主表面が互いにほぼ平行になるように、間隙をあけて固定されている。

[0061] 半導体チップ1は、バンプ11を介して、フリップチップによって有機基板4に結合されている。半導体チップ1に形成された電極パッド12は、アルミニウム (Al) で形成されている。バンプ11は、たとえば、金 (Au) などの金属から形成されたスタッドバンプ

が用いられている。

- [0062] 半導体チップ1には他の半導体チップ3が接合されて、半導体チップが積層されている。半導体チップ3は、金線16によって、有機基板4の主表面に形成された外部ランド14と電氣的に結合されている。
- [0063] 有機基板4において、半導体チップ1を有機基板4に投影した領域の外側には、凹部28が形成されている。凹部28は、貫通孔8、Cu膜30およびCuから形成された蓋18を含む。貫通孔8は、有機基板4を貫通するように形成され、貫通孔8の半導体チップ1が配置されている側と反対側の開口部には、この開口部を封止する(塞ぐ)ように、蓋18が形成されている。蓋18は、貫通孔8の開口部の形状に沿うように形成されている。
- [0064] 有機基板4と半導体チップ1との間の間隙には、アンダーフィル樹脂20が充填されている。アンダーフィル樹脂20は、有機基板4の外側に向かって延在している。アンダーフィル樹脂20の一部は、凹部28の内部に配置されている。
- [0065] 凹部28は、配線層が形成されている有機基板4の主表面よりも窪んでいる。凹部28の平面形状は、長方形になるように形成されている。凹部28は、平面形状における長手方向が、半導体チップ1の外形に沿うように形成されている。すなわち、凹部28の平面形状は、実施の形態1における第1の半導体装置の凹部と同様になるように形成されている。(図2参照)。
- [0066] 本実施の形態における有機基板4は、ガラスエポキシ樹脂を用いて形成されている。バンプ11が接合される有機基板4に形成されたランド(図示せず)は、銅(Cu)箔の上面に、ニッケル(Ni)および金(Au)のめっきが施されている。有機基板4に形成されているランドは、半導体チップ1に形成されている電極パッド12の位置に対応するように配置されている。
- [0067] その他の構成については、実施の形態1における第1の半導体装置と同様である。
- [0068] 半導体チップ1と有機基板4とは、熱圧着工法または超音波を併用した熱圧着工法によってフリップチップ接合されている。有機基板4に形成されたランドと半導体チップ1に形成された電極パッド12とが、バンプ11を介して結合固定されている。
- [0069] 製造工程において、有機基板4と半導体チップ1のフリップチップが終了した後に、

有機基板4と半導体チップ1との隙間にアンダーフィル樹脂20が注入される。この際に、アンダーフィル樹脂20は、有機基板4の外側に向かって流れて、アンダーフィル樹脂20の一部が凹部28に流入する。

[0070] このように、半導体チップ1を有機基板4に投影した領域の外側に凹部が形成されていることによって、アンダーフィル樹脂20が流れて外部ランド14が汚染されることを防止できる。すなわち、上記の領域と外部ランド14との間に、凹部28を形成することによって、外部ランド14がアンダーフィル樹脂20によって汚染されることを防止できる。この結果、外部ランド14がアンダーフィル樹脂によって汚染されていない半導体装置を提供することができる。

[0071] 本実施の形態においては、凹部28は、貫通孔8の内壁にCu膜30が形成され、蓋18が、導電性材料であるCuで形成されている。この構成を採用することにより、有機基板4の表側に形成された配線と、裏側に形成された配線とを凹部28を介して電氣的に接続することができる。

[0072] 本実施の形態においては、有機基板を貫通する貫通孔が形成され、貫通孔の一方の開口部が蓋によって封止されているが、特にこの形態に限られず、有機基板を貫通しないような凹部が形成されていてもよい。

[0073] また、本実施の形態においては、第1の部材としての有機基板にガラスエポキシ樹脂を用いているが、特にこの形態に限られず、たとえば、ポリイミド樹脂を用いて形成されていてもよい。

[0074] その他の作用および効果については、実施の形態1と同様であるので、ここでは説明を繰り返さない。

[0075] 図14から図20を参照して、本実施の形態における半導体装置に含まれる凹部の製造方法の一例を示す。図14から図20は、それぞれの工程を説明する概略断面図である。

[0076] 図14に示すように、有機基板31に対して、ドリル加工によって貫通孔を形成した後に、基板全体に対して、無電解Cuめっき膜を形成する。このとき、貫通孔の内部にCuめっき膜36が形成される。

[0077] 次に、図15に示すように、ラミネート法によって、有機基板31の表裏の主表面に、

絶縁膜32を形成する。このとき、Cuめっき膜36で囲まれる領域にも絶縁膜32の材料が充填される。

[0078] 次に、図16に示すように、有機基板31の裏側から、レーザ加工によって、切欠き部37を形成する。切欠き部37は、Cuめっき膜36の平面形状に沿うように形成する。次に、図17に示すように、絶縁膜32の粗化处理を行なった後に、無電解Cuめっき膜33を形成する。無電解Cuめっき膜33を、有機基板31の裏面側の絶縁膜32の主表面および切欠き部37の内部に形成する。

[0079] 次に、図18に示すように、図示しないレジストを形成して、電解Cuめっき部34を形成する。電解Cuめっき部34は、切欠き部の形状に沿うように形成される。

[0080] 次に、図19に示すように、絶縁膜32の主表面に形成されている無電解Cuめっき膜33を除去する。このように、無電解Cuめっき膜33および電解Cuめっき部34を含む蓋35を形成する。

[0081] 次に、図20に示すように、Cuめっき膜36で囲まれた領域に対して、レーザ加工を行なって、凹部の凹となる部分を形成する。凹となる部分の径は、たとえば100 μ m程度である。

[0082] このように、有機基板に対して、フリップチップ接合の前に第1の部材を有機基板に投影したときの領域の外側に、凹部を形成することができる。

[0083] (実施の形態3)

図21を参照して、本発明に基づく実施の形態3における半導体装置について説明する。

[0084] 図21は、本実施の形態における半導体装置の概略断面図である。第1の部材としての半導体チップ2と第2の部材としての半導体チップ1とが、バンプ11を介してフリップチップによって結合され、半導体チップ1と半導体チップ2との隙間に、アンダーフィル樹脂20が注入されていることは、実施の形態1における半導体装置と同様である。また、半導体チップ2の外周部に電極パッド13が形成され、電極パッド13に金線15が接続されていることも実施の形態1における半導体装置と同様である。

[0085] 本実施の形態における半導体装置は、凹部の代わりに、保護膜19が形成されている。保護膜19は、半導体チップ2のクラックの発生を防止するために形成されている。

。本実施の形態における保護膜19は、ポリイミド樹脂で形成されている。保護膜19は、たとえば、感光性ポリイミド樹脂を用いたフォトリソグラフィによって形成されている。

[0086] 保護膜19は、半導体チップ2の主表面から突出するように形成されている。半導体チップのクラックなどを防止するための保護膜の通常の厚さは5 μ m程度である。本実施の形態における保護膜19は、厚さが5 μ m程度である。

[0087] 保護膜19は、半導体チップ1を半導体チップ2に投影したときの領域の外側に配置され、この領域を取り囲むように形成されている。保護膜19は、この領域と電極パッド13との間に配置されている。保護膜19は、平面形状が長方形になるように形成され、この長方形の長辺が、半導体チップ1の外縁とほぼ平行になるように形成されている。すなわち、本実施の形態における半導体装置は、保護膜が堰になるように連続的に形成され、実施の形態1における第1の半導体装置(図1および図2参照)の凹部を保護膜に置き換えた構成を備える。

[0088] アンダーフィル樹脂20は、半導体チップ1と半導体チップ2との隙間に注入され、この隙間から半導体チップ2の外側に向かって、保護膜19が形成されている部分まで配置されている。

[0089] その他の構成については、実施の形態1における第1の半導体装置と同様であるので、ここでは説明を繰り返さない。

[0090] 製造工程においては、半導体チップ1と半導体チップ2とが、熱圧着工法または超音波を併用した熱圧着工法によって、フリップチップ接合される。半導体チップ2には、予め保護膜19が形成されている。

[0091] 半導体チップ1と半導体チップ2とのフリップチップ接合が終了した後に、半導体チップ1と半導体チップ2との間隙にアンダーフィル樹脂20を注入する。アンダーフィル樹脂20は、この間隙に注入されるほかに、半導体チップ2の外側に向かって流れるが、保護膜19によって堰き止められる。このように、アンダーフィル樹脂20が半導体チップ2の外周部に形成された電極パッド13に到達することを防止でき、電極パッド13がアンダーフィル樹脂20によって汚染されることを防止できる。

[0092] また、半導体チップのクラックを防止する保護膜は、従来の技術における半導体チ

ップに対しても形成されているため、保護膜を形成するためのマスクのパターンと、保護膜の厚さを変更するのみで、本発明に基づく半導体装置を製造することができる。製造においては、新たな製造工程の追加や、新たな材料の追加が不要であるため、容易に電極パッドなどの汚染を防止した半導体装置を提供することができる。

[0093] また、本実施の形態における保護膜19は、半導体チップ1を半導体チップ2に投影した領域を取り囲むように形成されている。この構成を採用することにより、より効果的にアンダーフィル樹脂が電極パッドに到達することを防止できる。

[0094] 本実施の形態における保護膜の厚さは5 μ m程度であるが、第1の部材および第2の部材同士の間隙の幅、およびアンダーフィル樹脂の種類によっては、保護膜を厚くすることが好ましい。

[0095] その他の作用および効果については実施の形態1と同様であるのでここでは説明を繰り返さない。

[0096] (実施の形態4)

図22から図34を参照して、本発明に基づく実施の形態4における半導体装置および半導体装置の製造方法について説明する。

[0097] 図22は、本実施の形態における半導体装置の概略断面図である。本実施の形態における半導体装置は、第1の部材としての半導体チップ52と、第2の部材としての半導体チップ51とを備える。半導体チップ51と半導体チップ52とは、表面同士が互いにほぼ平行になるように間隙をあけて配置されている。半導体チップ52の表面には、外部への接続線を接続するための第1のパッドとしてパッド64が形成されている。パッド64は、半導体チップ51を半導体チップ52に投影したときに、影になる領域の外側に配置されている。

[0098] 半導体チップ52の表面には、半導体チップ51を接続するための第2のパッドとして、パッド65が形成されている。パッド65は、半導体チップ51を半導体チップ52に投影したときに、影になる領域に配置されている。半導体チップ52の表面およびパッド64、65の表面の一部にはポリイミド膜55が形成されている。ポリイミド膜55は、ソフテラーの防止のために形成されている。

[0099] パッド64の表面には、かさ上げ部74aが形成されている。かさ上げ部74aは、導電

性を有する部分の高さが高くなるように形成された部分である。本実施の形態においては、かさ上げ部74aは直方体状に形成されている。かさ上げ部74aは、バリアメタル層72aとAuバンプ73aとを含む。パッド65の表面には、かさ上げ部74bが形成されている。かさ上げ部74bは、バリアメタル層72bとAuバンプ73bを含む。

[0100] 本実施の形態においては、後述するようにバリアメタル層72aとバリアメタル層72bとは同一の製造工程で形成され、同一の材質で形成されている。また、Auバンプ73aとAuバンプ73bとは、同じ製造工程で形成され、同一の材質で形成されている。

[0101] 本実施の形態におけるバリアメタル層72a, 72bは、パッド64, 65の表面からTiN層、TiW層、およびAu層の順に積層された積層体である。バリアメタル層72a, 72bは、Auバンプ73a, 73bとパッド64, 65とを密着させるため、および拡散バリア効果を得るために形成されている。

[0102] 半導体チップ51の表面には、半導体チップ52との接続を行なうためのパッド63が形成されている。半導体チップ51の表面およびパッド63の表面の一部には、ポリイミド膜56が形成されている。パッド63は、かさ上げ部74bに接合されている。このように、半導体チップ51と半導体チップ52とは、導電性部材を介して、間隙をあけて固定され、互いに電氣的に接続されている。

[0103] 半導体チップ51と半導体チップ52との間には、アンダーフィル樹脂92が配置されている。アンダーフィル樹脂92は、半導体チップ51が配置されている領域から外側に向かって広がるように配置されている。半導体チップ52のパッド64が形成されている部分において、かさ上げ部74aは、アンダーフィル樹脂92の高さよりも高くなっている。

[0104] 半導体チップ52は、接着材91を介して、配線基板81に固定されている。配線基板81の表面の外周部には、ランド84が形成されている。半導体チップ52のパッド64と配線基板81のランド84とは、金線61によって電氣的に互いに接続されている。金線61は、かさ上げ部74aに接続されている端部において、球状の金ボール部71を含む。

[0105] 配線基板81の上面には、内部に半導体チップ51, 52および金線61を含むように封止樹脂90が配置されている。配線基板81の主表面のうち、半導体チップ52が配

置されている側と反対側の主表面には、ランド82および半田ボール83が配置されている。

- [0106] 図23は、本実施の形態における半導体装置の封止樹脂を取除いたときの平面図である。図24は、本実施の形態における半導体装置の下面図である。図23を参照して、本実施の形態における半導体装置は、半導体チップ51、52の平面形状がほぼ正方形になるように配置されている。半導体チップ51と半導体チップ52とは、それぞれの重心位置が平面的に見て重なるように配置されている。
- [0107] かさ上げ部74aは、半導体チップ52の周辺部分に配置されている。かさ上げ部74aは、半導体チップ52の外縁に沿うように配置されている。配線基板81の表面には、かさ上げ部74aの位置に対応するようにランド84が形成されている。アンダーフィル樹脂92は、半導体チップ51が形成されている領域からかさ上げ部74aが形成されている領域まで配置されている。アンダーフィル樹脂92は、半導体チップ52の外側に飛び出さないように配置されている。
- [0108] 図22を参照して、配線基板81の下面においては、ランド82を介して複数の半田ボール83が形成されている。本実施の形態においては、複数の半田ボール83が規則的に配列して形成されている。
- [0109] 図22から図24を参照して、本実施の形態における半導体装置は、半導体チップ52のパッド64の表面に、かさ上げ部74aが形成されている。この構成を採用することにより、金線61を接続する部分の頂面の高さを高くすることができ、アンダーフィル樹脂92が、外側に向かって流れても、金線61を接続する部分の表面の汚染を防止できる。したがって、金線61とかさ上げ部74aとの接合強度が小さくなることを防止でき、金ボール部71を確実に接合することができる。また、後に金ボール部71が剥がれ、外れてしまうことを防止できる。
- [0110] かさ上げ部74aとしては、アンダーフィル樹脂92によって頂面が汚染されないような十分な高さを有することが好ましい。たとえば、アンダーフィル樹脂92のおおよそ10 μm の厚さに対応させて、かさ上げ部74aの高さはパッド64の表面から20 μm 以上25 μm 以下が好ましい。
- [0111] 次に、図25から図34を参照して、本実施の形態における半導体装置の製造方法

について説明する。

- [0112] 図25から図34は、それぞれの工程における概略断面図である。図25を参照して、はじめに、電気回路を第1の部材としてのシリコン基板などの半導体基板58に形成する。半導体基板58の表面にパッド64, 65を形成する。
- [0113] パッド64は、後に外部との電気的な接続を行なうためのパッドである。パッド64は、半導体チップとなるべき領域の周辺部に配置する。パッド64は、後に接続される第2の部材としての半導体チップが配置される領域の外側に配置する。
- [0114] パッド65は、後に接続される第2の部材としての半導体チップとの電気的な接続を行なうためのパッドである。パッド65は、後に接続される半導体チップの投影領域に配置されている。次に、半導体基板58の表面およびパッド64, 65の表面の一部を覆うように、ポリイミド膜55を形成する。次に、かさ上げ部を形成するかさ上げ部形成工程を行なう。
- [0115] 図26に示すように、パッド64, 65の露出した部分およびポリイミド膜55を覆うように、バリアメタル層72を形成する。バリアメタル層72は、たとえば、スパッタ法で形成する。本実施の形態においては、バリアメタル層として、順にTiN層、TiW層、Au層の3層を積層して形成する。
- [0116] 次に、図27に示すように、開口部78を有するフォトレジスト層77を形成する。開口部78は、パッド64, 65が配置されている領域に形成する。フォトレジスト層77の形成においては、たとえば、スピン塗布法でフォトレジストを塗布した後に、露光および現像を行なって開口部78を形成する。本実施の形態においては、平面形状が四角形になるように開口部78を形成する。
- [0117] 次に、図28に示すように、電解めっき法によって、Auバンプ73a, 73bを形成する。電解めっき法においては、たとえば、Auイオンを含むめっき液に半導体基板を浸漬させた状態で、バリアメタル層72に正の電圧を印加することによって、フォトレジスト層77の開口部78にAuを析出させる。このように、開口部78の形状に沿って、Auバンプ73a, 73bを形成する。本実施の形態においては、Auバンプ73a, 73bをほぼ直方体の形状に形成する。
- [0118] 次に、図29を参照して、フォトレジスト層を除去した後に、バリアメタル層のうち、Au

バンプ73a, 73bが形成されている領域を避けた領域において、バリアメタル層の除去を行なう。バリアメタル層の除去においては、たとえばエッチングによって行なう。このように、バリアメタル層72aおよびAuバンプ73aを含むかさ上げ部74aと、バリアメタル層72bおよびAuバンプ73bを含むかさ上げ部74bを形成する。この後に、半導体基板58をダイシングによって切断して、個々の半導体チップを形成する。

- [0119] 次に、図30に示すように、接着材91により半導体チップ52を配線基板81に接着する。配線基板81の主表面のうち、半導体チップ52が配置される主表面にはランド84を形成しておく。また、配線基板81の主表面のうち、半導体チップ52が配置される側と反対側の主表面にはランド82を形成しておく。
- [0120] 次に、図31に示すように、別の製造工程で製造された半導体チップ51を、半導体チップ52に電氣的に接続すると共に固定する。半導体チップ51には、半導体チップ52と同様にパッド63およびポリイミド膜56を表面に形成しておく。矢印97に示すように、半導体チップ51のパッド63がかさ上げ部74bと接続するように、たとえば、フリップチップ接合によって熱および超音波を印加しながら接合を行なう。
- [0121] 次に、図32を参照して、半導体チップ51と半導体チップ52との間に、アンダーフィル樹脂92を配置するアンダーフィル樹脂配置工程を行なう。このときに、アンダーフィル樹脂92が外側に向かって流れることがあるが、パッド64の表面にかさ上げ部74aが形成されているため、かさ上げ部74aの頂面の汚染を防止することができる。
- [0122] 次に、図33に示すように、半導体チップ52に形成されたかさ上げ部74aと、配線基板81の表面に形成されたランド84との電氣的な接続を行なう。本実施の形態においては、ワイヤボンディング装置を用いて、金線61を形成する。ワイヤボンディング装置のキャピラリ85の先端に予め少量の金線61を押し出すことにより、金ボール部71を形成する。金ボール部71を、かさ上げ部74aの頂面に接合した後にキャピラリ85を移動させて、金線61をランド84に接続する。
- [0123] 次に、図34に示すように、封止樹脂90で装置の封止を行なう。半導体チップ51, 52および金線61のすべてを含むように封止を行なう。最後に、配線基板81のランド82に半田ボール83を形成する。
- [0124] このように、本実施の形態においては、外部への接続線を接続するための第1のパ

ッドの表面に、導電性部材を配置してかさ上げ部を形成するかさ上げ部形成工程と、かさ上げ部形成工程の後に、第1の部材と第2の部材との間にアンダーフィル樹脂を配置するアンダーフィル樹脂配置工程を含む。この方法を採用することにより、アンダーフィル樹脂が、第1の部材の電氣的な接続部分の表面を汚染することを防止できる。この結果、たとえば、本実施の形態においては、金線とパッドとの良好な電氣的な接続を行なうことができる。

[0125] 本実施の形態におけるかさ上げ部形成工程は、第1のパッドの表面にバリアメタル層を形成する工程と、バリアメタル層の表面にレジスト層を配置する工程と、レジスト層の第1のパッドの部分に開口部を形成する工程と、電解めっき法によって、開口部に導電部としてのAuバンプを形成する工程とを含む。さらに、レジスト層を除去する工程と、導電部が形成されている領域を避けた領域においてバリアメタル層を除去する工程とを含む。この方法を採用することにより、容易にかさ上げ部を形成することができる。また、電解めっき法において、印加する電圧の大きさや金属が析出する時間などを調整することにより、容易にかさ上げ部の高さを調整することができる。

[0126] また、本実施の形態においては、アンダーフィル樹脂配置工程は、第1の部材と第2の部材とを結合した後に、第1の部材と第2の部材との間隙に樹脂を配置する工程を含む。この方法を採用することにより、容易に第1の部材と第2の部材との間に樹脂を配置することができる。

[0127] 本実施の形態においては、金線を接続するためのパッドと、半導体チップを接続するためのパッドとの両方のパッドに対してかさ上げ部を形成したが、この形態に限られず、金線を接続するためのパッドにかさ上げ部が形成されていればよい。たとえば、図22を参照して、半導体チップ51を接続するためのパッド65に対して金バンプを配置して、第1の部材と第2の部材とを接続固定しても構わない。

[0128] その他の構成、作用、効果および製造方法については、実施の形態1と同様であるのでここでは説明を繰り返さない。

[0129] (実施の形態5)

図35から図40を参照して、本発明に基づく実施の形態5における半導体装置および半導体装置の製造方法について説明する。

- [0130] 図35は、本実施の形態における半導体装置の概略断面図である。本実施の形態における半導体装置においては、かさ上げ部の構成および第1の部材と第2の部材との接続部分が、実施の形態4における半導体装置と異なる。
- [0131] 本実施の形態における半導体装置は、かさ上げ部が金ボールで形成されている。すなわち、第1の部材としての半導体チップ52のパッド64の表面に、ほぼ球状のかさ上げ部75が形成されている。かさ上げ部75には、金線61の金ボール部71が接合されている。かさ上げ部75および金ボール部71は一体的になっている。
- [0132] また、半導体チップ51と半導体チップ52との接続部分においては、半導体チップ51のパッド63の表面にバリアメタル層79が形成され、バリアメタル層79の表面に、Auバンプ80が形成されている。半導体チップ52の表面に形成されたパッド65は、Auバンプ80と結合している。
- [0133] このように、本実施の形態における半導体装置は、かさ上げ部が球状に形成されている。この構成を採用することにより、かさ上げ部を公知のワイヤボンディング装置を用いて容易に形成することができる。
- [0134] 次に、図36から図40を参照して、本実施の形態における半導体装置の製造方法について説明する。図36から図40はそれぞれの製造工程における概略断面図である。
- [0135] 図36に示すように、半導体基板58の表面にパッド64、65を形成した後に、ポリイミド膜55を形成する。次に、かさ上げ部を形成するかさ上げ部形成工程を行なう。
- [0136] 図37に示すように、ワイヤボンディング装置を用いて、パッド64の表面にかさ上げ部75を形成する。かさ上げ部75は導電性を有するボール(球)である。本実施の形態においては、金で形成されている。かさ上げ部75の形成においては、ワイヤボンディング装置のキャピラリー85から、少量の金を排出して金ボール部を形成したのちに、パッド64の表面に金ボール部を接合する。金ボール部を接合した後に、矢印95または矢印95に垂直な方向にキャピラリー85を移動することにより金を切断する。本実施の形態におけるかさ上げ部75は、スタッドバンプを形成する方法と同様の方法で形成することができる。それぞれのパッド64の表面に、1個ずつかさ上げ部75を形成する。

- [0137] 次に、図38を参照して、ダイシングにより、半導体基板を切断して個々の半導体チップ52への断片化を行なう。次に、半導体チップ52を、配線基板81に接着材91を用いて固定する。
- [0138] また、別の製造工程において、半導体チップ51を製造する。半導体チップ51の表面にパッド63を形成して、電解めっき法などの方法によりパッド63の表面に、バリアメタル層79およびAuバンプ80を形成する。次に、矢印98に示すように、超音波を印加しながら熱圧着を行なうことによって、Auバンプ80とパッド65とを接合する。
- [0139] 次に、図39に示すように、半導体チップ51と半導体チップ52との間にアンダーフィル樹脂の配置を行なうアンダーフィル樹脂配置工程を行なう。アンダーフィル樹脂92が外側に向かって流れることがあるが、かさ上げ部75が形成されていることにより、かさ上げ部75の金線が接続される部分がアンダーフィル樹脂92によって汚染されることを防止できる。
- [0140] 次に、図40に示すように、かさ上げ部75と配線基板81に形成されたランド84との電気的な接続を行なう。たとえば、ワイヤボンディング装置を用いて、キャピラリの先端に金ボール部71を形成する。次に、金ボール部71でかさ上げ部75の上面を押さえて、かさ上げ部75の上面を平坦にするレベリングを行ないながら、金ボール部71とかさ上げ部75との熱圧着を行なう。金線61の金ボール部71と反対側の端部は、ランド84に接続する。この後に、樹脂封止などを行なって、本実施の形態における半導体装置を製造することができる。
- [0141] 本実施の形態においては、ワイヤボンディング装置を用いて、外部への接続線を接続するための第1のパッドの表面に金ボールを配置する工程を含む。この方法を採用することにより、容易にかさ上げ部を形成することができる。また、安価にかさ上げ部を形成することができる。
- [0142] 本実施の形態においては、第2の部材としての半導体チップ51のパッド63の表面に、バリアメタル層79およびAuバンプ80を形成したが、特にこの形態に限られず、任意の接続方法で、半導体チップ51と半導体チップ52との電気的な接続を行なうことができる。
- [0143] たとえば、半導体チップ51のパッド63の表面にワイヤボンディング装置によってAu

バンプを形成しても構わない。この方法を採用することにより、安価に第1の部材としての半導体チップと第2の部材としての半導体チップとを接続固定することができる。しかしながら、半導体チップ51におけるパッド63同士のピッチが小さい場合には、電解めっき法によってAuバンプを形成することが好ましい。たとえば、半導体チップ51に複数のパッド63が形成されている場合、ワイヤボンディング装置を用いてそれぞれのパッドに1個ずつバンプを形成するよりも、めっき法でバンプを形成した方が効率がよい場合がある。

[0144] その他の構成、作用、効果および製造方法については、実施の形態4と同様であるのでここでは説明を繰り返さない。

[0145] (実施の形態6)

図41から図45を参照して、本発明に基づく実施の形態6における半導体装置の製造方法について説明する。

[0146] 図41は、本実施の形態における第1の半導体装置の製造方法の概略断面図である。第1の製造方法においては、ペースト状接着材(NCP:Non Conductive Paste)をアンダーフィル樹脂として用いる。NCP88の配置においては、第1の部材としての半導体チップ52と、第2の部材としての半導体チップ51とが、互いに結合固定される前に配置する。図41に示す例においては、半導体チップ52の表面のパッド64、65の表面に、かさ上げ部74a、74bが配置されている。

[0147] 本実施の形態においては、かさ上げ部74aおよび74bを形成した後にNCPを半導体チップ52に配置するNCP配置工程を行なう。この後に、矢印93に示すように、超音波を印加しながら熱圧着を行なうことによって、パッド63とかさ上げ部74bとの接合を行なう。このように、NCP配置工程の後に、第1の部材と第2の部材とを結合する工程を行なう。

[0148] 図42に、本実施の形態における第2の半導体装置の製造方法の概略断面図を示す。第2の半導体装置の製造方法においては、アンダーフィル樹脂としてフィルム状接着材(NCF:Non Conductive Film)を用いている。

[0149] 図42に示すように、第2の部材としての半導体チップ51の表面にパッド63およびポリミド膜56を形成した後に、NCF89を配置するNCF配置工程を行なう。NCF配置

工程においては、予め熱圧着によってNCFを半導体チップ51に接合しておく。第1の部材としての半導体チップ52のパッド64、65の表面には、かさ上げ部74a、74bを形成する。次に、矢印94に示すように、超音波を印加しながら熱圧着を行なうことにより、かさ上げ部74bとパッド63との接合を行なう。このように、NCF配置工程の後に第1の部材と第2の部材とを結合する工程を行なう。

[0150] 本実施の形態における第1の半導体装置の製造方法において用いるNCPは、ペースト状であり常温では粘度の高い状態である。また、第2の半導体装置の製造方法において用いるNCFはフィルム状である。しかしながら、半導体チップ同士を熱圧着する際に、NCPまたはNCFは、半導体チップ同士を接合する際の熱によって、粘度が小さくなって半導体チップの外側に向かって流れることがある。この場合においても、外部との接続を行なうためのパッドにかさ上げ部を形成することにより、接続線を接合する部分の汚染を防止でき、接続線との良好な接続を行なうことができる。

[0151] 図43から図45に、本実施の形態における第3の製造方法の説明図を示す。図43および図44は、本実施の形態における第3の半導体装置の製造方法の工程を説明する概略断面図であり、図45は、製造された半導体装置の一部分の拡大平面図である。

[0152] 図43を参照して、本実施の形態における第3の半導体装置の製造方法においては、かさ上げ部75と配線基板81のランド84とを金線61によって接続した後に、半導体チップ51と半導体チップ52とを接続固定する。

[0153] 矢印99に示すように、超音波を印加しながら熱圧着を行なって、半導体チップ51に形成されたAuバンプ80と、半導体チップ52に形成されたパッド65とを接合する。

[0154] 次に、図44に示すように、アンダーフィル樹脂92の配置を行なう。矢印100に示すように、半導体チップ51とかさ上げ部75との間の領域にアンダーフィル樹脂92を配置する。アンダーフィル樹脂92を供給ノズル86から押し出して配置する。

[0155] 図45は、製造される半導体装置のコーナ部の拡大概略配置図である。矢印100に示す半導体チップ51とかさ上げ部75との間の領域において、矢印96に示すように半導体チップ51の外縁に沿う向きに移動しながら、連続的にアンダーフィル樹脂92を配置する。

- [0156] 図44を参照して、半導体チップ51とかさ上げ部75との距離が近い場合には、金線61や半導体チップ51の表面のうち半導体チップ52が配置されている側と反対側の表面に、アンダーフィル樹脂92が付着することがある。後の製造工程で封止樹脂によって、金線61や半導体チップ51を封止するが、このときに、アンダーフィル樹脂92が金線や半導体チップ51の一方の表面に付着していると、付着した部分が封止樹脂との界面になって封止樹脂が剥離しやすくなる。このため、アンダーフィル樹脂は、金線などに付着しないことが好ましい。
- [0157] しかしながら、図44に示すように、矢印100に示す第2の部材としての半導体チップ51とかさ上げ部75との距離が小さいと、アンダーフィル樹脂92が金線61などに付着しやすくなる。このような場合においても、アンダーフィル樹脂として、NCPやNCFを用いることにより、金線などにアンダーフィル樹脂が付着することをより確実に防止することができる。
- [0158] その他の製造方法については、実施の形態4および5と同様であるので、ここでの説明を繰り返さない。なお、上記の実施の形態における図において、同一の部分または互いに相当する部分においては、同一の符号を付して説明を省略している。
- [0159] なお、今回開示した上記実施の形態はすべての点で例示であって制限的なものではない。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更を含むものである。
- 産業上の利用可能性
- [0160] 本発明は、半導体装置に適用されうる。特に、半導体チップを基板などにフリップチップ接合した半導体装置に有利に適用されうる。

請求の範囲

- [1] 第1の部材(2, 4, 21, 31)と、
表面同士が互いに略平行になるように、間隙を空けて前記第1の部材(2, 4, 21, 31)に固定された第2の部材(1)と、
前記間隙に充填されたアンダーフィル樹脂(20, 88, 89, 92)と
を備え、
前記第1の部材(2, 4, 21, 31)において、前記第2の部材(1)を前記第1の部材(2, 4, 21, 31)に投影した領域の外側に、凹部(6, 7, 9, 10, 27, 28)が形成された、半導体装置。
- [2] 前記凹部(6, 10, 27, 28)は、溝状に形成され、前記投影した領域の周りを取り囲むように形成されている、請求項1に記載の半導体装置。
- [3] 前記凹部(6, 7, 9, 27, 28)は、前記第1の部材(2, 4, 21, 31)を貫通する貫通孔(5, 8)と、前記貫通孔(5, 8)の一方の開口部を封止するように形成された蓋(17, 18, 25, 35)とを含む、請求項1に記載の半導体装置。
- [4] 前記第1の部材(2, 4, 21, 31)は、半導体チップ(2, 4, 21)または有機基板(31)のいずれか一方を含み、
前記第2の部材(1)は、半導体チップ(1)を含む、請求項1に記載の半導体装置。
- [5] 第1の部材(2, 4, 21, 31)と、
表面同士が互いに略平行になるように、間隙を空けて前記第1の部材(2, 4, 21, 31)に固定された第2の部材(1)と、
前記間隙に充填されたアンダーフィル樹脂(20, 88, 89, 92)と
を備え、
前記第1の部材(2, 4, 21, 31)において、前記第2の部材(1)を前記第1の部材(2, 4, 21, 31)に投影した領域の外側に、前記領域を取り囲むように前記第1の部材(2, 4, 21, 31)を貫通する貫通孔(5, 8)が形成された、半導体装置。
- [6] 前記第1の部材(2, 4, 21, 31)は、半導体チップ(2, 4, 21)または有機基板(31)のいずれか一方を含み、
前記第2の部材(1)は、半導体チップ(1)を含む、請求項5に記載の半導体装置。

- [7] 第1の部材(2, 4, 21, 31)と、
表面同士が互いに略平行になるように、間隙を空けて前記第1の部材(2, 4, 21, 31)に固定された第2の部材(1)と、
前記間隙に充填されたアンダーフィル樹脂(20, 88, 89, 92)と
を備え、
前記第1の部材(2, 4, 21, 31)において、前記第2の部材(1)を前記第1の部材(2, 4, 21, 31)に投影した領域の外側に、前記第1の部材(2, 4, 21, 31)を保護するための保護膜(19)が形成され、
前記保護膜(19)は、前記第1の部材(2, 4, 21, 31)の表面から突出して、堰になるように形成された、半導体装置。
- [8] 前記保護膜(19)は、前記第1の部材(2, 4, 21, 31)を投影した領域を取り囲むように形成された、請求項7に記載の半導体装置。
- [9] 前記第1の部材(2, 4, 21, 31)は、半導体チップ(2, 4, 21)または有機基板(31)のいずれか一方を含み、
前記第2の部材(1)は、半導体チップ(1)を含む、請求項7に記載の半導体装置。
- [10] 第1の部材(52)と、
表面同士が互いに略平行になるように、間隙を空けて前記第1の部材(52)に固定された第2の部材(51)と、
前記間隙に配置されたアンダーフィル樹脂(20, 88, 89, 92)と
を備える半導体装置の製造方法において、
前記第2の部材(51)の表面において、前記第1の部材が配置されるべき領域の外側に第1のパッド(64)を形成する工程と、
前記第2の部材(51)の表面において、前記第1の部材(52)を接続するための第2のパッド(65)を形成する工程と、
前記第1のパッド(64)の表面に導電性部材を配置してかさ上げ部(74a, 75)を形成するかさ上げ部形成工程と、
前記かさ上げ部形成工程の後に、前記第1の部材(52)と前記第2の部材(51)との間に前記アンダーフィル樹脂(20, 92, 88, 89)を配置するアンダーフィル樹脂配置

工程と

を含む、半導体装置の製造方法。

- [11] 前記かさ上げ部形成工程は、前記第1のパッド(64)の表面にバリアメタル層(72, 72b)を形成する工程と、

前記バリアメタル層(72, 72b)の表面にレジスト層(77)を配置する工程と、

前記レジスト層(77)の前記第1のパッド(64)の部分に開口部(78)を形成する工程と、

電界めっき法によって前記開口部(78)に導電部(73a)を形成する工程と、

前記レジスト層(77)を除去する工程と、

前記導電部(73a)が形成されている領域を避けた領域において、前記バリアメタル層(72)を除去する工程と

を含む、請求項10に記載の半導体装置の製造方法。

- [12] 前記かさ上げ部形成工程は、ワイヤボンディング装置を用いて、前記第1のパッド(64)の表面に導電性ボール(75)を配置する工程を含む、請求項10に記載の半導体装置の製造方法。

- [13] 前記アンダーフィル樹脂配置工程は、前記第1の部材(52)と前記第2の部材(51)とを結合した後に、前記隙間にアンダーフィル樹脂(20, 88, 89, 92)を配置する工程を含む、請求項10に記載の半導体装置の製造方法。

- [14] 前記アンダーフィル樹脂配置工程は、前記第2の部材(51)の表面にペースト状接着材(88)を配置するNCP配置工程と、

前記NCP配置工程の後に、前記第1の部材(52)と前記第2の部材(51)とを結合する工程と

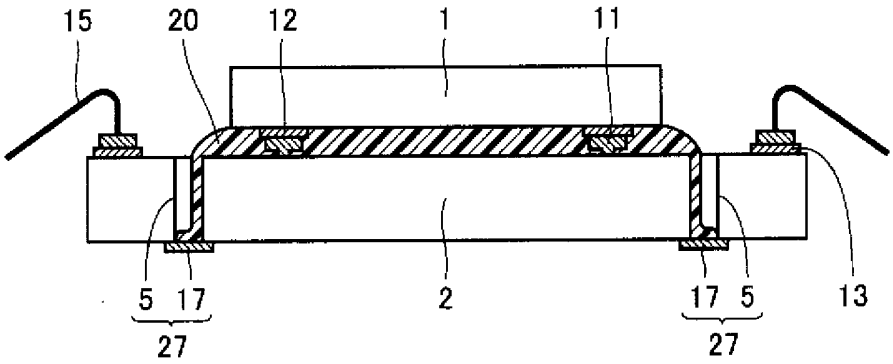
を含む、請求項10に記載の半導体装置の製造方法。

- [15] 前記アンダーフィル樹脂配置工程は、前記第1の部材(52)の表面にフィルム状接着材(89)を配置するNCF配置工程と、

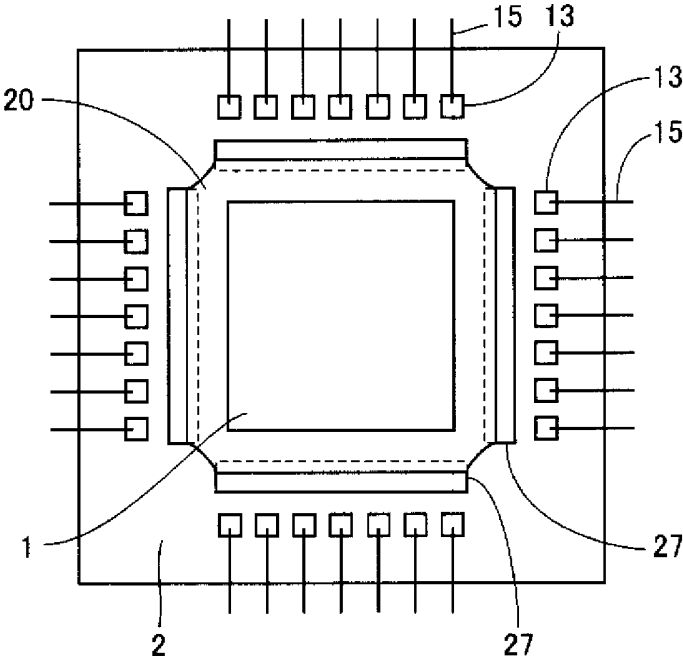
前記NCF配置工程の後に、前記第1の部材(52)と前記第2の部材(51)とを結合する工程と

を含む、請求項10に記載の半導体装置の製造方法。

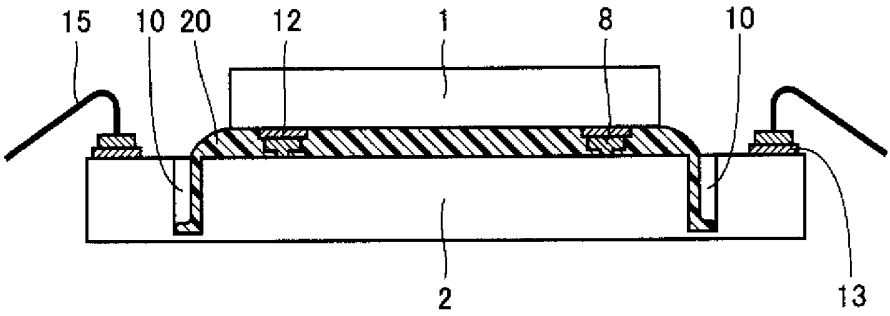
[図1]



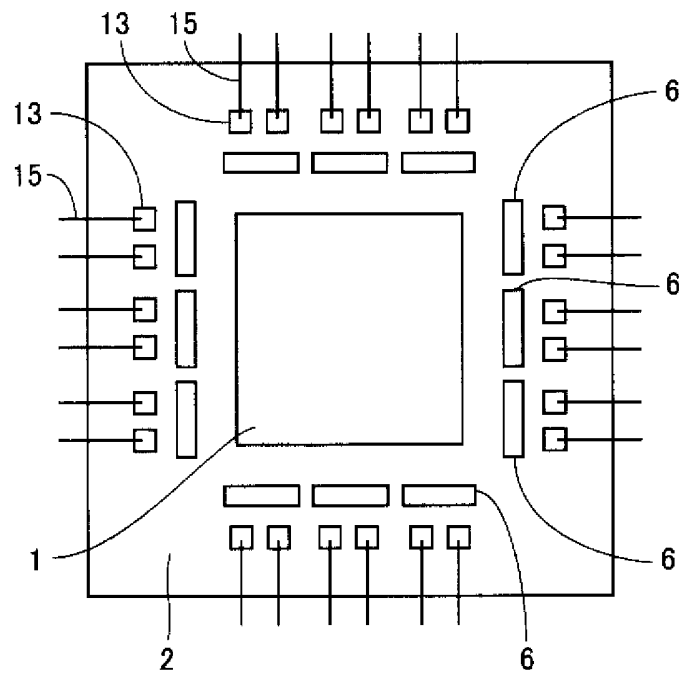
[図2]



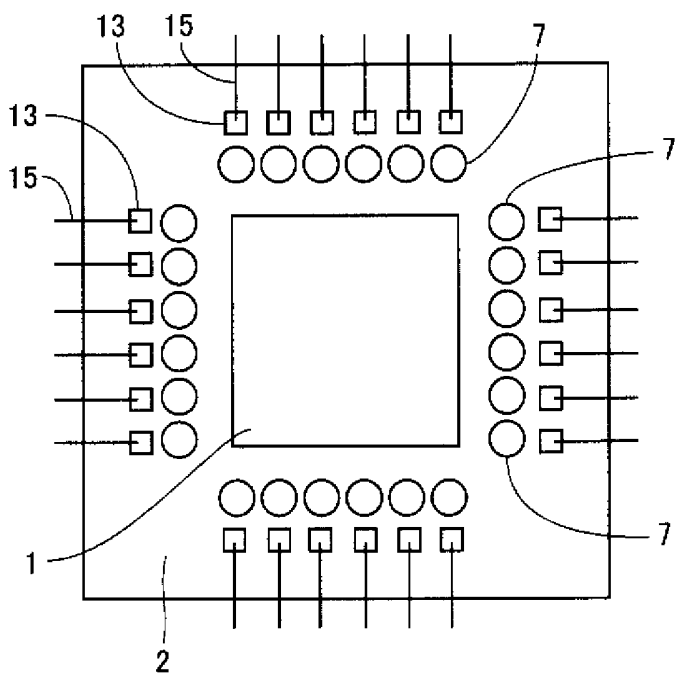
[図3]



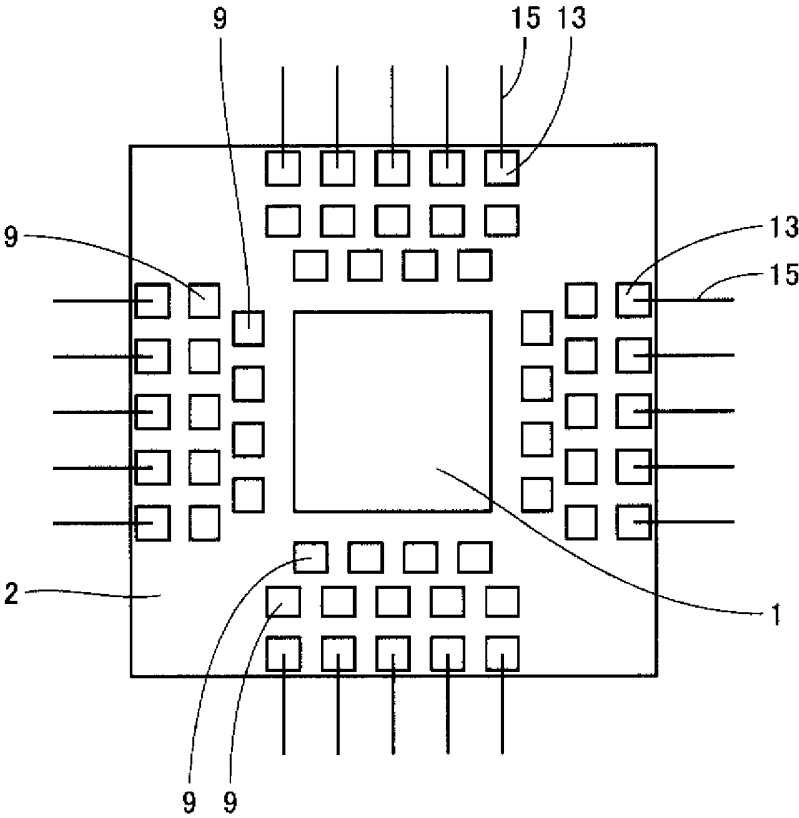
[図4]



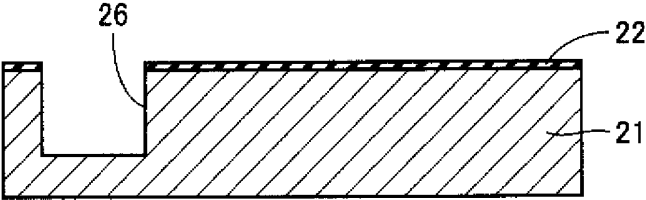
[図5]



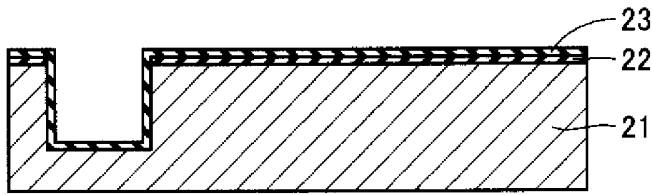
[図6]



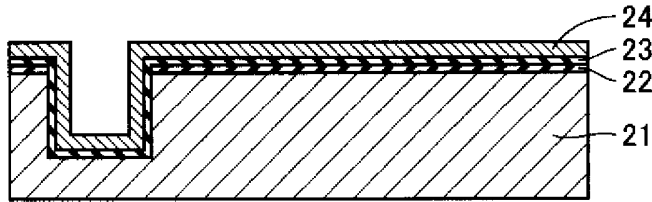
[図7]



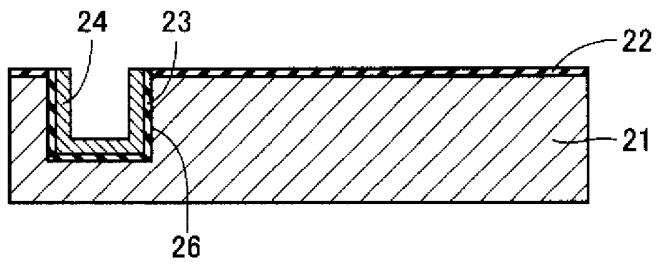
[図8]



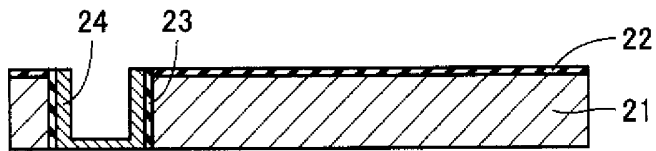
[図9]



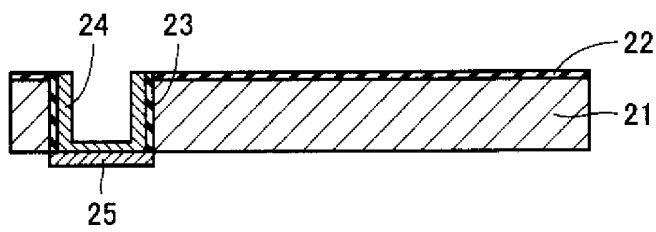
[図10]



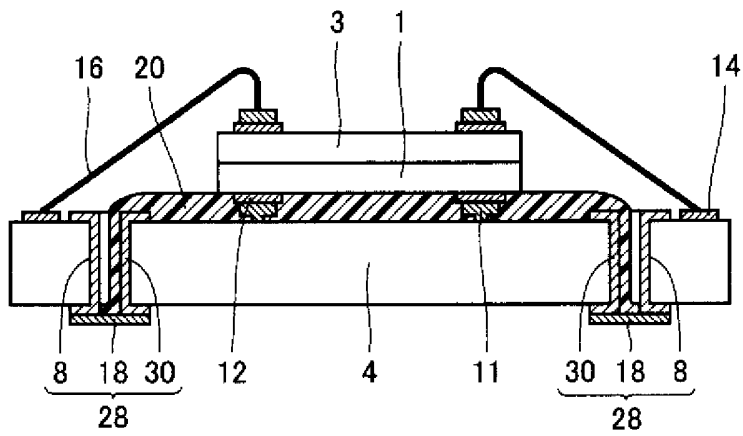
[図11]



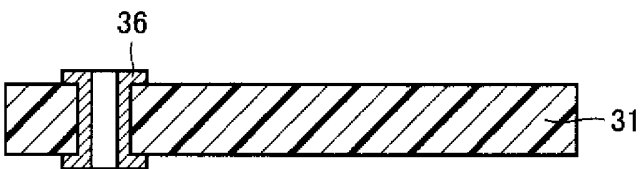
[図12]



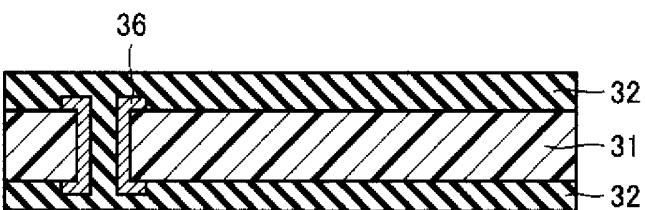
[図13]



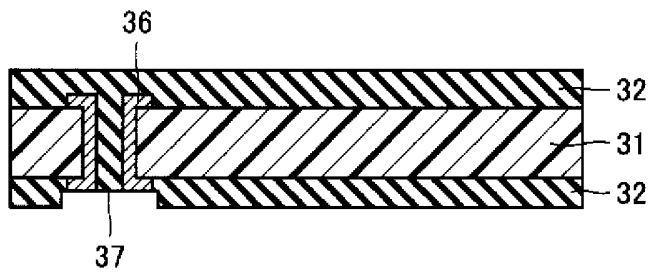
[図14]



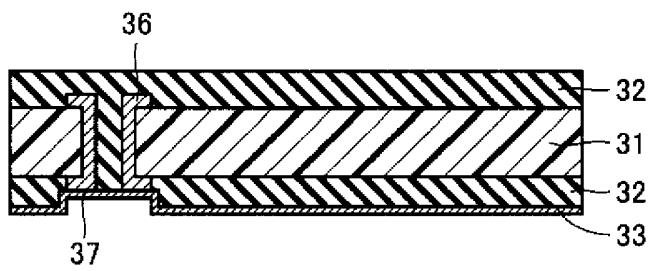
[図15]



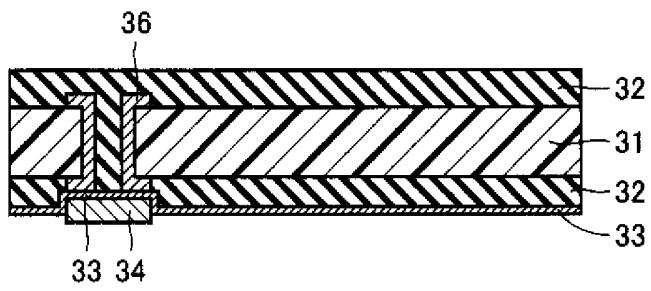
[図16]



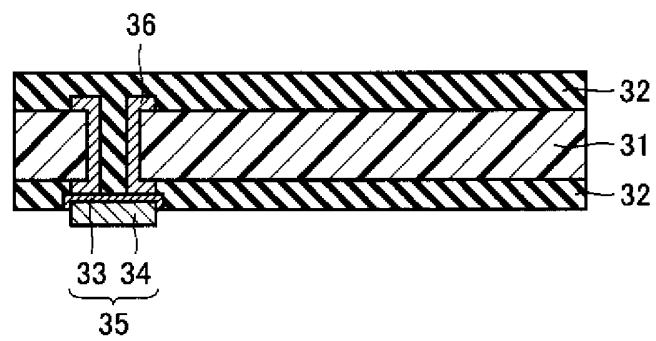
[図17]



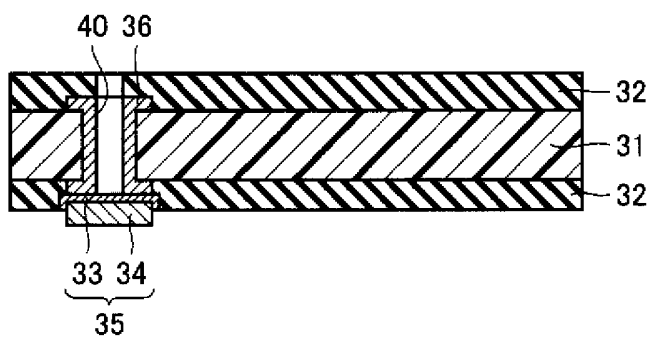
[図18]



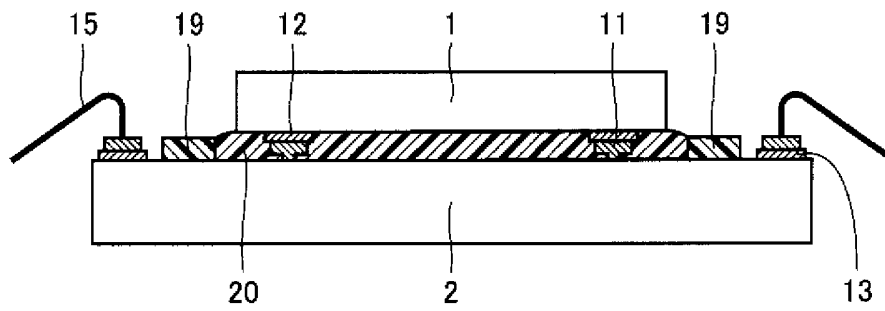
[図19]



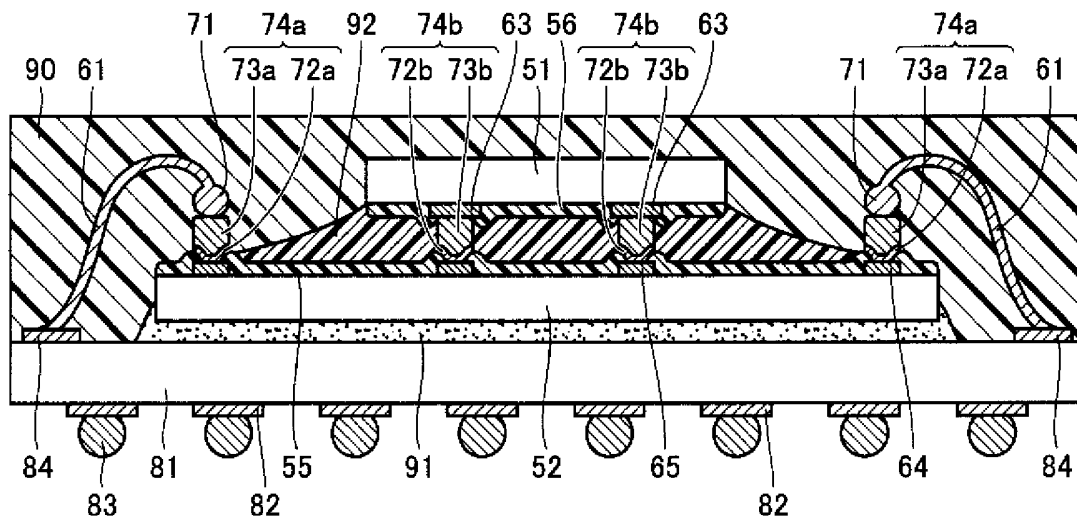
[図20]



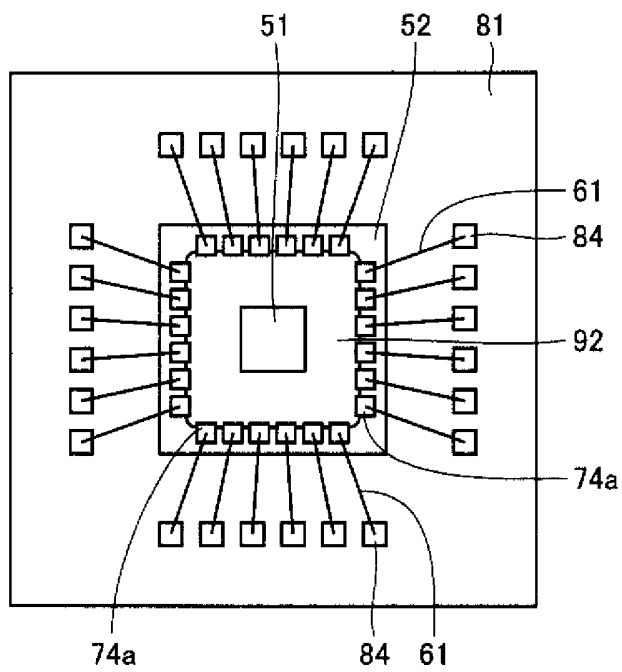
[図21]



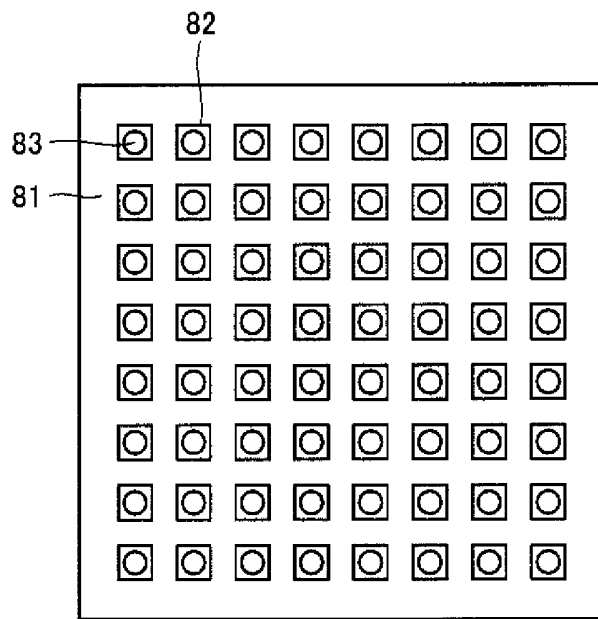
[図22]



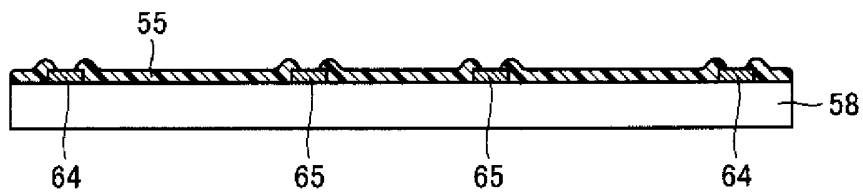
[図23]



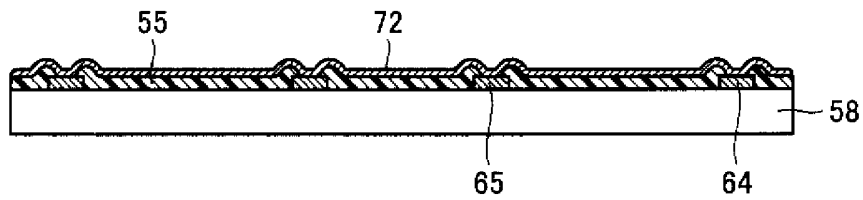
[図24]



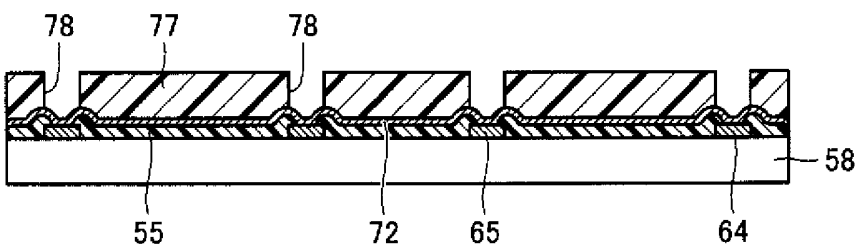
[図25]



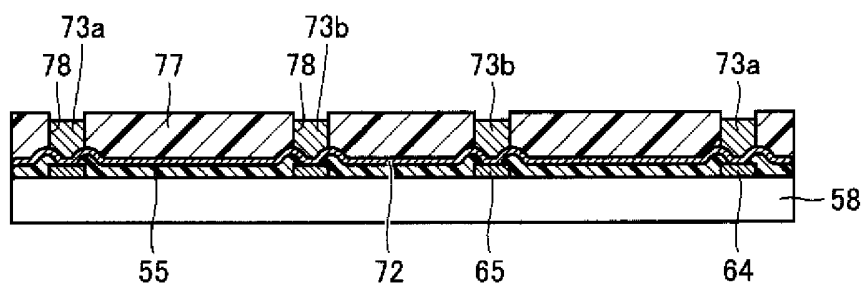
[図26]



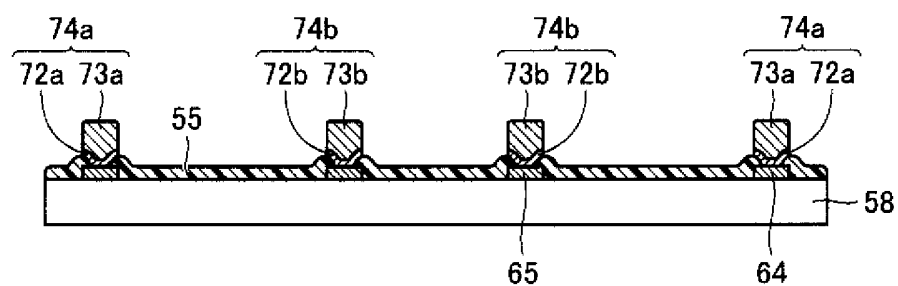
[図27]



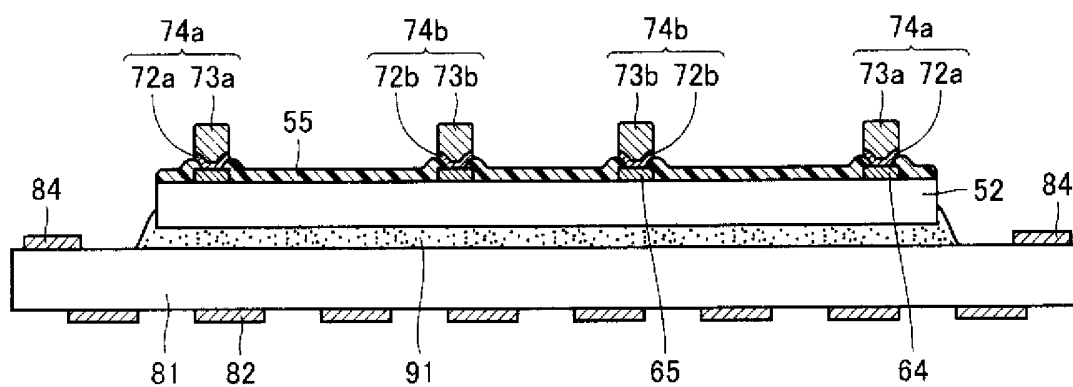
[図28]



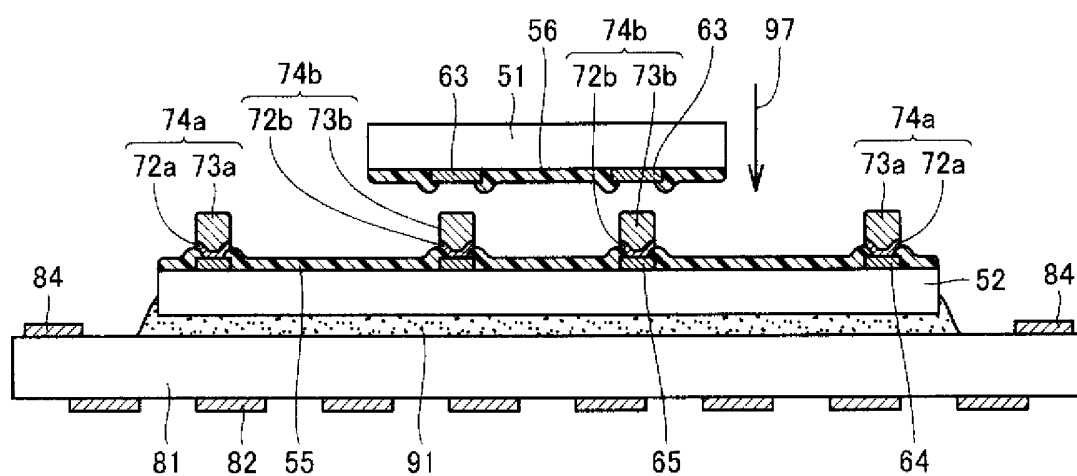
[図29]



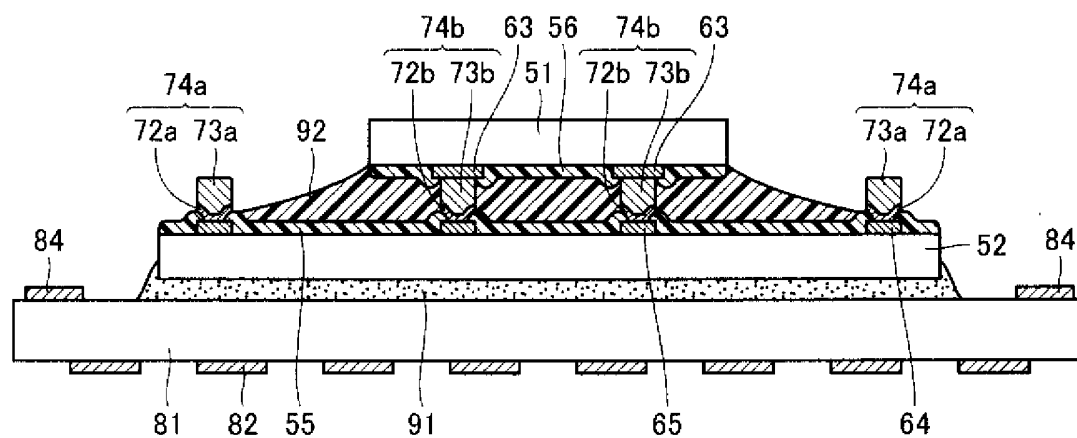
[図30]



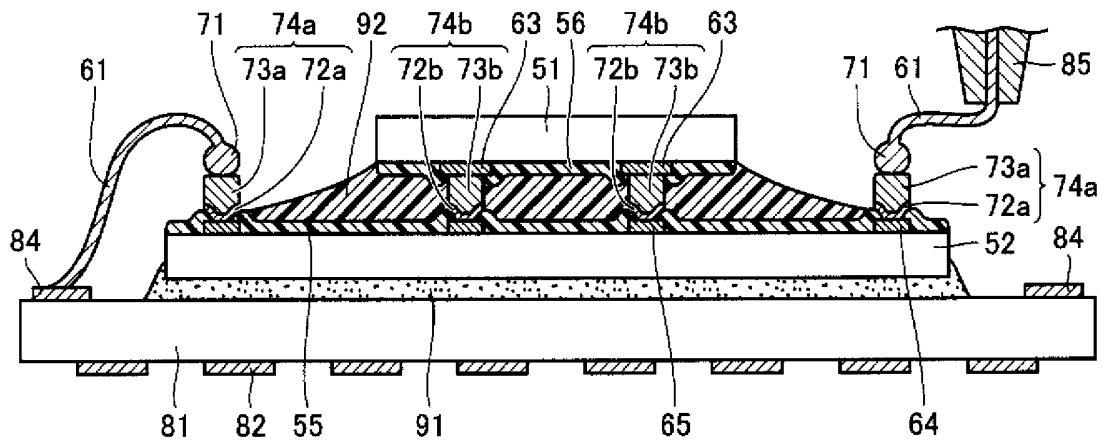
[図31]



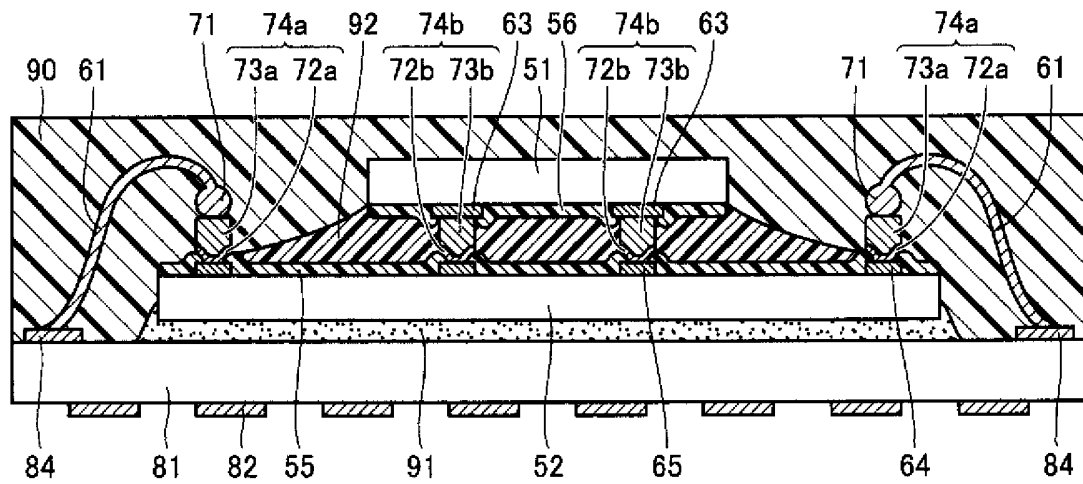
[図32]



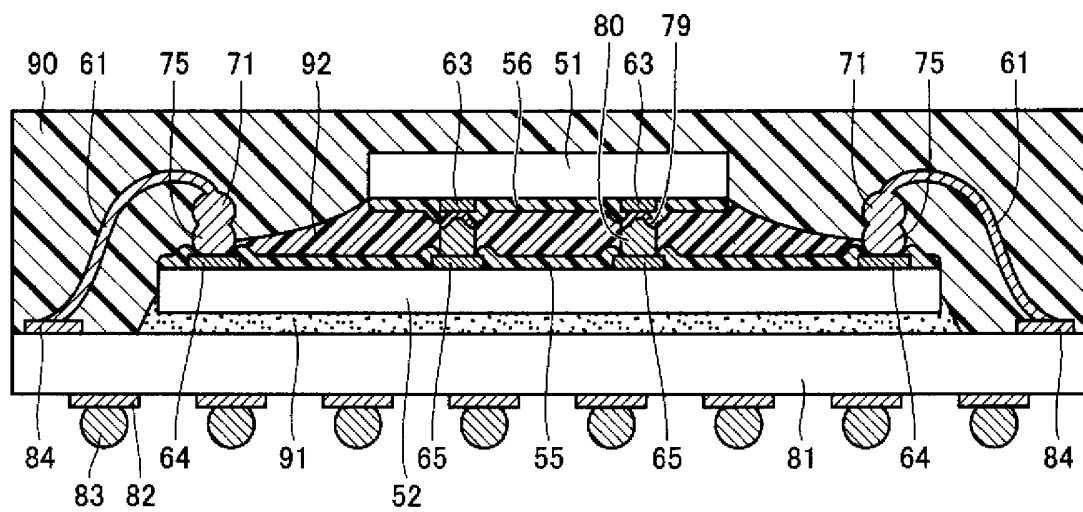
[図33]



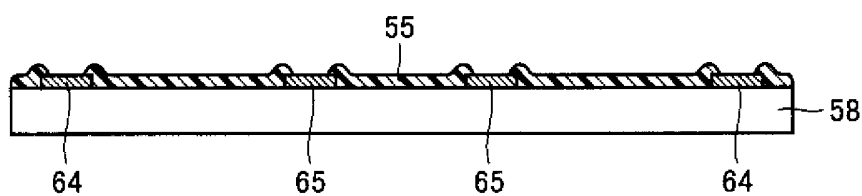
[図34]



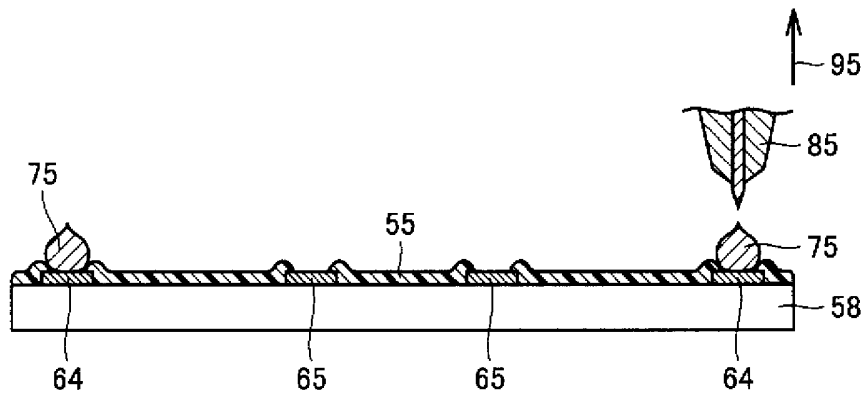
[図35]



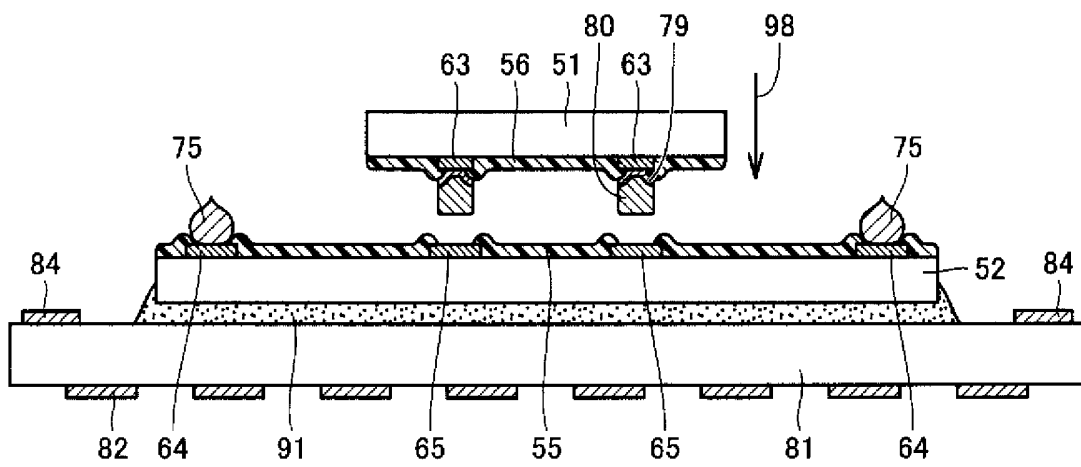
[図36]



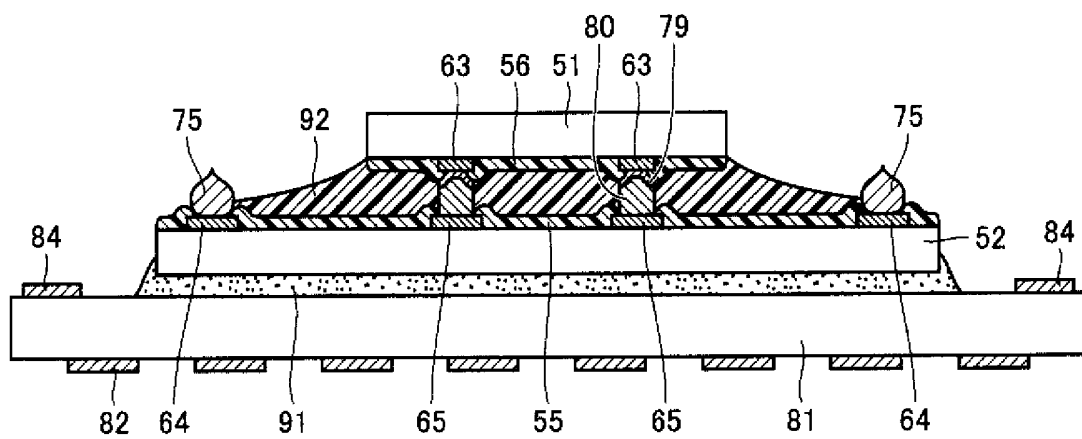
[図37]



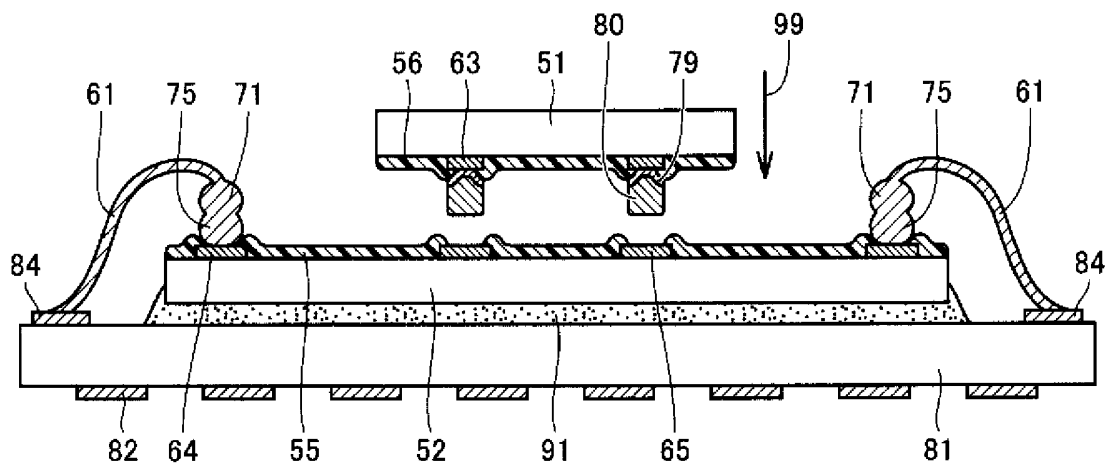
[図38]



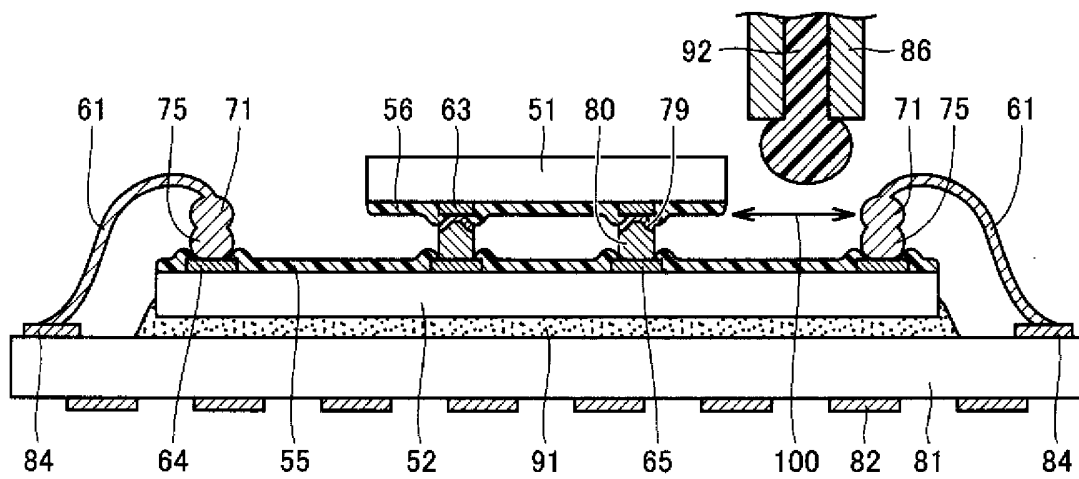
[図39]



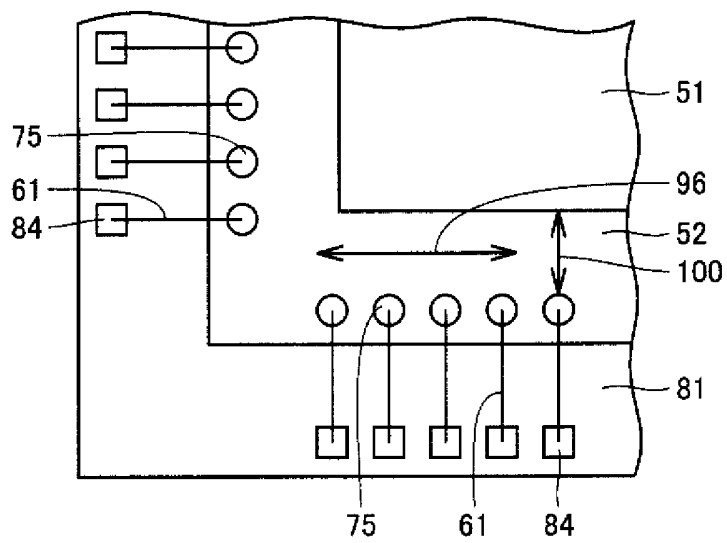
[図43]



[図44]



[図45]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/000905

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl. ⁷ H01L25/065, 21/60, 25/07, 25/18 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl. ⁷ H01L25/065, 21/60, 25/07, 25/18 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005 Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 11-145183 A (Rohm Co., Ltd.), 28 May, 1999 (28.05.99), Par. Nos. [0021] to [0038]; Figs. 1 to 10 (Family: none)	1-2, 4, 7-15
X	JP 2003-85517 A (Oji Paper Co., Ltd.), 20 March, 2003 (20.03.03), Par. Nos. [0009] to [0014]; Figs. 1 to 5 (Family: none)	1, 3-4
X	JP 2001-127194 A (Sharp Corp.), 11 May, 2001 (11.05.01), Par. Nos. [0022] to [0053]; Figs. 1 to 10 (Family: none)	5-6
☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 22 April, 2005 (22.04.05)		Date of mailing of the international search report 17 May, 2005 (17.05.05)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H01L25/065, 21/60, 25/07, 25/18

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H01L25/065, 21/60, 25/07, 25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 11-145183 A (ローム株式会社), 1999.05.28 【0021】 - 【0038】, 図 1-10 (ファミリーなし)	1-2, 4, 7-15
X	JP 2003-85517 A (王子製紙株式会社), 2003.03.20 【0009】 - 【0014】, 図 1-5 (ファミリーなし)	1, 3-4
X	JP 2001-127194 A (シャープ株式会社), 2001.05.11 【0022】 - 【0053】, 図 1-10 (ファミリーなし)	5-6

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

22.04.2005

国際調査報告の発送日

17.05.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

和瀬田 芳正

電話番号 03-3581-1101 内線 3471

4R

2929