

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁶
H01L 21/28

(45) 공고일자 1996년11월 18일
(11) 공고번호 특1996-0015564
(24) 등록일자 1996년11월 18일

(21) 출원번호 특1993-0006464
(22) 출원일자 1993년04월 16일

(65) 공개번호 특1994-0024900
(43) 공개일자 1994년11월 19일

(73) 특허권자 현대전자산업주식회사 김주용
경기도 이천군 부발읍 아미리 산 136-1
(72) 발명자 김춘환
경기도 이천군 부발읍 아미리 산 136-1
(74) 대리인 박해천

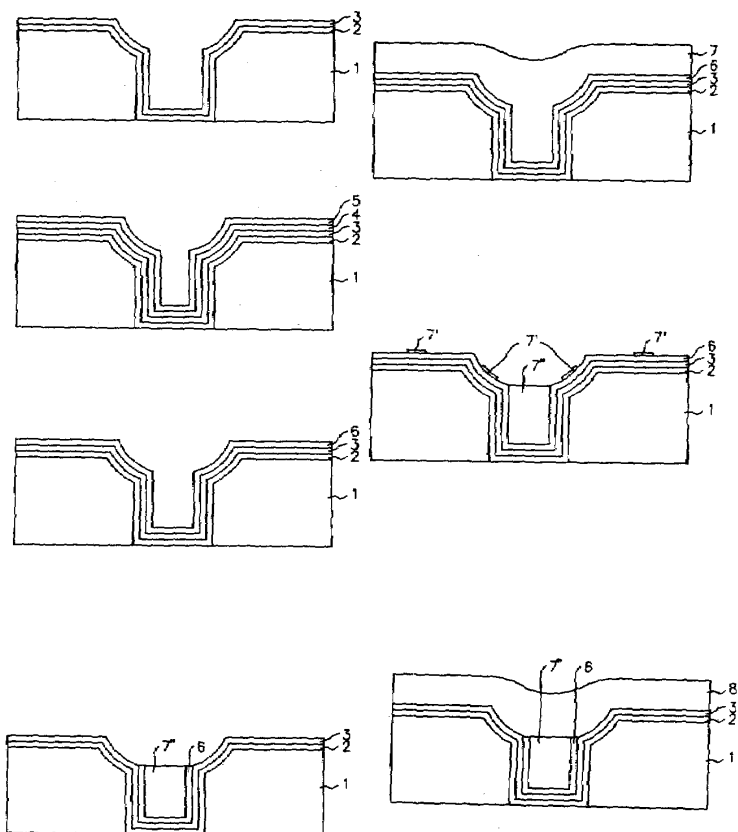
심사관 : 김승조 (책자공보 제4724호)

(54) 반도체 장치의 금속배선 형성방법

요약

내용없음.

대표도



명세서

[발명의 명칭]

반도체 장치의 금속배선 형성방법

[도면의 간단한 설명]

제1도는 본 발명의 일실시예에 따른 금속배선 형성 공정도.

*도면의 주요부분에 대한 부호의 설명

1 : 산화막	2, 4 : 티타늄(Ti)막
3 : TiN막	5 : 폴리실리콘막
6 : TiSi ₂ 막	7 : 텅스텐(w)막
7' : 잔류텅스텐	7' : 텅스텐 플러그
8 : 알루미늄(Al)막	

[발명의 상세한 설명]

본 발명은 반도체 장치의 금속배선 형성방법에 관한 것이다.

통상적으로, 금속배선시 텅스텐 플러그(Plug) 형성을 위한 전면성 텅스텐 증착법(Blanket-W CVD)은 기판의 전면에 텅스텐을 증착하는 방법으로, 접착층(Glue Layer)증착 공정을 수행한후 증착된 전면 텅스텐 막의 에치백(Etch Back)공정을 수행하게 된다.

텅스텐막의 에치백 공정은 건식식각인 플라즈마(Plasma)식각에 의해 이루어진다.

그러나, 플러그 형성을 위한 플라즈마 에치백시 불안정한 식각으로 인해 잔류텅스텐이 형성되고 이러한 잔류텅스텐은 금속층의 브리지(Bridge) 및 접속(Short)을 유발시킨다.

또한, 에치백시 과도식각으로 인한 콘택 플러그에서의 텅스텐 과도제거 및 콘택홀의 중심에 키홀(Keyhole)이 생성되어 금속배선의 신뢰성을 저하시키는 문제점이 발생되었다.

상기 문제점을 해결하기 위하여 안출된 본 발명은 종래 플러그 형성을 위한 건식식각기 발생하는 잔류물을 베리어 메탈 및 플러그에 손상을 주지 않고 제거할 수 있는 반도체 장치의 금속배선 형성방법을 제공함을 그 목적으로 한다.

상기 목적을 달성하기 위하여 본 발명은 반도체 장치 제조방법에 있어서, 반도체 기판상에 기형성된 소정의 하부층 및 층간절연막을 형성하고, 상기 층간절연막의 소정 부위를 선택식각하여 금속 콘택홀을 형성하는 제1단계; 전체구조 상부에 콘택저항 감소를 위한 베리어 메탈을 형성하는 제2단계; 상기 베리어 메탈 상부에 접합층인 TiSi₂막을 형성하는 제3단계; 상기 접합층 상부에 플러그 형성을 위한 제1금속막을 형성하는 제4단계; 상기 제1금속막을 전면성 건식식각하여 플러그를 형성하는 제5단계; 상기 플러그 형성시 잔류된 제1금속막 찌꺼기 및 상기 TiSi₂막을 선택적으로 제거하는 제6단계, 및 전체 구조 상부에 제2금속막을 형성하는 제7단계를 포함하여 이루어진다.

이하 첨부된 도면 제1도를 참조하여 본 발명을 상세히 설명한다.

제1도는 텅스텐 플러그를 사용하는 금속배선 형성 공정도를 나타낸다.

먼저, 제1도의 (a)는 실리콘 기판상에 기형성된 소정의 하부층(도시되지 않음) 상부에 층간절연막인 산화막(1)을 형성하고, 산화막의 소정 부위에 금속콘택홀을 형성한 다음, 전체구조 상부에 콘택 저항특성 향상을 위한 베리어 메탈인 제1 Ti막(2) 및 TiN막(3)을 차례로 소정두께 증착한 상태의 단면도이다.

제1도의 (b)는 상기 TiN막(3)상에 이후 형성되는 금속막의 접착을 위한 TiSi₂막을 형성하기 위하여 제2 Ti막(4) 및 폴리실리콘막(5)을 차례로 증착한 상태의 단면도이다.

이어서, 제1도의 (c)에 도시된 바와같이 약 700℃ 내지 약 800℃ 온도에서 RTP(Rapid Thermal Process)공정을 이용하여 상기 TiN막(3)상에 TiSi₂막(6)을 형성한다.

제1도의 (d)는 약 350℃ 내지 약 450℃ 온도에서 상기 TiSi₂막(6)을 접착층으로 하여 전면에 텅스텐막(7)을 형성한 상태의 단면도이다.

제1도의 (e)는 건식 플라즈마 식각에 의해 상기 텅스텐막(7)을 에치백한 상태의 단면도로서, TiSi₂막(6)상에 잔류텅스텐(7')이 남아 있고, 텅스텐 플러그(7')가 형성된 상태를 나타낸다.

계속해서, 제1도의 (f)에 도시된 바와같이 BOE(Buffered Oxide Echant)용액을 사용하여 상기 TiSi₂막(6)의 노출부를 식각하면서 TiSi₂막(6)상에 남아있던 잔류텅스텐(7)을 함께 제거한다. 여기서, BOE를 에천트로 하여 식각하면 텅스텐 플러그(7') 및 TiN막(3)에 대한 TiSi₂막(8)의 식각 선택비가 크므로 텅스텐 플러그(7') 및 TiN막(3)의 손상을 방지할 수 있다. 이때, TiN막(3)은 BOE에 의해 절연산화막이 식각되는 것을 방지하는 장벽막 역할도 수행한다.

끝으로, 제1도의 (g)는 전체구조 상부에 알루미늄막(8)을 증착한 상태의 단면도이다.

상기 발명은 금속배선의 플러그 형성을 위해 전면 텅스텐막을 에치백(Etch Back)시 발생하는 텅스텐 잔류물과, 플러그 텅스텐과 TiN막의 손상을 방지할 수 있어 반도체 장치의 금속배선 신뢰도를 향상시키는 효과가 있다.

(57) 청구의 범위**청구항 1**

반도체 장치 제조방법 있어서, 반도체 기판상에 기형성된 소정의 하부층 및 층간절연막을 형성하고, 상기 층간절연막의 소정 부위를 선택식각하여 금속 콘택홀을 형성하는 제1단계; 전체구조 상부에 콘택저항 감

소를 위한 베리어 메탈을 형성하는 제2단계; 상기 베리어 메탈 상부에 접합층인 $TiSi_2$ 막을 형성하는 제3단계; 상기 접합층 상부에 플러그 형성을 위한 제1금속막을 형성하는 제4단계; 상기 제1금속막을 전면성 건식식각하여 플러그를 형성하는 제5단계; 상기 플러그 형성시 잔류된 제1금속막 찌꺼기 및 상기 $TiSi_2$ 막을 선택적으로 제거하는 제6단계, 및 전체구조 상부에 제2금속막을 형성하는 제7단계를 포함하여 이루어진 반도체 장치의 금속배선 형성방법.

청구항 2

제1항에 있어서, 상기 베리어 메탈은 차례로 적층된 Ti/TiN막인 것을 특징으로 하는 반도체 장치의 금속배선 형성방법.

청구항 3

제1항에 있어서, 상기 제3단계는 상기 베리어 메탈 상부에 Ti막 및 폴리실리콘막을 차례로 형성한 다음, 소정의 열공저를 통해 $TiSi_2$ 막을 형성하는 단계인 것을 특징으로 하는 반도체 장치의 금속배선 형성방법.

청구항 4

제1항에 있어서, 상기 제1금속막은 텅스텐막인 것을 특징으로 하는 반도체 장치의 금속배선 형성방법.

청구항 5

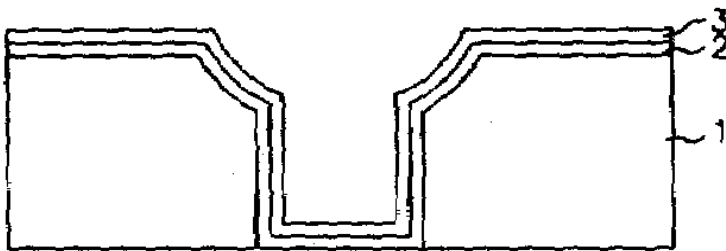
제1항 내지 제4항중 어느 한 항에 있어서, 상기 제6단계는 버퍼드 옥사이드 에천트(BOE)를 사용하여 습식 식각하는 단계인 것을 특징으로 하는 반도체 장치의 금속배선 형성방법.

청구항 6

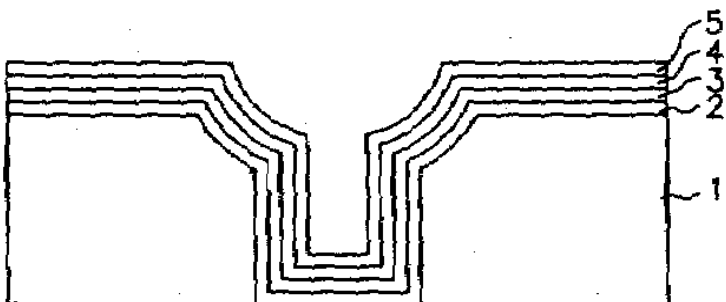
제5항에 있어서, 상기 제2금속막은 알루미늄막인 것을 특징으로 하는 반도체 장치의 금속배선 형성방법.

도면

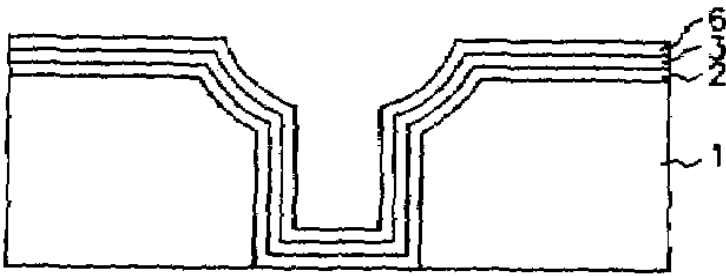
도면 1a



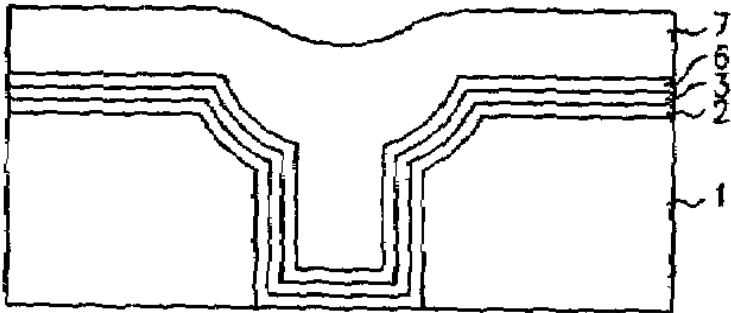
도면 1b



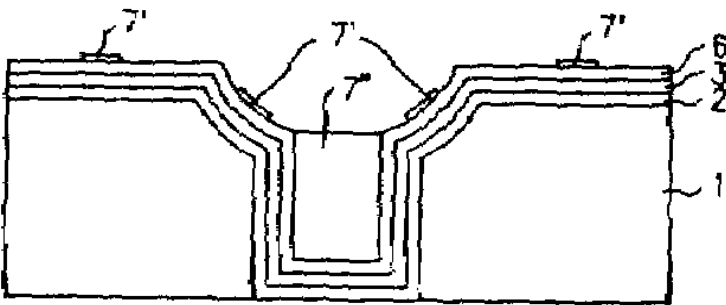
도면 1c



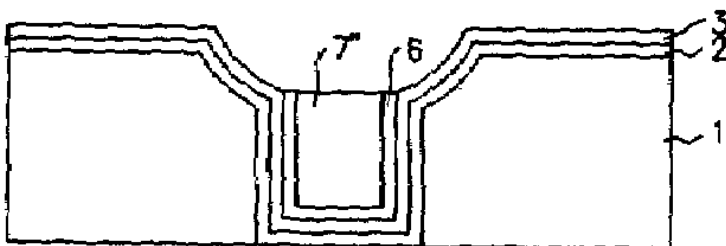
도면 1d



도면 1e



도면 1f



도면 1g

