

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第6081790号  
(P6081790)

(45) 発行日 平成29年2月15日(2017.2.15)

(24) 登録日 平成29年1月27日(2017.1.27)

(51) Int.Cl.	F 1
HO 1 L 29/786	(2006.01)
HO 1 L 21/28	(2006.01)
HO 1 L 29/423	(2006.01)
HO 1 L 29/49	(2006.01)
HO 1 L 29/417	(2006.01)
	HO 1 L 29/78
	HO 1 L 21/28
	HO 1 L 29/58
	HO 1 L 29/50

請求項の数 5 (全 46 頁) 最終頁に続く

(21) 出願番号	特願2012-275834 (P2012-275834)
(22) 出願日	平成24年12月18日 (2012.12.18)
(65) 公開番号	特開2013-149964 (P2013-149964A)
(43) 公開日	平成25年8月1日 (2013.8.1)
審査請求日	平成27年11月18日 (2015.11.18)
(31) 優先権主張番号	特願2011-282453 (P2011-282453)
(32) 優先日	平成23年12月23日 (2011.12.23)
(33) 優先権主張国	日本国 (JP)

(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(72) 発明者	磯部 敦生 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(72) 発明者	郷戸 宏充 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内

審査官 市川 武宜

最終頁に続く

(54) 【発明の名称】半導体装置及び半導体装置の作製方法

## (57) 【特許請求の範囲】

## 【請求項 1】

絶縁表面上の酸化物半導体層と、  
前記酸化物半導体層の側部及び上部を覆うゲート絶縁膜と、  
前記ゲート絶縁膜上のゲート電極と、  
前記酸化物半導体層上の電極と、を有し、  
前記酸化物半導体層は、チャネル形成領域と、前記チャネル形成領域を挟む一对の低抵抗領域と、を有し、  
前記ゲート電極は、前記チャネル形成領域の上部および側部を覆っており、  
前記低抵抗領域は溝部を有し、  
前記電極は、前記溝部の側部及び底部において前記低抵抗領域と電気的に接続されており、  
前記電極は、前記低抵抗領域をチャネル幅方向に横切ることを特徴とする半導体装置。

## 【請求項 2】

第1の絶縁膜と、  
前記第1の絶縁膜上の酸化物半導体層と、  
前記酸化物半導体層の側部及び上部を覆うゲート絶縁膜と、  
前記ゲート絶縁膜上のゲート電極と、  
前記酸化物半導体層上の電極と、  
前記酸化物半導体層上及び前記ゲート電極上の第2の絶縁膜と、を有し、

10

20

前記ゲート電極は、前記チャネル形成領域の上部および側部を覆っており、  
前記低抵抗領域は溝部を有し、  
前記電極は、前記溝部の側部及び底部において前記低抵抗領域と電気的に接続されており、

前記電極は、前記低抵抗領域をチャネル幅方向に横切り、

前記第1の絶縁膜、及び前記第2の絶縁膜は、アルミニウム及び酸素を含むことを特徴とする半導体装置。

**【請求項3】**

前記チャネル形成領域のチャネル幅方向の長さが1nm以上60nm以下である、請求項1または請求項2に記載の半導体装置。 10

**【請求項4】**

前記チャネル形成領域の膜厚が、前記チャネル形成領域のチャネル幅方向の長さの2倍以上である、請求項1乃至請求項3のいずれか一項に記載の半導体装置。

**【請求項5】**

前記ゲート絶縁膜から前記酸化物半導体層に酸素を供給する工程を経て作製される、請求項1乃至請求項4のいずれか一項に記載の半導体装置の作製方法。

**【発明の詳細な説明】**

**【技術分野】**

**【0001】**

本発明は、活性層として酸化物半導体を用いた半導体素子、当該半導体素子の作製方法および当該半導体素子を用いた半導体装置に関する。 20

**【0002】**

なお、本明細書中において、「半導体素子」とは、トランジスタやダイオードなどの半導体特性を利用して機能しうる素子を指すものである。また、「半導体装置」とは、半導体素子の半導体特性を利用して機能しうる装置全般を指し、電子表示装置、電気光学装置、記憶装置は全て半導体装置に含まれるものである。

**【背景技術】**

**【0003】**

絶縁表面を有する基板上に形成された半導体薄膜を活性層として用いたトランジスタは、集積回路（IC）や画像表示装置（表示装置）のような電子デバイスに広く用いられている。 30

**【0004】**

従来の薄膜トランジスタは、半導体層、絶縁膜、および電極などを平面上に積み重ねていく、いわゆるプレナー型構造が主流であったが、製造プロセスの微細化が進むにつれ、短チャネル効果やリーケ電流の増加など様々な問題が生じる。そのため近年では、従来のプレナー型構造に変わる、新しい構造のトランジスタの開発が進められている。例えば特許文献1では、活性層（特許文献1では半導体薄膜と記載されている。）としてポリシリコン膜を用いた、フィン型構造のトランジスタが開示されている。

**【先行技術文献】**

**【特許文献】**

**【0005】**

【特許文献1】特開2009-206306号公報

**【発明の概要】**

**【発明が解決しようとする課題】**

**【0006】**

上述特許文献のように活性層をフィン型構造とした薄膜トランジスタは、プレナー型構造の薄膜トランジスタと比較して、オフ電流（トランジスタがOFF状態の時に、ソース-ドレイン間に流れる電流）を低減することができるため、消費電力の低減に有効であるといえる。しかしながら、半導体装置に対する低消費電力化の要望は今後更に高まることは明らかであり、故に、薄膜トランジスタに対しても更なるオフ電流の抑制対策が求められ 50

る。

#### 【0007】

薄膜トランジスタのオフ電流を低減する方法の一つとして、活性層に酸化物半導体材料を用いたトランジスタが提案されている。トランジスタの活性層として酸化物半導体材料を用いたトランジスタは、シリコン系半導体材料を用いたトランジスタと比較して、オフ電流が非常に低く、通常の方法では測定できないレベルにまで低減できることが報告されている。

#### 【0008】

しかしながら、酸化物半導体材料は電極や配線として一般的に用いられる金属膜に対する接触抵抗が比較的高く、フィン型構造を用いて微細化されたトランジスタの活性層に酸化物半導体材料を用いた場合、酸化物半導体材料と金属膜の接触抵抗に起因したオン電流（トランジスタがON状態の時に、ソース - ドレイン間に流れる電流）の低下や電気特性バラツキ（例えば、しきい値電圧バラツキなど。）の発生が懸念される。10

#### 【0009】

上述の問題点を鑑み、本明細書では、酸化物半導体材料を用いたフィン型構造トランジスタにおいて、微細化に伴い顕著となるオン電流の低下や電気特性バラツキの増加を抑制できるトランジスタの構造を提供することを目的の一つとすると共に、当該トランジスタの作製方法を提供することを目的の一つとする。

#### 【課題を解決するための手段】

#### 【0010】

すなわち、本発明の一態様は、絶縁表面上に設けられた、チャネル形成領域およびチャネル形成領域を挟む一対の低抵抗領域を含む酸化物半導体層と、酸化物半導体層の上面および側面を覆うゲート絶縁膜と、ゲート絶縁膜を挟んで、チャネル形成領域の上面および側面を覆うゲート電極と、低抵抗領域と電気的に接続された電極を有し、電極は低抵抗領域の少なくとも側面と電気的に接続されていることを特徴とする半導体素子である。20

#### 【0011】

半導体素子を上記の一態様とすることにより、微細なフィン型構造トランジスタにおいても、電極は低抵抗領域に形成された溝部の側面、または側面および底面の広い範囲で電気的に接続するため、接触抵抗の増加に伴うオン電流の低下や電気特性のバラツキの増加を抑制できる。30

#### 【0012】

なお、電極が、低抵抗領域に設けられた溝部において電気的に接続されている構造としてもよい。これにより、低抵抗領域と電極は溝部の側面で接し、接触抵抗を低減することができるため、接触抵抗の増加に伴うオン電流の低下や電気特性のバラツキの増加を効果的に抑制できる。

#### 【0013】

また、電極が、低抵抗領域をチャネル幅方向に横切る構造とすることにより、電極と低抵抗領域の接触面積をより広くすることができるため、接触抵抗の増加に伴うオン電流の低下や電気特性のバラツキの増加を効果的に抑制できる。

#### 【0014】

なお、チャネル形成領域のチャネル幅方向の長さを1nm以上60nm以下とすることが好ましい。当該部分の長さを60nm以下とすることにより、半導体素子を完全空乏型または完全空乏型に極めて近い状態にできる。また、当該部分の長さが1nmより小さい場合は加工が困難となる。

#### 【0015】

なお、電極と低抵抗領域の接触面積を広くすることによる、オン電流の低下の抑制や電気特性のバラツキ低減の効果を高めるには、チャネル形成領域の膜厚を、チャネル形成領域のチャネル幅方向の長さの2倍以上とすることが好ましい。

#### 【0016】

また、本発明の一態様は、絶縁表面上に設けられた酸化物半導体層および酸化物半導体層

10

20

30

40

50

を挟む一対の電極を含む構造体と、構造体の上面および側面を覆うゲート絶縁膜と、ゲート絶縁膜を挟んで、酸化物半導体層の上面および側面を覆うゲート電極を有することを特徴とする半導体素子である。

#### 【0017】

半導体素子を上記一態様とすることにより、微細なフィン型構造トランジスタにおいても、酸化物半導体層と電極は広い面積で電気的に接続され、かつ両者の間に介在物がなく直接接するため、接触抵抗の増加に伴うオン電流の低下や電気特性のバラツキの増加を効果的に抑制できる。

#### 【0018】

なお、酸化物半導体層のチャネル幅方向の長さを1nm以上60nm以下とすることが好み。当該部分の長さを60nm以下とすることにより、半導体素子を完全空乏型または完全空乏型に極めて近い状態にできる。また、当該部分の長さが1nmより小さい場合は加工が困難となる。

10

#### 【0019】

また、電極と酸化物半導体層の接触面積を広くすることによる、オン電流の低下の抑制や電気特性のバラツキ低減の効果を高めるには、酸化物半導体層の膜厚を、酸化物半導体層のチャネル幅方向の長さの2倍以上とすることが好み。

#### 【0020】

なお、上記一態様における酸化物半導体層として、少なくともインジウムあるいは亜鉛を主成分として含み、非晶質相に結晶部および非晶質部を有する結晶-非晶質混相構造であり、結晶部はc軸が前記酸化物半導体膜の被形成面の法線ベクトルまたは酸化物半導体膜の表面の法線ベクトルに平行な方向に揃い、かつa b面に垂直な方向から見て三角形状または六角形状の原子配列を有し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している構造の酸化物半導体層を用いることにより、半導体素子に強い光を照射した際の電気特性の変化（光劣化とも言われる。）が抑制された、信頼性の高い半導体素子とすることができます。なお、主成分とは、組成で5原子%以上含まれる元素のことを指すものである。

20

#### 【0021】

また、本発明の一態様は、絶縁表面上に島状の酸化物半導体層を形成し、酸化物半導体層の上面および側面を覆うゲート絶縁膜を形成し、ゲート絶縁膜を挟んで少なくとも一部の酸化物半導体層の上面および側面を覆うゲート電極を形成し、酸化物半導体層に対してイオン添加処理を行うことで、酸化物半導体層中にチャネル形成領域およびチャネル領域を挟む一対の低抵抗領域を形成し、酸化物半導体層、ゲート絶縁膜およびゲート電極を覆う層間絶縁膜を形成し、層間絶縁膜および低抵抗領域に、少なくとも側面の一部に低抵抗領域が露出する溝部を形成し、層間絶縁膜上に溝部を通じて低抵抗領域と電気的に接続された電極を形成することを特徴とする半導体素子の作製方法である。

30

#### 【0022】

半導体素子を上述一態様の方法で作製することにより、微細なフィン型構造トランジスタの作製においても、電極と低抵抗領域を広い範囲で電気的に接続できるため、接触抵抗の増加に伴うオン電流の低下や電気特性のバラツキの増加を抑制された半導体素子を作製することができる。

40

#### 【0023】

なお、溝部の形成において、低抵抗領域をチャネル幅方向に横切り、かつ、少なくとも側面の一部に低抵抗領域が露出する溝部を形成することにより、当該溝部に電極を形成した際に、低抵抗領域と電極は溝部の側面で接し、接触抵抗を低減することができるため、接触抵抗の増加に伴うオン電流の低下や電気特性のバラツキの増加を効果的に抑制できる。

#### 【0024】

また、チャネル幅方向の長さが1nm以上60nm以下である酸化物半導体層を形成することが好み。当該部分の長さを60nm以下に形成することにより、出来上がる半導体素子を完全空乏型または完全空乏型に極めて近い状態にできる。また、加工性の観点か

50

ら鑑みて当該部分の長さは1nm以上が好ましいと言える。

【0025】

また、電極と低抵抗領域の接触面積を広くすることによる、オン電流の低下の抑制や電気特性のバラツキ低減の効果を高めるには、チャネル形成領域の膜厚を、チャネル幅方向の長さの2倍以上とすることが好ましい。

【0026】

また、本発明の一態様は、絶縁表面上に絶縁表面が露出する開口部を備えた導電膜を形成し、導電膜を覆う酸化物半導体膜を形成し、酸化物半導体膜の少なくとも一部に対して除去処理を行い導電膜を露出させ、酸化物半導体膜および導電膜を加工して酸化物半導体層および酸化物半導体層を挟む一対の電極を含む構造体を形成し、構造体の上面および側面を覆うゲート絶縁膜を形成し、ゲート絶縁膜を挟んで酸化物半導体層の上面および側面を覆うゲート電極を形成することを特徴とする半導体素子の作製方法である。10

【0027】

なお、上述の構造は、絶縁表面上に島状の酸化物半導体膜を形成し、酸化物半導体膜を覆う導電膜を形成し、導電膜の少なくとも一部に対して除去処理を行い酸化物半導体膜を露出させ、酸化物半導体膜および導電膜を加工して酸化物半導体層および酸化物半導体層を挟む一対の電極を含む構造体を形成し、構造体上に構造体の上面および側面を覆うゲート絶縁膜を形成し、ゲート絶縁膜を挟んで酸化物半導体層の上面および側面を覆うゲート電極を形成する、という工程を経ることでも作製できる。

【0028】

半導体素子を上述一態様の方法で作製することにより、微細なフィン型構造トランジスタにおいても、酸化物半導体層と電極は広い面積で電気的に接続され、かつ両者の間に介在物がなく直接接するため、接触抵抗の増加に伴うオン電流の低下や電気特性のバラツキの増加を効果的に抑制できる。20

【0029】

なお、チャネル幅方向の長さが1nm以上60nm以下である構造体を形成することが好ましい。当該部分の長さを60nm以下に形成することにより、出来上がる半導体素子を完全空乏型または完全空乏型に極めて近い状態にできる。また、加工性の観点から鑑みて当該部分の長さは1nm以上が好ましいと言える。

【0030】

また、酸化物半導体層と電極の接触面積を広くすることによる、オン電流の低下や電気特性のバラツキ低減の効果を高めるには、酸化物半導体層の膜厚を、チャネル幅方向の長さの2倍以上とすることが好ましい。30

【発明の効果】

【0031】

絶縁表面上に設けられた、チャネル形成領域およびチャネル形成領域を挟む一対の低抵抗領域を含む酸化物半導体層と、酸化物半導体層の上面および側面を覆うゲート絶縁膜と、ゲート絶縁膜を挟んでチャネル形成領域の上面および側面を覆うゲート電極と、低抵抗領域と電気的に接続された電極を有し、電極が、低抵抗領域の少なくとも側面と電気的に接続される構造とする。あるいは、絶縁表面上に設けられた、酸化物半導体層および酸化物半導体層を挟む一対の電極を含む構造体と、構造体の上面および側面を覆うゲート絶縁膜と、ゲート絶縁膜を挟んで酸化物半導体層の上面および側面を覆うゲート電極を有する構造とする。これにより、広い範囲で酸化物半導体層と電極が接触するため、電極と低抵抗領域の接触抵抗を低減することができる。40

【図面の簡単な説明】

【0032】

【図1】半導体装置の一態様を示す平面図及び断面図。

【図2】半導体装置の一態様を示す断面図。

【図3】半導体装置の作製工程の一例を示す断面図。

【図4】半導体装置の作製工程の一例を示す断面図。50

【図 5】半導体装置の作製工程の一例を示す断面図。  
 【図 6】半導体装置の作製工程の一例を示す断面図。  
 【図 7】半導体装置の一態様を示す平面図及び断面図。  
 【図 8】半導体装置の作製工程の一例を示す断面図。  
 【図 9】半導体装置の作製工程の一例を示す断面図。  
 【図 10】半導体装置の作製工程の一例を示す断面図。  
 【図 11】半導体装置の作製工程の一例を示す断面図。  
 【図 12】半導体装置の作製工程の一例を示す断面図。  
 【図 13】半導体装置の作製工程の一例を示す断面図。  
 【図 14】半導体装置の構成の一例を示す図。 10  
 【図 15】半導体装置の構成の一例を表す図。  
 【図 16】半導体装置の構成の一例を表す図。  
 【図 17】半導体装置の構成の一例を表す図。  
 【図 18】半導体装置の構成の一例を表す図。  
 【図 19】半導体装置の構成の一例を表す図。  
 【図 20】半導体装置の構成の一例を表す図。  
 【図 21】電子機器を示す図。

## 【発明を実施するための形態】

## 【0033】

以下では、本明細書に開示する発明の実施の形態について図面を用いて詳細に説明する。 20  
但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

## 【0034】

以下に説明する実施の形態において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。

## 【0035】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等に開示された位置、大きさ、範囲などに限定されない。 30

## 【0036】

また、本明細書等における「第1」、「第2」、「第3」などの序数は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

## 【0037】

また、本明細書等において「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。

## 【0038】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。 40

## 【0039】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

## 【0040】

また、本明細書等において、「電気的に接続」には、「何らかの電気的作用を有するもの 50

」を介して接続されている場合が含まれる。ここで、「何らかの電気的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電気的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

#### 【0041】

##### (実施の形態1)

本実施の形態では、半導体素子の構造および作製方法の一態様を、図1乃至図5を用いて説明する。

#### 【0042】

10

##### <半導体素子の構成例>

図1(A)乃至図1(C)に、半導体素子の例として、トップゲート構造のトランジスタの平面図および断面図の一例を示す。図1(A)は平面図であり、図1(B)は図1(A)における一点鎖線X1-X2の断面図であり、図1(C)は図1(A)における一点鎖線Y1-Y2の断面図である。なお、図1(A)では、図が煩雑になることを避けるため、トランジスタ120の構成要素の一部(例えば、基板100など)を省略している。

#### 【0043】

図1(A)乃至図1(C)に示すトランジスタ120は、基板100上に設けられた下地膜102と、下地膜102上に設けられ、低抵抗領域104aおよびチャネル形成領域104bを含む酸化物半導体層104と、酸化物半導体層104を覆うゲート絶縁膜106と、ゲート絶縁膜106を挟んでチャネル形成領域104bの上面および側面を覆うゲート電極108と、ゲート絶縁膜106およびゲート電極108を覆う第1の層間絶縁膜110および第2の層間絶縁膜112と、低抵抗領域104a、ゲート絶縁膜106、第1の層間絶縁膜110および第2の層間絶縁膜112に設けられた溝部を通じ、少なくとも溝部側面の一部で低抵抗領域104aと電気的に接続された電極114を有する構造である。なお、電極114は配線116と電気的に接続されている。そして、図示はしていないが、トランジスタ120は配線116を介して他の半導体素子(例えば、トランジスタなど。)と電気的に接続されている。

20

#### 【0044】

30

なお、図1(A)のように酸化物半導体層104を下地膜102に対して垂直な方向から見た場合において、チャネル形成領域104bのチャネル長方向をX軸方向(またはX1-X2方向)、チャネル幅方向をY軸方向(またはY1-Y2方向)と呼称する場合がある。また、X-Y面に垂直な方向をZ軸方向と呼称する場合がある。

#### 【0045】

40

トランジスタ120はサイズの微細化に伴い、低抵抗領域104aと電極114の接触面積は小さくなるが、図1のように低抵抗領域104aに設けられた溝部に電極114が埋め込まれた構造とすることにより、電極114は、溝部の側面において低抵抗領域104aと接触するため、広い面積において電気的に接続することができる。したがって、微細なフィン型構造トランジスタにおいても、接触抵抗の増加に伴うオン電流の低下や電気特性のバラツキの増加を抑制できる。

#### 【0046】

なお、図1(B)に示すように、酸化物半導体層104の長手方向に酸化物半導体層104を分断した場合の分断面において、分断面におけるチャネル形成領域104bと低抵抗領域104aが接する辺(図1(B)の太線矢印O部分。)の長さが、チャネル形成領域104bと下地膜102が接する辺(図1(B)の太線矢印P部分。)の長さより長いほど、上述の接触抵抗低減効果は大きくなる。具体的には、チャネル形成領域104bと低抵抗領域104aが接する辺の長さ(チャネル形成領域104bの膜厚とも言える。)が、チャネル形成領域104bと下地膜102が接する辺の長さ(チャネル形成領域104bのチャネル長方向の長さとも言える。)の2倍以上とすることが好ましい。

#### 【0047】

50

また、トランジスタ120はサイズの微細化に伴い、チャネル長（図1（A）の太線矢印Mで示される長さ）およびチャネル幅（図1（A）の太線矢印Nで示される長さ）が小さくなる。チャネル幅が小さくなると、酸化物半導体層104の加工時においてチャネル幅方向に僅かな加工バラツキが発生した場合でも、チャネル幅W自体が非常に小さいため、電気特性バラツキ（例えば、しきい値電圧バラツキなど。）に大きな影響を及ぼす可能性がある。

#### 【0048】

しかし、チャネル形成領域104bを含む酸化物半導体層104を薄板状の構造として、ゲート電極108に電圧を印加した場合において、チャネル部は図1（C）の太点線Z1-Z2のようにゲート絶縁膜106界面近傍のチャネル形成領域104b中にコの字状に形成されるため、酸化物半導体層104の加工時に生じるチャネル幅（図1（A）の太線矢印N）の変動がトランジスタ120の電気特性バラツキに与える影響は比較的小さい。

#### 【0049】

薄板状の構造とする酸化物半導体層104に用いる酸化物半導体としては、少なくともインジウム（In）を含む。特にInと亜鉛（Zn）を含むことが好ましい。

#### 【0050】

酸化物半導体層104は、単結晶、多結晶（ポリクリスタルともいう。）または非晶質などの状態をとる。

#### 【0051】

酸化物半導体層104は、好ましくは、CAAC-OS（C Axis Aligned Crystaline Oxide Semiconductor）膜とする。

#### 【0052】

CAAC-OS膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-OS膜は、非晶質相に結晶部および非晶質部を有する結晶・非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさが多い。また、透過型電子顕微鏡（TEM：Transmission Electron Microscope）による観察像では、CAAC-OS膜に含まれる非晶質部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS膜には粒界（グレインバウンダリーともいう。）は確認できない。そのため、CAAC-OS膜は、粒界に起因する電子移動度の低下が抑制される。

#### 【0053】

CAAC-OS膜に含まれる結晶部は、c軸がCAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつab面に垂直な方向から見て三角形状または六角形状の原子配列を有し、金属原子および酸素原子を有する層が重なる。なお、層の法線ベクトルがc軸方向である。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なっていてもよい。本明細書において、単に垂直と記載する場合、85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-5°以上5°以下の範囲も含まれることとする。

#### 【0054】

なお、CAAC-OS膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、CAAC-OS膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

#### 【0055】

CAAC-OS膜に含まれる結晶部のc軸は、CAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、CAAC-OS膜の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。なお、結晶部のc軸の方向は、CAAC-OS膜が形成されたときの被形成面の法線ベクト

10

20

30

40

50

ルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に熱処理などの結晶化処理を行うことにより形成される。

#### 【0056】

C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

#### 【0057】

なお、酸化物半導体膜を構成する酸素の一部は窒素で置換されてもよい。

#### 【0058】

また、C A A C - O S のように結晶部を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ（R<sub>a</sub>）が1 nm以下、好ましくは0.3 nm以下、より好ましくは0.1 nm以下の表面上に形成するとよい。そのため、酸化物半導体を形成する面に対して平坦化処理を行うことが好ましい。平坦化処理としては、化学機械研磨（C M P : C hemical M echanical P o l i s h i n g）処理、またはドライエッチング法などを用いればよい。なお、C M P 処理を行う場合は、1回のみ行ってもよいし、複数回行ってもよい。複数回に分けてC M P 処理を行う場合は、高い研磨レートの一次研磨を行った後、低い研磨レートの仕上げ研磨を行うことが好ましい。このように研磨レートの異なる研磨を組み合わせることによって、酸化物半導体を形成する面の平坦性をより向上させることができる。

10

20

#### 【0059】

なお、R<sub>a</sub>とは、J I S B 0 6 0 1 : 2 0 0 1 ( I S O 4 2 8 7 : 1 9 9 7 ) で定義されている算術平均粗さを曲面に対して適用できるよう三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」で表現でき、式（1）にて定義される。

#### 【0060】

##### 【数1】

$$R_a = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

30

#### 【0061】

ここで、指定面とは、粗さ計測の対象となる面であり、座標（x<sub>1</sub>, y<sub>1</sub>, f(x<sub>1</sub>, y<sub>1</sub>), (x<sub>1</sub>, y<sub>2</sub>, f(x<sub>1</sub>, y<sub>2</sub>)), (x<sub>2</sub>, y<sub>1</sub>, f(x<sub>2</sub>, y<sub>1</sub>)), (x<sub>2</sub>, y<sub>2</sub>, f(x<sub>2</sub>, y<sub>2</sub>)) の4点で表される四角形の領域とし、指定面をx y 平面上に投影した長方形の面積をS<sub>0</sub>、基準面の高さ（指定面の平均の高さ）をZ<sub>0</sub>とする。R<sub>a</sub>は原子間力顕微鏡（A F M : A t o m i c F o r c e M i c r o s c o p e）にて測定可能である。

#### 【0062】

酸化物半導体層104は、図1（B）に示すように電気抵抗を低減するための不純物が添加された低抵抗領域104aと、一対の低抵抗領域104aに挟まれたチャネル形成領域104bが含まれている。なお、トランジスタ120は、一対の低抵抗領域104aの一方からチャネル形成領域104bに対してキャリア（電子または正孔）が供給され、チャネル形成領域104bから一対の低抵抗領域104aの他方に対してキャリア（電子または正孔）を出力するため、低抵抗領域104aはソース領域またはドレイン領域と表現することもできる。

40

#### 【0063】

なお、酸化物半導体層104を下地膜102に対して垂直な方向から見た場合において、チャネル形成領域104bのチャネル幅方向の長さ（つまり、図1（A）の太線矢印N部分の長さ。）を1 nm以上60 nm以下とすることが好ましい。当該部分の長さを60 nm以下とし、ゲート絶縁膜106を挟んでチャネル形成領域104bをゲート電極108

50

で覆うことにより、チャネル形成領域 104b は完全空乏型または完全空乏型に極めて近い状態となる。これによりトランジスタ 120 は、オフ電流を非常に低減できるだけでなく、サブスレショルド特性が良好といった、完全空乏型トランジスタが持つ特性も得ることができる。なお、酸化物半導体層 104 は図 1 のように薄板状（薄片状とも言える。）に形成するため、薄すぎると加工が困難になるといった問題が生じる。このため、当該箇所の長さは 1 nm 以上とすることが好ましい。

#### 【0064】

ゲート電極 108 は、図 1 (B) および図 1 (C) に示すように、酸化物半導体層 104 上に、ゲート絶縁膜 106 を挟んでチャネル形成領域 104b の上面および側面を覆う状態に設けられている。

10

#### 【0065】

なお、図 1 ではゲート電極 108 の端部はチャネル形成領域 104b の端部と重なる構造となっているが、必ずしも当該構造とする必要はない。例えば、ゲート電極 108 の一部が低抵抗領域 104a と重なる構造（図 2 (A) 参照。）としてもよい。

#### 【0066】

また、図 1 (A) ではゲート電極 108 の X1 - X2 方向の長さ（ゲート電極 108 の「幅」とも表現できる。）は一定であるが、必ずしも一定の幅である必要はない。例えば、ゲート電極 108 が他の半導体素子（例えば、トランジスタなど。）と電気的に接続されている場合、ゲート電極 108 の一部は配線としての機能を併せ持つため、この場合、酸化物半導体層 104 と重ならない部分のゲート電極 108 の幅を広くすることにより、配線抵抗を低減することができる。

20

#### 【0067】

電極 114 は、ゲート絶縁膜 106、第 1 の層間絶縁膜 110 および第 2 の層間絶縁膜 112 に形成した溝部を通じて、少なくとも溝部の側面で低抵抗領域 104a と電気的に接続されており、トランジスタ 120 のソース電極またはドレイン電極として機能する。また、電極 114 と同一の工程にて形成された導電膜を、例えば、半導体素子間を電気的に接続するための配線などとして用いてもよい。

#### 【0068】

なお、図 1 (B) では溝部は下地膜 102 の一部が露出する構造となっているが、当該構造に限定されるものではない。例えば、図 2 (B) のように、電極 114 の底部が低抵抗領域 104a 中に位置する構造としてもよい。このような構造とすることにより、電極 114 は溝部の側面および底面で電気的に接続されるため、接触抵抗を効果的に低減できる。また、溝部を形成する時間を短縮することができるため、半導体素子の作製時間を短縮することができる。また、加工性の観点から考えると、図 2 (C) のように電極 114 が低抵抗領域 104a の一側面に接する構造としてもよい。

30

#### 【0069】

なお、図 1 (A) のように酸化物半導体層 104 を下地膜 102 に対して垂直な方向から見た場合において、電極 114 は、チャネル幅方向（Y 軸方向とも言える。）に低抵抗領域 104a を横切る構造とすることが好ましい。これにより、電極と低抵抗領域の接触面積をより広くすることができるため、接触抵抗の増加に伴うオン電流の低下や電気特性のバラツキの増加を効果的に抑制できる。

40

#### 【0070】

そして、電極 114 は配線 116 により、他の半導体素子（例えば、トランジスタなど。）に電気的に接続されている。

#### 【0071】

<トランジスタ 120 の作製方法>

図 3 乃至図 6 用いて、図 1 に示すトランジスタ 120 の作製工程の一例について説明する。

#### 【0072】

まず、絶縁表面を有する基板 100 を準備し、基板 100 上に下地膜 102 を形成する（

50

図3(A)参照。)。

【0073】

絶縁表面を有する基板100に使用することができる基板に大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、バリウムホウケイ酸ガラスやアルミニノホウケイ酸ガラスなどのガラス基板、セラミック基板、石英基板、サファイア基板などの基板を用いることができる。また、絶縁表面を有していれば、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することも可能である。

【0074】

また、基板100として、可撓性基板を用いてもよい。可撓性基板を用いる場合、可撓性基板上に酸化物半導体層104を含むトランジスタ120を直接作製してもよいし、他の作製基板に酸化物半導体層104を含むトランジスタ120を作製した後に他の作製基板からトランジスタ120を剥離し、可撓性基板に転載してもよい。なお、作製基板から可撓性基板に剥離、転載するために、作製基板と酸化物半導体層104を含むトランジスタ120との間に剥離層を設けるとよい。

【0075】

なお、基板100は、予め基板100の歪み点より低い温度で加熱処理を行い、基板100をシュリンク(熱収縮とも言われる。)させておくことが好ましい。これにより、トランジスタ120作製工程での基板加熱により生じるシュリンクの量を抑えることができるため、例えば、露光工程などでのマスクずれを抑制することができる。また、当該加熱処理により、基板100表面に付着した水分や有機物などを取り除くことができる。

【0076】

下地膜102は、基板100から酸化物半導体層104への不純物(例えば、アルミニウム、マグネシウム、ストロンチウムおよびボロンなどの金属元素や、水素、水など。)の拡散を抑制し、トランジスタ120への電気特性の悪影響(例えば、トランジスタのノーマリーオン化(しきい値の負へのシフト)、しきい値バラツキの発生、電界効果移動度の低下など。)を抑制する役割を担う。

【0077】

下地膜102としては、例えば、真空蒸着法やスパッタリング法などの物理気相成長法(PVD: Physical Vapor Deposition)やプラズマCVD法などの化学気相成長法(CVD: Chemical Vapor Deposition)を用いて、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、窒化酸化アルミニウム膜などを、単層または積層して形成することができる。なお、本明細書中において、酸化窒化膜とは、その組成として、窒素よりも酸素の含有量が多いものを指し、窒化酸化膜とは、その組成として、酸素よりも窒素の含有量が多いものを指す。

【0078】

下地膜102は、生産性および上述の不純物拡散防止の観点を鑑みると、50nm以上500nm以下の膜厚とすることが好ましい。

【0079】

トランジスタ120において、チャネル形成領域104bに酸素欠損が存在すると、酸素欠損に起因して電荷が生じる場合がある。一般に酸化物半導体膜の酸素欠損は一部がドナーとなりキャリアである電子を放出する。この結果、トランジスタのしきい値電圧がマイナス方向にシフトしてしまう。そこで、下地膜102は、酸化物半導体層に酸素を十分に供給できるだけの酸素を含有することが好ましい。

【0080】

下地膜102中に酸素が含まれている場合、後述する酸化物半導体膜103成膜後の熱処理によって下地膜102中の酸素の一部を脱離させることができるので、酸化物半導体膜103(または、酸化物半導体層104)に酸素を供給し、酸化物半導体膜103(または、酸化物半導体層104)中の酸素欠損を補填することができるため、トランジスタの

10

20

30

40

50

しきい値電圧のマイナス方向へのシフトを抑制できる。特に、下地膜102中(バルク中)に少なくとも化学量論的組成を超える量の酸素が存在することが好ましい。例えば、下地膜102として酸化シリコンを用いる場合、 $\text{SiO}_{2+}$ (ただし、 $>0$ )で表される酸化シリコン膜を用いることが好ましい。なお、このような化学量論的組成よりも酸素を過剰に含む領域(以下、酸素過剰領域とも呼称する。)は、下地膜102の少なくとも一部に存在していればよい。

#### 【0081】

熱処理により酸化物半導体膜103(または酸化物半導体層104)に酸素を供給する機能を下地膜102に持たせる場合、下地膜102から脱離する酸素が酸化物半導体膜103(または酸化物半導体層104)に効率的に供給されるように、下地膜102を、酸素透過性の低い膜と酸素供給性の高い膜の積層構造とすることが好ましい。例えば、下地膜102を、酸素透過性の低い酸化アルミニウム膜(基板100に接する側に成膜。)と上述の化学量論的組成を超える量の酸素を含む酸化シリコン膜(酸化物半導体膜103に接する側に成膜。)を積層した膜としてもよい。

10

#### 【0082】

下地膜102は、膜中に極力水素原子を含まないことが望ましい。これは、後の工程にて成膜する酸化物半導体膜103に水素原子が含まれると、水素原子が酸化物半導体と結合することによって水素の一部がドナーとなり、キャリアである電子を生じ、トランジスタのしきい値電圧がマイナス方向にシフトしてしまうからである。このため、膜中の水素原子を低減するという観点から考えると、下地膜102の成膜にはスパッタリング法などの物理気相成長法(PVD: Physical Vapor Deposition)を用いることが好ましいが、面内バラツキ、パーティクル混入および成膜タクトを低減する観点からは、CVD法を用いて下地膜102を成膜することが効果的であるといえる。また、CVD法は、上述の効果により大面積基板に対する成膜についても効果的であるといえる。

20

#### 【0083】

下地膜102をCVD法(例えば、プラズマCVD法など。)で成膜した場合、成膜ガス種としてシランガス( $\text{SiH}_4$ )などのように水素を含むガスを用いるため、下地膜102中には多量の水素が含まれてしまう。

#### 【0084】

30

そのため、CVD法により下地膜102を成膜した場合は、成膜後の下地膜102に対して、膜中の水素原子除去を目的とした熱処理(以下、本明細書において、膜中から水素原子を除去することを目的とした加熱を、「脱水化処理」または「脱水素化処理」と呼称する。)を行う必要がある。当該熱処理は、250以上650以下、好ましくは450以上600以下、または基板の歪み点未満とする。例えば、熱処理装置の一つである電気炉に基板を導入し、下地膜102に対して真空(減圧)雰囲気下において650で1時間の加熱処理を行えばよい。

#### 【0085】

上述の熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を用いてもよい。例えば、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。高温のガスには、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体が用いられる。なお、熱処理装置としてGRTA装置を用いる場合には、その処理時間が短いため、650~700の高温に加熱した不活性ガス中で基板を加熱してもよい。

40

50

## 【0086】

熱処理は、窒素、酸素、超乾燥空気（水の含有量が20 ppm以下、好ましくは1 ppm以下、好ましくは10 ppb以下の空気）、または希ガス（アルゴン、ヘリウムなど）の雰囲気下で行えばよく、上記窒素、酸素、超乾燥空気、または希ガス等の雰囲気に水、水素などが含まれないことが好ましい。または、熱処理装置に導入する窒素、酸素、または希ガスの純度を、6N(99.9999%)以上好ましくは7N(99.9999%)以上（即ち不純物濃度を1 ppm以下、好ましくは0.1 ppm以下）とすることが好ましい。

## 【0087】

下地膜102に対して上述の熱処理を行った場合、水素と共に酸素の一部も下地膜102中から除去されてしまう可能性がある。そこで、上述の熱処理を行った後に、下地膜102に対して酸素を導入する処理（以下、「酸素導入処理」と呼称する。）を行ってもよい。なお、酸素導入処理により下地膜102に注入される酸素は、少なくとも酸素ラジカル、オゾン、酸素原子、酸素イオン（分子イオン、クラスタイオンを含む）のいずれか一つ以上が含まれている。脱水化処理又は脱水素化処理を行った下地膜102に酸素導入処理を行うことにより、下地膜102中に酸素を含有させることができ、脱水化処理または脱水素化処理によって下地膜102から脱離した酸素を補填することができる。また、後述する酸化物半導体膜103成膜後の熱処理によって下地膜102中の酸素の一部を脱離させ、酸化物半導体膜103（または、酸化物半導体層104）に酸素を供給し、酸化物半導体膜103中（または、酸化物半導体層104中）の酸素欠損を補填することができる。

10

## 【0088】

下地膜102への酸素の導入は、例えば、イオン注入法、イオンドーピング法、プラズママイジョンイオンインプランテーション法、プラズマ処理等を用いることができる。なお、イオン注入法として、ガスクラスタイオンビームを用いてもよい。また、酸素の導入は、基板100の全面を一度に処理してもよいし、例えば、線状のイオンビームを用いてもよい。線状のイオンビームを用いる場合には、基板又はイオンビームを相対的に移動（スキャン）させることで、下地膜102全面に酸素を導入することができる。

## 【0089】

酸素の供給ガスとしては、Oを含有するガスを用いればよく、例えば、O<sub>2</sub>ガス、N<sub>2</sub>Oガス、CO<sub>2</sub>ガス、COガス、NO<sub>2</sub>ガス等を用いることができる。なお、酸素の供給ガスに希ガス（例えばAr）を含有させてもよい。

30

## 【0090】

イオン注入法で酸素の導入を行う場合、酸素のドーズ量は $1 \times 10^{13}$  ions/cm<sup>2</sup>以上 $5 \times 10^{16}$  ions/cm<sup>2</sup>以下とするのが好ましい。なお、酸素の注入深さは、注入条件により適宜制御すればよい。

## 【0091】

下地膜102として酸化物絶縁層を用いる場合、当該酸化物絶縁層において、酸素は主たる成分材料の一つであるため、酸化物絶縁層中の酸素濃度を、SIMS (Secondary Ion Mass Spectrometry)などの方法を用いて、正確に見積もることは難しい。つまり、酸化物絶縁層に酸素が意図的に添加されたか否かを判別することは困難であるといえる。また、下地膜102に含まれる過剰な酸素が後の工程で酸化物半導体層へと供給される場合においても同様のことがいえる。

40

## 【0092】

ところで、酸素には<sup>17</sup>Oや<sup>18</sup>Oといった同位体が存在し、自然界におけるこれらの存在比率はそれぞれ酸素原子全体の0.038%、0.2%程度であることが知られている。つまり、下地膜102中におけるこれら同位体の濃度は、SIMSなどの方法によって見積もることができる程度になるから、これらの濃度を測定することで、下地膜102中の酸素濃度をより正確に見積もることが可能な場合がある。よって、これらの濃度を測定することで、下地膜102に意図的に酸素が添加されたか否かを判別しても良い。なお、

50

当該方法は、後の工程にて形成される酸化物半導体層 104 やゲート絶縁膜 106 にも用いることができる。

#### 【0093】

酸化物半導体膜 103 成膜後の加熱処理により下地膜 102 から脱離する酸素は、酸化物半導体膜 103 中（または酸化物半導体層 104 中）の酸素欠損を補うだけでなく、下地膜 102 と酸化物半導体膜 103（または酸化物半導体層 104）との界面準位密度を低減する効果もある。このため、トランジスタの動作などに起因して、酸化物半導体層と下地絶縁層との界面にキャリアが捕獲されることを抑制することができ、信頼性の高いトランジスタを得ることができる。

#### 【0094】

なお、上述では、下地膜 102 の脱水化処理または脱水素化処理を行った後に下地膜 102 に対して酸素導入処理を行う記載を行ったが、脱水化処理または脱水素化処理の前に酸素導入処理を行ってもよい。脱水化処理または脱水素化処理を行う前に下地膜 102 に酸素導入処理を行うことにより、下地膜 102 の結晶構造に歪みを与え、構成している元素（例えはシリコン。）と水素との結合、又は、該元素と水酸基との結合が切断されるとともに、これら水素又は水酸基が導入された酸素と反応して水が生成される。したがって、酸素導入処理後に下地膜 102 に対して脱水化処理または脱水素化処理を行うことで、下地膜 102 に含まれる水素又は水酸基を水として脱離させやすくすることができる。また、脱水化処理または脱水素化処理の温度を低減、又は処理時間を短縮させることができる。

10

20

#### 【0095】

上述の酸素導入処理および脱水化処理（または脱水素化処理）の一方または両方は、複数回行ってもよい。例えは、第 1 の酸素導入処理、脱水化処理（または脱水素化処理）、第 2 の酸素導入処理というように酸素導入処理を 2 回行うことにより、第 1 の酸素導入処理により結晶構造に歪み形成されているため、第 2 の酸素導入処理において、結晶構造内に酸素をより多く導入することができるため、下地膜 102 に対して加熱処理を行った際の酸素放出量をより多くすることができる。

#### 【0096】

次に、下地膜 102 上に、真空蒸着法やスパッタリング法などの物理気相成長法（PVD : Physical Vapor Deposition）やプラズマ CVD 法などの化学気相成長法（CVD : Chemical Vapor Deposition）を用いて酸化物半導体膜 103 を成膜する（図 3（B）参照。）。

30

#### 【0097】

酸化物半導体膜 103 に用いる酸化物半導体としては、少なくともインジウム（In）を含む。特に In と亜鉛（Zn）を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム（Ga）を有することが好ましい。また、スタビライザーとしてスズ（Sn）を有することが好ましい。また、スタビライザーとしてハフニウム（Hf）を有することが好ましい。また、スタビライザーとしてアルミニウム（Al）を有することが好ましい。また、スタビライザーとしてジルコニウム（Zr）を有することが好ましい。

40

#### 【0098】

また、他のスタビライザーとして、ランタノイドである、ランタン（La）、セリウム（Ce）、プラセオジム（Pr）、ネオジム（Nd）、サマリウム（Sm）、ユウロピウム（Eu）、ガドリニウム（Gd）、テルビウム（Tb）、ジスプロシウム（Dy）、ホルミウム（Ho）、エルビウム（Er）、ツリウム（Tm）、イッテルビウム（Yb）、ルテチウム（Lu）のいずれか一種あるいは複数種を有してもよい。

#### 【0099】

例えは、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、In-Zn 系酸化物、In-Mg 系酸化物、In-Ga 系酸化物、In-Ga-Zn 系酸化物（IGZO とも表記する）、In-Al-Zn 系酸化物、In-Sn-Zn 系酸化物、In-Hf-Z

50

$In$  系酸化物、 $In - La - Zn$  系酸化物、 $In - Ce - Zn$  系酸化物、 $In - Pr - Zn$  系酸化物、 $In - Nd - Zn$  系酸化物、 $In - Sm - Zn$  系酸化物、 $In - Eu - Zn$  系酸化物、 $In - Gd - Zn$  系酸化物、 $In - Tb - Zn$  系酸化物、 $In - Dy - Zn$  系酸化物、 $In - Ho - Zn$  系酸化物、 $In - Er - Zn$  系酸化物、 $In - Tm - Zn$  系酸化物、 $In - Yb - Zn$  系酸化物、 $In - Lu - Zn$  系酸化物、 $In - Sn - Ga - Zn$  系酸化物、 $In - Hf - Ga - Zn$  系酸化物、 $In - Al - Ga - Zn$  系酸化物、 $In - Sn - Al - Zn$  系酸化物、 $In - Sn - Hf - Zn$  系酸化物、 $In - Hf - Al - Zn$  系酸化物を用いることができる。

#### 【0100】

なお、ここで、例えば、 $In - Ga - Zn$  系酸化物とは、 $In$  と  $Ga$  と  $Zn$  を主成分として有する酸化物という意味であり、 $In$  と  $Ga$  と  $Zn$  の比率は問わない。また、 $In$  と  $Ga$  と  $Zn$  以外の金属元素が入っていてもよい。  
10

#### 【0101】

また、酸化物半導体として、 $InMO_3$  ( $ZnO$ )<sub>m</sub> ( $m > 0$ 、且つ、 $m$  は整数でない) で表記される材料を用いてもよい。なお、Mは、 $Ga$ 、 $Fe$ 、 $Mn$  及び  $Co$  から選ばれた一の金属元素又は複数の金属元素を示す。また、酸化物半導体として、 $In_2SnO_5$  ( $ZnO$ )<sub>n</sub> ( $n > 0$ 、且つ、 $n$  は整数) で表記される材料を用いてもよい。

#### 【0102】

例えば、 $In : Ga : Zn = 1 : 1 : 1$  (= 1 / 3 : 1 / 3 : 1 / 3)、 $In : Ga : Zn = 2 : 2 : 1$  (= 2 / 5 : 2 / 5 : 1 / 5)、 $In : Ga : Zn = 1 : 3 : 2$  (= 1 / 6 : 1 / 2 : 1 / 3)、あるいは  $In : Ga : Zn = 3 : 1 : 2$  (= 1 / 2 : 1 / 6 : 1 / 3) の原子数比の  $In - Ga - Zn$  系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $In : Sn : Zn = 1 : 1 : 1$  (= 1 / 3 : 1 / 3 : 1 / 3)、 $In : Sn : Zn = 2 : 1 : 3$  (= 1 / 3 : 1 / 6 : 1 / 2) あるいは  $In : Sn : Zn = 2 : 1 : 5$  (= 1 / 4 : 1 / 8 : 5 / 8) の原子数比の  $In - Sn - Zn$  系酸化物やその組成の近傍の酸化物を用いるとよい。  
20

#### 【0103】

しかし、インジウムを含む酸化物半導体は、これらに限らず、必要とする半導体特性(移動度、しきい値、ばらつき等)に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとすることが好ましい。  
30

#### 【0104】

例えば、 $In - Sn - Zn$  系酸化物では比較的容易に高い移動度が得られる。しかしながら、 $In - Ga - Zn$  系酸化物でも、バルク内欠陥密度を低くすることにより移動度を上げることができる。

#### 【0105】

なお、例えば、 $In$ 、 $Ga$ 、 $Zn$  の原子数比が  $In : Ga : Zn = a : b : c$  ( $a + b + c = 1$ ) である酸化物の組成が、原子数比が  $In : Ga : Zn = A : B : C$  ( $A + B + C = 1$ ) の酸化物の組成の  $r$  だけ近傍であるとは、 $a$ 、 $b$ 、 $c$  が、 $(a - A)^2 + (b - B)^2 + (c - C)^2 = r^2$  を満たすことをいう。 $r$  としては、例えば、0.05 とすればよい。他の酸化物でも同様である。  
40

#### 【0106】

酸化物半導体膜 103 中の酸素欠損をできるだけ少なくするために、酸化物半導体膜 103 は、成膜雰囲気中のガス種に占める酸素ガスの割合が高い状態で成膜することが好ましいため、装置内に酸素を導入することが可能で、かつ、ガス流量の調整ができるスパッタリング装置を用いることが好ましいといえる。そして、スパッタリング装置の成膜チャンバー内への導入ガスは、全体の 90 % 以上を酸素ガス、他のガスを希ガスとすることが望ましい。また、より好ましくは成膜チャンバー内への導入ガスを酸素ガスのみとし、成膜雰囲気中のガス種に占める酸素ガスの割合を極力 100 % に近づけることが望ましい。

#### 【0107】

10

20

30

40

50

スパッタリング装置を用いて酸化物半導体膜103を成膜するにあたり、用いるターゲットとしては、上述に記載された組成の各種ターゲットを用いればよい。例えば、原子数比がIn:Ga:Zn=1:1:1の酸化物ターゲットや、原子数比がIn:Ga:Zn=3:1:2の酸化物ターゲットや、原子数比がIn:Ga:Zn=2:1:3の酸化物ターゲットを用いることができる。なお、ターゲットの相対密度は90%以上100%以下、好ましくは95%以上99.9%以下である。相対密度の高いターゲットを用いることにより、成膜した酸化物半導体膜103は緻密な膜となる。

#### 【0108】

酸化物半導体膜103を成膜する際に用いるガスとしては、水、水素、水酸基又は水素化合物などの不純物が含まれないことが好ましい。または、純度が6N以上好ましくは7N以上(即ち、ガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下)のガスを用いることが好ましい。10

#### 【0109】

酸化物半導体膜103に、水素が多量に含まれると、酸化物半導体と結合することによって、水素の一部がドナーとなり、キャリアである電子を生じてしまう。これにより、トランジスタのしきい値電圧がマイナス方向にシフトしてしまう。そのため、酸化物半導体膜103において、水素濃度は、 $5 \times 10^{18}$  atoms/cm<sup>3</sup>未満、好ましくは $1 \times 10^{18}$  atoms/cm<sup>3</sup>以下、より好ましくは $5 \times 10^{17}$  atoms/cm<sup>3</sup>以下、更に好ましくは $1 \times 10^{16}$  atoms/cm<sup>3</sup>以下とすることが望ましい。なお、上述の酸化物半導体膜中の水素濃度は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)で測定されるものである。20

#### 【0110】

酸化物半導体膜103を成膜するにあたり、成膜室内の水分(水、水蒸気、水素、水酸基または水酸化物を含む)を除去するために、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段は、ターボ分子ポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水(H<sub>2</sub>O)など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等が排気されるため、当該成膜室で成膜した酸化物半導体膜103に含まれる水素、水分などの不純物の濃度を低減できる。

#### 【0111】

また、酸化物半導体膜103に、アルカリ金属またはアルカリ土類金属が含まれると、酸化物半導体と結合することによって、キャリアが生成されることがあり、トランジスタのオフ電流が上昇する原因となる。そのため、酸化物半導体膜103において、アルカリ金属またはアルカリ土類金属の濃度は、 $1 \times 10^{18}$  atoms/cm<sup>3</sup>以下、好ましくは $2 \times 10^{16}$  atoms/cm<sup>3</sup>以下とすることが望ましい。30

#### 【0112】

なお、酸化物半導体膜103としてCAC-O<sub>x</sub>膜を成膜する場合、以下の3つの方法で成膜すればよい。第1の方法は、200以上450以下の成膜温度で酸化物半導体膜103を成膜し、酸化物半導体膜103をCAC-O<sub>x</sub>膜とする方法である。第2の方法は、酸化物半導体膜103を成膜した後、当該膜に対して200以上700以下の熱処理を行うこと、酸化物半導体膜103をCAC-O<sub>x</sub>とする方法である。第3の方法は、一層目の酸化物半導体膜を薄く成膜した後、200以上700以下の熱処理を行い一層目の膜をCAC-O<sub>x</sub>膜とし、当該膜上に二層目の成膜を行うことで、一層目の結晶を種結晶として二層目の酸化物半導体膜をCAC-O<sub>x</sub>膜とする方法である。40

#### 【0113】

酸化物半導体膜103の膜厚(Z軸方向の長さ)については、後の工程にて形成されるチャネル形成領域104bのチャネル幅(図1(A)の太線矢印Nの長さ。)により変える必要がある。具体的には、酸化物半導体膜103の膜厚(Z軸方向の長さ)を、チャネル幅の設計値の2倍以上とすることが好ましい。これにより、後の工程にて形成される低抵抗領域104aと電極114の接触抵抗低減効果を効果的に高めることができる。50

## 【0114】

なお、酸化物半導体膜103を成膜する前に、アルゴンガスを導入してプラズマを発生させ、下地膜102の表面に付着している粉状物質（パーティクル、ごみともいう）や有機物を除去する処理（逆スパッタ処理とも言われる。）を行うことが好ましい。なお、アルゴンに代えて、窒素、ヘリウム、酸素などのガスを用いてもよい。

## 【0115】

次に、フォトリソグラフィ法、印刷法、インクジェット法などを用いて酸化物半導体膜103上にマスク105を形成し、当該マスクを用いて酸化物半導体膜103の一部を選択的に除去して酸化物半導体層104を形成する（図3（C）参照。）。

## 【0116】

酸化物半導体膜103を加工して形成する酸化物半導体層104は、図1に示すとおり短手方向（一点鎖線Y1-Y2方向）の長さが非常に薄くなるため、酸化物半導体膜103は異方性の高いイオンビームエッチング法や反応性イオンエッチング（RIE：Reactive Ion Etching）法などのドライエッチング法を用いて加工することが好ましいと言える。また、中性粒子を用いたビームエッチング法を用いてもよい。

10

## 【0117】

なお、マスク105は、レジストマスクやハードマスクを用いることができる。特に、酸化物半導体層104のY1-Y2方向の長さ（図3（C）の太線矢印E部分）に対して酸化物半導体層104の厚さ（図3（C）の太線矢印F部分）が厚い場合、レジストマスクのみでは酸化物半導体膜103加工時にレジストマスクが除去されてしまい、酸化物半導体膜103を底部まで加工できないことがある。この場合、酸化物半導体膜103上にハードマスクとなる膜を形成した後に当該膜上にレジストマスクを形成し、まず、レジストマスクを用いてハードマスクを形成する。そして、ハードマスク（レジストマスクが残っている場合は、レジストマスクも。）を用いて、酸化物半導体膜103を加工すればよい。なお、ハードマスクとしては、例えば、酸化シリコン、窒化シリコンおよびタンゲステン膜など用いることができる。

20

## 【0118】

なお、図3（C）には記載されていないが、マスク105は、酸化物半導体層104を形成した後に薬液処理やエッチング処理により除去すればよい。

## 【0119】

30

次に、真空蒸着法やスパッタリング法などの物理気相成長法（PVD：Physical Vapor Deposition）やプラズマCVD法などの化学気相成長法（CVD：Chemical Vapor Deposition）を用いて、下地膜102および酸化物半導体層104上にゲート絶縁膜106および導電膜107を成膜する（図4（A）参照。）。

## 【0120】

ゲート絶縁膜106は、トランジスタ120を高性能化（例えば、トランジスタ120の微細化や低消費電力化など。）するためには、より薄くする必要がある。そのため、ゲート絶縁膜106の被覆性が悪いとゲート絶縁膜106に膜切れが生じる場合がある。このため、ゲート絶縁膜106は比較的被覆性の良いCVD法を用いて形成することが好ましいと言える。また、原子層堆積（ALD：Atomic Layer Deposition）法のような原子レベルでの積層に対応した方法を用いてもよい。なお、原子層堆積法により成膜される膜は段差被覆性、膜厚制御性および膜厚均一性が優れているため、図4（A）のように薄板状の酸化物半導体層104を覆う膜の成膜に適していると言える。

40

## 【0121】

ゲート絶縁膜106は、十分な耐圧および絶縁性を有する酸化物絶縁膜を用いることが好ましい。このため、上述の成膜法を用いて、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、窒化酸化アルミニウム膜、酸化ガリウム膜、酸化イットリウム膜、酸化ランタン膜などを、単層または積層して形成すればよい。また、酸化ハフニウム膜、ハ

50

フニウムシリケート膜 ( $HfSi_xO_y$  ( $x > 0$ ,  $y > 0$ ))、窒素が添加されたハフニウムシリケート膜 ( $HfSiO_xN_y$  ( $x > 0$ ,  $y > 0$ ))、ハフニウムアルミネート膜 ( $HfAl_xO_y$  ( $x > 0$ ,  $y > 0$ ))などのhigh-k材料をゲート絶縁膜106の少なくとも一部として用いてもよい。これによりゲートトリーク電流を低減することができる。

#### 【0122】

ゲート絶縁膜106の厚さは、好ましくは1nm以上300nm以下、より好ましくは5nm以上50nm以下とする。ゲート絶縁膜が5nm以下となるとトンネル電流によるリーケが増大する。

#### 【0123】

なお、ゲート絶縁膜106として、下地膜102と同様に熱処理によって酸素放出可能であり、酸素の一部を脱離させて酸化物半導体層104に酸素を供給し、酸化物半導体層104中の酸素欠損を補填できる、酸化物絶縁膜を成膜してもよい。当該熱処理の詳細については、下地膜102の説明を参照すればよい。なお、ゲート絶縁膜106に対して加熱処理(脱水化処理(または脱水素化処理))を行うタイミングについては、ゲート絶縁膜106の成膜後であれば特段の限定はない。

#### 【0124】

また、ゲート絶縁膜106に対して、下地膜102と同様に酸素導入処理を行ってもよい。ゲート絶縁膜106は後の工程にて形成されるチャネル形成領域104bとゲート電極108の絶縁性を確保する必要があるため、酸素導入処理を行う場合、ゲート絶縁膜106へのダメージを少なくすることが好ましいと言える。このため、ゲート絶縁膜106の膜厚が50nm以下の場合、酸素導入処理として酸素プラズマ処理を行ってもよい。なお、酸素導入処理としてゲート絶縁膜106へのダメージが少ない方法(例えば、酸素プラズマ処理など。)を用いる場合は、下地膜102と同様にゲート絶縁膜106に対して酸素導入処理および脱水化処理(または脱水素化処理)の一方または両方を複数回行ってもよい。

#### 【0125】

導電膜107は、真空蒸着法やスパッタリング法などの物理気相成長法(PVD:Physical Vapor Deposition)やプラズマCVD法などの化学気相成長法(CVD:Chemical Vapor Deposition)を用いて、モリブデン(Mo)、チタン(Ti)、タンタル(Ta)、タンクスチタン(W)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ネオジム(Nd)、スカンジウム(Sc)等の金属材料又はこれらを主成分とする合金材料を成膜すればよい。

#### 【0126】

導電膜107は、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウムを用いた単層構造、アルミニウム上にチタンを積層する二層構造、窒化チタン上にチタンを積層する二層構造、窒化チタン上にタンクスチタンを積層する二層構造、窒化タンタル上にタンクスチタンを積層する二層構造、Cu-Mg-Al合金上にCuを積層する二層構造、窒化チタン上に銅を積層する二層構造、窒化チタン上に銅を積層し、さらにその上にタンクスチタンを積層する三層構造、窒化チタン上に銅を積層し、さらにその上にモリブデンを積層する三層構造などがある。

#### 【0127】

また、導電性の金属酸化物材料を成膜してもよい。導電性の金属酸化物材料としては酸化インジウム( $In_2O_3$ )、酸化スズ( $SnO_2$ )、酸化亜鉛( $ZnO$ )、インジウムスズ酸化物( $In_2O_3-SnO_2$ 、ITOと略記する場合がある)、インジウム亜鉛酸化物( $In_2O_3-ZnO$ )、または、これらの金属酸化物材料にシリコン、酸化シリコン、酸化チタンまたは酸化タンクスチタンを含有させたものを用いることができる。導電膜107は、上記の材料を用いて単層で又は積層して形成すればよい。

#### 【0128】

また、導電膜107として、窒素を含む金属酸化物、具体的には、窒素を含むIn-Ga

10

20

30

40

50

- Zn-O膜や、窒素を含むIn-Sn-O膜や、窒素を含むIn-Ga-O膜や、窒素を含むIn-Zn-O膜や、窒素を含むSn-O膜や、窒素を含むIn-O膜や、金属窒化膜（InN、SiNなど）を用いることができる。これらの膜は5eV（電子ボルト）、好ましくは5.5eV（電子ボルト）以上の仕事関数を有しているため、当該膜がゲート絶縁膜106と接することにより、トランジスタの電気特性のしきい値電圧をプラスにすることができ、所謂ノーマリーオフのスイッチング素子を実現できる。

#### 【0129】

次に、フォトリソグラフィ法、印刷法、インクジェット法などを用いて導電膜107の一部にレジストマスクを形成し、当該マスクを用いて導電膜107の一部をドライエッチング法またはウェットエッチング法を用いて選択的に除去して、ゲート電極108（これと同じ層で形成される配線を含む。）を形成する（図4（B）参照。）。

10

#### 【0130】

次に、イオンドーピング法やイオン注入法により、酸化物半導体層104の導電率を変化させる不純物イオン109を、酸化物半導体層104に導入する。この際、ゲート電極108がマスクとして機能するため、酸化物半導体層104中には、不純物イオン109が添加された低抵抗領域104aおよび一対の低抵抗領域104aに挟まれたチャネル形成領域104bが自己整合的に形成される（図5（A）参照。）。なお、酸化物半導体層104は図1に示すとおり薄板状の構造であるため、酸化物半導体層104の表面に対して概垂直な方向から（つまり、図1のZ軸方向に）不純物イオン109を導入した場合、酸化物半導体層104の底部（下地膜102と接する面）近傍まで不純物イオン109を導入することが難しい。このため、上述のイオン導入処理は、図5（A）の右図のように斜め方向から不純物イオン109を注入する（斜め注入、斜めイオン注入とも言われる。）ことが好ましい。また、基板100の面中心を軸として基板100を回転させながら斜めイオン注入を行う（回転注入、回転イオン注入とも言われる。）方法をとってもよい。なお、図5（A）右図では、一点鎖線Y1-Y2部分におけるチャネル形成領域104b部分にも不純物イオン109が導入されているように記載されているが、これは酸化物半導体層104への不純物イオン109の斜め注入を概念的に分かり易くするために記載したものであり、実際は一点鎖線Y1-Y2部分におけるチャネル形成領域104bは、ゲート絶縁膜106を挟んでゲート電極108に覆われているため、当該図面のように不純物イオンが導入されることはない。

20

#### 【0131】

なお、上述のようにゲート電極108をマスクとして用いて低抵抗領域104aおよびチャネル形成領域104bを形成する場合、ゲート電極108と重なる部分の酸化物半導体層104の一部にも不純物イオン109が導入し、図2（A）のようにゲート電極108と重なる部分の一部を低抵抗領域104aとすることもできる。この場合、当該部分はゲート電極108と重ならない部分の低抵抗領域104aと比較して不純物イオン109の導入量が少なくなるため、当該部分はチャネル形成領域に加わる電界を緩和する電界緩和領域として機能する。したがって、図2（A）は低抵抗領域104aとチャネル形成領域104bの間に、電界緩和領域が形成された構造と考えてもよい。なお、電界緩和領域は、不純物イオン109の注入方法（注入方向とも言える。）によりチャネル形成領域104bに近づく程、不純物イオン109の濃度が低下する、といったように、不純物イオン109の濃度分布を持たせてもよい。

30

#### 【0132】

上述の不純物イオン109としては、15族元素（代表的には窒素（N）、リン（P）、砒素（As）、およびアンチモン（Sb））、ホウ素（B）、アルミニウム（Al）、アルゴン（Ar）、ヘリウム（He）、ネオン（Ne）、インジウム（In）、フッ素（F）、塩素（Cl）、チタン（Ti）、及び亜鉛（Zn）のいずれかから選択される以上を用いることができる。イオン注入法は、必要なイオンのみを取り出す質量分離器を用いているため、対象物に対して不純物イオン109のみを選択的に添加できる。このため、イオンドーピング法を用いて添加した場合と比べて酸化物半導体層104中への不純物（

40

50

例えば水素など)の混入が少なくなるため好ましい。ただし、イオンドーピング法を除外するものではない。

#### 【0133】

次に、ゲート絶縁膜106およびゲート電極108上に第1の層間絶縁膜110および第2の層間絶縁膜112を設けた後に、第1の層間絶縁膜110、第2の層間絶縁膜112、ゲート絶縁膜106および低抵抗領域104aの一部に溝部113を形成する(図5(B)参照。)。

#### 【0134】

第1の層間絶縁膜110または第2の層間絶縁膜112として無機材料膜を成膜する場合、ゲート絶縁膜106と同じ材料および成膜方法を用いて成膜すればよい。

10

#### 【0135】

また、第1の層間絶縁膜110または第2の層間絶縁膜112として有機材料膜を成膜する場合は、スピンドルコート法、印刷法、ディスペンス法またはインクジェット法などを用いて絶縁性を有する材料を塗布し、塗布した材料に応じた硬化処理(例えば、加熱処理や光照射処理など。)を行い形成すればよい。なお、絶縁性を有する材料としては、例えば、アクリル樹脂、ポリイミド樹脂、ポリアミド樹脂、ポリアミドイミド樹脂、エポキシ樹脂等の有機樹脂を用いて形成することができる。また、低誘電率材料(LOW-K材料)、シロキサン系樹脂、PSG(リンガラス)、BPSG(リンボロンガラス)等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させてもよい。なお、平坦絶縁膜は水分などの不純物を比較的多く含んでいる場合が多いため、上述の絶縁膜(例えば、酸化アルミニウムや酸化アルミニウムを含む積層膜)上に形成することが好ましい。

20

#### 【0136】

第1の層間絶縁膜110としては、例えば、酸化アルミニウム膜をスピンドルコート法により成膜すればよい。酸化アルミニウム膜は外部からの水分や水素などの不純物の侵入を抑制する効果が高いため、第1の層間絶縁膜110として酸化アルミニウム膜、または酸化アルミニウム膜を含む積層膜を形成することにより、水分や水素などの不純物は酸化物半導体層104に侵入することを抑制できる。なお、酸化アルミニウム膜の膜密度を3.2g/cm<sup>3</sup>以上、より好ましくは3.5g/cm<sup>3</sup>以上とすることにより、酸化物半導体層104への水分や水素などの不純物の侵入を、より効果的に抑制できる。

30

#### 【0137】

また、ゲート絶縁膜106として、熱処理により酸素の一部を脱離させることのできる酸化物絶縁膜を用い、第1の層間絶縁膜110成膜後に脱水化処理(または脱水素化処理)を行う場合においては、第1の層間絶縁膜を上述のように酸化アルミニウム膜として、ゲート絶縁膜106から脱離した酸素が第2の層間絶縁膜112側に拡散することを抑制できるため、酸化物半導体層104に酸素を効率的に供給できる。

#### 【0138】

なお、下地膜102および第1の層間絶縁膜110の両方に、上述の水分や水素などの不純物の侵入を抑制する効果が高い膜を用いることで、図1のように、酸化物半導体層104の周辺全体を当該膜で覆う構造となるため、第1の層間絶縁膜110成膜後の脱水化処理(または脱水素化処理)において、酸化物半導体層104に非常に効率よく酸素を供給することができる。

40

#### 【0139】

第1の層間絶縁膜110の膜厚については特段の限界はないが、上述の不純物抑制効果およびトランジスタ120の製造タクトを鑑み、100nm以上500nm以下とすることが望ましい。

#### 【0140】

第2の層間絶縁膜112としては、例えば、感光性のポリイミド樹脂をスピンドルコート法により塗布した後に硬化処理を行い形成すればよい。感光性ポリイミド樹脂などの有機材料膜を第1の層間絶縁膜110上に形成することにより表面を平坦化することができる。こ

50

れにより、トランジスタ120上に更に別の半導体素子を形成しやすくなるため、特に、半導体素子を複数の階層に形成する積層型の半導体装置などの形成において好ましいと言える。

#### 【0141】

第2の層間絶縁膜112の膜厚については特段の限定はないが、上述の平坦化効果および樹脂の硬化時間および硬化条件を鑑み、100nm以上3000nm以下とすることが望ましい。

#### 【0142】

溝部113の形成は、ドライエッチング法、ウェットエッチング法を用いて行えばよい。なお、図5(B)では、溝部113の底面は下地膜102の表面に位置する状態であるが、必ずしもこのような開口状態とする必要はない。例えば、図2(B)に示すように、低抵抗領域104aの内部に溝部113の底面が位置する状態であってもよい。また、下地膜102の内部に溝部113の底面が位置する状態であってもよい。

10

#### 【0143】

溝部113は、図1(A)のように酸化物半導体層104を下地膜102に対して垂直な方向から見た場合において、チャネル幅方向(Y軸方向とも言える。)に低抵抗領域104aを横切る構造とすることが好ましいが、必ずしも当該構造とする必要はない。

#### 【0144】

次に、第2の層間絶縁膜112上に導電膜を成膜した後、当該導電膜に対して除去処理を行い、ゲート電極108を挟む一対の電極114を、溝部113内に形成する(図6(A)参照。)。以上の工程により、チャネル形成領域104bおよびチャネル形成領域104bを挟む一対の低抵抗領域104aを有する酸化物半導体層104と、酸化物半導体層104を覆うゲート絶縁膜106と、ゲート絶縁膜106を挟んでチャネル形成領域104bを少なくとも覆うゲート電極108と、低抵抗領域104aと電気的に接続された電極114を有するトランジスタ120を形成することができる。なお、一対の電極114は低抵抗領域104aと電気的に接続されており、ソース電極またはドレイン電極として機能する。

20

#### 【0145】

電極114に用いる導電膜としては、例えば、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タンクスチレンから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜(窒化チタン膜、窒化モリブデン膜、窒化タンクスチレン膜)等を用いることができる。また、アルミニウム、銅などの金属膜の下側又は上側の一方または双方にチタン、モリブデン、タンクスチレンなどの高融点金属膜またはそれらの金属窒化物膜(窒化チタン膜、窒化モリブデン膜、窒化タンクスチレン膜)を積層させた構成としても良い。また、電極114に用いる導電膜は、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム( $In_2O_3$ )、酸化スズ( $SnO_2$ )、酸化亜鉛( $ZnO$ )、インジウムスズ酸化物( $In_2O_3 - SnO_2$ 、ITOと略記する)、インジウム亜鉛酸化物( $In_2O_3 - ZnO$ )を用いることができる。ソース電極及びドレイン電極に用いる導電膜は、上記の材料を用いて単層で又は積層して成膜することができる。形成方法も特に限定されず、蒸着法、CVD法、スパッタリング法、スピンドルコート法などの各種成膜方法を用いることができる。

30

#### 【0146】

導電膜に対しての除去処理としては、平坦化処理と同様に化学機械研磨(CMP: Chemical Mechanical Polishing)、またはドライエッチング法などを用いればよい。

40

#### 【0147】

その後、第2の層間絶縁膜112および電極114上に導電膜を成膜し、フォトリソグラフィ法、印刷法、インクジェット法などを用いて導電膜上にマスクを形成し、当該マスクを用いて導電膜の一部を選択的に除去して配線116を形成する(図6(B)参照。)。配線116は、例えば、トランジスタ120と他のトランジスタを電気的に接続する引き

50

回し配線などとして機能する。なお、配線 116 に用いる導電膜としては、電極 114 と同様の材料を用いることができる。

#### 【0148】

以上の工程により、図 1 に記載する構造を形成することができる。

#### 【0149】

##### (実施の形態 2 )

本実施の形態では実施の形態 1 にて記載した半導体素子とは異なる構造の半導体素子について、その構造および作製方法の一様を図 7 乃至図 13 を用いて説明する。

#### 【0150】

##### <半導体素子の構成例>

図 7 (A) 乃至図 7 (C) に、半導体素子の例として、トップゲート構造のトランジスタの平面図および断面図の一例を示す。図 7 (A) は平面図であり、図 7 (B) は、図 7 (A) における一点鎖線 X1 - X2 の断面図であり、図 7 (C) は、図 7 (A) における一点鎖線 Y1 - Y2 の断面図である。なお、図 7 (A) では、煩雑になることを避けるため、トランジスタ 720 の構成要素の一部（例えば、基板 100 など）を省略している。

#### 【0151】

本実施の形態のトランジスタ 720 は、酸化物半導体層 708 と、酸化物半導体層 708 を挟み、酸化物半導体層 708 と概同一表面である一対の電極 706 を有する構造体 710 が、トランジスタ 720 に用いられている点が、実施の形態 1 と異なる点である。

#### 【0152】

図 7 (A) 乃至図 7 (C) に示すトランジスタ 720 は、基板 100 上に設けられた下地膜 102 と、下地膜 102 上に設けられ、電極 706 および酸化物半導体層 708 を含む構造体 710 と、構造体 710 を覆うゲート絶縁膜 106 と、ゲート絶縁膜 106 上に位置し、ゲート絶縁膜 106 を挟んで酸化物半導体層 708 の上面および側面を覆うゲート電極 108 を有する構造である。また、トランジスタ 720 上には、ゲート絶縁膜 106 およびゲート電極 108 を覆う第 1 の層間絶縁膜 110 および第 2 の層間絶縁膜 112 が設けられている。そして、ゲート絶縁膜 106、第 1 の層間絶縁膜 110 および第 2 の層間絶縁膜 112 に設けられた溝部を通して配線 116 が電極 706 と電気的に接続されている。なお、図示はしていないが、トランジスタ 720 は配線 116 を経由して他の半導体素子など（例えば、トランジスタなど。）と電気的に接続されている。

#### 【0153】

構造体 710 は、図 7 (B) に示すように一対の電極 706 と、一対の電極 706 に挟まれた酸化物半導体層 708 が含まれている。酸化物半導体層 708 は、実施の形態 1 のチャネル形成領域 104b の機能を果たしており、酸化物半導体層 708 に直接接して一対の電極 706 が形成されている。このため、実施の形態 1 のように、チャネル形成領域と電極間に抵抗成分となる領域（実施の形態 1 では、低抵抗領域 104a が、抵抗成分となる領域に相当する。）が存在しないため、トランジスタの電気特性に与える悪影響（例えば、オン電流の低下など。）を低減できる。また、電極 706 と酸化物半導体層 708 は対向する側面全体で接しており、広い面積で電気的に接続されているため、接触抵抗の増加に伴うオン電流の低下や電気特性のバラツキの増加を効果的に抑制できる。

#### 【0154】

また、酸化物半導体層 708 を含む構造体 710 を薄板状の構造として、ゲート電極 108 に電圧を印加した場合において、チャネル部は図 7 (C) の太点線 Z1 - Z2 のようにゲート絶縁膜 106 界面近傍の酸化物半導体層 708 中にコの字状に形成されるため、構造体 710 の加工時に生じるチャネル幅（図 7 (A) の太線矢印 N）の変動がトランジスタ 720 の電気特性バラツキに与える影響は比較的小さい。

#### 【0155】

そして、構造体 710 中の電極 706 は、ゲート絶縁膜 106、第 1 の層間絶縁膜 110 および第 2 の層間絶縁膜 112 に設けられた溝部を通して、配線 116 と電気的に接続されている。なお、図 7 (B) では、配線 116 は、溝部から露出した電極 706 の表面上に

10

20

30

40

50

接して設けられているが、例えば、溝部が電極 706 の内部まで到達しており、配線 116 が電極 706 の内部と接する構造としてもよい。これにより、電極 706 と配線 116 の接する面積が増加するため、接触抵抗の増加に伴うオン電流の低下や電気特性のバラツキの増加を効果的に抑制できる。

#### 【0156】

酸化物半導体層 708 は、構造体 710 を下地膜 102 の表面に対して垂直な方向から見た場合において、チャネル幅方向（図 7 (A) の太線矢印 N 部分の長さ。Y 軸方向とも言える。）の長さを 1 nm 以上 60 nm 以下とすることが好ましい。当該部分の長さを 60 nm 以下とし、ゲート電極 108 がゲート絶縁膜 106 を挟んで酸化物半導体層 708 の上面および側面を覆うことにより、酸化物半導体層 708 は完全空乏型または完全空乏型に極めて近い状態となる。これによりトランジスタ 720 は、基板浮遊効果が少ない、サブスレショルド特性が良好といった特性を持ち得る。なお、構造体 710 は図 7 のように薄板状（薄片状とも言える。）に形成するため、薄すぎると加工が困難になる、といった問題が生じる。このため、当該箇所の長さは 1 nm 以上とすることが好ましい。

10

#### 【0157】

なお、図 7 (B) のように構造体 710 の長手方向に酸化物半導体層 708 を分断した場合において、分断面における酸化物半導体層 708 と電極 706 が接する辺（図 7 (B) の太線矢印 Q 部分。）の長さが、酸化物半導体層 708 と下地膜 102 が接する辺（図 7 (B) の太線矢印 R 部分。）の長さより長いほど、上述の接触抵抗低減効果は大きくなる。具体的には、酸化物半導体層 708 と電極 706 が接する辺の長さ（酸化物半導体層 708 の膜厚とも言える。）が、酸化物半導体層 708 と下地膜 102 が接する辺の長さ（酸化物半導体層 708 のチャネル長方向の長さとも言える。）の 2 倍以上とすることが好ましい。

20

#### 【0158】

ゲート電極 108 は、図 7 (B) および図 7 (C) に示すように、構造体 710 上に、ゲート絶縁膜 106 を挟んで酸化物半導体層 708 の側面および上面を覆う状態に設けられている。

#### 【0159】

なお、図 7 ではゲート電極 108 の端部は酸化物半導体層 708 の端部と重なる構造となっているが、必ずしも当該構造とする必要はなく、例えば、ゲート電極 108 の一部が電極 706 と重なる構造としてもよい。

30

#### 【0160】

また、図 7 (A) ではゲート電極 108 は、一点鎖線 X1 - X2 方向の長さは一定であるが、必ずしも当該長さが一定である必要はない。例えば、ゲート電極 108 が他の半導体素子（例えば、トランジスタなど。）と電気的に接続されている場合、ゲート電極 108 の一部は配線としての機能を併せ持つため、この場合、構造体 710 と重ならない部分の線幅を広くすることにより、配線抵抗を低減することができる。

#### 【0161】

<トランジスタ 720 の作製方法>

図 8 乃至図 11 を用いて、図 7 に示すトランジスタ 720 の作製工程の一例について説明する。

40

#### 【0162】

まず、絶縁表面を有する基板 100 を準備し、基板 100 上に下地膜 102 を形成し、下地膜 102 上に導電膜 702 を成膜する（図 8 (A) 参照。）。基板 100 の材料ならびに、下地膜 102 の材料および形成方法などについては、実施の形態 1 を参照とすることができます。

#### 【0163】

導電膜 702 の材料としては、トランジスタ 720 の作製工程にて行われる加熱処理に耐えられる材料を用いる。例えば、Al、Cr、Cu、Ta、Ti、Mo、W から選ばれた元素を含む金属膜、又は上述した元素を成分とする金属窒化物膜（窒化チタン膜、窒化モ

50

リブデン膜、窒化タンゲステン膜)等を用いることができる。また、Al、Cuなどの金属膜の下側又は上側の一方又は双方にTi、Mo、Wなどの高融点金属膜又はこれらの金属窒化物膜(窒化チタン膜、窒化モリブデン膜、窒化タンゲステン膜)を積層させた構成としても良い。又は、導電性の金属酸化物を用いて導電膜702を形成しても良い。導電性の金属酸化物としては酸化インジウム( $In_2O_3$ )、酸化スズ( $SnO_2$ )、酸化亜鉛( $ZnO$ )、酸化インジウム酸化スズ( $In_2O_3 - SnO_2$ 、ITOと略記する)、酸化インジウム酸化亜鉛( $In_2O_3 - ZnO$ )又はこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。

#### 【0164】

次に、フォトリソグラフィ法、印刷法、インクジェット法などを用いて導電膜702上にマスクを形成し、当該マスクを用いて導電膜702の一部を選択的に除去して開口部703を形成する(図8(B)参照。)。

10

#### 【0165】

次に、下地膜102および導電膜702上に酸化物半導体膜704を成膜し、酸化物半導体膜704に対して除去処理を行い、導電膜702が露出するように、酸化物半導体膜704の少なくとも一部を除去する(図9(A)参照。)。なお、酸化物半導体膜704は、実施の形態1にて記載した酸化物半導体層104と同様の材料および形成方法を用いることができる。

#### 【0166】

導電膜702および酸化物半導体膜704の膜厚(Z軸方向の長さ)がどの程度になるまで除去処理を行うかについては、後の工程にて形成される酸化物半導体層708のチャネル幅(図7(A)の太線矢印Nの長さ。)により変える必要がある。具体的には、導電膜702および酸化物半導体膜704の膜厚(Z軸方向の長さ)を、チャネル幅の設計値の2倍以上とすることが好ましい。これにより、後の工程にて形成される電極706と酸化物半導体層708の接触抵抗低減効果を効果的に高めることができる。

20

#### 【0167】

酸化物半導体膜704に対しての除去処理としては、実施の形態1の平坦化処理と同様に化学機械研磨(CMP: Chemical Mechanical Polishing)処理、またはドライエッティング法などを用いればよい。なお、図9(A)では、導電膜702と酸化物半導体膜704が同一表面となっているが、本実施の形態の内容が、このような状態に限定されるものではない。例えば、導電膜702が露出した状態から更にCMP処理を進めると、導電膜702と酸化物半導体膜704の硬度が異なる場合、CMP処理に対する各々の除去速度(研磨速度)が異なるため、導電膜702の表面と酸化物半導体膜704の表面に段差が生じる場合がある。

30

#### 【0168】

なお、除去処理としてCMP処理を行う場合は、1回のみ行ってもよいし、複数回行ってもよい。複数回に分けてCMP処理を行う場合は、高い研磨レートの一次研磨を行った後、低い研磨レートの仕上げ研磨を行うことが好ましい。このように研磨レートの異なる研磨を組み合わせることによって、導電膜702および酸化物半導体膜704の表面の平坦性をより向上させることができるために、後の工程にて導電膜702および酸化物半導体膜704上に形成するゲート絶縁膜106の膜厚均一性を高めることができる。

40

#### 【0169】

次に、フォトリソグラフィ法、印刷法、インクジェット法などを用いて導電膜702および酸化物半導体膜704上にマスク105を形成し、当該マスクを用いて導電膜702および酸化物半導体膜704の一部を選択的に除去して、電極706および酸化物半導体層708を有する構造体710を形成する(図9(B)参照。)。なお、図9(B)には記載されていないが、マスク105は、構造体710を形成した後に薬液処理やエッティング処理により除去すればよい。なお、マスク105は、実施の形態1を参照とすることができます。

#### 【0170】

50

次に、下地膜 102 および構造体 710 上にゲート絶縁膜 106 を形成し、ゲート絶縁膜 106 上にゲート電極 108 を形成する。なお、ゲート絶縁膜 106 およびゲート電極 108 についての材料および作製方法などは、実施の形態 1 を参照とすることができます。以上の工程により、酸化物半導体層 708 および酸化物半導体層 708 を挟む一対の電極 706 を有する構造体 710 と、構造体 710 上のゲート絶縁膜 106 と、ゲート絶縁膜 106 を挟んで酸化物半導体層 708 を覆うゲート電極 108 を有するトランジスタ 720 を形成することができる（図 10（A）参照。）。

#### 【0171】

次に、ゲート絶縁膜 106 およびゲート電極 108 上に第 1 の層間絶縁膜 110 および第 2 の層間絶縁膜 112 を設けた後に、第 1 の層間絶縁膜 110、第 2 の層間絶縁膜 112 およびゲート絶縁膜 106 の一部に溝部 705 を形成する（図 10（B）参照。）。なお、第 1 の層間絶縁膜 110 および第 2 の層間絶縁膜 112 についての材料および作製方法などは、実施の形態 1 を参照とすることができます。また、溝部 705 の形成方法についても、実施の形態 1 を参照とすることができます。

10

#### 【0172】

その後、第 2 の層間絶縁膜 112 上に導電膜を成膜し、フォトリソグラフィ法、印刷法、インクジェット法などを用いて導電膜上にマスクを形成し、当該マスクを用いて導電膜の一部を選択的に除去して配線 116 を形成する（図 11（A）参照。）。配線 116 は、例えば、トランジスタ 720 と他のトランジスタを電気的に接続する引き回し配線などとして機能する。なお、配線 116 についての材料および作製方法などは、実施の形態 1 を参考とすることができます。

20

#### 【0173】

なお、本実施の形態では、酸化物半導体層 708 を挟む一対の電極 706 の両方は、第 2 の層間絶縁膜 112 上に取り出され、そして配線 116 を経由して他の半導体素子など（例えば、トランジスタなど。）と電気的に接続されているが、このような構造に限定されることではなく、例えば、一対の電極 706 の片方または両方が、直接他の半導体素子など（例えば、トランジスタなど。）に電気的に接続されていてもよい。

#### 【0174】

以上の工程により、図 7 に記載する構造を形成することができる。

#### 【0175】

30

#### （実施の形態 3）

本実施の形態では、実施の形態 2 とは異なる、構造体 710 の作製方法について図 12 および図 13 を用いて説明する。

#### <構造体の作製方法>

#### 【0176】

まず、基板 100 上に形成された下地膜 102 上に、酸化物半導体膜 704 を形成する（図 12（A）参照。）。酸化物半導体膜 704 の材料および形成方法については、実施の形態 1 を参考することができます。

#### 【0177】

次に、フォトリソグラフィ法、印刷法、インクジェット法などを用いて酸化物半導体膜 704 上にマスク 105 を形成し、当該マスクを用いて酸化物半導体膜 704 の一部を選択的に除去する（図 12（B）参照。）。マスク 105 の材料および形成方法については、実施の形態 1 を参考することができます。

40

#### 【0178】

なお、図 12（B）には記載されていないが、マスク 105 は、酸化物半導体膜 704 を加工した後に薬液処理やエッチング処理により除去すればよい。

#### 【0179】

次に、下地膜 102 および酸化物半導体膜 704 上に導電膜 702 を形成した後、当該導電膜に対して除去処理を行い、酸化物半導体膜 704 が露出するように、導電膜 702 の少なくとも一部を除去する（図 13（A）参照。）。導電膜 702 の材料および形成方法

50

については、実施の形態2を参照することができる。また、導電膜702の除去処理については、実施の形態1を参照することができる。

#### 【0180】

そして、図9(B)と同様に、フォトリソグラフィ法、印刷法、インクジェット法などを用いて導電膜702および酸化物半導体膜704上にマスク115を形成し、当該マスクを用いて導電膜702および酸化物半導体膜704の一部を選択的に除去して、電極706および酸化物半導体層708を有する構造体710を形成する(図13(B)参照。)。なお、図13(B)には記載されていないが、マスク115は、構造体710を形成した後に薬液処理やエッティング処理により除去すればよい。

#### 【0181】

以降の工程については、図10および図11、ならびに当該図面に対応する実施の形態2の内容を参照することにより、図7に記載のトランジスタ720を有する構造を作製することができる。

#### 【0182】

##### (実施の形態4)

本実施の形態では、実施の形態1乃至実施の形態3に示すトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置の一例を、図面を用いて説明する。

#### 【0183】

図14は、半導体装置の構成の一例である。図14(A)に、半導体装置の断面図を、図14(B)に半導体装置の平面図を、図14(C)に半導体装置の回路図をそれぞれ示す。ここで、図14(A)は、図14(B)のK-L、及びM-Nにおける断面に相当する。

#### 【0184】

図14(A)及び図14(B)に示す半導体装置は、下部に第1の半導体材料を用いたトランジスタ1460を有し、上部に第2の半導体材料を用いたトランジスタ1462を有するものである。トランジスタ1462としては、上述の実施の形態で示すトランジスタの構造を適用することができる。ここでは、実施の形態2のトランジスタ720を用いた場合の例を記載する。

#### 【0185】

ここで、第1の半導体材料と第2の半導体材料は異なる禁制帯幅を持つ材料とすることが望ましい。例えば、第1の半導体材料を酸化物半導体以外の半導体材料(シリコンなど)とし、第2の半導体材料を酸化物半導体とすることができます。酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

#### 【0186】

なお、上記トランジスタは、いずれもnチャネル型トランジスタであるものとして説明するが、pチャネル型トランジスタを用いることができるとは言うまでもない。また、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

#### 【0187】

図14(A)におけるトランジスタ1460は、半導体材料(例えば、シリコンなど)を含む基板1400に設けられたチャネル形成領域1416と、チャネル形成領域1416を挟むように設けられた不純物領域1420と、不純物領域1420に接する金属間化合物領域1424と、チャネル形成領域1416上に設けられたゲート絶縁膜1408と、ゲート絶縁膜1408上に設けられたゲート電極1410と、を有する。なお、図において、明示的にはソース電極やドレイン電極を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極やドレイン電極と表現することがある。つまり、本明細書において、ソース電極との記載には、ソース領域が含

10

20

30

40

50

まれうる。

**【0188】**

基板 1400 上にはトランジスタ 1460 を囲むように素子分離絶縁層 1406 が設けられており、トランジスタ 1460 を覆うように絶縁膜 1428、及び絶縁膜 1430 が設けられている。なお、トランジスタ 1460 において、ゲート電極 1410 の側面に側壁絶縁層（サイドウォール絶縁層）を設け、不純物濃度が異なる領域を含む不純物領域 1420 としてもよい。

**【0189】**

単結晶半導体基板を用いたトランジスタ 1460 は、高速動作が可能である。このため、当該トランジスタを読み出し用のトランジスタとして用いることで、情報の読み出しを高速に行うことができる。トランジスタ 1460 を覆うように絶縁膜を 2 層形成する。そして、絶縁膜 1428 および絶縁膜 1430 上にトランジスタ 1462 および容量素子 1464 を形成する前処理として、絶縁膜 1428 および絶縁膜 1430 に除去処理を施して、絶縁膜 1428、絶縁膜 1430 を平坦化し、同時にゲート電極 1410 の上面を露出させる。なお、ここでの除去処理は、実施の形態 1 に記載した除去処理と同様である。

10

**【0190】**

絶縁膜 1428、絶縁膜 1430 は、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、窒化酸化アルミニウム膜などの無機絶縁膜を用いることができる。絶縁膜 1428、絶縁膜 1430 は、プラズマ CVD 法又はスパッタリング法等を用いて形成することができる。

20

**【0191】**

また、ポリイミド樹脂、アクリル樹脂、ベンゾシクロブテン系樹脂、等の有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k 材料）等を用いることができる。有機材料を用いる場合、スピンドルコート法、印刷法などの湿式法によって絶縁膜 1428、絶縁膜 1430 を形成してもよい。

**【0192】**

なお、本実施の形態において、絶縁膜 1428 として窒化シリコン膜、絶縁膜 1430 として酸化シリコン膜を用いる。

**【0193】**

30

本実施の形態では、研磨処理（例えば CMP 処理）により十分に平坦化した絶縁膜 1428、絶縁膜 1430（好ましくは絶縁膜 1428 および絶縁膜 1430 表面の平均面粗さは 0.15 nm 以下）上に下地膜 102 を形成し、下地膜 102 上に酸化物半導体層 708 および酸化物半導体層 708 を挟む一対の電極 706 を形成する。そして、一対の電極 706 の一部は、下地膜 102 に設けられた開口部を通してトランジスタ 1460 のゲート電極 1410 と電気的に接続されている。なお、酸化物半導体層 708 を挟む一対の電極 706 は、ソース電極またはドレイン電極として機能する。また、ゲート絶縁膜 106 が電極 706 および酸化物半導体層 708 を覆う状態に設けられ、ゲート電極 108 が、ゲート絶縁膜 106 を挟んで酸化物半導体層 708 を少なくとも覆う状態に、ゲート絶縁膜 106 上に設けられている。

40

**【0194】**

図 14 (A) に示すトランジスタ 1462 は、チャネル形成領域に酸化物半導体材料を用いたトランジスタである。ここで、トランジスタ 1462 に含まれる酸化物半導体層 708 は、上述の実施の形態にて記載したように、水分や水素などの不純物が極力除去されて高純度化されたものであることが望ましい。また、酸素欠損が十分に補填されたものであることが好ましい。このような酸化物半導体層を用いることで、オフ電流の極めて小さいトランジスタ 1462 を得ることができる。

**【0195】**

トランジスタ 1462 は、オフ電流が極めて小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない

50

、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

#### 【0196】

トランジスタ1462上には、第1の層間絶縁膜110、第2の層間絶縁膜112および第3の層間絶縁膜1450が単層または積層で設けられている。本実施の形態では、第1の層間絶縁膜110として、酸化アルミニウム膜を用いる。酸化アルミニウム膜を高密度（膜密度3.2g/cm<sup>3</sup>以上、好ましくは3.6g/cm<sup>3</sup>以上）とすることによって、トランジスタ1462に安定な電気特性を付与することができる。また、第2の層間絶縁膜112として、ポリイミド樹脂を用い、トランジスタ1462の形成により生じる凹凸を平坦化している。また、第3の層間絶縁膜1450として、窒化酸化珪素および酸化窒化珪素がこの順に積層された膜を用いている。これにより、第2の層間絶縁膜112からの上層への不純物拡散を抑制することができる。10

#### 【0197】

また、第1の層間絶縁膜110、第2の層間絶縁膜112及び第3の層間絶縁膜1450を介して、トランジスタ1462の電極706と重畳する領域には、導電層1453が設けられており、電極706、第1の層間絶縁膜110、第2の層間絶縁膜112、第3の層間絶縁膜1450および導電層1453とによって、容量素子1464が構成される。すなわち、トランジスタ1462を形成する一対の電極の一方は、容量素子1464の一方の電極として機能し、導電層1453は、容量素子1464の他方の電極として機能する。なお、容量が不要の場合には、容量素子1464を設けない構成とすることもできる。また、容量素子1464は、別途、トランジスタ1462の上方に設けてよい。20

#### 【0198】

トランジスタ1462および容量素子1464の上には絶縁膜1454が設けられている。そして、絶縁膜1454上にはトランジスタ1462と、他のトランジスタを接続するための配線1456が設けられている。図14(A)には図示しないが、配線1456は、第1の層間絶縁膜110、第2の層間絶縁膜112、第3の層間絶縁膜1450および絶縁膜1454などに形成された開口部を通して電極706と電気的に接続される。

#### 【0199】

図14(A)及び図14(B)において、トランジスタ1460と、トランジスタ1462とは、少なくとも一部が重畳するように設けられており、トランジスタ1460のソース領域またはドレイン領域と酸化物半導体層708の一部が重畳するように設けられているのが好ましい。また、トランジスタ1462及び容量素子1464が、トランジスタ1460の少なくとも一部と重畳するように設けられている。例えば、容量素子1464の導電層1453は、トランジスタ1460のゲート電極1410と少なくとも一部が重畳して設けられている。このような平面レイアウトを採用することにより、半導体装置の占有面積の低減を図るために、高集積化を図ることができる。30

#### 【0200】

なお、電極706および配線1456の電気的接続は、電極706と配線1456を直接接触させて行ってもよいし、電極706および配線1456の間の絶縁膜に電極を設けて、該電極を介して行ってもよい。また、間に介する電極は複数でもよい。40

#### 【0201】

次に、図14(A)及び図14(B)に対応する回路構成の一例を図14(C)に示す。

#### 【0202】

図14(C)において、第1の配線(1st Line)とトランジスタ1460のソース電極が電気的に接続され、第2の配線(2nd Line)とトランジスタ1460のドレイン電極が電気的に接続されている。また、第3の配線(3rd Line)とトランジスタ1462のソース電極(またはドレイン電極)が電気的に接続され、第4の配線(4th Line)と、トランジスタ1462のゲート電極が電気的に接続されている。そして、トランジスタ1460のゲート電極と、トランジスタ1462のドレイン電極(またはソース電極)は、容量素子1464の電極の他方と電気的に接続され、第5の配50

線(5th Line)と、容量素子1464の電極の一方が電気的に接続されている。

#### 【0203】

図14(C)に示す半導体装置では、トランジスタ1460のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

#### 【0204】

情報の書き込みおよび保持について説明する。まず、第4の配線の電位を、トランジスタ1462がオン状態となる電位にして、トランジスタ1462をオン状態とする。これにより、第3の配線の電位が、トランジスタ1460のゲート電極、および容量素子1464に与えられる。すなわち、トランジスタ1460のゲート電極には、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位レベルを与える電荷(以下Lowレベル電荷、Highレベル電荷という)のいずれかが与えられるものとする。その後、第4の配線の電位を、トランジスタ1462がオフ状態となる電位にして、トランジスタ1462をオフ状態とすることにより、トランジスタ1460のゲート電極に与えられた電荷が保持される(保持)。

#### 【0205】

トランジスタ1462のオフ電流は極めて小さいため、トランジスタ1460のゲート電極の電荷は長時間にわたって保持される。

#### 【0206】

次に情報の読み出しについて説明する。第1の配線に所定の電位(定電位)を与えた状態で、第5の配線に適切な電位(読み出し電位)を与えると、トランジスタ1460のゲート電極に保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、トランジスタ1460をnチャネル型とすると、トランジスタ1460のゲート電極にHighレベル電荷が与えられている場合の見かけのしきい値電圧 $V_{th\_H}$ は、トランジスタ1460のゲート電極にLowレベル電荷が与えられている場合の見かけのしきい値電圧 $V_{th\_L}$ より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ1460を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を $V_{th\_H}$ と $V_{th\_L}$ の間の電位 $V_0$ とすることにより、トランジスタ1460のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線の電位が $V_0 (> V_{th\_H})$ となれば、トランジスタ1460は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線の電位が $V_0 (< V_{th\_L})$ となっても、トランジスタ1460は「オフ状態」のままである。このため、第2の配線の電位を見ることで、保持されている情報を読み出すことができる。

#### 【0207】

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。このように情報を読み出さない場合には、ゲート電極の状態にかかわらずトランジスタ1460が「オフ状態」となるような電位、つまり、 $V_{th\_H}$ より小さい電位を第5の配線に与えればよい。または、ゲート電極の状態にかかわらずトランジスタ1460が「オン状態」となるような電位、つまり、 $V_{th\_L}$ より大きい電位を第5の配線に与えればよい。

#### 【0208】

本実施の形態に示す半導体装置では、チャネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合(ただし、電位は固定されていることが望ましい)であっても、長期にわたって記憶内容を保持することが可能である。

#### 【0209】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素

10

20

30

40

50

子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁膜の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

#### 【0210】

以上のように、微細化及び高集積化を実現し、かつ高い電気的特性を付与された半導体装置、及び該半導体装置の作製方法を提供することができる。

#### 【0211】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

#### 【0212】

##### (実施の形態5)

本実施の形態においては、実施の形態1乃至実施の形態3に示すトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置について、実施の形態4に示した構成と異なる構成について、図15及び図16を用いて説明を行う。

#### 【0213】

図15(A)は、半導体装置の回路構成の一例を示し、図15(B)は半導体装置の一例を示す概念図である。まず、図15(A)に示す半導体装置について説明を行い、続けて図15(B)に示す半導体装置について、以下説明を行う。

#### 【0214】

図15(A)に示す半導体装置において、ビット線BLとトランジスタ1462のソース電極又はドレイン電極とは電気的に接続され、ワード線WLとトランジスタ1462のゲート電極とは電気的に接続され、トランジスタ1462のソース電極又はドレイン電極と容量素子1464の第1の端子とは電気的に接続されている。

#### 【0215】

次に、図15(A)に示す半導体装置(メモリセル1550)に、情報の書き込みおよび保持を行う場合について説明する。

#### 【0216】

まず、ワード線WLの電位を、トランジスタ1462がオン状態となる電位として、トランジスタ1462をオン状態とする。これにより、ビット線BLの電位が、容量素子1464の第1の端子に与えられる(書き込み)。その後、ワード線WLの電位を、トランジスタ1462がオフ状態となる電位として、トランジスタ1462をオフ状態とすることにより、容量素子1464の第1の端子の電位が保持される(保持)。

#### 【0217】

酸化物半導体を用いたトランジスタ1462は、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ1462をオフ状態とすることで、容量素子1464の第1の端子の電位(あるいは、容量素子1464に蓄積された電荷)を極めて長時間にわたって保持することが可能である。

#### 【0218】

次に、情報の読み出しについて説明する。トランジスタ1462がオン状態となると、浮遊状態であるビット線BLと容量素子1464とが導通し、ビット線BLと容量素子1464の間で電荷が再分配される。その結果、ビット線BLの電位が変化する。ビット線BLの電位の変化量は、容量素子1464の第1の端子の電位(あるいは容量素子1464に蓄積された電荷)によって、異なる値をとる。

#### 【0219】

例えば、容量素子1464の第1の端子の電位をV、容量素子1464の容量をC、ビット線BLが有する容量成分(以下、ビット線容量とも呼ぶ)をCB、電荷が再分配される

10

20

30

40

50

前のビット線 B L の電位を V B 0 とすると、電荷が再分配された後のビット線 B L の電位は、 $(C_B \times V_B 0 + C \times V) / (C_B + C)$  となる。従って、メモリセル 1550 の状態として、容量素子 1464 の第 1 の端子の電位が V 1 と V 0 ( $V 1 > V 0$ ) の 2 つの状態をとるとすると、電位 V 1 を保持している場合のビット線 B L の電位 ( $= C_B \times V_B 0 + C \times V 1) / (C_B + C)$ ) は、電位 V 0 を保持している場合のビット線 B L の電位 ( $= C_B \times V_B 0 + C \times V 0) / (C_B + C)$ ) よりも高くなることがわかる。

#### 【0220】

そして、ビット線 B L の電位を所定の電位と比較することで、情報を読み出すことができる。

#### 【0221】

このように、図 15 (A) に示す半導体装置は、トランジスタ 1462 のオフ電流が極めて小さいという特徴から、容量素子 1464 に蓄積された電荷は長時間にわたって保持することができる。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することができる。

#### 【0222】

次に、図 15 (B) に示す半導体装置について、説明を行う。

#### 【0223】

図 15 (B) に示す半導体装置は、上部に記憶回路として図 15 (A) に示したメモリセル 1550 を複数有するメモリセルアレイ 1551 a 及びメモリセルアレイ 1551 b を有し、下部に、メモリセルアレイ 1551 (メモリセルアレイ 1551 a 及びメモリセルアレイ 1551 b) を動作させるために必要な周辺回路 1553 を有する。なお、周辺回路 1553 は、メモリセルアレイ 1551 と電気的に接続されている。このような構成とすることにより、半導体装置の小型化を図ることができる。

#### 【0224】

周辺回路 1553 に設けられるトランジスタは、実施の形態 4 のトランジスタ 1462 とは異なる半導体材料を用いるのがより好ましい。例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いることが好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、十分な高速動作が可能である。したがって、該トランジスタにより、高速動作が要求される各種回路（論理回路、駆動回路など）を好適に実現することが可能である。

#### 【0225】

なお、図 15 (B) に示した半導体装置では、2 つのメモリセルアレイ 1551 (メモリセルアレイ 1551 a と、メモリセルアレイ 1551 b) が積層された構成を例示したが、積層するメモリセルアレイの数はこれに限定されない。3 つ以上のメモリセルアレイを積層する構成としても良い。

#### 【0226】

次に、図 15 (A) に示したメモリセル 1550 の具体的な構成について図 16 を用いて説明を行う。

#### 【0227】

図 16 は、メモリセル 1550 の構成の一例である。図 16 (A) に、メモリセル 1550 の断面図を、図 16 (B) にメモリセル 1550 の平面図をそれぞれ示す。ここで、図 16 (A) は、図 16 (B) の O - P、及び Q - R における断面に相当する。

#### 【0228】

下地膜 102 を介して基板 1600 に設けられたトランジスタ 1462 は、実施の形態 1 乃至実施の形態 3 で示した構成と同一の構成とすることができます。

#### 【0229】

トランジスタ 1462 上には、第 1 の層間絶縁膜 110、第 2 の層間絶縁膜 112 および

10

20

30

40

50

第3の層間絶縁膜1450が単層または積層で設けられている。また、第1の層間絶縁膜110、第2の層間絶縁膜112および第3の層間絶縁膜1450を介して、トランジスタ1462の電極706と重疊する領域には、導電層1453が設けられており、電極706、第1の層間絶縁膜110、第2の層間絶縁膜112、第3の層間絶縁膜1450および導電層1453によって、容量素子1464が構成される。すなわち、トランジスタ1462の電極706は、容量素子1464の一方の電極として機能し、導電層1453は、容量素子1464の他方の電極として機能する。

#### 【0230】

トランジスタ1462および容量素子1464の上には絶縁膜1454が設けられている。そして、絶縁膜1454上にはメモリセル1550と、隣接するメモリセル1550を接続するための配線1456が設けられている。図示しないが、配線1456は、第1の層間絶縁膜110、第2の層間絶縁膜112、第3の層間絶縁膜1450および絶縁膜1454などに形成された開口を通してトランジスタ1462の電極706と電気的に接続されている。但し、開口に他の導電層を設け、当該他の導電層を介して、配線1456と電極706とを電気的に接続してもよい。なお、配線1456は、図15(A)の回路図におけるビット線BLに相当する。

#### 【0231】

図16(A)及び図16(B)において、トランジスタ1462の電極706は、隣接するメモリセルに含まれるトランジスタのソース電極としても機能することができる。

#### 【0232】

図16(A)に示す平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

#### 【0233】

以上のように、上部に多層に形成された複数のメモリセルは、酸化物半導体を用いたトランジスタにより形成されている。酸化物半導体を用いたトランジスタは、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。

#### 【0234】

このように、酸化物半導体以外の材料を用いたトランジスタ(換言すると、十分な高速動作が可能なトランジスタ)を用いた周辺回路と、酸化物半導体を用いたトランジスタ(より広義には、十分にオフ電流が小さいトランジスタ)を用いた記憶回路とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。また、周辺回路と記憶回路を積層構造とすることにより、半導体装置の集積化を図ることができる。

#### 【0235】

以上のように、微細化及び高集積化を実現し、かつ高い電気的特性を付与された半導体装置、及び該半導体装置の作製方法を提供することができる。

#### 【0236】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することができる。

#### 【0237】

##### (実施の形態6)

本実施の形態では、先の実施の形態で示した半導体装置を携帯電話、スマートフォン、電子書籍などの携帯機器に応用した場合の例を図17乃至図20を用いて説明する。

#### 【0238】

携帯電話、スマートフォン、電子書籍などの携帯機器においては、画像データの一時記憶などにSRAMまたはDRAMが使用されている。SRAMまたはDRAMが使用される理由としてはフラッシュメモリでは応答が遅く、画像処理では不向きであるためである。一方で、SRAMまたはDRAMを画像データの一時記憶に用いた場合、以下の特徴がある。

10

20

30

40

50

**【 0 2 3 9 】**

通常の S R A M は、図 1 7 ( A ) に示すように 1 つのメモリセルがトランジスタ 1 7 0 1 乃至トランジスタ 1 7 0 6 の 6 個のトランジスタで構成されており、それを X デコーダー 1 7 0 7 、 Y デコーダー 1 7 0 8 にて駆動している。トランジスタ 1 7 0 3 とトランジスタ 1 7 0 5 、トランジスタ 1 7 0 4 とトランジスタ 1 7 0 6 はインバータを構成し、高速駆動を可能としている。しかし 1 つのメモリセルが 6 トランジスタで構成されているため、セル面積が大きいという欠点がある。デザインルールの最小寸法を F としたときに S R A M のメモリセル面積は通常、 1 0 0 ~ 1 5 0 F<sup>2</sup> である。このため S R A M はビットあたりの単価が各種メモリの中で最も高い。

**【 0 2 4 0 】**

それに対して、 D R A M はメモリセルが図 1 7 ( B ) に示すようにトランジスタ 1 7 1 1 、保持容量 1 7 1 2 によって構成され、それを X デコーダー 1 7 1 3 、 Y デコーダー 1 7 1 4 にて駆動している。 1 つのセルが 1 つのトランジスタと 1 つの容量の構成になっており、面積が小さい。 D R A M のメモリセル面積は通常、 1 0 F<sup>2</sup> 以下である。ただし、 D R A M は常にリフレッシュが必要であり、書き換えをおこなわない場合でも電力を消費する。

**【 0 2 4 1 】**

しかし、先の実施の形態で説明した半導体装置のメモリセル面積は、 1 0 F<sup>2</sup> 前後であり、且つ頻繁なリフレッシュは不要である。したがって、メモリセル面積が縮小され、且つ消費電力が低減することができる。

**【 0 2 4 2 】**

図 1 8 に携帯機器のブロック図を示す。図 1 8 に示す携帯機器は R F 回路 1 8 0 1 、アナログベースバンド回路 1 8 0 2 、デジタルベースバンド回路 1 8 0 3 、バッテリー 1 8 0 4 、電源回路 1 8 0 5 、アプリケーションプロセッサ 1 8 0 6 、フラッシュメモリ 1 8 1 0 、ディスプレイコントローラ 1 8 1 1 、メモリ回路 1 8 1 2 、ディスプレイ 1 8 1 3 、タッチセンサ 1 8 1 9 、音声回路 1 8 1 7 、キーボード 1 8 1 8 などより構成されている。ディスプレイ 1 8 1 3 は表示部 1 8 1 4 、ソースドライバ 1 8 1 5 、ゲートドライバ 1 8 1 6 によって構成されている。アプリケーションプロセッサ 1 8 0 6 は C P U 1 8 0 7 、 D S P 1 8 0 8 、インターフェイス 1 8 0 9 ( I F とも記載する。 ) を有している。一般にメモリ回路 1 8 1 2 は S R A M または D R A M で構成されており、この部分に先の実施の形態で説明した半導体装置を採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

**【 0 2 4 3 】**

図 1 9 に、ディスプレイのメモリ回路 1 9 5 0 に先の実施の形態で説明した半導体装置を使用した例を示す。図 1 9 に示すメモリ回路 1 9 5 0 は、メモリ 1 9 5 2 、メモリ 1 9 5 3 、スイッチ 1 9 5 4 、スイッチ 1 9 5 5 およびメモリコントローラ 1 9 5 1 により構成されている。また、メモリ回路は、信号線から入力された画像データ（入力画像データ）からの信号線、メモリ 1 9 5 2 、及びメモリ 1 9 5 3 に記憶されたデータ（記憶画像データ）を読み出し、及び制御を行うディスプレイコントローラ 1 9 5 6 と、ディスプレイコントローラ 1 9 5 6 からの信号により表示するディスプレイ 1 9 5 7 が接続されている。

**【 0 2 4 4 】**

まず、ある画像データがアプリケーションプロセッサ（図示しない）によって、形成される（入力画像データ A ）。入力画像データ A は、スイッチ 1 9 5 4 を介してメモリ 1 9 5 2 に記憶される。そしてメモリ 1 9 5 2 に記憶された画像データ（記憶画像データ A ）は、スイッチ 1 9 5 5 、及びディスプレイコントローラ 1 9 5 6 を介してディスプレイ 1 9 5 7 に送られ、表示される。

**【 0 2 4 5 】**

入力画像データ A に変更が無い場合、記憶画像データ A は通常、 3 0 ~ 6 0 H z 程度の周期でメモリ 1 9 5 2 からスイッチ 1 9 5 5 を介して、ディスプレイコントローラ 1 9 5 6 から読み出される。

10

20

30

40

50

**【 0 2 4 6 】**

次に、例えばユーザーが画面を書き換える操作をしたとき（すなわち、入力画像データAに変更が有る場合）、アプリケーションプロセッサは新たな画像データ（入力画像データB）を形成する。入力画像データBはスイッチ1954を介してメモリ1953に記憶される。この間も定期的にメモリ1952からスイッチ1955を介して記憶画像データAは読み出されている。メモリ1953に新たな画像データ（記憶画像データB）が記憶し終わると、ディスプレイ1957の次のフレームより、記憶画像データBは読み出され、スイッチ1955、及びディスプレイコントローラ1956を介して、ディスプレイ1957に記憶画像データBが送られ、表示がおこなわれる。この読み出しはさらに次に新たな画像データがメモリ1952に記憶されるまで継続される。

10

**【 0 2 4 7 】**

このようにメモリ1952及びメモリ1953は交互に画像データの書き込みと、画像データの読み出しを行うことによって、ディスプレイ1957の表示をおこなう。なお、メモリ1952及びメモリ1953はそれぞれ別のメモリには限定されず、1つのメモリを分割して使用してもよい。先の実施の形態で説明した半導体装置をメモリ1952及びメモリ1953に採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

**【 0 2 4 8 】**

図20に電子書籍のブロック図を示す。図20はバッテリー2001、電源回路2002、マイクロプロセッサ2003、フラッシュメモリ2004、音声回路2005、キーボード2006、メモリ回路2007、タッチパネル2008、ディスプレイ2009、ディスプレイコントローラ2010によって構成される。

20

**【 0 2 4 9 】**

ここでは、図20のメモリ回路2007に先の実施の形態で説明した半導体装置を使用することができる。メモリ回路2007の役割は書籍の内容を一時的に保持する機能を持つ。機能の例としては、ユーザーがハイライト機能を使用する場合などがある。ユーザーが電子書籍を読んでいるときに、特定の箇所にマーキングをしたい場合がある。このマーキング機能をハイライト機能と言い、表示の色を変える、アンダーラインを引く、文字を太くする、文字の書体を変えるなどによって、周囲との違いを示すことである。ユーザーが指定した箇所の情報を記憶し、保持する機能である。この情報を長期に保存する場合にはフラッシュメモリ2004にコピーしても良い。このような場合においても、先の実施の形態で説明した半導体装置を採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

30

**【 0 2 5 0 】**

以上のように、本実施の形態に示す携帯機器には、先の実施の形態に係る半導体装置が搭載されている。このため、読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力を低減した携帯機器が実現される。

**【 0 2 5 1 】**

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

40

**【 0 2 5 2 】****( 実施の形態 7 )**

本明細書等に開示する半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ等のカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。上記実施の形態で説明した液晶表示装置を具備する電子機器の例について説明する。

**【 0 2 5 3 】**

50

図21(A)は、携帯型の情報端末であり、筐体2101、筐体2102、第1の表示部2103a、第2の表示部2103bなどによって構成されている。筐体2101と筐体2102の内部には、様々な電子部品(例えば、CPU、MPU、記憶素子など。)が組み込まれている。また、第1の表示部2103aと第2の表示部2103bには、画像を表示するために必要な電子回路(例えば、駆動回路や選択回路など。)が搭載されている。これら電子部品や電子回路の中に、上述の実施の形態で示した半導体装置を適用することにより、信頼性の高い携帯型の情報端末とすることができます。なお、先の実施の形態に示す半導体装置は、筐体2101、筐体2102の少なくとも一に設けられていればよい。

#### 【0254】

なお、第1の表示部2103aおよび第2の表示部2103bの少なくとも一方は、タッチ入力機能を有するパネルとなっており、例えば図21(A)の左図のように、第1の表示部2103aに表示される選択ボタン2104aおよび選択ボタン2104bにより「タッチ入力」を行うか、「キーボード入力」を行うかを選択できる。選択ボタンは様々な大きさで表示できるため、幅広い世代の人が使いやすさを実感できる。ここで、例えば「キーボード入力」を選択した場合、図21(A)の右図のように第1の表示部2103aにはキーボード2105が表示される。これにより、従来の情報端末と同様に、キー入力による素早い文字入力などが可能となる。

#### 【0255】

また、図21(A)に示す携帯型の情報端末は、図21(A)の右図のように、筐体2101と筐体2102を分離することができる。これにより、筐体2101を壁に掛けて大人数で画面情報を共有しながら、筐体2102で画面情報をコントロールするといった操作が可能となり、非常に便利である。なお、当該装置を使用しない場合は、第1の表示部2103a及び第2の表示部2103bが向かい合うように、筐体2101および筐体2102を重ねた状態とすることが好ましい。これにより、外部より加わる衝撃などから第1の表示部2103a及び第2の表示部2103bを保護することができる。第1の表示部2103aもタッチ入力機能を有するパネルとし、持ち運びの際、さらなる軽量化を図ることができ、一方の手で筐体2102を持ち、他方の手で操作することができるため非常に便利である。

#### 【0256】

図21(A)は、様々な情報(静止画、動画、テキスト画像など)を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア(プログラム)によって処理を制御する機能、等を有することができる。また、筐体の裏面や側面に、外部接続用端子(イヤホン端子、USB端子など)、記録媒体挿入部などを備える構成としてもよい。

#### 【0257】

また、図21(A)に示す携帯型の情報端末は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

#### 【0258】

さらに、図21(A)に示す筐体2101や筐体2102にアンテナやマイク機能や無線機能を持たせ、携帯電話として用いてもよい。

#### 【0259】

図21(B)は、電子書籍の一例を示している。例えば、電子書籍2120は、筐体2121および筐体2123の2つの筐体で構成されている。筐体2121および筐体2123は、軸部2122により一体とされており、該軸部2122を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

#### 【0260】

筐体2121には表示部2125が組み込まれ、筐体2123には表示部2127が組み込まれている。表示部2125および表示部2127は、続き画面を表示する構成として

10

20

30

40

50

もよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成として、例えば右側の表示部（図21（B）では表示部2125）に文章を表示し、左側の表示部（図21（B）では表示部2127）に画像を表示することができる。上述の実施の形態で示した半導体装置を適用することにより、信頼性の高い電子書籍2120とすることができる。

#### 【0261】

また、図21（B）では、筐体2121に操作部などを備えた例を示している。例えば、筐体2121において、電源2126、操作キー2128、スピーカー2129などを備えている。操作キー2128により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍2120は、電子辞書としての機能を持たせた構成としてもよい。

10

#### 【0262】

また、電子書籍2120は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

#### 【0263】

図21（C）は、スマートフォンであり、筐体2130と、ボタン2131と、マイクロフォン2132と、タッチパネルを備えた表示部2133と、スピーカー2134と、カメラ用レンズ2135と、を具備し、携帯型電話機としての機能を有する。実施の形態1または2で示した半導体装置を適用することにより、信頼性の高いスマートフォンとすることができる。

20

#### 【0264】

表示部2133は、使用形態に応じて表示の方向が適宜変化する。また、表示部2133と同一面上にカメラ用レンズ2135を備えているため、テレビ電話が可能である。スピーカー2134及びマイクロフォン2132は音声通話に限らず、テレビ電話、録音、再生などが可能である。

#### 【0265】

また、外部接続端子2136はACアダプタ及びUSBケーブルなどの各種ケーブルと接続可能であり、充電及びパソコン用コンピュータなどとのデータ通信が可能である。また、外部メモリスロット（図示せず）に記録媒体を挿入し、より大量のデータ保存及び移動に対応できる。

30

#### 【0266】

また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

#### 【0267】

図21（D）は、デジタルビデオカメラであり、本体2141、表示部2142、操作スイッチ2143、バッテリー2144などによって構成されている。上述の実施の形態で示した半導体装置を適用することにより、信頼性の高いデジタルビデオカメラとすることができる。

40

#### 【0268】

図21（E）は、テレビジョン装置の一例を示している。テレビジョン装置2150は、筐体2151に表示部2153が組み込まれている。表示部2153により、映像を表示することができる。また、ここでは、スタンド2155により筐体2151を支持した構成を示している。上述の実施の形態で示した半導体装置を適用することにより、信頼性の高いテレビジョン装置2150とすることができる。

#### 【0269】

テレビジョン装置2150の操作は、筐体2151が備える操作スイッチや、別体のリモコン操作機により行うことができる。また、リモコン操作機に、当該リモコン操作機から

50

出力する情報を表示する表示部を設ける構成としてもよい。

【0270】

なお、テレビジョン装置2150は、受信機やモデムなどを備えた構成とする。受信機により一般的なテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

【0271】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【符号の説明】

10

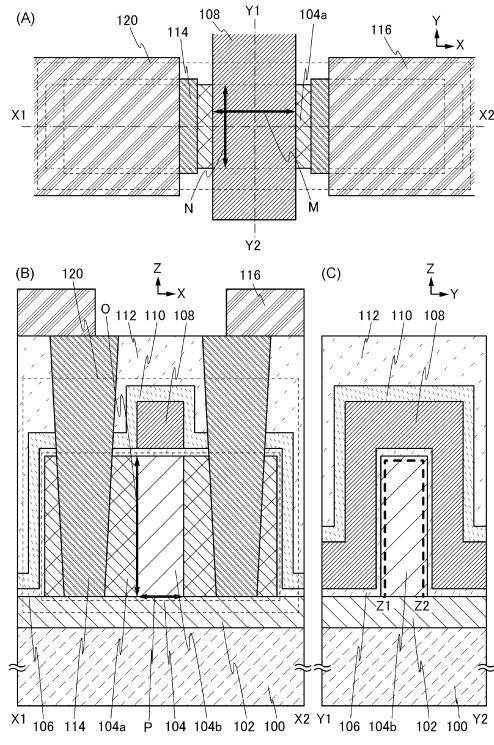
【0272】

1 0 0	基板	
1 0 2	下地膜	
1 0 3	酸化物半導体膜	
1 0 4	酸化物半導体層	
1 0 4 a	低抵抗領域	
1 0 4 b	チャネル形成領域	
1 0 5	マスク	
1 0 6	ゲート絶縁膜	
1 0 7	導電膜	20
1 0 8	ゲート電極	
1 0 9	不純物イオン	
1 1 0	第1の層間絶縁膜	
1 1 2	第2の層間絶縁膜	
1 1 3	溝部	
1 1 4	電極	
1 1 5	マスク	
1 1 6	配線	
1 2 0	トランジスタ	
7 0 2	導電膜	30
7 0 3	開口部	
7 0 4	酸化物半導体膜	
7 0 5	溝部	
7 0 6	電極	
7 0 8	酸化物半導体層	
7 1 0	構造体	
7 2 0	トランジスタ	
1 4 0 0	基板	
1 4 0 6	素子分離絶縁層	
1 4 0 8	ゲート絶縁膜	40
1 4 1 0	ゲート電極	
1 4 1 6	チャネル形成領域	
1 4 2 0	不純物領域	
1 4 2 4	金属間化合物領域	
1 4 2 8	絶縁膜	
1 4 3 0	絶縁膜	
1 4 5 0	第3の層間絶縁膜	
1 4 5 3	導電層	
1 4 5 4	絶縁膜	
1 4 5 6	配線	50

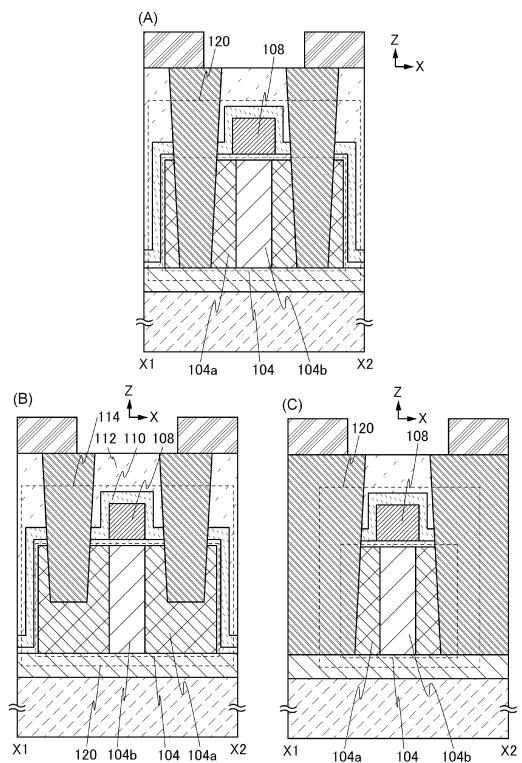
1 4 6 0	トランジスタ	
1 4 6 2	トランジスタ	
1 4 6 4	容量素子	
1 5 5 0	メモリセル	
1 5 5 1	メモリセルアレイ	
1 5 5 1 a	メモリセルアレイ	
1 5 5 1 b	メモリセルアレイ	
1 5 5 3	周辺回路	
1 6 0 0	基板	
1 7 0 1	トランジスタ	10
1 7 0 2	トランジスタ	
1 7 0 3	トランジスタ	
1 7 0 4	トランジスタ	
1 7 0 5	トランジスタ	
1 7 0 6	トランジスタ	
1 7 0 7	X デコーダー	
1 7 0 8	Y デコーダー	
1 7 1 1	トランジスタ	
1 7 1 2	保持容量	
1 7 1 3	X デコーダー	20
1 7 1 4	Y デコーダー	
1 8 0 1	R F 回路	
1 8 0 2	アナログベースバンド回路	
1 8 0 3	デジタルベースバンド回路	
1 8 0 4	バッテリー	
1 8 0 5	電源回路	
1 8 0 6	アプリケーションプロセッサ	
1 8 0 7	C P U	
1 8 0 8	D S P	
1 8 0 9	インターフェイス	30
1 8 1 0	フラッシュメモリ	
1 8 1 1	ディスプレイコントローラ	
1 8 1 2	メモリ回路	
1 8 1 3	ディスプレイ	
1 8 1 4	表示部	
1 8 1 5	ソースドライバ	
1 8 1 6	ゲートドライバ	
1 8 1 7	音声回路	
1 8 1 8	キーボード	
1 8 1 9	タッチセンサ	40
1 9 5 0	メモリ回路	
1 9 5 1	メモリコントローラ	
1 9 5 2	メモリ	
1 9 5 3	メモリ	
1 9 5 4	スイッチ	
1 9 5 5	スイッチ	
1 9 5 6	ディスプレイコントローラ	
1 9 5 7	ディスプレイ	
2 0 0 1	バッテリー	
2 0 0 2	電源回路	50

2 0 0 3	マイクロプロセッサ	
2 0 0 4	フラッシュメモリ	
2 0 0 5	音声回路	
2 0 0 6	キーボード	
2 0 0 7	メモリ回路	
2 0 0 8	タッチパネル	
2 0 0 9	ディスプレイ	
2 0 1 0	ディスプレイコントローラ	
2 1 0 1	筐体	10
2 1 0 2	筐体	
2 1 0 3 a	第1の表示部	
2 1 0 3 b	第2の表示部	
2 1 0 4 a	選択ボタン	
2 1 0 4 b	選択ボタン	
2 1 0 5	キーボード	
2 1 2 0	電子書籍	
2 1 2 1	筐体	
2 1 2 2	軸部	
2 1 2 3	筐体	
2 1 2 5	表示部	20
2 1 2 6	電源	
2 1 2 7	表示部	
2 1 2 8	操作キー	
2 1 2 9	スピーカー	
2 1 3 0	筐体	
2 1 3 1	ボタン	
2 1 3 2	マイクロフォン	
2 1 3 3	表示部	
2 1 3 4	スピーカー	
2 1 3 5	カメラ用レンズ	30
2 1 3 6	外部接続端子	
2 1 4 1	本体	
2 1 4 2	表示部	
2 1 4 3	操作スイッチ	
2 1 4 4	バッテリー	
2 1 5 0	テレビジョン装置	
2 1 5 1	筐体	
2 1 5 3	表示部	
2 1 5 5	スタンド	

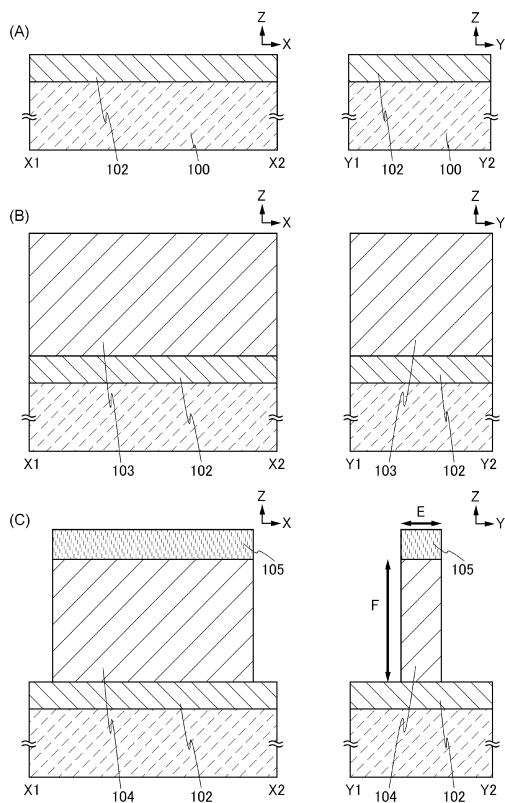
【図1】



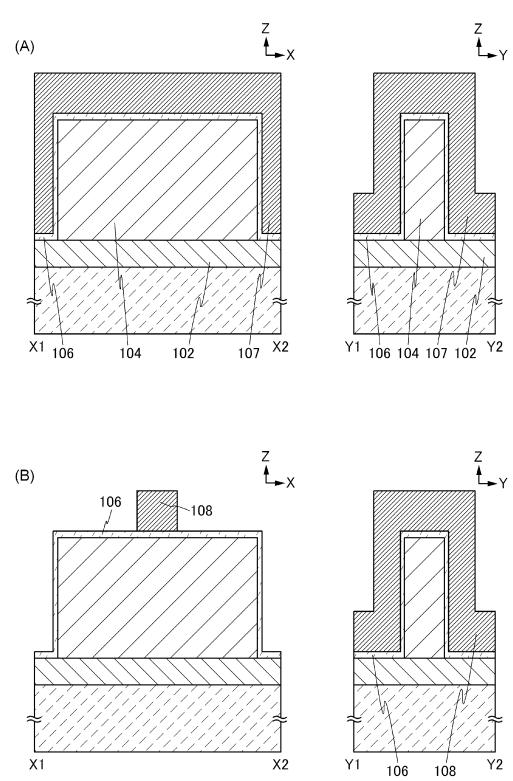
【図2】



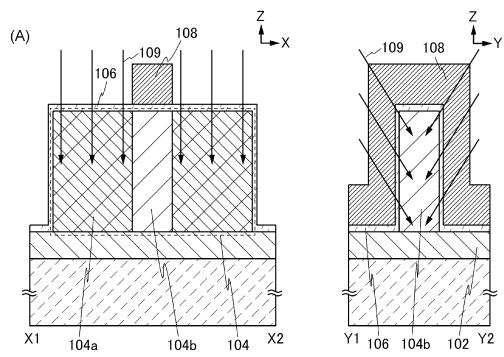
【図3】



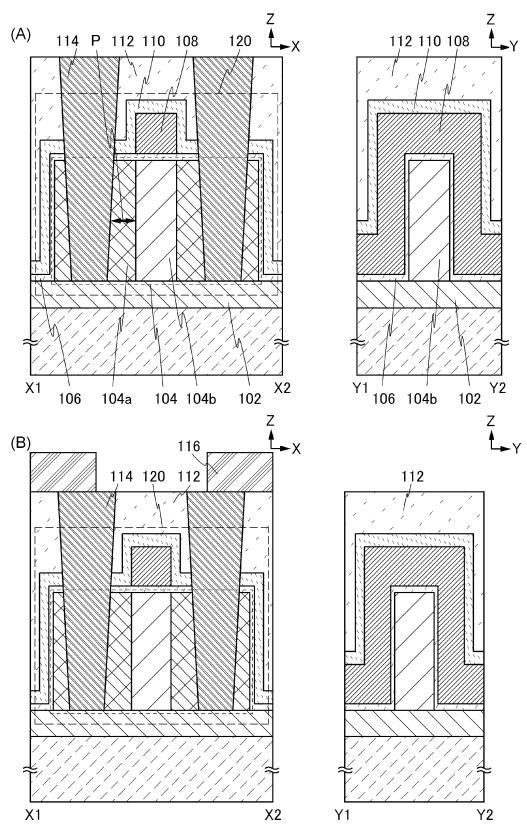
【図4】



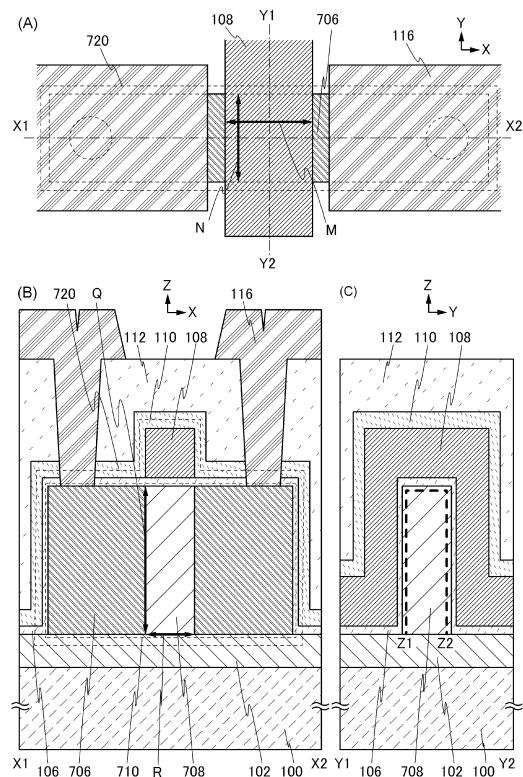
【図5】



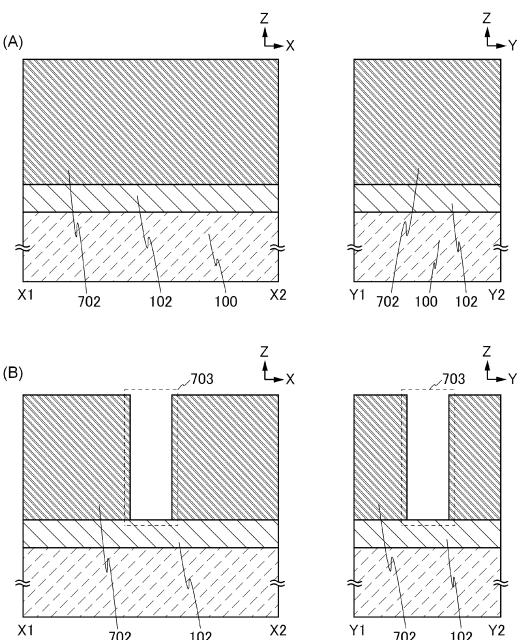
【図6】



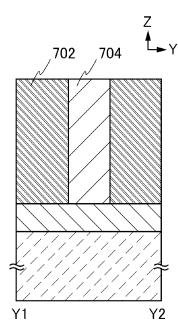
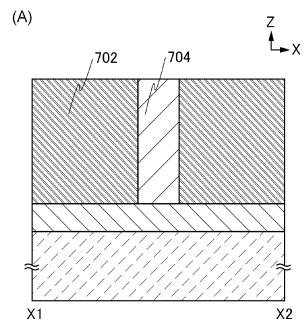
【図7】



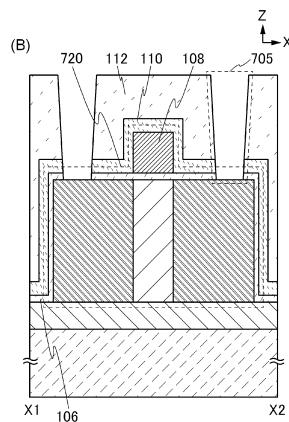
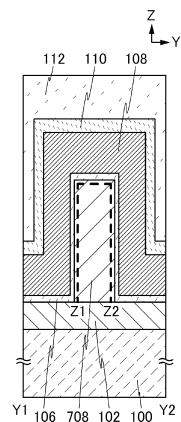
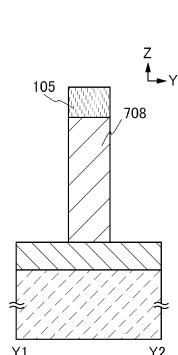
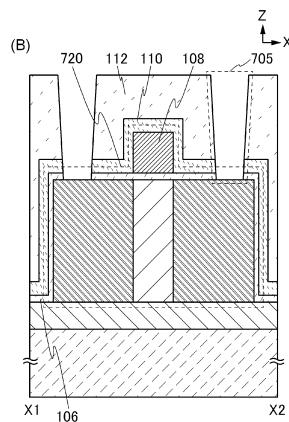
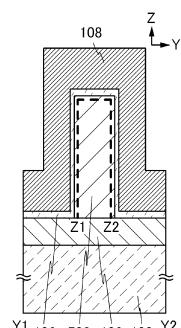
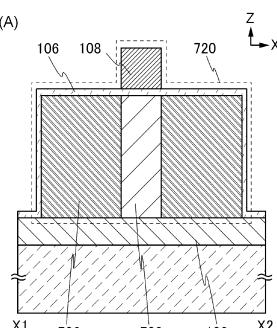
【図8】



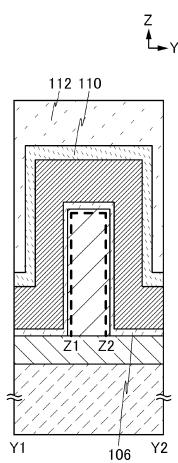
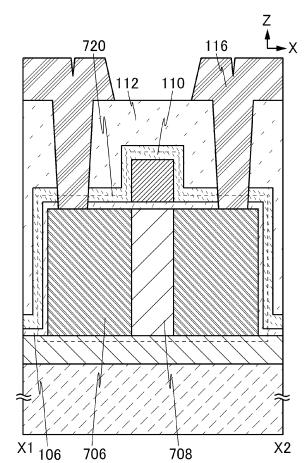
【図9】



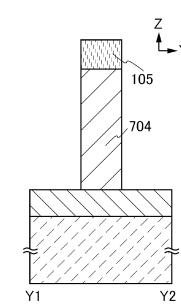
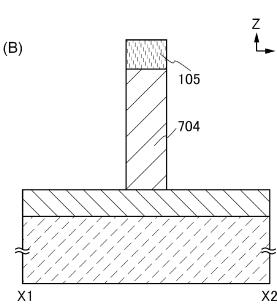
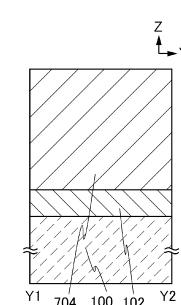
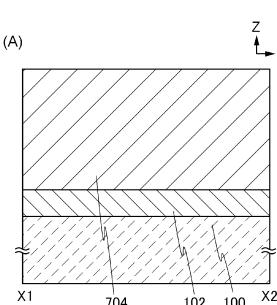
【図10】



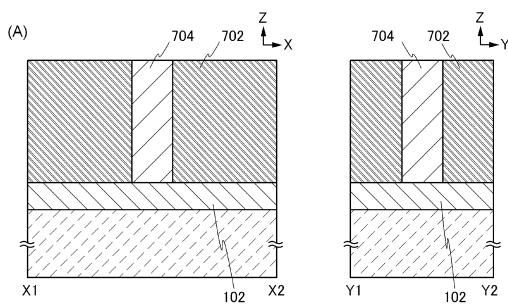
【図11】



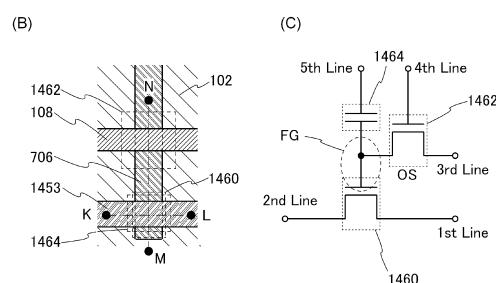
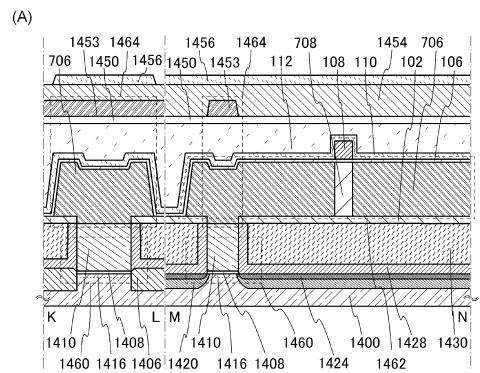
【図12】



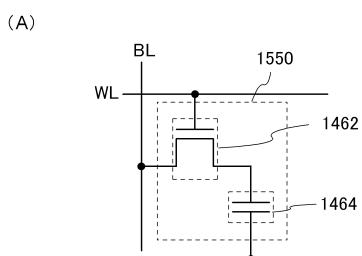
【図13】



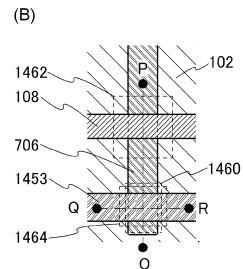
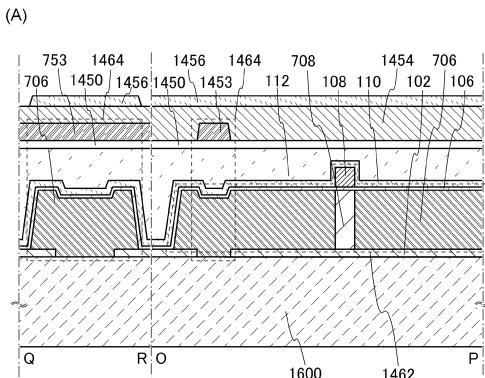
【図14】



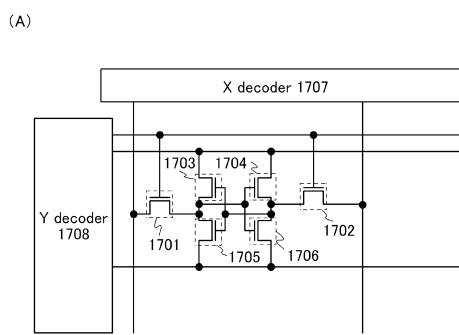
【図15】



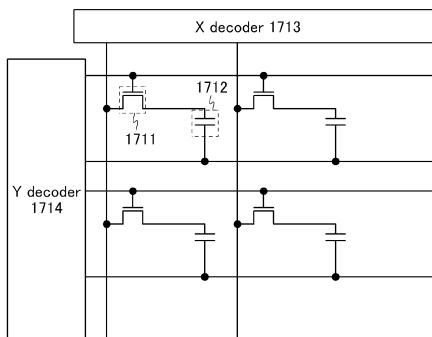
【 図 1 6 】



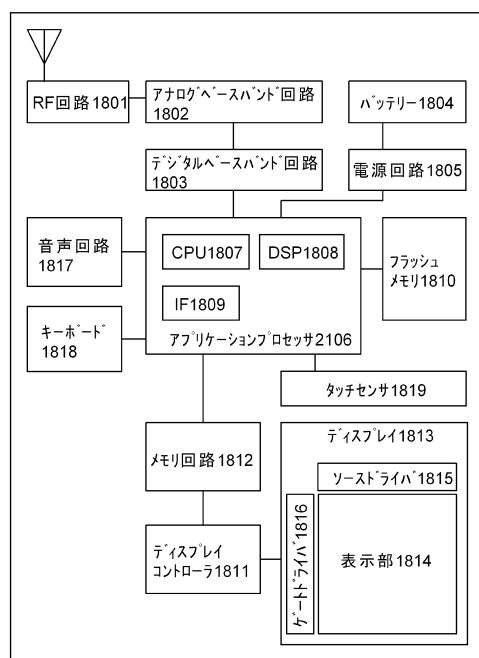
【図17】



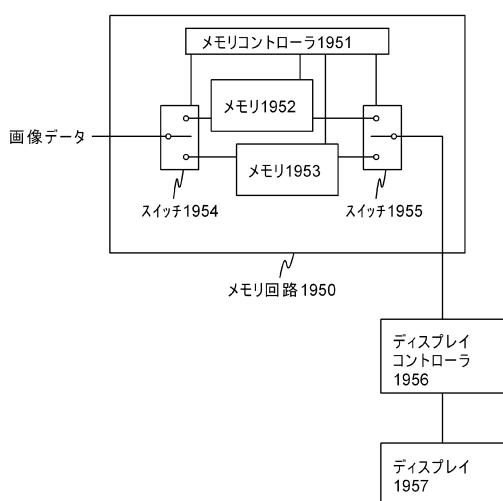
(B)



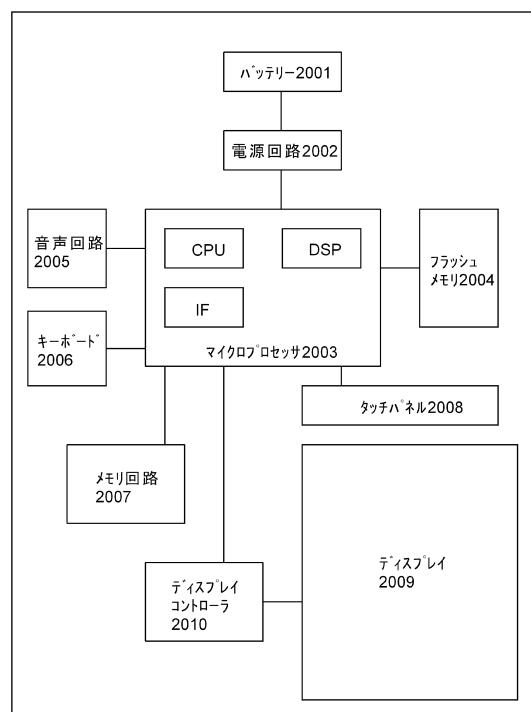
【図18】



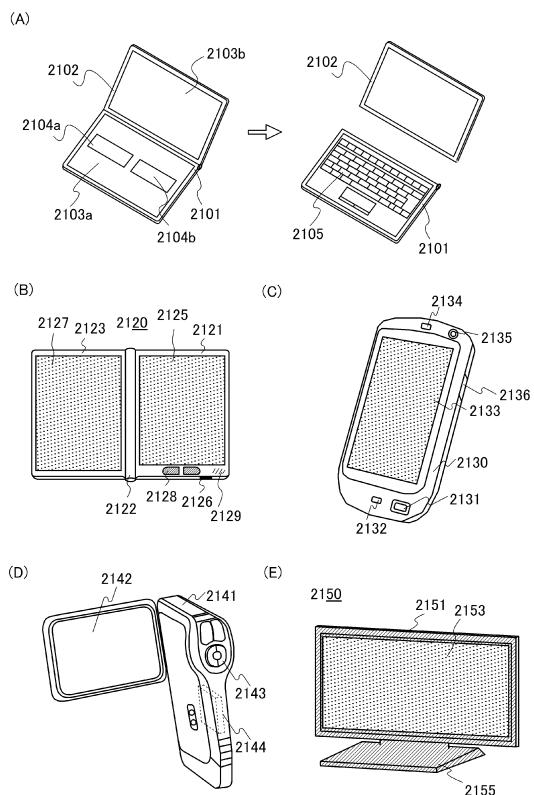
【図19】



【図20】



## 【図 2 1】



---

フロントページの続き

(51)Int.Cl.	F I
H 01 L 21/8242 (2006.01)	H 01 L 27/10 3 2 1
H 01 L 27/108 (2006.01)	H 01 L 27/10 3 8 1
H 01 L 21/8244 (2006.01)	H 01 L 27/10 4 3 4
H 01 L 27/11 (2006.01)	H 01 L 27/10 6 1 5
H 01 L 27/115 (2017.01)	H 01 L 27/10 6 7 1 C
H 01 L 21/336 (2006.01)	H 01 L 27/10 6 7 1 Z
H 01 L 29/788 (2006.01)	H 01 L 29/78 3 7 1
H 01 L 29/792 (2006.01)	H 01 L 27/10 4 4 1
H 01 L 27/105 (2006.01)	

(56)参考文献 米国特許出願公開第2010/0140608(US, A1)  
特開2007-073663(JP, A)  
特表2009-520367(JP, A)  
米国特許出願公開第2009/0096002(US, A1)  
特開2008-028263(JP, A)  
特開平05-075127(JP, A)

(58)調査した分野(Int.Cl., DB名)

H 01 L	2 9 / 7 8 6
H 01 L	2 1 / 2 8
H 01 L	2 1 / 3 3 6
H 01 L	2 1 / 8 2 4 2
H 01 L	2 1 / 8 2 4 4
H 01 L	2 7 / 1 0 5
H 01 L	2 7 / 1 0 8
H 01 L	2 7 / 1 1
H 01 L	2 7 / 1 1 5
H 01 L	2 9 / 4 1 7
H 01 L	2 9 / 4 2 3
H 01 L	2 9 / 4 9
H 01 L	2 9 / 7 8 8
H 01 L	2 9 / 7 9 2