

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年11月28日(28.11.2024)



(10) 国際公開番号

WO 2024/241188 A1

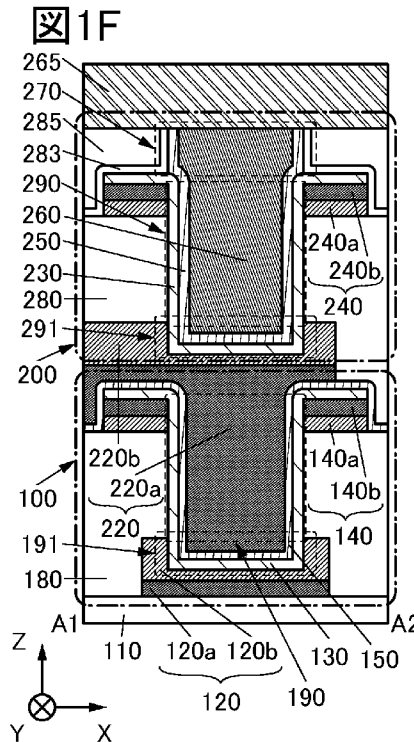
- (51) 国際特許分類:
H01L 29/786 (2006.01) H10B 12/00 (2023.01)
H01L 21/336 (2006.01) H10B 41/70 (2023.01)
- (21) 国際出願番号: PCT/IB2024/054866
- (22) 国際出願日: 2024年5月20日(20.05.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-086439 2023年5月25日(25.05.2023) JP
- (71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY

CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

- (72) 発明者: 山崎 舜平 (YAMAZAKI, Shunpei); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 國武寛司 (KUNITAKE, Hitoshi); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 木村肇 (KIMURA, Hajime); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 村川努 (MURAKAWA, Tsutomu); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP).

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置、及び半導体装置の作製方法



(57) Abstract: The present invention provides a semiconductor device that operates at high speed. This semiconductor device includes a first transistor and a second transistor on the first transistor. The first transistor has first to third conductive layers. The second transistor has third to fifth conductive layers. An insulating layer is provided between the first conductive layer and the second conductive layer and between the third conductive layer and the fourth conductive layer. Each insulating layer has an opening which reaches the first conductive layer, or an opening which reaches the third con-



WO 2024/241188 A1

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))
- 一 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

ductive layer. The first and third conductive layers have a recess which reaches said opening. A semiconductor layer is provided so as to contact said recess. The third conductive layer has a region which faces the semiconductor layer, with the gate insulating layer of the first transistor sandwiched therebetween, inside the opening which reaches the first conductive layer. The fifth conductive layer has a region which faces the semiconductor layer, with the gate insulating layer of the second transistor interposed therebetween, inside the opening which reaches the third conductive layer.

(57) 要約: 高速に動作する半導体装置を提供する。第1のトランジスタと、第1のトランジスタ上の第2のトランジスタと、を有する半導体装置。第1のトランジスタは、第1乃至第3の導電層を有する。第2のトランジスタは、第3乃至第5の導電層を有する。第1の導電層と第2の導電層の間、及び第3の導電層と第4の導電層の間にはそれぞれ絶縁層が設けられる。それぞれの絶縁層は、第1の導電層に達する開口部、又は第3の導電層に達する開口部を有する。第1及び第3の導電層は、当該開口部に達する凹部を有する。当該凹部と接するように半導体層が設けられる。第3の導電層は、第1の導電層に達する開口部の内部で第1のトランジスタのゲート絶縁層を挟んで半導体層と対向する領域を有する。第5の導電層は、第3の導電層に達する開口部の内部で第2のトランジスタのゲート絶縁層を挟んで半導体層と対向する領域を有する。

明細書

発明の名称

半導体装置、及び半導体装置の作製方法

技術分野

[0001]

本発明の一態様は、半導体装置、記憶装置、及び電子機器に関する。また、本発明の一態様は、半導体装置の作製方法に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、電子機器、照明装置、入力装置（例えば、タッチセンサ）、入出力装置（例えば、タッチパネル）、それらの駆動方法、又はそれらの製造方法を一例として挙げることができる。

[0003]

なお、本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子（トランジスタ、ダイオード、フォトダイオード等）を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップ、パッケージにチップを収納した電子部品は半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置、及び電子機器は、それ自体が半導体装置であり、かつ、それぞれが半導体装置を有している場合がある。

背景技術

[0004]

近年、半導体装置の開発が進められ、LSI (Large Scale Integration)、CPU (Central Processing Unit)、メモリ等が主に半導体装置に用いられている。CPUは、半導体ウェハを加工し、チップ化された半導体集積回路（少なくともトランジスタ及びメモリ）を有し、接続端子である電極が形成された半導体素子の集合体である。

[0005]

LSI、CPU、メモリ等の半導体回路（ICチップ）は、回路基板、例えばプリント配線基板に実装され、様々な電子機器の部品の一つとして用いられる。

[0006]

また、絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（IC）、表示装置のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

[0007]

また、酸化物半導体を用いたトランジスタは、オフ状態において極めてリーク電流が小さいことが知られている。例えば、特許文献1には、酸化物半導体を用いたトランジスタのリーク電流が小さいという特性を応用した低消費電力のCPU等が開示されている。また、例えば、特許文献2には、酸化物半導体を用いたトランジスタのリーク電流が小さいという特性を応用して、長期にわたり記憶内容を保持することができる記憶装置等が開示されている。

[0008]

また、近年では電子機器の小型化、軽量化に伴い、集積回路のさらなる高密度化への要求が高まっている。また、集積回路を含む半導体装置の生産性の向上が求められている。例えば、特許文献3及び非特許文献1では、酸化物半導体膜を用いる第1のトランジスタと、酸化物半導体膜を用いる第2のトランジスタとを積層させることで、メモリセルを複数重畳して設けることにより、集積回路の高密度化を図る技術が開示されている。また、特許文献4では、酸化物半導体膜を用いるトランジスタのチャネルを縦方向に配置し、集積回路の高密度化を図る技術が開示されている。

[先行技術文献]

[特許文献]

[0009]

[特許文献1] 特開2012-257187号公報

[特許文献2] 特開2011-151383号公報

[特許文献3] 国際公開第2021/053473号

[特許文献4] 特開2013-211537号公報

[非特許文献]

[0010]

[非特許文献1] M. Oota et al., "3D-Stacked CAAC-In-Ga-Zn Oxide FETs with Gate Length of 72nm", IEDM Tech. Dig., 2019, pp. 50-53

発明の概要

発明が解決しようとする課題

[0011]

本発明の一態様は、動作速度が速い半導体装置を提供することを課題の一つとする。又は、本発明の一態様は、低価格な半導体装置を提供することを課題の一つとする。又は、本発明の一態様は、微細化若しくは高集積化が可能な半導体装置を提供することを課題の一つとする。又は、本発明の一態様は、電気特性が良好なトランジスタを有する半導体装置を提供することを課題の一つとする。又は、本発明の一態様は、オン電流が大きいトランジスタを有する半導体装置を提供することを課題の一つとする。又は、本発明の一態様は、信頼性の高い半導体装置を提供することを課題の一つとする。又は、本発明の一態様は、消費電力の低い半導体装置を提供することを課題の一つとする。又は、本発明の一態様は、新規な半導体装置を提供することを課題の一つとする。又は、本発明の一態様は、上記半導体装置の作製方法を提供することを課題の一つとする。

[0012]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はないものとする。明細書、図面、請求項の記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0013]

本発明の一態様は、第1のトランジスタと、第2のトランジスタと、第1の絶縁層と、第2の絶縁層と、第3の絶縁層と、を有し、第1のトランジスタは、第1の半導体層と、第1の導電層と、第2の導電層と、第3の導電層と、第4の絶縁層と、を有し、第2のトランジスタは、第2の半導体層と、第3の導電層と、第4の導電層と、第5の導電層と、第5の絶縁層と、を有し、第1の絶縁層は、第

1の導電層上に位置し、第2の導電層は、第1の絶縁層上に位置し、第1の導電層は、第1の凹部を有し、第1の絶縁層、及び第2の導電層は、第1の凹部と重なる位置に第1の開口部を有し、第1の半導体層は、第2の導電層の上面、並びに、第1の凹部と接し、かつ、第1の開口部の内部で、第2の導電層の側面、及び第1の絶縁層の側面と接し、第4の絶縁層は、第2の導電層上に位置する領域、及び第1の開口部の内部で第1の半導体層上に位置する領域を有し、第3の導電層は、第1の開口部の内部で第4の絶縁層を挟んで第1の半導体層と対向する領域を有し、第3の導電層は、第4の絶縁層を介して第2の導電層と重なる領域を有し、第3の導電層は、第2の凹部を有し、第2の絶縁層は、第3の導電層上に位置し、第4の導電層は、第2の絶縁層上に位置し、第2の絶縁層、及び第4の導電層は、第2の凹部と重なる位置に第2の開口部を有し、第2の半導体層は、第4の導電層の上面、並びに、第2の凹部と接し、かつ、第2の開口部の内部で、第4の導電層の側面、及び第2の絶縁層の側面と接し、第5の絶縁層は、第2の開口部の内部で第2の半導体層上に位置し、第3の絶縁層は、第2の半導体層を介して第4の導電層と重なる領域を有し、かつ、第2の開口部と重なる位置に第3の開口部を有し、第5の導電層は、第2の開口部の内部で第5の絶縁層を挟んで第2の半導体層と対向する領域と、第3の開口部の内部に位置する領域と、を有する、半導体装置である。

[0014]

又は、上記態様において、第2の開口部は、少なくとも一部が第1の開口部と重なってもよい。

[0015]

又は、上記態様において、第6の絶縁層を有し、第6の絶縁層上に、第1の絶縁層、及び第1の導電層が位置し、第6の絶縁層の上面から第1の導電層の第1の絶縁層と接する上面までの最短距離は、第6の絶縁層の上面から第4の絶縁層の第1の凹部と重なる領域における下面までの最短距離よりも長く、第6の絶縁層の上面から、第3の導電層の第2の絶縁層と接し、かつ、第2の導電層と重なる上面までの最短距離は、第6の絶縁層の上面から第5の絶縁層の第2の凹部と重なる領域における下面までの最短距離よりも長くてもよい。

[0016]

又は、上記態様において、第6の絶縁層を有し、第6の絶縁層上に、第1の絶縁層、及び第1の導電層が位置し、第6の絶縁層の上面から第1の導電層の第1の絶縁層と接する上面までの最短距離は、第6の絶縁層の上面から第3の導電層の第1の凹部と重なる領域における下面までの最短距離以上であり、第6の絶縁層の上面から、第3の導電層の第2の絶縁層と接し、かつ、第2の導電層と重なる上面までの最短距離は、第6の絶縁層の上面から第5の導電層の第2の凹部と重なる領域における下面までの最短距離以上であってもよい。

[0017]

又は、上記態様において、第1の導電層は、第6の導電層と、第6の導電層上の第7の導電層を有し、第3の導電層は、第8の導電層と、第8の導電層上の第9の導電層を有し、第7の導電層は、第1の凹部を有し、第9の導電層は、第2の凹部を有してもよい。

[0018]

又は、上記態様において、第6の導電層を有し、第6の導電層は、第5の導電層の上面と接するように設けられてもよい。

[0019]

又は、上記態様において、第4の導電層、及び第2の半導体層と重なる領域における第3の絶縁層の膜厚は、第4の絶縁層の膜厚より厚くてもよい。

[0020]

又は、上記態様において、第5の絶縁層は、少なくとも一部が第3の開口部の内部に位置してもよい。

[0021]

又は、上記態様において、第1のトランジスタは、第6の導電層を有し、第2のトランジスタは、第7の導電層を有し、第1の絶縁層は、第1の層と、第1の層上の第2の層と、を有し、第2の絶縁層は、第3の層と、第3の層上の第4の層と、を有し、第6の導電層は、第1の層上に位置し、第7の導電層は、第3の層上に位置し、第2の層は、第6の導電層の上面及び側面を覆い、第4の層は、第7の導電層の上面及び側面を覆い、断面視において、第1の半導体層は、第2の層を挟んで第6の導電層と対向し、かつ、第4の絶縁層を挟んで第3の導電層と対向する領域を有し、断面視において、第2の半導体層は、第4の層を挟んで第7の導電層と対向し、かつ、第5の絶縁層を挟んで第5の導電層と対向する領域を有してもよい。

[0022]

又は、上記態様において、第1の半導体層、及び第2の半導体層は、それぞれ酸化物半導体を有し、酸化物半導体は、インジウムと、元素Mと、亜鉛と、の中から選ばれる一以上を有し、元素Mは、アルミニウム、ガリウム、スズ、イットリウム、チタン、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、ジルコニウム、モリブデン、ハフニウム、タンタル、タングステン、ランタン、セリウム、ネオジム、マグネシウム、カルシウム、ストロンチウム、バリウム、ホウ素、シリコン、ゲルマニウム、及びアンチモンから選ばれた一種又は複数種であってもよい。

[0023]

又は、上記態様において、第1の絶縁層は、第1の半導体層と接する第1の領域を有し、第2の絶縁層は、第2の半導体層と接する第2の領域を有し、第1の領域、及び第2の領域は、それぞれハロゲン元素を有してもよい。

[0024]

又は、上記態様において、ハロゲン元素は、塩素、フッ素、臭素、及び、ヨウ素の中から選ばれる一種又は複数種であってもよい。

[0025]

又は、上記態様において、第1の半導体層は、第1の凹部の底面と接する第1の領域と、第2の導電層の上面と接する第2の領域と、を有し、第2の半導体層は、第2の凹部の底面と接する第3の領域と、第4の導電層の上面と接する第4の領域と、を有し、第1乃至第4の領域は、それぞれホウ素又はリンを有してもよい。

[0026]

本発明の一態様は、第1の導電層を形成し、第1の導電層上に、第1の絶縁層を形成し、第1の絶縁層上に、第2の導電層を形成し、第2の導電層、及び第1の絶縁層の、第1の導電層と重なる位置に第1の開口部を形成し、かつ、第1の開口部と重なるように、第1の導電層に第1の凹部を形成し、第2の導電層の上面、並びに、第1の凹部と接し、かつ、第1の開口部の内部で、第2の導電層の側面、及び第1の絶縁層の側面と接するように、第1の半導体層を形成し、第1の半導体層、及び第2の導電層を加工することにより、第1の絶縁層の上面の一部を露出させ、第2の導電層上に位置する領域、及び第1の開口部の内部で第1の半導体層上に位置する領域を有するように、第2の絶縁層を形成し、第1の開口部の内部で第2の絶縁層を挟んで第1の半導体層と対向する領域を有し、かつ、第2の絶縁層を介して第2の導電層と重なる領域を有するように、第3の導電層を形成し、第3の導

電層上に、第3の絶縁層を形成し、第3の絶縁層上に、第4の導電層を形成し、第4の導電層、及び第3の絶縁層の、第3の導電層と重なる位置に第2の開口部を形成し、かつ、第2の開口部と重なるように、第3の導電層に第2の凹部を形成し、第4の導電層の上面、並びに、第2の凹部と接し、かつ、第2の開口部の内部で、第4の導電層の側面、及び第3の絶縁層の側面と接するように、第2の半導体層を形成し、第2の半導体層、及び第4の導電層を加工することにより、第3の絶縁層の上面の一部を露出させ、少なくとも一部が第2の開口部の内部に位置するように、犠牲層を形成し、第4の導電層、第2の半導体層、及び犠牲層を覆うように、第4の絶縁層を形成し、第4の絶縁層、及び犠牲層に対して平坦化処理を行うことで、犠牲層の上面を平坦化させ、犠牲層を除去し、第2の開口部を覆うように、第5の絶縁層を形成し、第5の絶縁層上に、第5の導電層を形成し、第5の導電層に対して平坦化処理を行うことで、第5の導電層及び第5の絶縁層における、第4の絶縁層の上面と重なる領域を除去する、半導体装置の作製方法である。

[0027]

又は、上記態様において、少なくとも一部が第1の開口部と重なる位置に第2の開口部を形成してもよい。

[0028]

又は、上記態様において、第5の導電層の上面と接するように第6の導電層を形成してもよい。

[0029]

又は、上記態様において、第4の絶縁層を、膜厚が第2の絶縁層より厚くなるように形成してもよい。

発明の効果

[0030]

本発明の一態様により、動作速度が速い半導体装置を提供できる。又は、本発明の一態様により、低価格な半導体装置を提供できる。又は、本発明の一態様により、微細化若しくは高集積化が可能な半導体装置を提供できる。又は、本発明の一態様により、電気特性が良好なトランジスタを有する半導体装置を提供できる。又は、本発明の一態様により、オン電流が大きいトランジスタを有する半導体装置を提供できる。又は、本発明の一態様により、信頼性の高い半導体装置を提供できる。又は、本発明の一態様により、消費電力の低い半導体装置を提供できる。又は、本発明の一態様により、新規な半導体装置を提供できる。又は、本発明の一態様により、上記半導体装置の作製方法を提供できる。

[0031]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。明細書、図面、請求項の記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0032]

図1A乃至図1Cは、メモリセルの一例を示す回路図である。図1D、及び図1Eは、半導体装置の一例を示す平面図である。図1F、及び図1Gは、半導体装置の一例を示す断面図である。

図2Aは、半導体装置の一例を示す断面図である。図2Bは、半導体装置の一例を示す平面図である。

図3A乃至図3Dは、熱処理の概念について説明する図である。

図4A、及び図4Bは、半導体装置の一例を示す断面図である。

図5A、及び図5Bは、半導体装置の一例を示す平面図である。図5C、及び図5Dは、半導体装置の一例を示す断面図である。

図 6 A、及び図 6 Bは、半導体装置の一例を示す断面図である。
図 7 A、及び図 7 Bは、半導体装置の一例を示す断面図である。
図 8 A、及び図 8 Bは、半導体装置の一例を示す断面図である。
図 9 A、及び図 9 Bは、半導体装置の一例を示す断面図である。
図 10 A、及び図 10 Bは、半導体装置の一例を示す断面図である。
図 11 A、及び図 11 Bは、半導体装置の一例を示す平面図である。図 11 C、及び図 11 Dは、半導体装置の一例を示す断面図である。
図 12 A乃至図 12 Fは、半導体装置の作製方法の一例を示す断面図である。
図 13 A乃至図 13 Dは、半導体装置の作製方法の一例を示す断面図である。
図 14 A乃至図 14 Dは、半導体装置の作製方法の一例を示す断面図である。
図 15 A乃至図 15 Eは、半導体装置の作製方法の一例を示す断面図である。
図 16 Aは、記憶装置の一例を示す平面図である。図 16 Bは、記憶装置の一例を示す断面図である。
図 17は、記憶装置の一例を示す断面図である。
図 18は、記憶装置の一例を示す断面図である。
図 19は、半導体装置の構成例を説明するブロック図である。
図 20 A、及び図 20 Bは、半導体装置の一例を示す斜視図である。
図 21は、CPUを説明するブロック図である。
図 22 A、及び図 22 Bは、半導体装置の一例を示す斜視図である。
図 23 A、及び図 23 Bは、半導体装置の一例を示す斜視図である。
図 24 A、及び図 24 Bは、各種の記憶装置を階層ごとに示す図である。
図 25 A、及び図 25 Bは、電子部品の一例を示す図である。
図 26 A乃至図 26 Cは、大型計算機の一例を示す図である。図 26 Dは、宇宙用機器の一例を示す図である。図 26 Eは、データセンターに適用可能なストレージシステムの一例を示す図である。

発明を実施するための形態

[0033]

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

[0034]

なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチングパターンを同じくし、特に符号を付さない場合がある。

[0035]

また、図面において示す各構成の、位置、大きさ、及び、範囲等は、理解の簡単のため、実際の位置、大きさ、及び、範囲等を表していない場合がある。このため、開示する発明は、必ずしも、図面に開示された位置、大きさ、及び、範囲等に限定されない。

[0036]

なお、本明細書等において、「第1」、「第2」という序数詞は、便宜上用いるものであり、構成要素の数、又は、構成要素の順序（例えば、工程順、又は積層順）を限定するものではない。また、本明

細書のある箇所において構成要素に付す序数詞と、本明細書の他の箇所、又は特許請求の範囲において、当該構成要素に付す序数詞と、が一致しない場合がある。

[0037]

また、トランジスタは半導体素子の一種であり、電流又は電圧を増幅する機能、及び、導通又は非導通を制御するスイッチング動作等を実現することができる。本明細書におけるトランジスタは、IGFET (Insulated Gate Field Effect Transistor) 及び薄膜トランジスタ (TFT: Thin Film Transistor) を含む。

[0038]

本明細書等において、半導体層に酸化物半導体又は金属酸化物を用いたトランジスタ、及び、チャネル形成領域に酸化物半導体又は金属酸化物を有するトランジスタをOSトランジスタと記すことがある。また、チャネル形成領域にシリコンを有するトランジスタをSiトランジスタと記すことがある。

[0039]

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン(ドレイン端子、ドレイン領域又はドレイン電極)とソース(ソース端子、ソース領域又はソース電極)の間にチャネルが形成される領域(チャネル形成領域ともいう)を有しており、チャネル形成領域を介して、ソースとドレインとの間に電流を流すことができるものである。なお、本明細書等において、チャネル形成領域とは、電流が主として流れる領域をいう。

[0040]

また、「ソース」と「ドレイン」の機能は、異なる極性のトランジスタを採用する場合、又は回路動作において電流の方向が変化する場合等には入れ替わることがある。このため、本明細書においては、「ソース」と「ドレイン」の用語は、入れ替えて用いることができるものとする。

[0041]

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1 atomic %未満の元素は不純物といえる。不純物が含まれることにより、例えば、半導体の欠陥準位密度が高くなること、又は結晶性が低下すること等が起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、及び酸化物半導体の主成分以外の遷移金属等がある。具体的には、例えば、水素、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、及び窒素等がある。なお、水も不純物として機能する場合がある。また、例えば不純物の混入によって、酸化物半導体に酸素欠損(V_o とも記す)が形成される場合がある。

[0042]

なお、本明細書等において、酸化窒化物とは、その組成として窒素よりも酸素の含有量が多い材料を指す。窒化酸化物とは、その組成として酸素よりも窒素の含有量が多い材料を指す。

[0043]

膜に含まれる水素、酸素、炭素、又は窒素等の元素の含有量の分析には、例えば、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)、又はX線光電子分光法(XPS: X-ray Photoelectron Spectroscopy)を用いることができる。目的の元素の含有率が高い(例えば、0.5 atomic %以上、又は1 at

atomic%以上) 場合は、XPSが適している。一方、目的の元素の含有率が低い(例えば0.5 atomic%以下、又は1 atomic%以下) 場合には、SIMSが適している。元素の含有量を比較する際には、SIMSとXPSの両方の分析手法を用いた複合解析を行うことがより好ましい。

[0044]

なお、「膜」という言葉と、「層」という言葉とは、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能である。又は、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能である。

[0045]

また、本明細書等において、「平行」とは、二つの直線が -10 度以上 10 度以下の角度で配置されている状態をいう。したがって、 -5 度以上 5 度以下の場合も含まれる。また、「概略平行」とは、二つの直線が -30 度以上 30 度以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80 度以上 100 度以下の角度で配置されている状態をいう。したがって、 85 度以上 95 度以下の場合も含まれる。また、「概略垂直」とは、二つの直線が 60 度以上 120 度以下の角度で配置されている状態をいう。

[0046]

本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電氣的作用を有するもの」には、電極又は配線をはじめ、トランジスタ等のスイッチング素子、抵抗素子、コイル、その他の各種機能を有する素子等が含まれる。

[0047]

本明細書等において、特に断りが無い場合、オフ電流とは、トランジスタがオフ状態(非導通状態、遮断状態、ともいう)にあるときのソースドレイン間のリーク電流をいう。オフ状態とは、特に断りが無い場合、 n チャネル型トランジスタでは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも低い(p チャネル型トランジスタでは、 V_{th} よりも高い)状態をいう。

[0048]

本明細書等において、ノーマリーオンとは、ゲートに電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる状態のことをいう。また、ノーマリーオフとは、ゲートに電位を印加しない、又はゲートに接地電位を与えたときに、トランジスタに電流が流れない状態のことをいう。

[0049]

なお、本明細書等において、テーパ形状とは、構造の側面の少なくとも一部が、基板面又は被形成面に対して傾斜して設けられている形状のことを指す。例えば、傾斜した側面と基板面又は被形成面とがなす角(テーパ角ともいう)が 0 度より大きく 90 度未満である領域を有すると好ましい。なお、構造の側面、基板面、及び被形成面は、必ずしも完全に平坦である必要はなく、微細な曲率を有する略平面状、又は微細な凹凸を有する略平面状であってもよい。

[0050]

本明細書等において、AはB上に位置する、と記載されている場合、Aの少なくとも一部がB上に位置する。そのため、例えば、AはB上に位置する領域を有する、と言い換えることができる。同様に、AはBと接する、又は、AはBと重なる、と記載されている場合、Aの少なくとも一部が、Bと接す

る、又はBと重なる。そのため、それぞれ、AはBと接する領域を有する、又は、AはBと重なる領域を有する、と言い換えることができる。同様に、本明細書等において、AはBを覆う、と記載されている場合、Aの少なくとも一部がBを覆う。そのため、例えば、AはBを覆う領域を有する、と言い換えることができる。

[0051]

なお、例えば本明細書に係る図面において、X方向、Y方向、及びZ方向を示す矢印を付す場合がある。なお、本明細書等において、「X方向」とはX軸に沿う方向であり、明示する場合を除き順方向と逆方向を区別しない場合がある。「Y方向」及び「Z方向」についても同様である。また、X方向、Y方向、及びZ方向は、それぞれが互いに交差する方向である。例えば、X方向、Y方向、及びZ方向は、それぞれが互いに直交する方向である。

[0052]

(実施の形態1)

本実施の形態では、本発明の一態様の半導体装置とその作製方法について図面を用いて説明する。

[0053]

本発明の一態様の半導体装置は、第1のトランジスタと、第1のトランジスタ上の第2のトランジスタと、を有するメモリセルが設けられる記憶装置である。本発明の一態様の半導体装置は、第1及び第2のトランジスタの他に、第1の絶縁層、第2の絶縁層、及び第3の絶縁層を有する。

[0054]

第1のトランジスタは、第1の半導体層と、第1の導電層と、第2の導電層と、第3の導電層と、第4の絶縁層と、を有する。第2のトランジスタは、第2の半導体層と、第3の導電層と、第4の導電層と、第5の導電層と、第5の絶縁層と、を有する。

[0055]

第1の導電層は、第1のトランジスタのソース電極及びドレイン電極の一方として機能する。第2の導電層は、第1のトランジスタのソース電極及びドレイン電極の他方として機能する。第3の導電層は、第1のトランジスタのゲート電極、及び第2のトランジスタのソース電極及びドレイン電極の一方として機能する。第4の導電層は、第2のトランジスタのソース電極及びドレイン電極の他方として機能する。第5の導電層は、第2のトランジスタのゲート電極として機能する。第4の絶縁層は、第1のトランジスタのゲート絶縁層として機能する。第5の絶縁層は、第2のトランジスタのゲート絶縁層として機能する。

[0056]

第1の導電層と第2の導電層の間に第1の絶縁層が設けられる。第1の絶縁層、及び第2の導電層には、第1の導電層に達する第1の開口部が設けられる。第1の半導体層は、第1の開口部の内部で、第1の導電層の上面、第2の導電層の側面、及び第1の絶縁層の側面と接する。また、第1の半導体層は、第2の導電層の上面と接する。第4の絶縁層は、第1の開口部の内部で第1の半導体層上に位置する領域を有する。第3の導電層は、第1の開口部の内部で第4の絶縁層を挟んで第1の半導体層と対向する領域を有する。

[0057]

第3の導電層と第4の導電層の間に第2の絶縁層が設けられる。第2の絶縁層、及び第4の導電層には、第3の導電層に達する第2の開口部が設けられる。第2の半導体層は、第2の開口部の内部で、第3の導電層の上面、第4の導電層の側面、及び第2の絶縁層の側面と接する。また、第2の半導体

層は、第4の導電層の上面と接する。第5の絶縁層は、第2の開口部の内部で第2の半導体層上に位置する領域を有する。第5の導電層は、第2の開口部の内部で第5の絶縁層を挟んで第2の半導体層と対向する領域を有する。

[0058]

本発明の一態様の半導体装置では、第1の導電層に第1の凹部が設けられ、第2の導電層に第2の凹部が設けられる。これにより、第1の導電層に第1の凹部を設けない場合と比べて、第1の開口部の内部における、第4の絶縁層の下面の高さ、及び、第3の導電層の下面の高さを、それぞれ低くできる。また、第3の導電層に第2の凹部を設けない場合と比べて、第2の開口部の内部における、第5の絶縁層の下面の高さ、及び、第5の導電層の下面の高さを、それぞれ低くできる。

[0059]

以上により、第1の半導体層、及び第2の半導体層にゲート電界がかかりやすくなる。よって、第1のトランジスタ、及び第2のトランジスタの電気特性を良好にすることができる。例えば、第1のトランジスタ、及び第2のトランジスタのオン電流を大きくできる。よって、本発明の一態様の半導体装置は、動作速度が速い半導体装置とすることができる。

[0060]

また、本発明の一態様の半導体装置では、第1のトランジスタのゲート絶縁層として機能する第4の絶縁層は、第1の半導体層、及び第2の導電層を覆うように設けられる。また、第1のトランジスタのゲート電極として機能する第3の導電層は、第4の絶縁層を介して第2の導電層と重なる領域を有するように設けられる。これにより、本発明の一態様の半導体装置には、第4の絶縁層を誘電体層とし、第2の導電層、及び第3の導電層を一对の電極とする容量が形成される。よって、本発明の一態様の半導体装置では、メモリセルに容量素子を形成しなくてもデータを保持できる。したがって、本発明の一態様の半導体装置は、メモリセルに容量素子を形成する場合より作製工程数を少なくできる。以上より、本発明の一態様の半導体装置は、低価格な半導体装置とすることができる。また、メモリセルに容量素子を形成しないことにより、メモリセルの占有面積を小さくできる場合がある。この場合、本発明の一態様の半導体装置を、微細化若しくは高集積化が可能な半導体装置とすることができる。

[0061]

さらに、本発明の一態様の半導体装置では、第2のトランジスタのソース電極及びドレイン電極の他方として機能する第4の導電層と重なる領域を有するように、第2の半導体層上に第3の絶縁層が設けられる。別言すると、第2の半導体層を介して第4の導電層と重なる領域を有するように、第3の絶縁層が設けられる。第3の絶縁層は、第2の開口部と重なる位置に第3の開口部を有する。第3の開口部の内部には、第5の導電層が設けられる。そして、第3の絶縁層の上面、及び、第2のトランジスタのゲート電極として機能する第5の導電層の上面と接するように、第6の導電層が設けられる。第6の導電層は、ゲート配線として機能する。

[0062]

第2のトランジスタでは、第4の導電層と第6の導電層の間に、第3の絶縁層が設けられる。ここで、第3の絶縁層の膜厚、例えば第4の導電層及び第2の半導体層と重なる領域における第3の絶縁層の膜厚は、第1のトランジスタのゲート絶縁層として機能する第4の絶縁層の膜厚より厚い。よって、第4の導電層と第6の導電層の間の寄生容量は、第2の導電層と第3の導電層の間の寄生容量より小さくできる。

[0063]

以上により、第2のトランジスタを、電気特性が良好なトランジスタとすることができる。例えば、第2のトランジスタを、高速に動作するトランジスタとすることができる。したがって、本発明の一態様の半導体装置は、電気特性が良好なトランジスタを有する半導体装置とすることができる。

[0064]

なお、本発明の一態様の半導体装置では、開口部の代わりに溝(スリット)が設けられていてもよい。

[0065]

本発明の一態様のトランジスタは、ソース電極とドレイン電極とが、異なる高さに位置し、半導体層を流れる電流は、高さ方向に流れる。すなわち、チャンネル長方向が高さ方向(縦方向)の成分を有するといえるため、本発明の一態様のトランジスタは、VFET(Vertical Field Effect Transistor)、縦型トランジスタ、縦型チャンネルトランジスタ、又は縦チャンネル型トランジスタ等とも呼ぶことができる。

[0066]

本発明の一態様のトランジスタは、ソース電極、半導体層、及びドレイン電極を重ねて設けることができるため、半導体層を平面状に配置した、いわゆるプレーナ型のトランジスタと比較して、占有面積を大幅に縮小できる。

[0067]

<半導体装置の構成例1>

図1Aは、本発明の一態様の半導体装置が有するメモリセル10の構成例を示す回路図である。メモリセル10は、トランジスタ100、及びトランジスタ200を有する。

[0068]

トランジスタ100のソース及びドレインの一方は、配線13と電氣的に接続される。トランジスタ100のソース及びドレインの他方は、配線15と電氣的に接続される。トランジスタ100のゲートは、トランジスタ200のソース及びドレインの一方と電氣的に接続される。トランジスタ200のソース及びドレインの他方は、配線23と電氣的に接続される。トランジスタ200のゲートは、配線21と電氣的に接続される。ここで、トランジスタ100のゲート、及びトランジスタ200のソース及びドレインの一方が接続されるノードをノードND1とする。

[0069]

詳細は後述するが、トランジスタ100のソース及びドレインの他方として機能する電極と、トランジスタ100のゲート、並びに、トランジスタ200のソース及びドレインの一方として機能する電極と、の間に、容量Cpが形成される。

[0070]

配線21は、ワード線として機能する。配線21には、トランジスタ200のオン状態・オフ状態を制御する信号が供給される。

[0071]

配線23は、ビット線として機能する。配線23には、メモリセル10に供給するデータ信号が供給される。トランジスタ200がオン状態である場合に、配線23の電位に対応するデータがメモリセル10に書き込まれる。トランジスタ200をオフ状態とすると、メモリセル10に書き込まれたデータが保持される。具体的には、ノードND1の電位が保持される。

[0072]

配線 13 は、ビット線として機能する。配線 15 は、電源線として機能し、電源電位が供給される。前述のように、メモリセル 10 にデータが書き込まれると、ノード ND1 の電位が、当該データに対応する電位となる。配線 15 と配線 13 の間には、ノード ND1 の電位に対応する大きさの電流が流れる。これにより、配線 13 の電位は、メモリセル 10 に保持されているデータに対応する電位となる。以上により、メモリセル 10 に保持されているデータを読み出すことができる。当該読み出しは、非破壊読み出しとすることができる。

[0073]

以上より、配線 23 を介してメモリセル 10 にデータが書き込まれ、配線 13 を介してメモリセル 10 に保持されているデータが読み出される。よって、配線 23 は書き込みビット線ということができ、配線 13 は読み出しビット線とすることができる。

[0074]

図 1B、及び図 1C は、メモリセル 10 の構成例を示す回路図であり、容量 C_p の位置が図 1A に示すメモリセル 10 と異なる例を示している。図 1B は、トランジスタ 100 のソース及びドレインの一方として機能する電極と、トランジスタ 100 のゲート、並びに、トランジスタ 200 のソース及びドレインの一方として機能する電極と、の間に容量 C_p が形成される例を示している。図 1C は、トランジスタ 200 のゲートとして機能する電極と、トランジスタ 100 のゲート、並びに、トランジスタ 200 のソース及びドレインの一方として機能する電極と、の間に容量 C_p が形成される例を示している。

[0075]

図 1D は、トランジスタ 100 の構成例を示す平面図である。図 1E は、トランジスタ 200 の構成例を示す平面図である。図 1D、及び図 1E に示す平面図は、XY 面の構成例を示しているということもできる。なお、図 1D、及び図 1E の平面図では、図の明瞭化のために一部の要素を省いている。以降の平面図においても同様である。

[0076]

図 1F は、図 1D、及び図 1E に示す一点鎖線 A1-A2 間の断面図である。図 1G は、図 1D、及び図 1E に示す一点鎖線 A3-A4 間の断面図である。図 1F は、XZ 面の構成例を示しているということもできる。図 1G は、YZ 面の構成例を示しているということもできる。

[0077]

図 2A は、図 1D、及び図 1E に示す一点鎖線 A1-A2 間の断面図であり、図 1F の拡大図である。図 2B は、図 2A に示す一点鎖線 A5-A6 間の断面の構成例を示す平面図である。

[0078]

図 1D 乃至図 1G、図 2A、及び図 2B に示す半導体装置は、基板（図示しない）上の絶縁層 110 と、絶縁層 110 上のトランジスタ 100、及び絶縁層 180 と、トランジスタ 100 上、及び絶縁層 180 上のトランジスタ 200、及び絶縁層 280 と、トランジスタ 200 上、及び絶縁層 280 上の絶縁層 283 と、絶縁層 283 上の絶縁層 285 と、トランジスタ 200 上、及び絶縁層 285 上の導電層 265 と、を有する。絶縁層 110、絶縁層 180、絶縁層 280、絶縁層 283、及び絶縁層 285 は、層間膜として機能する。

[0079]

トランジスタ 100 は、導電層 120 と、絶縁層 180 上の導電層 140 と、半導体層 130 と、半導体層 130 上の絶縁層 150 と、絶縁層 150 上の導電層 220 と、を有する。導電層 120 は、

導電層120aと、導電層120a上の導電層120bと、を有する。導電層140は、導電層140aと、導電層140a上の導電層140bと、を有する。導電層220は、導電層220aと、導電層220a上の導電層220bと、を有する。

[0080]

トランジスタ200は、導電層220と、絶縁層280上の導電層240と、半導体層230と、半導体層230上の絶縁層250と、絶縁層250上の導電層260と、を有する。導電層240は、導電層240aと、導電層240a上の導電層240bと、を有する。なお、導電層120、導電層140、導電層220、及び導電層240は単層構造でもよいし、3層以上の積層構造でもよい。

[0081]

導電層120は、トランジスタ100のソース電極及びドレイン電極の一方として機能する。導電層140は、トランジスタ100のソース電極及びドレイン電極の他方として機能する。導電層220は、トランジスタ100のゲート電極、及びトランジスタ200のソース電極及びドレイン電極の一方として機能する。導電層240は、トランジスタ200のソース電極及びドレイン電極の他方として機能する。導電層260は、トランジスタ200のゲート電極として機能する。絶縁層150は、トランジスタ100のゲート絶縁層として機能する。絶縁層250は、トランジスタ200のゲート絶縁層として機能する。導電層265は、ゲート配線として機能する。

[0082]

導電層120は、少なくとも一部が図1Aに示す配線13として機能できる。導電層140は、少なくとも一部が図1Aに示す配線15として機能できる。導電層240は、少なくとも一部が図1Aに示す配線23として機能できる。導電層265は、少なくとも一部が図1Aに示す配線21として機能できる。なお、導電層120の少なくとも一部が配線15として機能し、導電層140の少なくとも一部が配線13として機能してもよい。

[0083]

半導体層130の、絶縁層180と接する領域の少なくとも一部は、トランジスタ100のチャンネル形成領域として機能する。また、半導体層230の、絶縁層280と接する領域の少なくとも一部は、トランジスタ200のチャンネル形成領域として機能する。半導体層130の導電層120と接する領域、及び、半導体層130の導電層140と接する領域は、一方がソース領域として機能し、他方がドレイン領域として機能する。また、半導体層230の導電層220と接する領域、及び、半導体層230の導電層240と接する領域は、一方がソース領域として機能し、他方がドレイン領域として機能する。以上より、トランジスタ100のチャンネル形成領域、及びトランジスタ200のチャンネル形成領域は、ソース領域とドレイン領域との間に挟まれている。

[0084]

図1F及び図1Gに示すように、導電層140、及び絶縁層180には、導電層120に達する開口部190が設けられる。ここで、導電層120には、開口部190と重なる位置に凹部191が設けられる。具体的には、導電層120bに凹部191が設けられる。凹部191の底部は、導電層120の上面、具体的には導電層120bの上面に相当する。凹部191の側壁は、導電層120の側面、具体的には導電層120bの側面に相当する。

[0085]

開口部190は、絶縁層180が有する開口部と、導電層140が有する開口部と、を含む。別言すると、絶縁層180が導電層120と重なる領域に有する開口部は、開口部190の一部であり、導

電層 140 が導電層 120 と重なる領域に有する開口部は、開口部 190 の別の一部である。なお、凹部 191 を開口部 190 に含めてもよいし、含めなくてもよい。

[0086]

導電層 240、及び絶縁層 280 には、導電層 220 に達する開口部 290 が設けられる。ここで、導電層 220 には、開口部 290 と重なる位置に凹部 291 が設けられる。具体的には、導電層 220 b に凹部 291 が設けられる。凹部 291 の底部は、導電層 220 の上面、具体的には導電層 220 b の上面に相当する。凹部 291 の側壁は、導電層 220 の側面、具体的には導電層 220 b の側面に相当する。

[0087]

開口部 290 は、少なくとも一部が開口部 190 と重なる位置に設けられる。また、前述のように、開口部 190 と重なる位置に凹部 191 が設けられる。以上より、凹部 191、開口部 190、凹部 291、及び開口部 290 は、少なくとも一部が互いに重なる。これにより、例えば開口部 190 と開口部 290 が重ならない場合より、メモリセル 10 の占有面積を小さくできる。よって、本発明の一態様の半導体装置を、微細化若しくは高集積化が可能な半導体装置とすることができる。また、単位面積当たりの記憶容量を大きくできる。

[0088]

開口部 290 は、絶縁層 280 が有する開口部と、導電層 240 が有する開口部と、を含む。別言すると、絶縁層 280 が導電層 220 と重なる領域に有する開口部は、開口部 290 の一部であり、導電層 240 が導電層 220 と重なる領域に有する開口部は、開口部 290 の別の一部である。なお、凹部 291 を開口部 290 に含めてもよいし、含めなくてもよい。

[0089]

なお、各層によって、開口部 190、及び開口部 290 の平面視における形状及び大きさが異なってもよい。また、開口部 190 全体の平面視における形状が円形であるとき、各層が有する開口部は同心円状であってもよく、同心円状でなくてもよい。同様に、開口部 290 全体の平面視における形状が円形であるとき、各層が有する開口部は同心円状であってもよく、同心円状でなくてもよい。

[0090]

トランジスタ 100 の構成要素の少なくとも一部は、開口部 190 の内部に配置される。具体的には、半導体層 130、絶縁層 150、及び導電層 220 のそれぞれは、少なくとも一部が開口部 190 の内部に位置するように配置される。半導体層 130 は、導電層 140 の上面と接する。また、半導体層 130 は、凹部 191 の底部及び側壁と接する。さらに、半導体層 130 は、開口部 190 の内部で、導電層 140 の側面、及び絶縁層 180 の側面と接する。絶縁層 150 は、導電層 140 上に位置する領域、及び開口部 190 の内部で半導体層 130 上に位置する領域を有する。絶縁層 150 は、半導体層 130、及び導電層 140 を覆うように設けることができる。導電層 220 は、開口部 190 の内部で絶縁層 150 を挟んで半導体層 130 と対向する領域を有する。

[0091]

また、半導体層 130、及び絶縁層 150 の、開口部 190 の内部に配置される領域は、凹部 191、及び開口部 190 の形状を反映して設けられる。具体的には、凹部 191 の底部及び側壁、並びに、開口部 190 の側壁を覆うように半導体層 130 が設けられ、半導体層 130 を覆うように絶縁層 150 が設けられる。そして、絶縁層 150 の凹部の少なくとも一部を埋め込むように導電層 220 が設けられる。

[0092]

トランジスタ200の構成要素の少なくとも一部は、開口部290の内部に配置される。具体的には、半導体層230、絶縁層250、及び導電層260のそれぞれは、少なくとも一部が開口部290の内部に位置するように配置される。半導体層230は、導電層240の上面と接する。また、半導体層230は、凹部291の底部及び側壁と接する。さらに、半導体層230は、開口部290の内部で、導電層240の側面、及び絶縁層280の側面と接する。絶縁層250は、開口部290の内部で半導体層230上に位置する。導電層260は、開口部290の内部で絶縁層250を挟んで半導体層230と対向する領域を有する。

[0093]

また、半導体層230、及び絶縁層250の、開口部290の内部に配置される領域は、凹部291、及び開口部290の形状を反映して設けられる。具体的には、凹部291の底部及び側壁、並びに、開口部290の側壁を覆うように半導体層230が設けられ、半導体層230を覆うように絶縁層250が設けられる。そして、絶縁層250の凹部の少なくとも一部を埋め込むように導電層260が設けられる。

[0094]

導電層120が凹部191を有することで、凹部191を有さない場合に比べて、開口部190の内部における、絶縁層150及び導電層220の下面の高さを、導電層120の絶縁層180と接する上面の少なくとも一部の高さよりも低くできる。また、導電層220が凹部291を有することで、凹部291を有さない場合に比べて、開口部290の内部における、絶縁層250及び導電層260の下面の高さを、導電層220の絶縁層280と接する上面の少なくとも一部の高さよりも低くできる。

[0095]

それぞれの面の高さは、トランジスタの被形成面を基準として決定できる。ここでは、絶縁層110の上面を基準に用いることができる。基準に用いる面は、トランジスタの被形成面に限られない。例えば、トランジスタ又は半導体装置が設けられる基板の上面を基準に用いてもよい。

[0096]

図2Aでは、距離 T_{a1} 、距離 T_{b1} 、距離 T_{c1} 、距離 T_{a2} 、距離 T_{b2} 、及び距離 T_{c2} を示している。距離 T_{a1} は、絶縁層110の上面から、絶縁層150の凹部191と重なる領域における下面までの最短距離である。距離 T_{b1} は、絶縁層110の上面から、導電層220の凹部191と重なる領域における下面までの最短距離である。距離 T_{c1} は、絶縁層110の上面から、導電層120の絶縁層180と接する上面までの最短距離である。距離 T_{a2} は、絶縁層110の上面から、絶縁層250の凹部291と重なる領域における下面までの最短距離である。距離 T_{b2} は、絶縁層110の上面から、導電層260の凹部291と重なる領域における下面までの最短距離である。距離 T_{c2} は、絶縁層110の上面から、導電層220の絶縁層280と接し、かつ、導電層140と重なる上面までの最短距離である。

[0097]

距離 T_{c1} は、距離 T_{a1} よりも長いことが好ましい。これにより、導電層120の側面と半導体層130との接触面積を大きくでき、導電層120と半導体層130とのコンタクト抵抗を低くできる。したがって、導電層120と半導体層130とのコンタクト抵抗に起因するトランジスタ100のオン電流の低下を抑制できる。

[0098]

また、距離Tc2は、距離Ta2よりも長いことが好ましい。これにより、導電層220の側面と半導体層230との接触面積を大きくでき、導電層220と半導体層230とのコンタクト抵抗を低くできる。したがって、導電層220と半導体層230とのコンタクト抵抗に起因するトランジスタ200のオン電流の低下を抑制できる。

[0099]

また、距離Tc1は、距離Tb1以上であることがより好ましく、距離Tb1よりも長いことがさらに好ましい。これにより、半導体層130のチャンネル形成領域にゲート電界がかかりやすくなり、トランジスタ100の電気特性を良好にすることができる。さらに、半導体層130の導電層120と接する領域にもゲート電界がかかりやすくなるため、トランジスタ100のオン電流を高めることができる。また、導電層120と導電層140のどちらをドレイン電極に用いても、トランジスタ100の電気特性を良好にすることができる。

[0100]

さらに、距離Tc2は、距離Tb2以上であることがより好ましく、距離Tb2よりも長いことがさらに好ましい。これにより、半導体層230のチャンネル形成領域にゲート電界がかかりやすくなり、トランジスタ200の電気特性を良好にすることができる。さらに、半導体層230の導電層220と接する領域にもゲート電界がかかりやすくなるため、トランジスタ200のオン電流を高めることができる。また、導電層220と導電層240のどちらをドレイン電極に用いても、トランジスタ200の電気特性を良好にすることができる。

[0101]

また、導電層120bに、酸素を含む導電性材料を用いることが好ましい。これにより、半導体層130として金属酸化物を用いる場合であっても、金属酸化物に含まれる酸素に起因して、導電層120bの半導体層130と接する領域、及びその近傍の領域に、電気抵抗が高い領域が形成されることを抑制できる。これにより、半導体層130と導電層120bのコンタクト抵抗を低くできる。同様に、導電層140aに酸素を含む導電性材料を用いることが好ましい。これにより、半導体層130として金属酸化物を用いる場合、半導体層130と導電層140aのコンタクト抵抗を低くできる。また、導電層220bに、酸素を含む導電性材料を用いることが好ましい。これにより、半導体層230として金属酸化物を用いる場合、半導体層230と導電層220bのコンタクト抵抗を低くできる。同様に、導電層240aに酸素を含む導電性材料を用いることが好ましい。これにより、半導体層230として金属酸化物を用いる場合、半導体層230と導電層240aのコンタクト抵抗を低くできる。

[0102]

導電層120、導電層220、及び導電層240のそれぞれが積層構造である場合、当該積層構造のうち、チャンネル形成領域に最も近い層に酸素を含む導電性材料を用い、半導体層130、又は半導体層230とのコンタクト抵抗を低くすることで、ソースとドレインの間の電流経路を短くできる。これにより、トランジスタのオン電流を高めることができる。酸素を含む導電性材料としては、導電性を有する金属酸化物（酸化物導電体ともいう）を用いることが好ましい。

[0103]

半導体層130が、導電層140の上面及び側面と接すると、導電層140の側面のみと接する場合に比べて、導電層140との接触面積が大きくなる。これにより、半導体層130と導電層140と

のコンタクト抵抗をより低くできる。したがって、コンタクト抵抗に起因するトランジスタ100のオン電流の低下を抑制できる。また、半導体層230が、導電層240の上面及び側面と接すると、導電層240の側面のみと接する場合に比べて、導電層240との接触面積が大きくなる。これにより、半導体層230と導電層240とのコンタクト抵抗をより低くできる。したがって、コンタクト抵抗に起因するトランジスタ200のオン電流の低下を抑制できる。

[0104]

図1F及び図1Gに示すように、絶縁層150は、半導体層130、及び導電層140を覆うように設けられる。また、導電層220は、絶縁層150を介して導電層140と重なる領域を有するように設けられる。これにより、メモリセル10には、図1A、又は図1Bに示す容量 C_p が形成される。図1A、及び図1Bに示す例では、容量 C_p は、絶縁層150を誘電体層とし、導電層140、及び導電層220を一对の電極とする容量とすることができる。なお、図1Cに示す容量 C_p は、絶縁層250を誘電体層とし、導電層220、及び導電層260を一对の電極とする。

[0105]

以上により、本発明の一態様の半導体装置では、メモリセル10に容量素子を形成しなくても、容量 C_p によりデータを保持できる。したがって、本発明の一態様の半導体装置は、メモリセル10に容量素子を形成する場合より作製工程数を少なくできる。以上より、本発明の一態様の半導体装置は、低価格な半導体装置とすることができる。また、メモリセル10に容量素子を形成しないことにより、メモリセル10の占有面積を小さくできる場合がある。この場合、本発明の一態様の半導体装置を、微細化若しくは高集積化が可能な半導体装置とすることができる。また、単位面積当たりの記憶容量を大きくできる。なお、例えば図1A又は図1Bに示す容量 C_p の容量値と、図1Cに示す容量 C_p の容量値と、の合計を、データを保持するための容量の容量値とすることができる。

[0106]

本発明の一態様の半導体装置では、メモリセル10に容量素子を形成してもよい。具体的には、メモリセル10のノードND1に接続する容量素子を設けることができる。これにより、メモリセル10にデータを長期間保持できる。

[0107]

ここで、導電層140と導電層220が絶縁層150を介して重なる領域が広いほど、容量 C_p の容量値を大きくできる。これにより、メモリセル10にデータを長期間保持できる。一方、容量 C_p の容量値が大きすぎると、本発明の一態様の半導体装置の動作、具体的にはメモリセル10の動作が遅くなる場合がある。以上より、容量 C_p が所望の大きさとなるように、本発明の一態様の半導体装置の作製の際に上記面積を調整することが好ましい。なお、図1F、及び図2Aでは、導電層140の側面の一部が、絶縁層150を介して導電層220に覆われる例を示している。この場合、導電層140の側面が導電層220に覆われない場合より、容量 C_p の容量値を大きくできる。

[0108]

図1F及び図1Gに示すように、絶縁層285には、開口部290と重なる位置に、半導体層230に達する開口部270が設けられている。トランジスタ200の構成要素の少なくとも一部は、開口部270の内部に配置される。具体的には、絶縁層250及び導電層260のそれぞれは、少なくとも一部が開口部270の内部に位置するように配置される。また、絶縁層283は、少なくとも一部が開口部270の内部に位置する。絶縁層283は、半導体層230の上面及び側面、並びに、導電層240の側面を覆う。絶縁層250は、開口部270の内部で絶縁層283と接する。なお、開口

部270は、絶縁層283に設けられるとしてもよい。

[0109]

絶縁層250の、開口部270の内部に配置される領域は、開口部270の形状を反映して設けられる。具体的には、開口部270の側壁(絶縁層285の側面)を覆うように絶縁層283が設けられ、絶縁層283の内側に絶縁層250が設けられる。そして、開口部270の形状を反映した絶縁層250の凹部の少なくとも一部を埋め込むように導電層260が設けられる。

[0110]

トランジスタ200において、導電層260は導電層240の上面と重なっていないため、導電層240と導電層260との間の寄生容量を小さくできる。図2Aに示すように、断面視において、導電層260の幅の最大値は、開口部290の幅Dよりも小さい。このように、導電層260の幅の最大値が、開口部290の幅Dよりも小さいと、導電層260と導電層240との間の寄生容量を小さくでき、好ましい。なお、例えば、図2Aのように、本発明の一態様の半導体装置における2つの幅の大小関係は、Z方向に平行な1つの断面によって確認することができる。

[0111]

なお、本明細書等では、単に、「断面視において」と記すが、具体的には、「同一方向からの断面視において」と言い換えられることがある。例えば、複数の構成の関係を説明する場合には、同一方向からの断面視における関係を説明する。このとき、当該複数の構成の関係を、1つの断面図を用いて説明することができる。

[0112]

なお、開口部290の幅Dは、深さ方向で変化する場合がある。ここでは、特に、幅Dとして、断面視における、導電層240の開口部290側の2つの側面間の最短距離を用いる。言い換えると、開口部290の幅Dとして、導電層240における開口部290の幅の最小値を用いる。

[0113]

導電層260の上面の高さと絶縁層285の上面の高さは揃っている、又は概略揃っていることが好ましい。導電層265は、絶縁層285上、絶縁層283上、絶縁層250上、及び導電層260上に設けられており、導電層260の上面と接する。また、導電層265は、絶縁層285の上面、絶縁層283の上面、及び絶縁層250の上面と接することができる。導電層260と導電層265とは互いに電氣的に接続されている、ともいえる。導電層265と導電層240との間には、絶縁層283及び絶縁層285が位置する。ここで、絶縁層283及び絶縁層285の膜厚、例えば導電層240及び半導体層230と重なる領域における絶縁層283及び絶縁層285の膜厚の合計は、絶縁層150の膜厚より厚い。よって、導電層240と導電層265の間の寄生容量は、導電層140と導電層220の間の容量 C_p より小さくできる。

[0114]

つまり、トランジスタ200は、ソース電極及びドレイン電極の他方と、ゲート電極との間の寄生容量、並びに、ソース電極及びドレイン電極の他方と、ゲート配線との間の寄生容量が低減された構成を有する。したがって、トランジスタ200を高速に動作させ、メモリセル10の周波数特性を高めることができる。また、トランジスタ200を、電気特性が良好なトランジスタとすることができる。したがって、本発明の一態様の半導体装置は、電気特性が良好なトランジスタを有する半導体装置とすることができる。

[0115]

図1 Fでは、開口部190の外側において、導電層140 aの端部、導電層140 bの端部、及び、半導体層130の端部が揃っている例を示している。また、図1 Fでは、開口部290の外側において、導電層240 aの端部、導電層240 bの端部、及び、半導体層230の端部が揃っている例を示している。後述する作製方法例の通り、導電層140 a、導電層140 b、及び半導体層130は、同じマスクを用いて加工することで作製できる。また、導電層240 a、導電層240 b、及び半導体層230は、同じマスクを用いて加工することで作製できる。したがって、半導体装置の作製に要するマスク数を削減でき好ましい。

[0116]

導電層140は、導電層120と重なる領域に開口部190を有する。また、導電層140は、絶縁層180が有する開口部190の内部に設けないことが好ましい。つまり、導電層140は、開口部190の内部における絶縁層180の側面と接しないことが好ましい。このような構成にすることで、導電層140及び絶縁層180に、一括で開口部190を形成することができる。また、開口部190の内部における導電層140の側面と、開口部190の内部における絶縁層180の側面と、が揃っていると、開口部190の内部に設ける半導体層130の膜厚分布を均一にすることができる。また、半導体層130が導電層140と絶縁層180の段差により分断されることを抑制できる。

[0117]

上記と同様に、導電層240は、導電層220と重なる領域に開口部290を有する。また、導電層240は、絶縁層280が有する開口部290の内部に設けないことが好ましい。つまり、導電層240は、開口部290の内部における絶縁層280の側面と接しないことが好ましい。

[0118]

なお、図1 F及び図1 Gでは、開口部190の内部における導電層140の側面の傾きと、開口部190の内部における絶縁層180の側面の傾きとが等しい例を示しているが、これらの側面の傾きは異なってもよい。このとき、例えば、開口部190の内部における導電層140の側面のテーパ角は、開口部190の内部における絶縁層180の側面のテーパ角よりも小さいことが好ましい。このような構成にすることで、開口部190の内部における導電層140の側面への、半導体層130の被覆性が向上し、鬆等の欠陥を低減できる。また、絶縁層180が積層構造である場合、開口部190の内部における各層の側面の傾きは異なってもよい。同様に、導電層140が積層構造である場合、開口部190の内部における各層の側面の傾きは異なってもよい。

[0119]

上記と同様に、図1 F及び図1 Gでは、開口部290の内部における導電層240の側面の傾きと、開口部290の内部における絶縁層280の側面の傾きとが等しい例を示しているが、これらの側面の傾きは異なってもよい。

[0120]

トランジスタ100は、チャンネル形成領域を含む半導体層130に、半導体として機能する金属酸化物（酸化物半導体ともいう）を有する。また、トランジスタ200は、チャンネル形成領域を含む半導体層230に、半導体として機能する金属酸化物（酸化物半導体ともいう）を有する。以上より、トランジスタ100、及びトランジスタ200は、OSトランジスタといえる。

[0121]

OSトランジスタは、酸化物半導体中のチャンネル形成領域に酸素欠損（ V_o ）及び不純物が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損近傍の水素が、酸素欠

損に水素が入った欠陥（以下、 V_{OH} と呼ぶ場合がある）を形成し、キャリアとなる電子を生成する
場合がある。このため、酸化半導体中のチャネル形成領域に酸素欠損が含まれていると、OSト
ランジスタはノーモリーオンとなりやすい。したがって、酸化半導体中のチャネル形成領域では、酸
素欠損及び不純物はできる限り低減されていることが好ましい。言い換えると、酸化半導体中のチ
ャネル形成領域は、キャリア濃度が低減され、 i 型化（真性化）又は実質的に i 型化されていること
が好ましい。

[0122]

一方、OSトランジスタのソース領域及びドレイン領域は、チャネル形成領域よりも、酸素欠損が多
い、 V_{OH} が多い、又は水素、窒素、金属元素等の不純物濃度が高い、ことでキャリア濃度が増加し、
低抵抗化した領域であることが好ましい。すなわち、OSトランジスタのソース領域及びドレイン領
域は、チャネル形成領域と比較して、キャリア濃度が高く、低抵抗な n 型の領域であることが好まし
い。

[0123]

OSトランジスタは、オフ電流が小さい。よって、特にトランジスタ100にOSトランジスタを用
いることにより、メモリセル10にデータを長期間保持できる。よって、リフレッシュ動作が不要に
なる。又は、リフレッシュ動作の頻度を極めて少なくできる。これにより、本発明の一態様の半導体
装置は、消費電力の低い半導体装置とすることができる。ここで、トランジスタ200も、トランジ
スタ100と同様にOSトランジスタとすることができる。

[0124]

上述したように、半導体層130は、絶縁層180が有する開口部190の内部に設けられる。また、
トランジスタ100は、ソース電極及びドレイン電極の一方（ここでは導電層120）が下方に位置
し、ソース電極及びドレイン電極の他方（ここでは導電層140）が上方に位置することから、電流
が上下方向に流れる構成を有する。つまり、絶縁層180が有する開口部190の側面に沿って、チ
ャネルが形成される。同様に、トランジスタ200は、絶縁層280が有する開口部290の側面に
沿って、チャネルが形成される。

[0125]

図2Bに示すように、絶縁層280は半導体層230の外周全体に接する。よって、トランジスタ2
00のチャネル形成領域は、開口部290の内部における半導体層230の外周全体（絶縁層280
と接する領域全体）に形成されうる。同様に、絶縁層180は半導体層130の外周全体に接する。
よって、トランジスタ100のチャネル形成領域は、開口部190の内部における半導体層130の
外周全体（絶縁層180と接する領域全体）に形成されうる。なお、図2Bは、半導体層230のチ
ャネル形成領域を含む、XY平面における断面図ともいえる。

[0126]

トランジスタ100、及びトランジスタ200のチャネル長は、ソース領域とドレイン領域の間の距
離となる。トランジスタ100のチャネル長は、絶縁層180の開口部190側の側面の長さに対応
することができる。トランジスタ200のチャネル長は、絶縁層280の開口部290側の側面の長
さに相当することができる。図2Aでは、トランジスタ100のチャネル長 L_1 、及びトランジスタ
200のチャネル長 L_2 を破線の両矢印で示している。ここでは、チャネル長 L_1 が、絶縁層180
の開口部190側の側面の長さに対応する例を示す。また、チャネル長 L_2 が、絶縁層280の開
口部290側の側面の長さに対応する例を示す。

[0127]

従来のトランジスタでは、チャンネル長がフォトリソグラフィの露光限界で設定されていたが、本発明の一態様においては、絶縁層180、又は絶縁層280の膜厚でチャンネル長を設定することができる。よって、トランジスタ100、及びトランジスタ200のチャンネル長を、フォトリソグラフィの露光限界以下の非常に微細な構造（例えば、60nm以下、50nm以下、40nm以下、30nm以下、20nm以下、又は10nm以下であって、0.1nm以上、1nm以上、又は5nm以上）にすることができる。これにより、トランジスタ100、及びトランジスタ200のオン電流が大きくなり、周波数特性の向上を図ることができる。

[0128]

さらに、上記のように、開口部190、及び開口部290の内部に、チャンネル形成領域、ソース領域、及びドレイン領域を形成することができる。これにより、チャンネル形成領域、ソース領域、及びドレイン領域が、XY平面上に別々に設けられる、横型のトランジスタと比較して、トランジスタ100、及びトランジスタ200は、占有面積を低減できる。したがって、半導体装置を高集積化することができる。また、本発明の一態様の半導体装置を記憶装置に用いる場合、単位面積当たりの記憶容量を大きくできる。

[0129]

また、図2Bに示すように、半導体層230、絶縁層250、及び導電層260は、同心円状に設けられる。よって、中心に設けられた導電層260の側面は、絶縁層250を介して、半導体層230の側面と対向する。つまり、平面視において、半導体層230の外周全体がチャンネル形成領域になる。このとき、例えば、半導体層230の外周の長さによって、トランジスタ200のチャンネル幅が決まる。つまり、トランジスタ200のチャンネル幅は、開口部290の幅（平面視において開口部290が円形である場合は径）の大きさによって決定される、ということができる。図2A、及び図2Bでは、開口部290の幅Dを二点鎖線の両矢印で示している。図2Bでは、トランジスタ200のチャンネル幅Wを一点鎖線の両矢印で示している。開口部290の幅Dの大きさを大きくすることで、単位面積当たりのチャンネル幅を大きくし、オン電流を大きくできる。同様に、平面視において、半導体層130の周全体がチャンネル形成領域になる。このとき、例えば、半導体層130の外周の長さによって、トランジスタ100のチャンネル幅が決まる。つまり、トランジスタ100のチャンネル幅は、開口部190の幅（平面視において開口部190が円形である場合は径）の大きさによって決定される、ということができる。

[0130]

フォトリソグラフィ法を用いて開口部290を形成する場合、開口部290の幅Dはフォトリソグラフィの露光限界で設定される。また、開口部290の幅Dは、開口部290の内部に設ける、半導体層230、絶縁層250、及び導電層260それぞれの膜厚によって設定される。開口部290の幅Dは、例えば、5nm以上、10nm以上、又は20nm以上であって、100nm以下、60nm以下、50nm以下、40nm以下、又は30nm以下が好ましい。なお、平面視において開口部290が円形である場合、開口部290の幅Dは開口部290の直径に相当し、チャンネル幅Wは“ $D \times \pi$ ”と算出することができる。以上は開口部290、半導体層230、絶縁層250、及び導電層260をそれぞれ開口部190、半導体層130、絶縁層150、及び導電層220と読み替えることにより、開口部190の幅についても適用できる。

[0131]

また、トランジスタ200のチャンネル長L2は、少なくともトランジスタ200のチャンネル幅Wよりも小さいことが好ましい。トランジスタ200のチャンネル長L2は、トランジスタ200のチャンネル幅Wに対し、0.1倍以上0.99倍以下が好ましく、0.5倍以上0.8倍以下がより好ましい。同様に、トランジスタ100のチャンネル長L1は、少なくともトランジスタ100のチャンネル幅よりも小さいことが好ましい。トランジスタ100のチャンネル長L1は、トランジスタ100のチャンネル幅Wに対し、0.1倍以上0.99倍以下が好ましく、0.5倍以上0.8倍以下がより好ましい。このような構成にすることで、良好な電気特性及び高い信頼性を有するトランジスタ100、及びトランジスタ200を実現できる。

[0132]

また、平面視で円形になるように開口部190を形成することで、半導体層130、絶縁層150、及び導電層220は、同心円状に設けられる。これにより、導電層220と半導体層130の距離が概略均一になるため、半導体層130にゲート電界を概略均一に印加することができる。同様に、平面視で円形になるように開口部290を形成することで、半導体層230にゲート電界を概略均一に印加することができる。

[0133]

なお、本実施の形態では、平面視において開口部190、開口部290、及び開口部270が円形である例について示したが、本発明はこれに限られるものではない。平面視において、開口部190、開口部290、及び開口部270は、それぞれ、例えば、円形、楕円形等の略円形、三角形、四角形（長方形、菱形、正方形を含む）、五角形、星形多角形等の多角形、又はこれら多角形の角が丸い形状とすることができる。なお、多角形としては、凹多角形（少なくとも一つの内角が180度を超える多角形）及び凸多角形（全ての内角が180度以下である多角形）のどちらであってもよい。図1D、及び図1E等に示すように、平面視において、開口部190、開口部290、及び開口部270は、円形であることが好ましい。円形とすることにより、開口部を形成する際の加工精度を高めることができ、微細なサイズの開口部を形成することができる。なお、本明細書等において、円形とは真円に限定されない。

[0134]

<半導体装置の構成材料>

以下では、本実施の形態の半導体装置に用いることができる材料について説明する。なお、本実施の形態の半導体装置を構成する各層は、単層構造であってもよく、積層構造であってもよい。図1F及び図1Gでは、導電層120a、導電層220a、半導体層130、半導体層230、及び導電層260が、単層構造である例を示す。また、図2Aでは、導電層120a、導電層220a、半導体層130、半導体層230、及び導電層260が積層構造である例を示す。

[0135]

[半導体層130、及び半導体層230]

前述の通り、半導体層130、及び半導体層230は、チャンネル形成領域を有する。当該チャンネル形成領域は、i型（真性）又は実質的にi型である。半導体層130、及び半導体層230は、さらに、ソース領域及びドレイン領域を有する。当該ソース領域及び当該ドレイン領域は、チャンネル形成領域と比較してキャリア濃度が高い、n型の領域（低抵抗領域）である。

[0136]

半導体層130、及び半導体層230に用いる半導体材料の結晶性は特に限定されず、非晶質半導体、

単結晶性半導体、又は単結晶以外の結晶性を有する半導体（微結晶半導体、多結晶半導体、又は一部に結晶領域を有する半導体）のいずれを用いてもよい。単結晶半導体又は結晶性を有する半導体を用いると、トランジスタ特性の劣化を抑制できるため好ましい。

[0137]

また、半導体層130、及び半導体層230には、金属酸化物を用いることができる。この場合、半導体層130、及び半導体層230は、酸化物半導体層とすることができる。

[0138]

半導体として機能する金属酸化物のバンドギャップは、2.0 eV以上が好ましく、2.5 eV以上がより好ましい。バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減できる。OSトランジスタは、オフ電流が小さいため、半導体装置の消費電力を十分に低減できる。また、OSトランジスタの周波数特性が高いため、半導体装置を高速に動作させることができる。

[0139]

半導体層130、及び半導体層230に用いることができる金属酸化物として、例えば、インジウム酸化物、ガリウム酸化物、及び亜鉛酸化物が挙げられる。金属酸化物は、少なくともインジウム（In）又は亜鉛（Zn）を含むことが好ましい。また、金属酸化物は、インジウムと、元素Mと、亜鉛と、の中から選ばれる二又は三を有することが好ましい。なお、元素Mは、酸素との結合エネルギーが高い金属元素又は半金属元素であり、例えば、酸素との結合エネルギーがインジウムよりも高い金属元素又は半金属元素である。元素Mとして、具体的には、アルミニウム、ガリウム、スズ、イットリウム、チタン、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、ジルコニウム、モリブデン、ハフニウム、タンタル、タンゲステン、ランタン、セリウム、ネオジウム、マグネシウム、カルシウム、ストロンチウム、バリウム、ホウ素、シリコン、ゲルマニウム、及びアンチモン等が挙げられる。金属酸化物が有する元素Mは、上記元素のいずれか一種又は複数種であることが好ましく、アルミニウム、ガリウム、スズ、及びイットリウムから選ばれた一種又は複数種であることがより好ましく、ガリウムがさらに好ましい。なお、本明細書等において、金属元素と半金属元素をまとめて「金属元素」と呼ぶことがあり、本明細書等に記載の「金属元素」には半金属元素が含まれることがある。

[0140]

半導体層130、及び半導体層230は、例えば、インジウム酸化物（In酸化物）、インジウム亜鉛酸化物（In-Zn酸化物、IZO（登録商標）とも記す）、インジウムスズ酸化物（In-Sn酸化物）、インジウムチタン酸化物（In-Ti酸化物）、インジウムガリウム酸化物（In-Ga酸化物）、インジウムガリウムアルミニウム酸化物（In-Ga-Al酸化物）、インジウムガリウムスズ酸化物（In-Ga-Sn酸化物、IGTOとも記す）、ガリウム亜鉛酸化物（Ga-Zn酸化物、GZOとも記す）、アルミニウム亜鉛酸化物（Al-Zn酸化物、AZOとも記す）、インジウムアルミニウム亜鉛酸化物（In-Al-Zn酸化物、IAZOとも記す）、インジウムスズ亜鉛酸化物（In-Sn-Zn酸化物、ITZO（登録商標）とも記す）、インジウムチタン亜鉛酸化物（In-Ti-Zn酸化物）、インジウムガリウム亜鉛酸化物（In-Ga-Zn酸化物、IGZOとも記す）、インジウムガリウムスズ亜鉛酸化物（In-Ga-Sn-Zn酸化物、IGZTOとも記す）、インジウムガリウムアルミニウム亜鉛酸化物（In-Ga-Al-Zn酸化物、IGAZO、IGZAO、又はIAGZOとも記す）等を用いることができる。又は、シリコンを含むインジウムスズ酸化物、ガリウムスズ酸化物（Ga-Sn酸化物）、アルミニウムスズ酸化物（Al-Sn酸化物）等を用いることができる。

[0141]

金属酸化物に含まれる全ての金属元素の原子数の和に対するインジウムの原子数の割合を高くすることにより、トランジスタの電界効果移動度を高めることができる。また、オン電流の大きいトランジスタを実現できる。

[0142]

なお、金属酸化物は、インジウムに代えて、又は、インジウムに加えて、原子周期表における周期番号が大きい金属元素の一種又は複数種を有してもよい。金属元素の軌道の重なりが大きいほど、金属酸化物におけるキャリア伝導は大きくなる傾向がある。よって、原子周期表における周期番号が大きい金属元素を含むことで、トランジスタの電界効果移動度を高めることができる場合がある。原子周期表における周期番号が大きい金属元素として、第5周期に属する金属元素、及び第6周期に属する金属元素等が挙げられる。当該金属元素として、具体的には、イットリウム、ジルコニウム、銀、カドミウム、スズ、アンチモン、バリウム、鉛、ビスマス、ランタン、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、及びユウロピウム等が挙げられる。なお、ランタン、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、及びユウロピウムは、軽希土類元素と呼ばれる。

[0143]

また、金属酸化物は、非金属元素の一種又は複数種を有してもよい。金属酸化物が非金属元素を有することで、キャリア濃度の増加、又はバンドギャップの縮小等が生じ、トランジスタの電界効果移動度を高めることができる場合がある。非金属元素として、例えば、炭素、窒素、リン、硫黄、セレン、臭素、及び水素等が挙げられる。

[0144]

また、金属酸化物に含まれる全ての金属元素の原子数の和に対する亜鉛の原子数の割合を高くすることにより、結晶性の高い金属酸化物となり、金属酸化物中の不純物の拡散を抑制できる。したがって、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

[0145]

また、金属酸化物に含まれる全ての金属元素の原子数の和に対する元素Mの原子数の割合を高くすることにより、バンドギャップが大きい金属酸化物とすることができる。また、金属酸化物に酸素欠損が形成されることを抑制できる。したがって、酸素欠損に起因するキャリア生成が抑制され、オフ電流の小さいトランジスタとすることができる。また、トランジスタのしきい値電圧がシフトすることを抑制できる。また、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

[0146]

半導体層130、及び半導体層230に適用する金属酸化物の組成により、トランジスタの電気特性、及び信頼性が異なる。したがって、トランジスタに求められる電気特性、及び信頼性に応じて金属酸化物の組成を異ならせることにより、優れた電気特性と高い信頼性を両立した半導体装置とすることができる。

[0147]

金属酸化物が I_n-M-Z_n 酸化物の場合、当該 I_n-M-Z_n 酸化物における I_n の原子数比はMの原子数比以上であることが好ましい。このような I_n-M-Z_n 酸化物の金属元素の原子数比として、例えば、 $I_n:M:Z_n=1:1:0.5$ 、 $I_n:M:Z_n=1:1:1$ 、 $I_n:M:Z_n=1:1:1.2$ 、 $I_n:M:Z_n=1:1:2$ 、 $I_n:M:Z_n=2:1:3$ 、 $I_n:M:Z_n=$

3 : 1 : 1、In : M : Zn = 3 : 1 : 2、In : M : Zn = 4 : 2 : 3、In : M : Zn = 4 : 2 : 4、1、In : M : Zn = 5 : 1 : 3、In : M : Zn = 5 : 1 : 6、In : M : Zn = 5 : 1 : 7、In : M : Zn = 5 : 1 : 8、In : M : Zn = 6 : 1 : 6、In : M : Zn = 5 : 2 : 5、及び、これらの近傍の組成が挙げられる。なお、近傍の組成とは、所望の原子数比の±30%の範囲を含む。金属酸化物中のインジウムの原子数比を大きくすることで、トランジスタのオン電流、又は電界効果移動度等を高めることができる。

[0148]

また、In-M-Zn酸化物におけるInの原子数比はMの原子数比未満であってもよい。このようなIn-M-Zn酸化物の金属元素の原子数比として、例えば、In : M : Zn = 1 : 3 : 2、In : M : Zn = 1 : 3 : 3、In : M : Zn = 1 : 3 : 4、及びこれらの近傍の組成が挙げられる。金属酸化物中のMの原子数の割合を大きくすることで、酸素欠損の生成を抑制することができる。

[0149]

なお、元素Mとして複数の金属元素を有する場合は、当該金属元素の原子数の割合の合計を、元素Mの原子数の割合とすることができる。

[0150]

本明細書等において、含有される全ての金属元素の原子数の和に対するインジウムの原子数の割合を、インジウムの含有率と記す場合がある。他の金属元素においても同様である。

[0151]

また、金属酸化物がIn-Zn酸化物の場合、当該In-Zn酸化物の金属元素の原子数比として、例えば、In : Zn = 1 : 1、In : Zn = 2 : 1、In : Zn = 4 : 1、及びこれらの近傍の組成が挙げられる。また、In-Zn酸化物に、微量の元素Mを含んでいてもよい。例えば、元素MとしてSnを含む場合、当該金属酸化物の金属元素の原子数比として、例えば、In : Sn : Zn = 2 : 0.1 : 1、In : Sn : Zn = 4 : 0.1 : 1、及びこれらの近傍の組成が挙げられる。

[0152]

半導体層130、及び半導体層230に用いる金属酸化物の組成の分析には、例えば、エネルギー分散型X線分光法(EDX: Energy Dispersive X-ray Spectrometry)、X線光電子分光法(XPS: X-ray Photoelectron Spectrometry)、誘導結合プラズマ質量分析法(ICP-MS: Inductively Coupled Plasma-Mass Spectrometry)、又は誘導結合高周波プラズマ発光分光法(ICP-AES: Inductively Coupled Plasma-Atomic Emission Spectrometry)を用いることができる。又は、これらの手法を複数組み合わせて分析を行ってもよい。なお、含有率が低い元素は、分析精度の影響により、実際の含有率と分析によって得られる含有率が異なる場合がある。例えば、元素Mの含有率が低い場合、分析によって得られる元素Mの含有率が、実際の含有率より低くなる場合がある。また、元素Mの定量が困難となる場合、又は元素Mが検出されない場合がある。

[0153]

金属酸化物の形成には、スパッタリング法、又はALD法を好適に用いることができる。なお、金属酸化物をスパッタリング法で形成する場合、成膜後の金属酸化物の組成はターゲットの組成と異なる場合がある。特に亜鉛は、成膜後の金属酸化物における含有率が、ターゲットと比較して50%程度にまで減少する場合がある。また、金属酸化物の成膜には、化学気相堆積(CVD: Chemical Vapor Deposition)

al Vapor Deposition) 法、分子線エピタキシー (MBE) 法、又はパルスレーザー堆積 (PLD: Pulsed Laser Deposition) 法等を用いてもよい。

[0154]

半導体層 130、及び半導体層 230 は、2 以上の金属酸化物層を有する積層構造としてもよい。半導体層 130、及び半導体層 230 が有する 2 以上の金属酸化物層は、組成が互いに同じ、又は概略同じであってもよい。組成が同じ金属酸化物層の積層構造とすることで、例えば、同じスパッタリングターゲットを用いて形成できるため、製造コストを削減できる。

[0155]

半導体層 130、及び半導体層 230 が有する 2 以上の金属酸化物層は、組成が互いに異なってもよい。

[0156]

図 2A では、半導体層 130 が、酸化物層 130a と、酸化物層 130a 上の酸化物層 130b と、の 2 層構造である例を示す。また、半導体層 230 が、酸化物層 230a と、酸化物層 230a 上の酸化物層 230b と、の 2 層構造である例を示す。

[0157]

例えば、酸化物層 130a、及び酸化物層 230a には、酸化物層 130b、及び酸化物層 230b より導電率の高い材料を用いることが好ましい。トランジスタ 100 のソース電極及びドレイン電極 (導電層 120 及び導電層 140) と接する酸化物層 130a に導電率の高い材料を用いることにより、半導体層 130 と導電層 120 とのコンタクト抵抗、及び半導体層 130 と導電層 140 とのコンタクト抵抗を低くできる。よって、トランジスタ 100 をオン電流が大きいトランジスタとすることができる。同様に、トランジスタ 200 のソース電極及びドレイン電極 (導電層 220 及び導電層 240) と接する酸化物層 230a に導電率の高い材料を用いることにより、半導体層 230 と導電層 220 とのコンタクト抵抗、及び半導体層 230 と導電層 240 とのコンタクト抵抗を低くできる。よって、トランジスタ 200 をオン電流が大きいトランジスタとすることができる。

[0158]

ここで、導電層 220 側に設けられる酸化物層 130b に導電率の高い材料を用いると、トランジスタ 100 のしきい値電圧がシフトする場合がある。これにより、ゲート電圧が 0V 時に流れるドレイン電流 (以下、カットオフ電流とも記す) が大きくなってしまう場合がある。具体的には、トランジスタ 100 が n チャネル型のトランジスタである場合に、しきい値電圧が低くなってしまふことがある。同様に、導電層 260 側に設けられる酸化物層 230b に導電率の高い材料を用いると、トランジスタ 200 のしきい値電圧がシフトする場合がある。これにより、トランジスタ 200 のカットオフ電流が大きくなってしまふ場合がある。具体的には、トランジスタ 200 が n チャネル型のトランジスタである場合に、しきい値電圧が低くなってしまふことがある。以上より、酸化物層 130b、及び酸化物層 230b には、酸化物層 130a、及び酸化物層 230a よりも導電率の低い材料を用いることが好ましい。これにより、トランジスタ 100、及びトランジスタ 200 が n チャネル型のトランジスタである場合は、しきい値電圧を高くでき、カットオフ電流が小さいトランジスタとすることができる。なお、カットオフ電流が小さいことをノーマリーオフと記す場合がある。

[0159]

以上のように、半導体層 130、及び半導体層 230 を積層構造とし、酸化物層 130a、及び酸化物層 230a には、酸化物層 130b、及び酸化物層 230b よりも導電率の高い材料を用いること

により、ノーマリーオフ、かつオン電流が大きいトランジスタとすることができる。したがって、低い消費電力と高い性能が両立した半導体装置とすることができる。

[0160]

また、酸化物層130a、及び酸化物層230aのキャリア濃度は、酸化物層130b、及び酸化物層230bのキャリア濃度より高いことが好ましい。酸化物層130a、及び酸化物層230aのキャリア濃度を高くすることにより導電率が高くなる。よって、半導体層130と導電層120とのコンタクト抵抗、半導体層130と導電層140とのコンタクト抵抗、半導体層230と導電層220とのコンタクト抵抗、及び半導体層230と導電層240とのコンタクト抵抗を低くできる。よって、トランジスタ100、及びトランジスタ200を、オン電流が大きいトランジスタとすることができる。また、酸化物層130b、及び酸化物層230bのキャリア濃度を低くすることにより導電率が低くなり、トランジスタ100、及びトランジスタ200をノーマリーオフのトランジスタとすることができる。

[0161]

なお、半導体層130、及び半導体層230は、前述の構成に限られず、酸化物層130a、及び酸化物層230aには、酸化物層130b、及び酸化物層230bより導電率の低い材料を用いてもよい。また、酸化物層130a、及び酸化物層230aのキャリア濃度は、酸化物層130b、及び酸化物層230bのキャリア濃度より低くてもよい。

[0162]

また、酸化物層130a、及び酸化物層230aに用いる第1の金属酸化物のバンドギャップは、酸化物層130b、及び酸化物層230bに用いる第2の金属酸化物のバンドギャップと異なることが好ましい。例えば、第1の金属酸化物のバンドギャップと第2の金属酸化物のバンドギャップの差は、0.1eV以上が好ましく、0.2eV以上がより好ましく、0.3eV以上がさらに好ましい。

[0163]

酸化物層130a、及び酸化物層230aに用いる第1の金属酸化物のバンドギャップは、酸化物層130b、及び酸化物層230bに用いる第2の金属酸化物のバンドギャップより小さいことが好ましい。これにより、半導体層130と導電層120とのコンタクト抵抗、半導体層130と導電層140とのコンタクト抵抗、半導体層230と導電層220とのコンタクト抵抗、及び半導体層230と導電層240とのコンタクト抵抗を低くできる。よって、トランジスタ100、及びトランジスタ200を、オン電流が大きいトランジスタとすることができる。また、トランジスタ100、及びトランジスタ200がnチャネル型のトランジスタである場合はしきい値電圧を高くでき、ノーマリーオフのトランジスタとすることができる。また、第2の金属酸化物のバンドギャップが大きいことで、酸化物層130b、及び酸化物層230b中、酸化物層130bと絶縁層150との界面、及び酸化物層230bと絶縁層250との界面に、キャリアが生成及び誘起されることを抑制できる。これにより、トランジスタの信頼性を高めることができる。

[0164]

例えば、第1の金属酸化物の元素Mの含有率は、第2の金属酸化物の元素Mの含有率より低いことが好ましい。より具体的には、例えば、酸化物層130a、及び酸化物層230aとして、 $I_n:M:Z_n=1:1:1$ [原子数比] 若しくはその近傍の組成である金属酸化物を用い、酸化物層130b、及び酸化物層230bとして、 $I_n:M:Z_n=1:3:2$ [原子数比] 若しくはその近傍の組成である金属酸化物を用いることが好ましい。このとき、元素Mとして、ガリウム、アルミニウム、及び

スズの一又は複数を用いることが特に好ましい。

[0165]

なお、半導体層130、及び半導体層230は、前述の構成に限られず、第1の金属酸化物のバンドギャップが、第2の金属酸化物のバンドギャップより大きくてもよい。

[0166]

また、第1の金属酸化物の元素Mの含有率は、第2の金属酸化物の元素Mの含有率より低いことが好ましい。第1の金属酸化物は、元素Mを微量に含む構成、又は元素Mを含まない構成としてもよい。例えば、酸化物層130a、及び酸化物層230aに用いる第1の金属酸化物をIn-Zn酸化物とし、酸化物層130b、及び酸化物層230bに用いる第2の金属酸化物をIn-M-Zn酸化物とすることが好ましい。具体的には、第1の金属酸化物をIn-Zn酸化物とし、第2の金属酸化物をIn-Ga-Zn酸化物とすることができる。

[0167]

例えば、酸化物層130a、及び酸化物層230aとして、In:Zn=1:1 [原子数比] 若しくはその近傍の組成である金属酸化物、In:Zn=2:1 [原子数比] 若しくはその近傍の組成である金属酸化物、In:Sn:Zn=2:0.1:1 [原子数比] 若しくはその近傍の組成である金属酸化物、In:Zn=4:1 [原子数比] 若しくはその近傍の組成である金属酸化物、In:Sn:Zn=4:0.1:1 [原子数比] 若しくはその近傍の組成である金属酸化物、又はインジウム酸化物を用いることが好ましい。また、酸化物層130b、及び酸化物層230bとして、In:Ga:Zn=1:1:1 [原子数比] 若しくはその近傍の組成である金属酸化物、In:Ga:Zn=1:3:2 [原子数比] 若しくはその近傍の組成である金属酸化物、又はIn:Ga:Zn=1:3:4 [原子数比] 若しくはその近傍の組成である金属酸化物を用いることが好ましい。これにより、トランジスタ200のオン電流を大きくし、かつ、ばらつきが少なく信頼性の高いトランジスタ構造とすることができる。

[0168]

例えば、導電層120又は導電層140（積層構造の場合は、半導体層130のチャネル形成領域に最も近い層）に金属酸化物を用いる場合、半導体層130（又は酸化物層130a）に、In-Zn酸化物、又はIn-Sn-Zn酸化物を用いると、半導体層130（又は酸化物層130a）にIn-Ga-Zn酸化物を用いる場合に比べて、コンタクト抵抗を低減できるため、好ましい。具体的には、図2Aにおける導電層120bと導電層140aに、インジウムスズ酸化物（ITOともいう）又はシリコンを添加したインジウムスズ酸化物（ITSOともいう）を用い、酸化物層130aにIn-Zn酸化物、又はIn-Sn-Zn酸化物を用い、酸化物層130bにIn-Ga-Zn酸化物を用いることが好ましい。

[0169]

同様に、導電層220又は導電層240（積層構造の場合は、半導体層230のチャネル形成領域に最も近い層）に金属酸化物を用いる場合、半導体層230（又は酸化物層230a）に、In-Zn酸化物、又はIn-Sn-Zn酸化物を用いると、半導体層230（又は酸化物層230a）にIn-Ga-Zn酸化物を用いる場合に比べて、コンタクト抵抗を低減できるため、好ましい。具体的には、図2Aにおける導電層220bと導電層240aにITO又ITSOを用い、酸化物層230aにIn-Zn酸化物、又はIn-Sn-Zn酸化物を用い、酸化物層230bにIn-Ga-Zn酸化物を用いることが好ましい。

[0170]

なお、半導体層130、及び半導体層230は、前述の構成に限られず、第1の金属酸化物の元素Mの含有率は、第2の金属酸化物の元素Mの含有率より高くてもよい。

[0171]

半導体層130、及び半導体層230に用いる半導体材料の結晶性は特に限定されず、それぞれ、非晶質（アモルファス）半導体（非晶質構造を有する半導体）、単結晶半導体（単結晶構造を有する半導体）、又は単結晶以外の結晶性を有する半導体（微結晶半導体、多結晶半導体、又は一部に結晶領域を有する半導体）のいずれを用いてもよい。単結晶半導体又は結晶性を有する半導体を用いると、トランジスタ特性の劣化を抑制できるため好ましい。

[0172]

半導体層130、及び半導体層230は、それぞれ、結晶性を有する金属酸化物層を有することが好ましい。結晶性を有する金属酸化物の構造としては、例えば、CAAC（c-axis aligned crystal）構造、多結晶（Polycrystal）構造、及び、微結晶（nanocrystal）構造が挙げられる。結晶性を有する金属酸化物層を半導体層130、及び半導体層230に用いることにより、半導体層130、及び半導体層230中の欠陥準位密度を低減でき、信頼性の高い半導体装置を実現できる。なお、CAAC構造とは、複数の微結晶（代表的には、複数のIGZOの微結晶）がc軸配向を有し、かつa-b面においては、上記複数の微結晶が配向せずに連結した結晶構造である。また、高分解能TEM像を用いて、CAAC構造を有するOS膜の断面を観察すると、結晶部において、金属原子が層状に配列していることを確認できる。よって、CAAC構造を有するOS膜は、層状の結晶部を有する構造ともいえる。

[0173]

多結晶構造は、結晶粒界（グレインバウンダリー）を有する。また、多結晶構造の酸化物半導体層を形成したのち熱処理を行うと、結晶部と、結晶部との、間に微小な隙間（ナノクラック、又はマイクロクラックともいう）又は微小な空間（ナノスペース、又はマイクロスペースともいう）が形成される。酸化物半導体層内に微小な隙間又は微小な空間が形成されると、酸化物半導体層の電気抵抗が高くなる。これは、微小な隙間又は微小な空間の電気抵抗が非常に高く、例えば無限大であることに起因する。微小な隙間又は微小な空間を有する酸化物半導体層を、トランジスタのチャンネル形成領域に用いる場合、酸化物半導体層と、ソース電極及びドレイン電極の一方又は双方と、の接触抵抗が高くなる。そのため、トランジスタの初期特性又は信頼性に悪影響を与えてしまう。CAAC構造は、多結晶構造よりもa-b面において結晶粒界が少ないため信頼性の高い半導体装置を実現できる。

[0174]

半導体層130、及び半導体層230に用いる金属酸化物層の結晶性が高いほど、半導体層130、及び半導体層230中の欠陥準位密度を低減できる。一方、結晶性の低い金属酸化物層を用いることで、大きな電流を流すことができるトランジスタを実現することができる。

[0175]

金属酸化物層の形成時の基板温度（ステージ温度）が高いほど、結晶性の高い金属酸化物層を形成することができる。また、形成時に用いる成膜ガス全体に対する酸素ガスの流量の割合（以下、酸素流量比ともいう）が高いほど、結晶性の高い金属酸化物層を形成することができる。

[0176]

半導体層130、及び半導体層230の結晶性は、例えば、X線回折（XRD：X-Ray Diffraction）を用いて測定される。

fraction)、透過型電子顕微鏡(TEM: Transmission Electron Microscope)、又は電子線回折(ED: Electron Diffraction)により解析できる。又は、これらの手法を複数組み合わせることで分析を行ってもよい。

[0177]

半導体層130、及び半導体層230は、それぞれ、結晶性が異なる2以上の金属酸化物層の積層構造とすることができる。このとき、2以上の金属酸化物層は、互いに異なる組成であってもよく、同じ又は概略同じ組成であってもよい。例えば、第1の金属酸化物層と、当該第1の金属酸化物層上に設けられる第2の金属酸化物層と、の積層構造とし、第2の金属酸化物層は、第1の金属酸化物層より結晶性が高い領域を有する構成とすることができる。又は、第2の金属酸化物層は、第1の金属酸化物層より結晶性が低い領域を有する構成とすることができる。なお、第2の金属酸化物層が第1の金属酸化物層よりも結晶性が低い領域を有する場合、第2の金属酸化物層を形成したのち、熱処理(結晶化処理ともいう)を行い、第2の金属酸化物層の結晶性を高めることができる。

[0178]

例えば、酸化物層130aとして、 $In:M:Zn=1:3:2$ [原子数比] 又はその近傍の組成である金属酸化物、又は $In:M:Zn=1:3:4$ [原子数比] 又はその近傍の組成である金属酸化物を用い、酸化物層130bとして、 $In:M:Zn=1:1:1$ [原子数比] 又はその近傍の組成である金属酸化物を用いることが好ましい。酸化物層130aに、 In に対する Zn の割合が大きい金属酸化物を用いると、酸化物層130aの結晶性を高めることができる。さらに、結晶性の高い酸化物層130a上に酸化物層130bを形成することで、酸化物層130bの結晶性を高めることも容易となる。なお、酸化物層230a及び酸化物層230bについても同様のことがいえる。これにより、半導体層130全体、及び半導体層230全体の結晶性を高めることができ、好ましい。このとき、元素Mとして、ガリウム、アルミニウム、又はスズを用いることが特に好ましい。例えば、互いに異なる組成を有する、IGZOを2層積層してもよい。また、例えば、インジウム酸化物、インジウムガリウム酸化物、及びIGZOの中から選ばれるいずれか一と、IAZO、IAGZO、及びITZO(登録商標)の中から選ばれるいずれか一と、の積層構造を用いてもよい。

[0179]

また、半導体層130、及び半導体層230は、それぞれ、3層以上の積層構造であってもよい。半導体層130は、例えば、酸化物層と、当該酸化物層上の酸化物層130aと、酸化物層130a上の酸化物層130bと、を有する3層構造とすることができる。以下では、半導体層130が3層構造である場合を例に挙げて説明するが、半導体層230にも同様の構成を適用することができる。

[0180]

酸化物層130a及び酸化物層130bには、前述の構成を適用できる。酸化物層130aの下に位置する酸化物層には、酸化物層130bに適用可能な構成と同様の構成を用いることができる。以下では、酸化物層130aを挟む一対の酸化物層としてまとめて説明する。

[0181]

例えば、酸化物層130aとして、 $In:Zn=1:1$ [原子数比] もしくはその近傍の組成である金属酸化物、 $In:Zn=2:1$ [原子数比] もしくはその近傍の組成である金属酸化物、 $In:Sn:Zn=2:0.1:1$ [原子数比] もしくはその近傍の組成である金属酸化物、 $In:Zn=4:1$ [原子数比] もしくはその近傍の組成である金属酸化物、 $In:Sn:Zn=4:0.1:1$ [原子数比] もしくはその近傍の組成である金属酸化物、又はインジウム酸化物を用いることが好ましい。

また、酸化物層 130a を挟む一対の酸化物層には、それぞれ、 $In : Ga : Zn = 1 : 1 : 1$ [原子数比] もしくはその近傍の組成である金属酸化物、 $In : Ga : Zn = 1 : 3 : 2$ [原子数比] もしくはその近傍の組成である金属酸化物、又は $In : Ga : Zn = 1 : 3 : 4$ [原子数比] もしくはその近傍の組成である金属酸化物を用いることが好ましい。

[0182]

酸化物層 130a を挟む一対の酸化物層は、それぞれ、酸化物層 130a よりもバンドギャップが大きいことが好ましい。これにより、酸化物層 130a が、バンドギャップが大きい当該一対の酸化物層に挟持され、酸化物層 130a が主に電流経路（チャネル）として機能することとなる。酸化物層 130a が当該一対の酸化物層により挟持されることで、酸化物層 130a の界面及びその近傍のトラップ準位を少なくすることができる。これにより、チャネルが絶縁層界面から遠ざけられた埋め込みチャネル型のトランジスタを実現でき、電界効果移動度を高くすることができる。また、バックチャネル側に形成されうる界面準位の影響が低減され、トランジスタの光劣化（例えば、光負バイアス劣化）を抑制でき、トランジスタの信頼性を高めることができる。

[0183]

半導体層 130、及び半導体層 230 の厚さは、それぞれ、3 nm 以上 200 nm 以下が好ましく、3 nm 以上 100 nm 以下が好ましく、さらには 5 nm 以上 100 nm 以下が好ましく、さらには 10 nm 以上 100 nm 以下が好ましく、さらには 10 nm 以上 70 nm 以下が好ましく、さらには 15 nm 以上 70 nm 以下が好ましく、さらには 15 nm 以上 50 nm 以下が好ましく、さらには 20 nm 以上 50 nm 以下が好ましい。また、より微細な半導体装置に用いるトランジスタにおいては、半導体層 130、及び半導体層 230 の膜厚は、それぞれ、1 nm 以上、3 nm 以上、又は 5 nm 以上であって、20 nm 以下、15 nm 以下、12 nm 以下、又は 10 nm 以下であることが好ましい。

[0184]

また、酸化物半導体層の成膜時において、スパッタリング法と、ALD法と、の2種の成膜方法を用いることが好ましい。例えば、スパッタリング法を用いて、CAAC構造の第1の酸化物半導体層を形成したのち、ALD法を用いて、CAAC構造よりも結晶性の低い第2の酸化物半導体層を形成すると、第2の酸化物半導体層の原子層が、第1の酸化物半導体層のCAAC構造が有する原子レベルの結晶部の隙間を、埋める、又は修復することが期待される。また、ALD法を用いて第2の酸化物半導体層を形成したのち、熱処理（例えば、100℃以上500℃以下、好ましくは200℃以上450℃以下、さらに好ましくは、300℃以上400℃以下）を行うことが好ましい。当該熱処理により、第1の酸化物半導体層のCAAC構造が有する原子レベルの結晶部の隙間を、第2の酸化物半導体層（別言すると、ALD法を用いて形成した各結晶分子）により修復することが期待される。また、上述の2種の成膜方法を用いて形成された酸化物半導体層を、Hybrid OSと呼称してもよい。

[0185]

ここで、酸化物半導体層の結晶性を高める熱処理の概念について、図3A、図3B、図3C、及び図3Dを用いて説明を行う。なお、図3A、図3B、図3C、及び図3Dは、CAAC構造を有する酸化物半導体層の断面を説明する概念図である。またそれぞれの図中には、c軸（c-axis）を矢印で示す。

[0186]

図3Aに示す酸化物半導体層370aは、領域372aと、領域372aの間に位置する領域372

bと、を有する。領域372aはCAAC構造（すなわち層状の結晶部を有する構造）の領域に相当し、領域372bは、CAAC構造の間の領域に相当する。CAAC構造は、多結晶構造よりもa-b面において結晶粒界が少ない。このように、CAAC構造を有する酸化半導体層370aにおいても、結晶部と、結晶部との間に微小な隙間又は微小な空間（図3Aにおける、領域372b）が存在しうる場合がある。

[0187]

そこで、酸化半導体層の結晶性を高めるために、別言すると、図3Aに示す領域372bを低減させるために、第1の酸化半導体層として、CAAC構造を有する酸化半導体層をスパッタリング法にて形成したのち、第2の酸化半導体層として、CAAC構造よりも結晶性の低い、微結晶構造又は非晶質構造の酸化半導体層をALD法により形成する。

[0188]

より具体的には、図3Bに示すように、第1の酸化半導体層として、領域372aを有する酸化半導体層をスパッタリング法により形成したのち、第2の酸化半導体層として、CAAC構造よりも結晶性の低い領域372cを有する酸化半導体層をALD法により形成する。なお、図3Bにおいては、酸化半導体層370bは、領域372aと、領域372cと、を有する。ALD法は一層ずつ原子を堆積することができるため、領域372bを埋めるように第2の酸化半導体層を形成することができる。

[0189]

その後、熱処理を行うことで第1の酸化半導体層が有する領域372aを種とし、第2の酸化半導体層が有する領域372cの結晶性を高める。別言すると、第1の酸化半導体層が有する領域372aを種とし、第2の酸化半導体層が有する領域372cを結晶成長させることができる。あるいは、CAAC構造を有する第1の酸化半導体層の領域372aを核とし、非晶質（アモルファス）構造を有する第2の酸化半導体層が有する領域372cを結晶成長させることができる。この結晶成長のモデルについては、ヘテロエピタキシーと同等の概念として捉えることができる。なお、図3Cにおいて、酸化半導体層370cは、領域372aと、領域372cと、を有する。図3Cに示す領域372aは、図3Bに示す領域372aよりも結晶性が高い、又は結晶部の密度が高い領域である。熱処理を行うことで、領域372a及び領域372cのいずれか一方又は双方の結晶性を高めることができる。また、領域372cは例えば、領域372aが有する結晶部と同じ結晶構造である結晶部を有する。あるいは領域372cは例えば、領域372aが有する結晶部と連結する結晶部を有する。

[0190]

また、図3Dにおいて、酸化半導体層370dは、領域372aを有する。領域372aは、図3B、及び図3Cに示す領域372aよりも、さらに結晶性が向上し、領域372aと領域372cとの境界がなくなる、又は領域372aと領域372cとの境界が確認されなくなった領域である。そのため、酸化半導体層370dの全体がCAAC構造を有する。図3Dに示すように、酸化半導体層370dの全体がCAAC構造を有することで、信頼性の高い半導体装置を実現することができる。領域372aと領域372cとの境界の有無の確認は、例えば、断面TEM、又は断面STEM等を用いて行うことができる。

[0191]

なお、第1の酸化半導体層に微小な隙間又は微小な空間を有していた場合においても、第1の酸化

物半導体層上に第2の酸化物半導体層を成膜する、あるいは第2の酸化物半導体層を成膜し、且つ熱処理を行うことで、第1の酸化物半導体層の微小な隙間又は微小な空間を埋めることができる。このように第1の酸化物半導体層にCAAC構造の酸化物半導体層を用い、第2の酸化物半導体層に微結晶構造又は非晶質構造の酸化物半導体層を用いることで、結晶性の密度が高められた緻密な酸化物半導体層とすることができる。当該結晶性の密度が高められた緻密な酸化物半導体層を、トランジスタのチャンネル形成領域に用いると、酸化物半導体層の電気抵抗の増加抑制、又はトランジスタの初期特性（特にオン電流）が向上し、高速駆動に適したトランジスタとすることが期待できる。

[0192]

なお、スパッタリング法と、ALD法と、の双方を用いて酸化物半導体層を形成する場合、ALD法にて形成する酸化物半導体層の膜厚が薄いと、スパッタリング法を用いて形成した酸化物半導体層と、ALD法を用いて形成した酸化物半導体層と、の積層構造ではなく、単層構造の酸化物半導体層とみなすことができる。例えば、ALD法にて形成する酸化物半導体層の厚さが、0nmを超えて3nm以下、好ましくは0nmを超えて2nm以下、さらに好ましくは0nmを超えて1nm以下であるとき、スパッタリング法と、ALD法と、の2種の成膜方法を用いて形成した酸化物半導体層を、単層構造とみなすことができる。このような場合、例えば、断面TEM像、及び断面STEM像等において、スパッタリング法を用いて形成した酸化物半導体層と、ALD法を用いて形成した酸化物半導体層と、の境界が観察されない。一方で、ALD法にて形成する酸化物半導体層の厚さが3nmを超える場合、スパッタリング法を用いて形成した酸化物半導体層と、ALD法を用いて形成した酸化物半導体層との、積層構造、多層構造、又は多重構造とみなせることがある。

[0193]

また、スパッタリング法と、ALD法と、の双方を用いて酸化物半導体層を形成する場合、それぞれ異なる組成とすることが好ましい。代表的には、スパッタリング法を用いて、 $In:Ga:Zn=1:1:1$ [原子数比] もしくはその近傍の組成である金属酸化物を成膜し、次いでALD法を用いて、 $In:Ga:Zn=4:0.1:1$ [原子数比] もしくはその近傍の組成である金属酸化物を成膜することができる。上述の組成の酸化物半導体層とすることで、 $In:Ga:Zn=1:1:1$ [原子数比] の金属酸化物層により高い信頼性を有し、 $In:Ga:Zn=4:0.1:1$ [原子数比] もしくはその近傍の組成である金属酸化物により、高いオン電流又は高い電界効果移動度を有する構造とすることができる。なお、 $In:Ga:Zn=4:0.1:1$ [原子数比] もしくはその近傍の組成である金属酸化物の代わりに、 $In:Ga:Zn=1:0:0$ [原子数比]、すなわち酸化インジウム、又はInの割合が多い金属酸化物を用いることができる。

[0194]

上述の2種の成膜方法を用いて形成された酸化物半導体層は、CAAC構造が有する結晶部の隙間がALD法により形成された原子層で埋められた構造として捉えることができる。なお、当該構造は、断面SEM、断面STEM、断面TEM、SIMS、EDX等の分析手法により解析することができる。

[0195]

また、上述の2種の成膜方法を用いて形成されたCAAC構造を有する酸化物半導体層は、1種の成膜方法を用いて形成されたCAAC構造の酸化物半導体層と比較して、膜の比誘電率、膜密度、及び膜の硬度のいずれか一又は複数が高くなる場合がある。このように、2種の成膜方法を用いて形成されたCAAC構造を有する酸化物半導体層を、トランジスタのチャンネル形成領域に用いることで、優

れた特性を有するトランジスタ（例えば、オン電流が大きいトランジスタ、電界効果移動度が高いトランジスタ、S値が小さいトランジスタ、周波数特性（f 特とも呼称する）が高いトランジスタ、信頼性の高いトランジスタ等）を実現することができる。

[0196]

酸化物半導体に含まれる水素が金属原子と結合する酸素と反応して水になり、酸化物半導体中に酸素欠損 (V_O) が形成される場合がある。さらに、酸素欠損に水素が入った欠陥（以下、 V_OH と記す）はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマリーオン（つまり、しきい値電圧がマイナスの値）となりやすい。また、酸化物半導体中の水素は、熱、又は電界等のストレスによって動きやすいため、酸化物半導体に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。

[0197]

半導体層130、及び半導体層230中の V_OH をできる限り低減し、半導体層130、及び半導体層230を高純度真性又は実質的に高純度真性にするのが好ましい。このように、 V_OH が十分低減された酸化物半導体を得るには、酸化物半導体中の水、及び水素等の不純物を除去すること（脱水、脱水素化処理と記載する場合がある。）と、酸化物半導体に酸素を供給して酸素欠損を修復することが重要である。 V_OH 等の不純物が十分に低減された酸化物半導体をトランジスタのチャンネル形成領域に用いることで、安定した電気特性を付与することができる。なお、酸化物半導体に酸素を供給して酸素欠損を修復することを、加酸素化処理と記す場合がある。

[0198]

チャンネル形成領域として機能する領域の酸化物半導体のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャンネル形成領域として機能する領域の酸化物半導体のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

[0199]

ここで、金属酸化物（酸化物半導体）中における各不純物の影響について説明する。

[0200]

酸化物半導体において、第14族元素の一つであるシリコン又は炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、SIMSにより得られる酸化物半導体のチャンネル形成領域における炭素の濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $3 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $3 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。また、SIMSにより得られる酸化物半導体のチャンネル形成領域におけるシリコンの濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $3 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $3 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。

[0201]

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオンとなりやすい。又は、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、SIMSにより得られる酸化物半導体のチャネル形成領域における窒素濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0202]

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオンとなりやすい。このため、酸化物半導体のチャネル形成領域における水素はできる限り低減されていることが好ましい。具体的には、SIMSにより得られる酸化物半導体のチャネル形成領域における水素濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。

[0203]

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオンとなりやすい。このため、SIMSにより得られる酸化物半導体のチャネル形成領域中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0204]

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0205]

なお、本実施の形態の半導体装置には、チャネル形成領域に他の半導体材料を用いたトランジスタを適用してもよい。当該他の半導体材料としては、例えば、単体元素よりなる半導体、又は化合物半導体が挙げられる。単体元素よりなる半導体として、例えば、シリコン、及びゲルマニウムが挙げられる。化合物半導体として、例えば、ヒ化ガリウム、及びシリコンゲルマニウムが挙げられる。その他、化合物半導体として、例えば、有機半導体、及び、窒化物半導体が挙げられる。なお、前述の酸化物半導体も、化合物半導体の一種である。なお、これらの半導体材料に、ドーパントとして不純物が含まれてもよい。

[0206]

トランジスタの半導体材料に用いることができるシリコンとして、単結晶シリコン、多結晶シリコン、微結晶シリコン、及び非晶質シリコンが挙げられる。多結晶シリコンとして、例えば、低温ポリシリコン (LTPS: Low Temperature Poly Silicon) が挙げられる。

[0207]

トランジスタの半導体層は、半導体として機能する層状物質を有してもよい。層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合又はイオン結合によって形成される層が、ファンデルワールス結合のような、共有結合又はイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、2次元電気伝導性が高い。半導体として機能し、かつ、2次元電気伝導性の高い材料をチャネル形成領域に用いることで、オン電流の大きいトランジスタを提供することができる。

[0208]

上記層状物質として、例えば、グラフェン、シリセン、及びカルコゲン化物等が挙げられる。カルコゲン化物は、カルコゲン（第16族に属する元素）を含む化合物である。また、カルコゲン化物として、遷移金属カルコゲナイド、及び13族カルコゲナイド等が挙げられる。トランジスタの半導体層として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン（代表的には MoS_2 ）、セレン化モリブデン（代表的には MoSe_2 ）、モリブデンテルル（代表的には MoTe_2 ）、硫化タングステン（代表的には WS_2 ）、セレン化タングステン（代表的には WSe_2 ）、タングステンテルル（代表的には WTe_2 ）、硫化ハフニウム（代表的には HfS_2 ）、セレン化ハフニウム（代表的には HfSe_2 ）、硫化ジルコニウム（代表的には ZrS_2 ）、及びセレン化ジルコニウム（代表的には ZrSe_2 ）等が挙げられる。

[0209]

[絶縁層]

半導体装置が有する絶縁層（絶縁層110、絶縁層150、絶縁層180、絶縁層250、絶縁層280、絶縁層283、及び絶縁層285等）には、それぞれ、無機絶縁膜を用いることが好ましい。無機絶縁膜としては、例えば、酸化絶縁膜、窒化絶縁膜、酸化窒化絶縁膜、及び窒化酸化絶縁膜が挙げられる。酸化絶縁膜としては、例えば、酸化シリコン膜、酸化アルミニウム膜、酸化マグネシウム膜、酸化ガリウム膜、酸化ゲルマニウム膜、酸化イットリウム膜、酸化ジルコニウム膜、酸化ランタン膜、酸化ネオジム膜、酸化ハフニウム膜、酸化タンタル膜、酸化セリウム膜、ガリウム亜鉛酸化物膜、及び、ハフニウムアルミネート膜が挙げられる。窒化絶縁膜としては、例えば、窒化シリコン膜、及び窒化アルミニウム膜が挙げられる。酸化窒化絶縁膜としては、例えば、酸化窒化シリコン膜、酸化窒化アルミニウム膜、酸化窒化ガリウム膜、酸化窒化イットリウム膜、及び、酸化窒化ハフニウム膜が挙げられる。窒化酸化絶縁膜としては、例えば、窒化酸化シリコン膜、及び窒化酸化アルミニウム膜が挙げられる。また、半導体装置が有する絶縁層には、有機絶縁膜を用いてもよい。

[0210]

例えば、トランジスタの微細化、及び高集積化が進むと、ゲート絶縁層の薄膜化により、リーク電流等の問題が生じる場合がある。ゲート絶縁層に、 $high-k$ 材料を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。また、ゲート絶縁層の等価酸化膜厚（ EOT ）の薄膜化が可能となる。一方、層間膜として機能する絶縁層には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減できる。したがって、絶縁層の機能に応じて、材料を選択するとよい。なお、比誘電率が低い材料は、絶縁耐力が大きい材料でもある。

[0211]

比誘電率が高い（ $high-k$ ）材料としては、例えば、酸化アルミニウム、酸化ガリウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、ハフニウムジルコニウム酸化物、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウ

ムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、並びに、シリコン及びハフニウムを有する窒化物等が挙げられる。

[0212]

比誘電率が低い材料としては、例えば、酸化シリコン、酸化窒化シリコン、及び窒化酸化シリコン等の無機絶縁材料、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミド等）、ポリイミド、ポリカーボネート、及びアクリル樹脂等の樹脂が挙げられる。また、比誘電率が低い他の無機絶縁材料として、例えば、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、並びに、炭素及び窒素を添加した酸化シリコン等が挙げられる。また、例えば、空孔を有する酸化シリコンが挙げられる。なお、これらの酸化シリコンは、窒素を含んでもよい。

[0213]

また、半導体装置が有する絶縁層に、強誘電性を有しうる材料を用いてもよい。強誘電性を有しうる材料としては、酸化ハフニウム、酸化ジルコニウム、及び $HfZrO_x$ （ X は0よりも大きい実数とする）等の金属酸化物が挙げられる。また、強誘電性を有しうる材料としては、酸化ハフニウムに元素 J_1 （ここでの元素 J_1 は、ジルコニウム、シリコン、アルミニウム、ガドリニウム、イットリウム、ランタン、及びストロンチウム等から選ばれた一つ又は複数）を添加した材料が挙げられる。ここで、ハフニウムの原子数と元素 J_1 の原子数の比は適宜設定することができ、例えば、ハフニウムの原子数と元素 J_1 の原子数の比を1:1又はその近傍にすればよい。また、強誘電性を有しうる材料としては、酸化ジルコニウムに例えば元素 J_2 （ここでの元素 J_2 は、ハフニウム、シリコン、アルミニウム、ガドリニウム、イットリウム、ランタン、及びストロンチウム等から選ばれた一つ又は複数）を添加した材料が挙げられる。また、ジルコニウムの原子数と元素 J_2 の原子数の比は適宜設定することができ、例えば、ジルコニウムの原子数と元素 J_2 の原子数の比を1:1又はその近傍にすればよい。また、強誘電性を有しうる材料として、チタン酸鉛（ $PbTiO_x$ ）、チタン酸バリウムストロンチウム（BST）、チタン酸ストロンチウム、チタン酸ジルコン酸鉛（PZT）、タンタル酸ビスマス酸ストロンチウム（SBT）、ビスマスフェライト（BFO）、又はチタン酸バリウム、等のペロブスカイト構造を有する圧電性セラミックスを用いてもよい。

[0214]

また、強誘電性を有しうる材料としては、元素 M_1 と、元素 M_2 と、窒素と、を有する金属窒化物が挙げられる。ここで、元素 M_1 は、アルミニウム、ガリウム、及びインジウム等から選ばれた一つ又は複数である。また、元素 M_2 は、ホウ素、スカンジウム、イットリウム、ランタン、セリウム、ネオジム、ユーロピウム、チタン、ジルコニウム、ハフニウム、バナジウム、ニオブ、タンタル、及びクロム等から選ばれた一つ又は複数である。なお、元素 M_1 の原子数と元素 M_2 の原子数の比は適宜設定することができる。また、元素 M_1 と、窒素と、を有する金属酸化物は、元素 M_2 を含まなくても、強誘電性を有する場合がある。また、強誘電性を有しうる材料としては、上記金属窒化物に元素 M_3 が添加された材料が挙げられる。なお、元素 M_3 は、マグネシウム、カルシウム、ストロンチウム、亜鉛、カドミウム等から選ばれた一つ又は複数である。ここで、元素 M_1 の原子数、元素 M_2 の原子数、及び元素 M_3 の原子数の比は適宜設定することができる。

[0215]

また、強誘電性を有しうる材料としては、 $SrTaO_2N$ 又は $BaTaO_2N$ 等のペロブスカイト型酸窒化物、及び κ アルミナ型構造の $GaFeO_3$ 等が挙げられる。

[0216]

なお、上記の説明においては、金属酸化物、及び金属窒化物について例示したがこれに限定されない。例えば、上述の金属酸化物に窒素が添加された金属酸化窒化物、又は上述の金属窒化物に酸素が添加された金属窒化酸化物等を用いてもよい。

[0217]

また、強誘電性を有しうる材料としては、例えば、上記に列挙した材料から選ばれた複数の材料からなる混合物又は化合物を用いることができる。又は、半導体装置が有する絶縁層を、上記に列挙した材料から選ばれた複数の材料からなる積層構造とすることができる。ところで、上記に列挙した材料は、成膜条件だけでなく、例えば各種プロセスによっても結晶構造（特性）が変わり得る可能性があるため、本明細書等では強誘電性を発現する材料のみを強誘電体と呼ぶだけでなく、強誘電性を有しうる材料とも呼んでいる。

[0218]

ハフニウム及びジルコニウム的一方又は両方を含む金属酸化物は、数nmといった薄膜に加工しても強誘電性を発現することができる。また、ハフニウム及びジルコニウム的一方又は両方を含む金属酸化物は、微小な面積でも強誘電性を発現することができる。したがって、ハフニウム及びジルコニウム的一方又は両方を含む金属酸化物を用いることで、半導体装置の微細化を図ることができる。

[0219]

なお、本明細書等において、強誘電性を有しうる材料を層状にしたものを指して、強誘電体層、金属酸化物膜、又は金属窒化物膜と呼ぶ場合がある。また、このような、強誘電体層、金属酸化物膜、又は金属窒化物膜を有する装置を、本明細書等において、強誘電体デバイスと呼ぶ場合がある。

[0220]

なお、強誘電性は、外部電場により強誘電体層に含まれる結晶の酸素又は窒素が変位することで、発現するとされている。また、強誘電性の発現は、強誘電体層に含まれる結晶の結晶構造に依存すると推定される。よって、絶縁層が強誘電性を発現するには、当該絶縁層は結晶を含む必要がある。特に絶縁層は、直方晶系の結晶構造を有する結晶を含むと、強誘電性が発現するため好ましい。なお、絶縁層に含まれる結晶の結晶構造としては、立方晶系、正方晶系、直方晶系、単斜晶系、及び六方晶系の中から選ばれるいずれか一又は複数であってもよい。また、絶縁層は、アモルファス構造を有していてもよい。このとき、絶縁層は、アモルファス構造と、結晶構造とを有する複合構造としてもよい。

[0221]

また、ハフニウム及びジルコニウム的一方又は双方を有する酸化物に、元素周期表における第3族元素（IIIa元素ともいう）を添加することで、当該酸化物中の酸素欠損濃度が高まり、直方晶系の結晶構造を有する結晶が形成されやすくなる。これにより、直方晶系の結晶構造を有する結晶の存在割合が高くなり、残留分極量を大きくすることができるため、好ましい。一方で、第3族元素の添加量が多すぎると、当該酸化物の結晶性が低下し、強誘電性が発現しにくくなる恐れがある。したがって、ハフニウム及びジルコニウム的一方又は双方を有する酸化物における第3族元素の含有率は、0.1 atomic %以上10 atomic %以下が好ましく、0.1 atomic %以上5 atomic %以下がより好ましく、0.1 atomic %以上3 atomic %以下がさらに好ましい。ここで、第3族元素の含有率とは、層に含有される全ての金属元素の原子数の和における、第3族元素の原子数の割合を指す。第3族元素としては、スカンジウム、ランタン、及びイットリウムから選ばれる一又は複数であることが好ましく、ランタン及びイットリウム的一方又は両方であることがより好ましい。

[0222]

また、金属酸化物を用いたトランジスタは、不純物及び酸素の透過を抑制する機能を有する絶縁層で囲むことによって、トランジスタの電気特性を安定にすることができる。不純物及び酸素の透過を抑制する機能を有する絶縁層としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、及び、タンタルから選ばれた一以上を含む絶縁層を、単層で、又は積層で用いることができる。具体的には、不純物及び酸素の透過を抑制する機能を有する絶縁層の材料として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタル等の金属酸化物、窒化アルミニウム、窒化酸化シリコン、窒化シリコン等の金属窒化物を用いることができる。

[0223]

具体的には、水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁層としては、例えば、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、及び酸化タンタルといった金属酸化物が挙げられる。また、水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁層としては、例えば、アルミニウム及びハフニウムを含む酸化物(ハフニウムアルミネート)が挙げられる。また、水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁層としては、例えば、窒化アルミニウム、窒化アルミニウムチタン、窒化チタン、窒化酸化シリコン、及び窒化シリコンといった金属窒化物が挙げられる。

[0224]

また、ゲート絶縁層等の、酸化物半導体層と接する絶縁層、又は酸化物半導体層の近傍に設ける絶縁層は、加熱により脱離する酸素(以下、過剰酸素と呼ぶことがある)を含む領域を有する絶縁層であることが好ましい。例えば、過剰酸素を含む領域を有する絶縁層が、酸化物半導体層と接する、又は酸化物半導体層の近傍に位置することで、酸化物半導体層が有する酸素欠損を低減することができる。過剰酸素を含む領域を形成しやすい絶縁層として、酸化シリコン、酸化窒化シリコン、又は空孔を有する酸化シリコン等が挙げられる。

[0225]

絶縁層110は層間膜として機能するため、比誘電率が低いことが好ましい。比誘電率が低い材料を層間膜に用いることで、配線間に生じる寄生容量を低減できる。酸化シリコン及び酸化窒化シリコンは、それぞれ、熱的に安定であるため、絶縁層110として好適である。

[0226]

また、絶縁層110中の水、及び水素等の不純物濃度は低減されていることが好ましい。これにより、例えば半導体層130のチャンネル形成領域への、水、及び水素等の不純物の混入を抑制できる。

[0227]

また、絶縁層110として、水素に対するバリア絶縁層を用いることが好ましい。半導体層130の外側に設けられる絶縁層110が水素に対するバリア性を有することで、例えば半導体層130への水素の拡散を抑制できる。

[0228]

水素に対するバリア絶縁層の材料としては、酸化アルミニウム、酸化マグネシウム、酸化ハフニウム、

酸化ガリウム、インジウムガリウム亜鉛酸化物、窒化シリコン、又は窒化酸化シリコン等が挙げられる。

[0229]

なお、本明細書等において、バリア絶縁層とは、バリア性を有する絶縁層のことを指す。また、バリア性とは、対応する物質が拡散し難い性質（対応する物質が透過し難い性質、対応する物質の透過性が低い性質、又は、対応する物質の拡散を抑制する機能ともいう）とする。なお、対応する物質として記載される場合の水素は、例えば、水素原子、水素分子、並びに、水分子及びOH⁻等の水素と結合した物質等の少なくとも一を指す。また、対応する物質として記載される場合の不純物は、特段の明示が無い限り、チャンネル形成領域又は半導体層における不純物を指し、例えば、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（N₂O、NO、NO₂等）、銅原子等の少なくとも一を指す。また、対応する物質として記載される場合の酸素は、例えば、酸素原子、及び酸素分子等の少なくとも一を指す。

[0230]

例えば、絶縁層110として、窒化シリコン膜を用いることが好ましい。

[0231]

絶縁層180、及び絶縁層280は、前述の、水素に対するバリア絶縁層を有することが好ましい。絶縁層180は、半導体層130を囲むように設けられている。絶縁層280は、半導体層230を囲むように設けられている。半導体層130の外側に設けられる絶縁層180が水素に対するバリア性を有することで、半導体層130中への水素の拡散を抑制できる。同様に、半導体層230の外側に設けられる絶縁層280が水素に対するバリア性を有することで、半導体層230中への水素の拡散を抑制できる。例えば、絶縁層180、及び絶縁層280は、酸化アルミニウム膜及び窒化シリコン膜のうち一方又は双方を有することが好ましい。

[0232]

なお、窒化シリコンは、酸素に対するバリア性も有する。したがって、絶縁層180に窒化シリコンを用いることで、半導体層130から酸素が引き抜かれることを抑制できる。これにより、半導体層130に過剰な量の酸素欠損が形成されることを抑制できる。同様に、絶縁層280に窒化シリコンを用いることで、半導体層230から酸素が引き抜かれることを抑制できる。これにより、半導体層230に過剰な量の酸素欠損が形成されることを抑制できる。

[0233]

また、絶縁層180に窒化シリコンを用いることで、過剰な酸素が半導体層130に供給されることを防ぐことができる。よって、半導体層130のチャンネル形成領域が酸素過剰になることを防ぐことができるため、トランジスタ100の信頼性向上を図ることができる。同様に、絶縁層280に窒化シリコンを用いることで、トランジスタ200の信頼性向上を図ることができる。

[0234]

また、絶縁層180、及び絶縁層280は、それぞれ前述した、酸化絶縁膜、酸化窒化絶縁膜、又は、過剰酸素を含む領域を有する絶縁層を有することが好ましい。

[0235]

例えば、過剰酸素を含む領域を有する絶縁層は、酸素を含む雰囲気中、スパッタリング法で成膜することで形成することができる。ここで、スパッタリング法は、成膜ガスに水素を含む分子を用いなくてもよい。よって、絶縁層180、及び絶縁層280の成膜にスパッタリング法を用いることで、そ

れぞれ絶縁層180中、及び絶縁層280中の水素濃度を低減できる。このように、絶縁層180を構成する少なくとも一部の層をスパッタリング法で成膜することで、絶縁層180から半導体層130のチャンネル形成領域に酸素を供給し、酸素欠損及びV_oHの低減を図ることができる。また、絶縁層280を構成する少なくとも一部の層をスパッタリング法で成膜することで、絶縁層280から半導体層230のチャンネル形成領域に酸素を供給し、酸素欠損及びV_oHの低減を図ることができる。

[0236]

また、絶縁層180中、及び絶縁層280中の水、水素等の不純物濃度は低減されていることが好ましい。これにより、半導体層130のチャンネル形成領域、及び半導体層230のチャンネル形成領域への、水、水素等の不純物の混入を抑制できる。

[0237]

なお、導電層120上の絶縁層180の膜厚が、トランジスタ100のチャンネル長に対応する。よって、トランジスタ100のチャンネル長の設計値に合わせて、絶縁層180の膜厚を適宜設定する。同様に、導電層220上の絶縁層280の膜厚が、トランジスタ200のチャンネル長に対応する。よって、トランジスタ200のチャンネル長の設計値に合わせて、絶縁層280の膜厚を適宜設定する。

[0238]

絶縁層180、及び絶縁層280として、例えば窒化シリコン膜、窒化酸化シリコン膜、又は酸化アルミニウム膜の単層構造を用いることが好ましい。又は、絶縁層180、及び絶縁層280として、例えば窒化シリコン膜、酸化シリコン膜、及び、窒化シリコン膜をこの順で積層した3層構造を用いることが好ましい。絶縁層180、及び絶縁層280として、例えば酸化アルミニウム膜、酸化シリコン膜、及び、酸化アルミニウム膜をこの順で積層した3層構造を用いることが好ましい。

[0239]

絶縁層150、及び絶縁層250は、水素を捕獲及び水素を固着する機能を有することが好ましい。これにより、半導体層130、及び半導体層230の水素濃度（特に、トランジスタのチャンネル形成領域中の水素濃度）を低減できる。よって、チャンネル形成領域中のV_oHを低減し、チャンネル形成領域をi型又は実質的にi型とすることができる。

[0240]

水素を捕獲する又は固着する機能を有する絶縁層の材料としては、ハフニウムを含む酸化物、マグネシウムを含む酸化物、アルミニウムを含む酸化物、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）等の金属酸化物が挙げられる。また、これらの金属酸化物は、さらにジルコニウムを含んでいてもよく、例えば、ハフニウム及びジルコニウムを含む酸化物等が挙げられる。ここで、アモルファス構造を有する金属酸化物では、一部の酸素原子がダングリングボンドを有するため、水素を捕獲する又は固着する能力が高い。したがって、これらの金属酸化物は、アモルファス構造を有することが好ましい。例えば、これらの酸化物にシリコンを含むことで、アモルファス構造を実現してもよい。例えば、ハフニウム及びシリコンを含む酸化物（ハフニウムシリケート）を用いることが好ましい。なお、金属酸化物は、一部に結晶領域、及び、結晶粒界の一方又は双方を有する場合がある。

[0241]

なお、対応する物質を捕獲する又は固着する機能は、対応する物質が拡散し難い性質を有するともいえる。よって、対応する物質を捕獲する又は固着する機能を、バリア性と言い換えることができる。

[0242]

ゲート絶縁層が積層構造である場合、半導体層130と接する層、及び半導体層230と接する層が、水素を捕獲及び水素を固着する機能を有することが好ましい。これにより、半導体層130に含まれる水素、及び半導体層230に含まれる水素を、より効果的に捕獲させる又は固着させることができる。よって、半導体層130中、及び半導体層230中の水素濃度を低減できる。絶縁層150の半導体層130と接する層、及び絶縁層250の半導体層230と接する層として、例えば、ハフニウムシリケート等を用いるとよい。また、当該層は、アモルファス構造を有することが好ましい。

[0243]

当該層をアモルファス構造にすることで、結晶粒界の形成を抑制することができる。結晶粒界の形成が抑制されることで、当該層の平坦性を高めることができる。これにより絶縁層150、及び絶縁層250の膜厚分布が均一化されて、膜厚が極端に薄い領域を小さくできる。よって、絶縁層150、及び絶縁層250の耐圧を向上させることができる。また、絶縁層150、及び絶縁層250上に設ける膜の膜厚分布を均一化することができる。

[0244]

また、当該層の結晶粒界の形成を抑制することで、結晶粒界の欠陥準位に起因するリーク電流を低減することができる。よって、絶縁層150、及び絶縁層250をリーク電流の少ない絶縁膜として機能させることができる。

[0245]

また、酸化ハフニウムは高誘電率 (high-k) 材料であるため、ハフニウムシリケートは、シリコンの含有量によっては、高誘電率 (high-k) 材料となる。したがって、酸化ハフニウム又はハフニウムシリケートをゲート絶縁層に用いる場合、ゲート絶縁層の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁層の等価酸化膜厚 (EOT) の薄膜化が可能となる。

[0246]

以上より、絶縁層150、及び絶縁層250として、アルミニウム及びハフニウムの一方又は双方を含む酸化物を用いることが好ましく、アモルファス構造を有し、アルミニウム及びハフニウムの一方又は双方を含む酸化物を用いることがより好ましく、アモルファス構造を有する酸化アルミニウムを用いることがさらに好ましい。

[0247]

また、絶縁層150、及び絶縁層250として、前述の、水素に対するバリア絶縁層を用いることが好ましい。絶縁層150に、水素に対するバリア絶縁層を用いることで、導電層220に含まれる不純物の、半導体層130への拡散を抑制できる。同様に、絶縁層250に、水素に対するバリア絶縁層を用いることで、導電層220に含まれる不純物の、半導体層230への拡散を抑制できる。例えば、窒化シリコンは水素に対するバリア性が高いため、絶縁層150、及び絶縁層250として好適である。

[0248]

このような構成にすることで、良好な電気特性を有する半導体装置を提供できる。また、信頼性が高い半導体装置を提供できる。また、トランジスタの電気特性のばらつきが少ない半導体装置を提供できる。また、オン電流が大きい半導体装置を提供できる。

[0249]

さらに、絶縁層150、及び絶縁層250は、酸化シリコン又は酸化窒化シリコン等の、熱に対し安定な構造の絶縁層を有していてもよい。

[0250]

また、絶縁層150、及び絶縁層250は、一对の、水素を捕獲及び水素を固着する機能を有する絶縁層の間に、熱に対し安定な構造の絶縁層を有していてもよい。

[0251]

また、絶縁層150、及び絶縁層250は、酸素に対するバリア絶縁層を有することが好ましい。これにより、導電層140、導電層220、導電層240、及び導電層260等の酸化を抑制できる。絶縁層150、及び絶縁層250が積層構造である場合、導電層140、又は導電層240と接する層が、酸素に対するバリア絶縁層であることが好ましい。特に、絶縁層150、及び絶縁層250を構成する層のうち、導電層140と接する層、導電層220と接する層、導電層240と接する層、及び、導電層260と接する層が、それぞれ、酸素に対するバリア絶縁層であることが好ましい。

[0252]

絶縁層150のうち、導電層220と接する層に、水素及び酸素に対するバリア絶縁層を用いることで、導電層220の酸化を抑制できる。また、半導体層130に含まれる酸素が導電層220に拡散し、半導体層130に酸素欠損が形成されることを抑制できる。同様に、絶縁層250のうち、導電層260と接する層に、水素及び酸素に対するバリア絶縁層を用いることで、導電層260の酸化を抑制できる。また、半導体層230に含まれる酸素が導電層260に拡散し、半導体層230に酸素欠損が形成されることを抑制できる。

[0253]

酸素に対するバリア絶縁層としては、例えば、アルミニウム及びハフニウム的一方又は双方を含む酸化物、酸化マグネシウム、酸化ガリウム、ガリウム亜鉛酸化物、インジウムガリウム亜鉛酸化物、窒化シリコン、及び窒化酸化シリコンが挙げられる。また、アルミニウム及びハフニウム的一方又は双方を含む酸化物として、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）、並びに、ハフニウム及びシリコンを含む酸化物（ハフニウムシリケート）が挙げられる。

[0254]

絶縁層150における導電層140と接する層は、少なくとも絶縁層180よりも酸素を透過しにくいことが好ましい。当該層が酸素に対するバリア性を有することで、導電層140の側面が酸化され、当該側面に酸化膜が形成されることを抑制できる。これにより、トランジスタ100のオン電流の低下、又は電界効果移動度の低下を起こすことを抑制できる。

[0255]

同様に、絶縁層250における導電層240と接する層は、少なくとも絶縁層280よりも酸素を透過しにくいことが好ましい。当該層が酸素に対するバリア性を有することで、導電層240の側面が酸化され、当該側面に酸化膜が形成されることを抑制できる。これにより、トランジスタ200のオン電流の低下、又は電界効果移動度の低下を起こすことを抑制できる。

[0256]

また、絶縁層150、及び絶縁層250を構成する各層は、それぞれ薄膜であることが好ましい。例えば、絶縁層150、及び絶縁層250は、それぞれ1nm以上20nm以下、好ましくは3nm以上10nm以下とすることで、トランジスタ特性の一つである、サブスレッショルドスイング値（S

値ともいう)を小さくできる。なお、S値とは、サブスレッショルド領域において、ドレイン電圧が一定で、ドレイン電流を1桁変化させる際の、ゲート電圧の変化量をいう。

[0257]

また、絶縁層150、及び絶縁層250を構成する各層の膜厚は、0.1nm以上10nm以下が好ましく、0.1nm以上5nm以下がより好ましく、0.5nm以上5nm以下がより好ましく、1nm以上5nm以下がより好ましく、1nm以上3nm以下がさらに好ましい。

[0258]

また、絶縁層150、及び絶縁層250として、それぞれ半導体層130側、及び半導体層230側から、比誘電率が低い材料を有する第1の絶縁層、水素を捕獲する又は固着する機能を有する第2の絶縁層、水素及び酸素に対するバリア性を有する第3の絶縁層の順で積層された3層構造を用いることが好ましい。第1の絶縁層が有する比誘電率が低い材料としては、酸化シリコン、又は酸化窒化シリコンを用いることが好ましい。第1の絶縁層は、半導体層130、又は半導体層230と接する層である。第1の絶縁層に酸化物を用いることで、半導体層130、及び半導体層230に酸素を供給することができる。また、第3の絶縁層を設けることで、第1の絶縁層に含まれる酸素が導電層220、及び導電層260に拡散することを抑制し、導電層220、及び導電層260の酸化を抑制できる。また、第1の絶縁層から半導体層130、及び半導体層230に供給される酸素量が減少することを抑制できる。

[0259]

絶縁層150、及び絶縁層250として、それぞれ半導体層130側、及び半導体層230側から、酸素に対するバリア性を有する第4の絶縁層、比誘電率が低い材料を有する第1の絶縁層、水素を捕獲する又は固着する機能を有する第2の絶縁層、水素及び酸素に対するバリア性を有する第3の絶縁層の順で積層された4層構造を用いることが好ましい。第1の絶縁層乃至第3の絶縁層については、前述の3層構造に用いる層と同様の構成を適用できる。第4の絶縁層は、半導体層130、又は半導体層230と接する層である。第4の絶縁層が、酸素に対するバリア性を有することで、半導体層130、及び半導体層230から酸素が脱離することを抑制できる。第4の絶縁層として、例えば、酸化アルミニウムを用いるとよい。酸化アルミニウムは、水素を捕獲する又は固着する機能を有するため、半導体層130、又は半導体層230と接する第4の絶縁層として好適である。

[0260]

代表的には、第4の絶縁層、第1の絶縁層、第2の絶縁層、及び、第3の絶縁層の膜厚をそれぞれ、1nm、2nm、2nm、及び1nmとする。このような構成にすることで、トランジスタを微細化又は高集積化しても良好な電気特性を有することができる。

[0261]

絶縁層283には、水素に対するバリア絶縁層を用いることが好ましい。これにより、絶縁層283の上方から例えば半導体層230に水素が拡散することを抑制できる。窒化シリコン膜、及び窒化酸化シリコン膜は、それぞれ、自身からの不純物(例えば、水及び水素)の放出が少なく、酸素及び水素が透過しにくい特徴を有するため、絶縁層283に好適に用いることができる。

[0262]

絶縁層283としてスパッタリング法で成膜された窒化シリコンを用いることが特に好ましい。スパッタリング法は、成膜ガスに水素を含む分子を用いなくてよいため、絶縁層283の水素濃度を低減できる。また、絶縁層283をスパッタリング法で成膜することで、密度が高い窒化シリコンを形

成することができる。

[0263]

また、絶縁層283として、水素を捕獲する又は固着する機能を有する絶縁層を用いてもよい。このような構成にすることで、絶縁層283の上方から例えば半導体層230に水素が拡散することを抑制し、さらに半導体層230に含まれる水素を、捕獲させる又は固着させることができる。したがって、例えば半導体層230の水素濃度を低減できる。絶縁層283としては、酸化アルミニウム、酸化ハフニウム、又はハフニウムシリケート等を用いることができる。

[0264]

また、絶縁層283として、水素を捕獲する又は固着する機能を有する絶縁層と、水素に対するバリア絶縁層との積層構造としてもよい。例えば、絶縁層283として、酸化アルミニウムと、当該酸化アルミニウム上の窒化シリコンの積層膜を用いてもよい。

[0265]

絶縁層285は、層間膜として機能するため、前述の、比誘電率が低い材料を用いることが好ましい。例えば、絶縁層285は、酸化シリコン膜を有することが好ましい。

[0266]

[導電層]

半導体装置が有する導電層（導電層120、導電層140、導電層220、導電層240、導電層260、及び導電層265等）には、それぞれ、アルミニウム、クロム、銅、銀、金、白金、亜鉛、タンタル、ニッケル、チタン、鉄、コバルト、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタン等から選ばれた金属元素、又は前述した金属元素を成分とする合金か、前述した金属元素を組み合わせた合金等を用いることが好ましい。前述した金属元素を成分とする合金として、当該合金の窒化物、又は当該合金の酸化物を用いてもよい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、又はランタンとニッケルを含む酸化物等を用いることが好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、又はニッケルシリサイド等のシリサイドを用いてもよい。

[0267]

また、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、ルテニウムを含む窒化物、タンタル及びアルミニウムを含む窒化物、又はチタン及びアルミニウムを含む窒化物等の窒素を含む導電性材料、酸化ルテニウム、ストロンチウム及びルテニウムを含む酸化物、又はランタン及びニッケルを含む酸化物等の酸素を含む導電性材料、チタン、タンタル、又はルテニウム等の金属元素を含む材料は、酸化しにくい導電性材料、酸素の拡散を抑制する機能を有する導電性材料、又は、酸素を吸収しても導電性を維持する材料であるため、好ましい。なお、酸素を含む導電性材料として、酸化タングステンを含むインジウム酸化物、酸化チタンを含むインジウム酸化物、インジウムスズ酸化物、酸化チタンを含むインジウムスズ酸化物、シリコンを添加したインジウムスズ酸化物、インジウム亜鉛酸化物（IZO（登録商標）ともいう）、及び、酸化タングステンを含むインジウム亜鉛酸化物等が挙げられる。本明細書等では、酸素を含む導電性材料を用いて成膜される導電膜を、酸化物導電膜と呼ぶことがある。

[0268]

タングステン、銅、又はアルミニウムを主成分とする導電性材料は、導電性が高いため、好ましい。

[0269]

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

[0270]

なお、トランジスタのチャネル形成領域に金属酸化物を用いる場合において、ゲート電極として機能する導電層には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から脱離した酸素がチャネル形成領域に供給されやすくなる。

[0271]

導電層120、導電層140、導電層220、及び導電層240は、それぞれ、半導体層130又は半導体層230と接する導電層である。よって、これらの導電層には、酸化しにくい導電性材料、酸化しても電気抵抗が低く保たれる導電性材料、導電性を有する金属酸化物(酸化物導電体ともいう)、又は、酸素の拡散を抑制する機能を有する導電性材料を用いることが好ましい。当該導電性材料として、例えば、窒素を含む導電性材料、及び酸素を含む導電性材料が挙げられる。これにより、導電層120、導電層140、導電層220、及び導電層240の導電率が低下することを抑制できる。

[0272]

導電層120、導電層140、導電層220、又は導電層240として酸素を含む導電性材料を用いることで、導電層120、導電層140、導電層220、又は導電層240が酸素を吸収しても導電性を維持することができる。また、絶縁層110として酸化ハフニウム等の酸素を含む絶縁層を用いる場合においても、導電層120は導電性を維持できるため好適である。導電層120、導電層140、導電層220、及び導電層240のそれぞれとして、例えば、ITO、ITSO、IZO(登録商標)等を用いることが好ましい。

[0273]

図2Aでは、導電層120が、導電層120a1と、導電層120a1上の導電層120a2と、導電層120a2上の導電層120bと、の3層構造である例を示す。また、図2Aでは、導電層220が、導電層220a1と、導電層220a1上の導電層220a2と、導電層220a2上の導電層220bと、の3層構造である例を示す。

[0274]

例えば、導電層120a1及び導電層220a1として、酸化しにくい導電性材料、又は酸素の拡散を抑制する機能を有する導電性材料を用い、導電層120a2及び導電層220a2として、導電性が高い材料を用い、導電層120b及び導電層220bとして、酸素を含む導電性材料(より好ましくは酸化物導電体)を用いることが好ましい。例えば、導電層120a1及び導電層220a1として窒化チタンを用い、導電層120a2及び導電層220a2としてタングステンをを用い、導電層120b及び導電層220bとして酸化物導電体(例えば、ITO、ITSO、又はIZO(登録商標))

を用いることが好ましい。この場合、導電層120において、窒化チタンが絶縁層110に接し、酸化物導電体が半導体層130に接する。また、導電層220において、酸化物導電体が半導体層230に接する。さらに、半導体層130、及び半導体層230のチャンネル形成領域に最も近い層に酸化物導電体を用いられる。タングステンに比べて、酸化物導電体は、半導体層130、及び半導体層230とのコンタクト抵抗が低い。よって、トランジスタ100及びトランジスタ200において、ソースとドレインの間の電流経路を短くできる。したがって、トランジスタ100、及びトランジスタ200のオン電流を高めることができる。このような構造にすることで、導電層120が半導体層130と接していても、導電性を維持することができる。また、導電層220が半導体層230と接していても、導電性を維持することができる。さらに、絶縁層110に酸化物絶縁層を用いる場合、絶縁層110によって導電層120が過剰に酸化されることを抑制できる。また、導電層120a2、及び導電層220a2として、酸化物導電体及び窒化チタンよりも導電性の高い金属材料（ここではタングステン）を用いることで、導電層120、及び導電層220の導電性を高めることができる。

[0275]

図2Aでは、導電層140が、導電層140aと、導電層140a上の導電層140bと、の2層構造である例を示す。また、図2Aでは、導電層240が、導電層240aと、導電層240a上の導電層240bと、の2層構造である例を示す。このとき、導電層140a及び導電層240aとして、例えば酸素を含む導電性材料を用いることが好ましい。また、導電層140b及び導電層240bとして、例えば導電層140a及び導電層240aよりも導電性の高い材料を用いることが好ましい。導電層140a及び導電層240aとして、例えば酸化物導電体（例えば、ITO、ITSO、又はIZO（登録商標））を用いることが好ましい。また、導電層140b及び導電層240bとして、例えばルテニウム、タングステン、窒化チタン、又は、窒化タンタルを用いることが好ましい。

[0276]

導電層260には、タングステン等、導電性の高い材料を用いることが好ましい。また、導電層260として、酸化しにくい導電性材料、又は、酸素の拡散を抑制する機能を有する導電性材料等を用いることが好ましい。当該導電性材料としては、前述の通り、窒素を含む導電性材料（例えば、窒化チタン又は窒化タンタル等）、及び酸素を含む導電性材料（例えば、酸化ルテニウム等）等が挙げられる。これにより、導電層260の導電率が低下することを抑制できる。

[0277]

また、導電層260には、チャンネルが形成される金属酸化物に含まれる金属元素及び酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素及び窒素を含む導電性材料（例えば、窒化チタン、窒化タンタル等）を用いてもよい。また、インジウムスズ酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウムスズ酸化物、インジウム亜鉛酸化物、及び、シリコンを添加したインジウムスズ酸化物のうち一つ又は複数を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャンネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。又は、外方の絶縁層等から混入する水素を捕獲することができる場合がある。

[0278]

図2Aでは、導電層260が、導電層260aと、導電層260a上の導電層260bと、の2層構造である例を示す。このとき、例えば、導電層260aとして窒化チタンを用い、導電層260bと

してタングステンを用いることが好ましい。又は、導電層260aとして窒化タンタルを用い、導電層260bとして銅を用いることが好ましい。このような構成とすることで、導電層260の導電率を高めることができる。

[0279]

また、導電層260は、3層以上の積層構造であってもよい。導電層260は、例えば、窒化タンタルと、窒化タンタル上の窒化チタンと、窒化チタン上のタングステンと、の3層構造としてもよい。

[0280]

導電層265は、ゲート配線として機能する層のため、導電性が高いことが好ましい。導電層265には、タングステンを用いることが好ましい。また、導電層265は、導電層260と同様の構成としてもよい。例えば、窒化チタンとタングステンとの2層構造を適用してもよい。

[0281]

[基板]

トランジスタを形成する基板としては、例えば、絶縁体基板、半導体基板、又は導電体基板を用いることができる。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（例えばイットリア安定化ジルコニア基板）、及び樹脂基板等がある。また、半導体基板としては、例えば、シリコン、ゲルマニウムを材料とした半導体基板、又は炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板等がある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、SOI（Silicon On Insulator）基板がある。導電体基板としては、黒鉛基板、金属基板、合金基板、及び導電性樹脂基板等がある。又は、金属の窒化物を有する基板、金属の酸化物を有する基板等がある。さらには、絶縁体基板に導電体又は半導体が設けられた基板、半導体基板に導電体又は絶縁体が設けられた基板、導電体基板に半導体又は絶縁体が設けられた基板等がある。又は、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、及び記憶素子等がある。

[0282]

<半導体装置の構成例2>

以下では、本発明の他の一態様の半導体装置の構成を説明する。具体的には、トランジスタ100、及びトランジスタ200の変形例について説明する。なお、特に明示がある場合を除き、トランジスタ100の平面構成は図1Dを参照でき、トランジスタ200の平面構成は図1Eを参照できる。

[0283]

[トランジスタ100A、及びトランジスタ200A]

図4Aは、図1D、及び図1Eに示す一点鎖線A1-A2間の断面図である。図4Bは、図1D、及び図1Eに示す一点鎖線A3-A4間の断面図である。図4Aには、トランジスタ100の変形例としてトランジスタ100Aを示している。また、図4Bには、トランジスタ200の変形例としてトランジスタ200Aを示している。

[0284]

トランジスタ100Aが有する導電層140bの、開口部190における側面は、導電層140aの、開口部190における側面より外側に位置する。また、トランジスタ200Aが有する導電層240bの、開口部290における側面は、導電層240aの、開口部290における側面より外側に位置する。開口部190、及び開口部290の形成工程に起因して、図4A、図4Bに示す導電層140

及び導電層 240 がそれぞれ形成される場合がある。例えば、エッチングを用いて開口部 190 を形成した後、導電層 140 b の一部を除去することにより、トランジスタ 100 A が有する導電層 140 が形成される場合がある。同様に、エッチングを用いて開口部 290 を形成した後、導電層 240 b の一部を除去することにより、トランジスタ 200 A が有する導電層 240 が形成される場合がある。

[0285]

トランジスタ 100 A では、半導体層 130 が、導電層 140 a の側面の他、導電層 140 a の上面と接する。よって、トランジスタ 100 A では、図 1 F、及び図 1 G 等に示すトランジスタ 100 より、半導体層 130 と導電層 140 a の接触面積を大きくできる。前述のように、導電層 140 a には酸素を含む導電性材料を用いることができる。よって、半導体層 130 として金属酸化物を用いる場合、半導体層 130 と導電層 140 a の単位面積当たりのコンタクト抵抗は、半導体層 130 と導電層 140 b の単位面積当たりのコンタクト抵抗より低くできる。よって、トランジスタ 100 A では、図 1 F、及び図 1 G 等に示すトランジスタ 100 より、半導体層 130 と導電層 140 のコンタクト抵抗を低くできる。同様に、トランジスタ 200 A では、図 1 F、及び図 1 G 等に示すトランジスタ 200 より、半導体層 230 と導電層 240 のコンタクト抵抗を低くできる。一方、図 1 F、及び図 1 G 等に示すトランジスタ 100、及びトランジスタ 200 は、トランジスタ 100 A、及びトランジスタ 200 A より簡略化された工程で作製できる。

[0286]

[トランジスタ 100 B、及びトランジスタ 200 B]

図 5 A は、トランジスタ 100 の変形例であるトランジスタ 100 B の構成例を示す平面図である。図 5 B は、トランジスタ 200 の変形例であるトランジスタ 200 B の構成例を示す平面図である。図 5 C は、図 5 A、及び図 5 B に示す一点鎖線 A1-A2 間の断面図である。図 5 D は、図 5 A、及び図 5 B に示す一点鎖線 A3-A4 間の断面図である。

[0287]

トランジスタ 100 B が有する導電層 140 a、及び導電層 140 b の、開口部 190 における側面は、絶縁層 180 の、開口部 190 における側面より外側に位置する。また、トランジスタ 200 B が有する導電層 240 a、及び導電層 240 b の、開口部 290 における側面は、絶縁層 280 の、開口部 290 における側面より外側に位置する。図 5 A 乃至図 5 D では、絶縁層 180 に設けられる開口部 190 を開口部 190 a とし、導電層 140 a、及び導電層 140 b に設けられる開口部 190 を開口部 190 b とする。また、絶縁層 280 に設けられる開口部 290 を開口部 290 a とし、導電層 240 a、及び導電層 240 b に設けられる開口部 290 を開口部 290 b とする。開口部 190、及び開口部 290 の形成工程に起因して、図 5 A 乃至図 5 D に示す導電層 140、及び導電層 240 がそれぞれ形成される場合がある。

[0288]

[トランジスタ 100 C、及びトランジスタ 200 C]

図 6 A は、図 1 D、及び図 1 E に示す一点鎖線 A1-A2 間の断面図である。図 6 B は、図 1 D、及び図 1 E に示す一点鎖線 A3-A4 間の断面図である。図 6 A には、トランジスタ 100 の変形例としてトランジスタ 100 C を示している。また、図 6 B には、トランジスタ 200 の変形例としてトランジスタ 200 C を示している。

[0289]

トランジスタ100C、及びトランジスタ200Cを有する半導体装置では、開口部190が導電層120aに達する。半導体層130は、開口部190の内部で、導電層120aの上面と接する。また、開口部290は、導電層220aに達する。半導体層230は、開口部290の内部で、導電層220aの上面と接する。なお、図6A、及び図6Bでは、導電層120a、及び導電層220aに凹部が設けられない例を示すが、導電層120a、及び導電層220aに凹部が設けられてもよい。

[0290]

トランジスタ100Cは、導電層120bが開口部190を有する。よって、トランジスタ100Cは、例えば図2Aに示すトランジスタ100よりも、距離Tc1と距離Tb1との差が大きくなる。距離Tc1と距離Tb1との差が大きいほど、導電層120bの開口部190内、又は凹部191内で、導電層220の側面と導電層120とが対向する領域の面積が広がる。よって、半導体層130のチャンネル形成領域にゲート電界がかかりやすくなる。同様に、トランジスタ200Cは、例えば図2Aに示すトランジスタ200よりも、半導体層230のチャンネル形成領域にゲート電界がかかりやすくなる。

[0291]

一方、例えば図2Aに示すトランジスタ100は、開口部190と重なる領域において、導電層120bの上面と接する。よって、例えば図2Aに示すトランジスタ100は、トランジスタ100Cよりも、半導体層130と導電層120bとが接する面積が大きくなる。前述のように、導電層120bには酸素を含む導電性材料を用いることができる。よって、半導体層130として金属酸化物を用いる場合、半導体層130と導電層120bの単位面積当たりのコンタクト抵抗は、半導体層130と導電層120aの単位面積当たりのコンタクト抵抗より低くできる。以上により、トランジスタ100Cは、例えば図2Aに示すトランジスタ100より、半導体層130と導電層120のコンタクト抵抗を低くできる。同様に、トランジスタ200Cは、例えば図2Aに示すトランジスタ200より、半導体層230と導電層220のコンタクト抵抗を低くできる。

[0292]

[トランジスタ100D、及びトランジスタ200D]

図7Aは、図1D、及び図1Eに示す一点鎖線A1-A2間の断面図である。図7Bは、図1D、及び図1Eに示す一点鎖線A3-A4間の断面図である。図7Aには、トランジスタ100の変形例としてトランジスタ100Dを示している。図7Bには、トランジスタ200の変形例としてトランジスタ200Dを示している。

[0293]

図7A及び図7Bに示す半導体装置は、絶縁層180が、絶縁層180aと、絶縁層180a上の絶縁層180bと、絶縁層180b上の絶縁層180cと、の3層積層構造である。また、図7A及び図7Bに示す半導体装置は、絶縁層280が、絶縁層280aと、絶縁層280a上の絶縁層280bと、絶縁層280b上の絶縁層280cと、の3層積層構造である。なお、絶縁層180、及び絶縁層280は、単層構造でもよいし、2層構造でもよいし、4層以上の積層構造でもよい。

[0294]

絶縁層180aは、絶縁層110の上面に接する領域と、導電層120の側面に接する領域と、導電層120の上面に接する領域と、を有する。絶縁層180cは、導電層140aの下面に接する領域を有する。

[0295]

絶縁層 280 a は、絶縁層 150 に接する領域と、導電層 220 の側面に接する領域と、導電層 220 の上面に接する領域と、を有する。絶縁層 280 c は、導電層 240 a の下面に接する領域を有する。

[0296]

絶縁層 180 b は、半導体層 130 のチャンネル形成領域と接する層である。絶縁層 180 b に酸素を含む絶縁層を用いることで、半導体層 130 に酸素を供給することができる。同様に、絶縁層 280 b は、半導体層 230 のチャンネル形成領域と接する層である。絶縁層 280 b に酸素を含む絶縁層を用いることで、半導体層 230 に酸素を供給することができる。

[0297]

絶縁層 180 b は、絶縁層 180 a 及び絶縁層 180 c の一方又は双方と比べて、酸素の含有量が多い領域を有することが好ましい。特に、絶縁層 180 b は、絶縁層 180 a 及び絶縁層 180 c のそれぞれと比べて、酸素の含有量が多い領域を有することが好ましい。絶縁層 180 b の酸素の含有量を多くすることにより、絶縁層 180 b 近傍の半導体層 130 に、i 型の領域を形成することが容易となる。

[0298]

同様に、絶縁層 280 b は、絶縁層 280 a 及び絶縁層 280 c の一方又は双方と比べて、酸素の含有量が多い領域を有することが好ましい。特に、絶縁層 280 b は、絶縁層 280 a 及び絶縁層 280 c のそれぞれと比べて、酸素の含有量が多い領域を有することが好ましい。絶縁層 280 b の酸素の含有量を多くすることにより、絶縁層 280 b 近傍の半導体層 230 に、i 型の領域を形成することが容易となる。

[0299]

絶縁層 180 b、及び絶縁層 280 b には、加熱により酸素を放出する膜を用いるとより好ましい。例えばトランジスタ 100D の作製工程中にかかる熱により、絶縁層 180 b が酸素を放出することで、半導体層 130 に酸素を供給することができる。絶縁層 180 b から半導体層 130、特に半導体層 130 のチャンネル形成領域に酸素を供給することで、半導体層 130 中の酸素欠損及び V_{OH} の低減を図ることができる。以上により、トランジスタ 100D を、良好な電気特性を示し、かつ信頼性の高いトランジスタとすることができる。同様に、トランジスタ 200D を、良好な電気特性を示し、かつ信頼性の高いトランジスタとすることができる。

[0300]

また、OS トランジスタの電気特性及び信頼性を良好にするには、酸化物半導体中の水素濃度を十分に低減した上で、酸化物半導体に供給する酸素量を最適化することが重要となる。

[0301]

特に、トランジスタ 100D、及びトランジスタ 200D のチャンネル長が短い場合、チャンネル形成領域の酸素欠損及び V_{OH} の、電気特性及び信頼性への影響が特に大きくなる。したがって、半導体層 130 中の水素濃度、及び半導体層 230 中の水素濃度を十分に低減した上で、半導体層 130、及び半導体層 230 に供給する酸素量を最適化することが好ましい。これにより、良好な電気特性及び高い信頼性を有するチャンネル長の短いトランジスタを実現できる。

[0302]

絶縁層 180 b、及び絶縁層 280 b は、スパッタリング法、又はプラズマ化学気相堆積 (PECVD: Plasma Enhanced CVD) 法等の成膜方法で形成することが好ましい。特に、

スパッタリング法を用いると、成膜ガスに水素を用いなくてよいため、水素の含有量の極めて少ない膜とすることができる。そのため、半導体層130、及び半導体層230に水素が供給されることを抑制し、トランジスタ100D、及びトランジスタ200Dの電気特性の安定化を図ることができる。

[0303]

半導体層130に供給する酸素量を多くする場合、例えば、絶縁層180bを形成した後に、酸素を含む雰囲気下における加熱処理、又は、酸素を含む雰囲気下におけるプラズマ処理を行うとよい。また、絶縁層180bの上面に、スパッタリング法により、酸素雰囲気下で酸化物膜を成膜することで酸素を供給してもよい。その後、当該酸化物膜を除去してもよい。このような処理を行うことで、絶縁層180bに酸素を供給し、半導体層130に供給される酸素量を増やすことができる。また、絶縁層280bを形成した後に同様の処理を行うことで、絶縁層280bに酸素を供給し、半導体層230に供給される酸素量を増やすことができる。

[0304]

また、半導体層130の、絶縁層180aに接する領域、及び絶縁層180cに接する領域は、絶縁層180bに接する領域と比較して、供給される酸素の量が少ない。よって、半導体層130の、絶縁層180aに接する領域、及び絶縁層180cに接する領域は、低抵抗化する場合がある。つまり、絶縁層180a、及び絶縁層180cの膜厚を調整することで、トランジスタ100Dのソース領域及びドレイン領域の一方として機能する領域の範囲を制御できる。

[0305]

同様に、半導体層230の、絶縁層280aに接する領域、及び絶縁層280cに接する領域は、絶縁層280bに接する領域と比較して、供給される酸素の量が少ない。よって、絶縁層280a、及び絶縁層280cの膜厚を調整することで、トランジスタ200Dのソース領域及びドレイン領域の一方として機能する領域の範囲を制御できる。以上のように、絶縁層180a、絶縁層180c、絶縁層280a、及び絶縁層280cの膜厚は、トランジスタに求める特性に合わせて、適宜設定できる。

[0306]

また、絶縁層180b、及び絶縁層280bには、比誘電率が低い材料を用いることが好ましい。これにより、配線間に生じる寄生容量を低減できる。絶縁層180b、及び絶縁層280bとして、例えば、酸化シリコン、又は酸化窒化シリコンを用いることができる。

[0307]

絶縁層180a、絶縁層180c、絶縁層280a、及び絶縁層280cには、それぞれ、酸素に対するバリア絶縁層を用いることが好ましい。絶縁層180bと導電層120との間に絶縁層180aを設けることにより、導電層120が酸化され、導電層120の電気抵抗が高くなることを抑制できる。また、絶縁層180bと導電層140との間に絶縁層180cを設けることにより、導電層140が酸化され、導電層140の電気抵抗が高くなることを抑制できる。また、絶縁層280bと導電層220との間に絶縁層280aを設けることにより、導電層220が酸化され、導電層220の電気抵抗が高くなることを抑制できる。さらに、絶縁層280bと導電層240との間に絶縁層280cを設けることにより、導電層240が酸化され、導電層240の電気抵抗が高くなることを抑制できる。

[0308]

また、絶縁層180aとして、水素を捕獲する又は固着する機能を有する絶縁層を用いてもよい。こ

のような構成にすることで、絶縁層180aの下方から半導体層130に水素が拡散することを抑制し、さらに半導体層130に含まれる水素を捕獲させる又は固着させることができる。よって、半導体層130の水素濃度を低減できる。絶縁層180aとしては、酸化マグネシウム、酸化アルミニウム、酸化ハフニウム、又はハフニウム及びシリコンを含む酸化物等を用いることができる。また、例えば、絶縁層180aとして、酸化アルミニウムと、当該酸化アルミニウム上の窒化シリコンの積層膜を用いてもよい。同様に、絶縁層180c、絶縁層280a、及び絶縁層280cとして、水素を捕獲する又は固着する機能を有する絶縁層を用いてもよい。

[0309]

一例として、絶縁層180a、絶縁層180c、絶縁層280a、及び絶縁層280cに窒化シリコンを用い、絶縁層180b、及び絶縁層280bに酸化シリコンを用いることができる。

[0310]

[トランジスタ100E、及びトランジスタ200E]

図8Aは、図1D、及び図1Eに示す一点鎖線A1-A2間の断面図である。図8Bは、図1D、及び図1Eに示す一点鎖線A3-A4間の断面図である。図8Aには、トランジスタ100の変形例としてトランジスタ100Eを示している。図8Bには、トランジスタ200の変形例としてトランジスタ200Eを示している。

[0311]

図8A及び図8Bに示す半導体装置は、絶縁層122を有する点で、図1F、及び図1Gに示す半導体装置と異なる。

[0312]

図8A及び図8Bに示す半導体装置では、絶縁層110上に絶縁層122が設けられ、絶縁層122上に導電層120a及び絶縁層180が設けられている。

[0313]

絶縁層122には、水素を捕獲する又は固着する機能を有する絶縁層を用いることが好ましい。これにより、半導体層130中の水素が導電層120a及び導電層120bを介して絶縁層122に拡散し、当該水素を捕獲させる又は固着させることができる。したがって、半導体層130中の水素濃度を低減できる。

[0314]

例えば、絶縁層110として、窒化シリコン膜を用い、絶縁層122として、ハフニウム及びシリコンを含む酸化物膜（ハフニウムシリケート膜）を用いることが好ましい。

[0315]

[トランジスタ200F、及びトランジスタ200F]

図9Aは、図1D、及び図1Eに示す一点鎖線A1-A2間の断面図である。図9Bは、図1D、及び図1Eに示す一点鎖線A3-A4間の断面図である。図9Aには、トランジスタ100の変形例としてトランジスタ100Fを示している。図9Bには、トランジスタ200の変形例としてトランジスタ200Fを示している。

[0316]

トランジスタ100Fは、導電層155を有する。トランジスタ200Fは、導電層255を有する。また、図9A、及び図9Bに示す半導体装置は、絶縁層180を絶縁層180dと、絶縁層180d上の絶縁層180eと、の2層積層構造としている。さらに、図9A、及び図9Bに示す半導体装置

は、絶縁層 280 を絶縁層 280 d と、絶縁層 280 d 上の絶縁層 280 e と、の 2 層積層構造としている。

[0317]

トランジスタ 100 F において、導電層 155 は、絶縁層 180 d 上に位置し、絶縁層 180 e は、導電層 155 の上面及び側面を覆っている。また、断面視において、半導体層 130 は、絶縁層 180 e を挟んで導電層 155 と対向し、かつ、絶縁層 150 を挟んで導電層 220 と対向する領域を有する。

[0318]

トランジスタ 200 F において、導電層 255 は、絶縁層 280 d 上に位置し、絶縁層 280 e は、導電層 255 の上面及び側面を覆っている。また、断面視において、半導体層 230 は、絶縁層 280 e を挟んで導電層 255 と対向し、かつ、絶縁層 250 を挟んで導電層 260 と対向する領域を有する。

[0319]

導電層 155 は、トランジスタ 100 F のバックゲート電極として機能する。導電層 255 は、トランジスタ 200 F のバックゲート電極として機能する。トランジスタ 100 F、及びトランジスタ 200 F がバックゲート電極を有することで、しきい値電圧の制御が容易となり、また、しきい値電圧の変動を抑制できる。よって、トランジスタ 100 F、及びトランジスタ 200 F は、電気特性及び信頼性が高いトランジスタとすることができる。

[0320]

導電層 155、及び導電層 255 には、例えば導電層 260 に用いることができる材料を適用することができる。

[0321]

[トランジスタ 100 G、及びトランジスタ 200 G]

図 10 A は、図 1 D、及び図 1 E に示す一点鎖線 A1-A2 間の断面図である。図 10 B は、図 1 D、及び図 1 E に示す一点鎖線 A3-A4 間の断面図である。図 10 A には、トランジスタ 100 の変形例としてトランジスタ 100 G を示している。図 10 B には、トランジスタ 200 の変形例としてトランジスタ 200 G を示している。

[0322]

図 10 A 及び図 10 B に示す半導体装置は、絶縁層 180 が領域 180 i を有し、絶縁層 280 が領域 280 i を有する。領域 180 i、及び領域 280 i は、それぞれハロゲン元素を有する領域である。領域 180 i の少なくとも一部は半導体層 130 と接し、領域 280 i の少なくとも一部は半導体層 230 と接する。

[0323]

ハロゲン元素は、塩素、フッ素、臭素、及び、ヨウ素の中から選ばれる一種又は複数種であることが好ましく、塩素又はフッ素であることがより好ましい。また、酸素と置換するという観点から、酸素よりも電気陰性度が高いフッ素を用いることが好ましい。

[0324]

領域 180 i がハロゲン元素を有することで、当該ハロゲン元素を、領域 180 i から半導体層 130 中に供給することができる。また、領域 280 i がハロゲン元素を有することで、当該ハロゲン元素を、領域 280 i から半導体層 230 中に供給することができる。ハロゲン元素 (X) は、半導体

層130中、及び半導体層230中で、酸素欠損(Vo)にハロゲン元素が入った欠陥(VoX)となり、キャリアとなる電子を生成する機能を有する。例えば、ハロゲン元素として塩素(Cl)を用いる場合、塩素は、半導体層130中(特に絶縁層180と半導体層130との界面及びその近傍)、及び半導体層230中(特に絶縁層280と半導体層230との界面及びその近傍)で、VoClの状態安定に存在する。このとき、Clは、既存のVoに入り込むだけでなく、酸素と置換することでも、VoClの状態となり得る。

[0325]

一方、Clに置換された酸素(余剰酸素ともいう)は、電子をトラップする機能を有する。また、VoClによるキャリアの生成よりも、酸素によるキャリアトラップが優先して起こる。したがって、絶縁層180と半導体層130との界面及びその近傍に、負電荷(負の固定電荷ともいう)が形成される。領域180iは、半導体層130におけるチャンネル形成領域と接する。チャンネル形成領域に負電荷が存在することで、トランジスタ100Gのしきい値電圧をプラスシフトさせることができる。したがって、トランジスタ100Gが微細な構造である場合、又は、トランジスタ100Gのチャンネル長が極めて短い場合であっても、トランジスタ100Gをノーマリーオフとすることができる。同様に、例えば絶縁層280が領域280iを有することにより、トランジスタ200Gが微細な構造である場合、又は、トランジスタ200Gのチャンネル長が極めて短い場合であっても、トランジスタ200Gをノーマリーオフとすることができる。

[0326]

例えば、絶縁層180、及び絶縁層280に酸化アルミニウム層を用い、ハロゲン元素としてフッ素を用いることが好ましい。なお、絶縁層180、及び絶縁層280は単層構造であっても、積層構造であってもよい。絶縁層180、及び絶縁層280が積層構造である場合、例えば、酸化アルミニウム層のほかに、酸化シリコン層及び窒化シリコン層の一方又は双方を有することが好ましい。このとき、アルミニウムと結合していた酸素がフッ素に置換され、脱離した酸素が水素と結合してOH基となることが考えられる($Al-O+F \rightarrow Al-F+O+H \rightarrow AlF+OH$)。このようにバックチャンネル側にAlFが存在することで、チャンネル形成領域に負電荷を形成し、トランジスタ100G、及びトランジスタ200Gのしきい値電圧をプラスシフトさせるだけでなく、水素を捕獲する、又は固着する(ゲッターリングともいう)機能も備えることができる。これにより、半導体層130、及び半導体層230の水素濃度を低減できる。特に、トランジスタ100Gのチャンネル形成領域中の水素濃度、及びトランジスタ200Gのチャンネル形成領域中の水素濃度を低減できる。よって、チャンネル形成領域中のVoHを低減し、チャンネル形成領域をi型又は実質的にi型とすることができる。

[0327]

なお、導電層120、導電層140、導電層220、及び導電層240もハロゲン元素を有することがある。また、導電層120、又は導電層140から半導体層130中にハロゲン元素が供給されることがある。さらに、導電層220、又は導電層240から半導体層230中にハロゲン元素が供給されることがある。図10A及び図10Bでは、導電層120、及び導電層140の開口部190側の側面にも、領域180iと同様のハッチングパターンを付している。また、図10A及び図10Bでは、導電層220、及び導電層240の開口部290側の側面にも、領域280iと同様のハッチングパターンを付している。

[0328]

また、半導体層130が、絶縁層180と接し、かつ、ハロゲン元素を有する領域を有していてもよ

い。さらに、半導体層230が、絶縁層280と接し、かつ、ハロゲン元素を有する領域を有していてもよい。

[0329]

半導体層130のソース領域及びドレイン領域、並びに、半導体層230のソース領域及びドレイン領域は、不純物元素を有することが好ましい。不純物元素として、第1の元素を用いることが好ましい。又は、不純物元素として、第1の元素と、水素と、の双方を用いることが好ましい。

[0330]

図10A及び図10Bでは、半導体層130のうち、凹部191における導電層120の上面と接する領域を、領域130n1とする。また、半導体層130のうち、導電層140の上面と接する領域を、領域130n2とする。また、半導体層230のうち、凹部291における導電層220の上面と接する領域を、領域230n1とする。さらに、半導体層230のうち、導電層240の上面と接する領域を、領域230n2とする。ここで、領域130n1、及び領域130n2をまとめて領域130nといい、領域230n1、及び領域230n2をまとめて領域230nという。領域130n、及び領域230nは、不純物元素を有することが好ましい。

[0331]

なお、導電層120、導電層140、導電層220、及び導電層240も不純物元素を有することがある。図10A及び図10Bでは、導電層120、及び導電層140の半導体層130と接する領域にも、領域130nと同様のハッチングパターンを付している。また、導電層220、及び導電層240の半導体層230と接する領域にも、領域230nと同様のハッチングパターンを付している。

[0332]

第1の元素としては、ホウ素、アルミニウム、インジウム、炭素、シリコン、ゲルマニウム、スズ、リン、ヒ素、アンチモン、マグネシウム、カルシウム、チタン、銅、亜鉛、タングステン、モリブデン、タンタル、ハフニウム、セリウム、及び貴ガス（ヘリウム、ネオン、アルゴン、クリプトン、キセノン等）のうち一種又は複数種を用いることが好ましい。

[0333]

なお、第1の元素としては、上記の元素に限られず、第一遷移元素（3d遷移元素、3d遷移金属）、第二遷移元素（4d遷移元素、4d遷移金属）、第三遷移元素（5d遷移元素、5d遷移金属）、アルカリ土類金属元素、及び、希土類元素に含まれる元素のうち、一種又は複数種を用いることができる。

[0334]

ソース領域及びドレイン領域に第1の元素を供給することで、第1の元素がこれらの領域中の酸素を奪う等により、これらの領域に酸素欠損が生じる。そして、当該酸素欠損が膜中の水素と結合することで、キャリアが生成されるため、ソース領域及びドレイン領域を低抵抗化させることができる。これにより、半導体層130のシート抵抗、半導体層230のシート抵抗、半導体層130と導電層120とのコンタクト抵抗、半導体層130と導電層140とのコンタクト抵抗、半導体層230と導電層220とのコンタクト抵抗、及び半導体層230と導電層240とのコンタクト抵抗をそれぞれ低くできる。したがって、トランジスタ100G、及びトランジスタ200Gは、オン電流が大きいトランジスタとすることができる。オン電流を大きくすることで、トランジスタの動作電圧を低くできる。これにより、半導体装置の消費電力の低減を図ることができる。

[0335]

第1の元素として、酸素と結合しやすい元素を用いる場合、第1の元素は、半導体層中の酸素と結合

した状態で存在する。また、第1の元素として酸素と結合して安定化する元素を用いると、半導体層中の第1の元素は、酸化された状態で安定に存在するため、例えば半導体装置の作製工程中にかかる熱で脱離しにくく、電気抵抗が低い状態で安定した低抵抗領域を実現できる。このことから、第1の元素として、25℃、1気圧において、酸化物が固体で存在しうる元素を用いることが好ましい。具体的には、好ましい第1の元素として、水素以外の典型非金属元素、典型金属元素、及び遷移元素（遷移金属）が挙げられ、特に好ましい第1の元素として、ホウ素、リン、マグネシウム、アルミニウム、及び、シリコンが挙げられる。

[0336]

以上のことから、第1の元素の一つとして、ホウ素、リン、マグネシウム、アルミニウム、又はシリコンを用いることが好ましい。また、特に、第1の元素の一つとして、ホウ素又はリンを用いることが好ましい。

[0337]

また、水素は、前述の酸素欠損を生じさせる機能に加えて、酸素欠損と結合する機能も有するため、不純物元素として好適である。

[0338]

不純物元素として、第1の元素と、水素と、の双方を用いることで、半導体層130中、及び半導体層230中のソース領域及びドレイン領域の電気抵抗を低くしやすく、かつ、電気抵抗が低い状態を安定して維持できる。

[0339]

また、第1の元素と、水素と、の双方を供給する場合、原料ガスから生じたイオンを質量分離せずに添加することができるため、生産性を高めることができ、好ましい。例えば、 B_2H_6 ガスを用いることで、不純物元素としてホウ素と水素を供給することができる。また、例えば、 PH_3 ガスを用いることで、不純物元素としてリンと水素を供給することができる。なお、不純物元素の供給方法はこれに限られない。例えば、原料ガスをイオン化し、当該イオンを質量分離することで、特定の元素を添加してもよい。例えば、 B_2H_6 ガスを用い、質量分離を行ったのち、領域130n、及び領域230nにホウ素を添加してもよい。

[0340]

領域130n、及び領域230nは、不純物元素の濃度が、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以上 $1 \times 10^{23} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以上 $5 \times 10^{22} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{20} \text{ atoms/cm}^3$ 以上 $1 \times 10^{22} \text{ atoms/cm}^3$ 以下である領域を含むことが好ましい。なお、不純物元素を複数含む場合は、それぞれの不純物元素の濃度が、上記の範囲であることが好ましい。

[0341]

なお、半導体層130におけるチャネル形成領域、及び半導体層230におけるチャネル形成領域にも、不純物元素が供給される場合がある。又は、作製工程中にかかる熱の影響等により、領域130nに含まれる不純物元素の一部、及び領域230nに含まれる不純物元素の一部がチャネル形成領域に拡散する場合がある。チャネル形成領域中の不純物元素の濃度は、領域130n中、及び領域230n中の不純物元素の濃度の10分の1以下であることが好ましく、100分の1以下であることがより好ましい。

[0342]

半導体層 130 (領域 130n を含む)、及び半導体層 230 (領域 230n を含む) に含まれる不純物元素の濃度は、例えば、SIMS 又は XPS 等の分析法により分析することができる。XPS 分析を用いる場合には、表面側又は裏面側からのイオンスパッタリングと XPS 分析を組み合わせることで、深さ方向の濃度分布を知ることができる。

[0343]

本発明の一態様の半導体装置の作製において、半導体層 130 のソース領域及びドレイン領域、並びに、半導体層 230 のソース領域及びドレイン領域は、チャンネル形成領域と比較して、不純物元素が添加されやすいことが好ましい。そのため、不純物元素は、基板の上面に対して垂直又は概略垂直な方向から添加されることが好ましい。このとき、半導体層 130、及び半導体層 230 において、基板の上面に対して傾斜している面は、基板の上面に対して平行又は概略平行な面と比べて、不純物元素が添加される量が少なくなる。つまり、半導体層 130 のソース領域及びドレイン領域、並びに、半導体層 230 のソース領域及びドレイン領域は、チャンネル形成領域と比較して、不純物元素が添加される量が多くなる。したがって、ソース領域及びドレイン領域を優先的に低抵抗化することができる。

[0344]

[トランジスタ 100H、及びトランジスタ 200H]

図 11A は、トランジスタ 100 の変形例であるトランジスタ 100H の構成例を示す平面図である。図 11B は、トランジスタ 200 の変形例であるトランジスタ 200H の構成例を示す平面図である。図 11C は、図 11A、及び図 11B に示す一点鎖線 A1-A2 間の断面図である。図 11D は、図 11A、及び図 11B に示す一点鎖線 A3-A4 間の断面図である。

[0345]

図 11A 乃至図 11D に示す半導体装置は、図 1D 乃至図 1G に示す半導体装置と異なり、導電層 265 を有さない。当該半導体装置は、図 11C、及び図 11D に示すように、絶縁層 250 が、開口部 270 の内部に位置する領域の他、絶縁層 283 上に位置する領域、及び絶縁層 285 上に位置する領域を有する。また、導電層 260 は、開口部 270 の内部に位置する領域の他、絶縁層 283 上に位置する領域、及び絶縁層 285 上に位置する領域を有する。図 11A 乃至図 11D に示す半導体装置では、導電層 260 が、ゲート配線としての機能を有する。

[0346]

導電層 260 は、導電層 240 の上面と重なる領域を有するが、導電層 260 の当該領域と導電層 240 との間には、絶縁層 250、絶縁層 283、及び絶縁層 285 が位置する。これにより、導電層 240 と導電層 260 の間の寄生容量は、導電層 140 と導電層 220 の間の容量 C_p より小さくできる。

[0347]

<半導体装置の作製方法例>

次に、本発明の一態様の半導体装置の作製方法について図面を用いて説明する。なお、各要素の材料及び形成方法について、先に説明した部分と同様の部分については説明を省略することがある。

[0348]

半導体装置を構成する薄膜 (絶縁膜、半導体膜、及び、導電膜等) は、スパッタリング法、CVD 法、真空蒸着法、PLD 法、ALD 法等を用いて形成することができる。

[0349]

なお、スパッタリング法にはスパッタリング用電源に高周波電源を用いるRFスパッタリング法、直流電源を用いるDCスパッタリング法、さらにパルス的に電極に印加する電圧を変化させるパルスDCスパッタリング法がある。RFスパッタリング法は主に絶縁膜を成膜する場合に用いられ、DCスパッタリング法は主に金属導電膜を成膜する場合に用いられる。また、パルスDCスパッタリング法は、主に、酸化物、窒化物、又は炭化物等の化合物をリアクティブスパッタリング法で成膜する際に用いられる。

[0350]

また、CVD法は、プラズマを利用するプラズマCVD (PECVD) 法、熱を利用する熱CVD (Thermal CVD) 法、及び光を利用する光CVD (Photo CVD) 法等に分類できる。さらに用いる原料ガスによって金属CVD (Metal CVD) 法、有機金属CVD (Metal Organic CVD) 法に分けることができる。

[0351]

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、及び素子（トランジスタ、及び容量素子等）等は、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、又は素子等が破壊される場合がある。一方、プラズマを用いない熱CVD法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くできる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

[0352]

また、ALD法としては、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ALD法、プラズマ励起されたリアクタントを用いるPEALD法等を用いることができる。

[0353]

CVD法及びALD法は、ターゲット等から放出される粒子が堆積するスパッタリング法とは異なる。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた膜厚の均一性と、を有するため、例えばアスペクト比の高い開口部の表面を被覆する場合に好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法等の他の成膜方法と組み合わせて用いることが好ましい場合もある。

[0354]

また、CVD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。例えば、CVD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送又は圧力調整に掛かる時間を要さない分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

[0355]

また、ALD法では、異なる複数種のプリカーサを同時に導入することで任意の組成の膜を成膜することができる。又は、異なる複数種のプリカーサを導入する場合、各プリカーサのサイクル数を制御することで任意の組成の膜を成膜することができる。

[0356]

また、半導体装置を構成する薄膜（絶縁膜、半導体膜、及び、導電膜等）は、スピコート法、ディ

ップコート法、スプレーコート法、インクジェット法、ディスペンス、スクリーン印刷、オフセット印刷、ドクターナイフ法、スリットコート、ロールコート、カーテンコート、又はナイフコート等の湿式の成膜方法により形成することができる。

[0357]

また、半導体装置を構成する薄膜を加工する際には、例えばフォトリソグラフィ法を用いることができる。又は、ナノインプリント法、サンドブラスト法、リフトオフ法等により薄膜を加工してもよい。また、メタルマスク等の遮蔽マスクを用いた成膜方法により、島状の薄膜を直接形成してもよい。

[0358]

本明細書等において、島状とは、同一工程で形成された同一材料を用いた2以上の層が、物理的に分離されている状態であることを示す。

[0359]

フォトリソグラフィ法としては、代表的には以下の2つの方法がある。1つは、加工したい薄膜上にレジストマスクを形成して、例えばエッチング法により当該薄膜を加工し、レジストマスクを除去する方法である。もう1つは、感光性を有する薄膜を成膜した後に、露光、現像を行って、当該薄膜を所望の形状に加工する方法である。

[0360]

フォトリソグラフィ法において、露光に用いる光は、例えばi線（波長365nm）、g線（波長436nm）、h線（波長405nm）、又はこれらを混合させた光を用いることができる。そのほか、紫外線、KrFレーザ光、又はArFレーザ光等を用いることもできる。また、液浸露光技術により露光を行ってもよい。また、露光に用いる光として、極端紫外（EUV: Extreme Ultraviolet）光、又はX線を用いてもよい。また、露光に用いる光に換えて、電子ビームを用いることもできる。極端紫外光、X線又は電子ビームを用いると、極めて微細な加工が可能となるため好ましい。なお、電子ビーム等のビームを走査することにより露光を行う場合には、フォトマスクは不要である。

[0361]

薄膜のエッチングには、ドライエッチング法、ウェットエッチング法、又はサンドブラスト法等を用いることができる。

[0362]

以下では、図1Fに示す半導体装置の作製方法例を説明する。

[0363]

まず、図12Aに示すように、基板（図示しない）上に絶縁層110を形成し、絶縁層110上に導電層120aを形成し、導電層120a上に導電層120bを形成し、導電層120b上に絶縁層180を形成し、絶縁層180上に導電層140aを形成し、導電層140a上に導電層140bを形成する。

[0364]

なお、絶縁層180の成膜後に平坦化処理を行い、絶縁層180の上面を平坦化させることが好ましい。平坦化処理としては、化学機械研磨（CMP: Chemical Mechanical Polishing）法を用いた平坦化処理（CMP処理ともいう）が好適である。また、エッチングを用いた平坦化処理（エッチバック処理ともいう）を行ってもよい。絶縁層180の平坦化処理を行うことで、導電層140a及び導電層140bの被形成面を平坦にでき、導電層140a及び導電層1

40bの段切れを抑制できる。なお、平坦化処理は行わなくてもよく、その場合、製造コストを削減することができる。

[0365]

本明細書等において、段切れとは、層、膜、又は電極が、被形成面の形状（例えば段差）に起因して分断される現象を示す。

[0366]

続いて、図12Bに示すように、導電層140b、導電層140a、及び絶縁層180の、導電層120bと重なる位置に開口部190を形成する。この際、開口部190と重なるように、導電層120bに凹部191が形成される。導電層120bに凹部191を形成することにより、後に形成する半導体層130との接触面積を大きくできる。したがって、導電層120bと半導体層130とのコンタクト抵抗に起因するトランジスタ100のオン電流の低下を抑制できる。また、半導体層130のチャンネル形成領域にゲート電界がかかりやすくなり、トランジスタ100の電気特性を良好にすることができる。

[0367]

微細加工及びトランジスタのサイズを小さくするため、開口部190を形成する際には、異方性エッチングを用いて、導電層120bの一部、導電層140aの一部、導電層140bの一部、及び絶縁層180の一部を加工することが好ましい。特に、ドライエッチング法による加工は、微細加工に適しているため好ましい。また、層によって、それぞれ異なる加工条件で開口部190を形成してもよい。なお、導電層120b、導電層140a、導電層140b、及び絶縁層180の材料及び加工条件等によっては、凹部191における導電層120bの側面の傾き、開口部190の内部における絶縁層180、導電層140a、及び導電層140bの側面の傾きがそれぞれ異なることがある。

[0368]

また、例えば開口部190の形成工程により、凹部191における導電層120bの上面及び側面、開口部190における絶縁層180、導電層140a、及び導電層140bの側面、並びに、導電層140bの上面の少なくとも一つに、ハロゲン元素を含む領域が設けられることがある。当該領域としては、例えば、フッ素を含む領域、塩素を含む領域、並びに、フッ素及び塩素を含む領域等が挙げられる。当該領域には、例えば、ドライエッチングで用いたエッチングガス由来のハロゲン元素が残存することがある。

[0369]

続いて、加熱処理を行ってもよい。加熱処理は、例えば、250℃以上650℃以下、好ましくは300℃以上500℃以下、さらに好ましくは320℃以上450℃以下で行う。

[0370]

加熱処理は、窒素ガス若しくは不活性ガスの雰囲気、又は酸化性ガスを10ppm以上、1%以上、若しくは10%以上含む雰囲気で行う。例えば、窒素ガスと酸素ガスの混合雰囲気で行う場合、酸素ガスを20%程度にすることが好ましい。また、加熱処理は減圧状態で行ってもよい。又は、窒素ガス若しくは不活性ガスの雰囲気で行った後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上、又は10%以上含む雰囲気で行ってもよい。以上のような加熱処理を行うことで、半導体層130の成膜前に、例えば絶縁層180に含まれる、水等の不純物を低減できる。

[0371]

また、上記加熱処理で用いるガスは、高純度化されていることが好ましい。例えば、上記加熱処理で用いるガスに含まれる水分量は、1 p p b以下が好ましく、0. 1 p p b以下がより好ましく、0. 0 5 p p b以下がさらに好ましい。高純度化されたガスを用いて加熱処理を行うことで、例えば絶縁層180に水分が取り込まれることを可能な限り防ぐことができる。

[0372]

続いて、図12Cに示すように、開口部190を覆うように半導体層130を形成する。半導体層130は、導電層140bの上面と接するように形成される。また、半導体層130は、凹部191の底部及び側壁と接するように形成される。さらに、半導体層130は、開口部190の内部で、絶縁層180の側面、導電層140aの側面、及び導電層140bの側面と接するように形成される。

[0373]

半導体層130は、例えば、スパッタリング法、CVD法、MBE法、PLD法、又は、ALD法を用いて成膜することができる。

[0374]

半導体層130は、凹部191における導電層120bの上面及び側面、開口部190における絶縁層180、導電層140a、及び導電層140bの側面、並びに、導電層140bの上面に沿って、出来るだけ均一な厚さの膜として形成されることが好ましい。ここで、ALD法を用いて成膜することで、薄い膜を制御性よく成膜することができる。したがって、半導体層130はALD法を用いて成膜することが好ましい。

[0375]

また、半導体層130の結晶性が高いと、半導体層130中の不純物の拡散が抑制されるため、トランジスタの電気特性が変動しにくく、信頼性を高めることができる。半導体層130を、スパッタリング法を用いて成膜すると、ALD法を用いる場合に比べて、結晶性の高い層とすることが容易となり好ましい。

[0376]

半導体層130をスパッタリング法によって成膜する場合は、スパッタリングガスとして、酸素、又は、酸素と貴ガスの混合ガスを用いる。スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰酸素を増やすことができる。また、上記の酸化膜をスパッタリング法によって成膜する場合は、例えばIn-M-Zn酸化物ターゲットを用いることができる。

[0377]

半導体層130をスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を、30%を超えて100%以下、好ましくは70%以上100%以下として成膜すると、酸素過剰型の酸化物半導体が形成される。酸素過剰型の酸化物半導体をチャンネル形成領域に用いたトランジスタは、比較的高い信頼性が得られる。ただし、本発明の一態様はこれに限定されない。スパッタリングガスに含まれる酸素の割合を1%以上30%以下、好ましくは5%以上20%以下として成膜すると、酸素欠乏型の酸化物半導体が形成される。酸素欠乏型の酸化物半導体をチャンネル形成領域に用いたトランジスタは、比較的高い電界効果移動度が得られる。また、基板を加熱しながら成膜を行うことによって、酸化物半導体層の結晶性を向上させることができる。

[0378]

半導体層130は、ALD法を用いて成膜した層と、スパッタリング法を用いて成膜した層と、の双方を有することが好ましい。これにより、半導体層130を被覆性よく成膜し、かつ、半導体層13

0の結晶性を高めることができる。半導体層130は、例えば、スパッタリング法を用いて成膜した層と、ALD法を用いて成膜した層と、をこの順で積層して有することが好ましい。スパッタリング法を用いて成膜された酸化物半導体層は結晶性を有しやすい。そこで、結晶性を有する酸化物半導体層を半導体層130の下層として設けることで、半導体層130の上層の結晶性を高めることができる。また、スパッタリング法で成膜した酸化物半導体層にピンホール又は段切れ等が形成されたとしても、被覆性の良好なALD法で成膜した酸化物半導体層で塞ぐことができる。

[0379]

具体的には、半導体層130として、スパッタリング法を用いて成膜した層と、ALD法を用いて成膜した層と、をこの順で積層した2層構造、ALD法を用いて成膜した層と、スパッタリング法を用いて成膜した層と、をこの順で積層した2層構造、ALD法を用いて成膜した層と、スパッタリング法を用いて成膜した層と、ALD法を用いて成膜した層と、をこの順で積層した3層構造、又はスパッタリング法を用いて成膜した層と、ALD法を用いて成膜した層と、スパッタリング法を用いて成膜した層と、をこの順で積層した3層構造等を用いることができる。

[0380]

次に、加熱処理を行うことが好ましい。加熱処理は、半導体層130が多結晶化しない温度範囲で行うことが好ましい。加熱処理の温度は、100℃以上650℃以下が好ましく、250℃以上600℃以下がより好ましく、350℃以上550℃以下がさらに好ましい。加熱処理の詳細は前述の記載を参照できる。

[0381]

また、上記加熱処理で用いるガスは、高純度化されていることが好ましい。高純度化されたガスを用いて加熱処理を行うことで、半導体層130に例えば水分が取り込まれることを可能な限り防ぐことができる。

[0382]

本実施の形態では、加熱処理として、窒素ガスと酸素ガスの流量比を4:1として、450℃の温度で1時間の処理を行う。このような酸素ガスを含む加熱処理によって、半導体層130中の炭素、水、及び水素等の不純物を低減できる。このように膜中の不純物を低減することで、半導体層130の結晶性を向上させ、より密度の高い、緻密な構造にすることができる。これにより、半導体層130中の結晶領域を増大させ、半導体層130中における、結晶領域の面内ばらつきを低減できる。よって、トランジスタの電気特性の面内ばらつきを低減できる。

[0383]

また、絶縁層180が酸素を含む場合、加熱処理により、絶縁層180から半導体層130のチャネル形成領域に酸素を供給することが好ましい。これにより、酸素欠損及びV_oHの低減を図ることができる。

[0384]

このように、半導体層130と接する絶縁層、又は、半導体層130の近傍に位置する絶縁層から、加熱により脱離する酸素（過剰酸素ともいう）が半導体層130に供給されることがある。過剰酸素は電子をトラップする機能を有するため、負電荷が形成されやすくなる。したがって、トランジスタのしきい値電圧をプラスシフトさせ、ノーマリーオフのトランジスタの実現が可能となる。

[0385]

続いて、図12Dに示すように、半導体層130、導電層140a、及び導電層140bを島状に加

工し、絶縁層180の上面の一部を露出させる。半導体層130、導電層140a、及び導電層140bは、互いに同じマスクを用いて加工できる。これにより、例えば半導体層130と、導電層140a及び導電層140bと、を異なるマスクを用いて加工する場合より、半導体装置の作製に要するマスク数を削減できるため好ましい。

[0386]

続いて、図12Eに示すように、絶縁層150を、導電層140b上に位置する領域、及び開口部190の内部で半導体層130上に位置する領域を有するように形成する。その後、絶縁層150上に導電層220aを形成し、導電層220a上に導電層220bを形成する。絶縁層150は、半導体層130、導電層140a、及び導電層140bを覆うように形成される。具体的には、絶縁層150は、半導体層130、絶縁層180、導電層140a、及び導電層140bに接して形成できる。

[0387]

絶縁層150は、アスペクト比の高い開口部190の側壁を覆う半導体層130に沿って形成される。よって、絶縁層150の成膜には、被覆性が良好な成膜方法を用いることが好ましい。絶縁層150の成膜には、例えばALD法を用いることが好ましい。また、導電層220aは、絶縁層150の凹部の少なくとも一部を埋め込むように形成される。よって、導電層220aは、埋め込み性が良好な成膜方法を用いることが好ましい。導電層220aの成膜には、例えばCVD法を用いることが好ましい。また、導電層220aは、例えば被覆性が良好なALD法を用いて成膜された層と、埋め込み性が良好なCVD法を用いて成膜された層と、の積層構造とすることができる。導電層220bは、導電層220aの成膜に用いることができる方法と同様の方法で成膜できる。導電層220bは、例えばCVD法を用いて成膜できる。

[0388]

導電層220aの上面に対して平坦化処理を行ってもよい。例えば、導電層220aを成膜し、平坦化処理を行った後に、導電層220aを例えばエッチング法を用いて加工することができる。平坦化処理としては、CMP処理が好適である。なお、導電層220bの上面に対して平坦化処理を行ってもよい。

[0389]

導電層220aは、開口部190の内部で絶縁層150を挟んで半導体層130と対向する領域を有するように形成される。また、導電層220a、及び導電層220bは、絶縁層150を介して導電層140a、及び導電層140bと重なる領域を有するように形成される。前述のように、導電層140と導電層220が絶縁層150を介して重なる領域が広いほど、メモリセル10にデータを長期間保持できる。なお、図12Eでは、導電層140aの側面の一部、及び導電層140bの側面の一部が、絶縁層150を介して導電層220aに覆われる例を示している。

[0390]

続いて、図12Fに示すように、導電層220b上、及び絶縁層150上に絶縁層280を形成し、絶縁層280上に導電層240aを形成し、導電層240a上に導電層240bを形成する。その後、導電層240b、導電層240a、及び絶縁層280の、導電層220bと重なる位置に開口部290を形成する。この際、開口部290と重なるように、導電層220bに凹部291が形成される。絶縁層280、導電層240a、導電層240b、開口部290、及び凹部291の形成については、それぞれ前述の絶縁層180、導電層140a、導電層140b、開口部190、及び凹部191の形成についての記載を参照できる。

[0391]

開口部290は、少なくとも一部が開口部190と重なる位置に形成する。また、前述のように、開口部190と重なる位置に凹部191が形成される。以上より、凹部191、開口部190、凹部291、及び開口部290は、少なくとも一部が互いに重なる。これにより、例えば開口部190と開口部290が重ならない場合より、メモリセル10の占有面積を小さくできる。よって、微細化若しくは高集積化が可能な半導体装置を作製できる。また、単位面積当たりの記憶容量が大きい半導体装置を作製できる。

[0392]

続いて、図13Aに示すように、開口部290を覆うように半導体層230を形成する。半導体層230は、導電層240bの上面と接するように形成される。また、半導体層230は、凹部291の底部及び側壁と接するように形成される。さらに、半導体層230は、開口部290の内部で、絶縁層280の側面、導電層240aの側面、及び導電層240bの側面と接するように形成される。半導体層230の形成については、前述の半導体層130の形成についての記載を参照できる。

[0393]

続いて、図13Bに示すように、導電層240a、導電層240b、及び半導体層230を覆うように、犠牲層262を形成する。犠牲層262は、少なくとも一部が開口部290の内部に位置するように形成される。犠牲層262としては、SOC (Spin On Carbon) 膜及びSOG (Spin On Glass) 膜が好適である。犠牲層262は、例えば、SOC膜と、SOC膜上のSOG膜と、の2層構造とすることが好ましい。

[0394]

続いて、図13Cに示すように、犠牲層262の一部を除去する。犠牲層262が残存する領域には、後の工程でゲート絶縁層とゲート電極（絶縁層250と導電層260）が設けられる。したがって、犠牲層262は、導電層240bの上面と重なる領域が少ない、又は導電層240bの上面と重ならないことが好ましい。これにより、導電層240bと導電層260との間の寄生容量が小さい半導体装置を作製できる。断面視において、犠牲層262の幅は、開口部290の幅Dと、後に形成する絶縁層250の膜厚の2倍と、の和を超えないことが好ましい。図13Cでは、犠牲層262の幅が、開口部290の幅Dである例を示す。

[0395]

続いて、図13Dに示すように、絶縁層280、導電層240a、導電層240b、半導体層230、及び犠牲層262を覆うように、絶縁層283を形成し、絶縁層283上に絶縁層285を形成する。

[0396]

絶縁層285の膜厚を厚くすることで、導電層240bとゲート配線（導電層260又は導電層265）との間の距離を大きくでき、導電層240bとゲート配線との間の寄生容量を小さくできる。具体的には、絶縁層285の膜厚を、絶縁層150の膜厚より厚くすることで、導電層240bと、後の工程で形成する導電層265と、の間の寄生容量は、導電層140bと導電層220の間の容量Cpより小さくできる。

[0397]

例えば、絶縁層285として、スパッタリング法を用いて酸化シリコン膜を形成することが好ましい。

[0398]

ここで、絶縁層283を設けない場合、絶縁層285として、スパッタリング法を用いて酸化シリコ

ン膜を形成する際に、犠牲層 262 が酸素を含むプラズマに曝される。よって、犠牲層 262 の一部又は全てがエッチングされることがある。このように、絶縁層 285 の形成方法によっては、犠牲層 262 の形状が縮小する、又は犠牲層 262 が消失する恐れがある。このような理由から、犠牲層 262 上に形成する絶縁層は、絶縁層 285 単層ではなく、絶縁層 283 と絶縁層 285 との積層構造とすることが好ましい。これにより、犠牲層 262 及び絶縁層 285 の材料の選択の幅が広がる、半導体装置の作製の難易度を下げる、等の効果を奏する。

[0399]

絶縁層 283 に酸化膜を用いる場合、スパッタリング法以外の方法、例えば、ALD法を用いて形成することが好ましい。例えば、絶縁層 283 として、ALD法を用いて酸化アルミニウム膜、酸化ハフニウム膜又は窒化膜（窒化シリコン膜等）を形成することが好ましい。これにより、絶縁層 283 の形成時に、犠牲層 262 が意図せず加工されることを抑制できる。

[0400]

続いて、図 14A に示すように、絶縁層 285、及び犠牲層 262 に対して平坦化処理を行う。これにより、犠牲層 262 の上面を露出させ、犠牲層 262、絶縁層 283、及び絶縁層 285 の上面を平坦化させる。平坦化処理としては、CMP 処理が好適である。平坦化処理では、少なくとも、絶縁層 283 及び絶縁層 285 の一部を除去する。さらに、犠牲層 262 の一部を除去してもよい。

[0401]

続いて、図 14B に示すように、犠牲層 262 を除去する。犠牲層 262 の除去方法は特に問わない。ここで、図 14B に示すように、絶縁層 285 に、開口部 290 と重なる領域を有する開口部 270 が形成されるということが出来る。また、絶縁層 283 に、開口部 290 と重なる領域を有する開口部 270 が形成されるといってもよい。

[0402]

続いて、図 14C に示すように、開口部 270 及び開口部 290 を覆うように、絶縁層 250 を形成し、絶縁層 250 上に導電層 260 を形成する。絶縁層 250 は、半導体層 230、絶縁層 283、及び、絶縁層 285 に接して設けられる。

[0403]

絶縁層 250 及び導電層 260 は、それぞれ、アスペクト比の大きい開口部 290 の内部及び開口部 270 の内部に形成される。よって、絶縁層 250 及び導電層 260 の成膜には、それぞれ、被覆性又は埋め込み性が良好な成膜方法を用いることが好ましく、例えば ALD 法又は CVD 法等を用いることが好ましい。例えば、絶縁層 250 の成膜には、ALD 法を用いることが好ましい。また、導電層 260 の成膜には、CVD 法を用いることが好ましい。例えば、導電層 260 が積層構造である場合、少なくとも 1 つの層の成膜には CVD 法を用いることが好ましい。

[0404]

続いて、図 14D に示すように、導電層 260 に対して平坦化処理を行うことで、絶縁層 283 及び絶縁層 285 の上面を露出させ、導電層 260、絶縁層 250、絶縁層 283、及び絶縁層 285 の上面を平坦化させる。平坦化処理としては、CMP 処理が好適である。平坦化処理では、少なくとも、導電層 260 及び絶縁層 250 における、絶縁層 285 の上面と重なる領域を除去する。これにより、導電層 260 における導電層 240b の上面と重なる領域を除去することができる。これにより、導電層 260 と導電層 240b の間に寄生容量が生じることを抑制できる。

[0405]

CMP処理を用いて導電層260における導電層240bの上面と重なる領域を除去することで、例えばドライエッチングを用いる場合に比べて、マスク枚数の増加を抑制できる。

[0406]

図14Dに示すように、絶縁層285の上面の高さと導電層260の上面の高さは揃っていることが好ましい。又は、絶縁層285の上面の高さと導電層260の上面の高さのうち、一方が他方よりも高くなっていてもよい。絶縁層285と導電層260の材料の研磨レートの違いにより、2層の上面の高さの上下関係を制御できる。

[0407]

続いて、図1Fに示すように、絶縁層285上、絶縁層283上、絶縁層250上、及び導電層260上に、導電層265を形成する。導電層265は、導電層260の上面と接するように形成する。また、導電層265は、絶縁層285の上面、絶縁層283の上面、及び絶縁層250の上面と接するように形成できる。

[0408]

導電層265と導電層240bの間には、絶縁層283及び絶縁層285が位置する。これにより、導電層240と導電層260の間の寄生容量は、導電層140と導電層220の間の容量C_pより小さくできる。

[0409]

以上により、本発明の一態様の半導体装置を作製できる。

[0410]

[元素の添加]

なお、前述の通り、絶縁層180、及び絶縁層280に、それぞれハロゲン元素を有する領域を設けてもよい。また、半導体層130、及び半導体層230にそれぞれハロゲン元素を有する領域を設けてもよい。また、半導体層130、及び半導体層230に前述の第1の元素を有する領域を設けてもよい。また、導電層120a、導電層120b、導電層140a、導電層140b、導電層220a、導電層220b、導電層240a、及び導電層240bの少なくとも一つに当該第1の元素を有する領域を設けてもよい。以下では、絶縁層180、又は半導体層130にハロゲン元素を有する領域を設ける例、並びに、半導体層130、導電層120a、導電層120b、導電層140a、及び導電層140bの少なくとも一つに前述の第1の元素を有する領域を設ける例を示す。なお、絶縁層180、半導体層130、導電層120a、導電層120b、導電層140a、及び導電層140bをそれぞれ絶縁層280、半導体層230、導電層220a、導電層220b、導電層240a、及び導電層240bと読み替えること等により、これらの層にハロゲン元素、又は前述の第1の元素を供給する場合であっても以下の説明を適用できる。

[0411]

例えば、図15Aに示すように、前述の図12Bに示す構造を形成した後に、絶縁層180の開口部190における側面にハロゲン元素188を供給する。絶縁層180において、ハロゲン元素188が供給された領域を領域180iとして示す。領域180iは、少なくとも、絶縁層180の開口部190における側面を含む。なお、ハロゲン元素188は、導電層140a、導電層140b、導電層120a、及び導電層120bの一つ以上にも供給されることがある。

[0412]

ここで、図15Aでは、開口部190の側壁が、基板の上面に対して垂直である例を示す。また、本

発明の一態様の半導体装置において、開口部 190 の側壁は、基板の上面に対して垂直若しくは概略垂直であるか、テーパ形状である。したがって、基板の上面に対して垂直又は概略垂直にハロゲン元素 188 を添加すると、所望の領域に均一にハロゲン元素 188 を供給することが難しい場合がある。

[0413]

そこで、図 15A に示すように、基板の上面に対して 0 度より大きく 90 度未満で傾けた方向からハロゲン元素 188 が添加されることが好ましい。図 15A では、絶縁層 110 の上面に対して角度 θ 188 だけ傾けた状態でハロゲン元素 188 を添加する例を示す。角度 θ 188 は、0 度より大きく 90 度未満が好ましく、15 度以上 80 度以下であることが好ましい。これにより、絶縁層 180 の開口部 190 における側面にハロゲン元素を供給することが容易となる。また、一方向からの添加に限定されず、角度を変化させて段階的にハロゲン元素 188 を供給することで、所望の領域により均一にハロゲン元素 188 を供給することができ、好ましい。

[0414]

ハロゲン元素 188 に用いることができる元素は、前述の通りである。

[0415]

ハロゲン元素 188 の供給には、プラズマイオンドーピング法又はイオン注入法を好適に用いることができる。これらの方法は、深さ方向の濃度プロファイルを、イオンの加速電圧及びドーズ量等により、高い精度で制御することができる。

[0416]

なお、例えば、処理する基板、及び、装置におけるイオン照射部の一方又は双方を傾けることで、角度 θ 188 を上記の範囲内とすることができる。

[0417]

原料ガスをイオン化し、当該イオンを質量分離して添加するイオン注入法を用いることで、供給されるハロゲン元素 188 の純度を高めることができる。領域 180 i は、半導体層 130 のチャネル形成領域と接する領域である。したがって、ハロゲン元素 188 を供給する際に、領域 180 i に他の不純物元素も供給されると、半導体層 130 のチャネル形成領域に当該不純物元素が拡散し、トランジスタの特性及び信頼性に影響を及ぼす恐れがある。したがって、イオン注入法を用い、領域 180 i にハロゲン元素 188 を高純度で供給することが好ましい。

[0418]

また、原料ガスをイオン化し、当該イオンを質量分離せずに添加するプラズマイオンドーピング法を用いることで、生産性を高めることができる。

[0419]

ハロゲン元素 188 の供給に用いるイオン注入装置又はイオンドーピング装置は、LTPS トランジスタ等の Si トランジスタの製造にも用いられるため、既存の LTPS 製造ラインの装置を流用することができ、新たな設備投資を必要としないため好ましい。これにより、半導体装置の製造に係る設備投資費用を安くすることができる。

[0420]

ハロゲン元素 188 の原料ガスとしては、前述のハロゲン元素を含むガスを用いることができる。当該ガスとしては、ハロゲン単体のガス、又は、ハロゲン化合物ガスのいずれを用いることもできる。フッ素を供給する場合、代表的には、 F_2 ガス、 BF_3 ガス、 C_4F_6 ガス、 C_5F_6 ガス、 C_4F_8 ガス、

CF₄ガス、SF₆ガス、CHF₃ガス、CH₂F₂ガス、又はCH₃Fガス等を用いることができる。また、塩素を供給する場合には、代表的には、Cl₂ガス、BCl₃ガス、SiCl₄ガス、CCl₄ガスを用いることができる。また、これらの原料ガスを水素又は貴ガスで希釈した混合ガスを用いてもよい。また、イオン源は、気体に限られず、固体又は液体を加熱して気化させてもよい。

[0421]

ハロゲン元素188の供給は、絶縁層180の組成、密度、及び、膜厚等を考慮して、加速電圧及びドーズ量等の条件を設定することで制御することができる。

[0422]

なお、ハロゲン元素188の供給方法に限定は無く、例えばプラズマ処理、又は、加熱による熱拡散を利用した処理等を用いてもよい。プラズマ処理法の場合、供給するハロゲン元素を含むガス雰囲気にてプラズマを発生させて、プラズマ処理を行うことによって、不純物元素を供給することができる。上記プラズマを発生させる装置としては、ドライエッチング装置、アッシング装置、プラズマCVD装置、又は高密度プラズマCVD装置等を用いることができる。

[0423]

また、ハロゲン元素188の供給工程は、基板を加熱しながら行ってもよい。これにより、絶縁層180において、ハロゲン元素188が添加される際に加わるダメージを、修復することができる。つまり、絶縁層180に対して、ハロゲン元素188の添加と、当該添加に伴い加わるダメージの修復と、を並行して行うことができる。

[0424]

ハロゲン元素188の供給工程における基板温度は、150℃以上基板の歪み点未満が好ましく、さらには200℃以上500℃以下が好ましく、さらには200℃以上450℃以下が好ましく、さらには250℃以上400℃以下が好ましく、さらには250℃以上350℃以下、又は、300℃以上400℃以下が好ましく、さらには300℃以上350℃以下が好ましい。

[0425]

その後、基板を加熱しながら半導体層130を成膜することで、領域180iから半導体層130にハロゲン元素を供給できることがある。また、半導体層130を形成した後に行う加熱処理の際に、領域180iから半導体層130にハロゲン元素を供給できることがある。

[0426]

このように、本発明の一態様の半導体装置では、絶縁層180に、ハロゲン元素188を添加し、その後、絶縁層180から半導体層130にハロゲン元素188を供給するため、元素添加に伴って半導体層130のチャンネル形成領域にダメージが加わること、及び、元素添加に伴ってチャンネル形成領域の結晶性が低くなること等を抑制できる。したがって、トランジスタの信頼性を高めることができる。

[0427]

又は、図15Bに示すように、前述の図12Cに示す構造を形成した後に、開口部190の内部に位置する半導体層130の側面にハロゲン元素188を供給してもよい。半導体層130において、ハロゲン元素188が供給された領域を領域130iとして示す。領域130iは、少なくとも、開口部190の内部に位置する半導体層130の側面を含む。なお、ハロゲン元素188は、絶縁層180、導電層140a、導電層140b、導電層120a、及び導電層120bの一つ以上にも供給されることがある。

[0428]

また、例えば、図15Cに示すように、前述の図12Bに示す構造を形成した後に、導電層120bの上面、及び導電層140bの上面に不純物元素189を供給する。導電層120bにおいて、不純物元素189が供給された領域を220nとして示す。同様に、導電層140bにおいて、不純物元素189が供給された領域を領域140nとして示す。

[0429]

その後、半導体層130を成膜し、例えば加熱処理を行うことで、領域120n、及び、領域140nから、半導体層130のソース領域及びドレイン領域に不純物元素189を供給することができる。

[0430]

導電層120又は導電層140を介して不純物元素189を半導体層130に供給することで、半導体層130に直接、不純物元素189を添加する場合に比べて、半導体層130の結晶性が低下することを抑制できる。そのため、結晶性の低下により電気抵抗が増大することを抑制できる。

[0431]

又は、図15Dに示すように、前述の図12Cに示す構造を形成した後に、半導体層130に不純物元素189を供給してもよい。半導体層130において、不純物元素189が供給された領域を領域130nとして示す。

[0432]

半導体層130に不純物元素189を添加することで、半導体層130のシート抵抗、半導体層130と導電層120とのコンタクト抵抗、及び、半導体層130と導電層140とのコンタクト抵抗をそれぞれ低減させることができる。

[0433]

半導体層130に直接、不純物元素189を添加したのち、半導体層130上に絶縁層150を成膜することで、絶縁層150が不純物元素189の添加によるダメージを受けることを抑制できる。

[0434]

不純物元素189は、基板の上面に対して垂直又は概略垂直な方向から添加されることが好ましい。この場合、半導体層130において、基板の上面に対して傾斜している面、又は、垂直若しくは概略垂直な面は、基板の上面に対して平行又は概略平行な面と比べて、不純物元素が添加される量が少なくなる。つまり、半導体層130のソース領域及びドレイン領域は、チャンネル形成領域と比較して、不純物元素が添加される量が多くなる。したがって、ソース領域及びドレイン領域を優先的に低抵抗化することができる。

[0435]

図15Dでは、半導体層130と導電層120bの上面との界面及びその近傍と、半導体層130と導電層140bの上面との界面及びその近傍と、に領域130nが形成される例を示す。

[0436]

不純物元素189に用いることができる元素は、前述の通りである。

[0437]

不純物元素189の供給には、プラズマイオンドーピング法又はイオン注入法を好適に用いることができる。これらの方法は、深さ方向の濃度プロファイルを、イオンの加速電圧及びドーズ量等により、高い精度で制御することができる。

[0438]

原料ガスをイオン化し、当該イオンを質量分離して添加するイオン注入法を用いることで、供給される不純物元素の純度を高めることができる。イオン注入法を用いる場合、不純物元素189として、前述の第1の元素を用いることが好ましく、ホウ素又はリンを用いることがより好ましい。不純物元素189として、酸素と結合して安定化する元素を用いることで、電気抵抗が低い状態で安定した領域130nを実現できる。

[0439]

また、原料ガスをイオン化し、当該イオンを質量分離せずに添加するプラズマイオンドーピング法を用いることで、生産性を高めることができる。プラズマイオンドーピング法を用いる場合、不純物元素189として、第1の元素と、水素と、の双方を用いることが好ましく、ホウ素又はリンと、水素と、の双方を用いることがさらに好ましい。不純物元素189として、酸素と結合して安定化する元素と、水素と、の双方を用いることで、領域130nの電気抵抗を低くしやすく、かつ、電気抵抗が低い状態を安定して維持できる。

[0440]

不純物元素189の供給に用いるイオン注入装置又はイオンドーピング装置は、LTPSトランジスタ等のSiトランジスタの製造にも用いられるため、既存のLTPS製造ラインの装置を流用することができ、新たな設備投資を必要としないため好ましい。これにより、半導体装置の製造に係る設備投資費用を安くすることができる。

[0441]

不純物元素189の供給処理において、半導体層130のうち、導電層120bの上面又は導電層140bの上面と重なる領域の不純物元素の濃度が、他の領域の当該不純物元素の濃度よりも高くなるように、処理条件を制御することが好ましい。これにより、半導体層130のソース領域及びドレイン領域に、最適な濃度の不純物元素189を供給することができる。

[0442]

不純物元素189の原料ガスとしては、前述の不純物元素を含むガスを用いることができる。ホウ素を供給する場合、代表的には B_2H_6 ガス、又は BF_3 ガス等を用いることができる。また、リンを供給する場合には、代表的には PH_3 ガスを用いることができる。また、これらの原料ガスを水素又は貴ガスで希釈した混合ガスを用いてもよい。

[0443]

その他、原料ガスとして、 CH_4 、 N_2 、 NH_3 、 AlH_3 、 $AlCl_3$ 、 SiH_4 、 Si_2H_6 、 F_2 、 HF 、 H_2 、 $(C_5H_5)_2Mg$ 、及び貴ガス等を用いることができる。また、イオン源は、気体に限られず、固体又は液体を加熱して気化させてもよい。

[0444]

例えば、ホウ素及び水素を含むガスを用いて、不純物元素189として、ホウ素と水素を供給することが好ましい。この場合、質量分離せずに不純物元素189を添加でき、かつ、半導体層130の低抵抗化が容易となるため、半導体装置の生産性及び特性の双方の向上を図ることができ、好ましい。

[0445]

また、ハロゲン元素188の供給工程と不純物元素189の供給工程で同一の原料ガスを用いると、製造コストを抑制でき、好ましい。例えば、 BF_3 ガスをイオン化し、当該イオンを質量分離することで、ハロゲン元素188としてフッ素を供給することができ、また、不純物元素189としてホウ

素を供給することができる。

[0446]

不純物元素189の供給は、半導体層130の組成、密度、及び、膜厚等を考慮して、加速電圧及びドーズ量等の条件を設定することで制御することができる。

[0447]

なお、不純物元素189の供給方法に限定は無く、例えばプラズマ処理、又は、加熱による熱拡散を利用した処理等を用いてもよい。プラズマ処理法の場合、供給する不純物元素を含むガス雰囲気にてプラズマを発生させて、プラズマ処理を行うことによって、不純物元素を供給することができる。上記プラズマを発生させる装置としては、ドライエッチング装置、アッシング装置、プラズマCVD装置、又は高密度プラズマCVD装置等を用いることができる。

[0448]

また、不純物元素189の供給工程は、基板を加熱しながら行うことが好ましい。これにより、半導体層130において、不純物元素189が添加される際に加わるダメージを、修復することができる。つまり、半導体層130に対して、不純物元素189の添加と、当該添加に伴い加わるダメージの修復と、を並行して行うことができる。

[0449]

不純物元素189の供給工程における基板温度は、150°C以上基板の歪み点未満が好ましく、さらには200°C以上500°C以下が好ましく、さらには200°C以上450°C以下が好ましく、さらには250°C以上400°C以下が好ましく、さらには250°C以上350°C以下、又は、300°C以上400°C以下が好ましく、さらには300°C以上350°C以下が好ましい。

[0450]

不純物元素189を供給した後に、加熱処理を行ってもよい。当該加熱処理を行うことで、不純物元素189の供給工程で半導体層130が受けたダメージの修復を図ることができる。

[0451]

不純物元素189として、酸素と結合して安定化する元素を用いることで、例えば半導体装置の作製工程中にかかる熱で不純物元素189が脱離することを抑制できる。したがって、不純物元素189の添加後に、加熱処理を行う、又は基板を加熱しながら成膜工程等を行っても、領域130nにおいて、電気抵抗が低い状態を維持することができる。

[0452]

また、図15Eに示すように、絶縁層150を介して、半導体層130に不純物元素189を添加してもよい。なお、このとき、絶縁層150にも不純物元素189が供給されることがある。領域130nは、絶縁層150よりも不純物元素189の濃度が高い領域を有すると、領域130nの電気抵抗をより低くできるため、好ましい。

[0453]

絶縁層150を介して不純物元素189を半導体層130に供給することで、半導体層130に直接、不純物元素189を添加する場合に比べて、半導体層130の結晶性が低下することを抑制できる。そのため、結晶性の低下により電気抵抗が増大することを抑制できる。

[0454]

また、不純物元素189の添加後に、絶縁層150を成膜すると、絶縁層150の成膜室内が汚染される恐れがある。このことから、絶縁層150を成膜した後に、不純物元素189を添加すること

が好ましい。

[0455]

ここで、不純物元素189が添加される方向における絶縁層150の膜厚は、導電層120bの上面、又は導電層140bの上面に沿って設けられている領域に比べて、絶縁層180の側面に沿って設けられている領域の方が厚くなる。これにより、半導体層130における、導電層120bの上面、又は導電層140bの上面に沿って設けられている領域は、絶縁層180の側面に沿って設けられている領域に比べて、不純物元素189が添加される量が多くなる。このように、半導体層130のチャンネル形成領域に不純物元素189が入ることを抑制し、ソース領域及びドレイン領域を優先的に低抵抗化することができる。

[0456]

以上のように、本発明の一態様の半導体装置は、半導体層にゲート電界がかかりやすい構成を有する。したがって、トランジスタの電気特性を良好にすることができる。また、本発明の一態様の半導体装置は、容量素子を設けなくてもデータを保持できる構成を有する。したがって、低価格な半導体装置を提供できる。

[0457]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。また、本明細書において、1つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

[0458]

(実施の形態2)

本実施の形態では、本発明の一態様の記憶装置について図面を用いて説明する。具体的には、先の実施の形態に示すメモリセルを有する記憶装置について図面を用いて説明する。

[0459]

メモリセル10を3次的にマトリクス状に配置することで、メモリセルアレイを構成することができる。

[0460]

図16Aは、記憶装置の平面図である。図16Aでは、X方向及びY方向に2個×2個のメモリセル10（メモリセル10a乃至メモリセル10d）を配置する例を示す。

[0461]

図16Bは、図16Aに示す一点鎖線B1-B2間の断面図である。図16A及び図16Bでは、2個のメモリセルが共通の配線（導電層145、及び導電層245）に接続されている。

[0462]

図16A及び図16Bに示すように、導電層140及び導電層265は、メモリセル10a及びメモリセル10bに、それぞれ設けられる。また、図16Aに示すように、1つの導電層140、及び1つの導電層265が、メモリセル10aとメモリセル10cに共通して設けられる。つまり、導電層140は、メモリセル10aの半導体層130と、メモリセル10cの半導体層130に接する。また、他の1つの導電層140、及び導電層265が、メモリセル10bとメモリセル10dに共通して設けられる。

[0463]

また、1つの導電層240は、メモリセル10a及びメモリセル10bに、共通に設けられる。つまり、導電層240は、メモリセル10aの半導体層230と、メモリセル10bの半導体層230に

接する。また、他の1つの導電層240が、メモリセル10c及びメモリセル10dに、共通に設けられる。

[0464]

ここで、図16A及び図16Bに示す記憶装置は、導電層265上、及び絶縁層283上に位置する絶縁層287を有する。また、図16A及び図16Bに示す記憶装置は、メモリセル10a及びメモリセル10bと電氣的に接続してプラグ（接続電極とよぶこともできる）として機能する、導電層145及び導電層245を有する。導電層145は、絶縁層110、絶縁層180、絶縁層150、及び、絶縁層280に形成された開口部の内部に配置され、導電層240aの下面に接する。また、導電層245は、絶縁層287、絶縁層285、絶縁層283、及び半導体層230に形成された開口部の内部に配置され、導電層240bの上面に接する。なお、導電層145及び導電層245は、導電層140、及び導電層240に適用可能な導電性材料等を用いることができる。

[0465]

導電層245は、導電層240aの上面と接する構成とすることもできる。又は、導電層245は、半導体層230の上面と接する構成とすることもできる。つまり、導電層240bは、導電層245と重なる位置に開口部を有していてもよい。また、半導体層230は、導電層245と重なる位置に開口部を有していなくてもよい。メモリセルとプラグの接続箇所としては、導電層240及び半導体層230を構成する各層のうち、導電層245とのコンタクト抵抗が低い層が、導電層245と接することが好ましい。

[0466]

同様に、導電層145は、導電層240bの下面又は半導体層230の下面と接する構成とすることもできる。つまり、導電層240aは、導電層245と重なる位置に開口部を有していてもよい。導電層240及び半導体層230を構成する層のうち、導電層145とのコンタクト抵抗が低い層が、導電層145と接することが好ましい。

[0467]

また、導電層240及び半導体層230を構成する層のうち、配線抵抗が低い層が、導電層145及び導電層245と接することが好ましい。

[0468]

絶縁層287は、層間膜として機能するため、比誘電率が低いことが好ましい。比誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減できる。

[0469]

また、絶縁層287中の水、及び水素等の不純物濃度は低減されていることが好ましい。これにより、半導体層230のチャンネル形成領域に、水、及び水素等の不純物が混入することを抑制できる。

[0470]

導電層145及び導電層245は、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、及びダイオード等の回路素子、配線、電極、又は、端子と、メモリセル10a及びメモリセル10bを電氣的に接続するためのプラグ又は配線として機能する。例えば、導電層145が、図16Bに示す記憶装置の下に設けられたセンスアンプ（図示しない）に電氣的に接続され、導電層245が、図16Bに示す記憶装置の上に設けられた同様の記憶装置（図示しない）と電氣的に接続される構成にすることができる。この場合、導電層145及び導電層245は、先の実施の形態に示す配線23の一部として機能する。このように、図16Bに示す記憶装置の上又は下に記憶装置等を設けることで、

単位面積当たりの記憶容量を大きくできる。

[0471]

メモリセル10aとメモリセル10bは、図16Aに示す一点鎖線B1-B2の垂直二等分線C1-C2を対称軸とした線対称の構成となっている。また、メモリセル10aとメモリセル10bは、図16Bに示す一点鎖線B1-B2の垂直二等分線C3-C4を対称軸とした線対称の構成となっている。以上により、トランジスタ200aとトランジスタ200bも、導電層145及び導電層245を挟んで、対称の位置に配置される。ここで、導電層240は、トランジスタ200aのソース電極及びドレイン電極の他方としての機能と、トランジスタ200bのソース電極及びドレイン電極の他方としての機能とを有する。また、トランジスタ200a及びトランジスタ200bは、プラグとして機能する導電層145及び導電層245を共有する。このように、2つのトランジスタと、プラグとの接続を上述の構成とすることで、微細化又は高集積化が可能な記憶装置を提供できる。なお、トランジスタ100aとトランジスタ100bも、導電層145及び導電層245を挟んで、対称の位置に配置される。

[0472]

なお、導電層120は、メモリセル10a及びメモリセル10bに、それぞれ設けてもよいし、メモリセル10a及びメモリセル10bに、共通に設けてもよい。ただし、図16Bに示すように、導電層120は、導電層145と隔離して設け、導電層120と導電層145がショートしないようにする。

[0473]

また、図17では、図16Aに示す4個のメモリセルがZ方向にn層（nは3以上の整数）積層されている例を示す。図17は、図16Aに示す一点鎖線B1-B2間の断面図である。

[0474]

図17に示す記憶装置は、n層のメモリ層60を有する。具体的には、メモリ層60[1]上にメモリ層60[2]が設けられ、メモリ層60[2]上に、さらに、(n-2)層のメモリ層が設けられており、最上段にメモリ層60[n]が設けられている。1層のメモリ層60が有するメモリセルの数は特に限定されず、2以上のメモリセルを有することができる。導電層145、導電層245、導電層247、及び導電層248等によって、n層のメモリ層60が有するメモリセルが、n層のメモリ層60の下に設けられたセンスアンプ（図示しない）と電気的に接続される。

[0475]

図17では、導電層145が導電層240の下面と接し、導電層245が半導体層230の上面と接する例を示している。前述の通り、導電層145及び導電層245等のプラグと、各メモリセルとの接続箇所は様々な態様が可能であり、図17の構成に限定されない。

[0476]

図17に示すように、複数のメモリセルを積層することにより、メモリセルアレイの占有面積を増やすことなく、セルを集積して配置することができる。つまり、3Dメモリセルアレイを構成することができる。

[0477]

図18に、センスアンプを含む駆動回路が設けられる層上に、メモリセルを有する層が積層して設けられた記憶装置の断面構成例を示す。

[0478]

図18では、トランジスタ300の上方にメモリセル10（トランジスタ100及びトランジスタ200）が設けられている。

[0479]

トランジスタ300は、センスアンプが有するトランジスタの一つである。

[0480]

図18に示すように、メモリセル10と重なるようにセンスアンプを設ける構成にすることで、ビット線を短くすることができる。これにより、ビット線容量が小さくなり、メモリセルの保持容量を低減することができる。

[0481]

図18に示す記憶装置は、実施の形態3で説明する半導体装置900と対応させることができる。具体的には、トランジスタ300は、半導体装置900におけるセンスアンプ927が有するトランジスタに相当する。また、メモリセル10は、メモリセル950と対応する。

[0482]

トランジスタ300は、基板311上に設けられ、ゲートとして機能する導電層316と、ゲート絶縁層として機能する絶縁層315と、基板311の一部からなる半導体領域313と、ソース領域又はドレイン領域として機能する低抵抗領域314a及び低抵抗領域314bと、を有する。トランジスタ300は、pチャンネル型又はnチャンネル型のいずれでもよい。

[0483]

ここで、図18に示すトランジスタ300はチャンネルが形成される半導体領域313（基板311の一部）が凸形状を有する。また、半導体領域313の側面及び上面を、絶縁層315を介して、導電層316が覆うように設けられている。なお、導電層316は仕事関数を調整する材料を用いてもよい。このようなトランジスタ300は半導体基板の凸部を利用していることからFIN型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁層を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、SOI基板を加工して凸形状を有する半導体膜を形成してもよい。

[0484]

なお、図18に示すトランジスタ300は一例であり、その構造に限定されず、回路構成又は駆動方法に応じて適切なトランジスタを用いることができる。

[0485]

各構造体の間には、層間膜、配線、及びプラグ等が設けられた配線層が設けられていてもよい。また、配線層は、設計に応じて複数層設けることができる。ここで、プラグ又は配線として機能する導電層は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電気的に接続するプラグとが一体物であってもよい。すなわち、導電層の一部が配線として機能する場合、及び導電層の一部がプラグとして機能する場合もある。

[0486]

例えば、トランジスタ300上には、層間膜として、絶縁層320、絶縁層322、絶縁層324、及び絶縁層326が順に積層して設けられている。また、絶縁層320及び絶縁層322には導電層328が埋め込まれ、絶縁層324及び絶縁層326には導電層330が埋め込まれている。なお、導電層328及び導電層330はプラグ、又は配線として機能する。

[0487]

また、層間膜として機能する絶縁層は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。例えば、絶縁層 3 2 2 の上面は、平坦性を高めるために例えば CMP 法を用いた平坦化処理により平坦化されている。

[0 4 8 8]

絶縁層 3 2 6 及び導電層 3 3 0 上に、配線層を設けてもよい。例えば、図 1 8 において、絶縁層 3 5 0、絶縁層 3 5 2、及び絶縁層 3 5 4 が順に積層して設けられている。また、絶縁層 3 5 0、絶縁層 3 5 2、及び絶縁層 3 5 4 には、導電層 3 5 6 が形成されている。導電層 3 5 6 は、プラグ、又は配線として機能する。

[0 4 8 9]

層間膜として機能する、絶縁層 3 5 2、及び絶縁層 3 5 4 等は、前述の、半導体装置又は記憶装置に用いることができる絶縁層を用いることができる。

[0 4 9 0]

プラグ、又は配線として機能する導電層、例えば、導電層 3 2 8、導電層 3 3 0、及び導電層 3 5 6 等としては、導電層 1 4 0、及び導電層 2 4 0 に適用可能な導電性材料を用いることができる。耐熱性と導電性を両立するタングステン、又はモリブデン等の高融点材料を用いることが好ましく、タングステンを用いることが特に好ましい。又は、アルミニウム、又は銅等の低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くできる。

[0 4 9 1]

トランジスタ 2 0 0 が有する導電層 2 4 0 は、導電層 6 4 3、導電層 6 4 2、導電層 6 4 4、導電層 6 4 5、導電層 6 4 6、導電層 3 5 6、導電層 3 3 0、及び、導電層 3 2 8 を介して、トランジスタ 3 0 0 のソース領域又はドレイン領域として機能する低抵抗領域 3 1 4 b と、電氣的に接続されている。

[0 4 9 2]

導電層 6 4 3 は、絶縁層 2 8 0 に埋め込まれている。導電層 6 4 4 は、絶縁層 1 8 0、及び絶縁層 1 5 0 に埋め込まれている。導電層 6 4 6 は、絶縁層 1 1 0 に埋め込まれている。導電層 6 4 2 は、導電層 6 4 4 及び絶縁層 1 5 0 と、導電層 6 4 3 及び絶縁層 2 8 0 と、の間に設けられる。導電層 6 4 5 は、導電層 6 4 6 及び絶縁層 1 1 0 と、導電層 6 4 4 及び絶縁層 1 8 0 と、の間に設けられる。導電層 6 4 2 は、導電層 2 2 0 と同一の材料、及び、同一の工程で作製できる。導電層 6 4 5 は、導電層 1 2 0 と同一の材料、及び、同一の工程で作製できる。また、絶縁層 1 1 0 によって、トランジスタ 3 0 0 と、導電層 1 2 0 と、が電氣的に絶縁されている。

[0 4 9 3]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。また、本明細書において、1 つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

[0 4 9 4]

(実施の形態 3)

本実施の形態では、本発明の一態様に係る半導体装置 9 0 0 について説明する。半導体装置 9 0 0 は記憶装置として機能できる。

[0 4 9 5]

図 1 9 に、半導体装置 9 0 0 の構成例を示すブロック図を示す。図 1 9 に示す半導体装置 9 0 0 は、駆動回路 9 1 0 と、メモリアレイ 9 2 0 と、を有する。メモリアレイ 9 2 0 は、1 以上のメモリセル

950を有する。図19では、メモリアレイ920がマトリクス状に配置された複数のメモリセル950を有する例を示している。

[0496]

メモリセル950には、例えば実施の形態2で説明した記憶装置（例えばメモリセル10）を適用することができる。

[0497]

駆動回路910は、PSW931（パワースイッチ）、PSW932、及び周辺回路915を有する。周辺回路915は、周辺回路911、コントロール回路912、及び電圧生成回路928を有する。

[0498]

半導体装置900において、各回路、各信号及び各電圧は、必要に応じて、適宜取捨することができる。或いは、他の回路又は他の信号を追加してもよい。信号BW、信号CE、信号GW、信号CLK、信号WAKE、信号ADDR、信号WDA、信号PON1、信号PON2は外部からの入力信号であり、信号RDAは外部への出力信号である。信号CLKはクロック信号である。

[0499]

また、信号BW、信号CE、及び信号GWは制御信号である。信号CEはチップイネーブル信号であり、信号GWはグローバル書き込みイネーブル信号であり、信号BWはバイト書き込みイネーブル信号である。信号ADDRはアドレス信号である。信号WDAは書き込みデータであり、信号RDAは読み出しデータである。信号PON1、信号PON2は、パワーゲーティング制御用信号である。なお、信号PON1、信号PON2は、コントロール回路912で生成してもよい。

[0500]

コントロール回路912は、半導体装置900の動作全般を制御する機能を有するロジック回路である。例えば、コントロール回路912は、信号CE、信号GW及び信号BWを論理演算して、半導体装置900の動作モード（例えば、書き込み動作、読み出し動作）を決定する。又は、コントロール回路912は、この動作モードが実行されるように、周辺回路911の制御信号を生成する。

[0501]

電圧生成回路928は負電圧を生成する機能を有する。信号WAKEは、信号CLKの電圧生成回路928への入力を制御する機能を有する。例えば、信号WAKEとしてHレベルの信号が与えられると、信号CLKが電圧生成回路928へ入力され、電圧生成回路928は負電圧を生成する。

[0502]

周辺回路911は、メモリセル950に対するデータの書き込み及び読み出しをするための回路である。周辺回路911は、行デコーダ941、列デコーダ942、行ドライバ923、列ドライバ924、入力回路925、出力回路926、及びセンスアンプ927を有する。

[0503]

行デコーダ941及び列デコーダ942は、信号ADDRをデコードする機能を有する。行デコーダ941は、アクセスする行を指定するための回路であり、列デコーダ942は、アクセスする列を指定するための回路である。行ドライバ923は、行デコーダ941が指定する行を選択する機能を有する。列ドライバ924は、データをメモリセル950に書き込む機能、メモリセル950からデータを読み出す機能、及び読み出したデータを保持する機能等を有する。

[0504]

入力回路925は、信号WDAを保持する機能を有する。入力回路925が保持するデータは、列ド

ライバ924に出力される。入力回路925の出力データが、メモリセル950に書き込むデータ(Din)である。列ドライバ924がメモリセル950から読み出したデータ(Dout)は、出力回路926に出力される。出力回路926は、Doutを保持する機能を有する。また、出力回路926は、Doutを半導体装置900の外部に出力する機能を有する。出力回路926から出力されるデータが信号RDAである。

[0505]

PSW931は周辺回路915への V_{DD} の供給を制御する機能を有する。PSW932は、行ドライバ923への V_{HM} の供給を制御する機能を有する。ここでは、半導体装置900の高電源電位が V_{DD} であり、低電源電位はGND(接地電位)である。また、 V_{HM} は、ワード線を高レベルにするために用いられる高電源電位であり、 V_{DD} よりも高い。信号PON1によってPSW931のオン状態・オフ状態が制御され、信号PON2によってPSW932のオン状態・オフ状態が制御される。図19では、周辺回路915において、 V_{DD} が供給される電源ドメインの数を1としているが、複数にすることもできる。この場合、各電源ドメインに対してパワースイッチを設ければよい。

[0506]

半導体装置900が有する駆動回路910とメモリアレイ920は同一平面上に設けてもよい。また、図20Aに示すように、駆動回路910とメモリアレイ920を重ねて設けてもよい。駆動回路910とメモリアレイ920を重ねて設けることで、信号伝搬距離を短くすることができる。また、図20Bに示すように、駆動回路910上にメモリアレイ920を複数層重ねて設けてもよい。

[0507]

続いて、上記記憶装置等の半導体装置を備えることができる演算処理装置の一例について説明する。

[0508]

図21に、演算装置960のブロック図を示す。図21に示す演算装置960は、例えばCPUに適用することができる。また、演算装置960は、CPUよりも並列処理可能なプロセッサコアを多数(数10~数100個)有するGPU(Graphics Processing Unit)、TPU(Tensor Processing Unit)、及びNPU(Neural Processing Unit)等のプロセッサにも適用することができる。

[0509]

図21に示す演算装置960は、基板990上に、ALU991(ALU:Arithmetic Logic unit、演算回路)、ALUコントローラ992、インストラクションデコーダ993、インタラプトコントローラ994、タイミングコントローラ995、レジスタ996、レジスタコントローラ997、バスインターフェース998、キャッシュ999、及びキャッシュインターフェース989を有している。基板990は、半導体基板、SOI基板、又はガラス基板等を用いる。書き換え可能なROM及びROMインターフェースを有してもよい。また、キャッシュ999及びキャッシュインターフェース989は、別チップに設けてもよい。

[0510]

キャッシュ999は、別チップに設けられたメインメモリとキャッシュインターフェース989を介して接続される。キャッシュインターフェース989は、メインメモリに保持されているデータの一部をキャッシュ999に供給する機能を有する。またキャッシュインターフェース989は、キャッシュ999に保持されているデータの一部を、バスインターフェース998を介してALU991又はレジスタ996等へ出力する機能を有する。

[0511]

後述するように、演算装置960上に積層して、メモリアレイ920を設けることができる。メモリアレイ920はキャッシュとして用いることができる。このとき、キャッシュインターフェース989はメモリアレイ920に保持されているデータをキャッシュ999に供給する機能を有している。またこのとき、キャッシュインターフェース989の一部に、駆動回路910を有することが好ましい。

[0512]

なお、キャッシュ999を設けず、メモリアレイ920のみをキャッシュとして用いることもできる。

[0513]

図21に示す演算装置960は、その構成を簡略化して示した一例にすぎず、実際の演算装置960はその用途によって多種多様な構成を有している。例えば、図21に示す演算装置960を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作する、いわゆるマルチコアの構成とすることが好ましい。コアの数が多いほど、演算性能を高めることができる。コアの数は多いほど好ましいが、例えば2個、好ましくは4個、より好ましくは8個、さらに好ましくは12個、さらに好ましくは16個又はそれ以上とすることが好ましい。また、サーバ用途等非常に高い演算性能が求められる場合には、16個以上、好ましくは32個以上、さらに好ましくは64個以上のコアを有するマルチコアの構成とすることが好ましい。また、演算装置960が内部演算回路、及びデータバス等で扱えるビット数は、例えば8ビット、16ビット、32ビット、又は64ビット等とすることができる。

[0514]

バスインターフェース998を介して演算装置960に入力された命令は、インストラクションデコーダ993に入力され、デコードされた後、ALUコントローラ992、インタラプトコントローラ994、レジスタコントローラ997、タイミングコントローラ995に入力される。

[0515]

ALUコントローラ992、インタラプトコントローラ994、レジスタコントローラ997、タイミングコントローラ995は、デコードされた命令に基づき、各種制御を行う。具体的にALUコントローラ992は、ALU991の動作を制御するための信号を生成する。また、インタラプトコントローラ994は、演算装置960のプログラム実行中に、外部の入出力装置、又は周辺回路等からの割り込み要求を、その優先度、又はマスク状態等から判断し、処理する。レジスタコントローラ997は、レジスタ996のアドレスを生成し、演算装置960の状態に応じてレジスタ996の読み出し及び書き込みを行う。

[0516]

また、タイミングコントローラ995は、ALU991、ALUコントローラ992、インストラクションデコーダ993、インタラプトコントローラ994、及びレジスタコントローラ997の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ995は、基準クロック信号を元に、内部クロック信号を生成する内部クロック生成部を備えており、内部クロック信号を上記各種回路に供給する。

[0517]

図21に示す演算装置960において、レジスタコントローラ997は、ALU991からの指示に従い、レジスタ996における保持動作の選択を行う。すなわち、レジスタ996が有するメモリセ

ルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ996内のメモリセルへの、電源電位の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ996内のメモリセルへの電源電位の供給を停止することができる。

[0518]

メモリアレイ920と演算装置960は、重ねて設けることができる。図22A及び図22Bに半導体装置970Aの斜視図を示す。半導体装置970Aは、演算装置960上に、メモリアレイが設けられた層930を有する。層930には、メモリアレイ920L1、メモリアレイ920L2、及びメモリアレイ920L3が設けられている。演算装置960と各メモリアレイは、互いに重なる領域を有する。半導体装置970Aの構成を分かりやすくするため、図22Bでは演算装置960及び層930を分離して示している。

[0519]

メモリアレイを有する層930と演算装置960を重ねて設けることで、両者の接続距離を短くすることができる。よって、両者間の通信速度を高めることができる。また、接続距離が短いため消費電力を低減できる。

[0520]

メモリアレイを有する層930と演算装置960とを積層する方法としては、演算装置960上に直接メモリアレイを有する層930を積層する方法(モノリシック積層ともいう)を用いてもよいし、演算装置960と層930とをそれぞれ異なる基板上に形成し、2つの基板を貼り合せ、貫通ビア又は導電膜の接合技術(Cu-Cu接合等)を用いて電氣的に接続する方法を用いてもよい。前者は貼合わせにおける位置ずれを考慮する必要がないため、チップサイズを小さくできるだけでなく、作製コストを削減できる。

[0521]

ここで、演算装置960にキャッシュ999を有さず、層930に設けられるメモリアレイ920L1、920L2、及び920L3は、それぞれキャッシュとして用いることができる。このとき、例えばメモリアレイ920L1をL1キャッシュ(レベル1キャッシュともいう)として用い、メモリアレイ920L2をL2キャッシュ(レベル2キャッシュともいう)として用い、メモリアレイ920L3をL3キャッシュ(レベル3キャッシュともいう)として用いることができる。3つのメモリアレイのうち、メモリアレイ920L3が最も容量が大きく、かつ、最もアクセス頻度が低い。また、メモリアレイ920L1が最も容量が小さく、かつ最もアクセス頻度が高い。

[0522]

なお、演算装置960に設けられるキャッシュ999をL1キャッシュとして用いる場合は、層930に設けられる各メモリアレイを、それぞれ下位のキャッシュ、又はメインメモリとして用いることができる。メインメモリはキャッシュよりも容量が大きく、アクセス頻度の低いメモリである。

[0523]

また、図22Bに示すように、駆動回路910L1、駆動回路910L2、及び駆動回路910L3が設けられている。駆動回路910L1は接続電極940L1を介してメモリアレイ920L1と接続されている。同様に駆動回路910L2は接続電極940L2を介してメモリアレイ920L2と、駆動回路910L3は接続電極940L3を介してメモリアレイ920L3と接続されてい

る。

[0524]

なお、ここではキャッシュとして機能するメモリアレイを3つとした場合を示したが、1つ又は2つでもよいし、4つ以上であってもよい。

[0525]

メモリアレイ920L1をキャッシュとして用いる場合、駆動回路910L1はキャッシュインターフェース989の一部として機能してもよいし、駆動回路910L1がキャッシュインターフェース989と接続される構成としてもよい。同様に、駆動回路910L2、駆動回路910L3も、キャッシュインターフェース989の一部として機能する、又はこれと接続される構成としてもよい。

[0526]

メモリアレイ920をキャッシュとして機能させるか、メインメモリとして機能させるかは、各駆動回路910が有するコントロール回路912によって決定される。コントロール回路912は、演算装置960から供給された信号に基づいて、半導体装置900が有する複数のメモリセル950の一部をRAMとして機能させることができる。

[0527]

半導体装置900は、複数のメモリセル950の一部をキャッシュとして機能させ、他の一部をメインメモリとして機能させることができる。すなわち半導体装置900はキャッシュとしての機能と、メインメモリとしての機能を併せ持つことができる。本発明の一態様に係る半導体装置900は、例えば、ユニバーサルメモリとして機能できる。

[0528]

また、一つのメモリアレイ920を有する層930を演算装置960に重ねて設けてもよい。図23Aに半導体装置970Bの斜視図を示す。

[0529]

半導体装置970Bでは、一つのメモリアレイ920を複数のエリアに分けて、それぞれ異なる機能で 사용할 ことができる。図23Aでは、領域L1をL1キャッシュとして、領域L2をL2キャッシュとして、領域L3をL3キャッシュとして用いる場合の例を示している。

[0530]

また半導体装置970Bでは、領域L1乃至領域L3のそれぞれの容量を状況に応じて変更することができる。例えばL1キャッシュの容量を増やしたい場合には、領域L1の面積を大きくすることにより実現する。このような構成とすることで、演算処理の効率化を図ることができ、処理速度を向上させることができる。

[0531]

また、複数のメモリアレイを積層してもよい。図23Bに半導体装置970Cの斜視図を示している。

[0532]

半導体装置970Cは、メモリアレイ920L1を有する層930L1と、その上にメモリアレイ920L2を有する層930L2と、その上にメモリアレイ920L3を有する層930L3とが積層されている。最も演算装置960に物理的に近いメモリアレイ920L1を上位のキャッシュに用い、最も遠いメモリアレイ920L3を下位のキャッシュ又はメインメモリに用いることができる。このような構成とすることで、各メモリアレイの容量を増大させることができるため、より処理

能力を向上させることができる。

[0533]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。また、本明細書において、1つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

[0534]

(実施の形態4)

本実施の形態では、本発明の一態様に係る記憶装置の応用例について説明する。

[0535]

一般に、コンピュータ等の半導体装置では、用途に応じて様々な記憶装置が用いられる。図24Aに、半導体装置に用いられる各種の記憶装置を階層ごとに示す。上層に位置する記憶装置ほど速い動作速度が求められ、下層に位置する記憶装置ほど大きな記憶容量と高い記録密度が求められる。図24Aでは、最上層から順に、CPU等の演算処理装置にレジスタ (register) として混載されるメモリ、L1キャッシュ (L1 cache)、L2キャッシュ (L2 cache)、L3キャッシュ (L3 cache)、メインメモリ (main memory)、及びストレージ (storage) 等がある。なお、ここではL3キャッシュまで有する例を示したが、さらに下位のキャッシュを有していてもよい。

[0536]

CPU等の演算処理装置にレジスタとして混載されるメモリは、例えば演算結果の一時保存に用いられるため、演算処理装置からのアクセス頻度が高い。よって、記憶容量よりも速い動作速度が求められる。また、レジスタは例えば演算処理装置の設定情報を保持する機能も有する。

[0537]

キャッシュは、メインメモリ (main memory) に保持されているデータの一部を複製して保持する機能を有する。使用頻繁が高いデータを複製してキャッシュに保持しておくことで、データへのアクセス速度を高めることができる。キャッシュに求められる記憶容量はメインメモリより少ないが、メインメモリよりも速い動作速度が求められる。また、キャッシュで書き換えられたデータは複製されてメインメモリに供給される。

[0538]

メインメモリは、ストレージ (storage) から読み出されたプログラム、及びデータ等を保持する機能を有する。

[0539]

ストレージは、長期保存が必要なデータ、及び演算処理装置で使用する各種のプログラム等を保持する機能を有する。よって、ストレージには動作速度よりも大きな記憶容量と高い記録密度が求められる。例えば3D NAND等の高容量かつ不揮発性の記憶装置を用いることができる。

[0540]

本発明の一態様に係る酸化物半導体を用いた記憶装置 (OSメモリ (OS memory)) は、動作速度が速く、長期間のデータ保持が可能である。そのため図24Aに示すように、本発明の一態様に係る記憶装置は、キャッシュが位置する階層とメインメモリが位置する階層の双方に好適に用いることができる。また、本発明の一態様に係る記憶装置は、ストレージが位置する階層にも適用することができる。

[0541]

また、図24Bでは、キャッシュの一部にSRAMを、他の一部に本発明の一態様のOSメモリを適用した場合の例を示す。

[0542]

キャッシュのうち、最も下位に位置するものを、LLC (Last Level cache) と呼ぶことができる。LLCはこれよりも上位のキャッシュよりも速い動作速度は求められないものの、大きな記憶容量を有することが望ましい。本発明の一態様のOSメモリは動作速度が速く、長期間のデータ保持が可能であるため、LLCに好適に用いることができる。なお、本発明の一態様のOSメモリは、FLC (Final Level cache) にも適用することができる。

[0543]

例えば、図24Bに示すように、上位のキャッシュ (L1キャッシュ、及びL2キャッシュ等) にSRAMを用い、LLCに本発明の一態様のOSメモリを用いる構成とすることができる。また、図24Bに示すように、メインメモリにはOSメモリだけでなくDRAMを適用することもできる。

[0544]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。また、本明細書において、1つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

[0545]

(実施の形態5)

本実施の形態では、本発明の一態様の半導体装置の応用例について説明する。

[0546]

本発明の一態様の半導体装置は、例えば、電子部品、大型計算機、宇宙用機器、データセンター (Data Center: DCとも呼称する)、及び、各種電子機器に用いることができる。本発明の一態様の半導体装置を用いることで、電子部品、大型計算機、宇宙用機器、データセンター、及び、各種電子機器の、低消費電力化及び高性能化が実現できる。

[0547]

電子機器としては、例えば、テレビジョン装置、デスクトップ型若しくはノート型のパーソナルコンピュータ、コンピュータ用等のモニタ、デジタルサイネージ、パチンコ機等の大型ゲーム機等の比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、等が挙げられる。

[0548]

本実施の形態の電子機器は、センサ (力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を検知、検出、又は測定する機能を含むもの) を有していてもよい。

[0549]

本実施の形態の電子機器は、様々な機能を有することができる。例えば、様々な情報 (静止画、動画、及びテキスト画像等) を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻等を表示する機能、様々なソフトウェア (プログラム) を実行する機能、無線通信機能、記録媒体に記録されているプログラム又はデータを読み出す機能等を有することができる。

[0550]

[電子部品]

電子部品700が実装された基板 (実装基板704) の斜視図を、図25Aに示す。図25Aに示す

電子部品700は、モールド711内に半導体装置710を有している。図25Aは、電子部品700の内部を示すために、一部の記載を省略している。電子部品700は、モールド711の外側にランド712を有する。ランド712は電極パッド713と電氣的に接続され、電極パッド713は半導体装置710とワイヤ714を介して電氣的に接続されている。電子部品700は、例えばプリント基板702に実装される。このような電子部品が複数組み合わせられて、それぞれがプリント基板702上で電氣的に接続されることで実装基板704が完成する。

[0551]

また、半導体装置710は、駆動回路層715と、記憶層716と、を有する。なお、記憶層716は、複数のメモリセルアレイが積層された構成である。駆動回路層715と、記憶層716と、が積層された構成は、モノリシック積層の構成とすることができる。モノリシック積層の構成では、TSV(Through Silicon Via)等の貫通電極技術、及び、Cu-Cu接合等の接合技術、を用いることなく、各層間を接続することができる。駆動回路層715と、記憶層716と、をモノリシック積層の構成とすることで、例えば、プロセッサ上にメモリが直接形成される、いわゆるオンチップメモリの構成とすることができる。オンチップメモリの構成とすることで、プロセッサと、メモリとのインターフェース部分の動作を高速にすることが可能となる。

[0552]

また、オンチップメモリの構成とすることで、TSV等の貫通電極を用いる技術と比較し、例えば接続配線のサイズを小さくできるため、接続ピン数を増加させることも可能となる。接続ピン数を増加させることで、並列動作が可能となるため、メモリのバンド幅(メモリバンド幅ともいう)を向上させることが可能となる。

[0553]

また、記憶層716が有する、複数のメモリセルアレイを、OSトランジスタを用いて形成し、当該複数のメモリセルアレイをモノリシックで積層することが好ましい。複数のメモリセルアレイをモノリシック積層の構成とすることで、メモリのバンド幅、及びメモリのアクセスレイテンシの一方又は双方を向上させることができる。なお、バンド幅とは、単位時間あたりのデータ転送量であり、アクセスレイテンシとは、アクセスしてからデータのやり取りが始まるまでの時間である。なお、記憶層716にSiトランジスタを用いる構成の場合、OSトランジスタと比較し、モノリシック積層の構成とすることが困難である。そのため、モノリシック積層の構成において、OSトランジスタは、Siトランジスタよりも優れた構造であるといえる。

[0554]

また、半導体装置710を、ダイと呼称してもよい。なお、本明細書等において、ダイとは、半導体チップの製造工程で、例えば円盤状の基板(ウエハともいう)に回路パターンを形成し、さいの目状に切り分けて得られたチップ片を表す。なお、ダイに用いることのできる半導体材料として、例えば、シリコン(Si)、炭化ケイ素(SiC)、又は窒化ガリウム(GaN)等が挙げられる。例えば、シリコン基板(シリコンウエハともいう)から得られたダイを、シリコンダイという場合がある。

[0555]

次に、電子部品730の斜視図を図25Bに示す。電子部品730は、SiP(System in Package)又はMCM(Multi Chip Module)の一例である。電子部品730は、パッケージ基板732(プリント基板)上にインターポーザ731が設けられ、インターポーザ731上に半導体装置735、及び複数の半導体装置710が設けられている。

[0556]

電子部品730では、半導体装置710を広帯域メモリ(HBM:High Bandwidth Memory)として用いる例を示している。また、半導体装置735は、CPU、GPU、又はFPGA(Field Programmable Gate Array)等の集積回路に用いることができる。

[0557]

パッケージ基板732は、例えば、セラミックス基板、プラスチック基板、又は、ガラスエポキシ基板を用いることができる。インターポーザ731は、例えば、シリコンインターポーザ、又は樹脂インターポーザを用いることができる。

[0558]

インターポーザ731は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電氣的に接続する機能を有する。複数の配線は、単層又は多層で設けられる。また、インターポーザ731は、インターポーザ731上に設けられた集積回路をパッケージ基板732に設けられた電極と電氣的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」又は「中間基板」と呼ぶ場合がある。また、インターポーザ731に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板732を電氣的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、TSVを用いることもできる。

[0559]

HBMでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、HBMを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、HBMを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

[0560]

また、シリコンインターポーザを用いた、SiP及びMCM等では、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する2.5Dパッケージ(2.5次元実装)では、シリコンインターポーザを用いることが好ましい。

[0561]

一方で、シリコンインターポーザ、及びTSV等を用いて端子ピッチの異なる複数の集積回路を電氣的に接続する場合、当該端子ピッチの幅等のスペースが必要となる。そのため、電子部品730のサイズを小さくしようとした場合、上記の端子ピッチの幅が問題になり、広いメモリバンド幅を実現するために必要な多くの配線を設けることが、困難になる場合がある。そこで、前述したように、OSTランジスタを用いたモノリシック積層の構成が好適である。TSVを用いて積層したメモリセルアレイと、モノリシック積層したメモリセルアレイと、を組み合わせた複合化構造としてもよい。

[0562]

また、電子部品730と重ねてヒートシンク(放熱板)を設けてもよい。ヒートシンクを設ける場合は、インターポーザ731上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品730では、半導体装置710と半導体装置735の高さを揃えることが好ましい。

[0563]

電子部品 730 を他の基板に実装するため、パッケージ基板 732 の底部に電極 733 を設けてもよい。図 25B では、電極 733 を半田ボールで形成する例を示している。パッケージ基板 732 の底部に半田ボールをマトリクス状に設けることで、BGA (Ball Grid Array) 実装を実現できる。また、電極 733 を導電性のピンで形成してもよい。パッケージ基板 732 の底部に導電性のピンをマトリクス状に設けることで、PGA (Pin Grid Array) 実装を実現できる。

[0564]

電子部品 730 は、BGA 及び PGA に限らず様々な実装方法を用いて他の基板に実装することができる。実装方法としては、例えば、SPGA (Staggered Pin Grid Array)、LGA (Land Grid Array)、QFP (Quad Flat Package)、QFJ (Quad Flat J-leaded package)、及び、QFN (Quad Flat Non-leaded package) が挙げられる。

[0565]

[大型計算機]

次に、大型計算機 5600 の斜視図を図 26A に示す。図 26A に示す大型計算機 5600 には、ラック 5610 にラックマウント型の計算機 5620 が複数格納されている。なお、大型計算機 5600 を、スーパーコンピュータと呼称してもよい。

[0566]

計算機 5620 は、例えば、図 26B に示す斜視図の構成とすることができる。図 26B において、計算機 5620 は、マザーボード 5630 を有し、マザーボード 5630 は、複数のスロット 5631、複数の接続端子を有する。スロット 5631 には、PC カード 5621 が挿入されている。加えて、PC カード 5621 は、接続端子 5623、接続端子 5624、接続端子 5625 を有し、それぞれ、マザーボード 5630 に接続されている。

[0567]

図 26C に示す PC カード 5621 は、CPU、GPU、及び記憶装置等を備えた処理ボードの一例である。PC カード 5621 は、ボード 5622 を有する。また、ボード 5622 は、接続端子 5623 と、接続端子 5624 と、接続端子 5625 と、半導体装置 5626 と、半導体装置 5627 と、半導体装置 5628 と、接続端子 5629 と、を有する。なお、図 26C には、半導体装置 5626、半導体装置 5627、及び半導体装置 5628 以外の半導体装置を図示しているが、それらの半導体装置については、以下に記載する半導体装置 5626、半導体装置 5627、及び半導体装置 5628 の説明を参照できる。

[0568]

接続端子 5629 は、マザーボード 5630 のスロット 5631 に挿入することができる形状を有しており、接続端子 5629 は、PC カード 5621 とマザーボード 5630 とを接続するためのインターフェースとして機能する。接続端子 5629 の規格としては、例えば、PCIe が挙げられる。

[0569]

接続端子 5623、接続端子 5624、接続端子 5625 は、例えば、PC カード 5621 に対して電力供給、及び信号入力等を行うためのインターフェースとすることができる。また、例えば、PC カード 5621 によって計算された信号の出力を行うためのインターフェースとすることができる。接続端子 5623、接続端子 5624、接続端子 5625 のそれぞれの規格としては、例えば、US

B (Universal Serial Bus)、SATA (Serial ATA)、及びSCSI (Small Computer System Interface) 等が挙げられる。また、接続端子5623、接続端子5624、又は接続端子5625から映像信号を出力する場合、それぞれの規格としては、例えばHDMI (登録商標) が挙げられる。

[0570]

半導体装置5626は、信号の入出力を行う端子 (図示しない) を有しており、当該端子をボード5622が備えるソケット (図示しない) に対して差し込むことで、半導体装置5626とボード5622を電氣的に接続することができる。

[0571]

半導体装置5627は、複数の端子を有しており、当該端子をボード5622が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置5627とボード5622を電氣的に接続することができる。半導体装置5627としては、例えば、FPGA、GPU、及びCPU等が挙げられる。半導体装置5627には、例えば、電子部品730を用いることができる。

[0572]

半導体装置5628は、複数の端子を有しており、当該端子をボード5622が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置5628とボード5622を電氣的に接続することができる。半導体装置5628としては、例えば、記憶装置が挙げられる。半導体装置5628には、例えば、電子部品700を用いることができる。

[0573]

大型計算機5600は並列計算機としても機能できる。大型計算機5600を並列計算機として用いることで、例えば、人工知能の学習、及び推論に必要な大規模の計算を行うことができる。

[0574]

[宇宙用機器]

本発明の一態様の半導体装置は、宇宙用機器に好適に用いることができる。

[0575]

本発明の一態様の半導体装置は、OSトランジスタを含む。OSトランジスタは、放射線照射による電気特性の変動が小さい。つまり放射線に対する耐性が高いため、放射線が入射しうる環境において好適に用いることができる。例えば、OSトランジスタは、宇宙空間にて使用する場合に好適に用いることができる。具体的には、OSトランジスタを、スペースシャトル、人工衛星、又は、宇宙探査機に設けられる半導体装置を構成するトランジスタに用いることができる。放射線として、例えば、X線、及び中性子線が挙げられる。なお、宇宙空間とは、例えば、高度100km以上を指すが、本明細書に記載の宇宙空間は、熱圏、中間圏、及び成層圏のうち一つ又は複数を含んでもよい。

[0576]

図26Dには、宇宙用機器の一例として、人工衛星6800を示している。人工衛星6800は、機体6801と、ソーラーパネル6802と、アンテナ6803と、二次電池6805と、制御装置6807と、を有する。なお、図26Dにおいては、宇宙空間に惑星6804を例示している。

[0577]

また、図26Dには示していないが、二次電池6805に、バッテリーマネジメントシステム (BMSともいう)、又はバッテリー制御回路を設けてもよい。前述のバッテリーマネジメントシステム、又はバッテリー制御回路に、OSトランジスタを用いると、消費電力が低く、かつ宇宙空間においても高い信

頼性を有するため好適である。

[0578]

また、宇宙空間は、地上に比べて100倍以上、放射線量の高い環境である。なお、放射線として、例えば、X線、及びガンマ線に代表される電磁波（電磁放射線）、並びにアルファ線、ベータ線、中性子線、陽子線、重イオン線、中間子線等に代表される粒子放射線が挙げられる。

[0579]

ソーラーパネル6802に太陽光が照射されることにより、人工衛星6800が動作するために必要な電力が生成される。しかしながら、例えばソーラーパネルに太陽光が照射されない状況、又はソーラーパネルに照射される太陽光の光量が少ない状況では、生成される電力が少なくなる。よって、人工衛星6800が動作するために必要な電力が生成されない可能性がある。生成される電力が少ない状況下であっても人工衛星6800を動作させるために、人工衛星6800に二次電池6805を設けるとよい。なお、ソーラーパネルは、太陽電池モジュールと呼ばれる場合がある。

[0580]

人工衛星6800は、信号を生成することができる。当該信号は、アンテナ6803を介して送信され、例えば地上に設けられた受信機、又は他の人工衛星が当該信号を受信することができる。人工衛星6800が送信した信号を受信することにより、当該信号を受信した受信機の位置を測定することができる。以上より、人工衛星6800は、衛星測位システムを構成することができる。

[0581]

また、制御装置6807は、人工衛星6800を制御する機能を有する。制御装置6807としては、例えば、CPU、GPU、及び記憶装置の中から選ばれるいずれか一又は複数をを用いて構成される。なお、制御装置6807には、本発明の一態様であるOSトランジスタを含む半導体装置を用いると好適である。OSトランジスタは、Siトランジスタと比較し、放射線照射による電気特性の変動が小さい。つまり放射線が入射しうる環境においても信頼性が高く、好適に用いることができる。

[0582]

また、人工衛星6800は、センサを有する構成とすることができる。例えば、可視光センサを有する構成とすることにより、人工衛星6800は、地上に設けられている物体に当たって反射された太陽光を検出する機能を有することができる。又は、熱赤外センサを有する構成とすることにより、人工衛星6800は、地表から放出される熱赤外線を検出する機能を有することができる。以上より、人工衛星6800は、例えば地球観測衛星としての機能を有することができる。

[0583]

なお、本実施の形態においては、宇宙用機器の一例として、人工衛星について例示したがこれに限定されない。例えば、本発明の一態様の半導体装置は、宇宙船、宇宙カプセル、及び宇宙探査機等の宇宙用機器に好適に用いることができる。

[0584]

以上の説明の通り、OSトランジスタは、Siトランジスタと比較し、広いメモリバンド幅の実現が可能なこと、放射線耐性が高いこと、といった優れた効果を有する。

[0585]

[データセンター]

本発明の一態様の半導体装置は、例えば、データセンターに適用されるストレージシステムに好適に用いることができる。データセンターは、データの不変性を保障する等、データの長期的な管理を行

うことが求められる。長期的なデータを管理する場合、膨大なデータを記憶するためのストレージ及びサーバの設置、データを保持するための安定した電源の確保、或いはデータの保持に要する冷却設備の確保、等建屋の大型化が必要となる。

[0586]

データセンターに適用されるストレージシステムに本発明の一態様の半導体装置を用いることにより、データの保持に要する電力の低減、データを保持する半導体装置の小型化を図ることができる。そのため、ストレージシステムの小型化、データを保持するための電源の小型化、及び冷却設備の小規模化、等を図ることができる。そのため、データセンターの省スペース化を図ることができる。

[0587]

また、本発明の一態様の半導体装置は、消費電力が少ないため、回路からの発熱を低減することができる。よって、当該発熱によるその回路自体、周辺回路、及びモジュールへの悪影響を低減できる。また、本発明の一態様の半導体装置を用いることにより、高温環境下においても動作が安定したデータセンターを実現できる。よってデータセンターの信頼性を高めることができる。

[0588]

図26Eにデータセンターに適用可能なストレージシステムを示す。図26Eに示すストレージシステム7010は、ホスト7001 (Host Computerと図示) として複数のサーバ7001sbを有する。また、ストレージ7003 (Storageと図示) として複数の記憶装置7003mdを有する。ホスト7001とストレージ7003とは、ストレージエリアネットワーク7004 (SAN: Storage Area Networkと図示) 及びストレージ制御回路7002 (Storage Controllerと図示) を介して接続されている形態を図示している。

[0589]

ホスト7001は、ストレージ7003に記憶されたデータにアクセスするコンピュータに相当する。ホスト7001同士は、ネットワークで互いに接続されていてもよい。

[0590]

ストレージ7003は、フラッシュメモリを用いることで、データのアクセススピード、つまりデータの記憶及び出力に要する時間を短くしているものの、当該時間は、ストレージ内のキャッシュメモリとして用いることのできるDRAMが要する時間に比べて格段に長い。ストレージシステムでは、ストレージ7003のアクセススピードの長さの問題を解決するために、通常ストレージ内にキャッシュメモリを設けてデータの記憶及び出力を短くしている。

[0591]

前述のキャッシュメモリは、ストレージ制御回路7002及びストレージ7003内に用いられる。ホスト7001とストレージ7003との間でやり取りされるデータは、ストレージ制御回路7002及びストレージ7003内の当該キャッシュメモリに記憶されたのち、ホスト7001又はストレージ7003に出力される。

[0592]

前述のキャッシュメモリのデータを記憶するためのトランジスタとして、OSトランジスタを用いてデータに応じた電位を保持する構成とすることで、リフレッシュする頻度を減らし、消費電力を小さくできる。またメモリセルアレイを積層する構成とすることで小型化が可能である。

[0593]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。また、本明細書において、1つ

の実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

[符号の説明]

[0594]

10a：メモリセル、10b：メモリセル、10c：メモリセル、10d：メモリセル、10：メモリセル、13：配線、15：配線、21：配線、23：配線、60：メモリ層、100A：トランジスタ、100a：トランジスタ、100B：トランジスタ、100b：トランジスタ、100C：トランジスタ、100D：トランジスタ、100E：トランジスタ、100F：トランジスタ、100G：トランジスタ、100H：トランジスタ、100：トランジスタ、110：絶縁層、120a：導電層、120b：導電層、120n：領域、120：導電層、122：絶縁層、130a：酸化物層、130b：酸化物層、130i：領域、130n：領域、130：半導体層、140a：導電層、140b：導電層、140n：領域、140：導電層、145：導電層、150：絶縁層、155：導電層、180a：絶縁層、180b：絶縁層、180c：絶縁層、180d：絶縁層、180e：絶縁層、180i：領域、180：絶縁層、188：ハロゲン元素、189：不純物元素、190a：開口部、190b：開口部、190：開口部、191：凹部、200A：トランジスタ、200a：トランジスタ、200B：トランジスタ、200b：トランジスタ、200C：トランジスタ、200D：トランジスタ、200E：トランジスタ、200F：トランジスタ、200G：トランジスタ、200H：トランジスタ、200：トランジスタ、220a：導電層、220b：導電層、220：導電層、230a：酸化物層、230b：酸化物層、230n：領域、230：半導体層、240a：導電層、240b：導電層、240：導電層、245：導電層、247：導電層、248：導電層、250：絶縁層、255：導電層、260a：導電層、260b：導電層、260：導電層、262：犠牲層、265：導電層、270：開口部、280a：絶縁層、280b：絶縁層、280c：絶縁層、280d：絶縁層、280e：絶縁層、280i：領域、280：絶縁層、283：絶縁層、285：絶縁層、287：絶縁層、290a：開口部、290b：開口部、290：開口部、291：凹部、300：トランジスタ、311：基板、313：半導体領域、314a：低抵抗領域、314b：低抵抗領域、315：絶縁層、316：導電層、320：絶縁層、322：絶縁層、324：絶縁層、326：絶縁層、328：導電層、330：導電層、350：絶縁層、352：絶縁層、354：絶縁層、356：導電層、370a：酸化物半導体層、370b：酸化物半導体層、370c：酸化物半導体層、370d：酸化物半導体層、372a：領域、372b：領域、372c：領域、642：導電層、643：導電層、644：導電層、645：導電層、646：導電層、700：電子部品、702：プリント基板、704：実装基板、710：半導体装置、711：モールド、712：ランド、713：電極パッド、714：ワイヤ、715：駆動回路層、716：記憶層、730：電子部品、731：インターポーザ、732：パッケージ基板、733：電極、735：半導体装置、900：半導体装置、910：駆動回路、911：周辺回路、912：コントロール回路、915：周辺回路、920：メモリアレイ、923：行ドライバ、924：列ドライバ、925：入力回路、926：出力回路、927：センスアンプ、928：電圧生成回路、930：層、931：PSW、932：PSW、941：行デコーダ、942：列デコーダ、950：メモリセル、960：演算装置、970A：半導体装置、970B：半導体装置、970C：半導体装置、989：キャッシュインターフェース、990：基板、991：ALU、992：ALUコントローラ、993：インストラクションデコーダ、994：インタラプトコントローラ、995：タイミングコントローラ、996：レジスタ、997：レジスタコントローラ、998：バスインターフェース、999：キャッシュ

ユ、5600：大型計算機、5610：ラック、5620：計算機、5621：PCカード、5622：ボード、5623：接続端子、5624：接続端子、5625：接続端子、5626：半導体装置、5627：半導体装置、5628：半導体装置、5629：接続端子、5630：マザーボード、5631：スロット、6800：人工衛星、6801：機体、6802：ソーラーパネル、6803：アンテナ、6804：惑星、6805：二次電池、6807：制御装置、7001sb：サーバ、7001：ホスト、7002：ストレージ制御回路、7003md：記憶装置、7003：ストレージ、7010：ストレージシステム

請求の範囲

[請求項 1]

第 1 のトランジスタと、第 2 のトランジスタと、第 1 の絶縁層と、第 2 の絶縁層と、第 3 の絶縁層と、を有し、

前記第 1 のトランジスタは、第 1 の半導体層と、第 1 の導電層と、第 2 の導電層と、第 3 の導電層と、第 4 の絶縁層と、を有し、

前記第 2 のトランジスタは、第 2 の半導体層と、前記第 3 の導電層と、第 4 の導電層と、第 5 の導電層と、第 5 の絶縁層と、を有し、

前記第 1 の絶縁層は、前記第 1 の導電層上に位置し、

前記第 2 の導電層は、前記第 1 の絶縁層上に位置し、

前記第 1 の導電層は、第 1 の凹部を有し、

前記第 1 の絶縁層、及び前記第 2 の導電層は、前記第 1 の凹部と重なる位置に第 1 の開口部を有し、前記第 1 の半導体層は、前記第 2 の導電層の上面、並びに、前記第 1 の凹部と接し、かつ、前記第 1 の開口部の内部で、前記第 2 の導電層の側面、及び前記第 1 の絶縁層の側面と接し、

前記第 4 の絶縁層は、前記第 2 の導電層上に位置する領域、及び前記第 1 の開口部の内部で前記第 1 の半導体層上に位置する領域を有し、

前記第 3 の導電層は、前記第 1 の開口部の内部で前記第 4 の絶縁層を挟んで前記第 1 の半導体層と対向する領域を有し、

前記第 3 の導電層は、前記第 4 の絶縁層を介して前記第 2 の導電層と重なる領域を有し、

前記第 3 の導電層は、第 2 の凹部を有し、

前記第 2 の絶縁層は、前記第 3 の導電層上に位置し、

前記第 4 の導電層は、前記第 2 の絶縁層上に位置し、

前記第 2 の絶縁層、及び前記第 4 の導電層は、前記第 2 の凹部と重なる位置に第 2 の開口部を有し、前記第 2 の半導体層は、前記第 4 の導電層の上面、並びに、前記第 2 の凹部と接し、かつ、前記第 2 の開口部の内部で、前記第 4 の導電層の側面、及び前記第 2 の絶縁層の側面と接し、

前記第 5 の絶縁層は、前記第 2 の開口部の内部で前記第 2 の半導体層上に位置し、

前記第 3 の絶縁層は、前記第 2 の半導体層を介して前記第 4 の導電層と重なる領域を有し、かつ、前記第 2 の開口部と重なる位置に第 3 の開口部を有し、

前記第 5 の導電層は、前記第 2 の開口部の内部で前記第 5 の絶縁層を挟んで前記第 2 の半導体層と対向する領域と、前記第 3 の開口部の内部に位置する領域と、を有する、半導体装置。

[請求項 2]

請求項 1 において、

前記第 2 の開口部は、少なくとも一部が前記第 1 の開口部と重なる、半導体装置。

[請求項 3]

請求項 1 において、

第 6 の絶縁層を有し、

前記第 6 の絶縁層上に、前記第 1 の絶縁層、及び前記第 1 の導電層が位置し、

前記第 6 の絶縁層の上面から前記第 1 の導電層の前記第 1 の絶縁層と接する上面までの最短距離は、前記第 6 の絶縁層の上面から前記第 4 の絶縁層の前記第 1 の凹部と重なる領域における下面までの最短距離よりも長く、

前記第6の絶縁層の上面から、前記第3の導電層の前記第2の絶縁層と接し、かつ、前記第2の導電層と重なる上面までの最短距離は、前記第6の絶縁層の上面から前記第5の絶縁層の前記第2の凹部と重なる領域における下面までの最短距離よりも長い、半導体装置。

[請求項4]

請求項1において、
第6の絶縁層を有し、
前記第6の絶縁層上に、前記第1の絶縁層、及び前記第1の導電層が位置し、
前記第6の絶縁層の上面から前記第1の導電層の前記第1の絶縁層と接する上面までの最短距離は、前記第6の絶縁層の上面から前記第3の導電層の前記第1の凹部と重なる領域における下面までの最短距離以上であり、

前記第6の絶縁層の上面から、前記第3の導電層の前記第2の絶縁層と接し、かつ、前記第2の導電層と重なる上面までの最短距離は、前記第6の絶縁層の上面から前記第5の導電層の前記第2の凹部と重なる領域における下面までの最短距離以上である、半導体装置。

[請求項5]

請求項1において、
前記第1の導電層は、第6の導電層と、前記第6の導電層上の第7の導電層を有し、
前記第3の導電層は、第8の導電層と、前記第8の導電層上の第9の導電層を有し、
前記第7の導電層は、前記第1の凹部を有し、
前記第9の導電層は、前記第2の凹部を有する、半導体装置。

[請求項6]

請求項1において、
第6の導電層を有し、
前記第6の導電層は、前記第5の導電層の上面と接するように設けられる、半導体装置。

[請求項7]

請求項6において、
前記第4の導電層、及び前記第2の半導体層と重なる領域における前記第3の絶縁層の膜厚は、前記第4の絶縁層の膜厚より厚い、半導体装置。

[請求項8]

請求項1において、
前記第5の絶縁層は、少なくとも一部が前記第3の開口部の内部に位置する、半導体装置。

[請求項9]

請求項1において、
前記第1のトランジスタは、第6の導電層を有し、
前記第2のトランジスタは、第7の導電層を有し、
前記第1の絶縁層は、第1の層と、前記第1の層上の第2の層と、を有し、
前記第2の絶縁層は、第3の層と、前記第3の層上の第4の層と、を有し、
前記第6の導電層は、前記第1の層上に位置し、
前記第7の導電層は、前記第3の層上に位置し、
前記第2の層は、前記第6の導電層の上面及び側面を覆い、
前記第4の層は、前記第7の導電層の上面及び側面を覆い、

断面視において、前記第1の半導体層は、前記第2の層を挟んで前記第6の導電層と対向し、かつ、前記第4の絶縁層を挟んで前記第3の導電層と対向する領域を有し、

断面視において、前記第2の半導体層は、前記第4の層を挟んで前記第7の導電層と対向し、かつ、前記第5の絶縁層を挟んで前記第5の導電層と対向する領域を有する、半導体装置。

[請求項10]

請求項1乃至9のいずれか一項において、

前記第1の半導体層、及び前記第2の半導体層は、それぞれ酸化物半導体を有し、

前記酸化物半導体は、インジウムと、元素Mと、亜鉛と、の中から選ばれる一以上を有し、

前記元素Mは、アルミニウム、ガリウム、スズ、イットリウム、チタン、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、ジルコニウム、モリブデン、ハフニウム、タンタル、タングステン、ランタン、セリウム、ネオジウム、マグネシウム、カルシウム、ストロンチウム、バリウム、ホウ素、シリコン、ゲルマニウム、及びアンチモンから選ばれた一種又は複数種である、半導体装置。

[請求項11]

請求項10において、

前記第1の絶縁層は、前記第1の半導体層と接する第1の領域を有し、

前記第2の絶縁層は、前記第2の半導体層と接する第2の領域を有し、

前記第1の領域、及び前記第2の領域は、それぞれハロゲン元素を有する、半導体装置。

[請求項12]

請求項11において、

前記ハロゲン元素は、塩素、フッ素、臭素、及び、ヨウ素の中から選ばれる一種又は複数種である、半導体装置。

[請求項13]

請求項10において、

前記第1の半導体層は、前記第1の凹部の底面と接する第1の領域と、前記第2の導電層の上面と接する第2の領域と、を有し、

前記第2の半導体層は、前記第2の凹部の底面と接する第3の領域と、前記第4の導電層の上面と接する第4の領域と、を有し、

前記第1乃至第4の領域は、それぞれホウ素又はリンを有する、半導体装置。

[請求項14]

第1の導電層を形成し、

前記第1の導電層上に、第1の絶縁層を形成し、

前記第1の絶縁層上に、第2の導電層を形成し、

前記第2の導電層、及び前記第1の絶縁層の、前記第1の導電層と重なる位置に第1の開口部を形成し、かつ、前記第1の開口部と重なるように、前記第1の導電層に第1の凹部を形成し、

前記第2の導電層の上面、並びに、前記第1の凹部と接し、かつ、前記第1の開口部の内部で、前記第2の導電層の側面、及び前記第1の絶縁層の側面と接するように、第1の半導体層を形成し、

前記第1の半導体層、及び前記第2の導電層を加工することにより、前記第1の絶縁層の上面の一部を露出させ、

前記第2の導電層上に位置する領域、及び前記第1の開口部の内部で前記第1の半導体層上に位置する領域を有するように、第2の絶縁層を形成し、

前記第1の開口部の内部で前記第2の絶縁層を挟んで前記第1の半導体層と対向する領域を有し、かつ、前記第2の絶縁層を介して前記第2の導電層と重なる領域を有するように、第3の導電層を形成し、

前記第3の導電層上に、第3の絶縁層を形成し、

前記第3の絶縁層上に、第4の導電層を形成し、

前記第4の導電層、及び前記第3の絶縁層の、前記第3の導電層と重なる位置に第2の開口部を形成し、かつ、前記第2の開口部と重なるように、前記第3の導電層に第2の凹部を形成し、

前記第4の導電層の上面、並びに、前記第2の凹部と接し、かつ、前記第2の開口部の内部で、前記第4の導電層の側面、及び前記第3の絶縁層の側面と接するように、第2の半導体層を形成し、

前記第2の半導体層、及び前記第4の導電層を加工することにより、前記第3の絶縁層の上面の一部を露出させ、

少なくとも一部が前記第2の開口部の内部に位置するように、犠牲層を形成し、

前記第4の導電層、前記第2の半導体層、及び前記犠牲層を覆うように、第4の絶縁層を形成し、

前記第4の絶縁層、及び前記犠牲層に対して平坦化処理を行うことで、前記犠牲層の上面を平坦化させ、

前記犠牲層を除去し、

前記第2の開口部を覆うように、第5の絶縁層を形成し、

前記第5の絶縁層上に、第5の導電層を形成し、

前記第5の導電層に対して平坦化処理を行うことで、前記第5の導電層及び前記第5の絶縁層における、前記第4の絶縁層の上面と重なる領域を除去する、半導体装置の作製方法。

[請求項15]

請求項14において、

少なくとも一部が前記第1の開口部と重なる位置に前記第2の開口部を形成する、半導体装置の作製方法。

[請求項16]

請求項14又は15において、

前記第5の導電層の上面と接するように第6の導電層を形成する、半導体装置の作製方法。

[請求項17]

請求項16において、

前記第4の絶縁層を、膜厚が前記第2の絶縁層より厚くなるように形成する、半導体装置の作製方法。

図1A

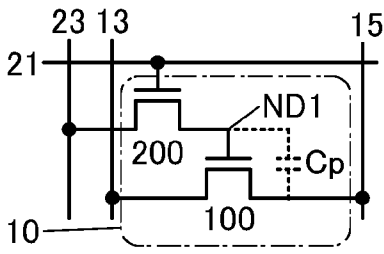


図1B

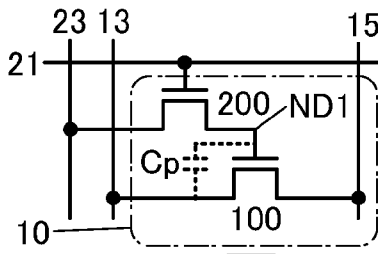


図1C

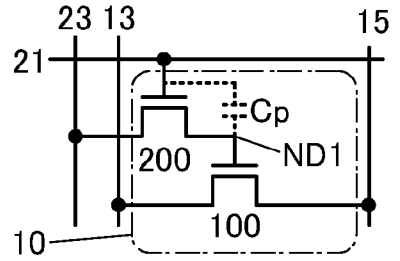


図1D

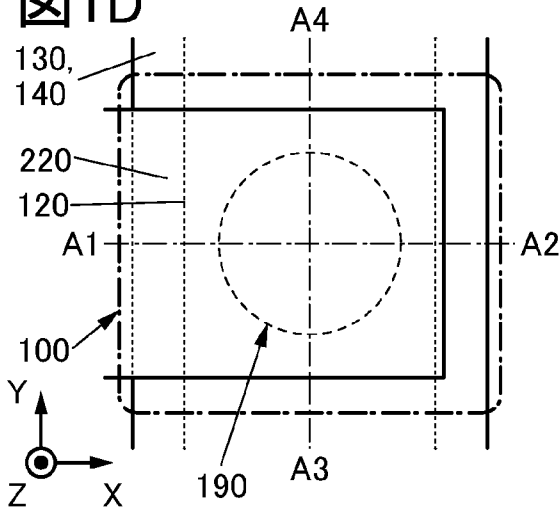


図1E

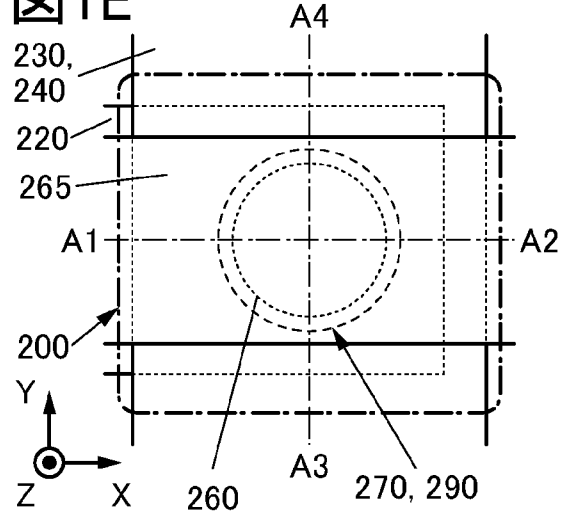


図1F

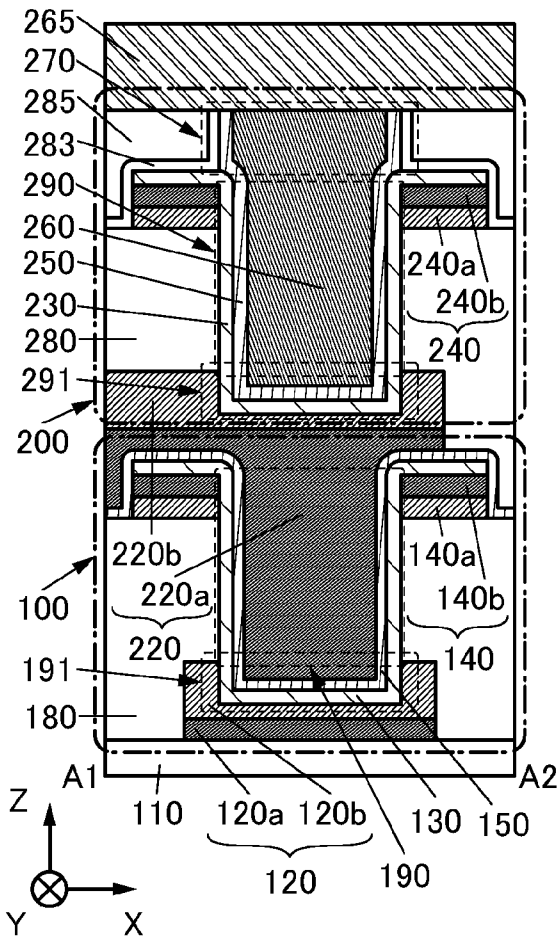
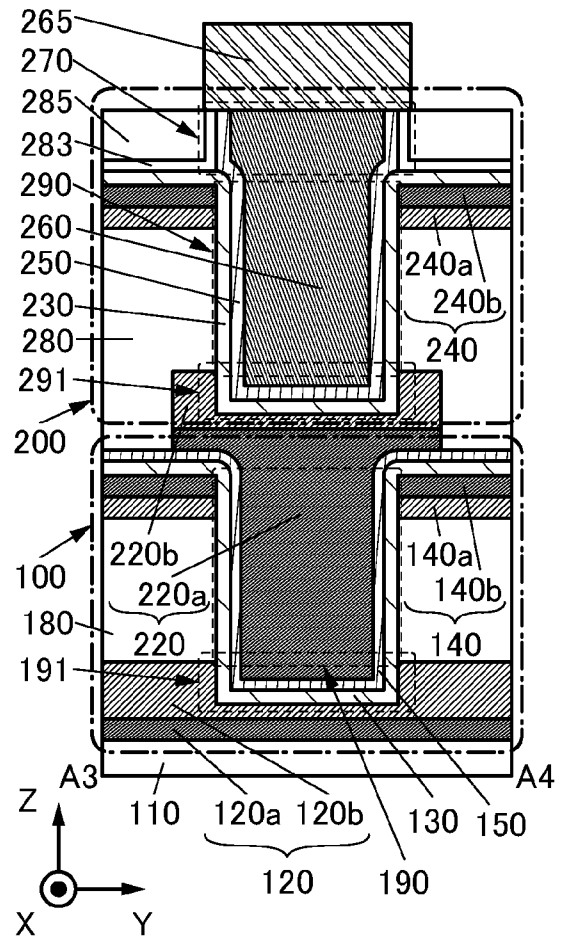
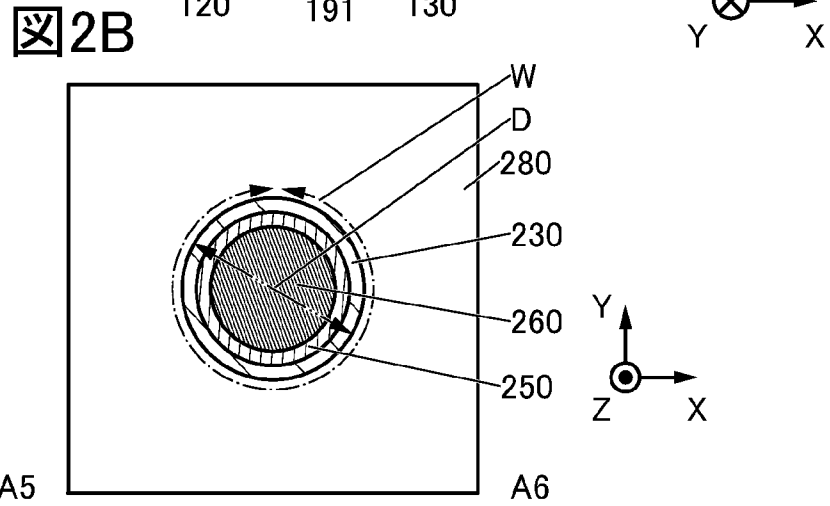
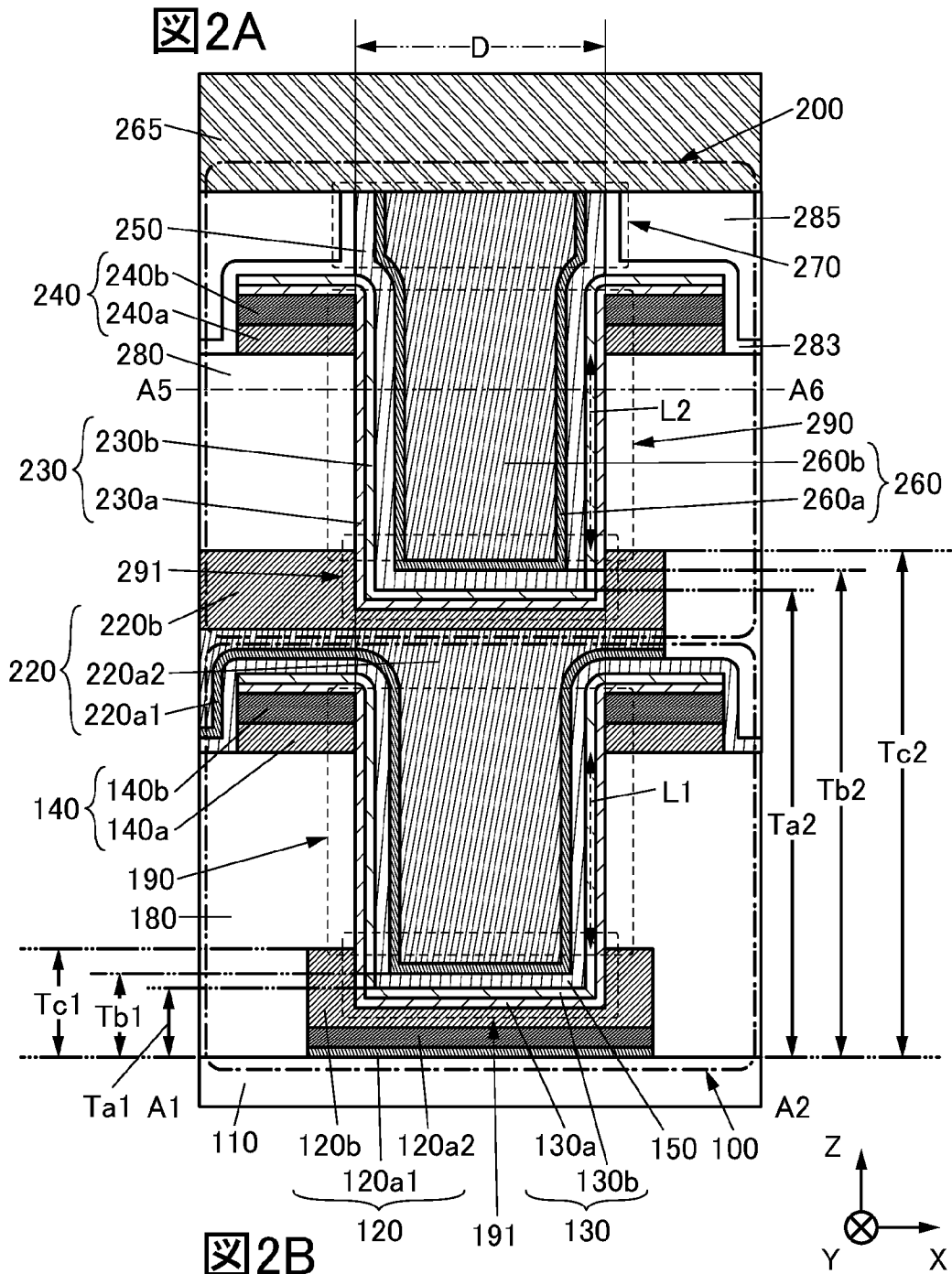
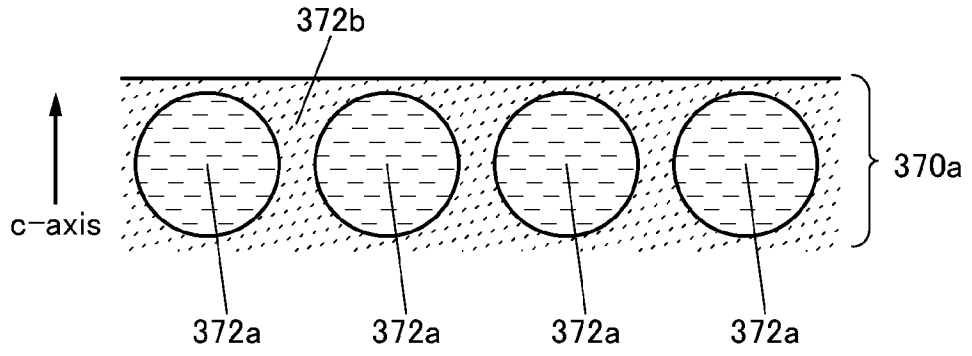


図1G

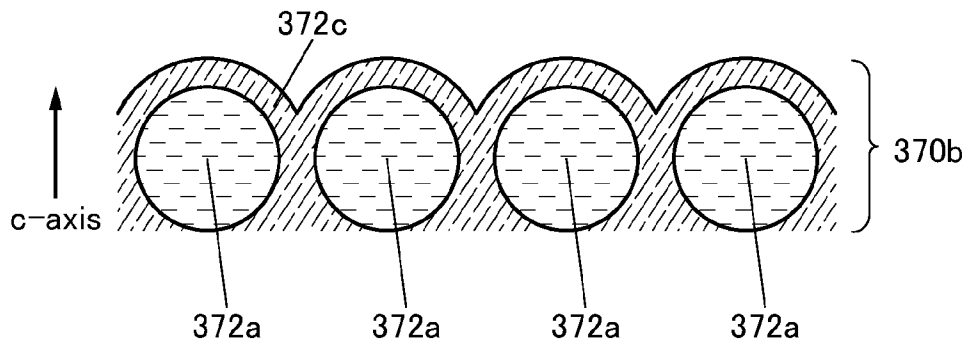




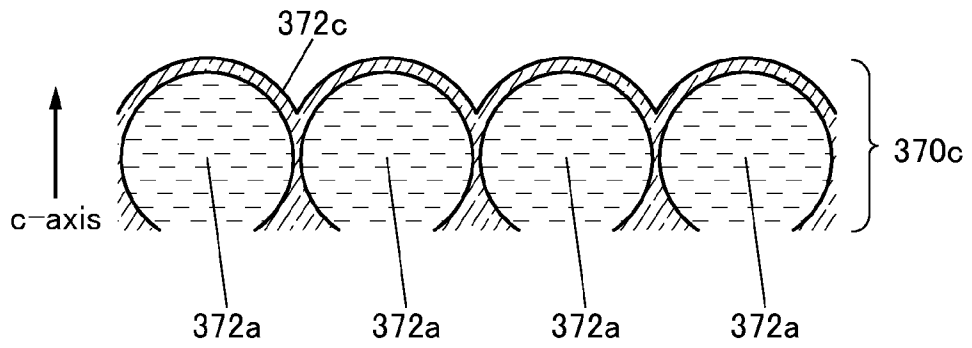
3A



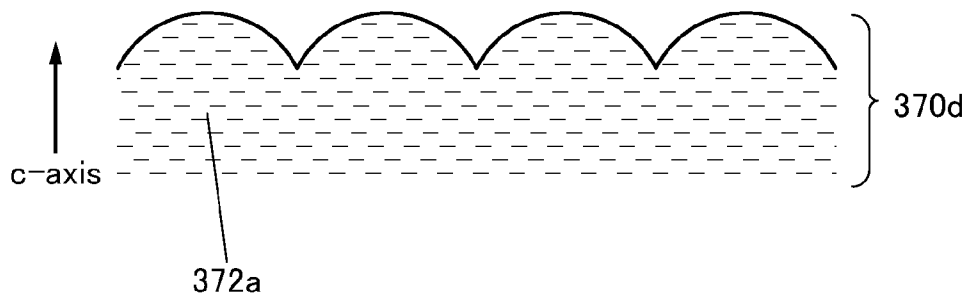
3B

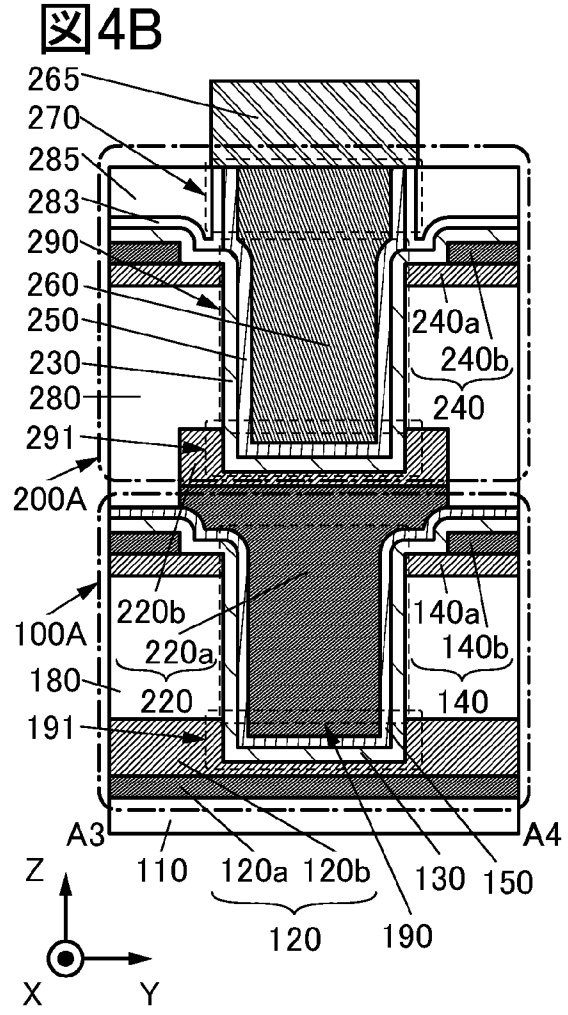
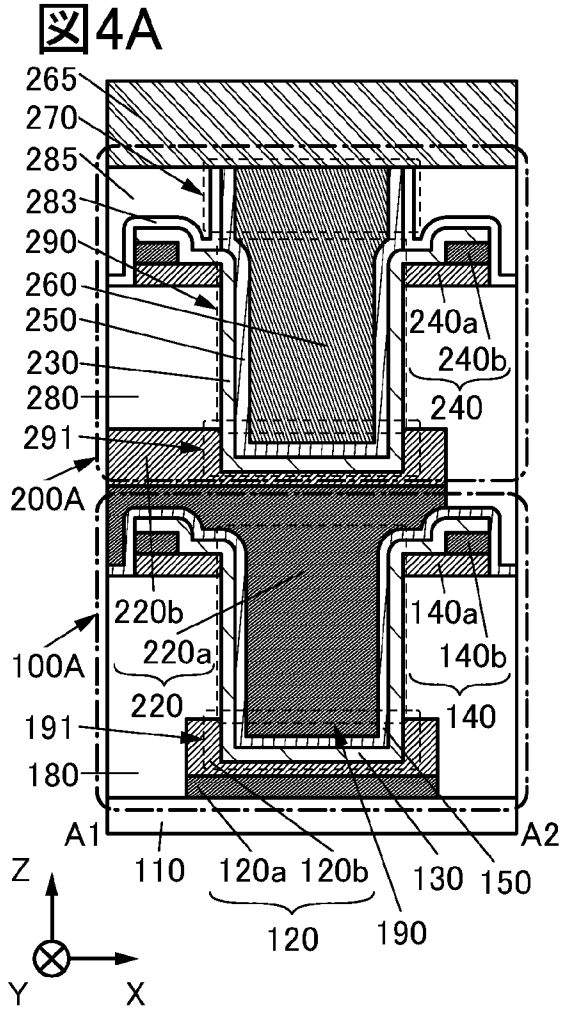


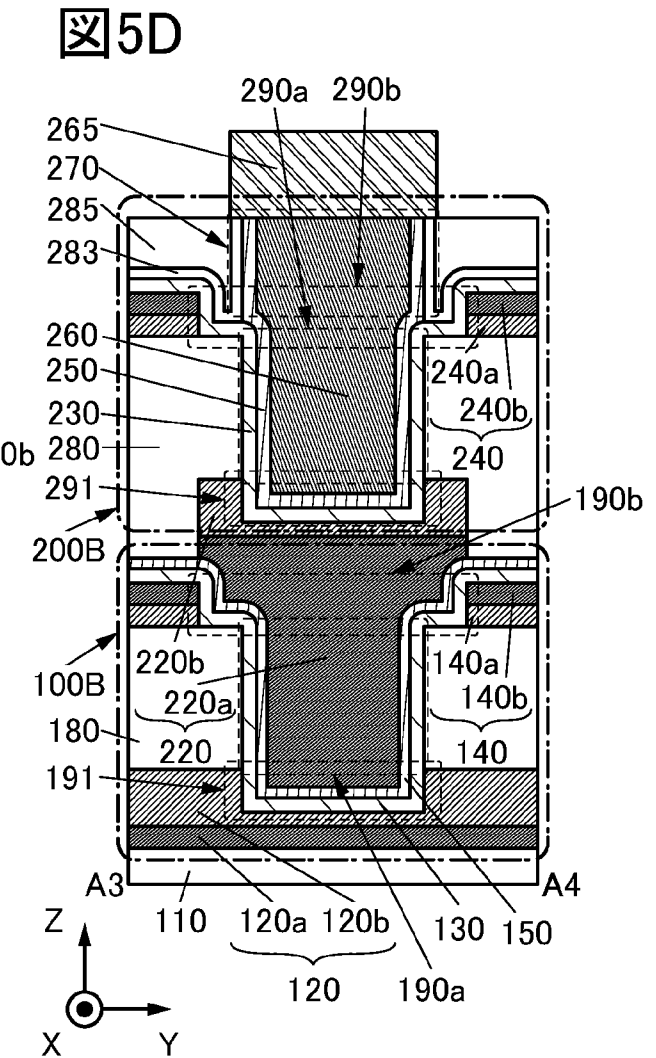
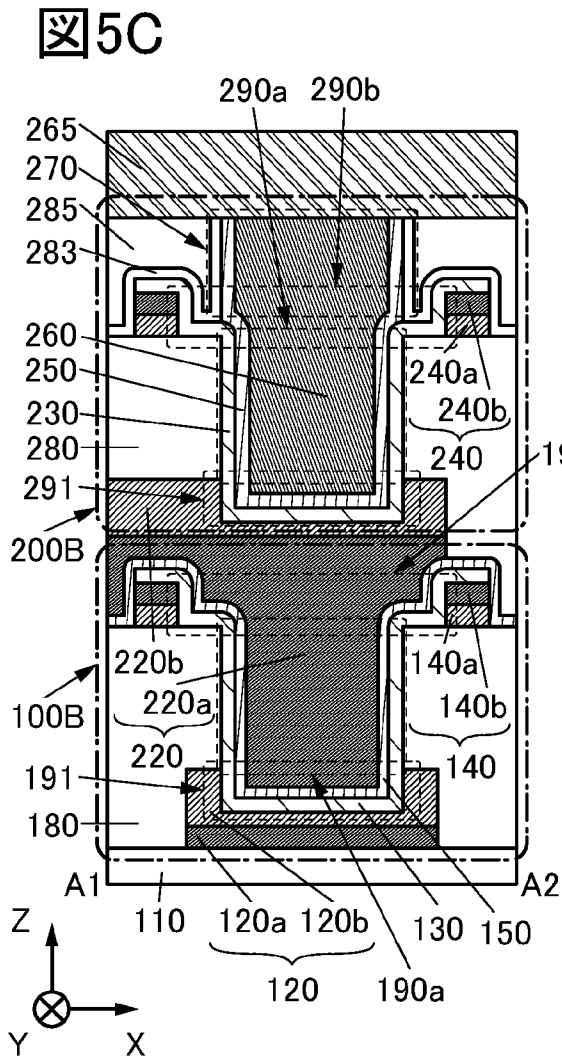
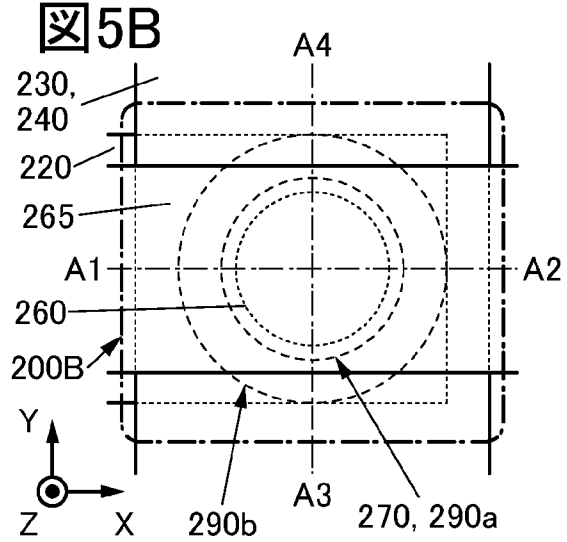
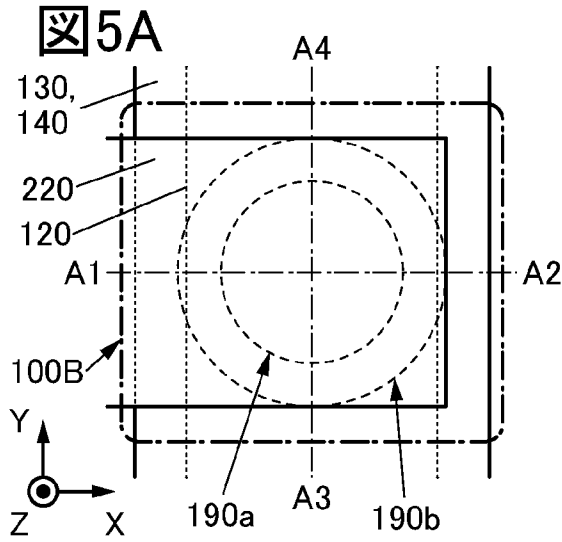
3C

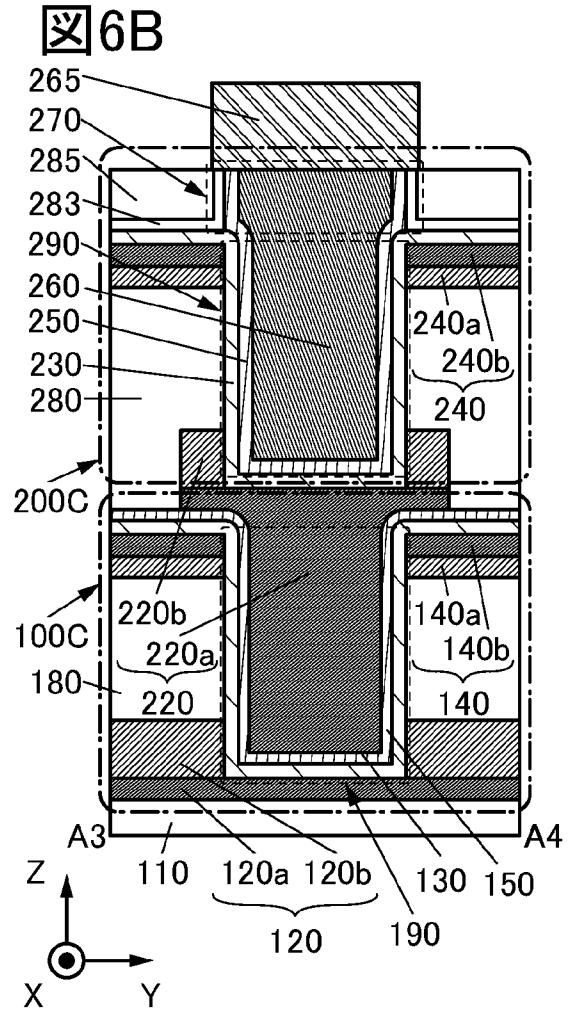
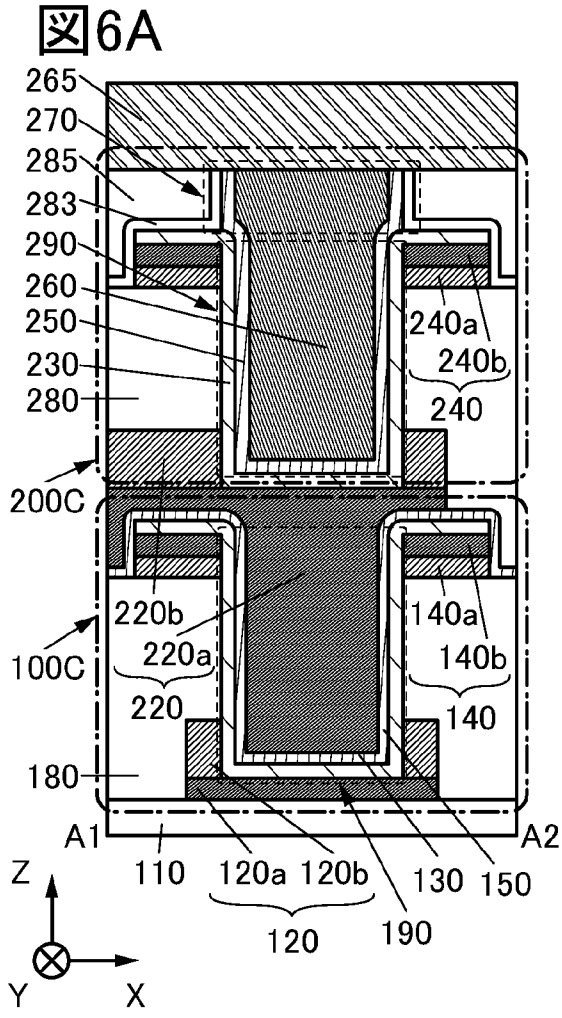


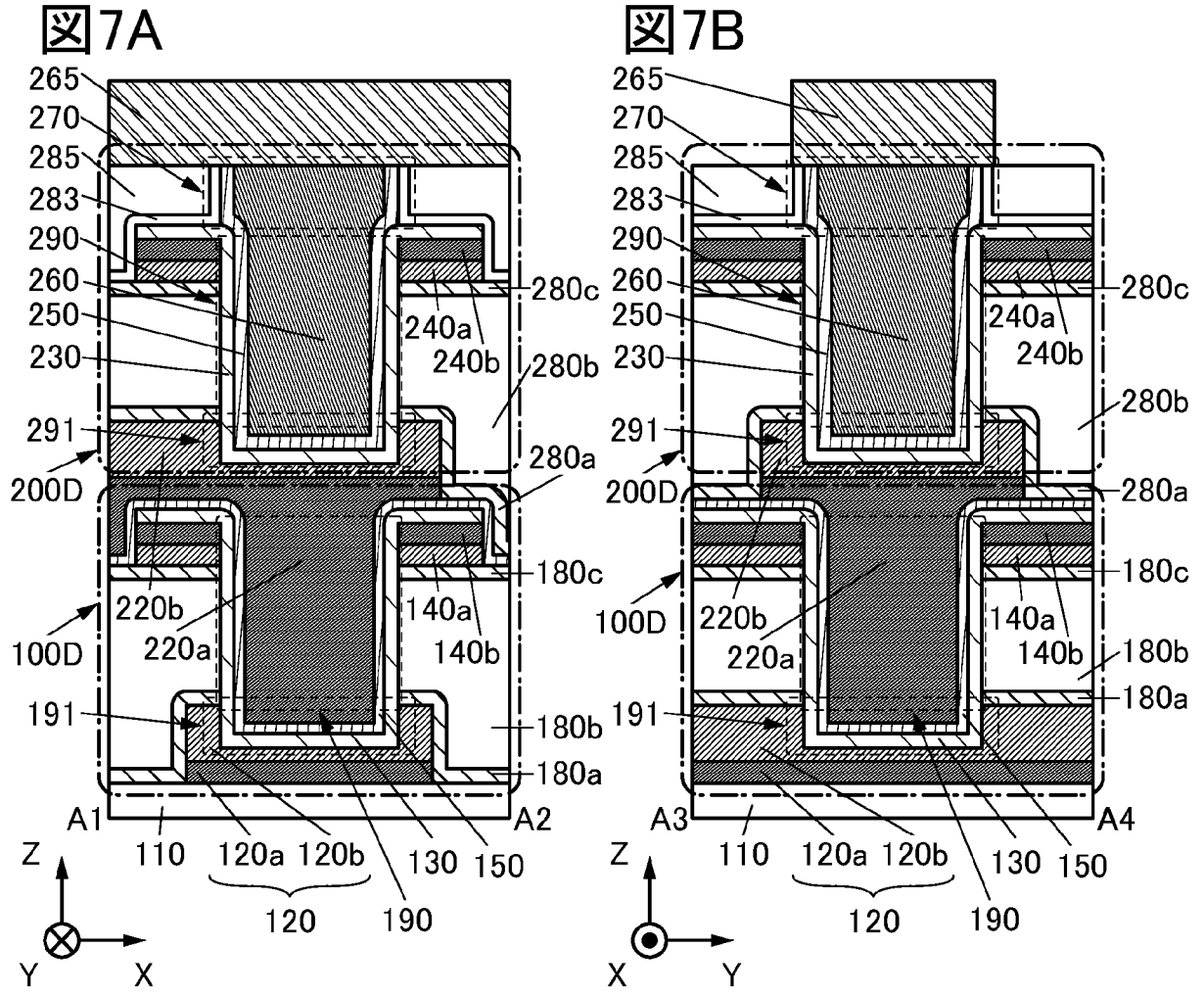
3D

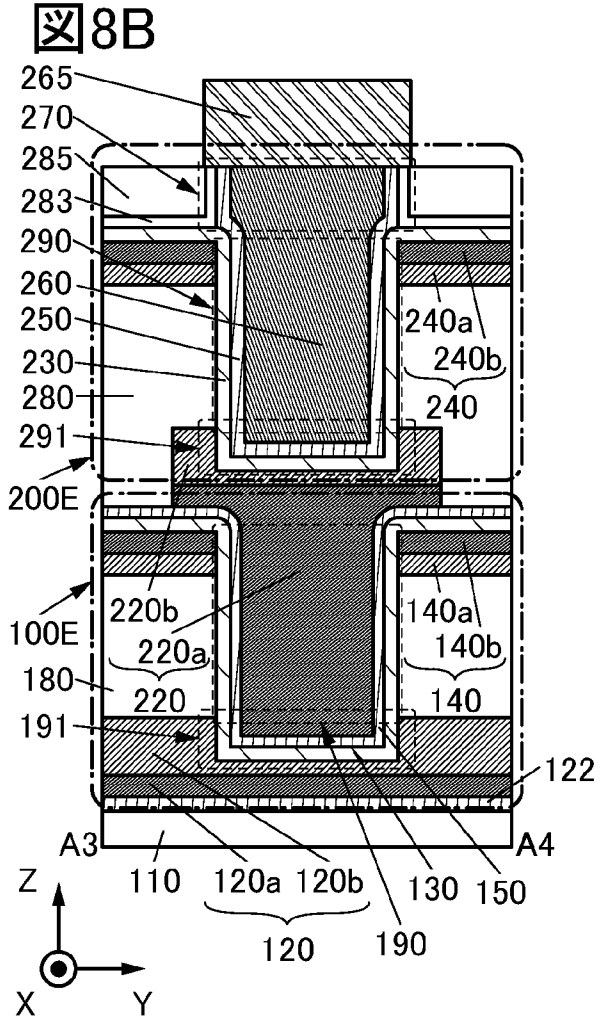
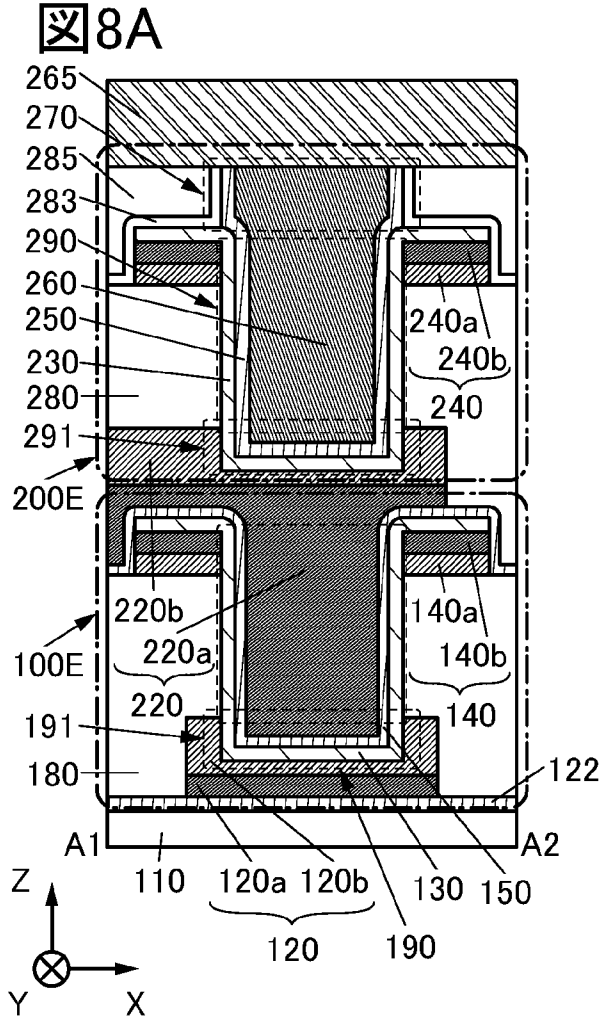


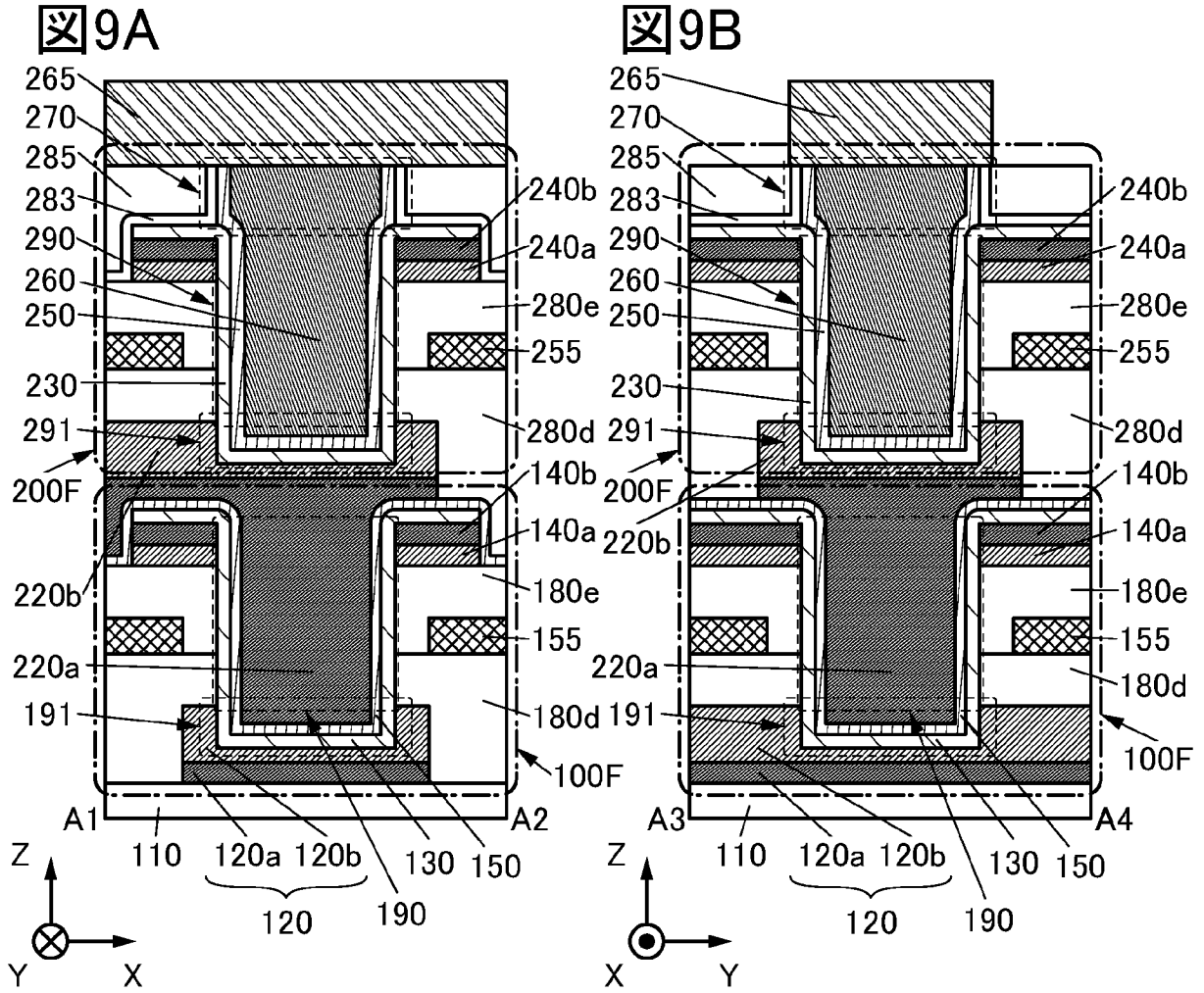


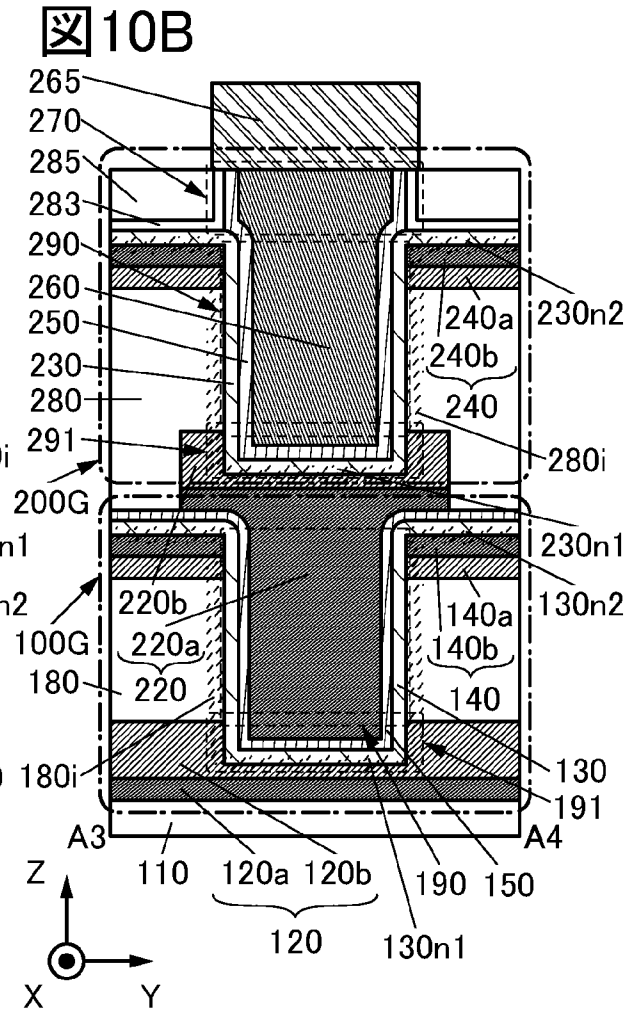
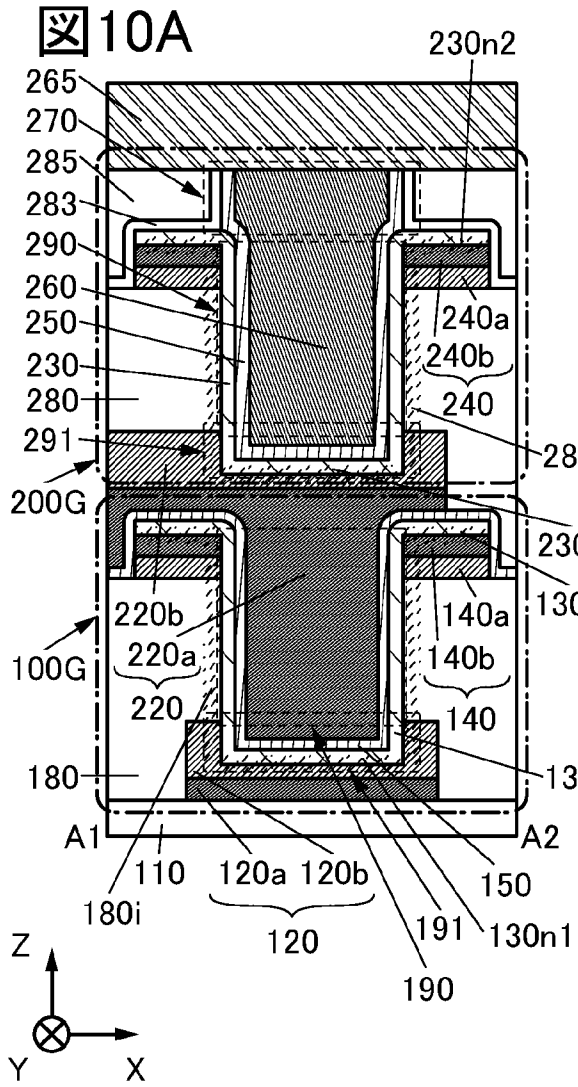












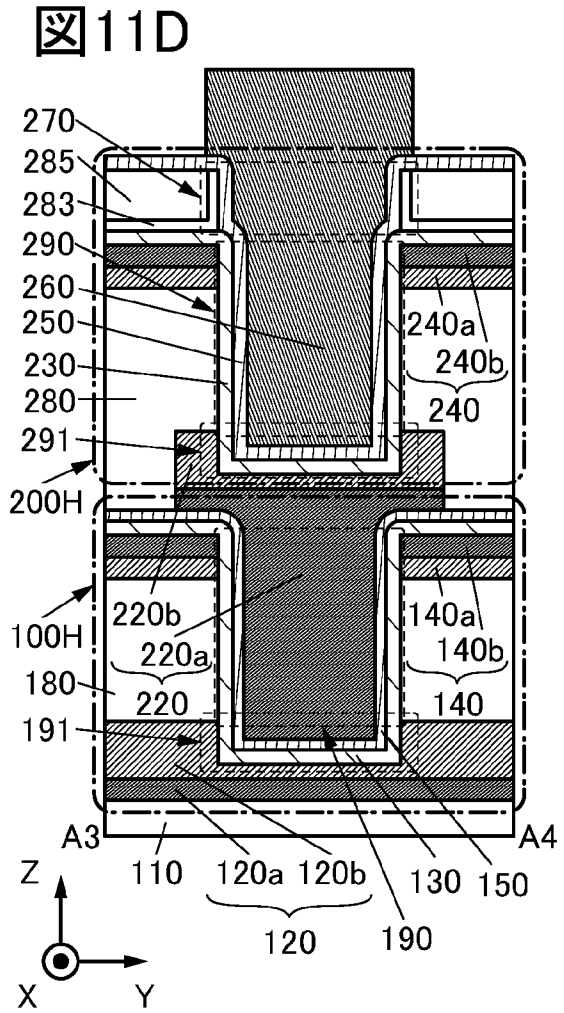
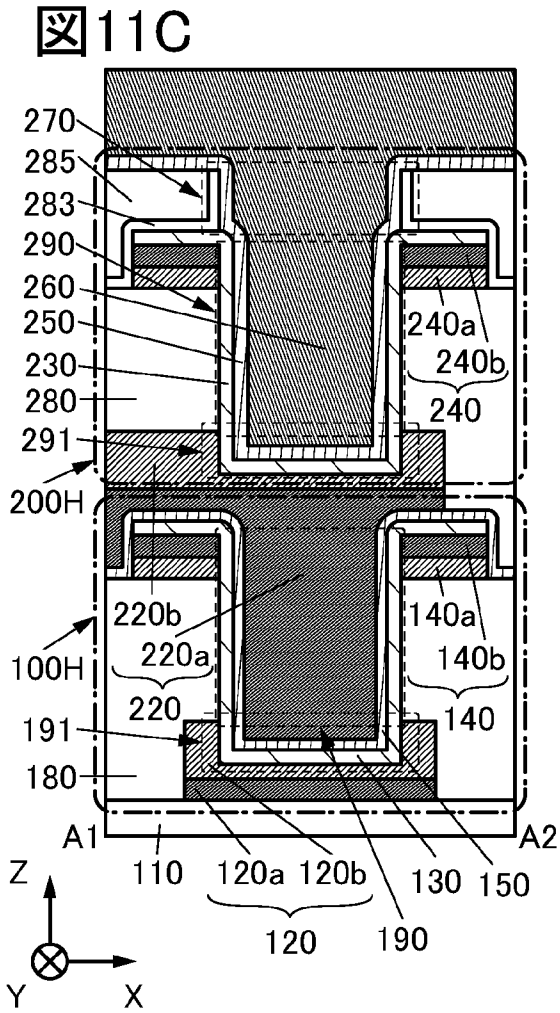
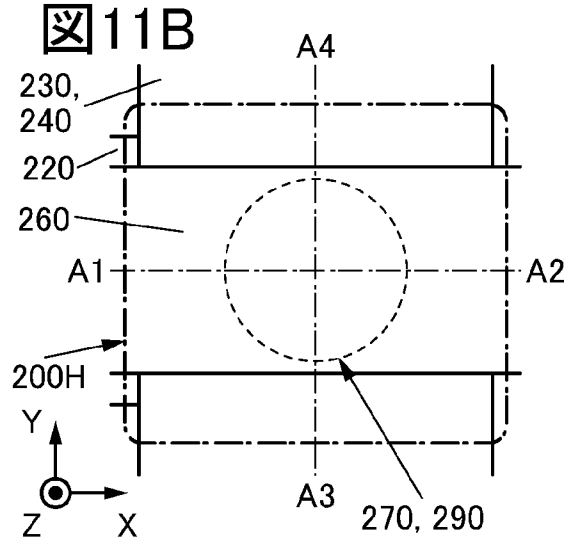
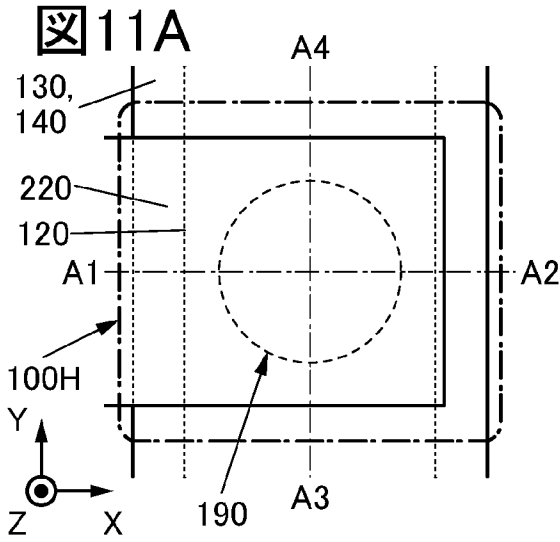


図12A

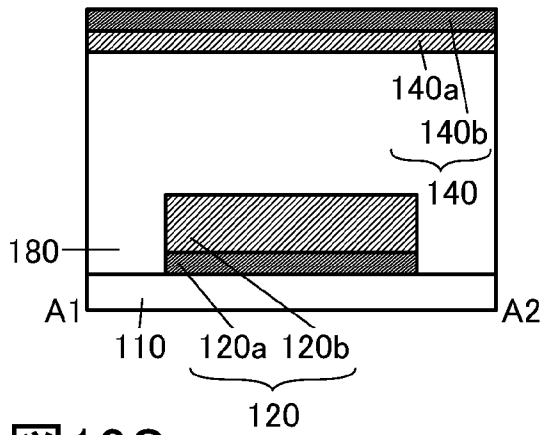


図12B

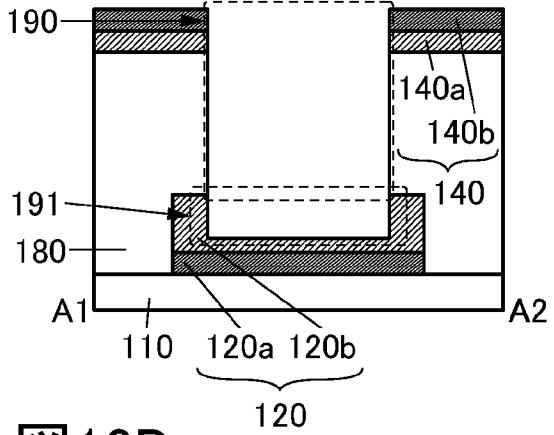


図12C

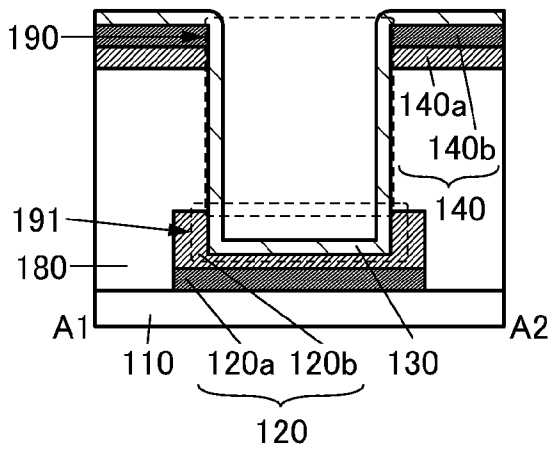


図12D

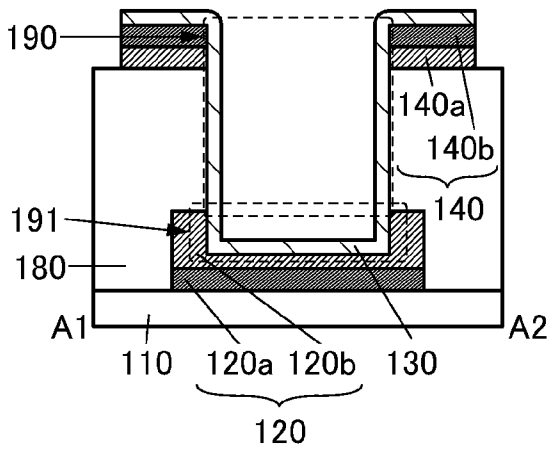


図12E

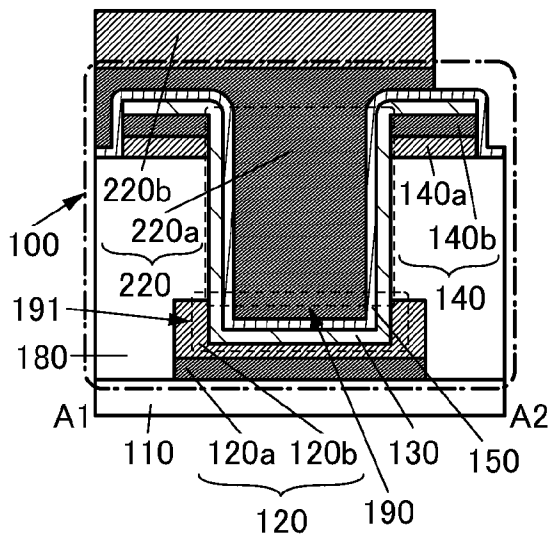
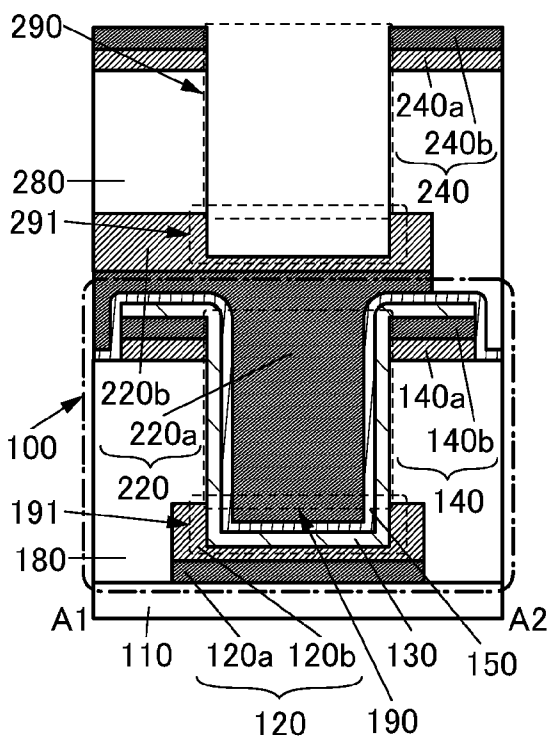
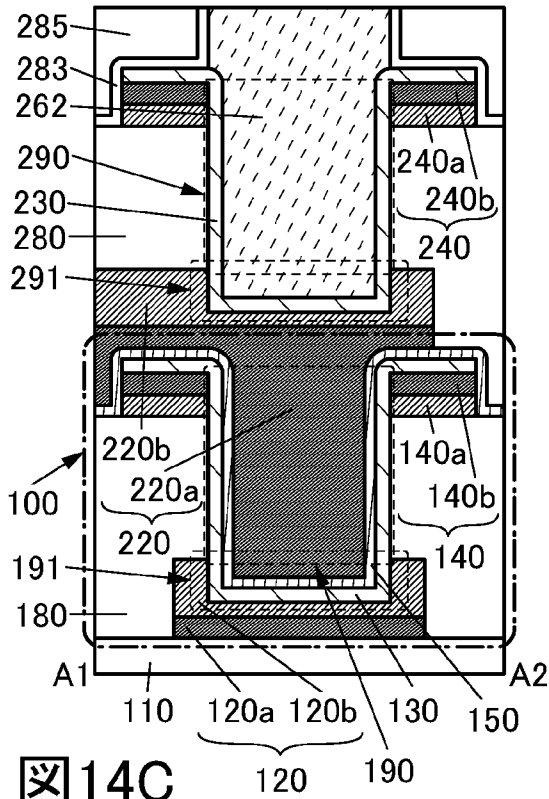


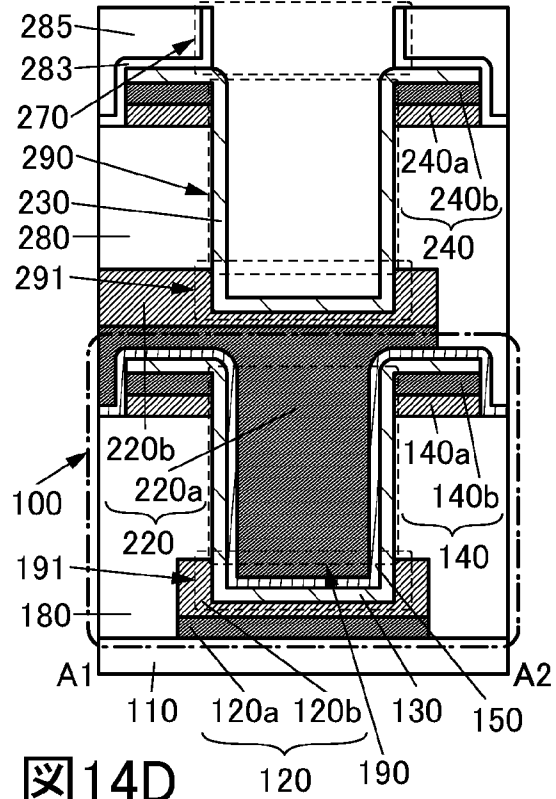
図12F



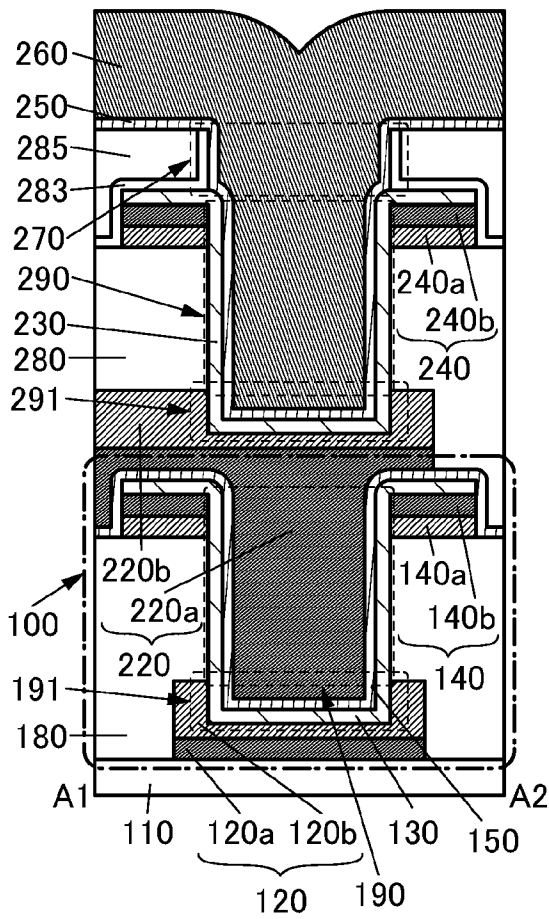
14A



14B



14C



14D

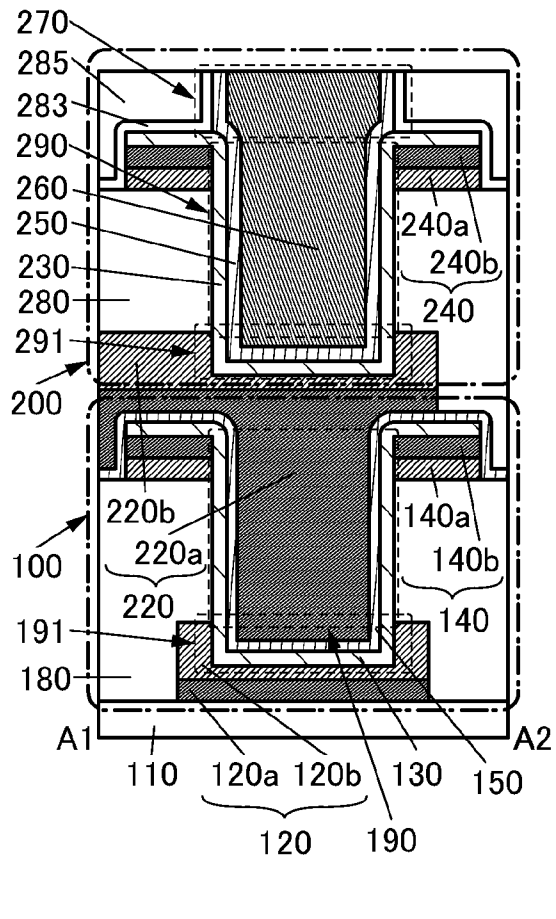


図15A

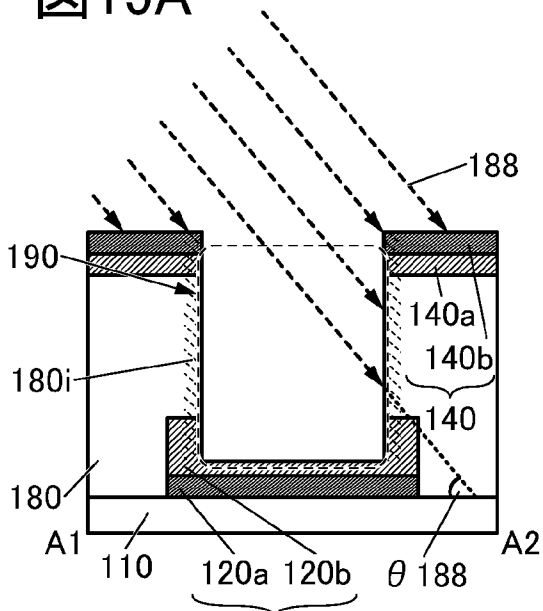


図15B

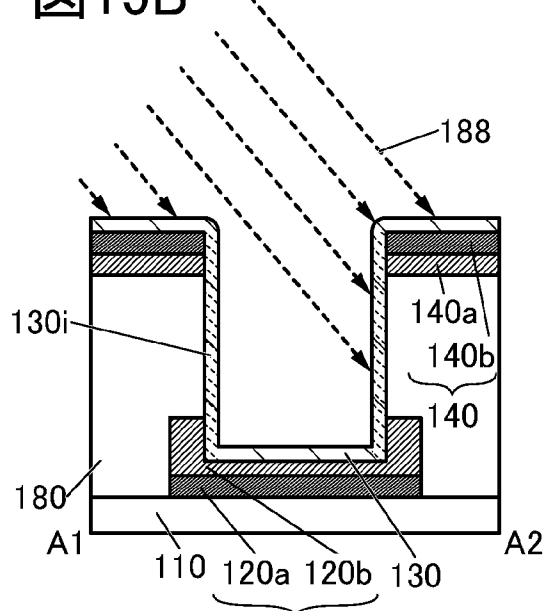


図15C

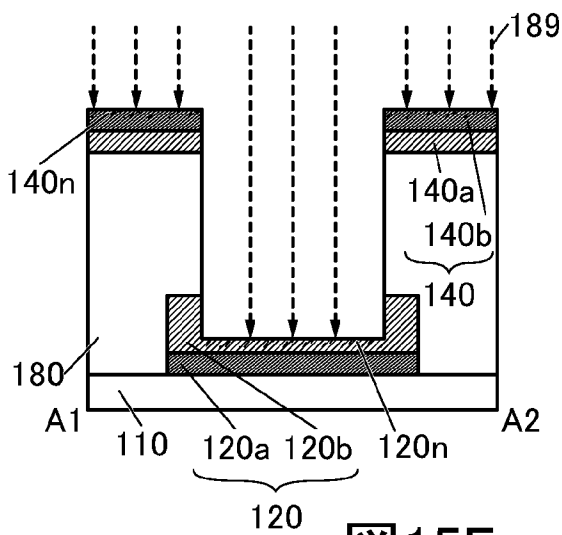


図15D

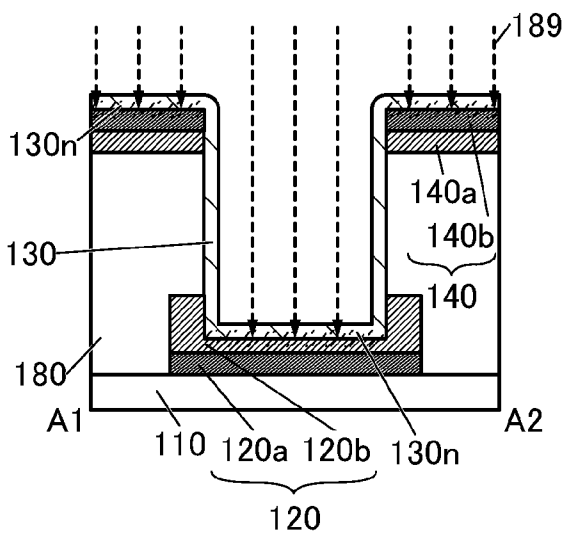


図15E

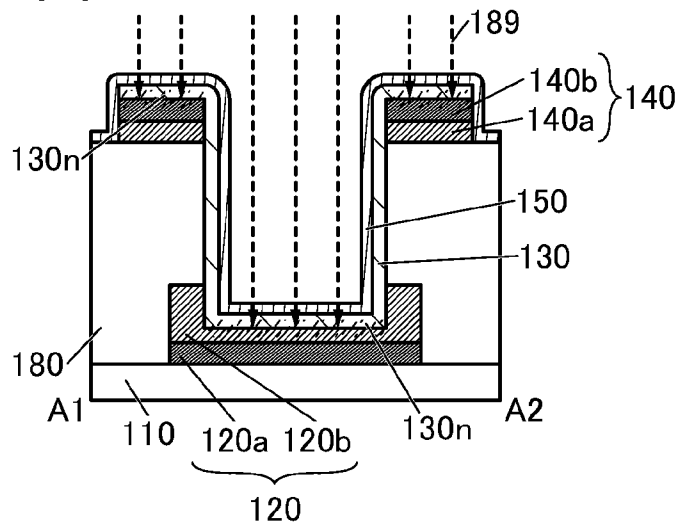


図 16A

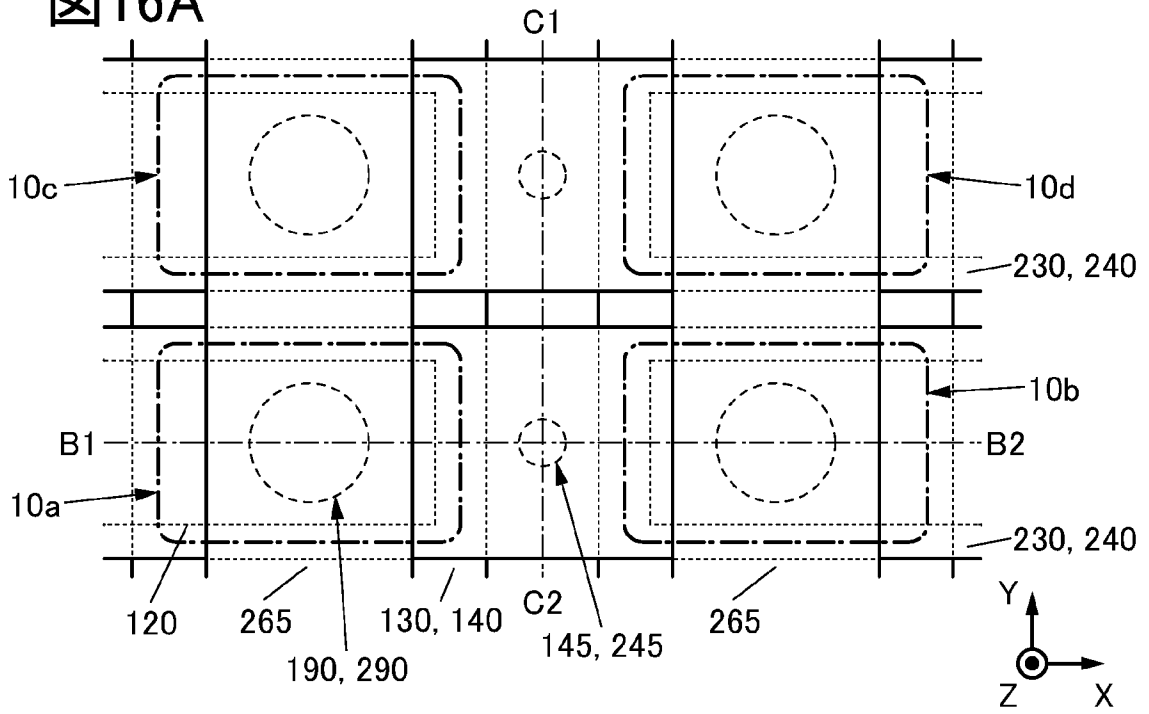


図 16B

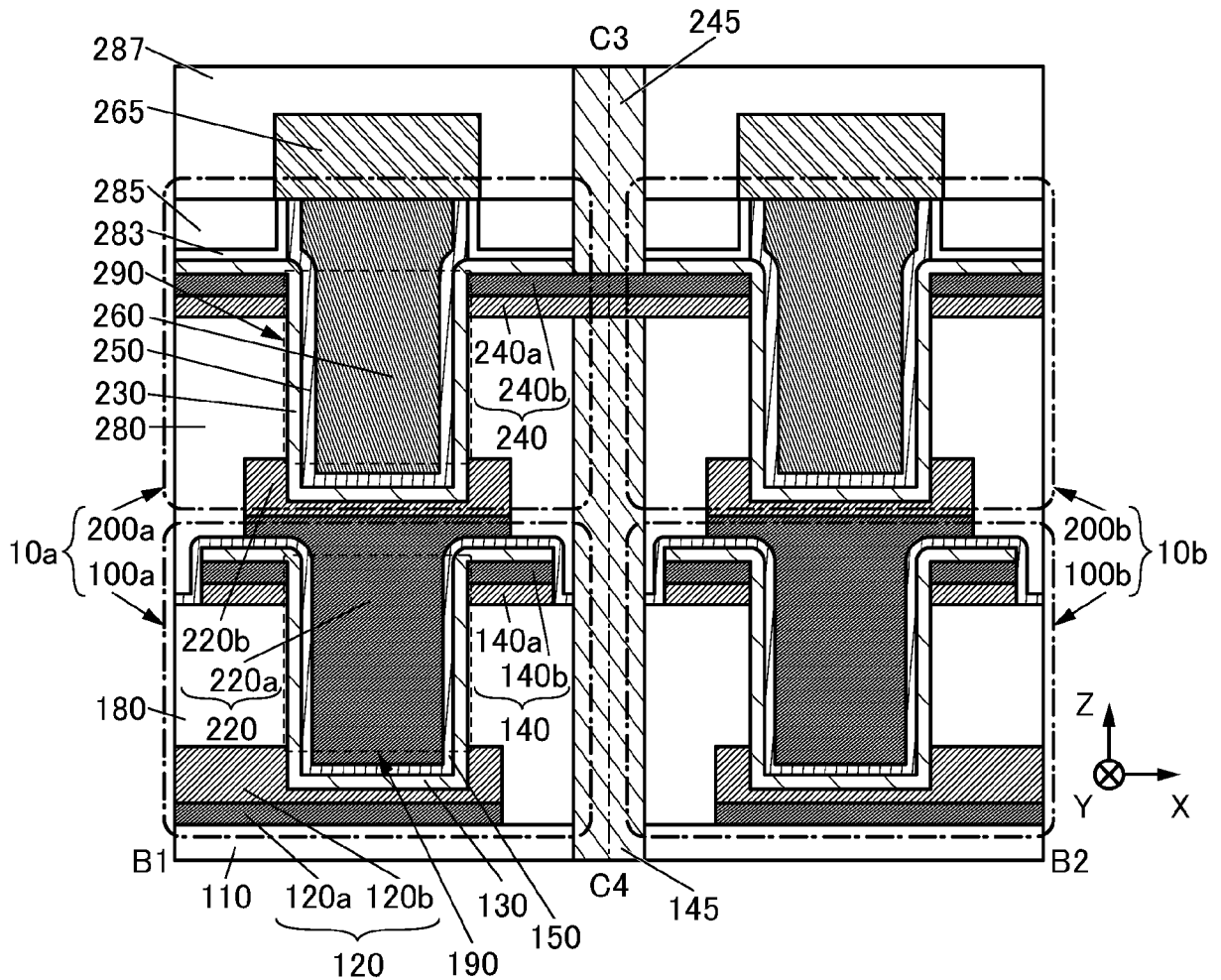


図17

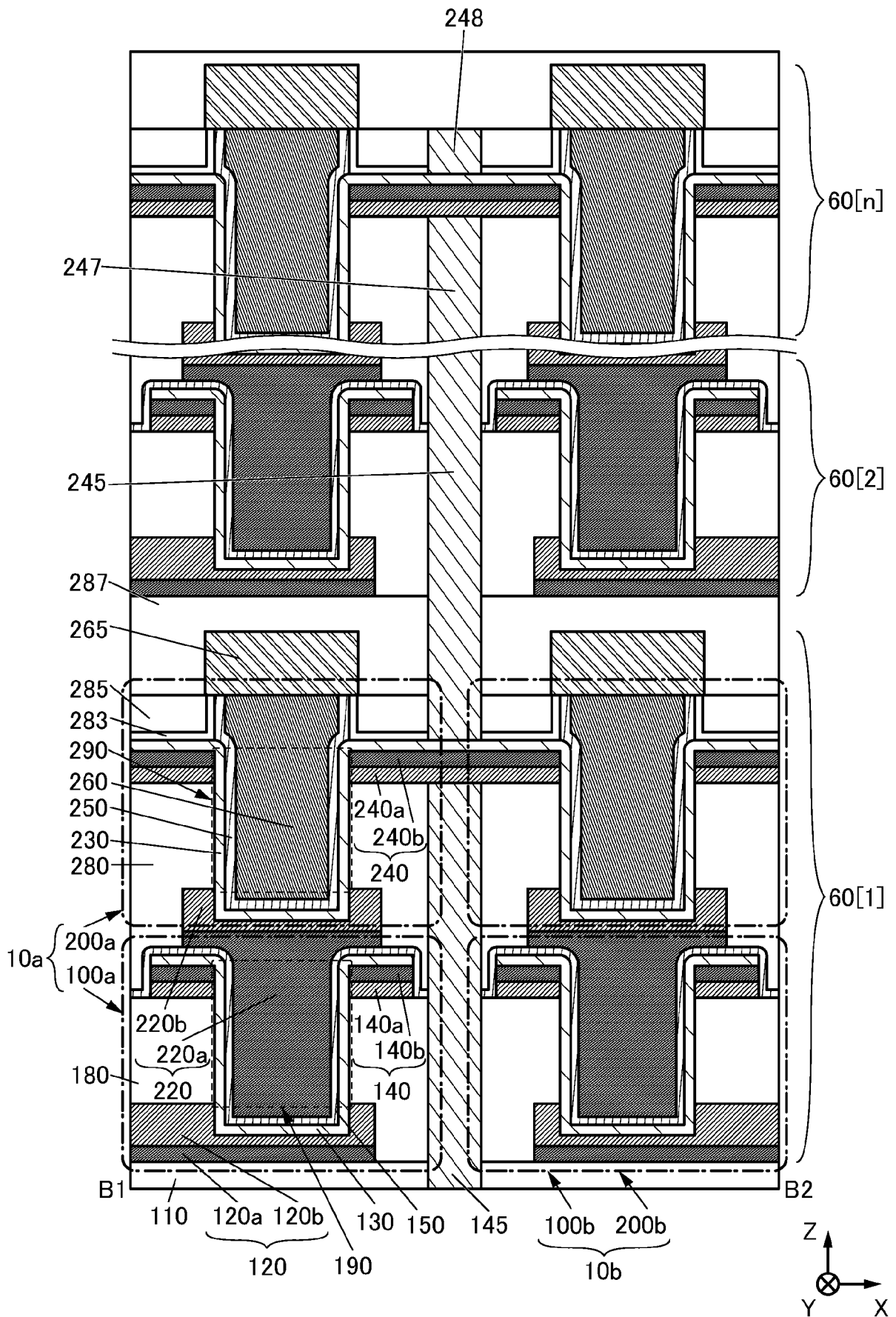


図18

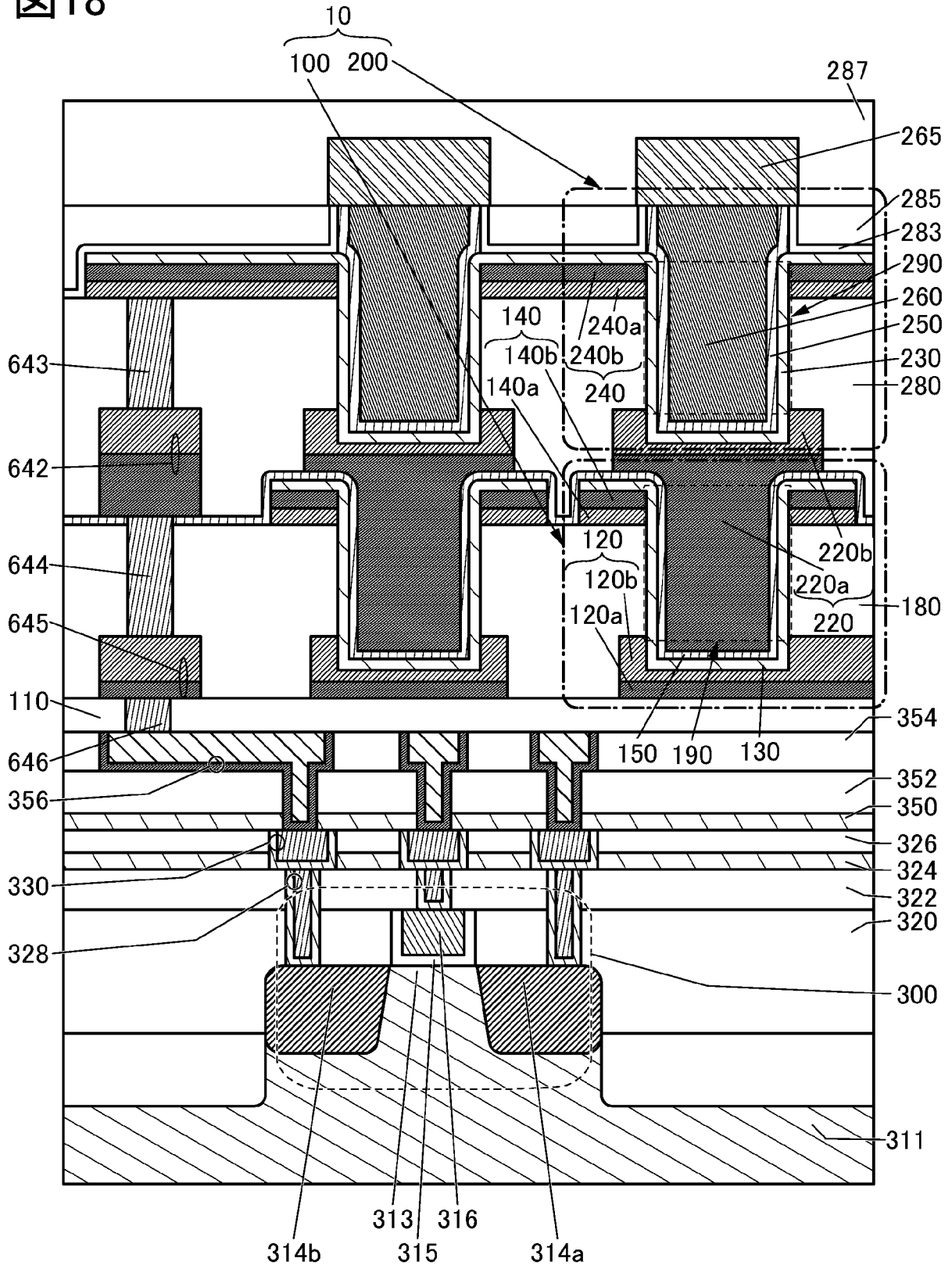


图 19

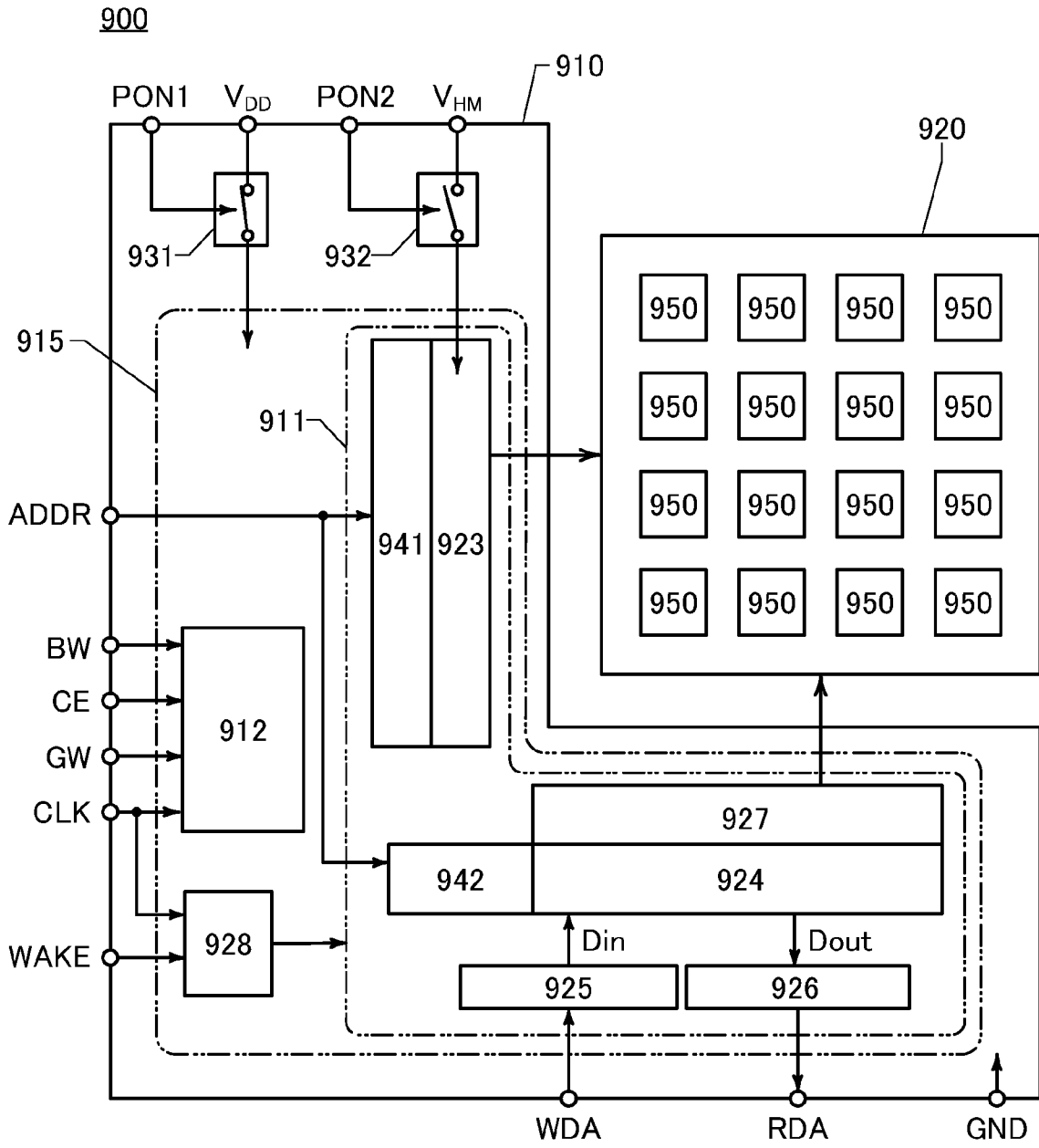


図 20A

900

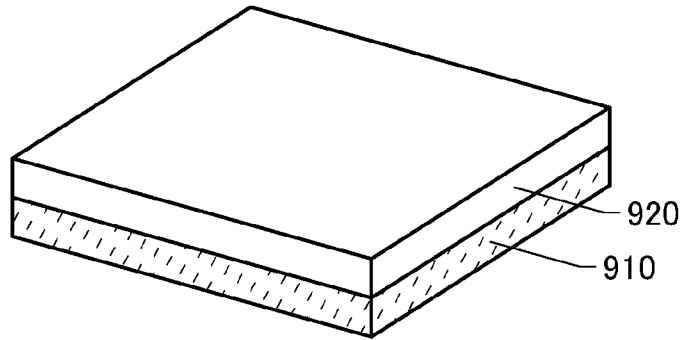


図 20B

900

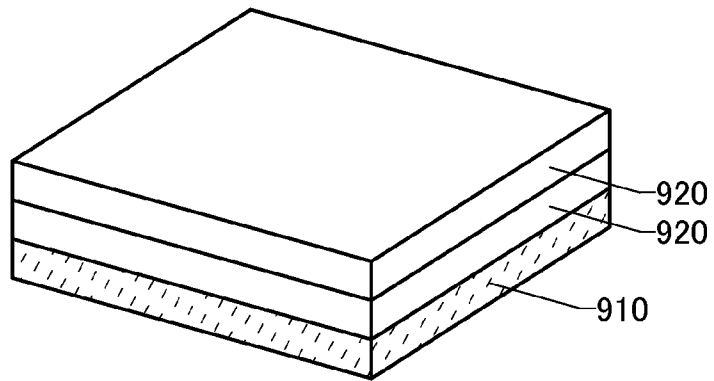


図21

960

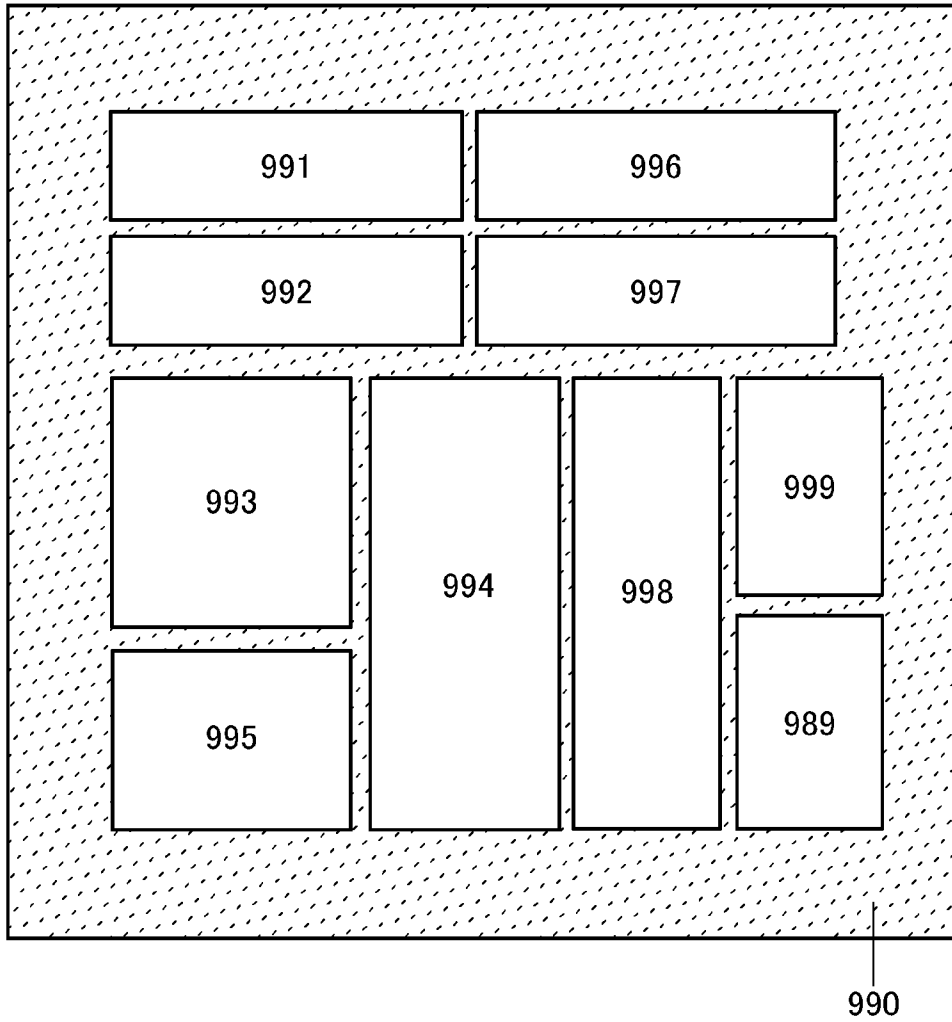


図22A

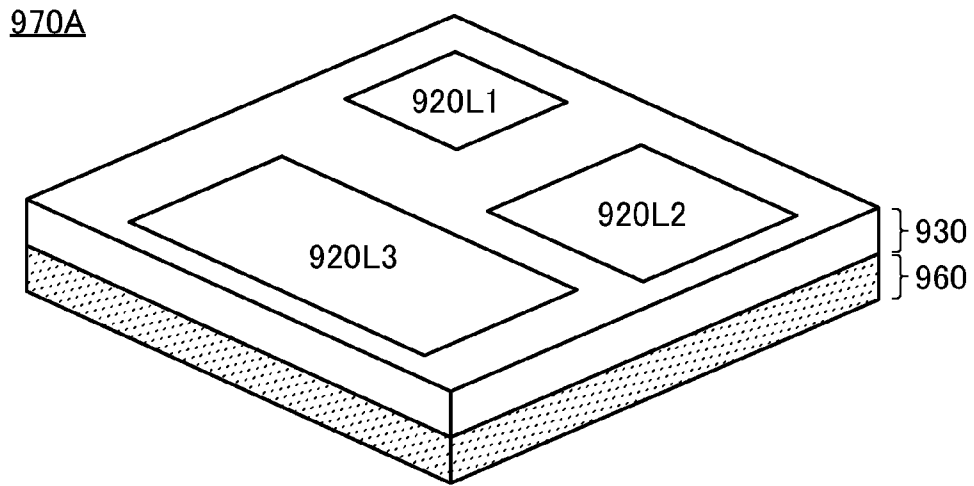


図22B

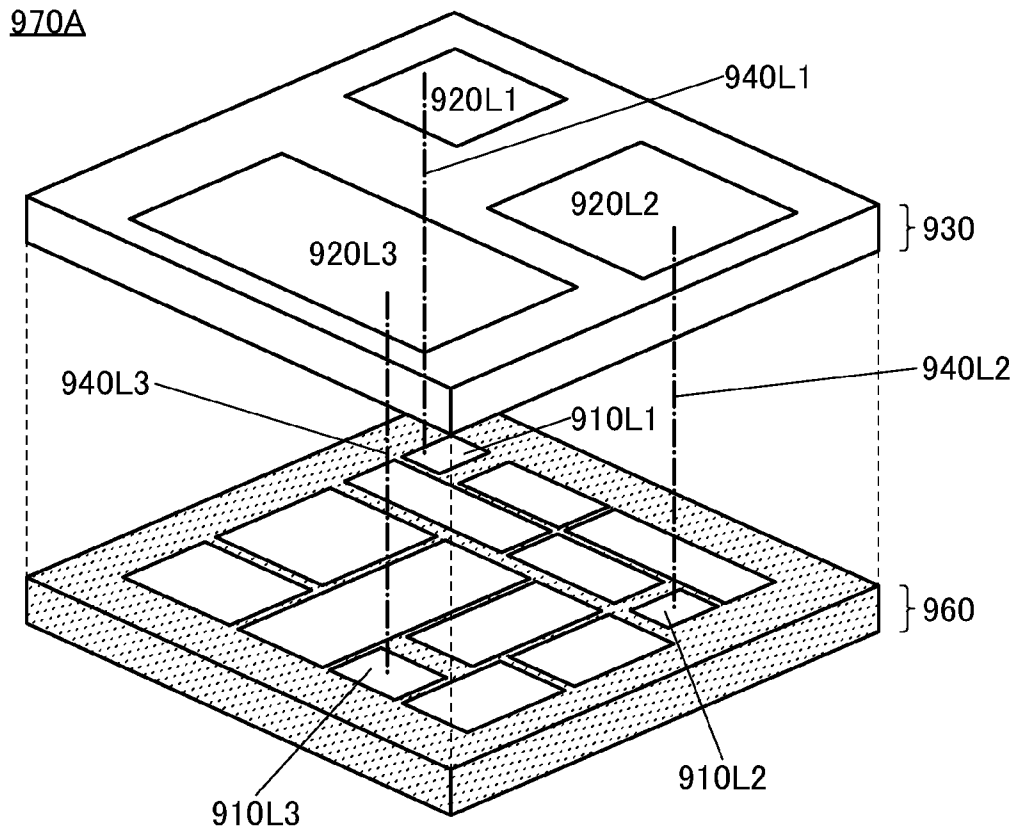


図23A

970B

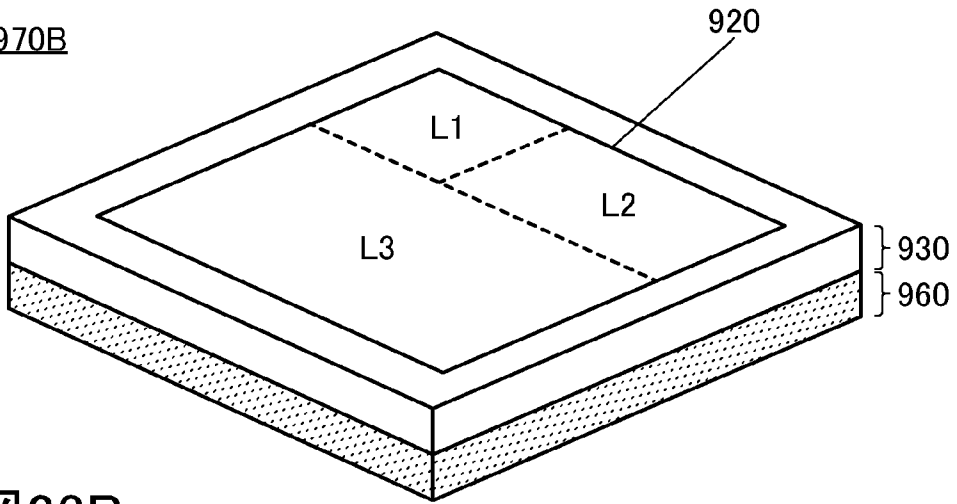


図23B

970C

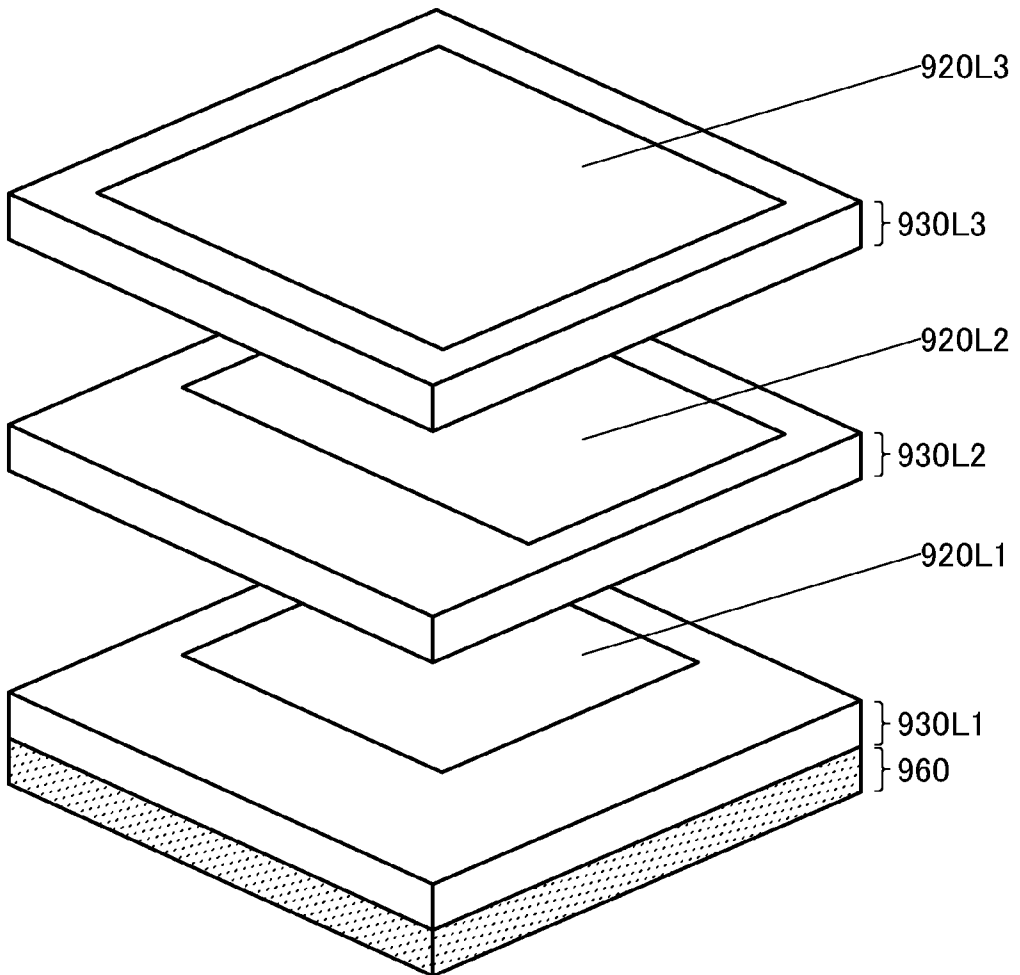


図24A

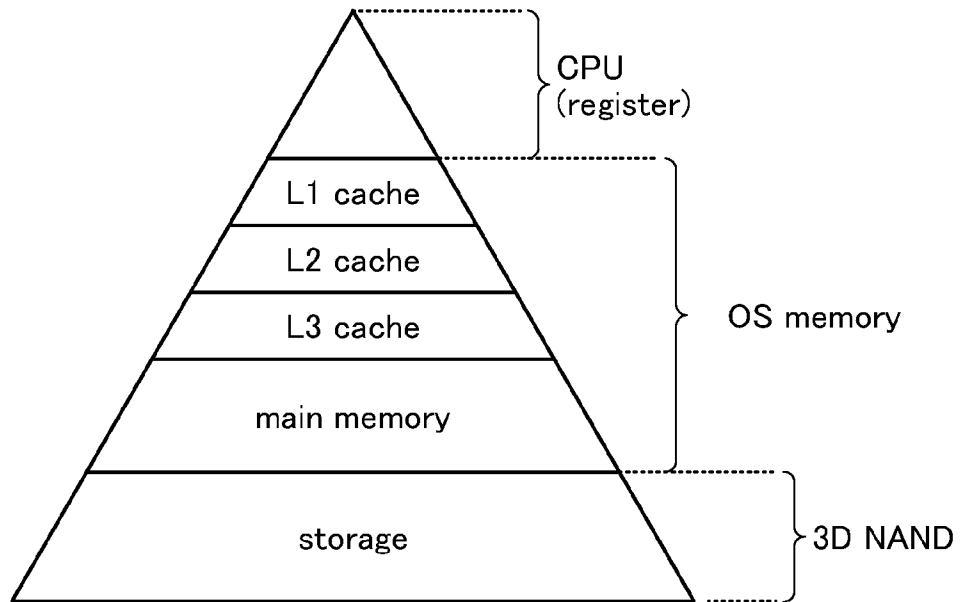


図24B

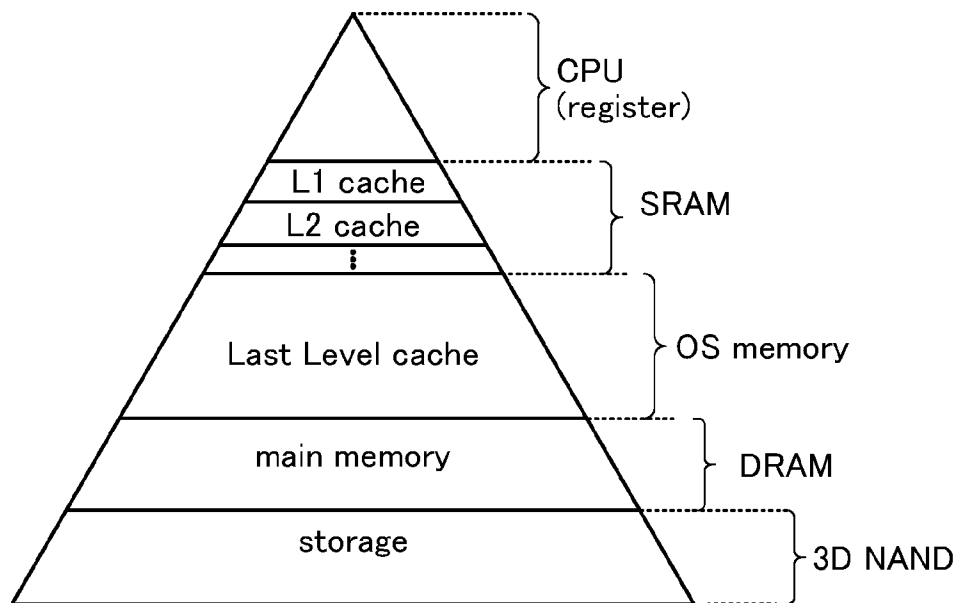


図25A

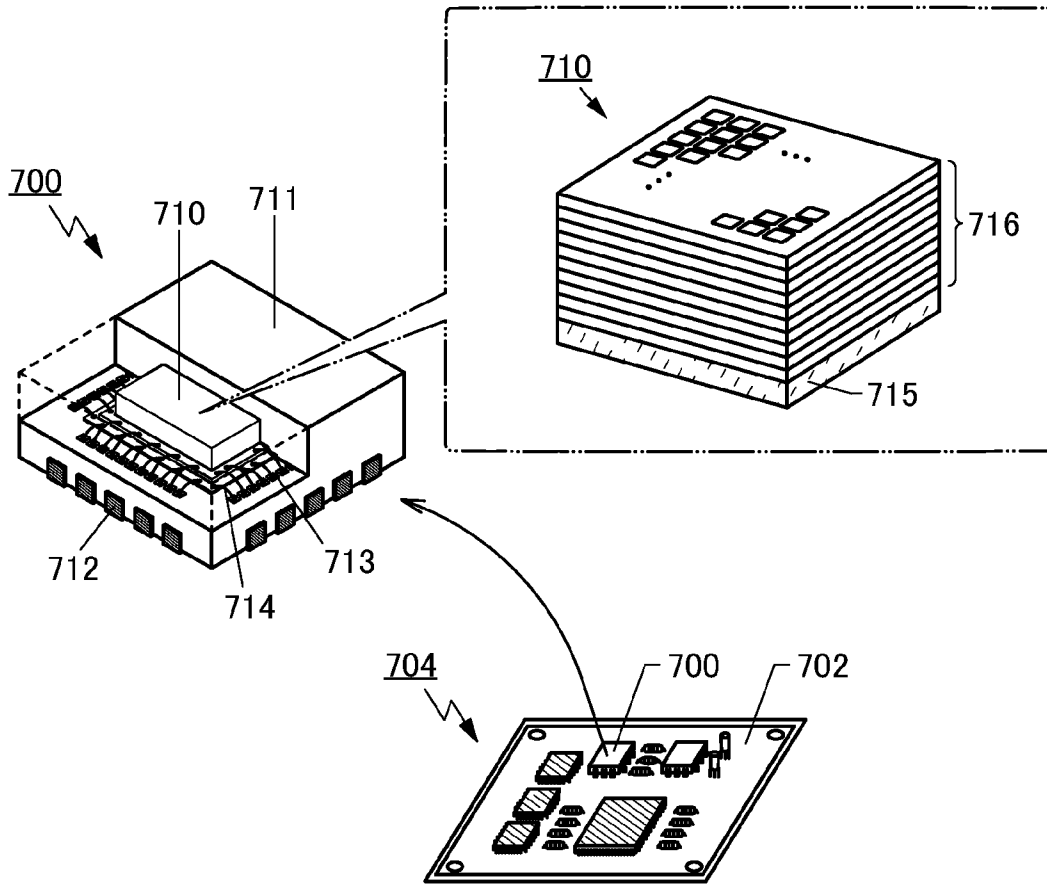
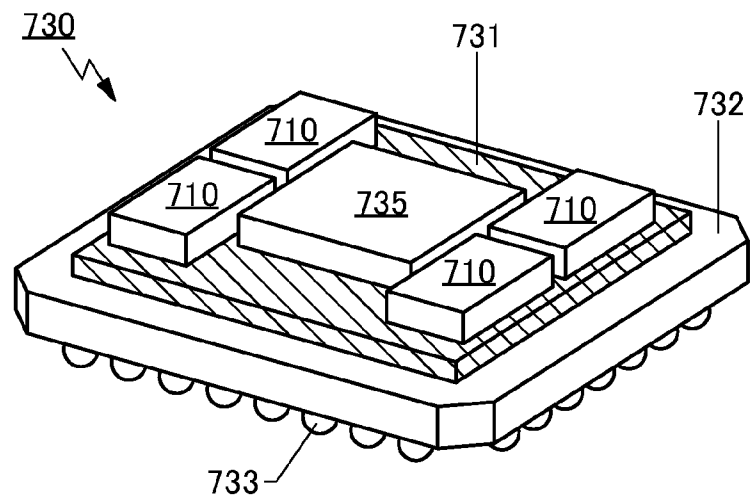
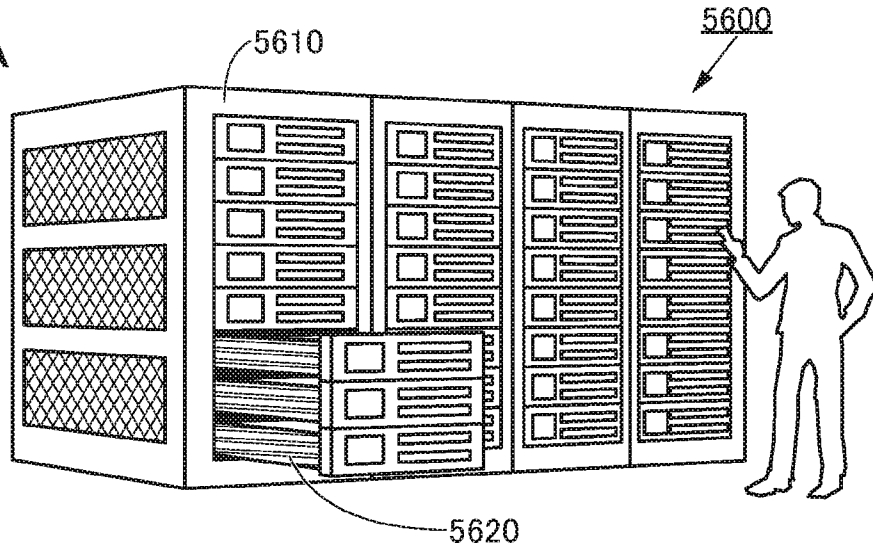


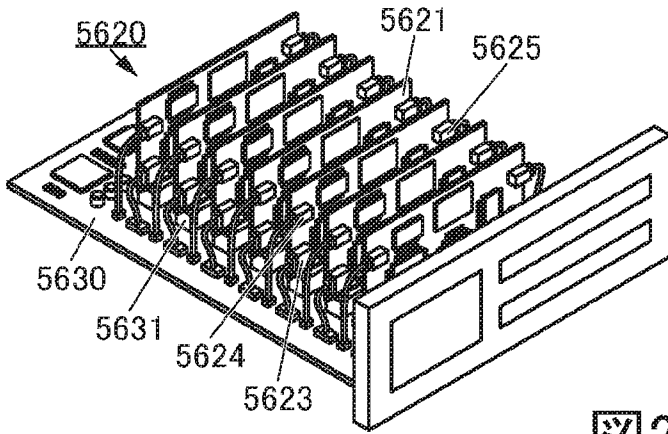
図25B



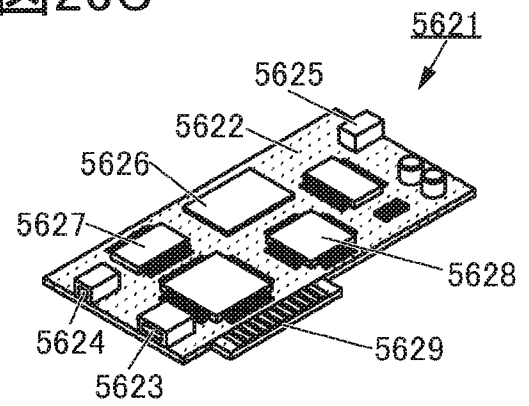
26A



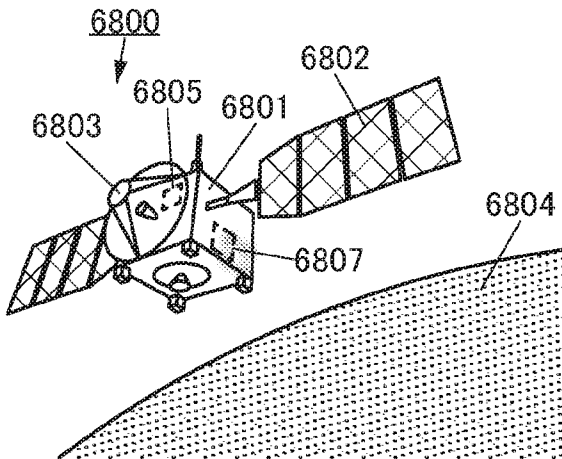
26B



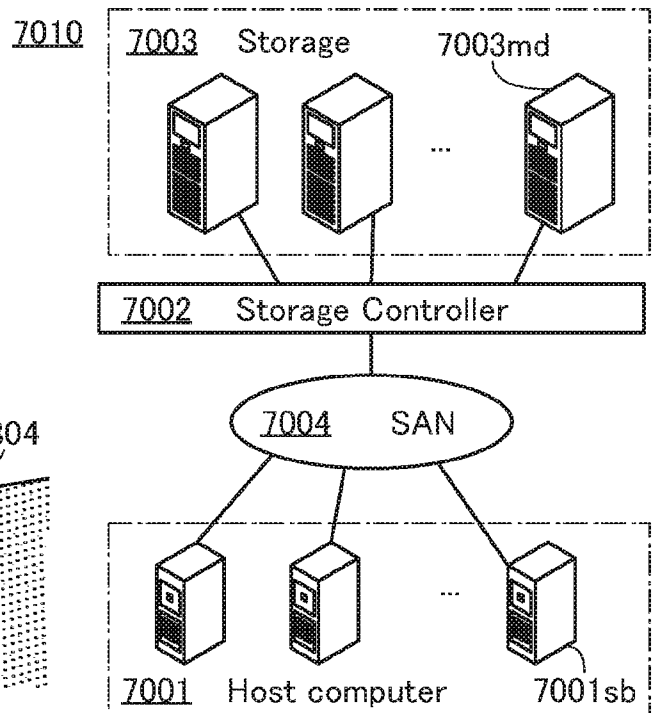
26C



26D



26E



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2024/054866**A. CLASSIFICATION OF SUBJECT MATTER****H01L 29/786**(2006.01)i; **H01L 21/336**(2006.01)i; **H10B 12/00**(2023.01)i; **H10B 41/70**(2023.01)iFI: H01L29/78 618B; H01L29/78 613B; H01L29/78 626A; H01L29/78 618C; H01L29/78 618E; H01L29/78 617V;
H01L29/78 616T; H10B12/00 801; H10B41/70

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786; H01L21/336; H10B12/00; H10B41/70

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 3-291973 A (FUJI XEROX CO., LTD.) 24 December 1991 (1991-12-24) entire text	1-17
A	JP 2016-149552 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 18 August 2016 (2016-08-18) entire text	1-17
A	JP 2019-169490 A (TOSHIBA MEMORY CORP.) 03 October 2019 (2019-10-03) entire text	1-17
A	CN 114792735 A (HUAWEI TECHNOLOGIES CO., LTD.) 26 July 2022 (2022-07-26) entire text	1-17
A	JP 7-99311 A (MITSUBISHI ELECTRIC CORPORATION) 11 April 1995 (1995-04-11) entire text	1-17

 Further documents are listed in the continuation of Box C.
 See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

11 July 2024

Date of mailing of the international search report

23 July 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/IB2024/054866

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	3-291973	A	24 December 1991	(Family: none)	
JP	2016-149552	A	18 August 2016	US 2016/0233343 A1	
				TW 201640683 A	
JP	2019-169490	A	03 October 2019	US 2019/0296155 A1	
CN	114792735	A	26 July 2022	US 2023/0371229 A1	
				KR 10-2023-0124090 A	
				JP 2024-504425 A	
JP	7-99311	A	11 April 1995	US 5994735 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/786(2006.01)i; H01L 21/336(2006.01)i; H10B 12/00(2023.01)i; H10B 41/70(2023.01)i FI: H01L29/78 618B; H01L29/78 613B; H01L29/78 626A; H01L29/78 618C; H01L29/78 618E; H01L29/78 617V; H01L29/78 616T; H10B12/00 801; H10B41/70		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L29/786; H01L21/336; H10B12/00; H10B41/70 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2024年 日本国実用新案登録公報 1996 - 2024年 日本国登録実用新案公報 1994 - 2024年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 3-291973 A (富士ゼロックス株式会社) 24.12.1991 (1991 - 12 - 24) 全文	1-17
A	JP 2016-149552 A (株式会社半導体エネルギー研究所) 18.08.2016 (2016 - 08 - 18) 全文	1-17
A	JP 2019-169490 A (東芝メモリ株式会社) 03.10.2019 (2019 - 10 - 03) 全文	1-17
A	CN 114792735 A (HUAWEI TECHNOLOGIES CO., LTD.) 26.07.2022 (2022 - 07 - 26) 全文	1-17
A	JP 7-99311 A (三菱電機株式会社) 11.04.1995 (1995 - 04 - 11) 全文	1-17
<input type="checkbox"/> C欄の続きにも文献が列挙されている。		<input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 11.07.2024	国際調査報告の発送日 23.07.2024	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 河合 俊英 5F 3238 電話番号 03-3581-1101 内線 3514	

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/IB2024/054866

引用文献	公表日	パテントファミリー文献	公表日
JP 3-291973 A	24.12.1991	(ファミリーなし)	
JP 2016-149552 A	18.08.2016	US 2016/0233343 A1 TW 201640683 A	
JP 2019-169490 A	03.10.2019	US 2019/0296155 A1	
CN 114792735 A	26.07.2022	US 2023/0371229 A1 KR 10-2023-0124090 A JP 2024-504425 A	
JP 7-99311 A	11.04.1995	US 5994735 A	