



(12) 发明专利申请

(10) 申请公布号 CN 118738138 A

(43) 申请公布日 2024. 10. 01

(21) 申请号 202410326788.9

H01L 21/465 (2006.01)

(22) 申请日 2024.03.21

H01L 21/477 (2006.01)

(30) 优先权数据

2023-058228 2023.03.31 JP

(71) 申请人 株式会社日本显示器

地址 日本东京都

(72) 发明人 望月真里奈 渡部将弘 津吹将志

渡壁创 佐佐木俊成 田丸尊也

小野寺凉

(74) 专利代理机构 北京市金杜律师事务所

11256

专利代理师 杨宏军 韩雪莲

(51) Int. Cl.

H01L 29/786 (2006.01)

H01L 21/34 (2006.01)

权利要求书2页 说明书17页 附图18页

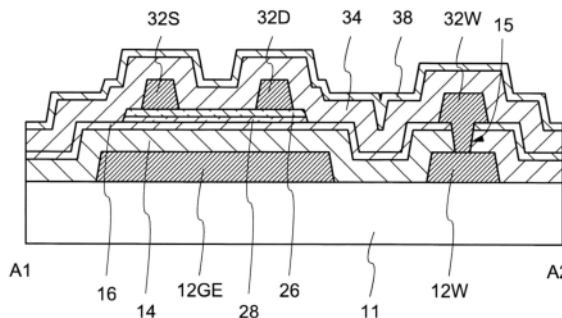
(54) 发明名称

半导体装置及半导体装置的制造方法

(57) 摘要

本发明涉及半导体装置及半导体装置的制造方法。课题在于提供形状的偏差少且电气特性稳定的半导体装置。半导体装置包括：栅电极；栅电极之上的栅极绝缘层；栅极绝缘层之上的金属氧化物层；金属氧化物层之上的具有多晶结构的氧化物半导体层；氧化物半导体层之上的源电极及漏电极；和覆盖源电极及漏电极且与氧化物半导体层相接的层间绝缘层，氧化物半导体层包括与源电极或漏电极重叠的第一区域和与层间绝缘层相接的第二区域，第一区域的膜厚与第二区域的膜厚之差为5nm以下。

10



1. 半导体装置,其包括:
栅电极;
所述栅电极之上的栅极绝缘层;
所述栅极绝缘层之上的金属氧化物层;
所述金属氧化物层之上的具有多晶结构的氧化物半导体层;
所述氧化物半导体层之上的源电极及漏电极;和
覆盖所述源电极及漏电极且与所述氧化物半导体层相接的层间绝缘层,
所述氧化物半导体层包括与所述源电极或所述漏电极重叠的第一区域和与所述层间绝缘层相接的第二区域,
所述第一区域的膜厚与所述第二区域的膜厚之差为5nm以下。
2. 根据权利要求1所述的半导体装置,其中,
相对于在所述源电极及漏电极的形成中使用的蚀刻液而言的所述氧化物半导体层的蚀刻速率为0.1nm/sec以下。
3. 根据权利要求2所述的半导体装置,其中,
所述蚀刻液是包含选自由磷酸、乙酸、硝酸、氢氟酸、盐酸、硫酸及草酸组成的组中的至少两种的溶液。
4. 根据权利要求1所述的半导体装置,其中,
相对于在所述源电极及漏电极的形成中使用的蚀刻气体而言的所述氧化物半导体层的蚀刻速率为0.5nm/sec以下。
5. 根据权利要求4所述的半导体装置,其中,
所述蚀刻气体是包含氟的气体,
所述蚀刻速率为0.1nm/sec以下。
6. 根据权利要求1所述的半导体装置,其中,
所述第一区域的所述膜厚为10nm以上30nm以下。
7. 根据权利要求1所述的半导体装置,其中,
所述氧化物半导体层包含铟及至少一种以上的其他金属元素,
相对于所述铟及所述至少一种以上的其他金属元素而言的所述铟的比率为50%以上。
8. 根据权利要求1所述的半导体装置,其中,
所述金属氧化物层的膜厚为1nm以上10nm以下。
9. 半导体装置的制造方法,其包括:
形成栅电极;
在所述栅电极之上形成栅极绝缘层;
在所述栅极绝缘层之上形成金属氧化物膜;
在所述金属氧化物膜之上形成具有多晶结构的氧化物半导体层;
将所述氧化物半导体层作为掩模对金属氧化物膜进行蚀刻来形成金属氧化物层;
在所述氧化物半导体层之上将导电膜成膜;
利用蚀刻将所述导电膜图案化来形成源电极及漏电极;和
形成覆盖所述源电极及漏电极且与所述氧化物半导体层相接的层间绝缘层,
其中,所述氧化物半导体层包括与所述源电极或漏电极重叠的第一区域和与所述层间

绝缘层相接的第二区域，

所述第一区域的膜厚与所述第二区域的膜厚之差为5nm以下。

10. 根据权利要求9所述的半导体装置的制造方法,其中,

在所述蚀刻中,使用蚀刻液,

相对于所述蚀刻液而言的所述氧化物半导体层的蚀刻速率为0.1nm/sec以下。

11. 根据权利要求10所述的半导体装置的制造方法,其中,

所述蚀刻液是包含选自由磷酸、乙酸、硝酸、氢氟酸、盐酸、硫酸及草酸组成的组中的至少两种的溶液。

12. 根据权利要求9所述的半导体装置的制造方法,其中,

在所述蚀刻中,使用蚀刻气体,

相对于所述蚀刻气体而言的所述氧化物半导体层的蚀刻速率为0.5nm/sec以下。

13. 根据权利要求12所述的半导体装置的制造方法,其中,

所述蚀刻气体为包含氟的气体,

所述蚀刻速率为0.1nm/sec以下。

14. 根据权利要求9所述的半导体装置的制造方法,其中,

所述第一区域的所述膜厚为10nm以上30nm以下。

15. 根据权利要求9所述的半导体装置的制造方法,其中,

所述氧化物半导体层包含铟及至少一种以上的其他金属元素,

相对于所述铟及所述至少一种以上的其他金属元素而言的所述铟的比率为50%以上。

16. 根据权利要求15所述的半导体装置的制造方法,其中,

所述氧化物半导体层通过对具有非晶态结构的氧化物半导体层进行热处理而形成。

17. 根据权利要求9所述的半导体装置的制造方法,其中,

所述金属氧化物层的膜厚为1nm以上10nm以下。

半导体装置及半导体装置的制造方法

技术领域

[0001] 本发明的一实施方式涉及半导体装置。尤其是,本发明的一实施方式涉及使用氧化物半导体作为沟道的半导体装置。另外,本发明的一实施方式涉及半导体装置的制造方法。

背景技术

[0002] 近年来,取代非晶硅、低温多晶硅及单晶硅而将氧化物半导体用于沟道的半导体装置的开发不断进展(例如专利文献1~6)。将氧化物半导体用于沟道的半导体装置与将非晶硅用于沟道的半导体装置同样地能够通过简单的结构且低温工艺来形成。已知将氧化物半导体用于沟道的半导体装置相较于将非晶硅用于沟道的半导体装置而言具有高的迁移率。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开2021-141338号公报

[0006] 专利文献2:日本特开2014-099601号公报

[0007] 专利文献3:日本特开2021-153196号公报

[0008] 专利文献4:日本特开2018-006730号公报

[0009] 专利文献5:日本特开2016-184771号公报

[0010] 专利文献6:日本特开2021-108405号公报

发明内容

[0011] 发明所要解决的课题

[0012] 然而,在现有的包括氧化物半导体层的半导体装置中,氧化物半导体层的耐蚀刻性小,难以进行氧化物半导体层的形状的控制。尤其是在使用大面积基板来制造的半导体装置中,氧化物半导体层的形状的偏差会引起半导体装置的电气特性的面内偏差,成为成品率降低的主要原因。

[0013] 本发明的一实施方式的目的之一在于,提供形状的偏差少且电气特性稳定的半导体装置。另外,本发明的一实施方式的目的之一在于,提供制造偏差减少且成品率提高的半导体装置的制造方法。

[0014] 用于解决课题的手段

[0015] 本发明的一实施方式涉及的半导体装置包括:栅电极;栅电极之上的栅极绝缘层;栅极绝缘层之上的金属氧化物层;金属氧化物层之上的具有多晶结构的氧化物半导体层;氧化物半导体层之上的源电极及漏电极;和覆盖源电极及漏电极且与氧化物半导体层相接的层间绝缘层,氧化物半导体层包括与源电极或漏电极重叠的第一区域和与层间绝缘层相接的第二区域,第一区域的膜厚与第二区域的膜厚之差为5nm以下。

[0016] 本发明的一实施方式涉及的半导体装置的制造方法包括:形成栅电极;在栅电极

之上形成栅极绝缘层;在栅极绝缘层之上形成金属氧化物膜;在金属氧化物膜之上形成具有多晶结构的氧化物半导体层;将氧化物半导体层作为掩模对金属氧化物膜进行蚀刻来形成金属氧化物层;在氧化物半导体层之上将导电膜成膜;利用蚀刻将导电膜图案化来形成源电极及漏电极;和形成覆盖源电极及漏电极且与氧化物半导体层相接的层间绝缘层,其中,氧化物半导体层包括与源电极或漏电极重叠的第一区域和与层间绝缘层相接的第二区域,第一区域的膜厚与第二区域的膜厚之差为5nm以下。

附图说明

- [0017] 图1是表示本发明的一实施方式涉及的半导体装置的概要的剖视图。
- [0018] 图2是表示本发明的一实施方式涉及的半导体装置的概要的俯视图。
- [0019] 图3是表示本发明的一实施方式涉及的半导体装置的制造方法的流程图。
- [0020] 图4是表示本发明的一实施方式涉及的半导体装置的制造方法的剖视图。
- [0021] 图5是表示本发明的一实施方式涉及的半导体装置的制造方法的剖视图。
- [0022] 图6是表示本发明的一实施方式涉及的半导体装置的制造方法的剖视图。
- [0023] 图7是表示本发明的一实施方式涉及的半导体装置的制造方法的剖视图。
- [0024] 图8是表示本发明的一实施方式涉及的半导体装置的制造方法的剖视图。
- [0025] 图9是表示本发明的一实施方式涉及的半导体装置的制造方法的剖视图。
- [0026] 图10是表示本发明的一实施方式涉及的半导体装置的制造方法的剖视图。
- [0027] 图11是表示本发明的一实施方式涉及的半导体装置的制造方法的剖视图。
- [0028] 图12是表示本发明的一实施方式涉及的显示装置的概要的俯视图。
- [0029] 图13是表示本发明的一实施方式涉及的显示装置的电路构成的框图。
- [0030] 图14是表示本发明的一实施方式涉及的显示装置的像素电路的电路图。
- [0031] 图15是表示本发明的一实施方式涉及的显示装置的概要的剖视图。
- [0032] 图16是表示本发明的一实施方式涉及的显示装置的像素电路的电路图。
- [0033] 图17是表示本发明的一实施方式涉及的显示装置的概要的剖视图。
- [0034] 图18是表示样本A、样本B及样本C的电气特性的图。
- [0035] 图19是表示样本D及样本F的电气特性的图。
- [0036] 图20是表示样本G、样本E及样本H的电气特性的图。
- [0037] 图21是表示样本I的电气特性的图。
- [0038] 图22是表示样本J的电气特性的图。
- [0039] 附图标记说明
- [0040] 10:半导体装置、11:基板、12C:布线、12GE:栅电极、12W:布线、14:栅极绝缘层、15:接触孔、16:栅极绝缘层、18:金属氧化物膜、20:显示装置、22:氧化物半导体膜、24:氧化物半导体层、26:氧化物半导体层、28:金属氧化物层、32:源电极及漏电极、32C:布线、32D:漏电极、32S:源电极、32W:布线、34:层间绝缘层、36:金属氧化物膜、38:层间绝缘层、39:绝缘层、42C:公共电极、44:绝缘层、46C:电极、46P:像素电极、110:驱动晶体管、120:选择晶体管、210:保持电容、211:信号线、212:栅极线、213:阳极电源线、214:阴极电源线、220:液晶区域、240:密封区域、260:端子区域、300:阵列基板、301:像素电路、302:源极驱动电路、303:栅极驱动电路、304:源极布线、305:栅极布线、306:端子部、307:连接布线、310:密封

部、311:液晶元件、320:对置基板、330:柔性印制电路基板、340:芯片、350:保持电容、362:绝缘层、363:开口、390:像素电极、392:发光层、394:公共电极

具体实施方式

[0041] 以下,参照附图来说明本发明的各实施方式。以下的公开只不过是一例。本领域技术人员在保持发明的主旨的同时通过对实施方式的构成适当进行变更而能容易地想到的构成当然包含在本发明的范围内。就附图而言,为了使说明更为明确,有时与实际的方式相比示意性地表示各部分的宽度、膜厚、形状等。然而,图示出的形状只不过是一例,并不限定本发明的解释。在本说明书和各图中,对于与关于已出现的附图说明过的要素同样的要素标注同一附图标记,有时适当省略详细的说明。

[0042] “半导体装置”是指能利用半导体特性来发挥功能的所有装置。晶体管、半导体电路是半导体装置的一种形式。以下所示的实施方式的半导体装置例如也可以是用于显示装置、微处理器(Micro-Processing Unit:MPU)等集成电路(Integrated Circuit:IC)或存储器电路中的晶体管。

[0043] “显示装置”是指使用电光层来显示影像的结构体。例如,显示装置这样的用语有时是指包括电光层的显示面板,或者有时是指对于显示单元装配有其他的光学构件(例如偏振构件、背光源、触控面板等)的结构体。只要不会产生技术上的矛盾,则“电光层”能包括液晶层、电致发光(EL)层、电致变色(EC)层、电泳层。因而,关于后述的实施方式,例示了包括液晶层的液晶显示装置以及包括有机EL层的有机EL显示装置来作为显示装置进行说明,本实施方式中的结构能够适用于包括上述的其他电光层的显示装置。

[0044] 在本发明的各实施方式中,将从基板朝向氧化物半导体层的方向称为上或者上方。反之,将从氧化物半导体层朝向基板的方向称为下或者下方。这样,为了便于说明,使用上方或者下方这样的语句来进行说明,但是,例如也可以将基板和氧化物半导体层的上下关系以与图示相反的方式配置。在以下的说明中,例如基板上的氧化物半导体层这样的表述只不过如上所述那样用于说明基板和氧化物半导体层的上下关系,也可以在基板与氧化物半导体层之间配置有其他构件。上方或者下方意味着层叠有多个层的结构中的层叠顺序,在表述为晶体管的上方的像素电极的情况下,也可以是在俯视观察下晶体管与像素电极不重叠的位置关系。另一方面,在表述为晶体管的铅垂上方的像素电极的情况下,意味着在俯视观察下晶体管与像素电极重叠的位置关系。需要说明的是,俯视观察是指从与基板的表面垂直的方向观察的方式。

[0045] 在本说明书等中,“膜”这样的用语和“层”这样的用语根据情况能够相互替换。

[0046] 在本说明书等中,只要没有特别明示,则“ α 包含A、B或者C”、“ α 包含A、B及C中的一个”、“ α 包含选自由A、B及C组成的组中的一个”这样的表述不排除 α 包含A~C的多个的组合的情况。此外,上述的表述也不排除 α 包含其他要素的情况。

[0047] 需要说明的是,以下的各实施方式只要不会产生技术上的矛盾,则能够相互组合。

[0048] 〈第一实施方式〉

[0049] 参照图1~图11来对本发明的一实施方式涉及的半导体装置10进行说明。

[0050] [半导体装置10的构成]

[0051] 使用图1~图2来对本发明的一实施方式涉及的半导体装置10的构成进行说明。图

1是表示本发明的一实施方式涉及的半导体装置10的概要的剖视图。图2是表示本发明的一实施方式涉及的半导体装置10的概要的俯视图。图1所示的剖视图与用图2所示的A1-A2线剖切时的剖面对应。

[0052] 如图1所示,半导体装置10设置在基板11之上。半导体装置10包括栅电极12GE、栅极绝缘层14、16、金属氧化物层28、氧化物半导体层26、源电极32S、漏电极32D及层间绝缘层34、38。在不特别区分源电极32S与漏电极32D的情况下,有时将它们一并称为源电极及漏电极32。另外,有时指代栅电极12GE、栅极绝缘层14、16、金属氧化物层28及氧化物半导体层26而称为晶体管。在本实施方式中,对在氧化物半导体层26的下方设置栅电极12GE的底栅型的晶体管进行说明。

[0053] 在本实施方式中,作为半导体装置10,例示的是底栅型晶体管,但半导体装置10不限于底栅型晶体管。例如,半导体装置10也可以是栅电极设置在氧化物半导体层26的上方及下方的双栅型晶体管。

[0054] 栅电极12GE设置在基板11之上。栅极绝缘层14、16设置在基板11及栅电极12GE之上。栅极绝缘层14、16具有层叠结构。金属氧化物层28设置在栅极绝缘层16之上。氧化物半导体层26设置在金属氧化物层28之上。在氧化物半导体层26之上设置有源电极32S及漏电极32D。层间绝缘层34、38设置在氧化物半导体层26、以及源电极32S及漏电极32D之上。层间绝缘层34、38具有层叠结构,层间绝缘层38设置在层间绝缘层34之上。即,层间绝缘层34、38覆盖源电极32S及漏电极32D,层间绝缘层34与氧化物半导体层26相接。

[0055] 如图2所示,在俯视观察下,氧化物半导体层26与栅电极12GE重叠。D1方向是将源电极32S与漏电极32D连结的方向,D2方向是与D1方向正交的方向。在半导体装置10中,沟道长度L与D1方向上的源电极32S与漏电极32D之间的氧化物半导体层26的区域(沟道区域)的长度对应,沟道宽度W与D2方向上的沟道区域的宽度对应。在俯视观察下,与源电极32S重叠的氧化物半导体层26的区域是源极区域,与漏电极32D重叠的氧化物半导体层26的区域是漏极区域。即,沟道区域位于源极区域与漏极区域之间。

[0056] 如图2所示,在俯视观察下,金属氧化物层28的平面图案与氧化物半导体层26的平面图案大致相同。换言之,金属氧化物层28的端部与氧化物半导体层26的端部大致一致。参照图1及图2,氧化物半导体层26的下表面由金属氧化物层28覆盖。尤其是在本实施方式涉及的半导体装置10中,氧化物半导体层26的下表面全部由金属氧化物层28覆盖。

[0057] 布线12W及布线32W作为栅极布线来发挥功能。布线32W经由接触孔15与布线12W电连接。布线12W作为与栅电极12GE相同的层来形成,详细情况会在后叙述。另外,布线32W作为与源电极32S及漏电极32D相同的层来形成。需要说明的是,布线32W有时不设置在布线12W之上。

[0058] 氧化物半导体层26具有透光性,具有包括多个晶粒的多晶结构。通过使用Poly-OS (Poly-crystalline Oxide Semiconductor,多晶氧化物半导体)技术,由此能够形成具有多晶结构的氧化物半导体层26,详细情况会在后叙述。因此,以下有时将氧化物半导体层26中包含的氧化物半导体作为Poly-OS来进行说明。

[0059] Poly-OS中包含的晶粒的晶体粒径为 $0.1\mu\text{m}$ 以上,优选为 $0.3\mu\text{m}$ 以上,更优选为 $0.5\mu\text{m}$ 以上。晶粒的晶体粒径例如能够使用剖面SEM观察、剖面TEM观察或电子背散射衍射(Electron Back Scattered Diffraction:EBSD)法等来获取。

[0060] 如上所述,由于Poly-OS中包含的晶粒的晶体粒径为 $0.1\mu\text{m}$ 以上,因此在具有 10nm 以上 30nm 以下的膜厚的氧化物半导体层26中,存在沿着膜厚方向仅包括一个晶粒的区域。

[0061] Poly-OS在耐蚀刻性上优异。Poly-OS对于在源电极32S及漏电极32D的形成中使用的蚀刻液或蚀刻气体具有优异的耐蚀刻性,详细情况会在后叙述。因此,在源电极32S及漏电极32D的形成中,氧化物半导体层26几乎不被蚀刻。因此,与源电极32S或漏电极32D重叠的氧化物半导体层26的第一区域(即,源极区域或漏极区域)的膜厚和与源电极32S及漏电极32D不重叠的氧化物半导体层26的第二区域(即,沟道区域)的膜厚实质上相同。换言之,第一区域的膜厚与第二区域的膜厚之差为 5nm 以下,优选为 3nm 以下,更优选为 1nm 以下。

[0062] 沟道区域的膜厚对半导体装置的电气特性造成影响。沟道区域的膜厚的偏差越大,越无法提供具有稳定的电气特性的半导体装置。即,半导体装置的成品率会降低。另一方面,在半导体装置10中,由于能够控制氧化物半导体层26的沟道区域的膜厚,因此半导体装置10具有稳定的电气特性。例如,在半导体装置10中,在沟道区域的沟道长度 L 为 $2\mu\text{m}$ 以上 $4\mu\text{m}$ 以下且沟道区域的沟道宽度为 $2\mu\text{m}$ 以上 $25\mu\text{m}$ 以下的范围内,能够获得迁移率为 $20\text{cm}^2/\text{Vs}$ 以上、进而为 $30\text{cm}^2/\text{Vs}$ 以上的场效应迁移率(线性区域中的场效应迁移率)。

[0063] [半导体装置10的制造方法]

[0064] 使用图3~图11来对本发明的一实施方式涉及的半导体装置10的制造方法进行说明。图3是说明本发明的一实施方式涉及的半导体装置10的制造方法的流程图。图4~图11是表示本发明的一实施方式涉及的半导体装置10的制造方法的示意性的剖视图。以下,按顺序说明,图3所示的流程图的各步骤。

[0065] 在图3的步骤S1001(“GE形成”)中,在基板11之上形成栅电极12GE(参见图4)。

[0066] 作为基板11,使用玻璃基板、石英基板及蓝宝石基板等具有透光性的刚性基板。在需要基板11具备挠性的情况下,作为基板11,可使用聚酰亚胺基板、丙烯酸基板、硅氧烷基板、氟树脂基板等、或包含树脂的基板。在使用包含树脂的基板作为基板11的情况下,为了提高基板11的耐热性,也可以向上述的树脂中导入杂质元素。尤其在半导体装置10为顶部发射型的显示器的情况下,不需要基板11透明,因此也可以使用降低基板11的透射率的杂质。在将半导体装置10不是用于显示装置而是用于集成电路的情况下,作为基板11,可以使用硅基板、碳化硅基板、化合物半导体基板等半导体基板或者不锈钢基板等导电性基板等、不具备透光性的基板。

[0067] 栅电极12GE通过对利用溅射法成膜的导电膜进行加工来形成。作为栅电极12GE的金属材料,使用通常的金属材料。作为栅电极12GE,例如使用铝(Al)、钛(Ti)、铬(Cr)、钴(Co)、镍(Ni)、钼(Mo)、铪(Hf)、钽(Ta)、钨(W)、铋(Bi)、银(Ag)、铜(Cu)、以及它们的合金或者它们的化合物。作为栅电极12GE,上述的金属材料可以以单层的形式使用,也可以以层叠的形式使用。

[0068] 在图3的步骤S1002(“GI形成”)中,在栅电极12GE之上形成栅极绝缘层14、16(参见图4)。栅极绝缘层14、16通过CVD(Chemical Vapor Deposition,化学气相沉积)法或溅射法来成膜。作为栅极绝缘层14、16,可使用绝缘性材料。例如,作为栅极绝缘层14、16的绝缘性材料,可使用氧化硅(SiO_x)、氧氮化硅(SiO_xN_y)、氮化硅(SiN_x)、氮氧化硅(SiN_xO_y)等无机绝缘材料。上述的 SiO_xN_y 是含有比氧(O)少的比率($x>y$)的氮(N)的硅化合物。 SiN_xO_y 是含有比氮少的比率($x>y$)的氧的硅化合物。

[0069] 在基板11之上,优选依次形成使用了包含氮的绝缘材料的栅极绝缘层14、使用了包含氧的绝缘材料的栅极绝缘层16。作为栅极绝缘层14,通过使用包含氮的绝缘材料,由此能够阻挡从基板11朝向氧化物半导体层26扩散的杂质。另外,作为栅极绝缘层16,通过使用包含氧的绝缘材料,由此能够在加热处理下放出氧。使包含氧的绝缘材料放出氧的加热处理的温度例如为500°C以下、450°C以下或400°C以下。需要说明的是,包含氧的绝缘材料也可以在半导体装置10的制造工序中的任一步骤中被加热时放出氧。

[0070] 优选栅极绝缘层14的膜厚比栅极绝缘层16的膜厚大。在本实施方式中,作为栅极绝缘层14,例如形成300nm的氮化硅。作为栅极绝缘层16,例如形成100nm的氧化硅。

[0071] 在图3的步骤S1003(“MO成膜”)中,在栅极绝缘层14、16之上将金属氧化物膜18成膜。金属氧化物膜18通过溅射法或原子层沉积法(ALD:Atomic Layer Deposition)来成膜。

[0072] 作为金属氧化物膜18,使用将铝作为主成分的金属氧化物。例如,作为金属氧化物膜18,使用氧化铝(AlO_x)、氧氮化铝(AlO_xN_y)、氮氧化铝(AlN_xO_y)、氮化铝(AlN_x)等的无机绝缘层。将铝作为主成分的金属氧化物层是指着金属氧化物层中含有的铝的比率为金属氧化物膜18整体的1%以上。金属氧化物膜18中含有的铝的比率也可以为金属氧化物膜18整体的5%以上70%以下、10%以上60%以下、或30%以上50%以下。上述的比率可以是质量比,也可以是重量比。

[0073] 金属氧化物膜18的厚度例如为1nm以上10nm以下,优选为1nm以上5nm以下。在本实施方式中,作为金属氧化物膜18,使用的是氧化铝。氧化铝具备对于氧或氢等气体的高的阻隔性。换言之,阻隔性是指抑制氧或氢等气体透过氧化铝的功能。即,即便在设置于氧化铝膜之下的层中存在氧或氢等气体,也不会向设置在氧化铝膜之上的层移动。或者是指,即便存在来自设置于氧化铝膜之上的层的氧或氢等气体,也不会向设置在氧化铝膜之下的层移动。

[0074] 在图3的步骤S1004(“OS成膜”)中,在金属氧化物膜18之上将氧化物半导体膜22成膜(参见图5)。氧化物半导体膜22通过溅射法或原子层沉积法(ALD:Atomic Layer Deposition)来成膜。氧化物半导体膜22的膜厚为10nm以上50nm以下,优选为10nm以上40nm以下,更优选为10nm以上30nm以下。

[0075] 作为氧化物半导体膜22,能够使用具有半导体的特性的金属氧化物。例如,作为氧化物半导体膜22,可使用含有包括铟(In)在内的两种以上的金属元素的氧化物半导体。另外,两种以上的金属元素中的铟的比率为50%以上。作为氧化物半导体膜22,除了铟以外,还可使用镓(Ga)、锌(Zn)、铝(Al)、铪(Hf)、钇(Y)、锆(Zr)或镧系元素。作为氧化物半导体膜22,优选含有13族元素。另外,作为氧化物半导体膜22,也可以使用上述以外的其他元素。

[0076] 在通过后述的OS退火来使氧化物半导体膜22结晶化的情况下,优选成膜后且OS退火前的氧化物半导体膜22处于非晶态(氧化物半导体的晶体成分少的状态)。即,氧化物半导体膜22的成膜优选在使刚成膜后的氧化物半导体膜22尽可能地不发生结晶化的条件下进行。例如,在通过溅射法来将氧化物半导体膜22成膜的情况下,一边控制被成膜对象物(基板11及形成在其之上的结构物)的温度一边将氧化物半导体膜22成膜。

[0077] 当利用溅射法来对被成膜对象物进行成膜时,在等离子体中产生的离子及由溅射靶材反冲的原子会与成膜对象物发生碰撞,因此,伴随着成膜处理,被成膜对象物的温度上升。若成膜处理中的被成膜对象物的温度上升,则在刚成膜后的状态下氧化物半导体膜

22中含有微晶。若在氧化物半导体膜22中含有微晶,则无法通过之后的OS退火使晶体粒径增大。为了控制被成膜对象物的温度,例如可以一边冷却被成膜对象物一边进行成膜。例如,能够以使被成膜对象物的被成膜面的温度(以下称为“成膜温度”)成为100°C以下、70°C以下、50°C以下或30°C以下的方式,从该被成膜面的相反侧的面对被成膜对象物进行冷却。尤其是,优选氧化物半导体膜22的成膜温度为50°C以下。通过一边冷却基板11一边进行氧化物半导体膜22的形成,由此能够获得在刚成膜后晶体成分少的氧化物半导体膜22。

[0078] 在溅射工艺中,在氧分压10%以下的条件下进行具有非晶态结构的氧化物半导体膜22的成膜。若氧分压高,则会因氧化物半导体膜22中含有的过量的氧而使刚成膜后的氧化物半导体膜22中含有微晶。因此,优选在氧分压低的条件下进行氧化物半导体膜22的成膜。氧分压例如为1%以上5%以下,优选为2%以上4%以下。在氧分压小于1%的条件下,成膜装置内的氧的分布容易变得不均匀。其结果是,氧化物半导体层中的氧的组成也变得不均匀,会形成含有大量微晶的氧化物半导体层、或者形成即便之后进行OS退火处理也不会结晶化的氧化物半导体层。

[0079] 在图3的步骤S1005(“OS图案形成”)中,形成氧化物半导体层24的图案(参见图6)。氧化物半导体层24的图案的形成使用光刻来进行。例如,在氧化物半导体膜22之上形成抗蚀剂掩模(未图示),使用该抗蚀剂掩模来对氧化物半导体膜22进行蚀刻。作为氧化物半导体膜22的蚀刻,可以使用湿式蚀刻,也可以使用干式蚀刻。作为湿式蚀刻,能够使用酸性的蚀刻液来进行蚀刻。作为蚀刻液,例如能够使用草酸、PAN、硫酸、双氧水或氢氟酸。由此,能够形成具有规定的图案的氧化物半导体层24。之后,除去抗蚀剂掩模。

[0080] 具有规定的图案的氧化物半导体层24的形成(即,氧化物半导体膜22的图案化加工)优选在OS退火前进行。OS退火后的Poly-OS的耐蚀刻性高,难以进行基于蚀刻的图案化加工。另外,通过在氧化物半导体层24的形成后进行OS退火,由此能够利用OS退火来修复在氧化物半导体层24的形成中产生的损伤(例如,氧化物半导体层24中的氧缺陷等)。

[0081] 在图3的步骤S1006(“OS退火”)中,在氧化物半导体层24的形成后,对氧化物半导体层24进行加热处理(OS退火),由此形成氧化物半导体层26(参见图7)。在OS退火中,氧化物半导体层24在规定的到达温度下保持规定的时间。规定的到达温度为300°C以上500°C以下,优选为350°C以上450°C以下。另外,到达温度下的保持时间为15分钟以上120分钟以下,优选为30分钟以上60分钟以下。通过进行OS退火,由此使具有非晶态结构的氧化物半导体层24结晶化,形成具有多晶结构的氧化物半导体层26。即,通过OS退火,形成包括Poly-OS的氧化物半导体层26。

[0082] 在薄膜晶体管中,存在如下的倾向:通过减小氧化物半导体层的厚度来使载流子增加,减少反向沟道的影响,由此场效应迁移率升高。即,薄膜晶体管存在氧化物半导体层的作为沟道来发挥功能的区域的厚度越小则场效应迁移率越高的倾向。因此,氧化物半导体层的厚度越小越好。然而,在使氧化物半导体层的厚度为10nm以下进行成膜之后,即便进行加热处理,也无法使氧化物半导体层充分地结晶化。在氧化物半导体层没有充分地结晶化的情况下,在之后使用氧化物半导体层作为掩模来进行用于将金属氧化物层图案化的蚀刻处理时,氧化物半导体层及金属氧化物层会消失。

[0083] 另外,在薄膜晶体管中,氧化物半导体层26的结晶性有助于场效应迁移率的提高。因此,氧化物半导体层26优选具有多晶结构。然而,在氧化物半导体膜22的成膜时,若含有

微晶,则在之后即便进行加热处理也无法增大多晶结构中晶粒的晶体粒径。这样,难以同时实现氧化物半导体层的薄膜化与良好的结晶化。

[0084] 在将氧化物半导体膜22利用溅射法来成膜时,在3%以上5%以下这么低的氧分压下进行成膜。通过在氧分压低的条件下将氧化物半导体膜22成膜,由此能够抑制在氧化物半导体膜22中过量地含有氧,并能够抑制在刚成膜后的氧化物半导体膜22中含有微晶。由此,在氧化物半导体层24的加热处理时,能够抑制从微晶生长成晶体。因而,即便在将氧化物半导体膜22以大于10nm、30nm以下的薄的膜厚进行成膜的情况下,也能够增大氧化物半导体层26的多晶结构中晶粒的晶体粒径。

[0085] 如图3的步骤S1007所示,将金属氧化物膜18图案化来形成金属氧化物层28(参见图8)。通过加热处理而得以充分地结晶化的氧化物半导体层26具有高的耐蚀刻性。因此,在将结晶化后的氧化物半导体层26作为掩模来对金属氧化物膜18进行图案化时,能够抑制氧化物半导体层26消失。将在上述的工序中经图案化的氧化物半导体层26作为掩模来使金属氧化物膜18蚀刻。作为金属氧化物膜18的蚀刻,可以使用湿式蚀刻,也可以使用干式蚀刻。作为湿式蚀刻,例如可使用稀释氢氟酸(DHF)。通过将氧化物半导体层26作为掩模来对金属氧化物膜18进行蚀刻,由此能够省略光刻工序。

[0086] 在图3的步骤S1008(“接触孔形成”)中,在栅极绝缘层14、16形成接触孔15(参见图8)。由此,使布线12W的上表面露出。需要说明的是,在不需要将布线32W与布线12W连接的情况下,也可以不进行步骤S1008的工序。

[0087] 在图3的步骤S1009(“SD形成”)中,形成源电极32S、漏电极32D及布线32W(参见图9)。源电极32S、漏电极32D及布线32W通过对利用溅射法成膜的导电膜进行蚀刻而使其图案化来形成。另外,能够将布线32W经由接触孔15而与布线12W连接。作为源电极32S及漏电极32D,可使用与栅电极12GE同样的导电材料。作为源电极32S、漏电极32D及布线32W,导电材料可以以单层的形式使用,也可以以层叠的形式使用。在本实施方式中,例示出MoW合金、Al及MoW合金的层叠结构(MoW/Al/MoW结构)、MoW合金的单层结构(MoW结构)、Ti的单层结构(Ti结构)、以及Ti、Al及Ti的层叠结构(Ti/Al/Ti结构)。

[0088] 为了形成源电极32S、漏电极32D及布线32W,使用湿式蚀刻或干式蚀刻来进行图案化。在湿式蚀刻中,使用蚀刻液。例如,作为蚀刻液,能够使用包含选自磷酸、乙酸、硝酸、氢氟酸、盐酸、硫酸及草酸组成的组中的至少两种的溶液。具体而言,作为蚀刻液,能够使用以磷酸、乙酸及硝酸为主成分的混酸蚀刻溶液。另外,作为蚀刻液,还能够使用双氧水与氨水的混合溶液(以下称为“ H_2O_2/NH_3 溶液”)。在干式蚀刻中,使用蚀刻气体。例如,作为蚀刻气体,使用六氟化硫气体(SF_6)等含氟的气体(以下称为“氟系气体”)或者氯气(Cl_2)等含氯的气体(以下称为“氯系气体”)。

[0089] Poly-OS的耐蚀刻性优异。具体而言,相对于在源电极32S及漏电极32D的形成中使用的蚀刻液或蚀刻气体而言的蚀刻速率非常小。这意味着Poly-OS几乎不会被该蚀刻液或蚀刻气体蚀刻。因而,在半导体装置10中,即便在氧化物半导体层26上直接进行导电膜的成膜并将导电膜图案化来形成源电极32S及漏电极32D,氧化物半导体层26的沟道区域也几乎不会被蚀刻。

[0090] 例如,相对于在源电极32S及漏电极32D的形成中使用的蚀刻液而言的氧化物半导体层26的蚀刻速率为0.1nm/sec以下或0.01nm/sec以下。另外,相对于在源电极32S及漏电

极32D的形成中使用的蚀刻气体而言的氧化物半导体层26的蚀刻速率为0.5nm/sec以下或0.1nm/sec以下。例如,相对于在源电极32S及漏电极32D的形成中使用的氯系气体而言的氧化物半导体层26的蚀刻速率为0.3nm/sec以下。例如,相对于在源电极32S及漏电极32D的形成中使用的氟系气体而言的氧化物半导体层26的蚀刻速率为0.1nm/sec以下。需要说明的是,相较于使用蚀刻液或氟系气体的蚀刻而言,使用氯系气体的蚀刻中蚀刻速率稍高。在使用氯系气体来进行蚀刻的情况下,与使用蚀刻液来进行蚀刻相比,源电极32S及漏电极32D的加工性良好。因而,根据用于形成源电极32S及漏电极32D的导电膜的结构来适当选择蚀刻液或蚀刻气体即可。

[0091] 作为氧化物半导体层,在使用了IGZO那样不具有多晶结构的氧化物半导体的半导体装置中,在氧化物半导体之上形成源电极及漏电极的情况下,会因源电极及漏电极的蚀刻而导致氧化物半导体层也被蚀刻。具体而言,相对于含氯的气体而言的IGZO的蚀刻速率为1.0nm/sec,考虑到沟道区域会以该蚀刻速率被蚀刻,需要预先将氧化物半导体层成膜得厚。例如,在要制造氧化物半导体层的沟道区域的膜厚为40nm以下的半导体装置的情况下,需要将具有65nm左右的氧化物半导体层预先进行成膜,在源电极及漏电极的形成中,以使沟道区域的膜厚成为40nm以下的方式调整蚀刻时间。然而,难以进行基于蚀刻时间的沟道区域的膜厚的控制。另外,在蚀刻速率大的情况下,难以进行基于蚀刻时间的沟道区域的膜厚的精密的控制。这种情况下,沟道区域的膜厚的偏差变大。

[0092] 另外,若使沟道区域的膜厚大幅减少,则会在氧化物半导体层的上表面形成凹部。虽然设置在氧化物半导体层之上的层间绝缘层以覆盖凹部的方式成膜,但若是凹部的深度大,则层间绝缘层无法充分地覆盖凹部。即,有时会在氧化物半导体层与层间绝缘层之间、或者源电极及漏电极与层间绝缘层之间产生间隙。这会成为半导体装置的不仅是电气特性还有可靠性发生偏差的主要原因。

[0093] 相对于此,具有多晶结构的氧化物半导体层26在湿式蚀刻及干式蚀刻中的任一种蚀刻的情况下,都能够使蚀刻速率为0.00nm/sec~0.1nm/sec,优选为0.00nm/sec~0.06nm/sec。即,具有多晶结构的氧化物半导体层26相较于使用了IGZO的氧化物半导体层而言蚀刻速率低,具有高的耐蚀刻性。因此,可以不考虑因蚀刻引起的膜损失,控制性良好。因而,在氧化物半导体层的成膜时,能够以大于10nm、30nm以下的薄的膜厚进行成膜。另外,能够用作源电极32S、漏电极32D及布线32W的导电材料的选择性得以提高。例如,即便在为了形成源电极32S及漏电极32D而利用湿式蚀刻对使用MoW/Al/MoW的层叠结构或MoW合金的单层结构的导电膜进行了加工的情况下,也能够抑制氧化物半导体层26发生膜损失。

[0094] 如上所述,相对于在源电极32S及漏电极32D的形成中使用的蚀刻液而言的氧化物半导体层26的蚀刻速率非常小。因此,与源电极32S或漏电极32D重叠的氧化物半导体层26的第一区域(即,源极区域或漏极区域)的膜厚和与源电极32S及漏电极32D不重叠的氧化物半导体层26的第二区域(即,沟道区域)的膜厚实质上相同。换言之,能够使第一区域的膜厚与第二区域的膜厚之差成为5nm以下、优选成为3nm以下、更优选成为1nm以下的方式进行控制。即,沟道区域的膜厚的偏差受到抑制。

[0095] 在图3的步骤S1010(“SiO_x形成”)中,在氧化物半导体层26、源电极32S及漏电极32D之上将层间绝缘层34成膜。作为层间绝缘层34,优选使用包含氧的绝缘材料。例如,作为层间绝缘层34,使用氧化硅(SiO_x)或氧氮化硅(SiO_xN_y)等。另外,作为层间绝缘层34,优选使

用缺陷少的绝缘层。例如,在对层间绝缘层34中的氧的组成比与和层间绝缘层34同样的组成的绝缘层(以下称为“其他的绝缘层”)中的氧的组成比进行比较的情况下,层间绝缘层34中的氧的组成比相较于该其他的绝缘层中的氧的组成比而言,更接近于该绝缘层的化学计量比。例如,在层间绝缘层34及栅极绝缘层16分别使用氧化硅(SiO_x)的情况下,层间绝缘层34具有相较于栅极绝缘层16而言更接近于氧化硅(SiO_2)的化学计量比的组成比。作为层间绝缘层34,也可以使用在利用电子自旋共振法(ESR)评价时没有观测到缺陷的层。

[0096] 层间绝缘层34能够使用与栅极绝缘层14、16同样的成膜方法来成膜。为了使层间绝缘层34中的氧的组成比增加,在比较低的温度(例如小于 350°C 的成膜温度)下进行成膜即可。另外,为了形成缺陷少的绝缘层来作为层间绝缘层34,也可以在 350°C 以上的成膜温度下将层间绝缘层34成膜。此外,也可以在将层间绝缘层34成膜之后进行向层间绝缘层34的一部分注入氧的处理。

[0097] 层间绝缘层34的膜厚为 50nm 以上 300nm 以下、 60nm 以上 200nm 以下或 70nm 以上 150nm 以下。

[0098] 在图3的步骤S1011(“MO成膜”)中,在层间绝缘层34之上将金属氧化物膜36成膜(参见图10)。金属氧化物膜36通过溅射法或原子层沉积法(ALD:Atomic Layer Deposition)来成膜。

[0099] 作为金属氧化物膜36,使用将铝作为主成分的金属氧化物。例如,作为金属氧化物膜36,使用氧化铝(AlO_x)、氧氮化铝(AlO_xN_y)、氮氧化铝(AlN_xO_y)、氮化铝(AlN_x)等的无机绝缘层。将铝作为主成分的金属氧化物层是指,金属氧化物层中含有的铝的比率为金属氧化物膜36整体的1%以上。金属氧化物膜36中含有的铝的比率也可以为金属氧化物膜36整体的5%以上70%以下、10%以上60%以下、或30%以上50%以下。上述的比率可以是质量比,也可以是重量比。

[0100] 金属氧化物膜36的膜厚为 1nm 以上 50nm 以下,优选为 1nm 以上 30nm 以下。作为金属氧化物膜36,优选使用氧化铝。氧化铝具有对于氧或氢等气体的高的阻隔性。这里,阻隔性是指抑制氧或氢等气体透过氧化铝的功能。即是指使设置在氧化铝膜之下的层中的氧或氢等气体不向设置在氧化铝膜之上的层移动。或者是指,使设置在氧化铝膜之上的层中的氧或氢等气体不向设置在氧化铝膜之下的层移动。

[0101] 需要说明的是,作为金属氧化物膜36,也可以使用将铝以外的其他金属作为主成分的金属氧化物。例如,作为金属氧化物膜36,能够使用氧化铟锡(ITO)、氧化铟锌(IZO)或氧化铟镓锌(IGZO)等。

[0102] 在图3的步骤S1012(“氧化退火”)中,在氧化物半导体层26之上使层间绝缘层34及金属氧化物膜36成膜的状态下,进行加热处理(参见图10)。这里,氧化退火例如可以在 $300^\circ\text{C} \sim 450^\circ\text{C}$ 的条件下进行。由此,从层间绝缘层34放出的氧被向氧化物半导体层26供给。通过将金属氧化物膜36以覆盖基板11的方式设置,由此能够抑制从层间绝缘层34放出的氧会向金属氧化物膜36的外部放出。

[0103] 在从氧化物半导体层26成膜到氧化物半导体层26之上将层间绝缘层34成膜为止的期间的工序中,在氧化物半导体层26中会产生大量的氧缺陷。然而,通过步骤S1012的氧化退火,将从层间绝缘层34放出的氧向氧化物半导体层26供给来修复氧缺陷。

[0104] 在图3的步骤S1013(“MO除去”)中,除去金属氧化物膜36(参见图11)。例如,金属氧

化物膜36使用稀释氢氟酸(DHF)除去即可。

[0105] 在图3的步骤S1014(“SiN_x成膜”)中,在层间绝缘层34之上将层间绝缘层38成膜。作为层间绝缘层38,优选使用包含氮的绝缘材料。例如,作为层间绝缘层38,使用氮化硅(SiN_x)或氮氧化硅(SiN_xO_y)等。层间绝缘层38能够使用与栅极绝缘层14、16同样的成膜方法来成膜。

[0106] 通过以上的步骤,能够制造出图1所示的半导体装置10。

[0107] 在通过上述的制造方法制作出的半导体装置10中,在沟道区域的沟道长度L为2μm以上4μm以下且沟道区域的沟道宽度为2μm以上25μm以下的范围内,能够获得迁移率为20cm²/Vs以上、进而为30cm²/Vs以上的优异的电气特性。

[0108] 另外,通过在氧化物半导体层26之下设置金属氧化物层28,由此能够利用金属氧化物层28的作用而将氧化物半导体层26中作为沟道来发挥功能的区域的膜厚实质上减薄。由此,能够提高蓄积在沟道中的载流子的密度,因此能够提高半导体装置10的迁移率。金属氧化物膜18针对氧、氢具有气体阻隔性。然而,若不从栅极绝缘层14、16侧经由金属氧化物层28向氧化物半导体层26供给氧,则无法修复氧化物半导体层26的背面的氧缺陷。因而,通过将金属氧化物膜18的膜厚设为1nm以上10nm以下、优选为1nm以上5nm以下,由此能够向氧化物半导体层26的背面适当地供给栅极绝缘层16中含有的氧。

[0109] 另外,即便在使用大面积基板来制造半导体装置10的情况下,也能够抑制氧化物半导体层26的形状偏差。因此,能够抑制半导体装置10的电气特性的面内偏差,能够使成品率提高。

[0110] 〈第二实施方式〉

[0111] 使用图12~图15来说明使用了本发明的一实施方式涉及的半导体装置10的显示装置20。在以下所示的实施方式中,对将在第一实施方式中说明了的半导体装置10适用于液晶显示装置的电路的构成进行说明。

[0112] [显示装置20的概要]

[0113] 图12是表示本发明的一实施方式涉及的显示装置20的概要的俯视图。如图12所示,显示装置20具有阵列基板300、密封部310、对置基板320、柔性印制电路基板330(FPC330)及IC芯片340。阵列基板300与对置基板320通过密封部310来贴合。在由密封部310包围的液晶区域220呈矩阵状地配置有多个像素电路301。液晶区域220是与后述的液晶元件311在俯视观察下重叠的区域。

[0114] 设置有密封部310的密封区域240是液晶区域220周围的区域。FPC330设置于端子区域260。端子区域260是阵列基板300从对置基板320露出的区域,并设置在密封区域240的外侧。密封区域240的外侧是指设置有密封部310的区域及由密封部310包围的区域的外侧。IC芯片340设置在FPC330上。IC芯片340供给用于使各像素电路301驱动的信号。

[0115] [显示装置20的电路构成]

[0116] 图13是表示本发明的一实施方式涉及的显示装置20的电路构成的框图。如图13所示,在与配置有像素电路301的液晶区域220在第二方向D2(列方向)上邻接的位置处设置有源极驱动电路302,在与液晶区域220在第一方向D1(行方向)上邻接的位置处设置有栅极驱动电路303。源极驱动电路302及栅极驱动电路303设置在上述的密封区域240。但是,设置源极驱动电路302及栅极驱动电路303的区域不限于密封区域240,只要是设置有像素电路

301的区域的外侧,则可以是任意的区域。

[0117] 源极布线304从源极驱动电路302沿着第二方向D2延伸,并与在第二方向D2上排列的多个像素电路301连接。栅电极12GE从栅极驱动电路303沿着第一方向D1延伸,并与在第一方向D1上排列的多个像素电路301连接。

[0118] 在端子区域260设置有端子部306。端子部306与源极驱动电路302通过连接布线307来连接。同样,端子部306与栅极驱动电路303通过连接布线307来连接。通过将FPC330连接于端子部306,由此将FPC330所连接的外部设备与显示装置20连接,利用来自外部设备的信号来驱动设置于显示装置20的各像素电路301。

[0119] 第一实施方式所示的半导体装置10用作像素电路301、源极驱动电路302及栅极驱动电路303中所含的晶体管。

[0120] [显示装置20的像素电路301]

[0121] 图14是表示本发明的一实施方式涉及的显示装置20的像素电路301的电路图。如图14所示,像素电路301包括半导体装置10、保持电容350及液晶元件311等元件。半导体装置10具有栅电极12GE、氧化物半导体层26、源电极32S及漏电极32D。栅电极12GE与栅极布线305连接。源电极32S与源极布线304连接。漏电极32D与保持电容350及液晶元件311连接。

[0122] [显示装置20的构成]

[0123] 图15是本发明的一实施方式涉及的显示装置20的剖视图。图15所示的显示装置20适用的是半导体装置10。

[0124] 如图15所示,在基板11之上设置有栅电极12GE。另外,在栅电极12GE之上隔着栅极绝缘层14、16设置有金属氧化物层28及氧化物半导体层26。在氧化物半导体层26之上设置有源电极32S及漏电极32D。

[0125] 在源电极32S及漏电极32D之上设置有层间绝缘层34、38。在层间绝缘层34、38之上设置有绝缘层39。绝缘层39是为了缓和因半导体装置10产生的凹凸而设置。在层间绝缘层34、38及绝缘层39以露出源电极32S的上表面的方式形成有接触孔。在绝缘层39之上设置有对多个像素公共地设置的公共电极42C。在公共电极42C之上设置有绝缘层44。在接触孔的内部设置有绝缘层44。通过由氮化硅膜形成绝缘层44,由此能够抑制水分从接触孔经由绝缘层44侵入。在绝缘层44之上及接触孔的内部设置有像素电极46P。像素电极46P与漏电极32D连接。

[0126] 另外,在基板11之上设置有布线12C,布线12C经由设置于栅极绝缘层14、16的接触孔而与布线32C连接。布线12C及布线32C作为电容布线来发挥功能。另外,在绝缘层39之上及开口的内部设置有电极46C。通过公共电极42C、绝缘层44及电极46C来形成保持电容350。

[0127] 在本实施方式中,例示的是将半导体装置10用于像素电路301的构成,但也可以将半导体装置10用于包括源极驱动电路302及栅极驱动电路303在内的周边电路。

[0128] 〈第三实施方式〉

[0129] 使用图16及图17来说明使用了本发明的一实施方式涉及的半导体装置10的显示装置20。在本实施方式中,对将在第一实施方式中说明了的半导体装置10适用于有机EL显示装置的电路的构成进行说明。显示装置20的概要及电路构成由于与图12及图13所示的方案同样,因此省略说明。

[0130] [显示装置20的像素电路301]

[0131] 图16是表示本发明的一实施方式涉及的显示装置20的像素电路的电路图。如图16所示,像素电路301包括驱动晶体管110、选择晶体管120、保持电容210及发光元件D0等元件。驱动晶体管110及选择晶体管120具备与半导体装置10同样的构成。选择晶体管120的源电极与信号线211连接,选择晶体管120的栅电极与栅极线212连接。驱动晶体管110的源电极与阳极电源线213连接,驱动晶体管110的漏电极与发光元件D0的一端连接。发光元件D0的另一端与阴极电源线214连接。驱动晶体管110的栅电极与选择晶体管120的漏电极连接。保持电容210与驱动晶体管110的栅电极及漏电极连接。向信号线211供给确定发光元件D0的发光强度的灰度信号。向栅极线212供给选择要写入上述的灰度信号的像素行的信号。

[0132] [显示装置20的剖面结构]

[0133] 图17是表示本发明的一实施方式涉及的显示装置20的构成的示意性的剖视图。图17所示的显示装置20的构成虽与图15所示的显示装置20类似,但图17所示的显示装置20中比绝缘层39靠上方的结构与图15所示的显示装置20中比绝缘层39靠上方的结构不同。以下,关于图17所示的显示装置20的构成中的与图15所示的显示装置20同样的构成省略说明,对两者的不同点进行说明。

[0134] 如图17所示,显示装置20在绝缘层39的上方具有像素电极390、发光层392及公共电极394(发光元件D0)。像素电极390设置在绝缘层39之上、以及形成于层间绝缘层34、38及绝缘层39中的接触孔的内部。在像素电极390之上设置有绝缘层362。在绝缘层362设置有开口363。开口363与发光区域对应。即,绝缘层362用于划分像素。在由开口363露出的像素电极390之上设置有发光层392及公共电极394。像素电极390及发光层392相对于各像素分别地设置。另一方面,公共电极394相对于多个像素公共地设置。发光层392根据像素的显示色而使用不同的材料。

[0135] 在第二实施方式及第三实施方式中,例示了将在第一实施方式中说明了的半导体装置适用于液晶显示装置及有机EL显示装置的构成,但也可以在上述的显示装置以外的显示装置(例如,有机EL显示装置以外的其他自发光型显示装置或电子纸型显示装置)中适用该半导体装置。另外,只要没有特别限定,则从中小型的显示装置到大型的显示装置都能够适用上述半导体装置10。另外,即便在使用大面积基板来制造的情况下,半导体装置10中的氧化物半导体层26的形状的偏差也小。因此,在将半导体装置10适用于显示装置20的情况下,能够减少显示不均。另外,能够提高制造显示装置20时的成品率。

[0136] 实施例

[0137] (实施例1)

[0138] 在本实施例中,说明针对具有多晶结构的氧化物半导体层的耐蚀刻性进行了验证而得到的结果。

[0139] 对在本实施例中使用的样本进行说明。在硅晶片上形成30nm的具有多晶结构的氧化物半导体层(Poly-OS)。接着,在氧化物半导体层之上形成导电膜。作为导电膜,使用了MoW结构、MoW/Al/MoW结构、Ti结构及Ti/Al/Ti结构这四种。

[0140] 针对MoW结构的导电膜及氧化物半导体层,准备了用混酸蚀刻溶液进行湿式蚀刻而得到的样本、用 H_2O_2/NH_3 溶液进行湿式蚀刻而得到的样本、以及用氟系气体进行干式蚀刻而得到的样本。需要说明的是,作为混酸蚀刻溶液,使用了RASA工业株式会社制的“混酸AT-2F(产品名)”。混酸蚀刻溶液内的磷酸的比例约为65%。另外,对各样本进行蚀刻时的混酸

蚀刻溶液的温度设定为40°C,0.5%氢氟酸溶液的温度设定为22°C。

[0141] 针对MoW/Al/MoW结构的导电膜及氧化物半导体层,准备了用混酸蚀刻溶液进行湿式蚀刻而得到的样本。

[0142] 针对Ti结构的导电膜及氧化物半导体层,准备了用H₂O₂/NH₃溶液进行湿式蚀刻而得到的样本、用氟系气体进行干式蚀刻而得到的样本、以及用氯系气体进行干式蚀刻而得到的样本。

[0143] 针对Ti/Al/Ti结构的导电膜及氧化物半导体层,准备了将Ti用H₂O₂/NH₃溶液进行湿式蚀刻、将Al用混酸蚀刻溶液进行湿式蚀刻且将Ti用H₂O₂/NH₃溶液进行湿式蚀刻而得到的样本、以及用氯系气体进行干式蚀刻而得到的样本。

[0144] 接下来,对在比较例中使用的样本进行说明。在硅晶片上将40nm的IGZO的氧化物半导体层成膜。接着,在氧化物半导体层之上形成导电膜。作为导电膜,使用了Ti结构。对于Ti结构的导电膜及氧化物半导体层,准备用氯系气体进行干式蚀刻而得到的样本。

[0145] 作为本实施例,在表1中示出相对于将各种导电膜进行加工后估算出的过蚀刻时间而言的多晶氧化物半导体层的蚀刻速率[nm/sec]。

[0146] [表1]

	湿式蚀刻		干式蚀刻	
	混酸蚀刻溶液	H ₂ O ₂ +NH ₃	氟系气体	氯系气体
[0147] MoW结构	0.00	0.02	0.00	-
MoW/Al/MoW结构	0.00	-	-	-
Ti结构	-	0.06	0.05	0.22
Ti/Al/Ti结构	0.02		-	0.30

[0148] 作为比较例,相对于将Ti结构的导电膜加工后估算出的过蚀刻时间而言的氧化物半导体层(IGZO)的蚀刻速率为1.00nm/sec。

[0149] 如表1所示,表明具有多晶结构的氧化物半导体层相较于非晶的氧化物半导体层(IGZO)而言耐蚀刻性高。另外,表明在用混酸蚀刻溶液进行蚀刻的情况下、用H₂O₂/NH₃溶液进行蚀刻的情况下以及用氟系气体进行蚀刻的情况下,蚀刻速率为0.00nm/sec~0.06nm/sec。表明即便在使用氯系气体进行蚀刻的情况下,与氧化物半导体层(IGZO)相比也具有足够高的耐蚀刻性。

[0150] (实施例2)

[0151] 接着,说明对按照第一实施方式的图3所示的流程图制造出的半导体装置10的电气特性进行了验证而得到的结果。

[0152] 在实施例2中,对作为半导体装置10而制作出的样本A~H进行说明。样本A~H通过在图3所示的流程图中省略了步骤S1007及步骤S1008的工序而成。

[0153] (样本A)

[0154] 在基板之上形成栅电极12GE,在栅电极12GE之上形成栅极绝缘层14、16。在栅极绝缘层14、16之上形成3nm的氧化铝层作为金属氧化物膜18,在金属氧化物膜18之上形成30nm的氧化物半导体膜22。通过对氧化物半导体膜22进行加工而形成氧化物半导体层24,通过在350°C ~ 450°C的条件下进行OS退火而形成多晶结构的氧化物半导体层26 (Poly-OS)。另外,通过将氧化物半导体层26作为掩模来除去金属氧化物膜18,由此形成金属氧化物层28。

[0155] 在氧化物半导体层26之上形成MoW/Al/MoW结构作为导电膜,使用混酸蚀刻溶液对导电膜进行湿式蚀刻来形成源电极及漏电极。接着,在将层间绝缘层34成膜之后,形成10nm的氧化铝层作为金属氧化物膜36,在进行氧化退火之后,除去金属氧化物膜36。最后,在层间绝缘层34之上形成层间绝缘层38。当在样本A形成后计测氧化物半导体层的膜厚时,有1nm被除去。

[0156] 样本B ~ 样本H通过相对于样本A改变用于形成源电极及漏电极的导电膜的结构及蚀刻方法的条件来形成。

[0157] (样本B)

[0158] 使用MoW结构作为导电膜,除此以外,以与样本A相同的条件形成了样本B。

[0159] (样本C)

[0160] 形成MoW结构作为导电膜且使用SF₆气体及O₂气体对导电膜进行干式蚀刻来形成源电极及漏电极,除此以外,以与样本A相同的条件形成了样本C。当在样本C形成后计测氧化物半导体层的膜厚时,有2nm被除去。

[0161] (样本D)

[0162] 形成Ti结构作为导电膜且使用CF₄气体及O₂气体对导电膜进行干式蚀刻来形成源电极及漏电极,除此以外,以与样本A相同的条件形成了样本D。当在样本D形成后计测氧化物半导体层的膜厚时,有2nm被除去。

[0163] (样本E)

[0164] 形成Ti/Al/Ti结构作为导电膜且使用Cl₂气体对导电膜进行干式蚀刻来形成源电极及漏电极,除此以外,以与样本A相同的条件形成了样本E。

[0165] (样本F)

[0166] 形成Ti结构作为导电膜且使用H₂O₂/NH₃溶液对导电膜进行湿式蚀刻来形成源电极及漏电极,除此以外,以与样本A相同的条件形成了样本F。

[0167] (样本G)

[0168] 形成Ti/Al/Ti结构作为导电膜且以针对Ti使用H₂O₂/NH₃溶液、针对Al使用混酸蚀刻溶液、针对Ti使用H₂O₂/NH₃溶液的方式对导电膜进行湿式蚀刻来形成源电极及漏电极,除此以外,以与样本A相同的条件形成了样本G。

[0169] (样本H)

[0170] 样本H是比较例,形成方法与样本A ~ 样本G不同。在基板之上形成栅电极,在栅电极之上形成栅极绝缘层。在栅极绝缘层之上形成95nm的氧化物半导体层(IGZO(111))。通过对氧化物半导体层进行加工,由此形成氧化物半导体层,在350°C ~ 450°C的条件下进行了OS退火。

[0171] 在氧化物半导体层之上形成Ti/AlSi/Ti的层叠结构作为导电膜,使用Cl₂气体对导电膜进行干式蚀刻来形成源电极及漏电极。接着,在将层间绝缘层成膜之后,形成50nm的

氧化铝层作为金属氧化物层,进行了氧化退火。需要说明的是,干式蚀刻的氧化物半导体层的目标膜厚设为60nm。

[0172] 接着,对样本A~样本H的电气特性进行了测定。样本A~样本H的电气特性的测定条件如下。

- [0173] • 沟道区域的尺寸:W/L=6 μ m/6 μ m
- [0174] • 源极·漏极间电压:0.1V、10V
- [0175] • 栅极电压:-40V~+40V(0.2V Step)
- [0176] • 测定环境:室温、暗室
- [0177] • 测定部位:基板面内的一处

[0178] 图18是表示样本A、样本B及样本C的电气特性(Id-Vg特性)的图。图19是表示样本D及样本F的电气特性(Id-Vg特性)的图。图20是表示样本G、样本E及样本H的电气特性(Id-Vg特性)的图。横轴是栅极电压Vg,纵轴是漏电流(Id)。

[0179] 如图18~图20所示,表明就具有多晶结构的氧化物半导体层(Poly-OS)的样本A~G而言,迁移率高,能获得良好的电气特性。相对于此,表明具有氧化物半导体层(IGZO)的样本H相较于具有氧化物半导体层(Poly-OS)的样本而言,迁移率降低。

[0180] (实施例3)

[0181] 接着,说明对按照第一实施方式的图3所示的流程图制造出的半导体装置10的电气特性进行了验证而得到的结果。这里,对因金属氧化物层28的膜厚的不同引起的电气特性的变化进行了验证。

[0182] 对在实施例3中作为半导体装置10而制作出的样本I、样本J进行说明。就样本I、样本J而言,在图3的流程图中省略了步骤S1007及步骤S1008的工序。

[0183] (样本I)

[0184] 在基板之上形成栅电极12GE,在栅电极12GE之上形成栅极绝缘层14、16。在栅极绝缘层14、16之上形成3nm的氧化铝层作为金属氧化物膜18,在金属氧化物膜18之上形成30nm的氧化物半导体膜22。通过对氧化物半导体膜22进行加工来形成氧化物半导体层24,通过在350°C~450°C的条件下进行OS退火来形成多晶结构的氧化物半导体层26。另外,通过将氧化物半导体层26作为掩模来除去金属氧化物膜18,由此形成金属氧化物层28。

[0185] 在氧化物半导体层26之上形成MoW/Al/MoW结构作为导电膜,使用混酸蚀刻溶液对导电膜进行湿式蚀刻来形成源电极及漏电极。接着,在将层间绝缘层34成膜之后,形成10nm的氧化铝层作为金属氧化物膜36,在350°C的条件下进行氧化退火之后,除去金属氧化物膜36。最后,在层间绝缘层34之上形成层间绝缘层38。

[0186] (样本J)

[0187] 除了金属氧化物层28的膜厚设为10nm以外,以与样本I相同的条件形成样本J。

[0188] 接着,对样本I及样本J的电气特性进行了测定。样本I及样本J的电气特性的测定条件如下。

- [0189] • 沟道区域的尺寸:W/L=6 μ m/6 μ m
- [0190] • 源极·漏极间电压:0.1V、10V
- [0191] • 栅极电压:-40V~+40V(0.4V Step)
- [0192] • 测定环境:室温、暗室

[0193] • 测定部位:基板面内的一处

[0194] 图21是表示样本I的电气特性 (I_d - V_g 特性) 的图。图22是表示样本J的电气特性 (I_d - V_g 特性) 的图。

[0195] 如图21及图22所示,表明在样本I及样本J这两者中均抑制半导体装置的阈值电压偏移。认为这是因为,通过抑制氧化物半导体层26因蚀刻而被除去,从而减少了在氧化物半导体层26的表面形成缺陷这样的状况。由此,认为之后利用350°C以上的氧化退火,也充分地修复了氧化物半导体层26中所形成的缺陷,从而有助于抑制半导体装置的阈值电压偏移。

[0196] 之前作为本发明的实施方式叙述了的各实施方式及变形例只要彼此不矛盾则能够适当组合来实施。另外,本领域技术人员在各实施方式及变形例的半导体装置及显示装置的基础上适当进行构成要素的追加、删除或设计变更所得的方案或者进行工序的追加、省略或条件变更所得的方案只要具备本发明的主旨,则也包含在本发明的范围中。

[0197] 即便是与通过上述的各实施方式的方案带来的作用效果不同的其他的作用效果,若是根据本说明书的记载明确可知或者对本领域技术人员来说能容易地预测到的,则当然也理解为是通过本发明带来的作用效果。

10

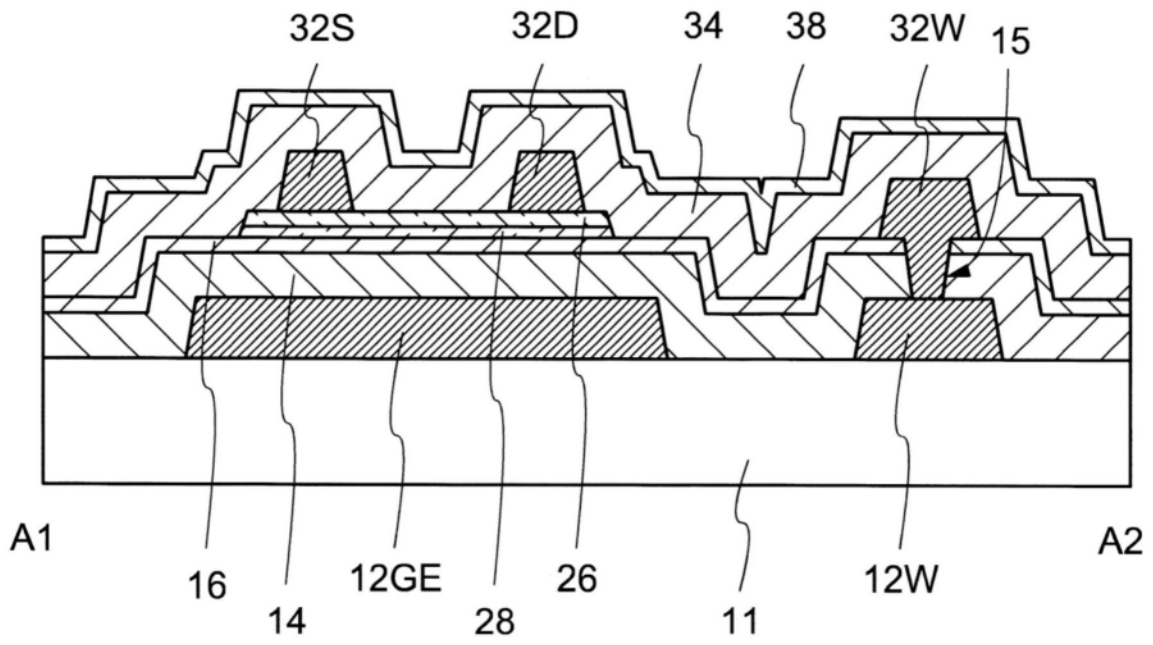


图1

10

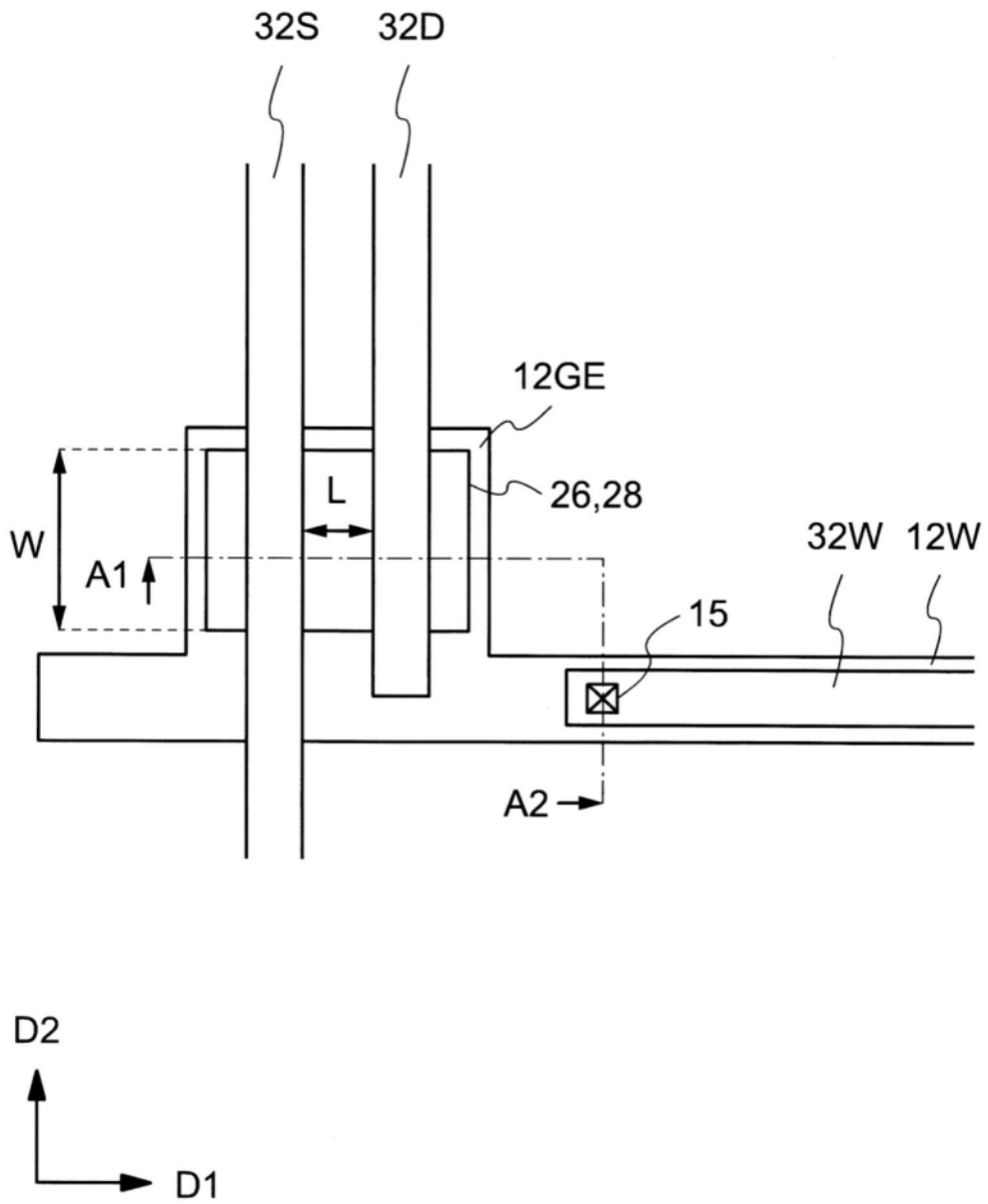


图2

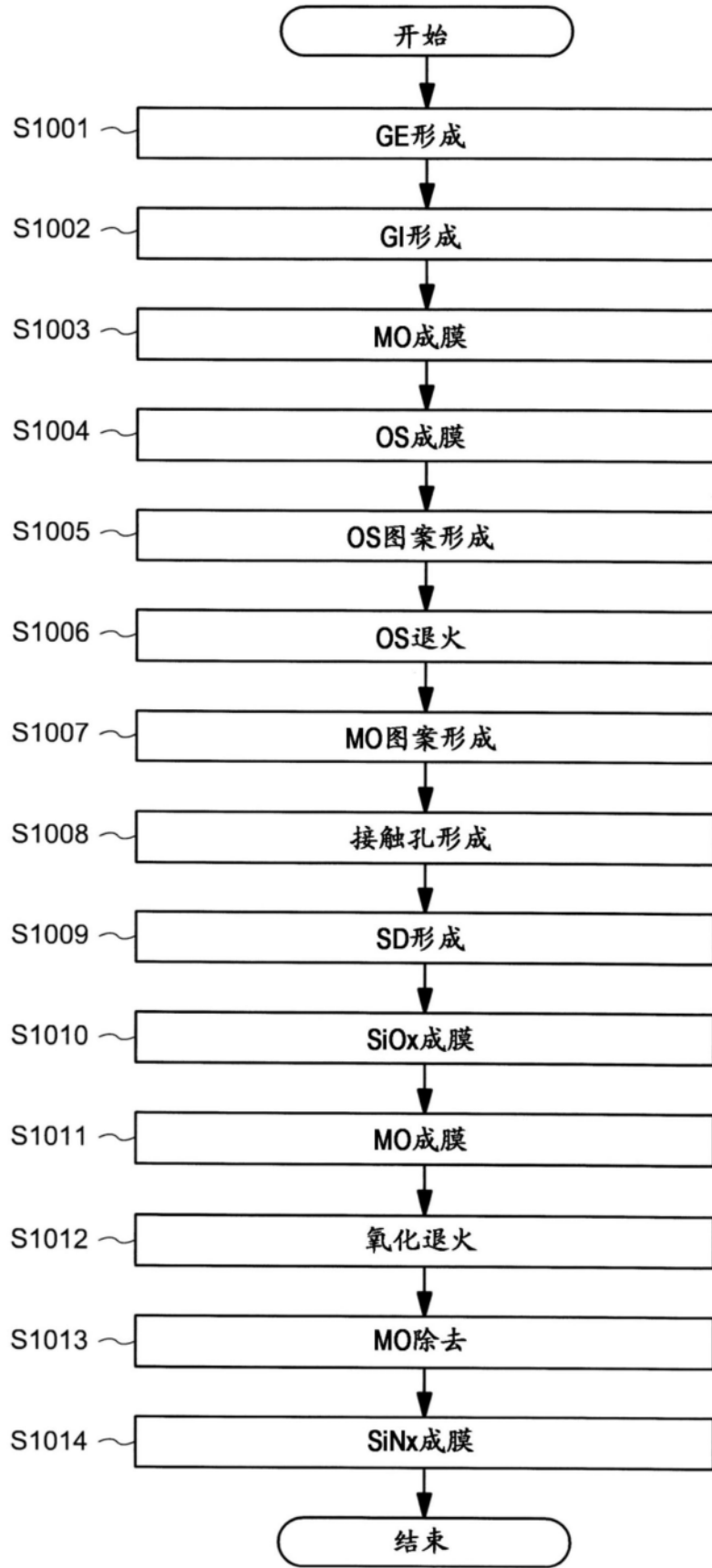


图3

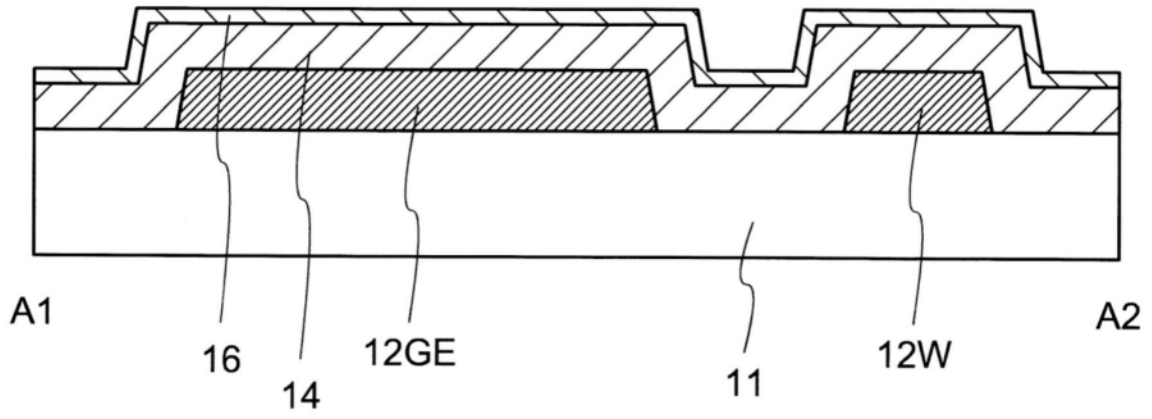


图4

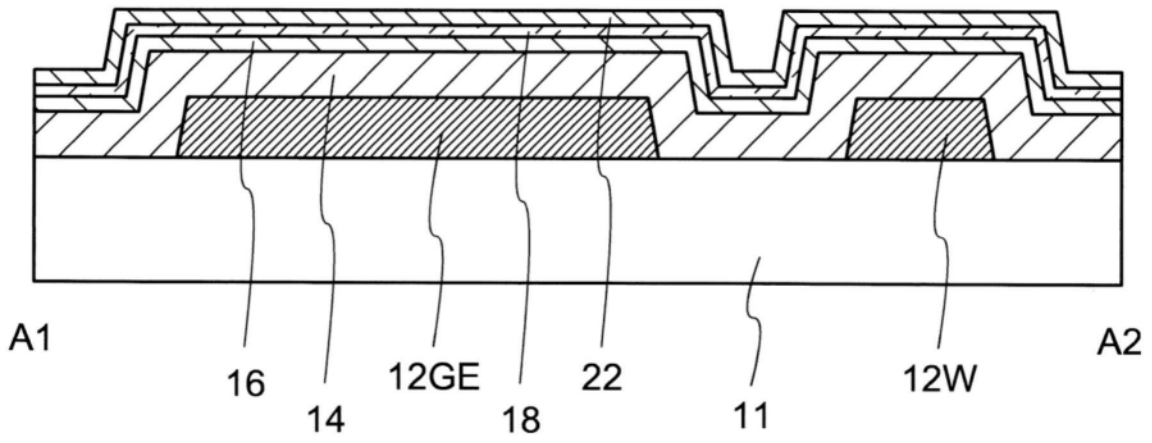


图5

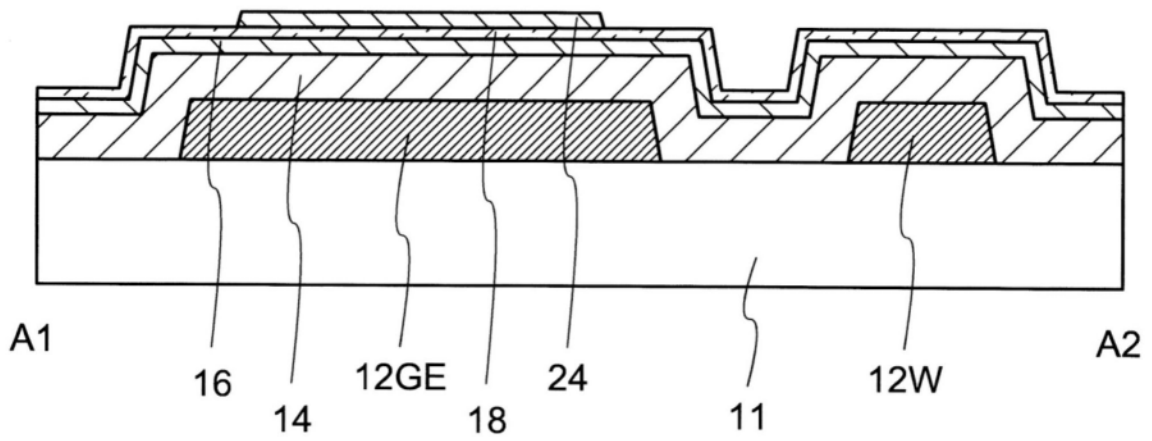


图6

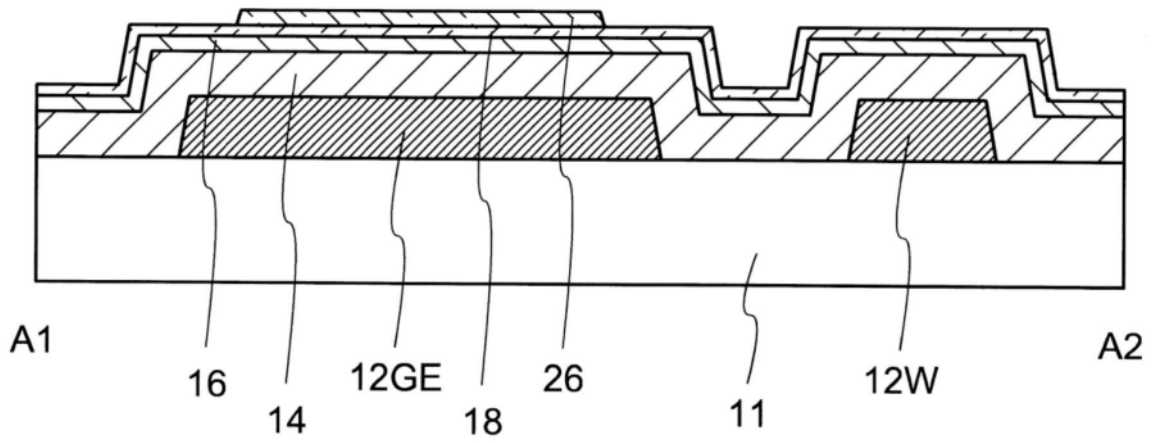


图7

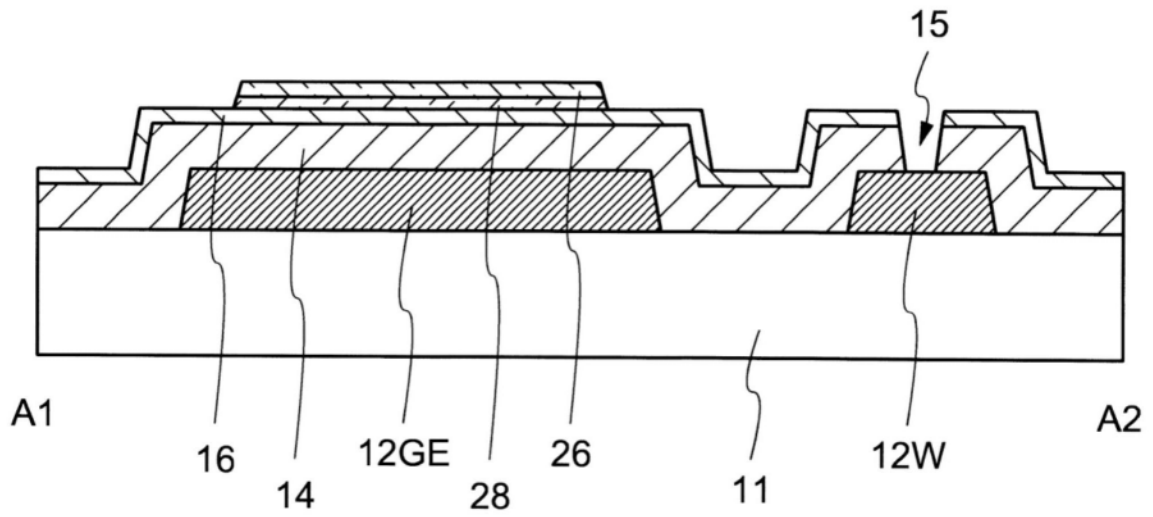


图8

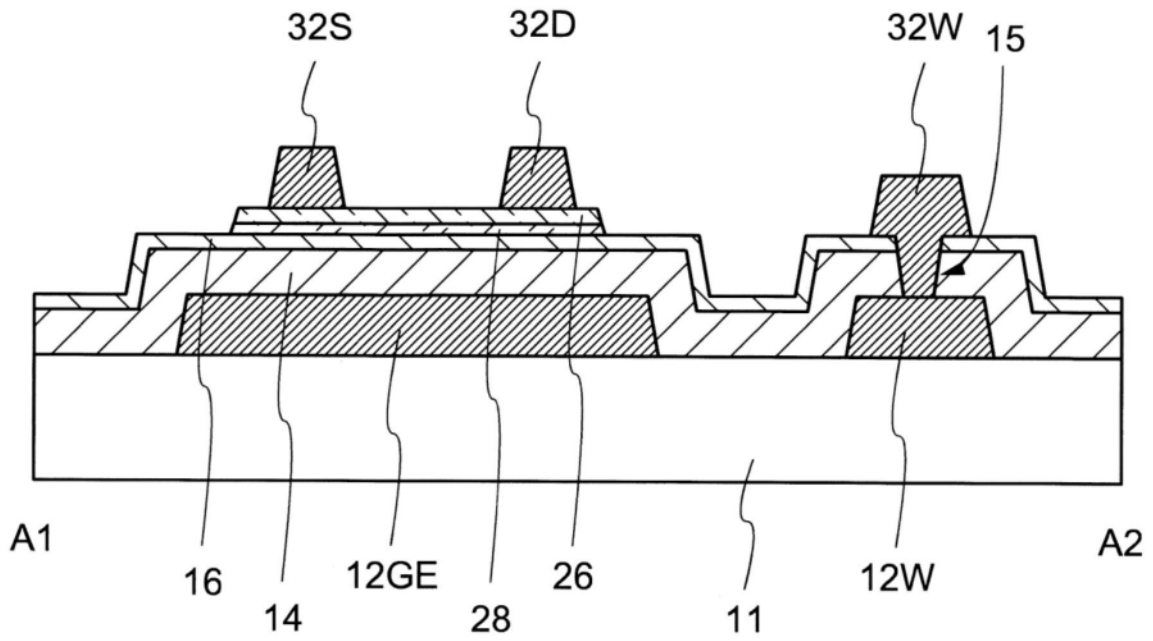


图9

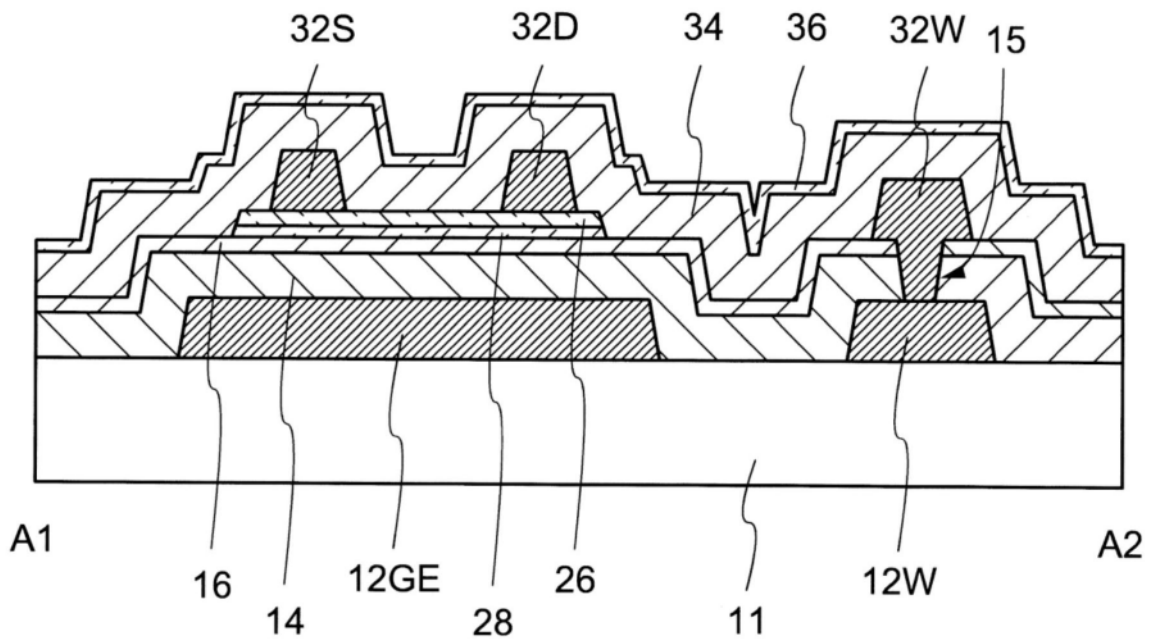


图10

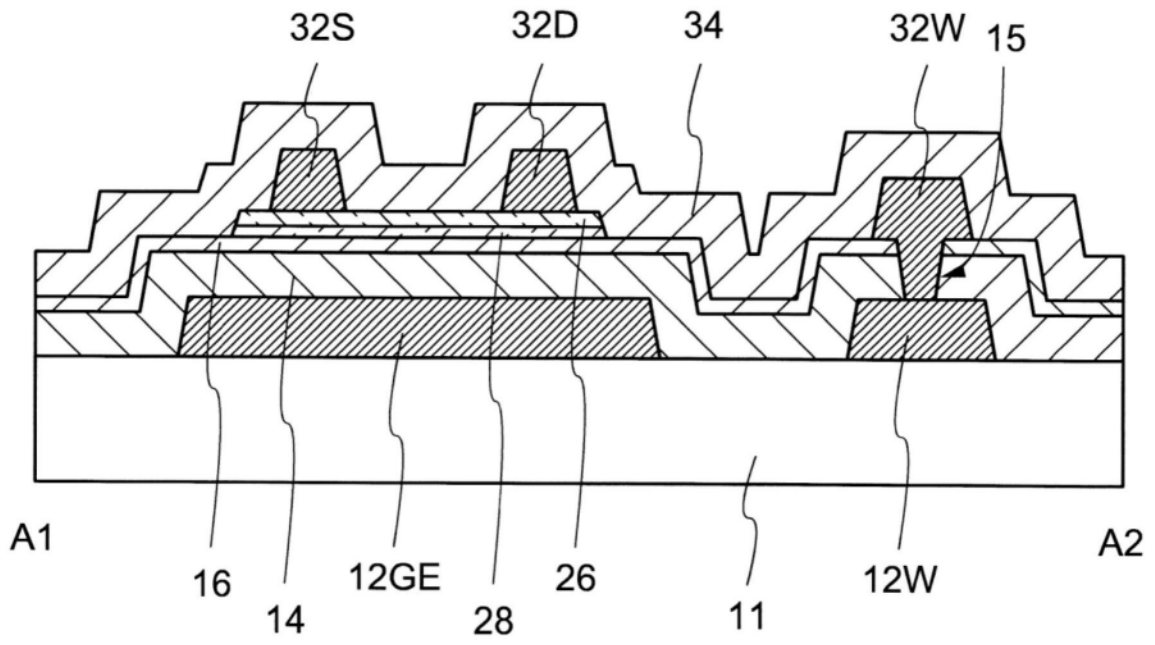


图11

20

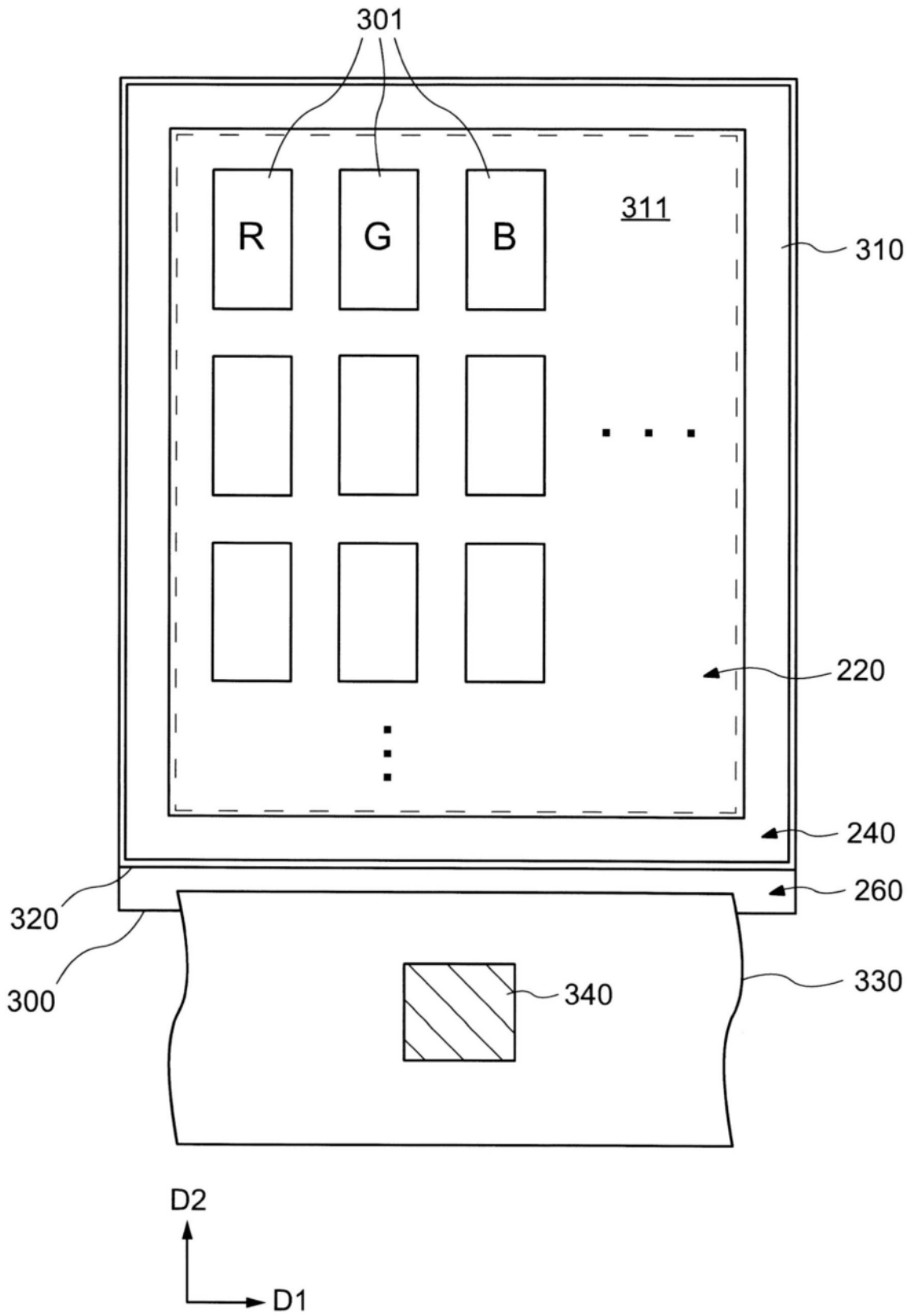


图12

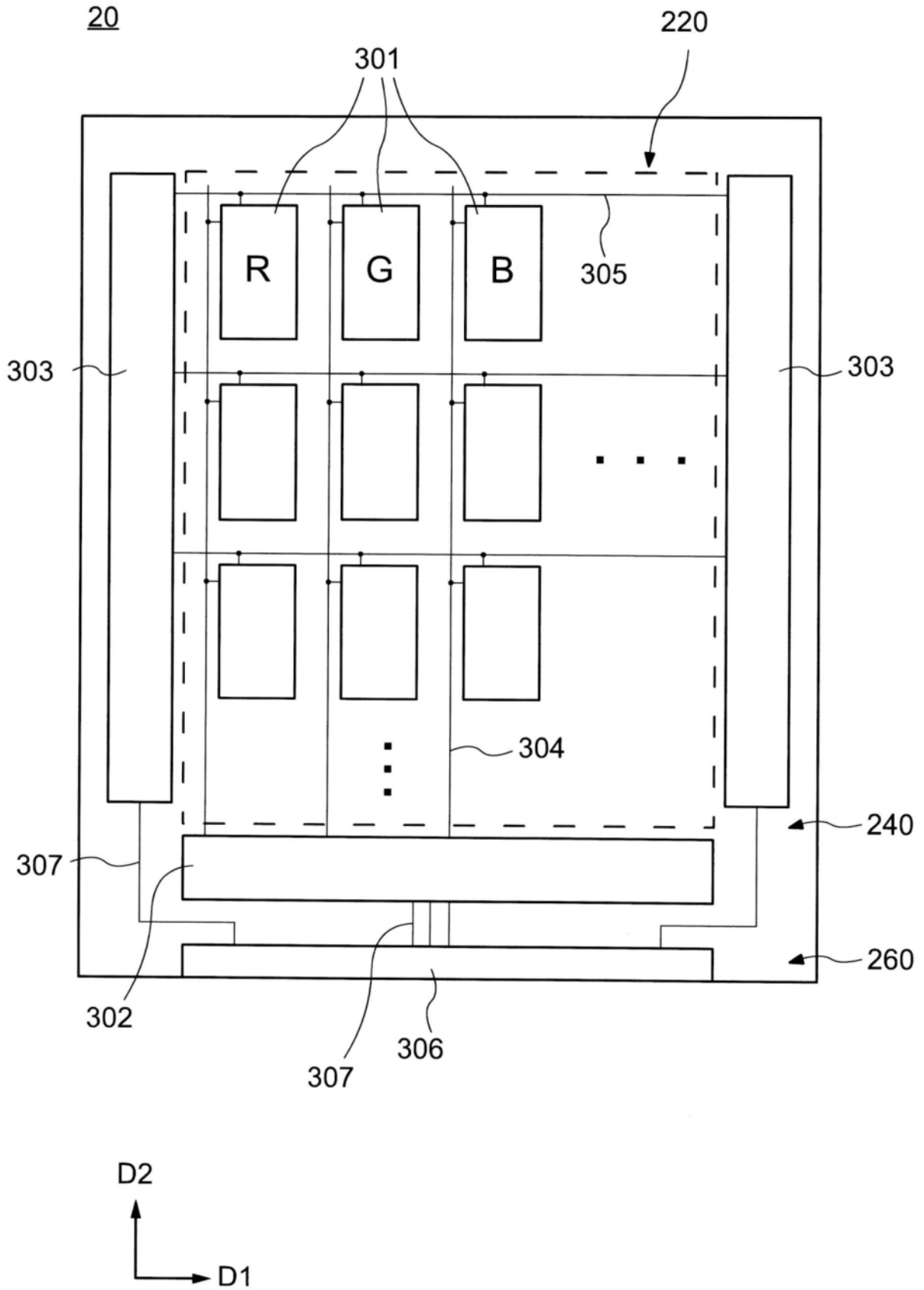


图13

301

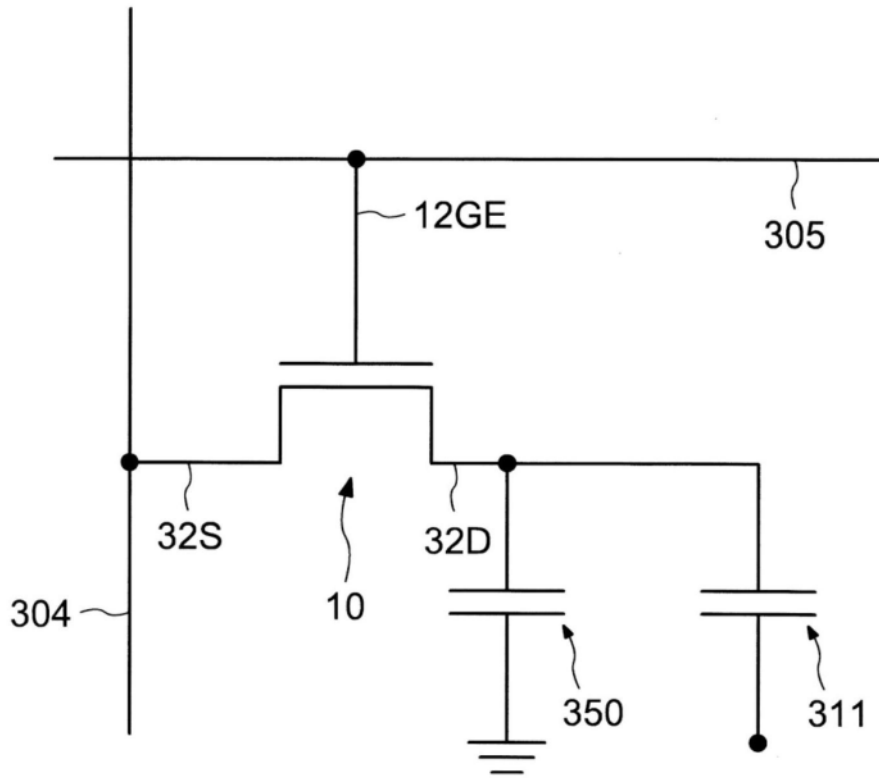


图14

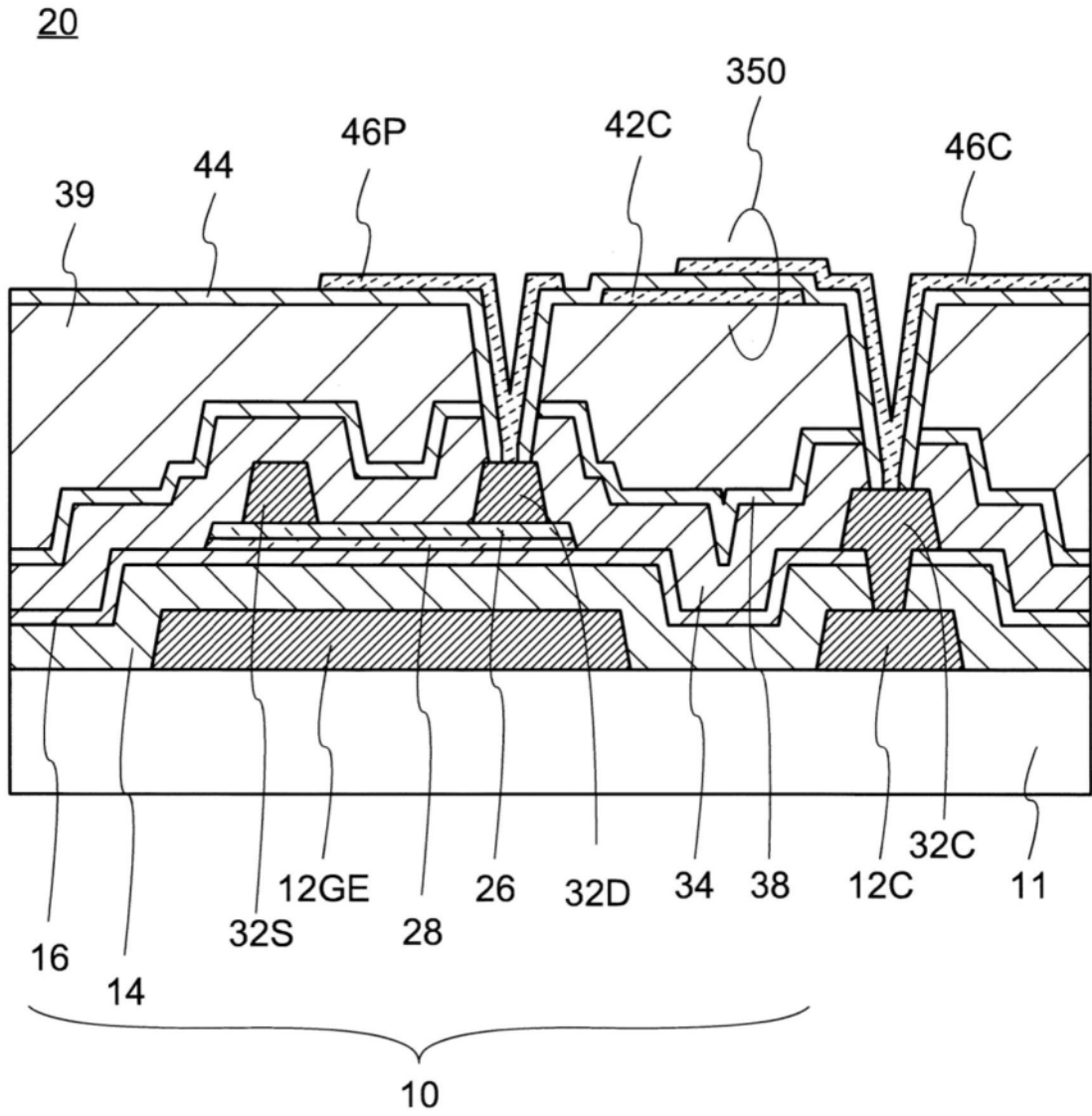


图15

301

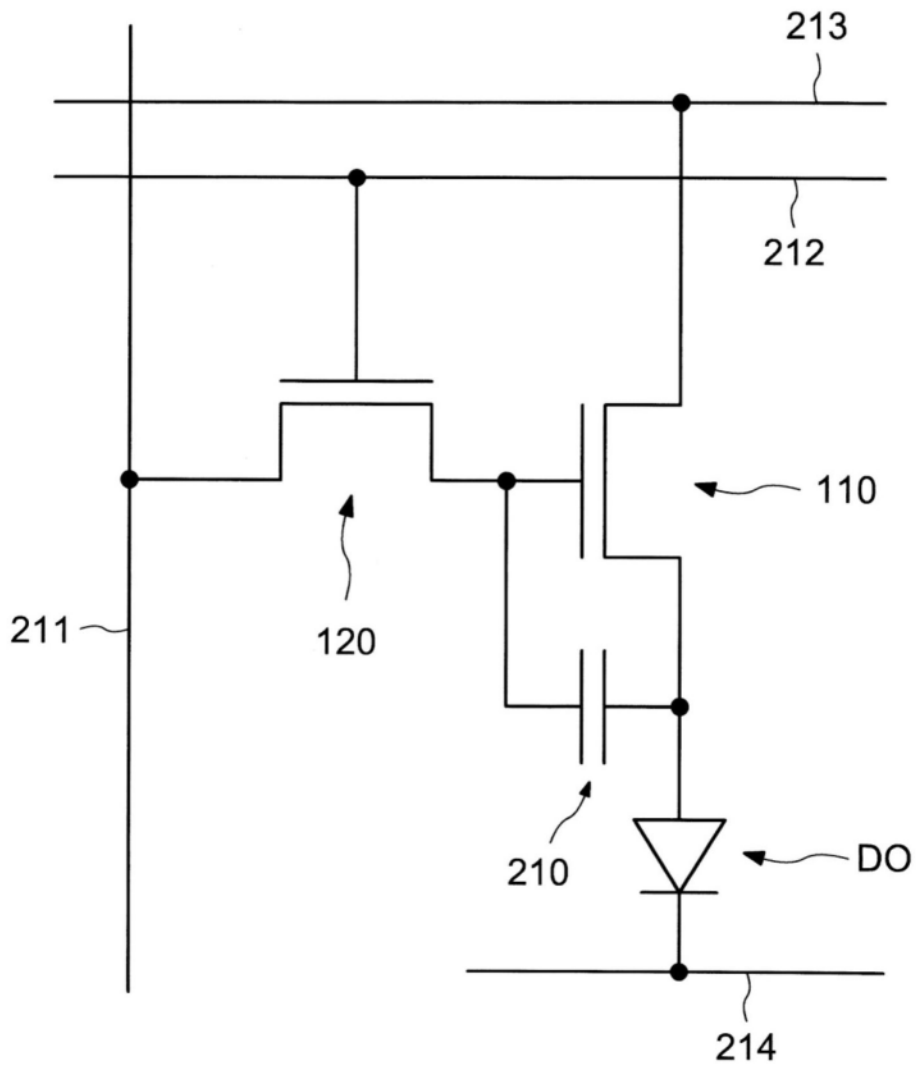


图16

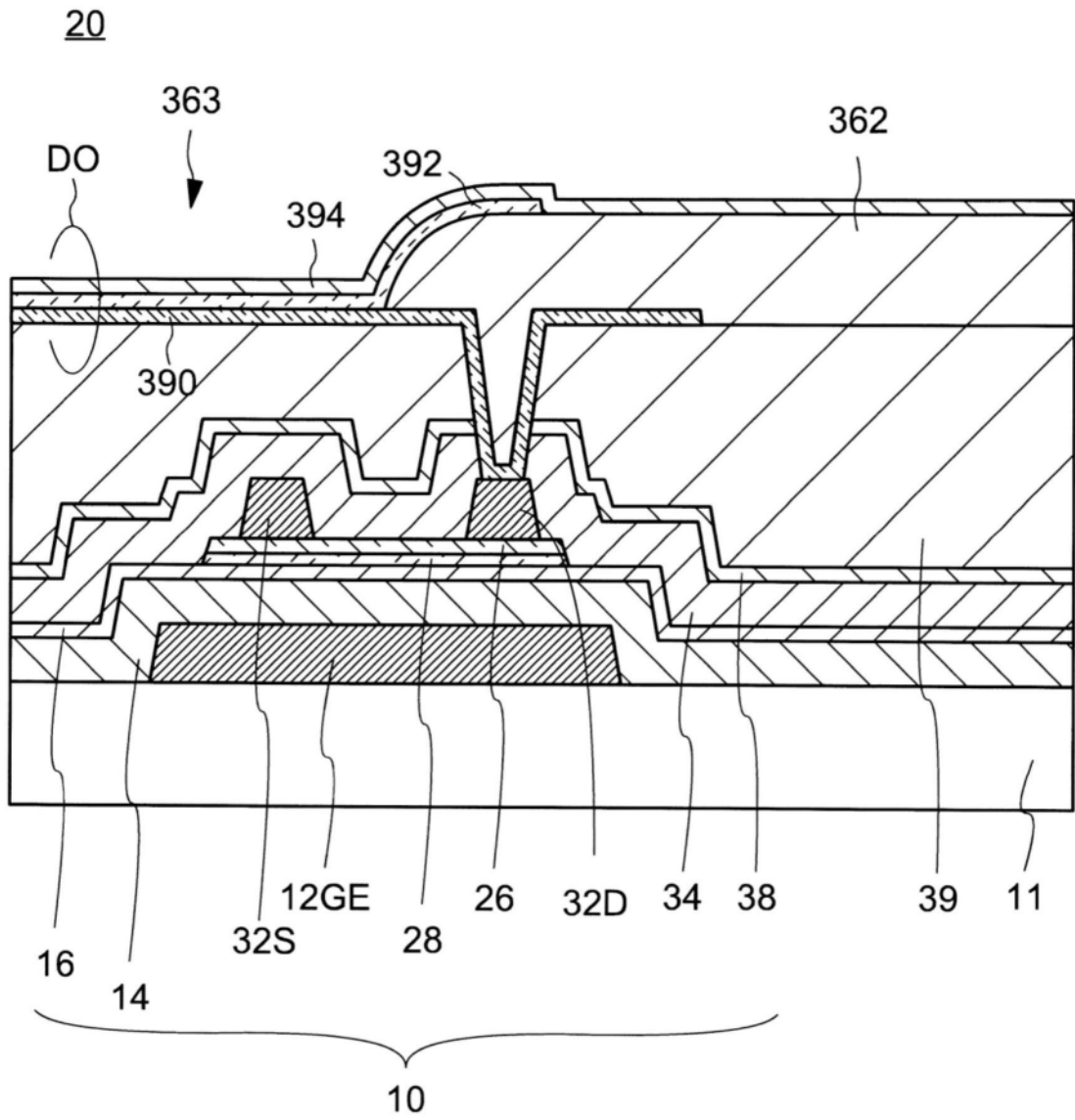


图17

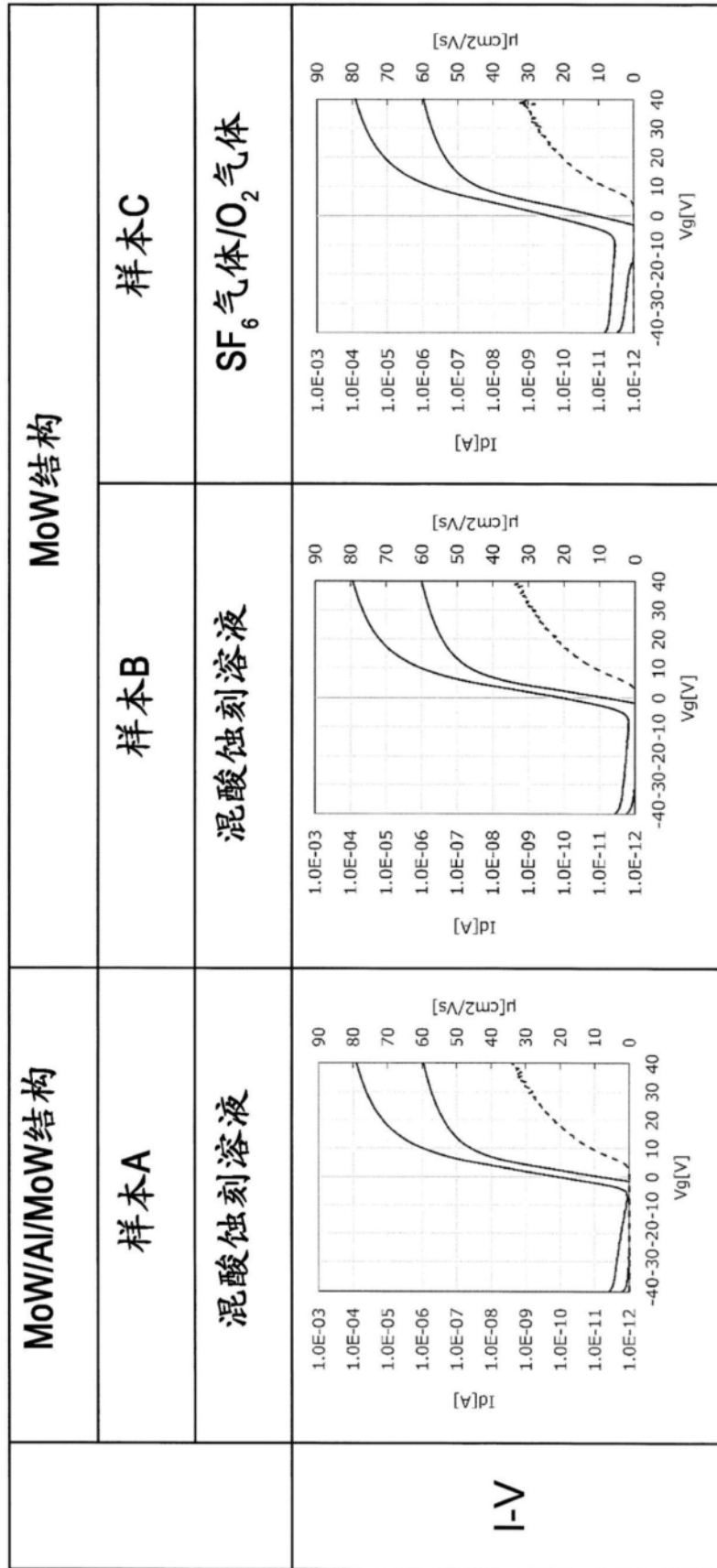


图18

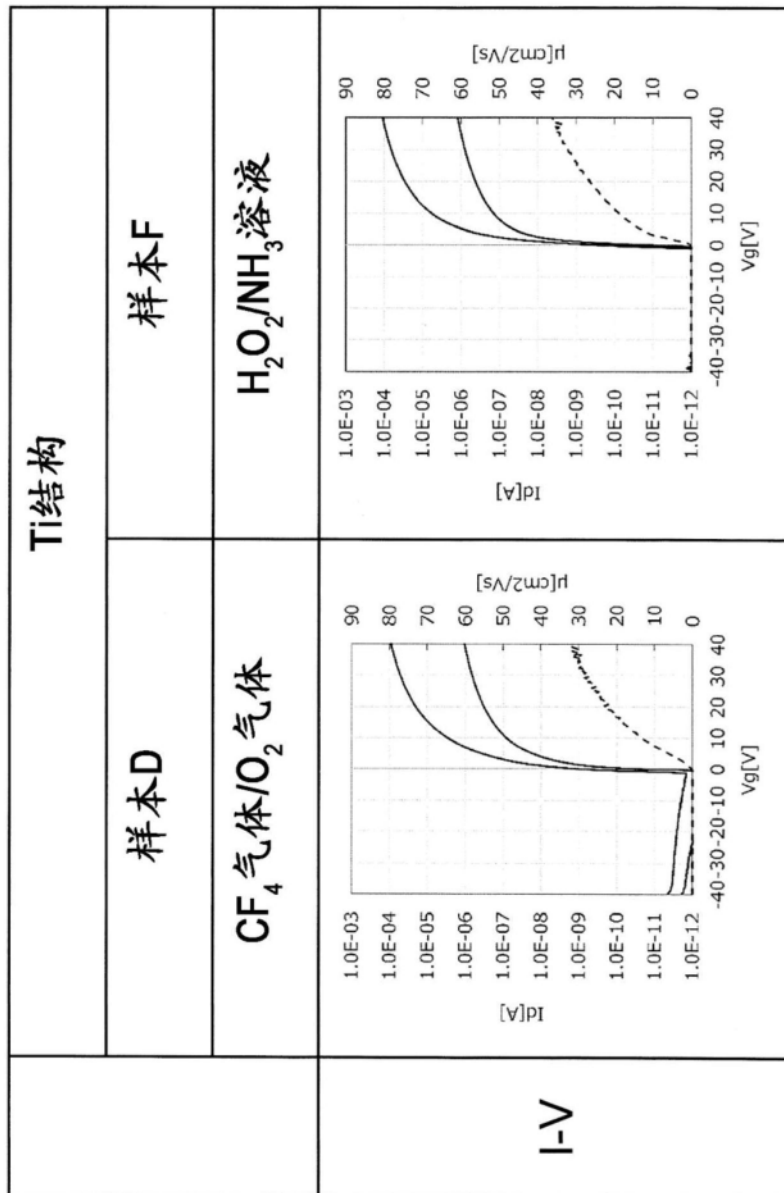


图19

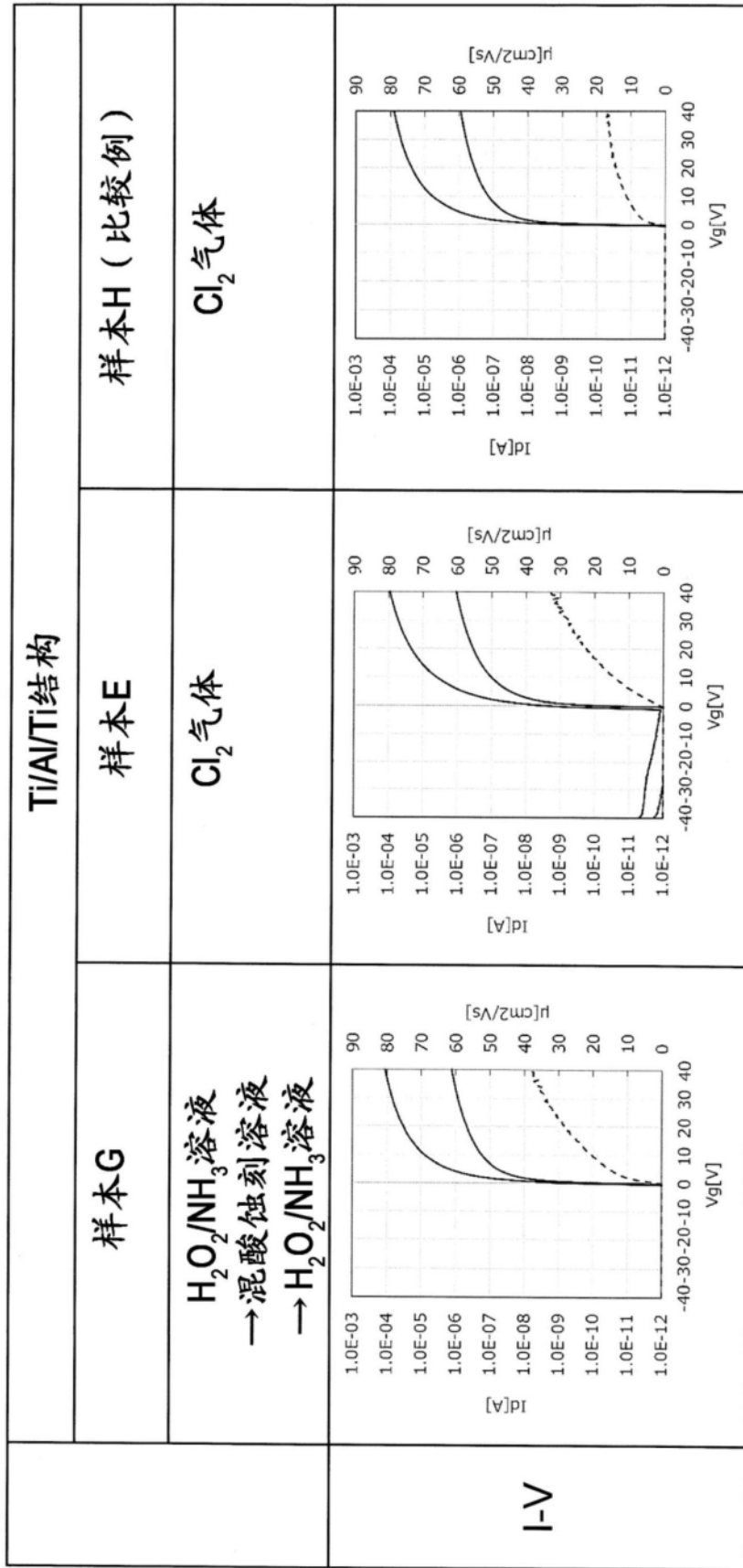


图20

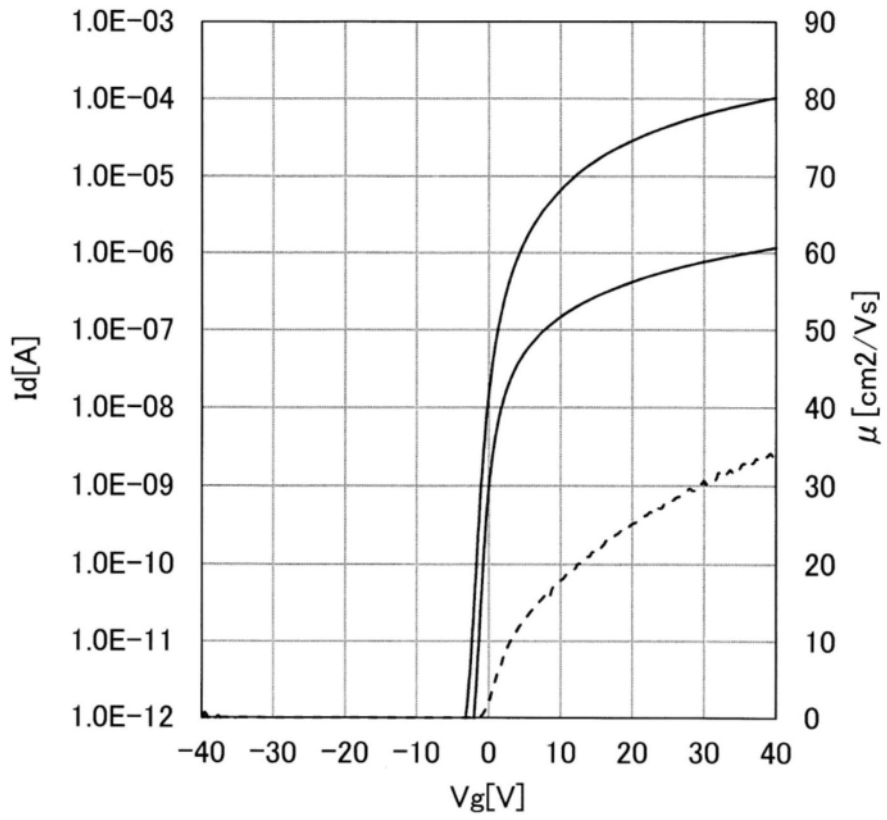


图21

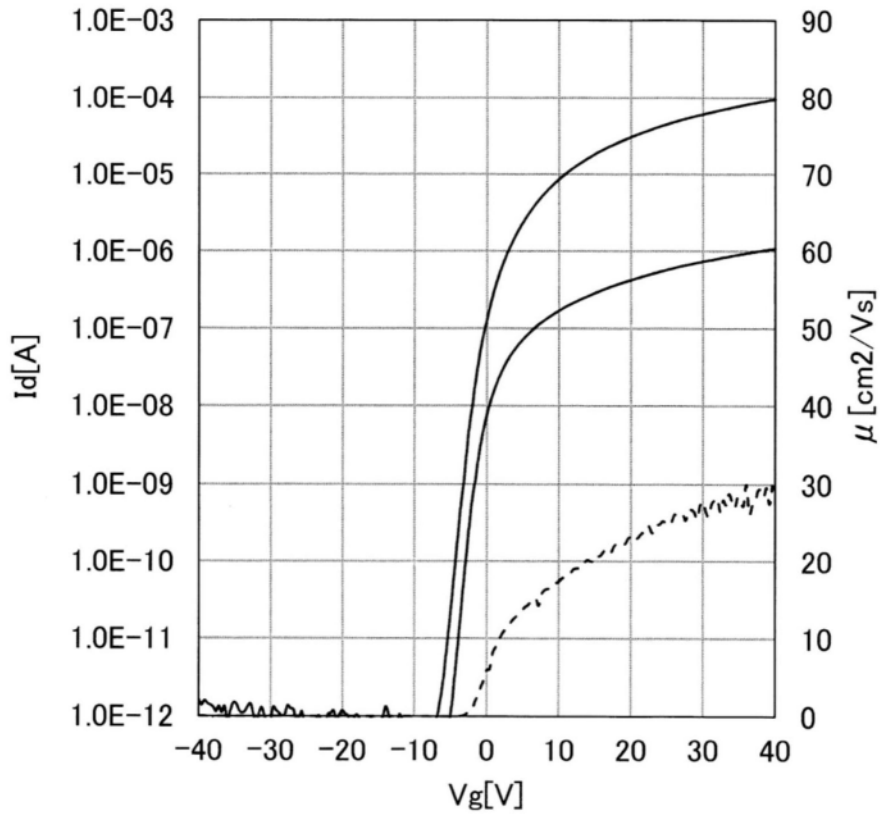


图22