



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년11월09일
(11) 등록번호 10-2323753
(24) 등록일자 2021년11월03일

- (51) 국제특허분류(Int. Cl.)
H01L 31/18 (2006.01) F21S 2/00 (2016.01)
F21V 7/00 (2015.01) F21V 9/00 (2018.01)
H01J 61/16 (2006.01) H01L 31/12 (2006.01)
- (52) CPC특허분류
H01L 31/186 (2013.01)
F21S 2/005 (2013.01)
- (21) 출원번호 10-2018-0037771(분할)
- (22) 출원일자 2018년03월30일
심사청구일자 2021년09월16일
- (65) 공개번호 10-2018-0070519
- (43) 공개일자 2018년06월26일
- (62) 원출원 특허 10-2016-0172535
원출원일자 2016년12월16일
심사청구일자 2016년12월16일
- (56) 선행기술조사문헌
JP2001319887 A*
JP2009164321 A*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
엘지전자 주식회사
서울특별시 영등포구 여의대로 128 (여의도동)
- (72) 발명자
김정규
서울특별시 금천구 가산디지털1로 51 LG전자 특허센터
김현호
서울특별시 금천구 가산디지털1로 51 LG전자 특허센터
(뒷면에 계속)
- (74) 대리인
특허법인로알

전체 청구항 수 : 총 3 항

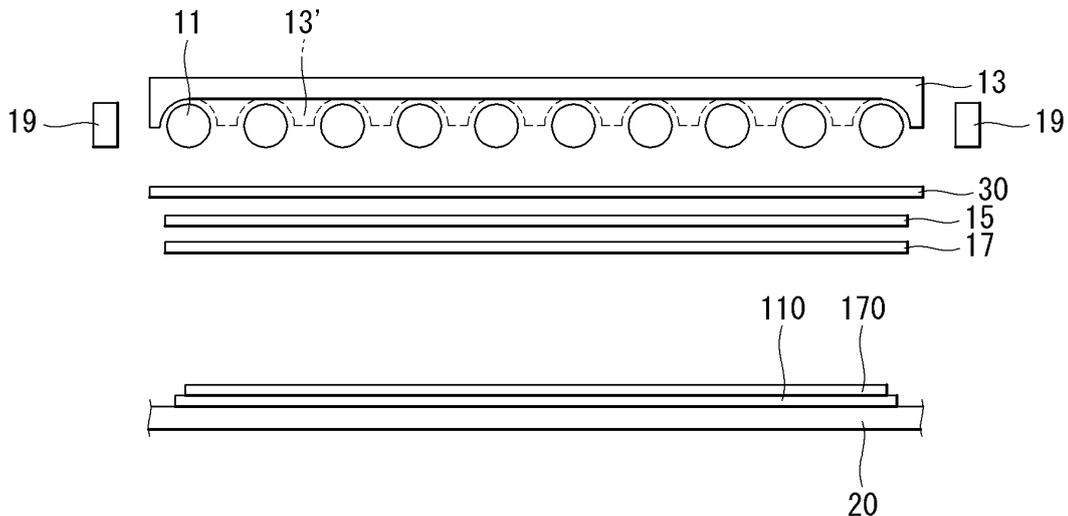
심사관 : 안지현

(54) 발명의 명칭 광 소결 장치

(57) 요약

본 발명의 한 측면에 따른 광 소결 장치는 전극 패턴이 형성된 피처리 기판을 이송하는 기판 이송부; 기판 이송부 상부에 위치하며, 광을 출력하는 복수의 램프; 복수의 램프로부터 출력되는 광을 피처리 기판 쪽으로 반사하는 적어도 1개의 반사판; 복수의 램프 하부에 배치되는 적어도 1개의 광 필터; 및 전극 패턴과 동일한 광 투과 패턴과, 광 투과 패턴을 제외한 나머지 영역의 광 차단 패턴을 구비하며, 광이 광 투과 패턴을 통해 전극 패턴에 입사되도록 하는 마스크를 포함한다.

대표도 - 도2



(52) CPC특허분류

F21V 7/00 (2013.01)

F21V 9/00 (2021.08)

H01J 61/16 (2013.01)

H01L 31/12 (2013.01)

(72) 발명자

정일형

서울특별시 금천구 가산디지털1로 51 LG전자 특허
센터

황유주

서울특별시 금천구 가산디지털1로 51 LG전자 특허
센터

명세서

청구범위

청구항 1

태양전지용 실리콘 기판을 이송하는 기관 이송부;

상기 기관 이송부 상부에 위치하는 광 출력부;

상기 광 출력부에서 출력되는 광을 상기 태양전지용 실리콘 기관 쪽으로 반사하는 반사판;

상기 광 출력부의 하부에 배치되는 광 필터; 및

광 투과 패턴과, 상기 광 투과 패턴을 제외한 나머지 영역의 광 차단 패턴을 구비 하는 마스크

를 포함하고,

상기 태양전지용 실리콘 기관에는 구리, 구리-은, 및 구리-니켈 중에서 선택된 적어도 한 종류의 미세 금속 입자를 포함하는 전도성 페이스트, 또는 구리 전구체를 포함하는 전도성 잉크로 이루어지는 전극 패턴이 형성되어 있으며,

상기 광 출력부는 광을 출력하는 1개의 램프를 구비하고,

상기 1개의 램프에서 출력된 광 중에서 일부의 광은 상기 광 투과 패턴을 통해 상기 전극 패턴에 입사되어, 상기 전극 패턴이 상기 광 투과 패턴을 통해 입사된 광에 의해 소결되며,

상기 1개의 램프의 길이방향에 직교하는 방향으로의 상기 태양전지용 실리콘 기관의 단위 폭(w, w=1cm)당 점등 회수(N1, N1=(점등 회수/cm))는 상기 태양전지용 실리콘 기관의 설정 이송 속도(v, v=cm/sec)의 크기와 상기 1개의 램프의 주파수(Hz)의 크기에 따라 조절되며, 아래의 [수학식 1]에 의해 산출되며,

[수학식 1] $N1 = Hz / v$

상기 1개의 램프는 상기 태양전지용 실리콘 기관의 단위 폭당 점등 회수(N1)가 3 이상이 되도록 작동되는 광 소결 장치.

청구항 2

제1항에서,

상기 마스크는 상기 태양전지용 실리콘 기관 위에 위치하며, 상기 램프에 의해 소결이 진행되는 동안 상기 태양전지용 실리콘 기관과 함께 이송되는 광 소결 장치.

청구항 3

제1항 또는 제2항에서,

상기 1개의 램프는 극단파 백색광을 출력하는 제논 플래시 램프로 이루어지는 광 소결 장치.

발명의 설명

기술 분야

[0001] 본 발명은 광 소결 장치에 관한 것으로, 보다 상세하게는 태양전지용 실리콘 기관에 가해지는 열 충격 및 상기 실리콘 기관에 형성된 막들의 특성 저하를 억제할 수 있는 광 소결 장치에 관한 것이다.

배경 기술

[0002] 최근 석유나 석탄과 같은 기존 에너지 자원의 고갈이 예상되면서 이들을 대체할 대체 에너지에 대한 관심이 높아지고 있다. 그 중에서도 태양전지는 태양광 에너지를 전기 에너지로 변환시키는 차세대 전지로서 각광받고 있다.

[0003] 이러한 태양전지는 실리콘 기판과, 실리콘 기판에 형성된 다양한 층 및 전극을 구비하는데, 일례로, 태양전지는 상기 실리콘 기판과 동일한 도전형을 갖는 (후면)전계부, 상기 실리콘 기판과 반대 도전형을 갖는 에미터부, 및 전하의 재결합을 방지하는 패시베이션층 등을 구비하며, 에미터부 및 (후면)전계부에 수집된 전하는 해당 전극들을 통해 외부로 전달된다.

[0004] 이에, 최근에는 재료비 절감 및 제조 공정상에서 인가되는 열로 인한 열 충격 감소 등을 위해 미세 금속 입자 (예, 미세 구리 입자)를 포함한 도전성 페이스트 또는 구리 전구체를 포함하는 도전성 잉크를 광 소결하여 태양 전지용 전극을 형성하는 기술이 개발되고 있다.

[0005] 그런데, 광 소결에 사용되는 종래의 광 소결 장치는 실리콘 기판의 열 침수(heat sink) 현상으로 인해 제한된 영역에서만 광 소결이 가능한 문제점이 있다.

[0006] 또한, 종래에는 전극 패턴을 형성하는 도전성 페이스트 또는 도전성 잉크를 광 소결하기 위해 광 소결 공정을 실시할 때, 실리콘 기판에 이미 형성되어 있던 에미터부, (후면)전계부, 패시베이션층 등에서도 광 흡수가 이루어지게 되고, 이로 인해 상기 층들의 막 특성이 저하하는 문제점이 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 상기 문제점을 해결하기 위한 것으로, 본 발명이 이루고자 하는 기술적 과제는 실리콘 기판에 가해지는 열 충격 및 상기 실리콘 기판에 형성된 막들의 막 특성 저하를 억제할 수 있는 광 소결 장치를 제공하는 것이다.

과제의 해결 수단

[0008] 본 발명의 한 측면에 따른 광 소결 장치는 전극 패턴이 형성된 피처리 기판을 이송하는 기판 이송부; 기판 이송부 상부에 위치하며, 광을 출력하는 복수의 램프; 복수의 램프로부터 출력되는 광을 피처리 기판 쪽으로 반사하는 적어도 1개의 반사판; 복수의 램프 하부에 배치되는 적어도 1개의 광 필터; 및 전극 패턴과 동일한 광 투과 패턴과, 광 투과 패턴을 제외한 나머지 영역의 광 차단 패턴을 구비하며, 광이 광 투과 패턴을 통해 전극 패턴에 입사되도록 하는 마스크를 포함한다.

[0009] 본 발명의 한 실시예에 따르면, 광 소결 장치는 1개의 반사판을 구비하며, 1개의 반사판 내부에는 복수의 램프가 모두 위치하고, 복수의 램프 하부에는 1개의 광 필터가 위치할 수 있다.

[0010] 본 발명의 다른 실시예에 따르면, 광 소결 장치는 복수의 반사판을 구비하며, 복수의 반사판 각각의 내부에는 적어도 1개의 램프가 위치하고, 복수의 반사판 하부에는 1개의 광 필터가 위치할 수 있다.

[0011] 본 발명의 또 다른 실시예에 따르면, 광 소결 장치는 복수의 반사판을 구비하며, 복수의 반사판 각각의 내부에는 적어도 1개의 램프가 위치하고, 각각의 반사판 하부에는 1개씩의 광 필터가 위치할 수 있다.

[0012] 복수의 램프 중 적어도 2개의 램프는 피처리 기판으로부터의 높이가 서로 상이하게 설치될 수 있으며, 이와 달리, 복수의 램프는 피처리 기판으로부터의 높이가 서로 동일하게 설치될 수 있다.

[0013] 복수의 램프 중 적어도 2개의 램프는 서로 다른 출력을 갖는 광을 출력할 수 있으며, 이와 달리, 복수의 램프는 서로 동일한 출력을 갖는 광을 출력할 수 있다.

[0014] 복수의 램프 중 적어도 2개의 램프는 서로 다른 파장을 갖는 광을 출력할 수 있으며, 이와 달리, 복수의 램프는 서로 동일한 파장을 갖는 광을 출력할 수 있다.

[0015] 복수의 램프는 길이 방향이 피처리 기판의 모서리 방향과 직교하거나 평행하도록 배열될 수 있으며, 이와 달리, 길이 방향이 피처리 기판의 모서리 방향과 사선으로 위치하도록 배열될 수 있다.

[0016] 복수의 램프의 길이는 서로 동일하거나 서로 다르게 형성될 수 있다.

[0017] 복수의 램프는 극단과 백색광을 출력하는 제논 플래시 램프로 각각 이루어질 수 있으며, 이와 달리, 복수의 램프 중 적어도 하나는 극단과 백색광을 출력하는 제논 플래시 램프로 이루어지고, 제논 플래시 램프를 제외한 나머지 램프 중 적어도 하나는 자외선 램프로 이루어질 수 있다.

[0018] 마스크는 반사판에 고정되거나, 광 필터와 반도체 기판의 사이에 고정될 수 있고, 기판 이송부는 피처리 기판을

이송하는 컨베이어 벨트로 이루어질 수 있다.

- [0019] 컨베이어 벨트는 전극 패턴을 광 소결하는 동안 정지 상태를 유지하도록 작동이 중단될 수 있다.
- [0020] 적어도 1개의 광 필터는 광 파장 필터 및 광 출력 필터 중 적어도 하나의 필터를 포함할 수 있다.
- [0021] 본 발명의 또 다른 실시예에 따르면, 광 소결 장치는 전극 패턴이 형성된 피처리 기판을 설정 속도로 이송하면서 램프에서 출력된 광을 이용하여 전극 패턴을 광 소결하는 장치로서, 램프의 길이방향에 직교하는 방향으로의 상기 피처리 기판의 단위 폭(w, w=1cm)당 점등 회수(N1, N1=(점등 회수/cm))는 상기 피처리 기판의 설정 이송 속도(v, v=cm/sec)의 크기와 상기 램프의 주파수(Hz)의 크기에 따라 조절되며, 램프는 피처리 기판의 단위 폭당 점등 회수(N1)가 3 이상이 되도록 작동된다.
- [0022] 이러한 구성의 광 소결 장치는 전극 패턴과 동일한 광 투과 패턴 및 광 투과 패턴을 제외한 나머지 영역의 광 차단 패턴을 구비하며, 광이 광 투과 패턴을 통해 전극 패턴에 입사되도록 하는 마스크를 더 구비할 수 있고, 마스크는 피처리 기판 위에 위치하여 피처리 기판과 함께 이송될 수 있다.
- [0023] 피처리 기판의 단위 폭당 점등 회수(N1)는 피처리 기판의 설정 이송 속도(v)에 반비례하여 증가하거나 감소할 수 있으며, 램프의 주파수(Hz)에 비례하여 증가하거나 감소할 수 있다.
- [0024] 피처리 기판의 단위 폭당 점등 회수(N1)는 아래의 [수학식 1]에 의해 산출될 수 있다.
- [0025] [수학식 1] $N1 = Hz / v$
- [0026] 램프는 극단파 백색광을 출력하는 제논 플래시 램프로 이루어질 수 있다.

발명의 효과

- [0027] 본 발명의 제1 실시예에 따른 광 소결 장치에 따르면, 광을 출력하는 램프를 복수 개 구비하므로, 실리콘 기판에 형성된 전극 패턴을 1회의 광 소결 공정에 의해 소결할 수 있다.
- [0028] 따라서, 광 소결 공정에 요구되는 시간을 줄일 수 있어 생산성을 향상시킬 수 있으며, 열 침수(heat sink) 현상을 극복하면서도 $150 \times 150 \text{mm}^2$ 이상의 대면적의 기판에 형성된 전극 패턴을 용이하게 광 소결할 수 있다.
- [0029] 그리고 마스크를 이용하여 전극 패턴에만 광이 입사되도록 함으로써, 실리콘 기판에 이미 형성되어 있는 다양한 막 또는 층의 특성이 저하하는 것을 방지할 수 있으며, 실리콘 기판을 열 충격으로부터 보호할 수 있다.
- [0030] 또한, 램프의 높이, 즉 실리콘 기판으로부터 램프까지의 간격을 다르게 설정하거나, 램프의 출력을 다르게 설정하거나, 램프의 파장을 다르게 설정하는 등의 다양한 방법에 의해 전극 패턴을 효과적으로 광 소결할 수 있다.
- [0031] 그리고 본 발명의 제2 실시예에 따른 광 소결 장치에 의하면, 피처리 기판의 이송 속도의 크기와 램프의 주파수의 크기의 변화에 맞게 피처리 기판의 단위 폭당 점등 회수를 조절할 수 있다.
- [0032] 따라서, 필요에 따라 피처리 기판의 이송 속도 및 램프의 주파수를 다양한 크기로 변화시켜 사용할 수 있으며, 피처리 기판에 입사되는 광의 입사 회수가 저하됨으로 인해 피처리 기판에 줄무늬가 발생하는 것을 효과적으로 방지할 수 있다.

도면의 간단한 설명

- [0033] 도 1은 본 발명의 광 소결 장치에 의해 소결된 전극을 구비하는 태양전지의 한 예를 나타내는 단면도이다.
- 도 2는 본 발명의 제1 실시예에 따른 광 소결 장치의 개략적인 구성을 나타내는 도면이다.
- 도 3은 도 2에 도시한 램프에서 발생한 펄스 형태의 백색광의 조사 조건에 사용되는 매개 변수를 나타내는 그래프이다.
- 도 4는 본 발명의 제1 실시예의 변형 실시예에 따른 광 소결 장치에 사용되는 광 출력부를 나타내는 도면이다.
- 도 5는 도 4에 도시한 광 출력부의 변형 실시예를 나타내는 도면이다.
- 도 6은 도 4에 도시한 광 출력부의 다른 변형 실시예를 나타내는 도면이다.
- 도 7은 도 4에 도시한 광 출력부의 또 다른 변형 실시예를 나타내는 도면이다.

도 8은 램프와 피쳐리 기관의 다양한 배열 상태를 나타내는 도면이다.

도 9는 본 발명의 제2 실시예에 따른 광 소결 장치를 나타내는 도면이다.

도 10은 본 발명의 실시예들에 따른 광 소결 장치에 구비된 마스크의 평면도이다.

발명을 실시하기 위한 구체적인 내용

- [0034] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해될 수 있다.
- [0035] 본 발명을 설명함에 있어서 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되지 않을 수 있다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용될 수 있다.
- [0036] 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- [0037] "및/또는"이라는 용어는 복수의 관련된 기재된 항목들의 조합 또는 복수의 관련된 기재된 항목들 중의 어느 항목을 포함할 수 있다.
- [0038] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "결합되어" 있다고 언급되는 경우는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 결합되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해될 수 있다.
- [0039] 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 결합되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해될 수 있다.
- [0040] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함할 수 있다.
- [0041] 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것으로서, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해될 수 있다.
- [0042] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0043] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가질 수 있다.
- [0044] 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 가지는 것으로 해석될 수 있으며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않을 수 있다.
- [0045] 아울러, 이하의 실시예는 당 업계에서 평균적인 지식을 가진 자에게 보다 완전하게 설명하기 위해서 제공되는 것으로서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있다.
- [0046] 이하, 첨부도면을 참조하여 본 발명의 실시예에 따른 광 소결 장치에 대해 설명한다.
- [0047] 먼저, 도 1을 참조하여 본 발명의 광 소결 장치에 의해 소결된 전극을 구비하는 태양전지에 대해 설명한다.
- [0048] 도 1은 양면 수광형 이중 집합 태양전지의 단면도를 도시한 것으로, 양면 수광형 태양전지는 반도체 기관(110), 반도체 기관(110)의 제1 면 및 제2 면에 각각 위치하는 제1 터널층(120A)과 제2 터널층(120B), 제1 터널층(120A) 위에 위치하며 반도체 기관(110)과 반대 도전형을 갖는 에미터부(130A), 에미터부(130A) 위에 위치하는 제1 투명 전극층(140A), 제1 투명 전극층(140A) 위에 위치하며 제1 투명 전극층(140A)을 통해 에미터부(130A)와 전기적으로 연결되는 제1 전극부(150), 제2 터널층(120B) 위(구체적으로, 후면)에 위치하며 반도체 기관과 동일

한 도전형을 갖는 후면 전계부(130B), 후면 전계부(130B) 위(구체적으로, 후면)에 위치하는 제2 투명 전극층(140B), 제2 투명 전극층(140B) 위(구체적으로, 후면)에 위치하며 상기 제2 투명 전극층(140B)을 통해 후면 전계부(130B)와 전기적으로 연결되는 제2 전극부(160)를 포함한다.

- [0049] 반도체 기판(110)은 제1 면(이하, '전면'이라 함)과 제2 면(이하, '후면'이라 함)을 포함하며, 전면(front surface)과 후면(back surface)은 서로 반대쪽에 위치한다.
- [0050] 반도체 기판(110)은 제1 도전형 도펀트, 예를 들어 n형 도펀트가 낮은 도핑 농도로 도핑된 베이스 영역만 구비할 수 있으며, 베이스 영역은 비정질 실리콘(amorphous silicon), 단결정 실리콘(mono-crystalline silicon), 다결정 실리콘(poly-crystalline silicon) 중에서 선택되는 어느 하나의 재료로서 구성될 수 있고, 바람직하게는 결정성 실리콘 웨이퍼(crystalline silicon wafer)로 구성될 수 있다.
- [0051] 반도체 기판(110)이 n형의 도전형을 가질 경우, 인(P), 비소(As), 안티몬(Sb) 등과 같이 5가 원소의 불순물이 반도체 기판(110)에 도핑(doping)될 수 있다.
- [0052] 하지만, 이와는 달리, 반도체 기판(110)은 p형 전도성 타입일 수 있다. 반도체 기판(110)이 p형의 도전형을 가질 경우, 붕소(B), 갈륨, 인듐 등과 같은 3가 원소의 불순물이 반도체 기판(110)에 도핑될 수 있다.
- [0053] 반도체 기판은 제1 도전형 도펀트 또는 제2 도전형 도펀트가 낮은 도핑 농도로 도핑된 베이스 영역으로 이루어질 수 있다.
- [0054] 종래의 태양전지에서는 베이스 영역과 다른 도전형을 가지는 도핑 영역(에미터부) 또는 베이스 영역과 동일한 도전형을 가지되 도핑 농도가 높은 도핑 영역(후면 전계부) 등이 반도체 기판에 도펀트를 주입 및/또는 확산하여 형성되는 반면, 이중 접합 태양전지에서는 반도체 기판이 베이스 영역만으로 이루어지며 별도의 도펀트 도핑 영역을 구비하지 않는다.
- [0055] 이러한 반도체 기판(110)의 전면 및 후면에서의 빛 반사도를 감소시켜 빛의 흡수율을 증가시키기 위해, 반도체 기판(110)의 전면 및 후면은 복수의 요철을 구비한 텍스처링 표면으로 형성될 수 있다.
- [0056] 텍스처링 표면은 제1 크기를 갖는 피라미드 형태의 제1 요철과, 제1 요철의 표면에 형성되며 제1 크기보다 매우 작은 제2 크기를 갖는 복수의 제2 요철을 포함할 수 있으며, 제1 요철은 SDE(Saw Damage Etching) 공정을 이용하여 형성할 수 있고, 제2 요철은 RIE(Reactive Ion Etching) 공정을 이용하여 형성할 수 있다.
- [0057] 제1 요철의 평균 크기(일 예로, 제1 요철의 높이의 평균 값)는 마이크로미터 수준일 수 있는데, 일 예로, 대략 10um 내지 30um일 수 있다.
- [0058] 제2 요철은 뾰족한 단부를 가질 수 있는데, 본 발명이 이에 한정되는 것은 아니며 제2 요철이 라운드진 단부를 가질 수도 있다.
- [0059] 제2 요철의 평균 크기(일 예로, 제2 요철의 높이의 평균 값)는 나노미터 수준일 수 있는데, 일 예로, 대략 100nm 내지 500nm의 크기를 가질 수 있다.
- [0060] 위에서 설명한 텍스처링 표면을 구비한 태양전지는 텍스처링 표면으로 인해 반도체 기판(110)의 표면에서 반사되는 빛의 양이 감소하여 반도체 기판(110) 내부로 입사되는 빛의 양이 증가한다.
- [0061] 또한, 텍스처링 표면으로 인해, 빛이 입사되는 반도체 기판(110)의 표면적이 증가하여 반도체 기판(110)으로 입사되는 빛의 양 또한 증가한다.
- [0062] 반도체 기판(110)의 전면에 위치하는 제1 터널층(120A)과 반도체 기판의 후면에 위치하는 제2 터널층(120B)은 유전체 재질 또는 반도체 물질을 증착하여 형성할 수 있다.
- [0063] 터널층(120A, 120B)은 전자 및 정공에게 일종의 배리어(barrier)로 작용하여, 소수 캐리어(minority carrier)가 통과되지 않도록 하고, 터널층(120A, 120B)에 인접한 부분에서 축적된 후에 일정 이상의 에너지를 가지는 다수 캐리어(majority carrier)만이 터널층(120A, 120B)을 각각 통과할 수 있도록 한다.
- [0064] 이때, 일정 이상의 에너지를 가지는 다수 캐리어는 터널링 효과에 의하여 쉽게 터널층(120A, 120B)을 통과할 수 있다.
- [0065] 터널층(120A, 120B)은 패시베이션(passivation) 기능도 수행할 수 있으며, 실리콘 산화물(SiO_x)과 같은 유전체 재질로 형성되거나, 비정질 실리콘(a-Si) 또는 실리콘 카바이드(SiC)와 같은 반도체 물질로 형성될 수 있다.

- [0066] 그러나 이 외에도 터널층(120A, 120B)은 실리콘 질화물(SiNx), 수소화된 실리콘 질화물(SiNx:H), 알루미늄 산화물(AlOx), 실리콘 산화질화물(SiON) 또는 수소화된 실리콘 산화질화물(SiON:H)로 형성될 수 있다.
- [0067] 터널층(120A, 120B)을 비정질 실리콘층으로 형성하면, 터널층(120A, 120B)이 반도체 기판(110)과 유사한 특성을 가지기 때문에 반도체 기판(110)의 표면 특성을 좀더 효과적으로 향상시킬 수 있으며, 이에 의하여 패시베이션 특성을 크게 향상시킬 수 있다.
- [0068] 제1 터널층(120A) 위에 위치하는 에미터부(130A)는 제 1 도전형의 반대인 제 2 도전형을 가지며, 제2 터널층(120B) 위(구체적으로, 후면)에 위치하는 후면 전계부(130B)는 제1 도전형을 갖는다.
- [0069] 에미터부(130A)와 후면 전계부(130B)는 도펀트를 포함하는 비정질 실리콘으로 형성될 수 있다.
- [0070] 에미터부(130A) 위에 위치하는 제1 투명 전극층(140A)과 후면 전계부(130B) 위(구체적으로, 후면)에 위치하는 제2 투명 전극층(140B)은 ITO(indium tin oxide), IZO(indium zinc oxide), AZO(Al-doped zinc oxide), IWO(indium tungsten oxide) 또는 수소가 도핑된 IO:H(indium oxide) 중 적어도 하나를 물리적 기상 증착법 또는 화학적 기상 증착법과 같은 다양한 막 형성 방법을 이용하여 형성할 수 있다.
- [0071] 이러한 투명 전극층은 반사방지막으로도 기능할 수 있으며, 에미터부 및 후면 전계부와와의 접촉 저항을 낮출 수 있다. 그리고 구리(Cu)와 같은 금속을 포함하는 제1 및 제2 전극부가 에미터부 및 후면 전계부에 직접 접촉되지 않도록 하여, 캐리어의 재결합이 증가되는 것 및 전극부에 포함되는 금속 재질의 이온이 에미터부 및 후면 전계부로 확산되는 것을 방지할 수 있다.
- [0072] 전술한 터널층(120A, 120B), 에미터부(130A), 후면 전계부(130B) 및 투명 전극층(140A, 140B)은 반도체 기판(110)이 텍스처링 표면을 갖는 경우, 반도체 기판(110)과 유사하게 하게 복수의 요철을 구비한 텍스처링 표면을 갖게 된다.
- [0073] 제1 투명 전극층(140A) 위에 위치하는 제1 전극부(150)는 서로 이격되어 위치하며 각각이 정해진 일정한 방향으로 길게 뻗은 복수의 제1 핑거 전극(150A)을 포함할 수 있다.
- [0074] 이때, 복수의 제1 핑거 전극(150A)은 제1 투명 전극층(140A)을 통해 에미터부(130A)와 전기적으로 연결될 수 있다.
- [0075] 복수의 제1 핑거 전극(150A)은 구리, 구리-은, 및 구리-니켈 중에서 선택된 적어도 한 종류의 미세 금속 입자를 포함하며, 상기 미세 금속 입자와 바인더 및 솔벤트를 포함하는 전도성 페이스트로 형성할 수 있다.
- [0076] 이와 달리, 복수의 제1 핑거 전극(150A)은 구리 전구체를 포함하는 전도성 잉크로 형성할 수도 있다.
- [0077] 미세 금속 입자는 200nm 이하의 나노 크기, 예를 들어 10nm 내지 200nm의 크기(또는 입경)로 형성할 수 있으며, 전도성 페이스트에 포함된 복수의 미세 금속 입자는 제1 평균 크기(또는 평균 입경)를 갖는 복수의 제1 미세 금속 입자와, 제1 평균 크기(또는 평균 입경)보다 큰 제2 평균 크기(또는 평균 입경)를 갖는 복수의 제2 미세 금속 입자를 포함할 수 있다.
- [0078] 전도성 페이스트는 상기한 미세 금속 입자와 바인더 및 솔벤트를 전도성 페이스트의 전체 중량에 대해 50 내지 80 중량%, 15 내지 40 중량%, 및 5 내지 40 중량%로 혼합하여 형성할 수 있다.
- [0079] 미세 금속 입자를 분산하는 데 사용되는 용매로는 에틸렌글리콜(ethylene glycol), 디에틸렌글리콜(diethylene glycol), 트리에틸렌글리콜 (triethylene glycol), 폴리에틸렌 글리콜 (poly-ethylene glycol), 프로필렌 글리콜(propylene glycol), 디프로필렌 글리콜(dipropylene glycol), 헥실렌 글리콜(hexylene glycol), 글리세린(glycerine), 이소프로필 알코올(iso-propyl alcohol), 2-메톡시 에탄올(2-methoxy ethanol), 펜틸 알코올(pentyl alcohol), 헥실 알코올(hexyl alcohol), 부틸 알코올(butyl alcohol), 옥틸 알코올(octyl alcohol), 폼 아미드(Form amide), 메틸에틸케톤(methyl ethyl ketone), 에틸알코올(ethyl alcohol), 메틸알코올(methyl alcohol), 아세톤(acetone) 또는 2종 이상의 혼합물로 바인더나 전도성 페이스트의 점도에 따라서 적절하게 맞춰 사용될 수 있다.
- [0080] 또한, 전도성 페이스트의 분산성 및 환원성을 향상시키기 위하여 바인더를 첨가하게 되는데, 바람직하게는 폴리비닐피롤리돈 (PVP), 폴리비닐알콜 (PVA), 폴리비닐부티랄, 폴리에틸렌글리콜, 폴리메틸메타크릴레이트, 텍스트란, 아조비스 및 도데실벤젠황산나트륨 등을 사용 할 수 있다.
- [0081] 상기 전도성 페이스트를 기판 위에 프린팅하는 방법으로는 스크린 프린팅(screen printing), 잉크젯 프린팅

(inkjet printing), 미세 접촉 프린팅 (micro-contact printing), 임프린팅 (imprinting), 그라비아 프린팅 (gravure printing), 그라비아-오프셋 프린팅(gravure-offset printing), 플렉소 프린팅 (Flexography printing) 및 스핀 코팅(spin coating)으로부터 선택되는 하나 이상의 방법이 사용될 수 있다.

- [0082] 상기 프린팅된 전도성 페이스트는 건조(drying) 과정을 거치게 되는데, 건조(drying)과정 공정으로는 열풍기, 오븐(heat chamber), 핫플레이트(hot plate), 적외선 또는 이의 조합을 사용할 수 있으며, 건조(drying) 온도로는 실리콘 기판에 손상을 가하지 않기 위해 60℃ 내지 200℃로 유지하는 것이 바람직하다.
- [0083] 그리고 건조된 전도성 페이스트는 본 발명의 실시예에 따른 광 소결 장치를 이용한 광 소결 공정에 의해 소결할 수 있다.
- [0084] 제2 투명 전극층(140B) 위(구체적으로, 후면)에 위치하는 제2 전극부(160)는 반도체 기판(110)의 후면에 서로 이격되어 위치하며 각각이 제1 핑거 전극과 동일한 방향으로 길게 뻗어 위치하는 복수의 제2 핑거 전극(160A)을 포함할 수 있다.
- [0085] 복수의 제2 핑거 전극(160A)은 반도체 기판(110)을 중심으로 복수의 제1 핑거 전극(150A)과 대응하여 마주하는 곳에 위치할 수 있다. 이에 따라, 제1 핑거 전극(150A)과 제2 핑거 전극(160A)의 개수는 동일하게 형성될 수 있지만, 이에 한정되지 않는다.
- [0086] 복수의 제2 핑거 전극(160A)은 제2 투명 전극층(140B)을 통해 후면 전계부(130B)와 전기적으로 연결될 수 있다.
- [0087] 복수의 제2 핑거 전극(160A)은 복수의 제1 핑거 전극(150A)과 동일한 조성의 전도성 페이스트를 동일한 방법(광 소결)에 의해 소결하여 형성할 수 있다.
- [0088] 이와 달리, 복수의 제1 핑거 전극(150A)과 복수의 제2 핑거 전극(160A)은 서로 다른 조성의 전도성 페이스트를 광 소결 공정에 의해 소결하여 형성하는 것도 가능하다.
- [0089] 한편, 양면 수광형 태양전지의 경우, 반도체 기판(110)의 전면을 통해 입사되는 빛의 양이 후면을 통해 입사되는 빛의 양에 비해 많으므로, 후면에는 제1 핑거 전극(150A)에 비해 많은 개수의 제2 핑거 전극(160A)이 형성될 수 있다.
- [0090] 이 경우, 제2 핑거 전극(160A) 간의 간격, 즉 피치(pitch)는 제1 핑거 전극(150A) 간의 간격보다 작을 수 있으며, 제1 핑거 전극(150A)의 사이 공간에 제2 핑거 전극(160A)이 위치할 수 있다.
- [0091] 그리고 도시하지는 않았지만, 제1 전극부(150)는 복수의 제1 핑거 전극(150A)과 교차(또는 직교)하는 방향으로 연장되어 복수의 제1 핑거 전극(150A)을 전기적 및 물리적으로 연결하는 적어도 2개의 제1 버스바 전극을 더 구비할 수 있고, 제2 전극부(160)는 복수의 제2 핑거 전극(160A)과 교차(또는 직교)하는 방향으로 연장되어 복수의 제2 핑거 전극(160A)을 전기적 및 물리적으로 연결하는 적어도 2개의 제2 버스바 전극을 더 구비할 수 있다.
- [0092] 이 경우, 이웃한 태양전지들을 전기적으로 연결하기 위해, 제1 버스바 전극과 제2 버스바 전극은 반도체 기판(110)의 전면과 후면 중 서로 대응하는 위치에 각각 형성될 수 있다.
- [0093] 이러한 구성의 양면 수광형 태양전지에서, 태양전지로 조사된 빛이 에미터부(130A) 및 후면 전계부(130B)를 통해 반도체 기판(110)으로 입사되면, 반도체 기판(110)으로 입사된 빛 에너지에 의해 전자-정공 쌍이 발생한다.
- [0094] 이때, 반도체 기판(110)의 전면(front surface) 및/또는 후면(back surface)이 텍스처링 표면을 구비하므로, 반도체 기판(110)의 전면(front surface) 및 후면(back surface)에서의 빛 반사도가 감소하고, 텍스처링 표면에서 입사와 반사 동작이 행해져 태양전지의 내부에 빛이 갇히게 되므로, 빛의 흡수율이 증가되어 양면 수광형 태양 전지의 효율이 향상된다.
- [0095] 이에 더하여, 제1 투명 전극층(140A) 및 제2 투명 전극층(140B)에 의해 반도체 기판(110)으로 입사되는 빛의 반사 손실이 줄어들어 반도체 기판(110)으로 입사되는 빛의 양은 더욱 증가한다.
- [0096] 반도체 기판(110)의 내부에서 생성된 전자-정공 쌍은 서로 분리되며, 반도체 기판(110)이 n형의 도전형질을 가진 경우, 전자는 n형의 도전형질을 갖는 반도체 기판(110)의 후면(구체적으로, 후면 전계부)쪽으로 이동하고, 정공은 p형의 도전형질을 갖는 에미터부(130A)쪽으로 이동한다.
- [0097] 이처럼, 후면 전계부(130B)쪽으로 이동한 전자는 제2 전극부(160)로 이동하고, 에미터부(130A)쪽으로 이동한 정공은 제1 전극부(150)로 이동한다.
- [0098] 따라서, 서로 이웃한 태양전지에 있어서, 어느 한 태양전지의 제1 전극부(150)와 다른 한 태양전지의 제2 전극

부(160)를 전도성 리본(또는 인터커넥터)로 연결하면 전류가 흐르게 되고, 이를 외부에서 전력으로 이용하게 된다.

- [0099] 이상에서는 양면 수광형 이중 접합 태양전지에 대해 설명하였지만, 본 발명에 따른 광 소결 장치는 다양한 구조의 태양전지에 구비된 전극을 소결하는데 사용될 수 있다.
- [0100] 한 예로, 본 발명의 광 소결 장치에 의해 소결된 전극을 구비하는 태양전지는 한면 수광형(unifacial) 또는 이면 접합형의 이중 접합 태양전지일 수 있으며, 한면 수광형, 양면 수광형 또는 이면 접합형의 동종 접합 태양전지일 수도 있다.
- [0101] 이와 같이, 본 발명의 실시예에 따른 광 소결 장치에 의해 소결된 전극을 구비하는 태양전지는 광 소결 전극을 구비하는 한 다양한 구조를 가질 수 있다.
- [0102] 이하, 도 2를 참조하여 본 발명의 제1 실시예에 따른 광 소결 장치에 대해 설명한다.
- [0103] 제1 실시예의 광 소결 장치는 광 출력부(10), 전원부(미도시), 축전부(미도시), 기관 이송부(20), 및 광 출력부(10)과 기관 이송부(20) 사이에 위치하는 마스크(30)를 포함할 수 있다.
- [0104] 광 출력부(10)는 복수의 램프(11), 1개의 반사판(13), 1개의 광 필터(15), 광 유도부(17) 및 냉각부(19)를 포함할 수 있다.
- [0105] 광 출력부(10)는 기관 이송부(20)의 상부에 배치되고, 전원부로부터 전압 및 전류를 입력 받는다. 그리고 축전부로부터 집적된 전하를 인가 받아 아크 플라즈마를 생성하여 피처리 기관, 즉 반도체 기관(110)의 표면으로 펄스 형태의 백색광을 출력하고, 펄스 형태의 백색광의 조사를 통해 금속 산화물, 투명 전도성 산화물 및 전극 형성 물질을 소결한다.
- [0106] 복수의 램프(11)는 각각 제논 플래시 램프(Xenon Flash Lamp)이며, 백색광을 면 형태로 조사하며, 피처리 기관, 즉 반도체 기관(110)으로부터의 높이가 서로 동일하게 설치된다.
- [0107] 제논 플래시 램프는 실린더 형상의 밀봉된 석영 튜브 안에 주입된 제논 가스를 포함하는 구성으로 이루어진다. 이러한 제논 가스는 입력 받은 전기 에너지에 의해 광 에너지를 출력하여, 50%가 넘는 에너지 변환율을 갖는다.
- [0108] 또한, 제논 플래시 램프는 내부 양쪽에 양극 및 음극 형성을 위해 텅스텐과 같은 금속 전극이 형성된다. 이러한 구성으로 이루어진 램프(11)에 전원부로부터 발생된 높은 전원 및 전류가 인가되면, 내부에 주입된 제논 가스가 이온화되고, 양극과 음극 사이에 스파크가 발생된다.
- [0109] 이때, 축전부에서 집적된 전하가 인가되면 램프(11) 내부에서 발생한 스파크를 통해 약 1000A의 전류가 1ms 내지 10ms 동안 전류가 흐르면서 램프(11) 내부에는 아크 플라즈마가 발생하고, 강한 세기의 광이 발생된다.
- [0110] 여기서 발생된 광은 160nm 내지 2.5mm 사이의 자외선부터 적외선까지의 넓은 파장대역의 광 스펙트럼을 내장하고 있기 때문에 백색광으로 보인다.
- [0111] 본 실시예에서는 제논 플래시 램프를 사용하는 것을 예로 들어 설명하였지만, 이러한 목적을 달성할 수 있는 램프라면 어떠한 종류를 사용하더라도 무방하다.
- [0112] 이때, 램프(11)를 이용한 조사 조건은 도 3에 도시된 바와 같이, 광을 조사하는 램프(11)의 에너지(Total Energy, E), 펄스 폭(Pulse Width, W), 펄스 수(Pulse Number, N) 및 펄스 갭(Pulse Gap, G) 등과 같은 매개 변수(parameter)에 의해 조절 될 수 있다.
- [0113] 한 예로, 램프(11)의 에너지(E)는 약 1 J/cm² 내지 100 J/cm²이고, 보다 바람직하게는 약 1 J/cm² 내지 50 J/cm²일 수 있다.
- [0114] 램프(11)의 에너지(E)가 1 J/cm² 미만인 경우에는 전극 형성 물질, 예컨대 도전성 페이스트 또는 도전성 잉크의 광 소결이 원활히 이루어지지 않을 수 있고, 에너지(E)가 100 J/cm²를 초과하는 경우에는 광 소결 장치에 과부하가 걸릴 염려가 있다.
- [0115] 그리고 램프(11)의 펄스 폭(W)은 광 소결 단계의 효율성을 고려할 때 0.1 ms 내지 50 ms인 것이 바람직하고, 보다 바람직하게는 0.1 ms 내지 20 ms일 수 있다.
- [0116] 또한, 램프(11)의 펄스 수(N)는 광 소결 단계의 효율성을 고려할 때 1번 내지 100번인 것이 바람직하고, 보다 바람직하게는 1번 내지 50번일 수 있다.

- [0117] 램프(11)의 펄스 수(N)가 3번 이상인 경우 제논 플래시 램프의 펄스 갭은 소결 단계의 효율성 및 광 소결 장치의 수명에 대한 영향 등을 고려할 때 1 ms 내지 100 ms인 것이 바람직하고, 보다 바람직하게는 5 ms 내지 50 ms 일 수 있다.
- [0118] 복수의 램프(11)는 동시에 점등되거나 개별적으로 점등될 수 있다.
- [0119] 반사판(13)은 램프(11)의 상부에 배치되어, 램프(11)로부터 반도체 기관(110)의 반대방향으로 출력되는 펄스 형태의 백색광에 대하여 반도체 기관(110) 방향으로 출력되도록 광 경로를 변경한다.
- [0120] 본 실시예에서, 광 소결 장치는 1개의 반사판(13)을 구비하며, 1개의 반사판(13) 내부에 복수의 램프(11)가 설치될 수 있다.
- [0121] 이때, 램프(11)의 개수는 반도체 기관의 크기에 따라 정해질 수 있는데, 한 예로, 1개의 반사판(13) 내부에는 2개 내지 20개의 램프(11)가 설치될 수 있다.
- [0122] 반사판(13)의 내부에는 램프(11) 사이의 공간을 분리하는 램프 분리부(13')가 점선으로 도시한 바와 같이 구비될 수 있다.
- [0123] 광 필터(15)는 램프(11)의 하부에 배치되어, 기설정된 파장 대역을 갖는 극단파 백색광만을 필터링하는 광 파장 필터일 수 있다. 따라서, 광 필터(15)는 반도체 기관(110)의 종류에 따라 조사되는 광의 파장 대역을 선택적으로 차단한다.
- [0124] 광 유도부(17)는 광 필터(15)의 하부에 배치되어, 펄스 형태의 백색광이 반도체 기관(110)에 조사될 수 있도록 펄스 형태의 백색광의 위치를 조절한다.
- [0125] 냉각부(19)는 램프(11)의 표면 온도를 낮추기 위해 냉각수를 냉각 통로(미도시)를 통해 램프(11)에 공급한다.
- [0126] 전원부는 전압 및 전류를 발생하여, 발생한 전압 및 전류를 광 출력부(10)로 전송할 수 있다.
- [0127] 축전부는 전하를 집적 및 저장하여 광 출력부(10)의 램프(11)의 양 전극 사이에 스파크가 발생하는 경우, 저장한 전하를 램프(11)로 전달한다.
- [0128] 기관 이송부(20)는 컨베이어 벨트와 같이, 광 출력부(10)의 하부에 배치되어, 반도체 기관(110)을 한쪽 방향으로 이송시킨다. 이때, 이송부(20)는 반도체 기관(110)을 가열시키기 위한 가열판(미도시) 또는 반도체 기관(110)을 냉각시키기 위한 냉각판(미도시)을 더 포함할 수 있다.
- [0129] 이처럼, 반도체 기관(110)을 가열판을 통해 추가적으로 가열하는 경우에는 적은 극단파 백색광 에너지로도 광 소결을 할 수 있고, 뿐만 아니라 램프(11)의 수명 또한 연장시킬 수 있다. 또한, 반도체 기관(110)을 냉각판을 통해 추가적으로 냉각시키는 경우에는 반도체 기관(110)의 손상을 방지할 수 있다.
- [0130] 광 출력부(10), 특히 램프(11)와 기관 이송부(20) 사이에 위치하는 마스크(30)는 도 10에 도시한 바와 같이, 전극 패턴과 동일한 광 투과 패턴(31) 및 광 투과 패턴을 제외한 나머지 영역의 광 차단 패턴(33)을 구비한다.
- [0131] 도 10에서, 광 투과 패턴(31) 중 좌우 방향으로 형성된 패턴은 태양전지의 평거 전극에 대응하는 부분이고, 상하 방향으로 형성된 패턴은 태양전지의 버스바 전극에 대응하는 부분이다.
- [0132] 따라서, 광 투과 패턴(31)은 태양전지에 구비되는 전극 형상에 따라 다양하게 변형될 수 있다.
- [0133] 이러한 구성의 마스크(30)를 사용하여 광 소결 공정을 실시하면, 램프(11)에서 출력된 펄스 형태의 백색광 중에서 광 투과 패턴에 입사되는 광만 마스크(30)를 통과 또는 투과되므로, 반도체 기관의 다른 영역, 즉 전극 패턴이 형성되지 않은 영역에는 광이 입사되지 않는다.
- [0134] 광 소결에 사용되는 종래의 광 소결 장치는 실리콘 기관의 열 침수(heat sink) 현상으로 인해 제한된 영역에서만 광 소결이 가능한 문제점이 있다.
- [0135] 따라서, 반도체 기관에 이미 형성되어 있던 에미터부, (후면)전계부, 패시베이션층 등에서 광 흡수가 이루어지게 되는 것을 방지할 수 있으므로, 상기 층들의 막 특성이 저하되는 것을 방지할 수 있다.
- [0136] 도 2에서는 램프(11)와 광 필터(15) 사이에 마스크(30)가 위치하는 것을 예로 들어 설명하였지만, 마스크(30)는 광 필터(15)와 광 유도부(17) 사이, 또는 광 유도부(17)와 기관 이송부(20) 사이에 설치될 수도 있다.
- [0137] 이러한 구성의 광 소결 장치를 이용하면, 도전성 페이스트 또는 도전성 잉크를 포함하는 전극 패턴(170)이 형성

된 반도체 기관(110)에 펄스 형태의 백색광(light)을 조사하여 전극 패턴(170)을 소결시켜 제1 전극부 및 제2 전극부를 형성할 수 있다.

- [0138] 이때, 본 실시예의 광 소결 장치는 1개의 반사판(13) 내부에 복수의 램프(11)가 설치되어 있고, 램프에서 출력된 백색광이 조사되는 전체 면적이 1개의 반도체 기관의 면적 이상으로 형성되므로, 기관 이송부(20)에 안착된 1개의 반도체 기관(110)에 형성된 전극 패턴(170)을 광 소결하기 위해 반도체 기관을 이송할 필요가 없다.
- [0139] 따라서, 기관 이송부(20)는 광 소결 공정이 실시되는 동안에는 정지 상태로 작동이 중지되며, 광 소결 공정이 완료되면 다음 차례의 반도체 기관이 광 출력부의 하부에 위치하도록 반도체 기관을 이송한다.
- [0140] 이와 같이, 본 실시예의 광 소결 장치는 기관이 정지된 상태에서 광 소결 공정을 실시한다.
- [0141] 광 소결 공정을 실시하면, 전극 패턴(170)에 포함된 솔벤트와 바인더의 증발이 저온(예, 500℃ 이하)에서 이루어진다.
- [0142] 구체적으로, 전극 패턴(170)에 포함된 솔벤트는 최소 80℃의 온도에서 증발될 수 있다. 일 예로, 솔벤트는 80℃ 내지 150℃의 온도에서 증발될 수 있다.
- [0143] 그리고 바인더는 약 100℃ 이상의 온도에서 증발될 수 있다. 일 예로, 바인더는 100℃ 내지 500℃의 온도에서 증발될 수 있다.
- [0144] 하지만, 이에 한정되지 않고, 바인더는 솔벤트와 동일한 온도에서 증발 될 수 있다.
- [0145] 펄스 형태의 백색광의 조사 시간(좀더 정확하게는, 1회 조사 시간)은 약 0.1ms 내지 10ms일 수 있으며, 전극 형성 물질에 포함된 미세 금속 입자, 바인더 및 솔벤트의 함량에 따라 조절될 수 있다.
- [0146] 일 예로, 펄스 형태의 백색광의 조사 시간(좀더 정확하게는, 1회 조사 시간)은 약 0.1ms 내지 2ms일 수 있고, 총 10회 내지 30회로 조사되어 총 1ms 내지 40ms로 조사될 수 있다.
- [0147] 이와 같이, 본 실시예의 광 소결 장치는 반도체 기관을 정지시킨 상태에서 광 소결 공정을 실시하므로, 광 소결에 요구되는 백색광의 조사 회수(펄스 수)를 설정하는 것에 따라 광 소결 공정을 실시할 수 있다.
- [0148] 이러한 구성의 광 소결 장치에 따르면, 1개의 램프만 사용하여 반도체 기관을 이송하면서 광 소결 공정을 실시하는 경우에 비해 전극 패턴의 광 소결에 요구되는 시간이 단축되므로, 구리(Cu)와 같이 산화하기 쉬운 미세 금속 입자를 단시간 내에 소결할 수 있어 미세 금속 입자의 산화를 방지할 수 있으며, 생산성을 향상시킬 수 있다.
- [0149] 일반적으로 구리는 열화학적 평형에 의하여 그 표면에 산화층이 형성되어 있어 소결이 매우 어렵고 소결 후에도 전도성이 감소하는 것으로 알려져 있다.
- [0150] 하지만, 제논 플래시 램프를 이용하여 미세 금속 입자에 펄스 형태의 백색광을 단시간 조사하여 미세 금속 입자를 소결함으로써, 구리를 포함하는 미세 금속 입자의 산화 현상의 발생을 효과적으로 방지할 수 있다.
- [0151] 그리고, 상기한 소결 공정시에는 마스크(30)의 광 투과 패턴을 통과 또는 투과하는 광만 반도체 기관 쪽에 입사되므로, 반도체 기관에 이미 형성되어 있던 에미터부, 후면 전계부, 패시베이션층 등에서 광 흡수가 이루어지게 되는 것을 방지할 수 있으며, 이로 인해 상기 층들의 막 특성이 저하하는 것을 방지할 수 있다
- [0152] 이하, 도 4를 참조하여 본 발명의 제1 실시예의 변형 실시예에 따른 광 소결 장치에 사용되는 광 출력부의 구성을 설명한다.
- [0153] 이하의 실시예를 설명함에 있어서, 전술한 도 2의 제1 실시예와 동일한 구성요소에 대해서는 동일한 도면부호를 부여하며, 이에 대한 상세한 설명은 생략한다.
- [0154] 본 실시예는 전술한 도 2의 광 출력부와 달리, 반사판(13)이 램프(11)과 동일한 개수로 구비되는 점에 있어서 차이가 있다.
- [0155] 따라서, 1개의 반사판(13) 내부에는 1개의 램프(11)가 위치한다. 그리고 복수의 램프(11) 하부에는 1개의 광 필터(15)가 위치한다.
- [0156] 이와 달리, 도 5에 도시한 바와 같이, 1개의 반사판(13) 내부에 2개 또는 3개의 램프(11)가 설치될 수 있으며, 도시한 바와 같이 반사판(13)의 개수는 다양하게 조절이 가능하다.

- [0157] 그리고, 도 6에 도시한 바와 같이, 복수의 램프(11) 하부에는 램프(11)의 개수와 동일한 개수의 광 필터(15)가 위치할 수 있다.
- [0158] 즉, 1개의 광 필터(15)는 1개의 램프(11)와 대응하도록 배치된다.
- [0159] 여기에서, 광 필터(15)를 램프(11)와 대응하도록 배치하는 이유는 도전 패턴의 특정 영역에 입사되는 광의 출력 및/또는 파장을 조절할 수 있도록 하기 위한 것이다.
- [0160] 즉, 본 실시예의 광 출력부에 사용되는 광 필터(15)는 광 출력 필터이거나, 광 파장 필터일 수 있다.
- [0161] 광 필터(15)가 광 출력 필터인 경우, 각 램프는 동일한 출력을 갖는 광을 출력할 수 있으며, 도전 패턴에는 광 출력 필터로 인해 서로 다른 출력의 광이 입사될 수 있다.
- [0162] 따라서, 동일한 출력을 갖는 램프를 사용하더라도 상기 광 출력 필터를 이용하여 도전 패턴에 입사하는 광의 펄스 폭을 램프 영역에 따라 조절할 수 있다.
- [0163] 이와 달리, 복수의 램프 하부에 1개의 광 필터를 설치한 경우, 복수의 램프가 적어도 2개의 서로 다른 출력을 갖는 광을 출력하도록 함으로써, 도전 패턴에 입사하는 광의 펄스 폭을 램프 영역에 따라 조절하는 것도 가능하다.
- [0164] 그리고 광 필터(15)가 광 파장 필터인 경우, 각 램프는 동일한 파장을 갖는 광을 출력할 수 있으며, 도전 패턴에는 광 파장 필터로 인해 서로 다른 출력의 광이 입사될 수 있다.
- [0165] 이와 달리, 복수의 램프(11) 중 적어도 하나가 제논 플래시 램프가 아닌 다른 램프일 수 있다. 일례로, 복수의 램프(11) 중 적어도 하나는 산화 방지제를 효과적으로 증발시키기 위한 자외선 램프일 수 있다.
- [0166] 그리고 미세 금속 입자의 입자 크기(또는 입경)에 따라 광 소결되는 파장 범위가 다르므로, 필요에 따라 요구되는 파장을 출력하는 복수의 램프를 다양하게 사용하는 것도 가능하다.
- [0167] 이와 달리, 도 7에 도시한 바와 같이, 각각의 램프(11)는 반도체 기관으로부터 적어도 2곳의 서로 다른 높이에 설치될 수 있다.
- [0168] 이 경우, 광 필터(15)는 도시한 바와 같이 1개의 램프 하부에 1개씩 설치될 수 있으며, 또한, 복수의 램프 하부에 1개의 광 필터가 설치될 수도 있다.
- [0169] 그리고 복수의 램프는 서로 동일한 출력을 갖는 광을 출력할 수 있으며, 또한, 적어도 2개의 서로 다른 출력을 갖는 광을 출력할 수도 있다.
- [0170] 또한, 복수의 램프는 서로 동일한 종류의 램프일 수도 있지만, 적어도 2개의 서로 다른 종류의 램프일 수도 있다.
- [0171] 그리고 도 2에 도시한 제1 실시예에 있어서도 복수의 램프가 적어도 2곳의 서로 다른 높이에 위치하도록 설치하는 것도 가능하고, 서로 동일한 출력을 갖는 광을 출력하거나 적어도 2개의 서로 다른 출력을 갖는 광을 출력할 수 있으며, 서로 동일한 램프이거나 적어도 2개의 서로 다른 램프일 수도 있다.
- [0172] 도 8에 도시한 바와 같이, 복수의 램프(11)는 길이 방향이 반도체 기관의 모서리 방향(특히, 좌우 모서리 방향)과 직교하거나(도 8(a)) 평행하도록(도 8(b)) 배열될 수 있고, 또한, 램프의 길이 방향이 피처리 기관의 모서리 방향과 사선으로 위치하도록(도 8(c)) 배열될 수 있다.
- [0173] 또한, 복수의 램프(11)는 도 8(d) 내지 도 8(g)에 도시한 바와 같이 다양한 길이로 형성될 수 있으며, 다양한 형태로 배열될 수 있다.
- [0174] 한 예로, 복수의 램프(11)는 50mm 내지 500mm의 범위 내에서 다양한 길이를 가질 수 있다.
- [0175] 이하, 도 9를 참조하여 본 발명의 제2 실시예에 따른 광 소결 장치에 대해 설명한다.
- [0176] 전술한 제1 실시예 및 제1 실시예의 변형 실시예에 따른 광 소결 장치는 복수의 램프를 구비하고 있으므로, 반도체 기관을 정지시킨 상태에서 광 소결 공정을 실시하는 것이 가능하며, 이때, 광 소결에 필요한 램프의 전체 펄스 수(N)를 몇 회로 설정하는가에 따라 전극 패턴을 적절하게 소결하는 것이 가능하다.
- [0177] 하지만, 램프가 1개만 구비된 본 실시예의 경우, 광 소결 공정을 실시하는 동안 반도체 기관을 연속적으로 이송해야 하므로, 램프의 전체 펄스 수를 조절하는 방법으로는 광 소결 공정이 효과적으로 이루어지지 않을 수

있다.

[0178] 즉, 램프의 전체 펄스 수를 조절하는 방법에 의해 광 소결 공정을 실시할 경우, 반도체 기관의 이송 속도가 빠르거나 단위 시간당 램프의 펄스 수가 낮은 경우에는 반도체 기관에 입사되는 광의 입사 회수가 적어서 반도체 기관의 광 소결을 하고자 하는 대상물(예, 전극)에 줄무늬가 발생할 수 있다.

[0179] 이에, 도 9에 도시한 바와 같이 1개의 램프(11)를 구비한 광 소결 장치에서 반도체 기관(110)을 연속적으로 이송하면서 광 소결 공정을 실시하는 경우에는 램프(11)의 길이방향에 직교하는 방향으로의 반도체 기관의 단위 폭(w, w=1cm)당 점등 회수(N1, N1=(점등 회수/cm))를 반도체 기관의 설정 이송 속도(v, v=cm/sec)의 크기와 램프의 주파수(Hz, Hz=점등 회수/sec)의 크기에 따라 조절하여 광 소결을 실시한다.

[0180] 이때, 반도체 기관(110)의 단위 폭당 점등 회수(N1)는 반도체 기관(110)의 설정 이송 속도(v)에 반비례하여 증가하거나 감소할 수 있으며, 램프(11)의 주파수(Hz)에 비례하여 증가하거나 감소할 수 있다.

[0181] 반도체 기관(110)의 단위 폭당 점등 회수(N1)는 아래의 [수학식 1]에 의해 산출될 수 있다.

[0182] [수학식 1] $N1 = Hz / v$

[0183] 아래의 [표 1]은 본 발명인의 실험 결과를 나타낸 것이다.

표 1

	v (cm/sec)	Hz (점등 회수/sec)	N1 (Hz/v)	줄무늬
샘플 1	3cm/sec	35Hz	11.6회	없음
샘플 2	3cm/sec	9Hz	3회	없음
샘플 3	3cm/sec	6Hz	2회	있음
샘플 4	2.5cm/sec	4Hz	1.6회	있음

[0185] 상기 [표 1]을 참조하면, 반도체 기관(110)의 단위 폭당 점등 회수(N1)를 3 이상이 되도록 램프(11)를 작동시킨 샘플 1 및 샘플 2의 경우에는 줄무늬가 발생하지 않지만, 반도체 기관(110)의 단위 폭당 점등 회수(N1)가 3 미만인 샘플 3 및 샘플 4의 경우 줄무늬가 발생한 것을 알 수 있다.

[0186] 따라서, 1개의 램프(11)를 구비한 광 소결 장치에서 반도체 기관(110)을 연속적으로 이송하면서 광 소결 공정을 실시하는 경우에는 반도체 기관의 단위 폭당 점등 회수(N1)가 3 이상이 되도록 램프를 작동시키는 것이 바람직하다.

[0187] 한편, 제2 실시예의 광 소결 장치는 도 10에 도시한 마스크(30)를 더 구비할 수 있고, 마스크(30)는 도 9에 도시한 바와 같이 반도체 기관(110) 위에 위치하여 반도체 기관(110)과 함께 이송될 수 있다.

[0188] 마스크(30)를 반도체 기관(110)과 함께 이송하기 위해, 마스크(30)는 컨베이어 벨트 등의 기관 이송부(20)에 직접 고정되거나, 기관 이송부에 고정된 별도의 지지대에 고정될 수 있다.

[0189] 하지만, 제2 실시예의 광 소결 장치가 상기 마스크(30)를 포함하지 않을 수도 있다. 즉, 제2 실시예의 광 소결 장치는 선택적으로 마스크를 포함할 수 있다.

[0190] 제2 실시예의 광 소결 장치가 마스크를 구비하는 경우에는, 전극 패턴이 형성된 영역에만 광을 선택적으로 입사시킬 수 있다.

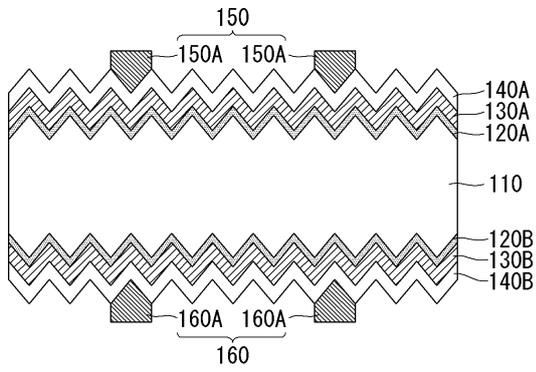
[0191] 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

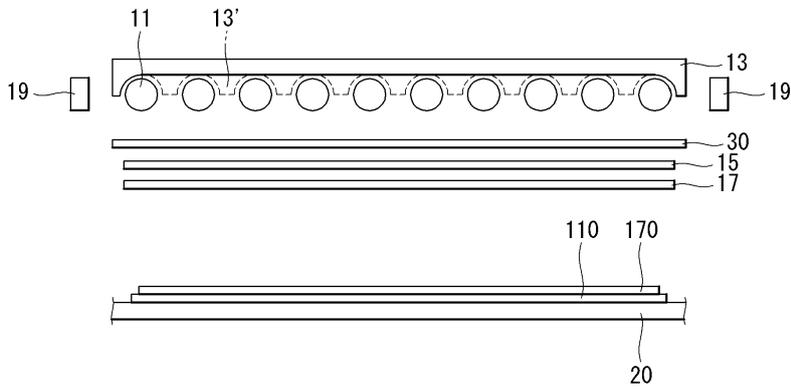
- [0192] 11: 램프
- 13: 반사판
- 15: 광 필터
- 17: 광 유도부
- 19: 냉각부
- 20: 기관 이송부
- 30: 마스크

도면

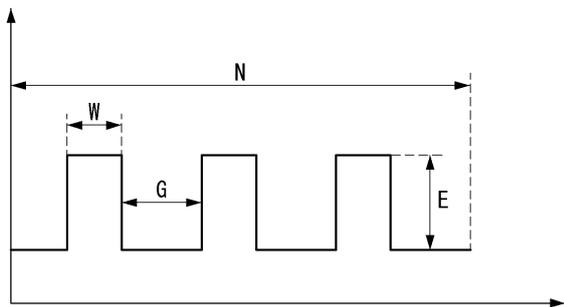
도면1



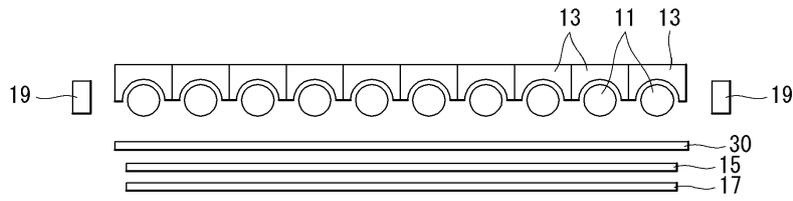
도면2



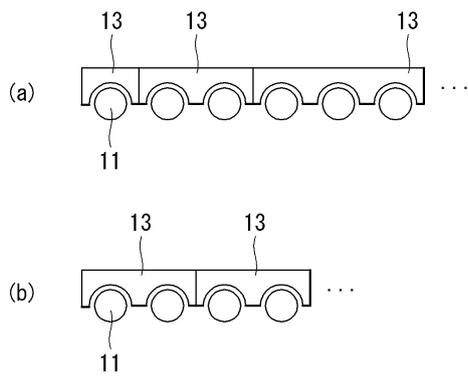
도면3



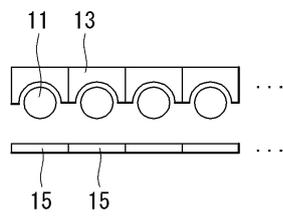
도면4



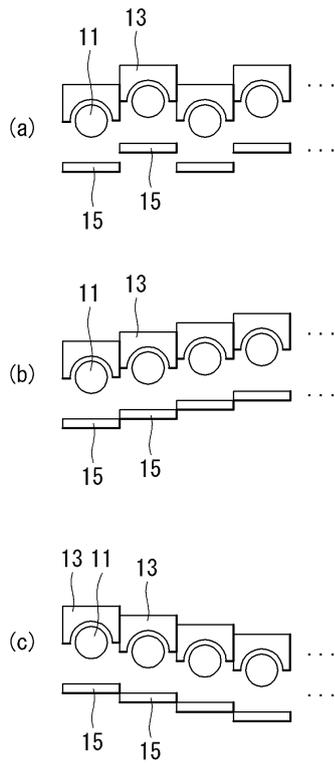
도면5



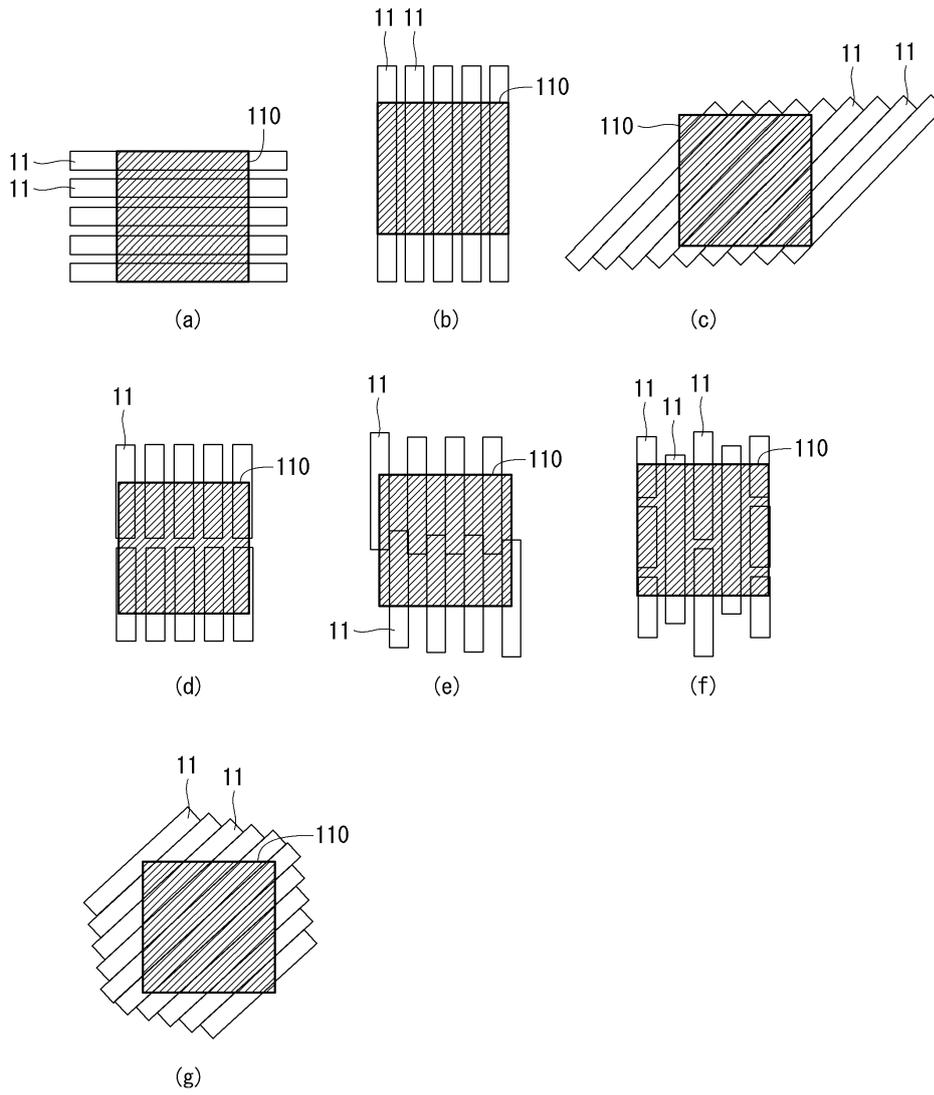
도면6



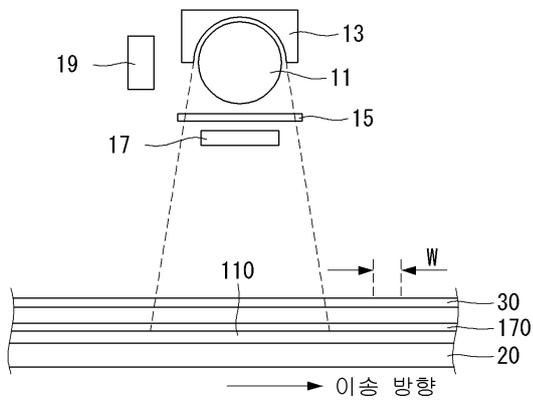
도면7



도면8



도면9



도면10

