

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6064435号
(P6064435)

(45) 発行日 平成29年1月25日(2017.1.25)

(24) 登録日 平成29年1月6日(2017.1.6)

(51) Int.Cl.

G 0 6 F 7/535 (2006.01)

F I

G 0 6 F 7/535

請求項の数 7 (全 19 頁)

| | | | |
|-----------|------------------------------|-----------|--------------------------------|
| (21) 出願番号 | 特願2012-182344 (P2012-182344) | (73) 特許権者 | 000005223 |
| (22) 出願日 | 平成24年8月21日(2012.8.21) | | 富士通株式会社 |
| (65) 公開番号 | 特開2014-41415 (P2014-41415A) | | 神奈川県川崎市中原区上小田中4丁目1番1号 |
| (43) 公開日 | 平成26年3月6日(2014.3.6) | (74) 代理人 | 100107766 |
| 審査請求日 | 平成27年5月12日(2015.5.12) | | 弁理士 伊東 忠重 |
| | | (74) 代理人 | 100070150 |
| | | | 弁理士 伊東 忠彦 |
| | | (74) 代理人 | 100146776 |
| | | | 弁理士 山口 昭則 |
| | | (72) 発明者 | 篠宮 研介 |
| | | | 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 |

最終頁に続く

(54) 【発明の名称】 演算回路、演算処理装置、及び除算方法

(57) 【特許請求の範囲】

【請求項 1】

引き戻し法による除算を行う演算回路であって、
 中間剰余を格納する中間剰余レジスタと、
 前記中間剰余の上位 2 桁と除数の上位 1 桁との情報に基づいて、前記情報から予測可能な精度よりも低い精度での商予測を行うことにより、予測結果を生成する商予測回路と、
 前記商予測回路により生成された前記予測結果に応じて選択された N 倍（N は自然数）の除数を入力する定数倍回路と、
 前記定数倍回路が出力する前記 N 倍の除数を前記中間剰余から減算する減算器と、
 前記減算器による減算のキャリーアウトに応じて部分商を求める部分商計算回路とを含むことを特徴とする演算回路。

【請求項 2】

前記商予測回路が前記情報に基づいて生成する前記予測結果は、前記部分商の取り得る全ての値を含む集合の部分集合であるグループを示す信号であり、互いに重複する複数のグループのうちの何れか 1 つのグループを特定する信号であることを特徴とする請求項 1 記載の演算回路。

【請求項 3】

前記互いに重複する複数のグループの数は、2 つのグループであることを特徴とする請求項 2 記載の演算回路。

【請求項 4】

10

20

前記商予測回路は、組み合わせ論理回路であることを特徴とする請求項 1 乃至 3 何れか一項記載の演算回路。

【請求項 5】

前記定数倍回路は前記予測結果に応じて選択された複数の N 倍の除数を出力し、前記減算器は前記複数の N 倍の除数をそれぞれ入力とする複数の減算器を含むことを特徴とする請求項 1 乃至 4 何れか一項記載の演算回路。

【請求項 6】

引き戻し法による除算を行う演算回路と、前記除算の命令をデコードする命令制御部とを有する演算処理装置において、

前記演算回路は、

中間剰余を格納する中間剰余レジスタと、

前記中間剰余の上位 2 桁と除数の上位 1 桁との情報に基づいて、前記情報から予測可能な精度よりも低い精度での商予測を行うことにより、予測結果を生成する商予測回路と、

前記商予測回路により生成された前記予測結果に応じて選択された N 倍（N は自然数）の除数を出力する定数倍回路と、

前記定数倍回路が出力する前記 N 倍の除数を前記中間剰余から減算する減算器と、

前記減算器による減算のキャリーアウトに応じて部分商を求める部分商計算回路とを含むことを特徴とする演算処理装置。

【請求項 7】

引き戻し法による除算を行う演算回路において、

中間剰余の上位 2 桁と除数の上位 1 桁との情報に基づいて、前記情報から予測可能な精度よりも低い精度での商予測を行うことにより、予測結果を生成し、

前記予測結果に応じて選択された N 倍（N は自然数）の除数を前記中間剰余から減算し、

前記減算のキャリーアウトに応じて部分商を求める各段階を含むことを特徴とする除算方法。

【発明の詳細な説明】

【技術分野】

【0001】

本願開示は、演算回路、演算処理装置、及び除算方法に関する。

【背景技術】

【0002】

2 進化 10 進数（BCD：Binary Coded Decimal）の四則演算において、除算は他の演算と比較して演算サイクル数を必要とする低速な演算である。一般に精度の高い除算は引き戻し法によって部分商と中間剰余とを求めており、その中間剰余の生成がクリティカルな要因となる。基本的な引き戻し法では、中間剰余から除数を減算する処理を繰り返す。減算結果が負になった時点で、減算しすぎであると判断し、そのサイクルの減算前の結果を部分商として用いる。

【0003】

以下に、引き戻し法の手順を説明する。なお以降の説明において、断りの無い限り被除数と中間剰余とを区別せず、中間剰余と表記する。まず中間剰余レジスタ、除数レジスタ、及び部分商レジスタから、中間剰余、除数、及び部分商が提供される。減算ループの初回において、部分商は 0 である。初回又はその後の減算ループにおいて、以下の処理が実行される。まず部分商をカウントアップする。次に減算回路により中間剰余から除数を減算し、減算の結果とキャリーアウトとを生成する。キャリーアウトが 1 であるならば（即ち結果が正の数）、減算結果を中間剰余レジスタに格納し、現在の減算ループの最初にカウントアップされた部分商を部分商レジスタに格納し、次の減算ループに移行する。キャリーアウトが 0 であるならば（即ち結果が負の数）、中間剰余レジスタの値（現在の減算ループの減算前の値）を中間剰余レジスタに格納し、部分商レジスタの値（現在の減算ループのカウントアップ前の値）を部分商レジスタに格納し、処理を止める。この時の中間

10

20

30

40

50

剰余レジスタと部分商レジスタとの値が、最終的な中間剰余と部分商との結果となる。

【 0 0 0 4 】

このように引き戻し法は、部分商と中間剰余の生成の為に、中間剰余が負になるまで中間剰余から除数を減算する処理を繰り返す必要がある。10進数の場合、1桁の商は0～9の範囲を取りえる為、減算処理を最大で10回繰り返す必要がある。これを全桁の商が導出されるまで繰り返す必要があるため、除算を実現する演算器のレイテンシは非常に低くなってしまう。

【 0 0 0 5 】

基本的な引き戻し法の問題は、部分商と中間剰余とを生成する減算ループの繰り返し回数が多いことである。この問題を解決する為に、除数のN倍数（Nは自然数）をいくつか
10
予め計算しておき、中間剰余からそれぞれのN倍された除数を減算して場合分けするという手法が一般にとられる。

【 0 0 0 6 】

例えば除数の1, 2, 5倍数を予め計算しておく手法がある（例えば特許文献1）。一回目の減算で中間剰余から5倍の除数を減算し、結果が負の数である時、除数の5倍は減算しすぎであるとわかる。その為、1桁の商は0～4の範囲であることが判明する。それ以外の場合は1桁の商が5～9の範囲であることが判明する。このようにN倍の除数を用意して粗く引き戻し法を行うことにより次のサイクルでの商の取りえる範囲を減らし、部分商と中間剰余の生成ループ回数を減らすことが可能である。特許文献1では、このアルゴリズムによって最大4回のループ回数で結果を得られるとしている。
20

【 0 0 0 7 】

また特許文献1では1個の減算器を利用しているが、複数個の減算器を用意して同時に複数個の除数のN倍数を減算した結果を用意すれば、さらなる高速化が可能となることは既知である。極端な例を挙げれば、1～9倍の除数を予め用意しておき、9個の減算器を使用すれば、1回のループで結果を得ることができる。また例えば1, 2, 3, 6倍の除数を予め用意しておき、更に2つの減算器を用いて結果を得る回路が考えられる（例えば特許文献2）。

【 0 0 0 8 】

先のN倍除数の減算による高速化と合わせて、被除数と除数の状態から部分商と中間剰余を予測するという手法も存在する。例えば2回目の減算をする際に中間剰余と3倍除数の上位桁の状態を見ることにより、2回目の減算に使うN倍除数を選択する回路等が考えられる（例えば特許文献2）。また中間剰余と除数の状態から誤差が1以下の精度で部分商を予測できる商予測回路と、その誤差の補正回路を追加して高速化を図ること等が考えられる（例えば特許文献3）。
30

【 0 0 0 9 】

複数個のN倍除数を用意することによる高速化においては、回路規模の増大とループ回数の低減とがトレードオフの関係にある。従ってハードウェアの制約により少ない減算器を使つての除算が必要である場合、結果を得るために必要なサイクル数は多くならざるを得ない。また、商予測による高速化においては追加回路の増大がボトルネックとなる。部分商及び部分剰余生成のループ内に制御回路を組み込むとなると、ループ数低減によるレイテンシの向上が果たせたとしても、ループ内の論理段数が重くなり、高い動作周波数での実装が困難となる。
40

【 0 0 1 0 】

また商予測及び商補正が高速であっても、剰余の種類が多かったり、3Nの固定数を乗算する演算回路を用いたりする場合には問題がある（例えば特許文献2及び3）。10進演算器において、3Nの固定数を乗算する演算回路は加算器を使わなければ実現できない。これを実現するには以下の3つの方法が考えられる。

（1）加算器の直前に加算器を追加する。

（2）減算器と共有する。

（3）6倍除数をループ前に生成し、レジスタで保持し続ける。
50

このうち(1)の手段をとる場合、論理段数が加算器分増える為、ディレイに悪影響を与える。(2)の手段をとる場合、部分商及び部分剰余の生成の為に1サイクル増やす必要があり、さらには制御が煩雑になる。(3)の手段をとる場合、除数の幅を有するレジスタが追加されるため、面積的に問題となる。

【0011】

また商予測の為に重い論理が必要となる為、高い動作周波数の場合には1サイクル内で商予測と減算とを同時に行うことが困難になる。その場合、処理サイクルを分けなければならなくなり、レイテンシの悪化する虞れがある。

【0012】

また特許文献2の場合、商予測の手段として中間剰余と3倍除数の上位2桁を比較している。比較回路は、一般には加算器で実現するので、2桁の加算器がさらに必要となってしまう。また高動作周波数の場合には、レイテンシの悪化する虞れがある。

【先行技術文献】

【特許文献】

【0013】

【特許文献1】特開昭57-125442号公報

【特許文献2】特開平07-239774号公報

【特許文献3】特開平07-160480号公報

【発明の概要】

【発明が解決しようとする課題】

【0014】

以上を鑑みると、引き戻し法における減算ループ回数を、効率的な回路構成により削減することが可能な演算回路が望まれる。

【課題を解決するための手段】

【0015】

引き戻し法による除算を行う演算回路は、中間剰余を格納する中間剰余レジスタと、前記中間剰余の上位2桁と除数の上位1桁との情報に基づいて、前記情報から予測可能な精度よりも低い精度での商予測を行うことにより、予測結果を生成する商予測回路と、前記商予測回路により生成された前記予測結果に応じて選択されたN倍(Nは自然数)の除数を出力する定数倍回路と、前記定数倍回路が出力する前記N倍の除数を前記中間剰余から減算する減算器と、前記減算器による減算のキャリーアウトに応じて部分商を求める部分商計算回路とを含むことを特徴とする。

【発明の効果】

【0016】

少なくとも1つの実施例によれば、引き戻し法における減算ループ回数を、効率的な回路構成により削減することが可能な演算回路が提供される。

【図面の簡単な説明】

【0017】

【図1】加算器の数と減算時に商が取りえる数との組み合わせに対し、それぞれ残りの減算回数を示した表である。

【図2】中間剰余の上位2桁と除数の上位1桁との組み合わせテーブルを示す図である。

【図3】2個の加算器により2回のループで結果を算出可能な演算器において、1回目及び2回目の減算の結果の組み合わせに対して結果として得られる部分商の値の一例を示した表である。

【図4】図3に示したアルゴリズムの処理の流れを示すフローチャートである。

【図5】コンピュータシステムの構成の一例を示す図である。

【図6】演算回路の構成の一例を示す図である。

【図7】2倍回路における各桁の入出力値を示す真理値表である。

【図8】5倍回路における各桁の入出力値を示す真理値表である。

【図9】商予測回路の構成の一例を示す図である。

10

20

30

40

50

- 【図 1 0】定数倍回路の構成の一例を示す図である。
 【図 1 1】倍数選択回路の構成の一例を示す図である。
 【図 1 2】倍数選択回路及び定数倍回路の入出力の関係を示す表である。
 【図 1 3】中間剰余選択回路の構成の一例を示す図である。
 【図 1 4】中間剰余選択回路の入出力の関係を示す表である。
 【図 1 5】制御回路の構成の一例を示す図である。
 【図 1 6】部分商計算回路の構成の一例を示す図である。
 【図 1 7】部分商計算回路の入出力の関係を示す表である。
 【図 1 8】定数テーブルの入出力の関係を示す表である。
 【発明を実施するための形態】

10

【 0 0 1 8 】

以下に、本発明の実施例を添付の図面を用いて詳細に説明する。

【 0 0 1 9 】

N 倍除数を使って除算を行う際、加算器の数によって必要な減算ループ回数は変動する。最適な N 倍除数を用いるとすると、必要な減算回数は以下の式で求められる。

$$\log_{a+1} A = B \quad (\text{但し } B \text{ の小数点以下は切り上げ})$$

ここで、a は加算器の数、A は部分商の取りえる範囲、B は部分商が得られるまでに必要な最大の減算の回数である。

【 0 0 2 0 】

図 1 は、加算器の数と減算時に商が取りえる数との組み合わせに対し、それぞれ残りの減算回数を示した表である。例えば、10 進除算の場合、商が 0 ~ 9 の範囲の値を取り得る、即ち商が 10 通りの値をとりえる為、減算時に商が取りえる数は 10 となる。図 1 において、「減算時に商が取りえる数」が 10 である列を見ると、例えば「減算器の数」が 1 であれば、残りの減算回数が 4 であることが分かる。即ち、最適な N 倍除数を用いるとすると（例えば最初に 5 倍の除数を用いるとすると）、残りの減算回数が 4 であるから、最大 4 回のループ回数で結果を得ることができる。また「減算時に商が取りえる数」が 10 である場合において、例えば「減算器の数」が 2 であれば、残りの減算回数即ちループ回数が 3 であることが分かる。

20

【 0 0 2 1 】

例えば加算器が 1 つであることを前提とすると、商予測等の何らかの前処理により初期状態での商候補の数を 8 個に減らすことができれば、商候補の数が 10 個である場合のループ回数 4 から、ループ回数を 3 に減らすことができる。また例えば加算器が 2 つであることを前提とすると、図 1 の表から分かるように、商予測等の何らかの前処理により初期状態での商候補の数を 9 個に減らすことができれば、商候補の数が 10 個である場合のループ回数 3 から、ループ回数を 2 に減らすことができる。

30

【 0 0 2 2 】

商の取り得る数を 10 個から m 個（m は 10 より小さい自然数）に減らすためには、例えば 10 個の商候補を、各々が m 個以下の商を含む複数のグループに分け、商予測により 1 つのグループを特定すればよい。ここで各グループは、商が取り得る全ての値（10 個の値）を含む集合の部分集合であるグループである。例えば商の取り得る数を 10 個から 9 個に減らすためには、10 個の商候補を、各々が 9 個以下の商を含む 2 つのグループに分け、商予測により 1 つのグループを特定すればよい。この時、2 つのグループは互いに重複してよい。即ち、2 つのグループには、同一の商が含まれてよい。

40

【 0 0 2 3 】

これはすなわち、特許文献 3 のように精度の高い商予測を行わずとも、粗い商予測をすることで処理の高速化が充分に見込めることを表している。粗い商予測として、中間剰余の上位 2 桁と除数の上位 1 桁との情報に基づいて商予測をすることを考える。

【 0 0 2 4 】

図 2 は、中間剰余の上位 2 桁と除数の上位 1 桁との組み合わせテーブルを示す図である。最も左側の列は被除数（中間剰余）の上位 2 桁を示し、最も上側の行は除数の上位 1 桁

50

を示し、行と列とが交差する各欄には、当該被除数と除数との組み合わせに対して部分商が取りうる範囲を示している。この例において、被除数と除数とは、共に10進数である。例えば被除数が08・xx（xxは任意の数）であり、除数が01・xxである時、部分商の取りうる範囲は、図2の表において4～8（4, 5, 6, 7, 8）となっている。このことは、「8・00 被除数<9・00」と「1・00 除数<2・00」の時、「4 部分商 8」であることを示している。

【0025】

図2の表において、網掛けの部分は、引き戻し法のアルゴリズム上、ありえない組み合わせである。この表は100行×9列という膨大なデータ量を含んでいるが、この表に含まれる全てのデータを商予測に組み込む必要はない。例えば、被除数が08・xxであり、除数が01・xxであることが情報として分かっているとき、この情報から予測可能な精度で予測できる部分商の取りうる範囲は4～8である。このとき、この範囲に含まれる商の数は5個である。しかしながら前述のように、例えば加算器が1つであることを前提とすると、商予測等の何らかの前処理により初期状態での商候補の数を8個に減らすことができる。また例えば加算器が2つであることを前提とすると、図1の表から分かるように、商予測等の何らかの前処理により初期状態での商候補の数を9個に減らすことができる。

【0026】

例えば加算器が2つの場合を考えると、商予測によって商の取りえる数を9個以下にすればよいので、図2の表の全てのデータを商予測に用いる必要はない。各グループに含まれる商の数が9個以下となればよいので、上述の被除数が08・xxであり除数が01・xxであるという情報から得られる5個の商からなるグループまで特定する必要はない。即ち、被除数（中間剰余）の上位2桁と除数の上位1桁との情報に基づいて、当該情報から予測可能な精度（例えば4～8を特定できる精度）よりも低い精度での商予測を行うことにより、商の取りえる数を9個以下にすれば十分である。

【0027】

低い精度での商予測即ち粗い商予測を行うためには、使用する加算器の数及び所望の減算ループの回数に応じて、都合の良い箇所で図2の表を区切れればよい。例えば、2個の加算器が設けられ2回のループで結果を算出可能な演算器を設計するためには、図2の表を区切り線10で示したように区切り、商の取りえる範囲を商が0～7であるグループと商が4～9であるグループとに分ければよい。これら2つのグループの各々は、部分商の取り得る全ての値（0～9）を含む集合の部分集合であるグループである。またこれら2つのグループは、互いに重複するグループであり、同一の要素4, 5, 6, 7を共有する。

【0028】

このように各グループに含まれる商の数が9個以下である2つのグループに分け、後述する商予測により、これら複数のグループのうちの何れか1つのグループを特定することができれば、初期状態での商候補の数を9個に減らすことができる。これにより、加算器が2つである場合、図1の表から分かるように、商候補の数が10個である場合のループ回数3から、ループ回数を2に減らすことができる。

【0029】

なお図2の表において、区切り線10で示されるような2つのグループに区切った理由は、商予測を単純な論理で実現できることが挙げられる。例えば除数が01・xxの列に着目した時、中間剰余が8（1000₂）以上とそれ未満（0111₂以下）とで分けると、商が0～7のグループと商が4～9のグループとに分けることができ、中間剰余のMSBをチェックするだけで商予測をすることができる。即ち、中間剰余のMSBをチェックするだけで、取り得る商が属するグループとして、2つのグループのうちの何れか1つのグループを特定することができる。例えば仮に商が0～8のグループと商が4～9のグループとに分けるとすると、中間剰余が9（1001₂）以上及びそれ未満となるように

10

20

30

40

50

区切る必要があり、中間剰余の4ビット全てをチェックする必要がある。区切り線10は、中間剰余の全ビットをチェックせずに、成る可く少ない数の一部のビットをチェックするだけでグループ分けできるような分割を実現している。

【0030】

なお上記の区切り線10によるグループ分けの例では、各グループの要素の数（各グループに含まれる商の数）が8個以下となっている。従って、このグループ分けにより、加算器が1つである場合も、図1の表から分かるように、商候補の数が10個である場合のループ回数4から、ループ回数を3に減らすことができる。同様に、図1の表において例えば減算ループ回数を2から1に減らすように、例えば加算器が3個である場合であれば、各グループに含まれる要素の数が4以下となるように、図2の表において3分割するグループ分けを行ってもよい。

10

【0031】

本願開示の粗い商予測は、被除数（中間剰余）の上位2桁と除数の上位1桁との情報に基づいて、当該情報から予測可能な精度よりも低い精度での商予測を行うものであり、特定の加算器の数やループ回数に限定されるものではない。この粗い商予測においては、例えば図2の表において、被除数の上位2桁と除数の上位1桁とを特定することにより特定される1つの行と列との交差部分に記載された商の範囲を特定するのではなく、行と列との交差部分を複数個纏めたグループを特定している。またこの粗い商予測においては、例えば被除数（中間剰余）の上位2桁と除数の上位1桁との全てのビットのうち、一部のビットのみを用いて商予測を行ってよい。

20

【0032】

図3は、2個の加算器により2回のループで結果を算出可能な演算器において、1回目及び2回目の減算の結果の組み合わせに対して結果として得られる部分商の値の一例を示した表である。この例では、上述のように、商の取りえる範囲を商が0～7であるグループと商が4～9であるグループとに分けるように商予測を行うことを前提としている。この表に示す内容は、一例として想定したアルゴリズムの動作に基づくものであり、何れのN倍除数を用いるのか、どのように部分商や中間剰余を求めるのか等について限定を意図するものではない。

【0033】

図3においては、中間剰余をR、除数をDIVs、部分商をQとしている。また第1及び第2の加算器（減算器）が求めた減算結果（中間剰余）をそれぞれR1及びR2、第1及び第2の加算器（減算器）による減算処理のキャリーアウトをそれぞれCO1及びCO2としている。図3に示されるように、商の取り得る範囲が例えば4～9であると予測された場合、1回目の減算ループにおいて、2つの減算器による2つの減算として、「R - 5 DIVs」（中間剰余 - 5倍除数）及び「R - 8 DIVs」（中間剰余 - 8倍除数）を実行する。その結果得られるキャリーアウトがそれぞれ例えば「正」及び「負」である場合、取り得る商の範囲は5～7であることが分かり、部分商Qとして取り敢えず5を設定し、中間剰余Rとして第1の減算器の減算結果R1を設定する。更に2回目の減算ループにおいて、2つの減算器による2つの減算として、「R - 1 DIVs」（中間剰余 - 1倍除数）及び「R - 2 DIVs」（中間剰余 - 2倍除数）を実行する。その結果得られるキャリーアウトがそれぞれ例えば「正」及び「正」である場合、取り得る商は7であることが分かるので、部分商Qを+2して7（= 5 + 2）に設定し、中間剰余Rとして第2の減算器の減算結果R2を設定する。なお図3において「-」や「*」は想定したアルゴリズムでは起こり得ない組み合わせであることを示している。

30

40

【0034】

図4は、図3に示したアルゴリズムの処理の流れを示すフローチャートである。以下に、このアルゴリズムの処理について説明する。

【0035】

ステップS1で、中間剰余Rと除数DIVsとが入力される。ステップS2で商予測を行う。この商予測は、被除数（中間剰余）の上位2桁と除数の上位1桁との情報に基づい

50

て、図2の表で区切り線10の上側のグループ(商が0~7)と区切り線10の下側のグループ(商が4~9)の何れか1つのグループを特定することにより行われる。

【0036】

ステップS3で、取りうる部分商の範囲が4~9であればステップS4の処理を、取りうる部分商の範囲が0~7であればステップS9の処理を行うようにセレクト信号を生成する。

【0037】

ステップS4で、第1及び第2の減算器に中間剰余と除数が入力される。第1の減算器により、中間剰余Rから5倍の除数が減算され、中間剰余R1とキャリーアウトCO1とが出力される。また第2の減算器により、中間剰余Rから8倍の除数が減算され、中間剰余R2とキャリーアウトCO2とが出力される。

10

【0038】

ステップS5で、第1及び第2の減算器のキャリーアウトCO1及びCO2の組み合わせから、中間剰余Rと部分商Qとに入力する値を選択する。CO1及びCO2が0及び0であるならば、ステップS6で、中間剰余Rの値をそのままとし、部分商Qを4とする。CO1及びCO2が1及び0であるならば、ステップS7で、中間剰余R1を中間剰余Rとし、部分商Qを5とする。CO1及びCO2が1及び1であるならば、ステップS8で、中間剰余R2を中間剰余Rとし、部分商Qを8とする。

【0039】

ステップS9で、第1の減算器と第2の減算器に中間剰余と除数が入力される。第1の減算器により、中間剰余Rから2倍の除数が減算され、中間剰余R1とキャリーアウトCO1とが出力される。また第2の減算器により、中間剰余Rから5倍の除数が減算され、中間剰余R2とキャリーアウトCO2とが出力される。

20

【0040】

ステップS10で、第1及び第2の減算器のキャリーアウトCO1及びCO2の組み合わせから、中間剰余Rと部分商Qとに入力する値を選択する。CO1及びCO2が0及び0であるならば、ステップS11で、中間剰余Rの値をそのままとし、部分商Qを0とする。CO1及びCO2が1及び0であるならば、ステップS12で、中間剰余R1を中間剰余Rとし、部分商Qを2とする。CO1及びCO2が1及び1であるならば、ステップS13で、中間剰余R2を中間剰余Rとし、部分商Qを5とする。

30

【0041】

以上が1回目の減算ループであり、その後、以下に説明する2回目の減算ループが実行される。

【0042】

商予測が4~9の範囲であり且つ1回目の減算ループにおけるCO1及びCO2が0及び0であったならば、ステップS14で、中間剰余Rから4倍の除数が減算され、減算結果が中間剰余Rとなる。

【0043】

商予測が4~9の範囲であり且つ1回目の減算ループにおけるCO1及びCO2が0及び0であったという条件以外の場合には、ステップS15で、第1の減算器と第2の減算器に中間剰余と除数が入力される。第1の減算器により、中間剰余Rから除数が減算され、中間剰余R1とキャリーアウトCO1とが出力される。また第2の減算器により、中間剰余Rから2倍の除数が減算され、中間剰余R2とキャリーアウトR2とが出力される。

40

【0044】

ステップS16で、第1及び第2の減算器のキャリーアウトCO1及びCO2の組み合わせから、中間剰余Rと部分商Qとに入力する値を選択する。CO1及びCO2が0及び0であるならば、ステップS17で、中間剰余Rの値をそのままとし、部分商Qもそのままとする。CO1及びCO2が1及び0であるならば、ステップS18で、中間剰余R1を中間剰余Rとし、部分商Qに1を加算する。CO1及びCO2が1及び1であるならば、ステップS19で、中間剰余R2を中間剰余Rとし、部分商Qに2を加算する。

50

【 0 0 4 5 】

最後にステップ S 2 0 で、中間剰余 R と部分商 Q とを出力する。以上の処理により、2 回の減算ループで中間剰余 R と部分商 Q とを求めることができる。

【 0 0 4 6 】

図 5 は、コンピュータシステムの構成の一例を示す図である。図 5 に示すコンピュータシステムは、プロセッサ 1 1 0 及びメモリ 1 1 1 を含む。演算処理装置としてのプロセッサ 1 1 0 は、2 次キャッシュ部 1 1 2、1 次キャッシュ部 1 1 3、制御部 1 1 4、及び演算部 1 1 5 を含む。1 次キャッシュ部 1 1 3 は、命令キャッシュ 1 1 3 A 及びデータキャッシュ 1 1 3 B を含む。演算部 1 1 5 は、レジスタ 1 1 6、演算制御部 1 1 7、及び演算器 1 1 8 を含む。演算器 1 1 8 には除算器 1 1 9 が含まれる。除算器 1 1 9 には、部分剰余及び部分商を求める演算回路 1 1 9 A が含まれる。なお図 5 及び以降の同様の図において、各ボックスで示される各機能ブロックと他の機能ブロックとの境界は、基本的には機能的な境界を示すものであり、物理的な位置の分離、電気的な信号の分離、制御論理的な分離等に対応するとは限らない。各機能ブロックは、他のブロックと物理的にある程度分離された 1 つのハードウェアモジュールであってもよいし、或いは他のブロックと物理的に一体となったハードウェアモジュール中の 1 つの機能を示したものであってもよい。各機能ブロックは、他のブロックと論理的にある程度分離された 1 つのモジュールであってもよいし、或いは他のブロックと論理的に一体となったモジュール中の 1 つの機能を示したものであってもよい。

【 0 0 4 7 】

上記コンピュータシステムは CPU (Central Processing Unit) を用いた情報処理装置を模式化したものであり、このコンピュータシステムにより Oracle - number 等を演算するハードウェアを実現する。プロセッサ 1 1 0 では、1 次キャッシュ部 1 1 3 及び 2 次キャッシュ部 1 1 2 を設けることにより、キャッシュメモリを多階層化した構成となっている。具体的には、1 次キャッシュ部 1 1 3 と主記憶 (メモリ 1 1 1) との間に、主記憶よりも高速にアクセスできる 2 次キャッシュ部 1 1 2 を設けている。これにより、1 次キャッシュ部 1 1 3 においてキャッシュミスが発生した場合に、主記憶にアクセスが必要になる頻度を低くして、キャッシュミス・ペナルティーを軽減することができる。

【 0 0 4 8 】

制御部 (命令制御部) 1 1 4 は、命令フェッチアドレスと命令フェッチリクエストとを 1 次命令キャッシュ 1 1 3 A に発行し、この命令フェッチアドレスから命令をフェッチする。制御部 1 1 4 は、フェッチした命令 (例えば除算命令) をデコードした結果に従い演算部 1 1 5 を制御して、フェッチされた命令を実行する。演算制御部 1 1 7 は、制御部 1 1 4 の制御下で動作し、演算対象のレジスタ 1 1 6 からのデータを演算器 1 1 8 に供給したり、演算結果のデータを指定されたレジスタ 1 1 6 に格納したりする。また演算制御部 1 1 7 は、演算器 1 1 8 が実行する演算のタイプを指定する。更に演算制御部 1 1 7 は、アクセス先のアドレスを指定し、1 次キャッシュ部 1 1 3 の当該アドレスに対してロード命令やストア命令を実行する。ロード命令により、指定アドレスから読み出されたデータは、指定されたレジスタ 1 1 6 に格納される。またストア命令により、指定されたレジスタ 1 1 6 のデータが、指定されたアドレスに書き込まれる。演算器 1 1 8 に含まれる除算器 1 1 9 の演算回路 1 1 9 A が、部分商及び中間剰余を計算する回路であり、例えば前述の粗い商予測に基づいて 2 個の加算器により 2 回のループで結果を算出可能な演算回路であってよい。また以下の説明において、

図 6 は、演算回路 1 1 9 A の構成の一例を示す図である。図 6 に示す演算回路 1 1 9 A は、中間剰余レジスタ 1 2 1、除数レジスタ 1 2 2、サイクルレジスタ 1 2 3、4 倍選択レジスタ 1 2 4、商予測回路 1 2 5、倍数選択回路 1 2 6、定数倍回路 1 2 7、減算器 1 2 8、減算器 1 2 9、及び制御回路 1 3 0 を含む。演算回路 1 1 9 A は更に、部分商計算回路 1 3 1、中間剰余選択回路 1 3 2、部分商レジスタ 1 3 3、及びセクタ 1 3 4 を含む。

【 0 0 4 9 】

定数倍回路 1 2 7 は、2 倍の除数、4 倍の除数、5 倍の除数、及び 8 倍の除数を生成する。例えば 2 進化 1 0 進数の定数倍を生成するうち、これら 4 つの N 倍除数 ($N = 2, 4, 5, 8$) は、それ以外の倍数よりも単純な論理で実現することが可能である。

【 0 0 5 0 】

2 倍回路においては、各桁を 2 倍すると、キャリー伝搬を除いた各桁が必ず偶数になるので、下位からのキャリー伝搬がそのまま各桁の L S B (最下位ビット) に収まる。従ってキャリーが伝搬していく状況を考える必要がなく、1 つの着目桁の値を計算する際には、当該桁の値とその 1 つ下の桁の値だけを用いればよい。そのようにして 2 倍値を計算する回路は、入力値と出力値とを示す真理値表に基づいて、組み合わせ論理回路として実現

10

【 0 0 5 1 】

図 7 は、2 倍回路における各桁の入出力値を示す真理値表である。 $A_n [3 : 0]$ は n 桁目の入力である 4 ビットの値である。 S_n 及び S_{n+1} は A_n を 2 倍して得られる値を表わし、 $S_n [3 : 1]$ は n 桁目の 4 ビットのうちの上位 3 ビットであり、 $S_{n+1} [0]$ は $n+1$ 桁目の 4 ビットの最下位ビットである。例えば $A_n [3 : 0]$ が 1 0 0 0 (1 0 進で 8) の場合、その 2 倍の値 (1 0 進で 1 6) は、 $n+1$ 桁が 0 0 0 1、n 桁が 0 1 1 0 となる。従って、図 7 に示されるように、 $S_{n+1} [0] = 1$ 、 $S_n [3 : 1] = 0 1 1$ となる。この入力値と出力値とを示す真理値表を実現する組み合わせ論理回路を設計

20

【 0 0 5 2 】

4 倍回路及び 8 倍回路の場合は、キャリーが 2 ビット分発生することがある為、上記のように 1 桁の真理値表に基づいて回路を設計することはできない。しかしながら、2 倍回路が単純な組み合わせ論理回路で実現できるので、その 2 倍回路を直列に 2 個繋げることにより 4 倍回路を実現し、また、2 倍回路を直列に 3 個繋げることにより 8 倍回路を実現すればよい。

【 0 0 5 3 】

5 倍回路の場合は、入力数を 1 0 倍して得られた結果を 2 で割る処理を行えばよい。その処理は以下のようにして実現できる。まず入力数を 1 0 倍処理に相当する 4 ビット左シフトする。得られた入力数 1 0 倍の値を、1 / 2 倍処理に相当する 1 ビット右シフトする。但し、この 1 ビット右シフト処理において、同一桁内で値が 1 のビットが移動する場合には正しい結果 (1 / 2 倍の結果) が得られるが、 $n+1$ 桁から n 桁に値 1 のビットが移動した場合、 $n+1$ 桁から n 桁に落ちてきた値は 8 (1 0 0 0₂) となってしまう。本来は $n+1$ 桁の 1 の 1 / 2 の値は n 桁の 5 に等しいので、 $n+1$ 桁から n 桁に落ちてきた値 8 を 5 に変換する必要がある。そこで、各桁において M S B が 1 であった場合、M S B を 0 にして、更にその桁に 5 を加算する。なお 1 / 2 倍処理に相当する 1 ビット右シフトをした時点で、各桁の下位 3 ビットの値は 0 ~ 4 の値しか取り得ないので、上記のようにして 5 を加算してもキャリーアウトは発生しない。そのようにして 5 倍値を計算する回路は、入力値と出力値とを示す真理値表に基づいて、組み合わせ論理回路として実現することが

30

40

【 0 0 5 4 】

図 8 は、5 倍回路における各桁の入出力値を示す真理値表である。 $A_n [0]$ は n 桁目の入力 4 ビットの最下位ビットであり、 $A_{n-1} [3 : 1]$ は $n-1$ 桁目の入力 4 ビットの上位 3 ビットである。この入力を 3 ビット左シフト (= 4 ビット左シフト + 1 ビット右シフト) し、M S B が 1 であった場合、M S B を 0 にして更に 5 を加算して得られる n 桁の出力 4 ビットが $S_n [3 : 0]$ である。この入力値と出力値とを示す真理値表を実現する組み合わせ論理回路を設計することで、5 倍回路を実現することができる。

【 0 0 5 5 】

50

図 6 に戻り、上述のようにして実現された 2 倍回路及び 5 倍回路が、定数倍回路 1 2 7 に内蔵されている。これにより、定数倍回路 1 2 7 での定数倍処理を高速に実現することができる。またこのような定数倍処理の工夫だけでなく、図 6 の構成では、各減算器に対する N 倍除数の割り当てについても工夫がされている。引き戻し法では各減算器のキャリーアウトによって N 倍除数の選択を制御するので、各々の減算器に同時に入力する N 倍除数の大小関係を常に同じにすることで、N 倍除数の選択制御が簡易になる。前述したアルゴリズムの例でもそうして説明している。しかし図 6 の演算回路では、その関係を崩し、1 回目の減算時には常に第 1 の減算器 1 2 8 へ 5 倍除数を入力するようにしている。これは 5 倍除数を使う時には常に第 1 の減算器 1 2 8 を用いることで、必要なセレクトの段数を減らすことができるためである。

10

【 0 0 5 6 】

以下に、図 6 に示す演算回路の動作について説明する。なお以下の説明並びに図 6 及び以降の図において、中間剰余 R、除数 D I V s、N 倍除数 N D I V s、部分商 Q [3 : 0]、減算回数判定信号 c y c l e、商予測信号 p r e Q、第 1 及び第 2 の減算器に出力する N 倍除数 x N a d d 1 及び x N a d d 2 と表記する。また更に、4 倍除数選択信号 s e l x 4、5 倍除数選択信号 s e l x 5、8 倍除数選択信号 s e l x 8、キャリーアウト C O 1 及び C O 2、部分商 Q 1 及び Q 2、そして中間剰余の上位 2 桁 R [7 : 0]、除数の上位 1 桁 S [3 : 0] と表記する。減算回数判定信号 c y c l e は、1 回目の減算ループにおいて 0 であり、2 回目の減算ループにおいて 1 となる。

20

【 0 0 5 7 】

図 6 において、まず中間剰余レジスタ 1 2 1 と除数レジスタ 1 2 2 とに中間剰余 R と除数 D I V s とが入力され、サイクルレジスタ 1 2 3 と 4 倍選択レジスタ 1 2 4 とに減算回数判定信号 c y c l e と 4 倍除数選択信号 s e l x 4 とが入力される。中間剰余レジスタ 1 2 1 と除数レジスタ 1 2 2 とから、商予測回路 1 2 5 に、中間剰余 R と除数 D I V s とが入力される。

【 0 0 5 8 】

図 9 は、商予測回路 1 2 5 の構成の一例を示す図である。図 9 に示す商予測回路 1 2 5 は、AND 回路 1 4 1 乃至 1 5 1 及び OR 回路 1 5 2 乃至 1 5 5 を含む。AND 回路 1 4 1 乃至 1 4 4 については、入力の一部が負論理となっている。この商予測回路 1 2 5 が、中間剰余の上位 2 桁 R [7 : 0] と除数の上位 1 桁 S [3 : 0] との情報に基づいて、この情報から予測可能な精度よりも低い精度での商予測を行う。即ち、商予測回路 1 2 5 が、この情報に基づいて商予測を行い、図 2 の表で区切り線 1 0 の上側のグループ（商が 0 ~ 7）と区切り線 1 0 の下側のグループ（商が 4 ~ 9）との何れか一方のグループを特定する。なお図 9 において、中間剰余の上位 2 桁 R [7 : 0] の全ビットが使用されているのではない（例えば R [0] は使用されていない）。即ち、中間剰余の上位 2 桁 R [7 : 0] と除数の上位 1 桁 S [3 : 0] との全ビットではない一部のビットを用いて商予測を行っている。商予測回路 1 2 5 は、商の取りえる範囲が 4 ~ 9 であるならば 1、0 ~ 7 であるならば 0 となるようなセレクト信号を生成する。商予測回路 1 2 5 は、生成したセレクト信号を、倍数選択回路 1 2 6、制御回路 1 3 0、及び部分商計算回路 1 3 1 に供給する。

30

40

【 0 0 5 9 】

図 1 0 は、定数倍回路 1 2 7 の構成の一例を示す図である。図 1 0 に示す定数倍回路 1 2 7 は、5 倍回路 1 6 1、2 倍回路 1 6 2 乃至 1 6 4、及びセクタ 1 6 5 乃至 1 6 7 を含む。セクタ 1 6 6 が選択して出力する N 倍除数 x N a d d 1 が減算器 1 2 8 に供給される。セクタ 1 6 7 が選択して出力する N 倍除数 x N a d d 2 が減算器 1 2 9 に供給される。4 倍除数選択信号 s e l x 4、5 倍除数選択信号 s e l x 5、及び 8 倍除数選択信号 s e l x 8 は倍数選択回路 1 2 6 から供給される。

【 0 0 6 0 】

定数倍回路 1 2 7 は、5 倍除数選択信号 s e l x 5 が 1 であるならば 5 倍の除数を減算器 1 2 8 に供給し、5 倍除数選択信号 s e l x 5 が 0 であるならばそのままの除数（1 倍

50

の除数)を減算器128に供給する。定数倍回路127は、4倍除数選択信号 $sel \times 4$ 及び8倍除数選択信号 $sel \times 8$ がそれぞれ0及び0であるならば、2倍の除数を減算器129に供給する。定数倍回路127は、4倍除数選択信号 $sel \times 4$ 及び8倍除数選択信号 $sel \times 8$ がそれぞれ1及び0であるならば、4倍の除数を減算器129に供給する。定数倍回路127は、8倍除数選択信号 $sel \times 8$ が1であるならば、8倍の除数を減算器129に供給する。

【0061】

図11は、倍数選択回路126の構成の一例を示す図である。倍数選択回路126は、インバータ171及びAND回路172を含む。AND回路172の一方の入力は負論理となっている。倍数選択回路126は、サイクルレジスタ123からの減算回数判定信号 $cycle$ 、4倍選択レジスタ124からの4倍除数選択信号 $sel \times 4$ 、及び商予測回路125からの商予測信号 $preQ$ を、入力として受け取る。倍数選択回路126は、これらの入力に応じて、4倍除数選択信号 $sel \times 4$ 、5倍除数選択信号 $sel \times 5$ 、8倍除数選択信号 $sel \times 8$ の値を0又は1に設定する。

【0062】

倍数選択回路126は、減算回数判定信号 $cycle$ が0であるならば5倍除数選択信号 $sel \times 5$ を1とする。倍数選択回路126は、4倍除数選択信号 $sel \times 4$ については、受け取った信号をそのまま出力する。倍数選択回路126は、減算回数判定信号 $cycle$ が0であり且つ商予測信号 $preQ$ が1であるならば、8倍除数選択信号 $sel \times 8$ を1とする。

【0063】

図12は、倍数選択回路126及び定数倍回路127の入出力の関係を示す表である。図10に示す定数倍回路127及び図11の倍数選択回路126は、図12に示す表に示されるように動作する。例えば、減算回数判定信号 $cycle$ 、4倍除数選択信号 $sel \times 4$ 、及び商予測信号 $preQ$ が、それぞれ0, 0, 0である場合、5倍除数選択信号 $sel \times 5$ 、4倍除数選択信号 $sel \times 4$ 、及び8倍除数選択信号 $sel \times 8$ は、それぞれ1, 0, 0となる。またこの時、第1の減算器128(SUB1)に供給されるN倍除数は5倍除数であり、第2の減算器129(SUB2)に供給されるN倍除数は2倍除数である。

【0064】

図6に戻り、減算器128は、供給された中間剰余RからN倍除数を減算し、減算結果である中間剰余R1と、減算のキャリーアウトCO1とを出力する。また減算器129は、供給された中間剰余RからN倍除数を減算し、減算結果である中間剰余R2と、減算のキャリーアウトCO2とを出力する。部分商計算回路131に、キャリーアウトCO1が供給される。部分商計算回路131に、キャリーアウトCO1及びCO2が供給される。また中間剰余選択回路132にも、キャリーアウトCO1及びCO2が供給される。

【0065】

図13は、中間剰余選択回路132の構成の一例を示す図である。図13に示す中間剰余選択回路132は、一部の入力負論理のAND回路181乃至184、セクタ185及び186、及びOR回路187を含む。中間剰余選択回路132は、減算回数判定信号 $cycle$ 、4倍除数選択信号 $sel \times 4$ 、商予測信号 $preQ$ 、並びにキャリーアウトCO1及びCO2を入力として受け取る。

【0066】

図14は、中間剰余選択回路132の入出力の関係を示す表である。中間剰余選択回路132は、入力を与えられたときに、図14の表に示されるようなセレクト信号 $selR[1]$ 及び $selR[0]$ を出力する。セレクト信号 $selR[1]$ 及び $selR[0]$ は、図6に示されるように、セクタ134に供給される。

【0067】

図6においてセクタ134は、セレクト信号 $selR[1]$ 及び $selR[0]$ に応じて、中間剰余レジスタ121の中間剰余R、減算器128の減算結果である中間剰余R

10

20

30

40

50

1、又は減算器129の減算結果である中間剰余R2を選択する。選択された中間剰余は、中間剰余レジスタ121に供給され格納される。具体的には、セレクト信号selR[1]及びselR[0]がそれぞれ0及び0の場合、中間剰余Rが選択される。selR[1]及びselR[0]がそれぞれ0及び1の場合、中間剰余R1が選択される。またselR[1]及びselR[0]がそれぞれ1及び0の場合、中間剰余R2が選択される。

【0068】

図15は、制御回路130の構成の一例を示す図である。図15に示す制御回路130は、インバータ191と、入力の一部が負論理であるAND回路192とを含む。制御回路130は、減算回数判定信号cycle、商予測信号preQ、及びキャリーアウトCO1を入力として受け取る。制御回路130は、減算回数判定信号cycleを反転する。反転された減算回数判定信号cycleは、サイクルレジスタ123に供給され格納される。また、減算回数判定信号cycleが0、商予測preQが1、且つキャリーアウトCO1が0である場合に限り、制御回路130は、4倍除数選択信号selx4を1に設定する。1に設定された4倍除数選択信号selx4は、4倍選択レジスタ124に供給され格納される。

【0069】

図16は、部分商計算回路131の構成の一例を示す図である。図16に示す部分商計算回路131は、加算器201、定数テーブル202、AND回路203乃至205、及びOR回路206を含む。AND回路204及び205の一方の入力は負論理となっている。部分商計算回路131は、減算回数判定信号cycle、4倍除数選択信号selx4、商予測信号preQ、キャリーアウトCO1及びCO2、及び部分商レジスタ133からの部分商Qを入力として受け取る。

【0070】

図17は、部分商計算回路131の入出力の関係を示す表である。部分商計算回路131は、入力を与えられたときに、図17の表に示されるような部分商を出力する。なお図17において、「行う処理」のQとして、4や5等の数値が示されているときは、部分商Qとして当該数値を出力することを示す。また「行う処理」のQとして、+1や+2等の演算が示されているときは、現在の部分商Qに対して当該演算を行うことを示す。

【0071】

図18は、図16の定数テーブル202の入出力の関係を示す表である。商予測信号preQ、キャリーアウトCO1、及びキャリーアウトCO2により、定数テーブル202中に格納される複数の定数のうちの1つが選択され、選択された定数が出力される。例えば、商予測信号preQ、キャリーアウトCO1、及びキャリーアウトCO2がそれぞれ1, 1, 0の場合、部分商Qとして0101が出力される。以下において、定数テーブル202の出力を第1の部分商と呼ぶ。

【0072】

図16を再び参照し、部分商レジスタ133からの部分商QとキャリーアウトCO1とが加算器201に輸入され、キャリーアウトCO2が入力キャリーとして加算器201に輸入される。この加算器201の加算結果を、以下において、第2の部分商と呼ぶ。

【0073】

4倍除数選択信号selx4が1である時、部分商Qが、OR回路206を介して部分商計算回路131から出力される。出力された部分商Qが、部分商レジスタ133に供給され格納される。減算回数判定信号cycleが0である時、前述の第1の部分商が、OR回路206を介して部分商計算回路131から出力される。出力された部分商Qが、部分商レジスタ133に供給され格納される。また4倍除数選択信号selx4が0であり且つ減算回数判定信号cycleが1である時、前述の第2の部分商が、OR回路206を介して部分商計算回路131から出力される。出力された部分商Qが、部分商レジスタ133に供給され格納される。

【0074】

以上のようにして、図 6 に示す演算回路 119A が動作することにより、図 4 に示すアルゴリズムが実行され、中間剰余と部分商とを 2 回の演算ループにて求めることができる。図 6 に示す演算回路 119A では、単純な構成を有する商予測回路 125 により粗い商予測を行い、演算ループ回数を少なくする（図 6 の例では 2 回にする）ことができる。また減算ループ内における処理を単純な回路で実現することにより、高い動作周波数での実装が可能となり、小さな回路規模で高速に動作する演算回路を実現することができる。

【0075】

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

【符号の説明】

【0076】

- 110 プロセッサ
- 111 メモリ
- 112 2次キャッシュ部
- 113 1次キャッシュ部
- 113A 命令キャッシュ
- 113B データキャッシュ
- 114 制御部
- 115 演算部
- 116 レジスタ
- 117 演算制御部
- 118 演算器
- 119 除算器
- 119A 演算回路

【図 1】

加算器の数と減算時に商が取りえる数との組み合わせに対し、それぞれ残りの減算回数を示した表

| | 減算時に商が取りえる数 | | | | | | | |
|-------|-------------|---|---|---|---|---|---|---|
| | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 |
| 減算器の数 | 1 | 4 | 4 | 3 | 3 | 3 | 2 | 2 |
| | 2 | 3 | 2 | 2 | 2 | 2 | 2 | 1 |
| | 3 | 2 | 2 | 2 | 2 | 2 | 1 | 1 |
| | 4 | 2 | 2 | 2 | 2 | 1 | 1 | 1 |

【図 2】

中間剰余の上位2桁と除数の上位1桁との組み合わせテーブルを示す図

| 減算器 | 01.xx | 02.xx | 03.xx | 04.xx | 05.xx | 06.xx | 07.xx | 08.xx |
|-------|-------|-------|-------|-------|-------|-------|-------|-------|
| 01.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 02.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 03.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 04.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 05.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 06.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 07.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 08.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 09.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 10.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 11.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 12.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 13.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 14.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 15.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 16.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 17.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 18.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 19.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 20.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 21.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 22.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 23.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 24.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 25.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 26.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 27.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 28.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 29.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 30.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 31.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 32.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 33.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 34.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 35.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 36.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 37.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 38.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 39.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 40.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 41.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 42.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 43.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 44.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 45.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 46.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 47.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 48.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 49.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 50.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 51.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 52.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 53.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 54.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 55.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 56.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 57.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 58.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 59.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 60.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 61.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 62.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 63.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 64.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 65.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 66.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 67.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 68.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 69.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 70.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 71.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 72.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 73.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 74.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 75.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 76.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 77.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 78.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 79.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 80.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 81.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 82.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 83.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 84.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 85.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 86.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 87.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 88.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 89.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 90.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 91.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 92.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 93.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 94.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 95.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 96.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 97.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 98.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 99.xx | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

10

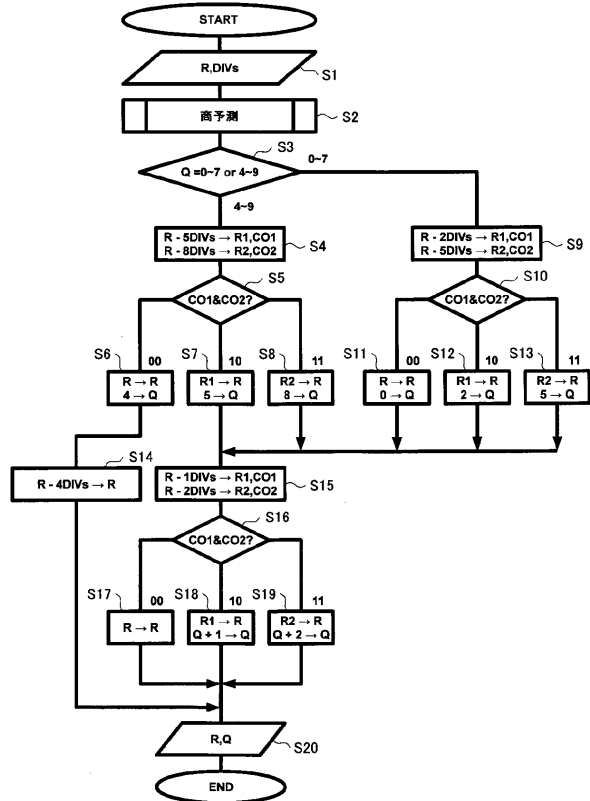
【図 3】

2個の加算器により2回のループで結果を算出可能な演算器において、
1回目及び2回目の減算の結果の組み合わせに対して
結果として得られる部分商の値の一例を示した表

| 与える 商の範囲 | 1回目の減算 | | 与える 商の範囲 | 2回目の減算 | | 商の結果 | 必要 減算回数 |
|----------------|-------------------------------|------------------------------|-------------|-------------------------------|------------------------------|------|------------|
| | 減算結果の符号 R-5DIVs R-5DIVs | 繰上される物 R-4DIVs R-4DIVs | | 減算結果の符号 R-2DIVs R-2DIVs | 繰上される物 R-4DIVs R-4DIVs | | |
| 4 ⁹ | 真 | 4 | R | 真 | 4 | + | + |
| | 真 | 4 | R | 真 | 4 | + | + |
| | 真 | 4 | R | 真 | 4 | + | + |
| | 真 | 4 | R | 真 | 4 | + | + |
| 5 ⁷ | 真 | 5 | R1 | 真 | 5 | + | + |
| | 真 | 5 | R1 | 真 | 5 | + | + |
| | 真 | 5 | R1 | 真 | 5 | + | + |
| | 真 | 5 | R1 | 真 | 5 | + | + |
| 8 ⁹ | 真 | 8 | R2 | 真 | 8 | + | + |
| | 真 | 8 | R2 | 真 | 8 | + | + |
| | 真 | 8 | R2 | 真 | 8 | + | + |
| | 真 | 8 | R2 | 真 | 8 | + | + |
| 0 ⁷ | 真 | 0 | R | 真 | 0 | 0 | 0 |
| | 真 | 0 | R | 真 | 0 | 0 | 0 |
| | 真 | 0 | R | 真 | 0 | 0 | 0 |
| | 真 | 0 | R | 真 | 0 | 0 | 0 |

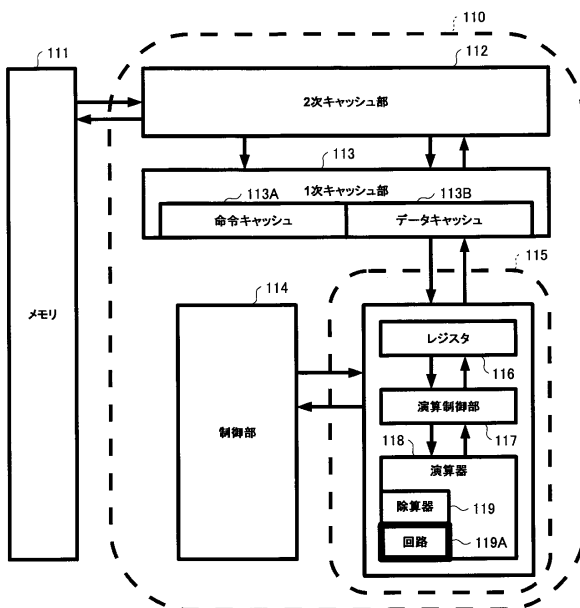
【図 4】

図3に示したアルゴリズムの処理の流れを示すフローチャート



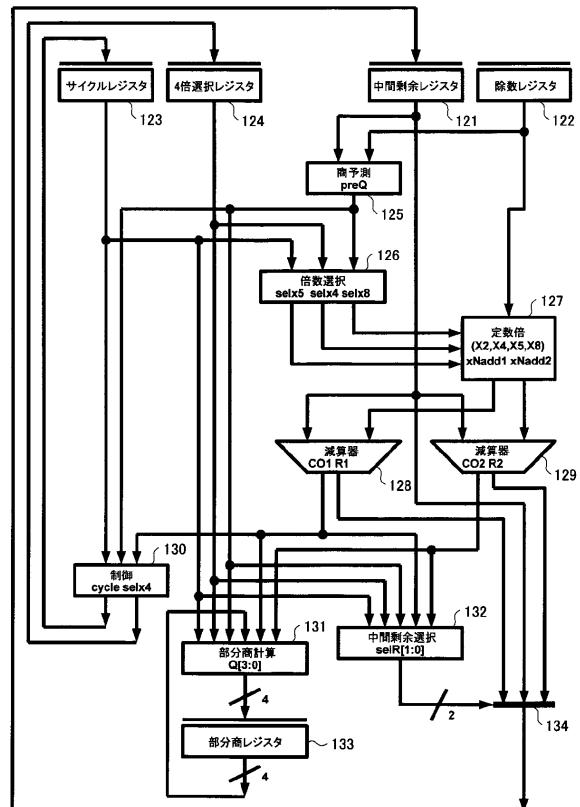
【図 5】

コンピュータシステムの構成の一例を示す図



【図 6】

演算回路の構成の一例を示す図



【 図 7 】

2倍回路における各桁の入出力値を示す真理値表

| $A_n[3:0]$ | $S_{n+1}[0], S_n[3:1]$ |
|------------|------------------------|
| 0000 | 0000 |
| 0001 | 0001 |
| 0010 | 0010 |
| 0011 | 0011 |
| 0100 | 0100 |
| 0101 | 1000 |
| 0110 | 1001 |
| 0111 | 1010 |
| 1000 | 1011 |
| 1001 | 1100 |
| 1010 | XXXX |
| 1011 | XXXX |
| 1100 | XXXX |
| 1101 | XXXX |
| 1110 | XXXX |
| 1111 | XXXX |

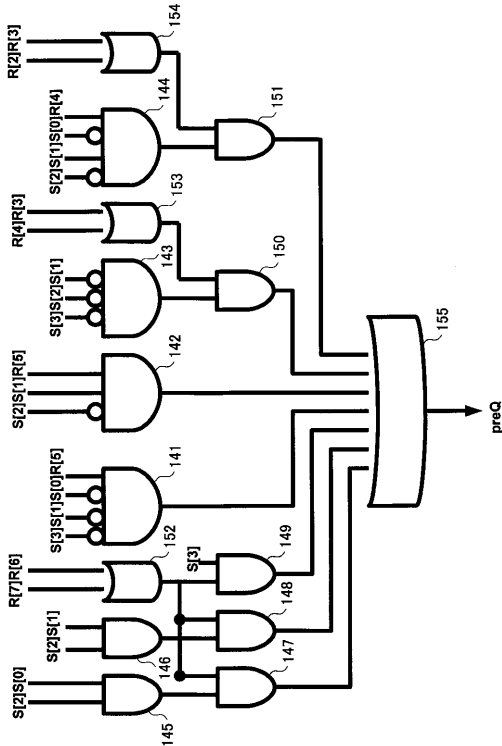
【 図 8 】

5倍回路における各桁の入出力値を示す真理値表

| $A_n[0]$ | $A_{n-1}[3:1]$ | $S_n[3:0]$ |
|----------|----------------|------------|
| 0 | 000 | 0000 |
| | 001 | 0001 |
| | 010 | 0010 |
| | 011 | 0011 |
| | 100 | 0100 |
| | 101 | XXXX |
| | 110 | XXXX |
| | 111 | XXXX |
| 1 | 000 | 0101 |
| | 001 | 0110 |
| | 010 | 0111 |
| | 011 | 1000 |
| | 100 | 1001 |
| | 101 | XXXX |
| | 110 | XXXX |
| | 111 | XXXX |

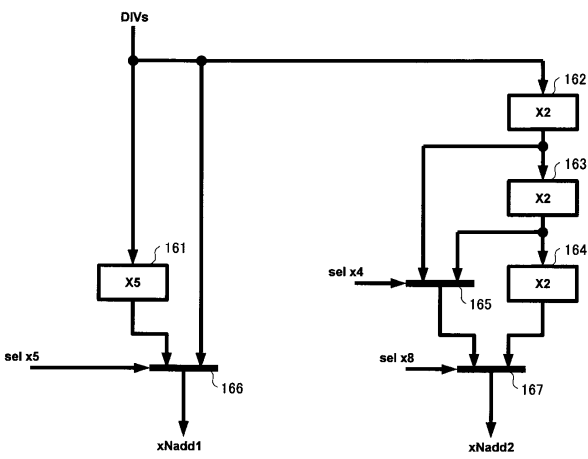
【 図 9 】

商予測回路の構成の一例を示す図



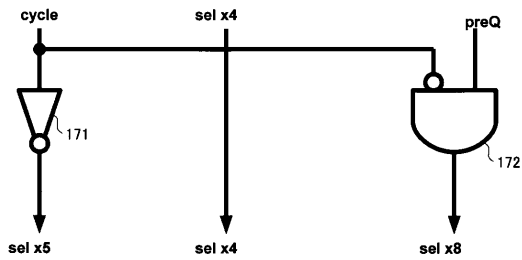
【 図 1 0 】

定数倍回路の構成の一例を示す図



【図 1 1】

倍数選択回路の構成の一例を示す図



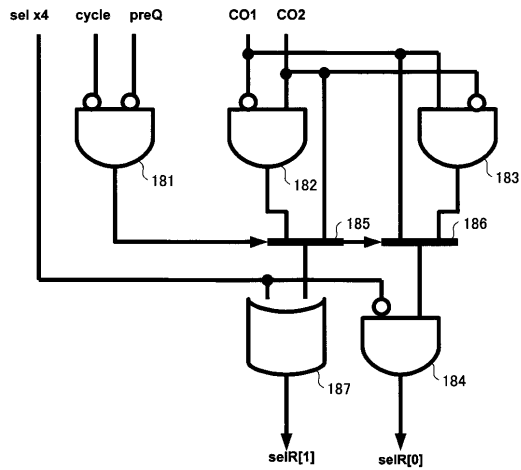
【図 1 2】

倍数選択回路及び定数倍回路の入出力の関係を示す表

| 入力 | | | セレクト信号 | | | 選択される倍数 | |
|-------|--------|------|--------|-------|-------|---------|-------|
| cycle | sel x4 | preQ | selx5 | selx4 | selx8 | SUB1 | SUB2 |
| 0 | X | 1 | 1 | - | 1 | 5DIVs | 8DIVs |
| | | 0 | | 0 | 0 | | 2DIVs |
| 1 | 0 | X | 0 | 0 | 0 | DIVs | 2DIVs |
| | 1 | | - | 1 | 0 | - | 4DIVs |

【図 1 3】

中間剰余選択回路の構成の一例を示す図



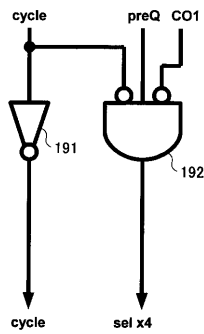
【図 1 4】

中間剰余選択回路の入出力の関係を示す表

| 入力 | | | | | セレクト信号 | | 行う処理 |
|-------|--------|------|-----|-----|---------|---------|------|
| cycle | sel x4 | preQ | CO1 | CO2 | selR[1] | selR[0] | R |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | R |
| | | | 0 | 1 | - | - | - |
| | | | 1 | 0 | 0 | 1 | R1 |
| | | | 1 | 1 | 1 | 0 | R2 |
| | | 0 | 0 | 0 | 0 | 0 | R |
| | | | 1 | 0 | - | - | - |
| | | | 0 | 1 | 1 | 0 | R2 |
| | | | 1 | 1 | 0 | 1 | R1 |
| 1 | 0 | X | 0 | 0 | 0 | 0 | R |
| | | | 0 | 1 | - | - | - |
| | | | 1 | 0 | 0 | 1 | R1 |
| | | | 1 | 1 | 1 | 0 | R2 |
| | | - | - | 0 | - | - | - |
| | | | - | 1 | 1 | 0 | R2 |
| | | | 1 | 1 | 1 | 0 | R2 |
| | | | 1 | 1 | 1 | 0 | R2 |

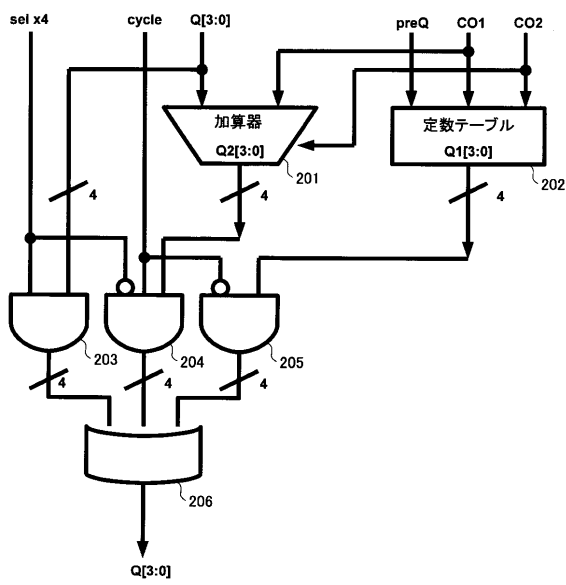
【図 1 5】

制御回路の構成の一例を示す図



【図 16】

部分商計算回路の構成の一例を示す図



【図 17】

部分商計算回路の入出力の関係を示す表

| 入力 | | | | | 行う処理 |
|-------|--------|------|-----|-----|------|
| cycle | sel x4 | preQ | CO1 | CO2 | Q |
| 0 | X | 1 | 0 | 0 | 4 |
| | | | 0 | 1 | - |
| | | | 1 | 0 | 5 |
| | | | 1 | 1 | 8 |
| | | 0 | 0 | 0 | 0 |
| | | | 1 | 0 | - |
| | | | 0 | 1 | 2 |
| | | | 1 | 1 | 5 |
| 1 | 0 | X | 0 | 0 | +0 |
| | | | 0 | 1 | - |
| | | | 1 | 0 | +1 |
| | | | 1 | 1 | +2 |
| | 1 | X | - | 0 | - |
| | | | - | 1 | +0 |
| | | | - | - | - |
| | | | - | - | - |

【図 18】

定数テーブルの入出力の関係を示す表

| preQ | CO1 | CO2 | Q[3:0] |
|------|-----|-----|--------|
| 1 | 0 | 0 | 0100 |
| | 0 | 1 | XXXX |
| | 1 | 0 | 0101 |
| | 1 | 1 | 1000 |
| 0 | 0 | 0 | 0000 |
| | 1 | 0 | XXXX |
| | 0 | 1 | 0010 |
| | 1 | 1 | 0101 |

フロントページの続き

(72)発明者 北村 健一

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 宮下 誠

(56)参考文献 特開昭58-114133(JP,A)

特開平07-160480(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 7/535