

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5259552号
(P5259552)

(45) 発行日 平成25年8月7日(2013.8.7)

(24) 登録日 平成25年5月2日(2013.5.2)

(51) Int.Cl.	F I
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00 6 1 1 E
H O 1 L 21/8247 (2006.01)	H O 1 L 27/10 4 3 4
H O 1 L 27/115 (2006.01)	H O 1 L 29/78 3 7 1
H O 1 L 21/336 (2006.01)	G 1 1 C 17/00 6 2 1 Z
H O 1 L 29/788 (2006.01)	G 1 1 C 17/00 6 2 2 E
請求項の数 5 (全 24 頁) 最終頁に続く	

(21) 出願番号	特願2009-251891 (P2009-251891)	(73) 特許権者	000003078
(22) 出願日	平成21年11月2日(2009.11.2)		株式会社東芝
(65) 公開番号	特開2011-96340 (P2011-96340A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成23年5月12日(2011.5.12)	(74) 代理人	100108062
審査請求日	平成24年3月5日(2012.3.5)		弁理士 日向寺 雅彦
		(72) 発明者	勝又 電太
			東京都港区芝浦一丁目1番1号 株式会社東芝内
		(72) 発明者	青地 英明
			東京都港区芝浦一丁目1番1号 株式会社東芝内
		(72) 発明者	田中 啓安
			東京都港区芝浦一丁目1番1号 株式会社東芝内
		最終頁に続く	

(54) 【発明の名称】 不揮発性半導体記憶装置及びその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

基板と、

前記基板上に設けられ、それぞれ複数の絶縁膜及び電極膜が交互に積層され、積層方向に延びる貫通ホールが形成された積層体と、

前記貫通ホールの内部に埋設された半導体ピラーと、

前記電極膜と前記半導体ピラーとの間に設けられた電荷蓄積膜と、

前記電極膜に対して電位を供給する駆動回路と、

を備え、

前記貫通ホールの径は、前記積層方向における位置によって異なり、

前記駆動回路は、貫通している前記貫通ホールの径が小さい前記電極膜ほど、前記半導体ピラーとの間の電位差が小さくなるような電位を供給することを特徴とする不揮発性半導体記憶装置。

【請求項 2】

前記貫通ホールの径は前記基板に近いほど小さいことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】

前記積層体は、前記積層方向に配列され、それぞれ複数の前記絶縁膜及び前記電極膜が配置された複数の部分積層体を有し、

各前記部分積層体において、前記貫通ホールの径は前記基板に近いほど小さいことを特

10

20

徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 4】

前記積層方向から見て、前記貫通ホールは円形であり、

前記貫通ホールにおける一の前記電極膜を貫通する部分の直径を r (μm) とし、前記半導体ピラーと前記一の電極膜との間の電位差であって、前記直径が $0.06 \mu\text{m}$ であるときの電位差を 1 とした場合の相対電位差を V とするとき、前記駆動回路が前記一の電極膜に対して供給する電位は、下記数式に従って決定されていることを特徴とする請求項 1 ~ 3 のいずれか 1 つに記載の不揮発性半導体記憶装置。

$$V = 6999.4 \times r^3 - 1971.3 \times r^2 + 194.66 \times r - 5.0952$$

10

【請求項 5】

基板、前記基板上に設けられそれぞれ複数の絶縁膜及び電極膜が交互に積層され積層方向に延びる貫通ホールが形成された積層体、前記貫通ホールの内部に埋設された半導体ピラー、及び前記電極膜と前記半導体ピラーとの間に設けられた電荷蓄積膜を含み、前記貫通ホールの径が前記積層方向における位置によって異なっている不揮発性半導体記憶装置の駆動方法であって、

前記電極膜に対して電位を印加する際に、貫通している前記貫通ホールの径が小さい前記電極膜ほど、前記半導体ピラーとの間の電位差が小さくなるような電位を供給することを特徴とする不揮発性半導体記憶装置の駆動方法。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、不揮発性半導体記憶装置及びその駆動方法に関し、特に、複数の絶縁膜及び電極膜が交互に積層された不揮発性半導体記憶装置及びその駆動方法に関する。

【背景技術】

【0002】

従来より、フラッシュメモリ等の半導体記憶装置は、シリコン基板の表面にメモリセルを 2 次元的に集積させることにより作製されてきた。このような半導体記憶装置のビット単価を低減して大容量化を図るためには、メモリセルの高集積化が必要であるが、近年、その高集積化もコスト的、技術的に困難になってきている。

30

【0003】

高集積化の限界をブレークスルーする技術として、メモリセルを積層して 3 次元的に集積させる方法がある。但し、単純に一層ずつ積層して加工していく方法では、積層数の増加に伴って工程数が増加してしまい、コストが増加してしまう。特に、トランジスタ構造をパターンングするためのリソグラフィ工程の増加がコストの増加の主要因となる。このため、積層化による 1 ビット当たりのチップ面積の低減は、チップ平面における微細化ほどにはビット単価の低減に繋がらず、大容量化の方法としては問題がある。

【0004】

この問題に鑑み、本発明者等は、一括加工型 3 次元積層メモリを提案した（例えば、特許文献 1 参照）。この技術においては、シリコン基板上に、電極膜と絶縁膜とを交互に積層させて積層体を形成した後、この積層体に貫通ホールを一括加工で形成する。そして、貫通ホールの側面上にブロック膜、電荷蓄積膜、トンネル膜をこの順に堆積させてメモリ膜を形成し、貫通ホールの内部にシリコンピラーを埋設する。これにより、各電極膜とシリコンピラーとの交差部分にメモリトランジスタが形成される。

40

【0005】

この一括加工型 3 次元積層メモリにおいては、各電極膜及び各シリコンピラーの電位を制御することにより、シリコンピラーから電荷蓄積膜に対して電荷を出し入れし、情報を記憶させることができる。この技術によれば、積層体を一括加工して貫通ホールを形成しているため、電極膜の積層数が増加してもリソグラフィ工程の回数は増加せず、コストの増加を抑えることができる。

50

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2007-266143号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明の目的は、動作の信頼性が高い不揮発性半導体記憶装置及びその駆動方法を提供することである。

【課題を解決するための手段】

10

【0008】

本発明の一態様によれば、基板と、前記基板上に設けられ、それぞれ複数の絶縁膜及び電極膜が交互に積層され、積層方向に延びる貫通ホールが形成された積層体と、前記貫通ホールの内部に埋設された半導体ピラーと、前記電極膜と前記半導体ピラーとの間に設けられた電荷蓄積膜と、前記電極膜に対して電位を供給する駆動回路と、を備え、前記貫通ホールの径は、前記積層方向における位置によって異なっており、前記駆動回路は、貫通している前記貫通ホールの径が小さい前記電極膜ほど、前記半導体ピラーとの間の電位差が小さくなるような電位を供給することを特徴とする不揮発性半導体記憶装置が提供される。

【0009】

20

本発明の他の一態様によれば、基板、前記基板上に設けられそれぞれ複数の絶縁膜及び電極膜が交互に積層され積層方向に延びる貫通ホールが形成された積層体、前記貫通ホールの内部に埋設された半導体ピラー、及び前記電極膜と前記半導体ピラーとの間に設けられた電荷蓄積膜を含み、前記貫通ホールの径が前記積層方向における位置によって異なっている不揮発性半導体記憶装置の駆動方法であって、前記電極膜に対して電位を印加する際に、貫通している前記貫通ホールの径が小さい前記電極膜ほど、前記半導体ピラーとの間の電位差が小さくなるような電位を供給することを特徴とする不揮発性半導体記憶装置の駆動方法が提供される。

【発明の効果】

【0010】

30

本発明によれば、動作の信頼性が高い不揮発性半導体記憶装置及びその駆動方法を実現することができる。

【図面の簡単な説明】

【0011】

【図1】本発明の第1の実施形態に係る不揮発性半導体記憶装置の特徴を模式的に例示する図である。

【図2】第1の実施形態に係る不揮発性半導体記憶装置を例示する斜視図である。

【図3】第1の実施形態に係る不揮発性半導体記憶装置を例示する断面図である。

【図4】第1の実施形態に係る不揮発性半導体記憶装置のメモリストリングを例示する回路図である。

40

【図5】第1の実施形態に係る不揮発性半導体記憶装置の電極膜を例示する平面図である。

【図6】第1の実施形態に係る不揮発性半導体記憶装置の駆動回路を例示する回路図である。

【図7】第1の実施形態に係る不揮発性半導体記憶装置の動作において、各電極及び配線に印加する電位を例示する図である。

【図8】第1の実施形態に係る不揮発性半導体記憶装置の動作において、各段の制御ゲート電極に印加する電位を例示する図である。

【図9】横軸に貫通ホールの直径をとり、縦軸に制御ゲート電極とシリコンピラーとの間の電圧差をとって、印加電位の決定方法を例示するグラフ図である。

50

【図 1 0】本発明の第 2 の実施形態に係る不揮発性半導体記憶装置の特徴を模式的に例示する図である。

【図 1 1】本発明の第 3 の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程断面図である。

【図 1 2】第 3 の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程断面図である。

【図 1 3】第 3 の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程断面図である。

【図 1 4】第 3 の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程断面図である。

10

【図 1 5】第 3 の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程断面図である。

【図 1 6】第 3 の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程断面図である。

【図 1 7】第 3 の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程断面図である。

【図 1 8】第 3 の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程断面図である。

【図 1 9】第 3 の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程断面図である。

20

【発明を実施するための形態】

【0 0 1 2】

以下、図面を参照しつつ、本発明の実施形態について説明する。

先ず、本発明の第 1 の実施形態について説明する。

図 1 は、本実施形態に係る不揮発性半導体記憶装置の特徴を模式的に例示する図であり、

図 2 は、本実施形態に係る不揮発性半導体記憶装置を例示する斜視図であり、

図 3 は、本実施形態に係る不揮発性半導体記憶装置を例示する断面図であり、

図 4 は、本実施形態に係る不揮発性半導体記憶装置のメモリストリングを例示する回路図であり、

30

図 5 は、本実施形態に係る不揮発性半導体記憶装置の電極膜を例示する平面図であり、

図 6 は、本実施形態に係る不揮発性半導体記憶装置の駆動回路を例示する回路図である。

なお、図 1 及び図 2 においては、図を見やすくするために、導電部分のみを図示し、絶縁部分は図示を省略している。後述する図 1 0 についても同様である。また、図 2 においては、図示の便宜上、シリコンピラーは Z 方向の位置に拘わらず同じ太さで描かれている。

【0 0 1 3】

先ず、本実施形態の特徴部分を概略的に説明する。

図 1 に示すように、本実施形態に係る不揮発性半導体記憶装置 1 の特徴は、シリコンピラー 3 1 と制御ゲート電極 C G との交差部分にメモリトランジスタが設けられた一括加工型の 3 次元積層型記憶装置において、制御ゲート電極 C G に駆動電位を供給する駆動回路 4 1 が、貫通している貫通ホール 3 2 の径が小さい制御ゲート電極 C G ほど、シリコンピラー 3 1 との間の電位差が小さくなるような駆動電位を印加することである。より具体的には、不揮発性半導体記憶装置 1 においては、下段に配置された制御ゲート電極 C G ほど、シリコンピラー 3 1 が埋設される貫通ホール 3 2 の径が小さくなっているため、駆動回路 4 1 は、下段に配置された制御ゲート電極 C G に対してほど、低い駆動電位を印加する。

40

【0 0 1 4】

次に、この不揮発性半導体記憶装置の構成を詳細に説明する。

図 2 及び図 3 に示すように、本実施形態に係る不揮発性半導体記憶装置 1 (以下、単に

50

「装置１」ともいう）においては、シリコン基板１１が設けられている。シリコン基板１１には、メモリセルが形成されるメモリセル領域と、駆動回路が形成される周辺回路領域（図示せず）とが設定されている。周辺回路領域は、メモリセル形成領域の周囲に配置されている。

【００１５】

まず、メモリセル領域について説明する。

メモリセル領域の特徴は、メモリセルが３次的に配列された積層体ＭＬが設けられており、積層体ＭＬを貫く貫通ホール２１の直径が、下方に行くほど細くなっていることである。以下、メモリセル領域の構成を詳細に説明する。

【００１６】

メモリセル領域においては、シリコン基板１１上に絶縁膜１０が設けられており、その上に導電膜、例えば、ポリシリコン膜１２が形成されており、これがバックゲートＢＧとなっている。バックゲートＢＧ上においては、それぞれ複数の電極膜１４と絶縁膜１５とが交互に積層されて、積層体ＭＬが構成されている。

【００１７】

以下、本明細書においては、説明の便宜上、ＸＹＺ直交座標系を導入する。この座標系においては、シリコン基板１１の上面に平行な方向であって相互に直交する２方向をＸ方向及びＹ方向とし、Ｘ方向及びＹ方向の双方に対して直交する方向、すなわち各層の積層方向をＺ方向とする。

【００１８】

電極膜１４は例えばポリシリコンにより形成されている。積層体ＭＬにおけるＸ方向中央部においては、電極膜１４はＹ方向に沿って分断され、Ｘ方向に延びる複数本の制御ゲート電極ＣＧとなっている。上方、すなわち、Ｚ方向から見て、各層の電極膜１４は同じパターンでパターニングされている。なお、後述するように、積層体ＭＬにおけるＸ方向両端部においては、電極膜１４はＹ方向に沿っては分断されておらず、１対の櫛状の形状をなしている。一方、絶縁膜１５は例えばシリコン酸化物（ SiO_2 ）からなり、電極膜１４同士を絶縁する層間絶縁膜として機能する。

【００１９】

積層体ＭＬ上には、絶縁膜１６、導電膜１７及び絶縁膜１８がこの順に成膜されている。導電膜１７は例えばポリシリコンからなり、Ｙ方向に沿って分断され、Ｘ方向に延びる複数本の選択ゲート電極ＳＧとなっている。選択ゲート電極ＳＧは、最上層の制御ゲート電極ＣＧの直上域に２本ずつ設けられている。すなわち、選択ゲート電極ＳＧは制御ゲート電極ＣＧと同じ方向（Ｘ方向）に延びているが、配列周期は半分である。なお、後述するように、選択ゲート電極ＳＧには、ビット線側の選択ゲート電極ＳＧｂとソース線側の選択ゲート電極ＳＧｓとがある。

【００２０】

絶縁膜１８上には絶縁膜１９が設けられており、絶縁膜１９上には、Ｘ方向に延びるソース線ＳＬが設けられている。ソース線ＳＬは、Ｙ方向に沿って配列された最上層の制御ゲート電極ＣＧのうち、１つおきの制御ゲート電極ＣＧの直上域に配置されている。また、絶縁膜１９上には、ソース線ＳＬを覆うように絶縁膜２０が設けられており、絶縁膜２０上には、Ｙ方向に延びる複数本のビット線ＢＬが設けられている。ソース線ＳＬ及びビット線ＢＬは、それぞれ金属膜により形成されている。

【００２１】

そして、積層体ＭＬを貫くように、各層の積層方向（Ｚ方向）に延びる複数本の貫通ホール２１が形成されている。Ｚ方向から見て、貫通ホール２１の形状は例えば円形である。一方、貫通ホール２１の側面は垂直方向に対して傾斜しており、貫通ホール２１は下方にいくほど細くなっている。各貫通ホール２１は各段の制御ゲート電極ＣＧを貫き、下端はバックゲートＢＧに到達している。また、貫通ホール２１はＸ方向及びＹ方向に沿ってマトリクス状に配列されている。そして、制御ゲート電極ＣＧはＸ方向に延びているため、Ｘ方向に配列された複数本の貫通ホール２１は、同一の制御ゲート電極ＣＧを貫いてい

10

20

30

40

50

る。また、Y方向における貫通ホール21の配列周期は、制御ゲート電極CGの配列周期の半分である。これにより、Y方向に配列された貫通ホール21は2個で1組となり、同じ組に属する貫通ホール21は同じ制御ゲート電極CGを貫いている。

【0022】

また、バックゲートBGの上層部分内には、1本の貫通ホール21の下端部を、この貫通ホール21から見てY方向に1列分離隔した他の1本の貫通ホール21の下端部に連通させるように、連通孔22が形成されている。これにより、Y方向において隣り合う1対の貫通ホール21と、それらを相互に連通させる連通孔22とにより、1本の連続したU字孔23が形成されている。積層体ML内には、複数本のU字孔23が形成されている。

【0023】

U字孔23の内面上には、例えばシリコン窒化物からなるバリア膜（図示せず）を介して、ONO膜（Oxide Nitride Oxide film：酸化物 - 窒化物 - 酸化物膜）24が設けられている。ONO膜24においては、外側から順に、絶縁性のブロック膜25、電荷蓄積膜26、絶縁性のトンネル膜27が積層されている。ブロック膜25は、装置1の駆動電圧の範囲内にある電圧が印加されても実質的に電流を流さない膜であり、例えば、誘電率が電荷蓄積膜26を形成する材料の誘電率よりも高い高誘電率材料によって形成されており、例えば、シリコン酸化物によって形成されている。電荷蓄積膜26は、電荷をトラップする能力がある膜であり、例えば、シリコン窒化物により形成されている。トンネル膜27は、通常は絶縁性であるが、装置1の駆動電圧の範囲内にある所定の電圧が印加されるとトンネル電流を流す膜であり、例えばシリコン酸化物により形成されている。U字孔23の内面上の全領域において、ONO膜24の膜厚はほぼ均一である。

【0024】

また、U字孔23の内部には、不純物がドーブされた半導体材料、例えば、ポリシリコンが埋め込まれている。これにより、U字孔23の内部には、U字シリコン部材33が設けられている。U字シリコン部材33のうち、貫通ホール21内に位置する部分はシリコンピラー31となっており、連通孔22内に位置する部分は接続部材32となっている。シリコンピラー31の形状はZ方向に延びる柱状であり、例えば円柱状である。但し、上述の如く、貫通ホール21の直径は下方にいくほど細くなっているため、その内部に埋め込まれたシリコンピラー31の直径も、下方にいくほど細くなっている。また、接続部材32の形状はY方向に延びる柱形であり、例えば四角柱形である。U字シリコン部材33を構成する2本のシリコンピラー31及び1本の接続部材32は一体的に形成されており、従って、U字シリコン部材33は、その長手方向に沿って切れ目無く連続的に形成されている。更に、U字シリコン部材33は、ONO膜24によってバックゲートBG及び制御ゲート電極CGから絶縁されている。

【0025】

また、絶縁膜16、選択ゲート電極SG及び絶縁膜18には、複数の貫通ホール51が形成されている。各貫通ホール51は各貫通ホール21の直上域に形成されており、各貫通ホール21に連通されている。ここで、選択ゲート電極SGはX方向に延びているため、X方向に配列された貫通ホール51は、同一の選択ゲート電極SGを貫いている。また、Y方向における貫通ホール51の配列周期は、選択ゲート電極SGの配列周期と同じであり、配列の位相も同じである。従って、Y方向に配列された複数本の貫通ホール51は、選択ゲート電極SGと1対1で対応し、相互に異なる選択ゲート電極SGを貫いている。

【0026】

貫通ホール51の内面上には、ゲート絶縁膜28が形成されている。また、貫通ホール51の内部には、例えばポリシリコンが埋め込まれており、シリコンピラー34となっている。シリコンピラー34の形状は、Z方向に延びる柱形であり、例えば円柱形である。シリコンピラー34の下端部は、その直下域に形成されたシリコンピラー31の上端部に接続されている。更に、シリコンピラー34は、ゲート絶縁膜28によって制御ゲート電極SGから絶縁されている。そして、U字シリコン部材33と、その上端部に接続された

10

20

30

40

50

1 対のシリコンピラー 3 4 により、U 字ピラー 3 0 が構成されている。

【 0 0 2 7 】

以下、U 字ピラー 3 0 と、制御ゲート電極 C G、選択ゲート電極 S G、ソース線 S L 及びビット線 B L との位置関係を説明する。U 字ピラー 3 0 は、Y 方向において隣り合う 1 対のシリコンピラー 3 4 及び 3 1 が、接続部材 3 2 によって相互に接続されて構成されている。一方、制御ゲート電極 C G、選択ゲート電極 S G 及びソース線 S L は X 方向に延びており、ビット線 B L は Y 方向に延びている。そして、U 字ピラー 3 0 と制御ゲート電極 C G の Y 方向における配列周期は同じであるが、位相が半周期分ずれているため、各 U 字ピラー 3 0 に属する 1 対のシリコンピラー 3 1、すなわち、接続部材 3 2 によって相互に接続された 2 本のシリコンピラー 3 1 は、相互に異なる制御ゲート電極 C G を貫いている。一方、Y 方向において隣り合う 2 本の U 字ピラー 3 0 に属する 2 本のシリコンピラー 3 1 であって、隣り合う 2 本のシリコンピラー 3 1 は、共通の制御ゲート電極 C G を貫いている。

10

【 0 0 2 8 】

また、Y 方向に配列された複数本のシリコンピラー 3 4 は相互に異なる選択ゲート S G を貫いており、従って、各 U 字ピラー 3 0 に属する 1 対のシリコンピラー 3 4 も、相互に異なる選択ゲート電極 S G を貫いている。一方、X 方向に配列された複数本の U 字ピラー 3 0 は、共通の 1 対の選択ゲート S G を貫いている。

【 0 0 2 9 】

更に、各 U 字ピラー 3 0 に属する 1 対のシリコンピラー 3 4 のうち、1 本のシリコンピラー 3 4 は絶縁膜 1 9 内に埋設されたソースプラグ S P を介してソース線 S L に接続されており、他の 1 本のシリコンピラー 3 4 は絶縁膜 1 9 及び 2 0 内に埋設されたビットプラグ B P を介してビット線 B L に接続されている。従って、U 字ピラー 3 0 は、ビット線 B L とソース線 S L との間に接続されている。図 1 乃至図 4 においては、U 字ピラー 3 0 が貫く選択ゲート電極 S G のうち、ビット線側に配置された選択ゲート電極 S G を選択ゲート電極 S G b と表記し、ソース線側に配置された選択ゲート電極 S G を選択ゲート電極 S G s と表記する。そして、X 方向に配列された U 字ピラー 3 0 は、共通のソース線 S L に接続され、相互に異なるビット線 B L に接続されている。ここで、X 方向における U 字ピラー 3 0 の配列周期は、ビット線 B L の配列周期と同じであるため、X 方向において、U 字ピラー 3 0 とビット線 B L とは 1 対 1 で対応している。一方、Y 方向に配列された U 字ピラー 3 0 は、2 本 1 組で各ソース線 S L に接続され、共通のビット線 B L に接続されている。

20

30

【 0 0 3 0 】

そして、図 1 乃至図 4 に示すように、装置 1 においては、シリコンピラー 3 1 がチャンネルとして機能し、制御ゲート電極 C G がゲート電極として機能することにより、シリコンピラー 3 1 と制御ゲート電極 C G との交差部分に、縦型のメモリトランジスタ 3 5 が形成される。各メモリトランジスタ 3 5 は、シリコンピラー 3 1 と制御ゲート電極 C G との間に配置された電荷蓄積膜 2 6 に電子を蓄積することにより、メモリセルとして機能する。積層体 M L 内には、複数本のシリコンピラー 3 1 が X 方向及び Y 方向に沿ってマトリクス状に配列されているため、複数のメモリトランジスタ 3 5 が、X 方向、Y 方向、Z 方向に沿って、3 次元的に配列される。

40

【 0 0 3 1 】

また、シリコンピラー 3 4 と選択ゲート電極 S G との交差部分には、シリコンピラー 3 4 をチャンネルとし、選択ゲート電極 S G をゲート電極とし、ゲート絶縁膜 2 8 をゲート絶縁膜とした選択トランジスタ 3 6 が形成される。この選択トランジスタ 3 6 も、上述のメモリトランジスタ 3 5 と同様に、縦型トランジスタである。

【 0 0 3 2 】

更に、接続部材 3 2 とバックゲート B G との間には、ONO 膜 2 4 が介在するため、接続部材 3 2 をチャンネルとし、バックゲート B G をゲート電極とし、ONO 膜 2 4 をゲート絶縁膜としたバックゲートトランジスタ 3 7 が形成される。すなわち、バックゲート B G

50

は、電界によって接続部材 3 2 の導通状態を制御する電極として機能する。

【 0 0 3 3 】

この結果、図 4 に示すように、各 U 字ピラー 3 0 に沿って、ビット線 B L とソース線 S L との間に接続されたメモリストリング 3 8 が構成される。メモリストリング 3 8 においては、両端部に選択トランジスタ 3 6 が設けられ、中央部にバックゲートトランジスタ 3 7 が設けられ、各選択トランジスタ 3 6 とバックゲートトランジスタ 3 7 との間に、電極膜 1 4 の積層数と同数のメモリトランジスタ 3 5 が直列に接続される。すなわち、積層体 M L 内に 3 次元的に配列された複数のメモリトランジスタ 3 5 は、U 字シリコン部材 3 3 毎にメモリストリング 3 8 としてまとめられる。

【 0 0 3 4 】

そして、図 5 に示すように、装置 1 のメモリセル形成領域は、複数のブロック 5 0 に分けられている。以下、ブロック 5 0 と各導電部材との位置関係について説明する。

図 5 に示すように、メモリセル形成領域において設定された複数のブロック 5 0 は、Y 方向に沿って配列されている。そして、装置 1 に設けられた導電部材のうち、X 方向に延びる導電部材、すなわち、制御ゲート電極 C G 及び選択ゲート電極 S G と、Z 方向に延びる U 字ピラー 3 0 は、ブロック 5 0 毎に組分けされている。また、X Y 平面に沿って形成されているバックゲート B G は、ブロック 5 0 毎に分割されており、相互に電氣的に分離されている。一方、Y 方向に延びるビット線 B L は、全てのブロック 5 0 を通過するように延びており、全てのブロック 5 0 で共有されている。更にまた、シリコン基板 1 1 におけるブロック 5 0 間の領域には、素子分離膜（図示せず）が形成されている。

【 0 0 3 5 】

また、各ブロック 5 0 に属する制御ゲート電極 C G は、更に 2 つのグループに組分けされている。すなわち、制御ゲート電極 C G は、ソース線 S L の直下域に配置され、上端部がソース線 S L に接続されたシリコンピラーによって貫かれた制御ゲート電極 C G（図 5 では「制御ゲート電極 C G s」と表記する）と、ソース線 S L の直下域から外れた領域に配置され、上端部がビット線 B L に接続されたシリコンピラーによって貫かれた制御ゲート電極 C G（図 5 では「制御ゲート電極 C G b」と表記する）とに分かれている。そして、制御ゲート電極 C G s と制御ゲート電極 C G b とは Y 方向に沿って交互に配列されており、制御ゲート電極 C G s 同士は共通接続されており、制御ゲート電極 C G b 同士も共通接続されている。また、制御ゲート電極 C G s と制御ゲート電極 C G b とは電氣的に分離

【 0 0 3 6 】

具体的には、図 5 に示すように、電極膜 1 4（図 1 参照）は、積層体 M L の X 方向両端部においては Y 方向に沿って分断されておらず、X 方向に延びる切込が断続的に形成されている。これにより、各ブロック 5 0 において、電極膜 1 4 は相互に噛み合った 1 対の櫛状のパターンに分割されており、それぞれ、制御ゲート電極 C G s 及び制御ゲート電極 C G b となっている。なお、図 5 においては、図を簡略化するために、制御ゲート電極 C G s の櫛の歯は 3 本とし、制御ゲート C G b の櫛の歯は 2 本としているが、本実施形態はこれに限定されず、櫛の歯の数はより多くてもよい。

【 0 0 3 7 】

次に、周辺回路領域について説明する。

図 6 に示すように、周辺回路領域においては、メモリストリング 3 8 を駆動する駆動回路 4 1 が設けられている。駆動回路 4 1 においては、積層体 M L に形成された各段の制御ゲート電極 C G b 及び選択ゲート電極 S G b に対して駆動電位を印加する電位供給部 4 2 b と、各段の制御ゲート電極 C G s 及び選択ゲート電極 S G s に対して駆動電位を印加する電位供給部 4 2 s と、制御信号を出力するデコーダ 4 3 とが設けられている。

【 0 0 3 8 】

電位供給部 4 2 b には、ポンプ回路部 4 4 が設けられている。ポンプ回路部 4 4 には、n 個のポンプ回路 4 5（1）～4 5（n）が設けられている。n は電極膜 1 4 の段数である。各ポンプ回路 4 5 は、供給された電圧を所定量だけ昇圧させる回路であり、その昇圧

10

20

30

40

50

量はポンプ回路毎に異なっている。

【 0 0 3 9 】

また、電位供給部 4 2 b には、スイッチ回路部 4 6 が設けられている。スイッチ回路部 4 6 においては、 n 個のスイッチ素子 4 7 (1) ~ 4 7 (n) が設けられている。 k を 1 ~ n の整数とすると、スイッチ素子 4 7 (k) は、一端がポンプ回路 4 5 (k) に接続され、他端が積層体 M L の下から k 段目の制御ゲート電極 C G b に接続されており、デコーダ 4 3 から出力される制御信号に基づいて、ポンプ回路 4 5 (k) を下から k 段目の制御ゲート電極 C G b に接続するか否かを切り替える。例えば、各スイッチ素子 4 7 は M O S F E T により形成されており、ソース・ドレインの一方がポンプ回路 4 5 に接続され、他方が制御ゲート電極 C G b に接続され、ゲートがデコーダ 4 3 の出力端子に共通接続されている。これにより、デコーダ 4 3 から所定の制御信号が出力されている期間だけ、ポンプ回路 4 5 を制御ゲート電極 C G b に接続する。

10

【 0 0 4 0 】

電位供給部 4 2 s の構成も、電位供給部 4 2 b と同様である。すなわち、電位供給部 4 2 s にもポンプ回路部 4 4 及びスイッチ回路部 4 6 が設けられており、デコーダ 4 3 から出力される制御信号に基づいて、各スイッチ素子 4 7 が各ポンプ回路 4 5 を各制御ゲート電極 C G s に接続する。

【 0 0 4 1 】

次に、上述の如く構成された本実施形態に係る不揮発性半導体記憶装置 1 の動作について説明する。

20

図 7 は、本実施形態に係る不揮発性半導体記憶装置の動作において、各電極及び配線に印加する電位を例示する図であり、

図 8 は、本実施形態に係る不揮発性半導体記憶装置の動作において、各段の制御ゲート電極に印加する電位を例示する図であり、

図 9 は、横軸に貫通ホール直径をとり、縦軸に制御ゲート電極とシリコンピラーとの間の電圧差をとって、印加電位の決定方法を例示するグラフ図である。

【 0 0 4 2 】

以下の説明では、メモリトランジスタ 3 5 は n チャネル型の電界効果トランジスタであるものとする。また、メモリトランジスタ 3 5 において、電荷蓄積膜 2 6 に電子が蓄積され、閾値が正にシフトした状態を値「 0 」とし、電荷蓄積膜 2 6 に電子が蓄積されておらず、閾値がシフトしていない状態を値「 1 」とする。更に、制御ゲート電極の段数 (n) は 4 であるものとし、データの書込及び読出の対象となるメモリトランジスタ 3 5 (以下、「選択セル」という) は、上端部がビット線 B L に接続されたシリコンピラーにおける下から 3 段目のメモリトランジスタであるものとする。すなわち、下から 3 段目の制御ゲート電極 C G b が選択セルのゲート電極となる。更にまた、初期状態においては、全てのメモリトランジスタ 3 5 に電子が蓄積されておらず、従って、値「 1 」が書き込まれているものとする。

30

【 0 0 4 3 】

(書込動作)

まず、各メモリトランジスタ 3 5 に任意のデータを書き込む書込動作について説明する。データの書込は、1 ブロックずつ順番に、 X 方向に配列された複数個の選択セルに対して同時に行う。図 2 に示すように、これらの複数個の選択セルは、相互に異なるメモリストリング 3 8 に属しているが、同一の制御ゲート電極 C G を共有している。また、これらの選択セルが属する複数本のメモリストリング 3 8 は、相互に異なるビット線 B L に接続されているが、共通の選択ゲート電極 S G を貫いており、共通のソース線 S L に接続されている。

40

【 0 0 4 4 】

まず、書込対象となるメモリトランジスタ 3 5 (選択セル) が属するメモリストリング 3 8 (以下、「選択ストリング」という) の Y 座標を選択する。具体的には、図 7 に示すように、駆動回路 4 1 が選択ストリングの選択ゲート電極 S G b に対して選択ゲート電位

50

V_{sg} を印加し、選択ゲート電極 SG_s に対してオフ電位 V_{off} を印加する。また、駆動回路 41 は、非選択のメモリストリング 38 の選択ゲート電極 SG_b 及び SG_s に対してオフ電位 V_{off} を印加する。オフ電位 V_{off} とは、そのゲート電極が構成するトランジスタがオフ状態となるような電位であり、例えば、基準電位 V_{ss} である。基準電位 V_{ss} は、例えば接地電位 (0 V) である。選択ゲート電位 V_{sg} とは、その選択ゲート電極 SG が構成する選択トランジスタ 36 の導通状態が、シリコンピラーの電位 (ボディ電位) によって決定されるような電位であり、例えば、基準電位 V_{ss} よりも高い電位である。更に、バックゲート BG の電位はオン電位 V_{on} とする。オン電位 V_{on} とは、そのゲート電極が構成するトランジスタがオン状態となるような電位であり、例えば、電源電位 V_{dd} (例えば、3.0 V) である。

10

【0045】

これにより、選択ストリングのビット線側の選択トランジスタ 36 は、ビット線 BL の電位によってオン状態とオフ状態とが切り替わる状態となり、ソース線側の選択トランジスタ 36 はオフ状態となる。また、非選択のメモリストリング 38 の選択トランジスタ 36 は全てオフ状態となる。更に、全てのメモリストリング 38 のバックゲートトランジスタ 37 がオン状態となる。

【0046】

次に、ビット線 BL のうち、値「0」を書き込む選択セルが接続されたビット線 BL には基準電位 V_{ss} (例えば、0 V) を印加し、値「1」を書き込む選択セルが接続されたビット線 BL には電源電位 V_{dd} (例えば、3.0 V) を印加する。一方、全てのソース線 SL に電源電位 V_{dd} を印加する。

20

【0047】

この状態で、選択ストリングにおける選択セルの位置を選択する。具体的には、駆動回路 41 が、選択セルを構成する制御ゲート電極 CG 、例えば、下から 3 層目の制御ゲート電極 CG_b の電位を書込電位 V_{pgm} (例えば、1.8 V) に昇圧させ、それ以外の制御ゲート電極 CG 、すなわち、3 段目以外の制御ゲート電極 CG_b 及び全ての制御ゲート電極 CG_s の電位を中間電位 V_{pass} (例えば、1.0 V) とする。このとき、3 層目の制御ゲート電極 CG_b 同士は互いに接続されているため、非選択のメモリストリングにおいても、3 層目の制御ゲート電極 CG_b には書込電位 V_{pgm} が印加される。書込電位 V_{pgm} は、シリコンピラー 31 から ONO 膜 24 の電荷蓄積膜 26 に対して電子を注入することが出来る十分に高い電位であり、基準電位 V_{ss} 及び選択ゲート電位 V_{sg} よりも高い電位である。すなわち、 $V_{ss} < V_{sg} < V_{pgm}$ である。また、中間電位 V_{pass} は基準電位 V_{ss} よりも高い電位であるが、書込電位 V_{pgm} よりも低い電位である。すなわち、 $V_{ss} < V_{pass} < V_{pgm}$ である。但し、後述するように、書込電位 V_{pgm} の値は、印加対象とする制御ゲート電極 CG が配置されている段によって異ならせる。

30

【0048】

これにより、値「0」を書き込む選択セルについては、ビット線 BL の電位が基準電位 V_{ss} (例えば、0 V) であり、ビット線側の選択ゲート電極 SG_b の電位が基準電位 V_{ss} よりも高い選択ゲート電位 V_{sg} であるため、ビット線側の選択トランジスタ 36 のソース電位とゲート電位との電位差が閾値を超え、この選択トランジスタ 36 はオン状態となる。この結果、選択セルのボディ電位 V_{body} は基準電位 V_{ss} に近くなる。また、選択セルの制御ゲート電極 CG の電位は書込電位 V_{pgm} (例えば、1.8 V) である。従って、選択セルにおけるゲート電位とボディ電位との差 ($V_{pgm} - V_{body}$) は十分に大きくなり、この電位差によって高温の電子が生成され、シリコンピラー 31 からトンネル膜 27 を介して電荷蓄積膜 26 に注入される。これにより、この選択セルに値「0」が書き込まれる。

40

【0049】

一方、値「1」を書き込む選択セルについては、ビット線 BL の電位が正電位 V_{dd} (例えば、3.0 V) であり、ビット線側の選択ゲート電極 SG_b の電位が基準電位 V_{ss} よりも高い選択ゲート電位 V_{sg} であるため、ビット線側の選択トランジスタ 36 のソー

50

ス電位とゲート電位との電位差は小さく、この選択トランジスタ 36 はバックゲート効果によりオフ状態となる。これにより、シリコンピラー 31 はフローティング状態となり、選択セルのボディ電位 V_{body} は、中間電位 V_{pass} (例えば、10V) が印加された制御ゲート電極 CG とのカップリングにより、高い値に維持される。このため、選択セルにおける制御ゲート電極 CG3 の書込電位 V_{pgm} (例えば、18V) とボディ電位 V_{body} との差 ($V_{pgm} - V_{body}$) は小さくなり、電荷蓄積膜 26 に電子は注入されない。この結果、この選択セルに値「1」が書き込まれる。

【0050】

また、非選択のメモリストリング 38 においては、両端部の選択トランジスタ 36 が共にオフ状態となるため、シリコンピラー 31 の電位はフローティング状態となる。この場合、シリコンピラー 31 のボディ電位 V_{body} は、制御ゲート電極 CG に印加する電位及びその昇圧レートと、選択ゲート電極 SG の電位とにより制御することができ、高い電位に維持することができる。この結果、メモリトランジスタ 35 におけるゲート電位とボディ電位との差 ($V_{pgm} - V_{body}$) は小さくなり、電荷蓄積膜 26 には電子が注入されず、元の値が保持される。

【0051】

このように、本実施形態においては、選択トランジスタの導通状態を制御して書き込む行 (Y 座標) を選択し、X 方向に配列されたメモリストリング 38 の行単位で順番にデータを書き込む。このとき、制御ゲート電極の電位は、ブロック単位で制御される。このため、書込時のディスタ urb は、ブロック内のメモリストリングにデータを書き込むために必要な時間の合計量を考慮すればよいことになる。これにより、ブロックサイズを調整することにより、ディスタ urb 時間を制御することが可能となる。

【0052】

そして、本実施形態においては、図 6 に示すように、駆動回路 41 に複数のポンプ回路 45 が設けられているため、図 8 に示すように、書込電位 V_{pgm} として複数水準の電位を生成することができる。そして、デコーダ 43 が出力する制御信号に基づいて、スイッチ回路部 46 の各スイッチ素子 47 が各ポンプ回路 45 を各段の制御ゲート電極 CG に接続することにより、各ポンプ回路 45 によって生成された書込電位 V_{pgm} を、各段の制御ゲート電極 CG に印加することができる。このようにして、書込電位 V_{pgm} の値を、印加対象とする制御ゲート電極 CG が配置されている段によって異ならせることができる。

【0053】

すなわち、図 8 に示すように、下から 4 段目、すなわち、最上段の制御ゲート電極 CG4 に印加する書込電位 V_{pgm} の値は (V_{pgm0}) とし、下から 3 段目の制御ゲート電極 CG3 に印加する書込電位 V_{pgm} の値は (V_{pgm0}) よりも低い ($V_{pgm0} - V_{pgm1}$) とし、下から 2 段目の制御ゲート電極 CG2 に印加する書込電位 V_{pgm} の値は ($V_{pgm0} - V_{pgm1}$) よりも低い ($V_{pgm0} - V_{pgm2}$) とし、最下段の制御ゲート電極 CG1 に印加する書込電位 V_{pgm} の値は ($V_{pgm0} - V_{pgm2}$) よりも低い ($V_{pgm0} - V_{pgm3}$) とする。なお、 $0 < V_{pgm1} < V_{pgm2} < V_{pgm3}$ である。

【0054】

仮に、制御ゲート電極 CG に印加する電位の値が同じであれば、トンネル膜 27 に印加される電界の強度は、電荷蓄積膜 26 の内表面と外表面との面積比が大きいほど強くなる。このため、貫通ホール 21 の直径が小さいほど、トンネル膜 27 に印加される電界の強度が強くなる。これにより、値「0」を書き込む予定のメモリトランジスタ 35 のトンネル膜 27 に、トンネル効果によって電子電流が流れてしまい、誤って値「1」が書き込まれてしまう誤書込 (プログラム・ディスタ urb) が発生する可能性がある。また、このような誤書込が発生しない場合でも、貫通ホール 21 の直径が小さいメモリトランジスタにおいては、シリコンピラー 31 から電荷蓄積膜 26 に注入される電子の量が多くなり、電荷蓄積膜 26 に注入される電荷量が不均一になってしまう。

【 0 0 5 5 】

そこで、本実施形態においては、上述の如く、より下方に位置し、貫通ホール 2 1 の直径がより小さいメモリトランジスタほど、書込電位 V_{pgm} として低い電位を印加する。このとき、シリコンピラー 3 1 のボディ電位 V_{body} は基準電位 V_{ss} に近い電位であるから、より下方に配置されたメモリトランジスタほど、制御ゲート電極 CG とシリコンピラー 3 1 との間の電位差 ($V_{pgm} - V_{body}$) は小さくなる。そして、電位差 ($V_{pgm} - V_{body}$) が小さいほど、トンネル膜 2 7 に印加される電界は弱くなる。

【 0 0 5 6 】

このように、本実施形態においては、駆動回路 4 1 が、より下方に配置された制御ゲート電極 CG ほど、より低い書込電位 V_{pgm} を印加することにより、貫通ホール 2 1 の直径が小さくなることに起因する電界強度の増加を打ち消し、トンネル膜 2 7 に印加される電界強度を均一化することができる。この結果、下方に配置され、貫通ホール 2 1 の直径が小さいメモリトランジスタ 3 5 においても誤書込 (プログラム・ディスタ urb) が発生しにくくなる。また、一度の書込動作で各メモリトランジスタ 3 5 の電荷蓄積膜 2 6 に注入する電子の量を均一にすることができ、メモリトランジスタの駆動を安定させることができる。また、注入される電子の量が均一化されるため、各メモリトランジスタ 3 5 に対する書込動作時間も均一化される。これにより、装置 1 全体の書込動作時間を短縮し、動作速度を向上させることができる。

【 0 0 5 7 】

次に、書込電位 V_{pgm} の値の決定方法について説明する。図 9 に示すように、あるメモリトランジスタにおける貫通ホール 2 1 の直径を r (μm) とし、制御ゲート電極 CG とシリコンピラー 3 1 との間の電位差 ($V_{pgm} - V_{body}$) を V とするとき、電位差 V が下記数式 1 に従うように、書込電位 V_{pgm} の値を決定すれば、トンネル膜 2 7 に印加される電界の強度が均一になる。ここで、下記数式 1 及び図 9 に示す電位差 V の値は、貫通ホール 2 1 の直径が $0.06 \mu m (= 60 nm)$ であるときの電位差 $V (= V_{pgm} - V_{body})$ の値を 1 とした場合の相対値である。下記数式 1 は、少なくとも r の値が $0.05 \sim 0.01 \mu m$ の範囲内において、有効な近似を与える。

【 0 0 5 8 】

【 数 1 】

$$V = 6999.4 \times r^3 - 1971.3 \times r^2 + 194.66 \times r - 5.0952$$

【 0 0 5 9 】

(読出動作)

次に、任意のメモリトランジスタ 3 5 に書き込まれたデータを読み出す読出動作について説明する。図 7 に示すように、駆動回路 4 1 が、バックゲート BG にオン電位 V_{on} を印加して、バックゲートトランジスタ 3 7 をオン状態とする。また、駆動回路 4 1 は、選択ストリングの選択ゲート電極 SGs 及び SGb にオン電位 V_{on} (例えば、 $3.0 V$) を印加して、選択トランジスタ 3 6 をオン状態とする。一方、駆動回路 4 1 は、非選択のメモリストリング 3 8 の選択ゲート電極 SGs 及び SGb にはオフ電位 V_{off} (例えば、 $0 V$) を印加して、選択トランジスタ 3 6 をオフ状態とする。

【 0 0 6 0 】

そして、駆動回路 4 1 が、選択セルの制御ゲート電極 CG、すなわち、下から 3 層目の制御ゲート電極 CGb に対して、選択セルの値によって導通状態が異なるような電位を印加する。この電位は、選択セルの値が「0」、すなわち、電荷蓄積膜 2 6 に電子が蓄積されていて閾値が正にシフトしている場合はボディに電流が流れず、選択セルの値が「1」、すなわち、電荷蓄積膜 2 6 に電子が蓄積されておらず閾値がシフトしていなければボディに電流が流れるような電位であり、例えば、基準電位 V_{ss} (例えば、 $0 V$) である。また、選択セル以外のメモリトランジスタ 3 5 を構成する制御ゲート電極に対して、これらのメモリトランジスタ 3 5 がその値によらずオン状態となるような読出電位 V_{read} (例えば、 $4.5 V$) を印加する。

【 0 0 6 1 】

この状態で、各ビット線 B_L に電位 V_{bl} (例えば、 $0.7V$)、各ソース線 S_L に基準電位 V_{ss} (例えば、 $0V$) を印加する。この結果、選択セルの値が「1」であれば選択ストリングに電流が流れ、選択セルの値が「0」であれば選択ストリングに電流が流れない。従って、ビット線 B_L から選択ストリングを介してソース線 S_L に流れる電流を検出するか、ビット線 B_L の電位降下を検出することにより、選択セルの値を読み出すことができる。例えば、選択セルの値が「1」であれば、ビット線 B_L の電位が変化するため、その変化をビット線増幅回路(図示せず)によって増幅して検出し、その検出結果をデータとしてデータバッファ(図示せず)に蓄積する。なお、非選択のメモリストリング38については、選択トランジスタ36がオフ状態であるため、メモリトランジスタ35に記憶された値に拘わらず、電流は流れない。

10

【0062】

そして、本実施形態においては、駆動回路41が、ポンプ回路45によって、読出電位 V_{read} の値を、印加対象とする制御ゲート電極 CG が配置されている段によって異ならせる。すなわち、図8に示すように、下から4段目、すなわち、最上段の制御ゲート電極 CG_4 に印加する読出電位 V_{read} の値は(V_{read0})とし、下から3段目の制御ゲート電極 CG_3 に印加する読出電位 V_{read} の値は(V_{read0})よりも低い($V_{read0} - V_{read1}$)とし、下から2段目の制御ゲート電極 CG_2 に印加する読出電位 V_{read} の値は($V_{read0} - V_{read1}$)よりも低い($V_{read0} - V_{read2}$)とし、最下段の制御ゲート電極 CG_1 に印加する読出電位 V_{read} の値は($V_{read0} - V_{read2}$)よりも低い($V_{read0} - V_{read3}$)とする。なお、 $0 < V_{read1} < V_{read2} < V_{read3}$ である。

20

【0063】

上述の如く、仮に各制御ゲート電極 CG に印加される電位が同じであれば、各メモリトランジスタのトンネル膜27に印加される電界の強度は、貫通ホール21の直径が小さいほど強くなる。そして、読出動作において、トンネル膜27に印加される電界が強くなり過ぎると、トンネル膜27にトンネル効果によって電子電流が流れてしまい、メモリトランジスタに書き込まれている値「0」が値「1」に変化してしまう現象(リード・ディスタ urb)が発生する。

【0064】

そこで、本実施形態においては、上述の如く、より下方に位置し、貫通ホール21の直径がより小さい制御ゲート電極 CG ほど、読出電位 V_{read} としてより低い電位を印加する。これにより、貫通ホール21の直径が小さくなることに起因する電界強度の増加を、読出電位 V_{read} を低くすることによって打ち消し、トンネル膜27に印加される電界強度を均一化する。この結果、メモリトランジスタのリード・ディスタ urbを防止することができる。なお、上述の書込動作の場合と同様な理由により、読出電位 V_{read} の値は、上記数式1に従って決定することが好ましい。

30

【0065】

(消去動作)

次に、メモリトランジスタに書き込まれたデータを消去する消去動作について説明する。データの消去はブロック単位で行う。図7に示すように、駆動回路41は、バックゲート BG にオン電位 V_{on} を印加して、バックゲートトランジスタ37をオン状態とする。また、消去対象となるブロック(以下、「選択ブロック」ともいう)の全ての制御ゲート電極 CG に基準電位 V_{ss} (例えば、 $0V$) を印加する。更に、ビット線 B_L 及びソース線 S_L の電位を消去電位 V_{erase} (例えば、 $1.5V$) に昇圧する。更にまた、選択ゲート電極 SG_b 及び SG_s に消去電位 V_{erase} よりも低い選択ゲート電位 V_{sg} を印加する。すなわち、 $V_{sg} < V_{erase}$ とする。

40

【0066】

これにより、ビット線 B_L 及びソース線 S_L の電位は消去電位 V_{erase} (例えば、 $1.5V$) となり、選択ゲート電極 SG_b 及び SG_s の電位は選択ゲート電位 V_{sg} となるため、ビット線 B_L と選択ゲート電極 SG_b との電位差、及び、ソース線 S_L と選択ゲート

50

ト電極SGsとの電位差によるバンド間トンネリングによってホール電流が発生し、シリコンピラー31の電位、すなわち、ボディ電位が昇圧する。一方、消去対象となるブロック（選択ブロック）の制御ゲート電極CGには基準電位Vss（例えば、0V）が印加されているため、シリコンピラー31と制御ゲート電極CGとの間の電位差により、ホールがメモリトランジスタ35の電荷蓄積膜26に注入され、電荷蓄積膜26内の電子が対消滅する。この結果、データが消去される。なお、ホール電流の注入によりボディ電位が上昇するため、電荷蓄積膜26に十分なホールを注入するためには、消去電位V_{erase}と選択ゲート電位V_{sg}との電位差を十分にとる必要があるが、同時に、過剰な電位差により選択トランジスタ36のゲート絶縁膜38が破壊されないように調整する必要がある。

10

【0067】

一方、消去対象としないブロック（非選択のブロック）においては、選択ゲート電極SGb及びSGsの電位をビット線BL及びソース線SLの電位に近い電位まで昇圧させて、ビット線BL又はソース線SLに接続された拡散層と選択ゲート電極SGb又はSGsとの間の電界を弱め、ホール電流が発生しないようにする。又は、制御ゲート電極CGの電位をシリコンピラー31と同時に昇圧させて、シリコンピラー31内のホールが電荷蓄積膜26に注入されないようにする。これにより、非選択のブロックにおいては、メモリトランジスタ35に既書き込まれている値がそのまま保持される。

【0068】

消去動作においても、駆動回路41が、下方に配置された選択ゲート電極CGほど、基準電位Vssとしてより高い電位を供給すれば、下方に配置されたメモリトランジスタほど、シリコンピラー31と制御ゲート電極CGとの間の電位差が小さくなり、ONO膜24に印加される電界を均一化することができる。これにより、消去動作時に、貫通ホールの直径が小さいメモリトランジスタに過大な電界が印加され、トンネル効果により制御ゲート電極CGから電荷蓄積膜26に対して電子が注入されることを防止できる。この結果、消去動作に必要なホールの注入、すなわち、シリコンピラー31から電荷蓄積膜26に向かうホールの注入を、制御ゲート電極CGから電荷蓄積膜26に向かう電子の逆注入によって打ち消してしまうことを防止し、消去動作を確実に実施することができる。

20

【0069】

次に、本実施形態の効果について説明する。

30

本実施形態によれば、上述の如く、駆動回路41に複数のポンプ回路45が設けられており、各ポンプ回路45が各スイッチ素子47を介して各段の制御ゲート電極CGに接続されていることにより、各段の制御ゲート電極CGに対して、相互に異なる駆動電位を印加することができる。これにより、下方に位置し、貫通ホール21の直径が小さいメモリトランジスタほど、制御ゲート電極CGとシリコンピラー31との間の電位差を小さくすることができ、各メモリトランジスタのONO膜24に印加される電界強度を均一化することができる。この結果、メモリトランジスタの誤動作を防止することができる。この技術は、書込動作、読出動作及び消去動作のうち少なくとも1つの動作において、その動作でシリコンピラーとの間の電位差が最も高くなるような電位を制御ゲート電極に対して供給する際に適用すれば、大きな効果を得ることができる。

40

【0070】

次に、本発明の第2の実施形態について説明する。

図10は、本実施形態に係る不揮発性半導体記憶装置の特徴を模式的に例示する図である。

図10に示すように、本実施形態においては、貫通ホールが2段構成になっており、各段において、下方に行くほど細くなっている。すなわち、積層体MLは、Z方向に配列された2つの部分積層体ML1及びML2からなり、部分積層体ML1上に部分積層体ML2が積み重ねられている。部分積層体ML1及びML2においては、それぞれ複数枚の絶縁膜15及び電極膜14が積層されている。また、貫通ホール21のうち、部分積層体ML1内に形成された下部21aと、部分積層体ML2内に形成された上部21bは、それ

50

ぞれ、下方に行くほど細いテーパー状になっている。このため、下部 2 1 a の上端部は上部 2 1 b の下端部よりも太くっており、貫通ホール 2 1 の内面における下部 2 1 a と上部 2 1 b との境界部分には段差が形成されている。

【 0 0 7 1 】

そして、駆動回路 4 1 は、部分積層体 M L 1 内に配置された複数の電極膜 1 4 のうち、下方、すなわち、シリコン基板 1 1 側に配置された電極膜 1 4 ほど、シリコンピラー 3 1 との間の電位差が小さくなるような電位を印加する。同様に、駆動回路 4 1 は、部分積層体 M L 2 内に配置された複数の電極膜 1 4 のうち、下方に配置された電極膜 1 4 ほど、シリコンピラー 3 1 との間の電位差が小さくなるような電位を印加する。これにより、本実施形態においても、貫通ホール 2 1 の直径の変動に起因する電界強度のばらつきを、駆動電位を異ならせることによって補償することができ、各メモリトランジスタ 3 5 の O N O 膜 2 4 に印加される電界強度を均一化することができる。この結果、メモリトランジスタの誤動作を防止することができる。本実施形態における上記以外の構成、動作及び効果は、前述の第 1 の実施形態と同様である。

10

【 0 0 7 2 】

なお、部分積層体は 3 段以上積み重ねられていてもよい。この場合、駆動回路 4 1 は、各部分積層体内に配置された電極膜 1 4 (制御ゲート電極 C G) のうち、下方に配置された電極膜ほど、シリコンシリコンピラー 3 1 との間の電位差が小さくなるような電位を印加すればよい。

【 0 0 7 3 】

次に、本発明の第 3 の実施形態について説明する。

本実施形態は、前述の第 1 の実施形態に係る不揮発性半導体記憶装置 1 の製造方法の実施形態である。

20

図 1 1 乃至図 1 9 は、本実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程断面図である。

なお、図 1 1 乃至図 1 9 は、図 3 と同じ断面を示している。

【 0 0 7 4 】

まず、図 1 1 に示すように、シリコン基板 1 1 を用意する。このシリコン基板 1 1 には、メモリセル形成領域が設定されており、メモリセル形成領域の周囲には周辺回路領域 (図示せず) が設定されている。そして、シリコン基板 1 1 の上層部分の所定の領域に、素子分離膜を形成する。次に、周辺回路領域において、高耐圧トランジスタのための厚膜ゲート絶縁膜と低耐圧トランジスタのための薄膜ゲート絶縁膜を作り分ける。このとき、メモリセル形成領域においても、シリコン基板 1 1 上に絶縁膜 1 0 を形成する。

30

【 0 0 7 5 】

次に、絶縁膜 1 0 上に、導電膜としてのポリシリコン膜 1 2 を例えば 2 0 0 n m の厚さに堆積させる。そして、メモリセル形成領域において、ポリシリコン膜 1 2 の上層部分に対してフォトリソグラフィ及び R I E (Reactive Ion Etching : 反応性イオンエッチング) を行い、ポリシリコン膜 1 2 の上面に Y 方向に延びる短冊状の溝 5 2 を複数本形成する。溝 5 2 は X 方向及び Y 方向に沿ってマトリクス状に配列させる。溝 5 2 は、ポリシリコン膜 1 2 の上面に形成された凹部である。

40

【 0 0 7 6 】

次に、図 1 2 に示すように、例えば、C V D 法 (Chemical Vapor Deposition 法 : 化学気相成長法) によりシリコン窒化膜を堆積させることにより、ポリシリコン膜 1 2 上に犠牲膜 5 3 を成膜する。このとき、犠牲膜 5 3 は溝 5 2 内にも埋め込まれる。次に、犠牲膜 5 3 及びポリシリコン膜 1 2 を例えばフォトリソグラフィ及び R I E により加工する。これにより、メモリセル形成領域においてポリシリコン膜 1 2 をブロック 5 0 (図 5 参照) 毎に分断し、各ブロック 5 0 にポリシリコン膜 1 2 からなる平板状のバックゲート B G を形成すると共に、周辺回路領域においてポリシリコン膜 1 2 からなるゲート電極を形成する。

【 0 0 7 7 】

50

その後、周辺回路領域において、シリコン酸化物からなるスペーサを形成し、イオン注入を行って拡散層を形成する。次に、周辺回路領域において、層間絶縁膜を堆積させ、平坦化し、上面がポリシリコン膜 12 の上面と同じ高さになるようにリセスする。次に、犠牲膜 53 をリセスして、ポリシリコン膜 12 上から除去し、溝 52 の内部のみに残留させる。

【0078】

次に、図 13 に示すように、メモリセル形成領域において、バックゲート BG (ポリシリコン膜 12) 上に、例えばシリコン酸化物からなる絶縁膜 15 と、例えばポリシリコンからなる電極膜 14 とを、交互に堆積させ、積層体 ML を形成する。

【0079】

次に、図 14 に示すように、例えば RIE により、積層体 ML に Z 方向に延びる複数本の貫通ホール 21 を一括で形成する。貫通ホール 21 は X 方向及び Y 方向に沿ってマトリクス状に配列させる。また、貫通ホール 21 の底部は溝 52 内に埋め込まれた犠牲膜 53 の両端部に到達するようにする。これにより、各犠牲材 53 に対して、それぞれ Y 方向において隣り合う 2 本の貫通ホール 21 を到達させる。更に、Z 方向から見て、貫通ホール 21 の形状は円形とする。このとき、貫通ホール 21 の内側面は、不可避免的に Z 方向に対して傾斜したテーパ状になる。この結果、貫通ホール 21 は、上端部が最も太く、下方に行くほど細くなる逆円錐台形状に形成される。

【0080】

次に、図 15 に示すように、貫通ホール 21 を介してウェットエッチングを行い、溝 52 内の犠牲膜 53 (図 14 参照) を除去する。これにより、溝 52 が連通孔 22 となり、連通孔 22 とその両端部に連通された 2 本の貫通ホール 21 により、1 本の連続した U 字孔 23 が形成される。

【0081】

次に、図 16 に示すように、例えばシリコン窒化物からなるバリア膜 (図示せず) を形成した後、シリコン酸化膜、シリコン窒化膜、シリコン酸化膜を連続的に堆積させる。これにより、U 字孔 23 の内面上に、バリア膜を介して、シリコン酸化膜からなるブロック膜 25、シリコン窒化膜からなる電荷蓄積膜 26、シリコン酸化膜からなるトンネル膜 27 がこの順に積層され、ONO 膜 24 が形成される。

【0082】

次に、全面にアモルファスシリコンを堆積させる。これにより、U 字孔 23 内にアモルファスシリコンが埋め込まれ、U 字シリコン部材 33 が形成される。U 字シリコン部材 33 は、貫通ホール 21 内に埋め込まれた 1 対のシリコンピラー 31 と、連通孔 22 内に埋め込まれた 1 本の接続部材 32 とから構成される。その後、積層体 ML 上に堆積されたアモルファスシリコン、シリコン酸化膜、シリコン窒化膜、シリコン酸化膜を除去する。

【0083】

次に、図 17 に示すように、積層体 ML を例えば RIE によって加工し、積層体 ML に溝 54 を形成する。溝 54 は、接続部材 32 に接続された 2 本のシリコンピラー 31 の間の領域をつなぐように X 方向に延び、最下層の絶縁膜 15 まで到達するように形成する。

【0084】

このとき、図 5 に示すように、溝 54 は、電極膜 14 を相互に噛み合った 1 対の櫛状のパターンに分断するように形成する。すなわち、積層体 ML の X 方向中央部においては、溝 54 は X 方向に延びるように形成する。これにより、電極膜 14 を、X 方向に延びる複数本の制御ゲート電極 CG に分断する。このとき、Y 方向における接続部材 32 間の領域の直上域には、溝 54 を形成しない。これにより、各制御ゲート電極 CG は、Y 方向に沿って配列された 2 本のシリコンピラー 31 によって貫通される。また、積層体 ML の X 方向両端部においては、溝 54 は X 方向には延ばさずに、Y 方向に断続的に延びるように形成する。これにより、積層体 ML の X 方向中央部において Y 方向に沿って交互に配置された制御ゲート電極 CGb 及び CGs が、積層体 ML の X 方向の各端部において、それぞれ共通接続される。

10

20

30

40

50

【 0 0 8 5 】

次に、図 1 8 に示すように、積層体 M L 上に絶縁膜 1 6 を堆積させて平坦化する。絶縁膜 1 6 は溝 5 4 内にも埋め込まれる。次いで、例えばアモルファスシリコンからなる導電膜 1 7 を堆積し、エッチングしてメモリセル領域のみに残留させる。

【 0 0 8 6 】

次に、例えば、導電膜 1 7 上にレジスト膜（図示せず）を形成し、このレジスト膜をマスクとしたエッチングとレジスト膜のスリミングとを繰り返すことにより、積層体 M L を階段状に加工する。これにより、上方（Z 方向）から見て、各段の制御ゲート電極 C G の X 方向両端部がそれより上段の制御ゲート電極 C G によって覆われなくなり、後の工程において、上方から各段の制御ゲート電極 C G に対してコンタクトを形成することが可能となる。次に、階段状に加工した積層体 M L を覆うように、例えばシリコン窒化物からなるエッチングストッパ膜（図示せず）を成膜し、その上に層間絶縁膜（図示せず）を形成し、上面を平坦化する。これにより、積層体 M L の周囲が層間絶縁膜によって埋め込まれる。

10

【 0 0 8 7 】

その後、導電膜 1 7 上に絶縁膜 1 8 を形成する。そして、絶縁膜 1 8、導電膜 1 7 及び絶縁膜 1 6 を貫通し、積層体 M L 内の貫通ホール 2 1 の上端に到達するように、貫通ホール 5 1 を形成する。

【 0 0 8 8 】

次に、図 1 9 に示すように、全面に絶縁膜を堆積させ、アモルファスシリコンを堆積させる。そして、アモルファスシリコン及び絶縁膜をエッチバックして、貫通ホール 5 1 内にのみ残留させる。これにより、貫通ホール 5 1 の内面上にゲート絶縁膜 2 8 が形成されると共に、アモルファスシリコンが埋め込まれる。次に、温度が例えば 6 0 0 の熱処理を行い、貫通ホール 5 1 内のアモルファスシリコンを結晶化させてポリシリコンとする。そして、このポリシリコンに対して、ヒ素（As）を例えば加速電圧を 4 0 k e V、ドーズ量を $3 \times 10^{15} \text{ cm}^{-2}$ としてイオン注入し、ドレイン拡散層（図示せず）を形成する。これにより、貫通ホール 5 1 内にシリコンピラー 3 4 が形成される。シリコンピラー 3 4 はシリコンピラー 3 1 に接続される。

20

【 0 0 8 9 】

次に、絶縁膜 1 8 及び導電膜 1 7 に対して R I E 等の加工を行い、Y 方向において隣合うシリコンピラー 3 4 間の領域に、X 方向に延びる溝 5 5 を形成する。これにより、導電膜 1 7 を Y 方向に沿って分断し、X 方向に延びる複数本の選択ゲート電極 S G を形成する。

30

【 0 0 9 0 】

次に、図 3 に示すように、絶縁膜 1 8 上に絶縁膜 1 9 を形成し、絶縁膜 1 9 内にソースプラグ S P を埋設すると共に、絶縁膜 1 9 上に X 方向に延びるソース線 S L を形成する。このとき、ソース線 S L はソースプラグ S P を介して、一部のシリコンピラー 3 4 のドレイン拡散層に接続される。また、積層体 M L の周囲に設けられた層間絶縁膜（図示せず）に、上方から各制御ゲート電極 C G 及び各選択ゲート電極 S G に接続されるコンタクト（図示せず）を形成する。次に、絶縁膜 1 9 上に、ソース線 S L を覆うように絶縁膜 2 0 を形成する。次に、絶縁膜 2 0 及び 1 9 内にビットプラグ B P を埋設すると共に、絶縁膜 2 0 上に Y 方向に延びるビット線 B L を形成する。このとき、ビット線 B L はビットプラグ B P を介して、残りのシリコンピラー 3 4 のドレイン拡散層に接続される。一方、通常の方法により、周辺回路領域に駆動回路 4 1（図 6 参照）を形成する。これにより、不揮発性半導体記憶装置 1 が製造される。

40

【 0 0 9 1 】

本実施形態によれば、前述の第 1 の実施形態に係る不揮発性半導体記憶装置 1 を製造することができる。そして、本実施形態によれば、駆動回路 4 1 が各段の制御ゲート電極 C G に相互に異なる電位を供給することにより、各メモリトランジスタ 3 5 の O N O 膜 2 4 に印加される電界を均一化するため、貫通ホール 2 1 の直径を過剰に均一化する必要がな

50

い。このため、貫通ホール 21 のアスペクト比を大きくすることができ、所定の段数の電極膜 14 が積層された装置 1 を製造する際に、貫通ホール 21 の形成回数を減らすことができ、従って、リソグラフィ工程の回数を減らすことができる。この結果、不揮発性半導体記憶装置 1 の製造コストを低減することができる。

【0092】

なお、上述の積層体 ML を形成し、積層体 ML に貫通ホール 21 を形成し、貫通ホール 21 内にシリコンピラー 31 を埋め込む一連の工程を 2 回繰り返すことにより、前述の第 2 の実施形態に係る不揮発性半導体装置 2 を製造することができる。また、上述の工程を 3 回以上繰り返せば、部分積層体が 3 段以上積み重ねられた不揮発性半導体記憶装置を製造することができる。

10

【0093】

以上、実施形態を参照して本発明を説明したが、本発明はこれらの実施形態に限定されるものではない。前述の各実施形態に対して、当業者が適宜、構成要素の追加、削除若しくは設計変更を行ったもの、又は、工程の追加、省略若しくは条件変更を行ったものも、本発明の要旨を備えている限り、本発明の範囲に含有される。

【0094】

例えば、前述の第 1 の実施形態においては、書込動作、読出動作及び消去動作の全てについて、駆動回路 41 が各段の制御ゲート電極 CG に相互に異なる電位を供給する例を示したが、本発明はこれに限定されず、例えば、書込動作及び読出動作についてのみ、各段の制御ゲート電極に相互に異なる電位を供給してもよい。この場合は、基準電位 V_{ss} を共通化することができ、駆動回路を簡略化することができる。また、書込動作、読出動作及び消去動作のうち、いずれか 1 つの動作についてのみ、各段の制御ゲート電極に相互に異なる電位を供給してもよい。また、制御ゲート電極等の形状は、前述の各実施形態には限定されない。

20

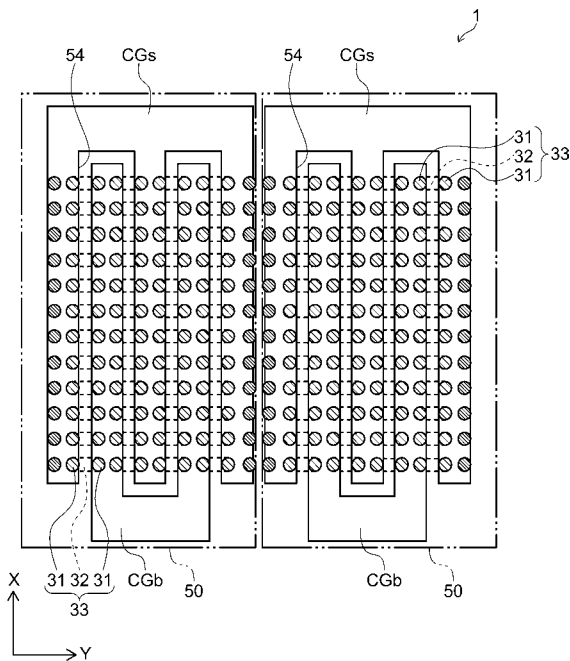
【符号の説明】

【0095】

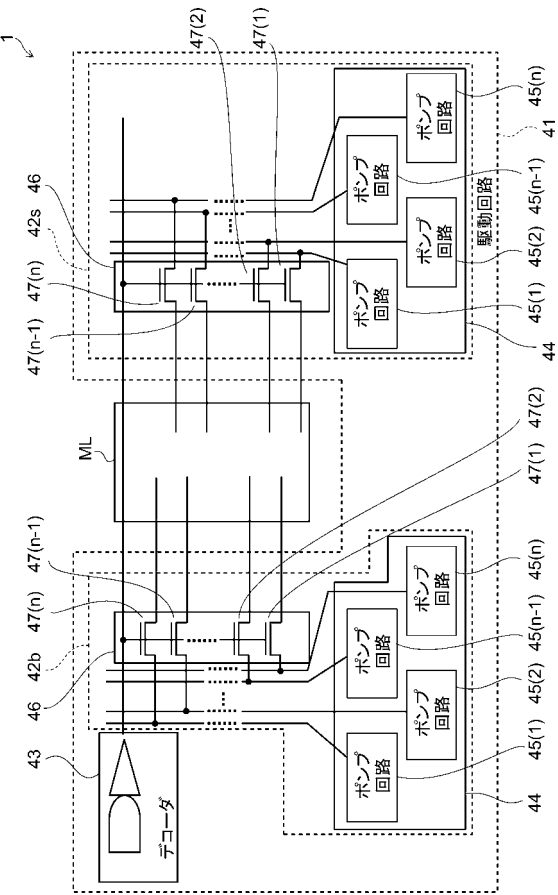
1、2 不揮発性半導体記憶装置、10 絶縁膜、11 シリコン基板、12 ポリシリコン膜、14 電極膜、15、16、18、19、20 絶縁膜、17、導電膜、21 貫通ホール、22 連通孔、23 U字孔、24 ONO膜、25 ブロック膜、26 電荷蓄積膜、27 トンネル膜、28 ゲート絶縁膜、30 U字ピラー、31 シリコンピラー、32 接続部材、33 U字シリコン部材、34 シリコンピラー、35 メモリトランジスタ、36 選択トランジスタ、37 バックゲートトランジスタ、38 メモリストリング、41 駆動回路、42b、42s 電位供給部、43 デコーダ、44 ポンプ回路部、45(1)～45(n) ポンプ回路、46 スイッチ回路部、47(1)～47(n) スイッチ素子、50 ブロック、51 貫通ホール、52、54、55 溝、53 犠牲膜、BG バックゲート、BL ビット線、BP ビットプラグ、CG、CGb、CGs 制御ゲート電極、ML 積層体、ML1、ML2 部分積層体、SG、SGb、SGs 選択ゲート電極、SL ソース線、SP ソースプラグ

30

【図 5】



【図 6】



【図 7】

	書込動作		流出動作		消去動作
	選択	非選択	選択	非選択	
ビット線BL	値「0」...V _{SS}		V _{h1}		V _{erase}
選択ゲート電極SGb	V _{sg}	V _{off}	V _{on}	V _{off}	V _{sg}
制御ゲート電極CGb (4層口)	V _{pre}	V _{pass}	V _{read}	V _{read}	V _{SS}
制御ゲート電極CGb (3層口)	V _{pre}	V _{pass}	V _{SS}	V _{SS}	V _{SS}
制御ゲート電極CGb (2層口)	V _{pre}	V _{pass}	V _{read}	V _{read}	V _{SS}
制御ゲート電極CGb (1層口)	V _{pre}	V _{pass}	V _{read}	V _{read}	V _{SS}
バックゲートBG	V _{on}	V _{on}	V _{on}	V _{on}	V _{on}
制御ゲート電極CGs (1層口)	V _{pre}	V _{pass}	V _{read}	V _{read}	V _{SS}
制御ゲート電極CGs (2層口)	V _{pre}	V _{pass}	V _{read}	V _{read}	V _{SS}
制御ゲート電極CGs (3層口)	V _{pre}	V _{pass}	V _{read}	V _{read}	V _{SS}
制御ゲート電極CGs (4層口)	V _{pre}	V _{pass}	V _{read}	V _{read}	V _{SS}
選択ゲート電極SGs	V _{off}	V _{off}	V _{on}	V _{SS}	V _{sg}
ソース線SL	V _{dd}	V _{dd}	V _{SS}	V _{SS}	V _{on}

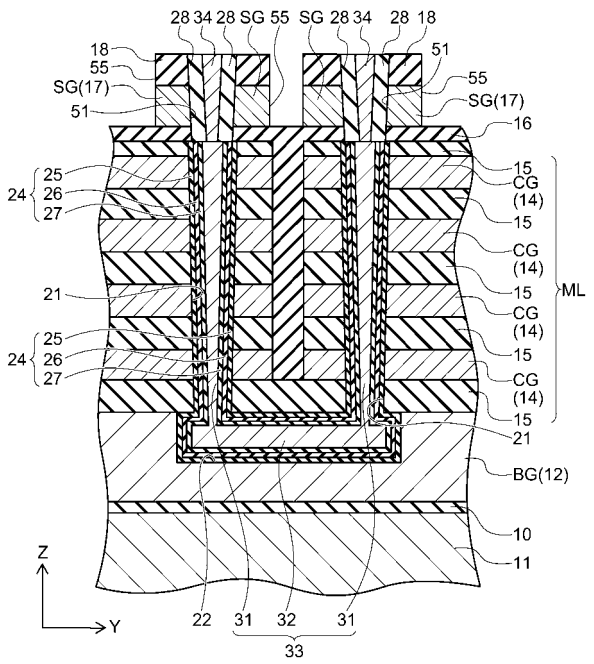
【図 8】

動作	書込動作	流出動作
駆動電位	書込電位V _{pre}	読出電位V _{read}
制御ゲート電極CG4 (4層口)	V _{pre} 0	V _{read} 0
制御ゲート電極CG3 (3層口)	V _{pre} 0 - ΔV _{pre} 1	V _{read} 0 - ΔV _{read} 1
制御ゲート電極CG2 (2層口)	V _{pre} 0 - ΔV _{pre} 2	V _{read} 0 - ΔV _{read} 2
制御ゲート電極CG1 (1層口)	V _{pre} 0 - ΔV _{pre} 3	V _{read} 0 - ΔV _{read} 3

$$\Delta V_{pre}1 < \Delta V_{pre}2 < \Delta V_{pre}3$$

$$\Delta V_{read}1 < \Delta V_{read}2 < \Delta V_{read}3$$

【 図 1 9 】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	29/792	(2006.01)	G 1 1 C	17/00 6 3 3 B
G 1 1 C	16/04	(2006.01)	G 1 1 C	17/00 6 3 3 D
G 1 1 C	16/06	(2006.01)		

(72)発明者 鬼頭 傑
東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 福住 嘉晃
東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 木藤 大
東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 小森 陽介
東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 石月 恵
東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 松並 絢也
東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 藤原 友子
東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 桐澤 亮平
東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 三ヶ尻 義政
東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 大田 繁人
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 滝谷 亮一

(56)参考文献 特開2009-146954(JP,A)
特開2009-087433(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 1 1 C	1 6 / 0 2
G 1 1 C	1 6 / 0 4
G 1 1 C	1 6 / 0 6