



(12) 发明专利

(10) 授权公告号 CN 102214660 B

(45) 授权公告日 2015. 01. 28

(21) 申请号 201110143920. 5

(22) 申请日 2009. 12. 25

(30) 优先权数据

2008-333788 2008. 12. 26 JP

(62) 分案原申请数据

200910262560. 3 2009. 12. 25

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 山崎舜平 坂田淳一郎 小山润

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 李玲

(51) Int. Cl.

H01L 27/12(2006. 01)

H01L 29/786(2006. 01)

(56) 对比文件

US 2005199880 A1, 2005. 09. 15, 全文.

US 2005017302 A1, 2005. 01. 27, 全文.

US 2006027804 A1, 2006. 02. 09, 全文.

US 2007146591 A1, 2007. 06. 28, 全文.

审查员 刘宁

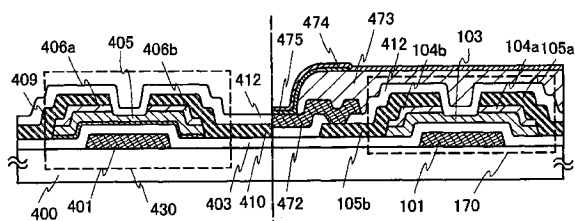
权利要求书2页 说明书34页 附图27页

(54) 发明名称

半导体器件及其制造方法

(57) 摘要

半导体器件及其制造方法。提供了一种包括薄膜晶体管的半导体器件,该薄膜晶体管具有氧化物半导体层和优秀的电特性。此外,提供了一种用于制造半导体器件的方法,其中在一个衬底上形成多种类型的不同结构的薄膜晶体管以形成多种类型的电路,而且其中没有显著增加步骤数量。在绝缘表面上形成金属薄膜之后,在该金属薄膜上形成氧化物半导体层。然后,执行诸如热处理之类的氧化处理以部分或全部地氧化该金属薄膜。此外,在诸如逻辑电路之类强调操作速度的电路与矩阵电路之间,薄膜晶体管的结构不同。



1. 一种有源矩阵显示器件,包括:

晶体管,其包括:

在衬底上的栅电极;

在所述栅电极上的栅绝缘层;和

在所述栅电极上的具有沟道形成区的氧化物半导体层,所述栅绝缘层插入在所述栅电极与所述氧化物半导体层之间,所述氧化物半导体层包括铟、锡和锌;

在所述氧化物半导体层上的包括氧化铝的绝缘层;

与所述氧化物半导体层电接触的像素电极,以及

端子部分,其包括:

在所述衬底上的第一导电层;

在所述第一导电层上的绝缘层;以及

在所述绝缘层上的透明导电膜,其中所述透明导电膜与所述第一导电层交迭,

其中,所述第一导电层是电浮置的,

其中,所述晶体管的所述栅电极和所述端子部分的所述第一导电层是通过蚀刻同一膜而形成的,

其中,所述晶体管的所述栅绝缘层和所述端子部分的所述绝缘层是通过蚀刻同一膜而形成的,以及

其中,与所述氧化物半导体层电接触的所述像素电极和所述端子部分的所述透明导电膜是通过蚀刻同一膜而形成的。

2. 一种有源矩阵显示器件,包括:

晶体管,其包括:

在衬底上的栅电极;

在所述栅电极上的栅绝缘层;和

在所述栅电极上的具有沟道形成区的氧化物半导体层,所述栅绝缘层插入在所述栅电极与所述氧化物半导体层之间,所述氧化物半导体层包括铟、锡和锌;

在所述氧化物半导体层上的源电极;

在所述氧化物半导体层上的漏电极;

在所述氧化物半导体层、所述源电极和所述漏电极上的绝缘层;以及

与所述源电极和所述漏电极之一电接触的像素电极,以及

端子部分,其包括:

在所述衬底上的第一导电层;

在所述第一导电层上的绝缘层;以及

在所述绝缘层上的透明导电膜,其中,所述透明导电膜与所述第一导电层交迭,

其中,所述第一导电层是电浮置的,

其中,所述源电极和所述漏电极中的一个具有面对所述源电极和所述漏电极中另一个的部分,

其中,所述部分具有U形,

其中,所述晶体管的所述栅电极和所述端子部分的所述第一导电层是通过蚀刻同一膜而形成的,

其中,所述晶体管的所述栅绝缘层和所述端子部分的所述绝缘层是通过蚀刻同一膜而形成的,以及

其中,与所述氧化物半导体层电接触的所述像素电极和所述端子部分的所述透明导电膜是通过蚀刻同一膜而形成的。

3. 如权利要求1或2所述的有源矩阵显示器件,其特征在于,所述有源矩阵显示器件为液晶器件。

4. 如权利要求1或2所述的有源矩阵显示器件,其特征在于,所述有源矩阵显示器件为发光器件。

5. 如权利要求2所述的有源矩阵显示器件,其特征在于,所述绝缘层包括选自由氮化硅、氧化硅、氧氮化硅、氧化铝、氮化铝、氧氮化铝、和氧化钽组成的组中的材料。

6. 如权利要求1或2所述的有源矩阵显示器件,其特征在于,所述氧化物半导体层为非晶。

7. 如权利要求1或2所述的有源矩阵显示器件,其特征在于,所述氧化物半导体层包含绝缘杂质。

半导体器件及其制造方法

[0001] 本申请为申请日为 2009 年 12 月 25 日、申请号为 200910262560.3、发明名称为“半导体器件及其制造方法”的发明专利申请的分案申请。

技术领域

[0002] 本发明涉及具有利用薄膜晶体管（下文称为 TFT）形成的电路的半导体器件及其制造方法。例如，本发明涉及其中安装了以液晶显示面板为代表的电光器件或包括有机发光元件的发光显示器件作为其部件的电子器件。

[0003] 注意此说明书中的半导体器件指的是可使用半导体特性操作的所有器件，而且光电器件、半导体电路以及电子器件都是半导体器件。

背景技术

[0004] 针对多种应用使用多种金属氧化物。氧化铟是众所周知的材料，且用作液晶显示器等所必需的透明电极材料。

[0005] 某些金属氧化物具有半导体特性。具有半导体特性的金属氧化物是一种类型的化合物半导体。化合物半导体是利用结合到一起的两种或多种类型的半导体形成的半导体。一般而言，金属氧化物变成绝缘体。然而，已知金属氧化物根据金属氧化物中包括的元素的组合而变成半导体。

[0006] 例如，已知氧化钨、氧化锡、氧化铟、氧化锌等是具有半导体特性的金属氧化物。公开了其中利用这样的金属氧化物形成的透明半导体层作为沟道形成区的一种薄膜晶体管（专利文献 1 到 4 与非专利文献 1）。

[0007] 此外，已知作为金属氧化物的不仅有单组分氧化物而且有多组分氧化物。例如，作为同系化合物的 $\text{InGaO}_3(\text{ZnO})_m$ (m 为自然数) 是已知的材料（非专利文献 2 到 4）。

[0008] 而且，已经确认这样的 In-Ga-Zn 基氧化物可应用于薄膜晶体管的沟道层（专利文献 5 和非专利文献 5 和 6）。

[0009] 此外，一种利用氧化物半导体制造薄膜晶体管、并将该薄膜晶体管应用于电子器件或光学器件的技术已经引起人们的注意。例如，专利文献 6 和专利文献 7 公开了使用氧化锌或 In-Ga-Zn-O 基氧化物半导体作为氧化物半导体膜来制造薄膜晶体管的技术，而且用这样的晶体管作为图像显示器件的开关元件等。

[0010] [专利文献]

[0011] [专利文献 1] 日本已公开专利申请 No. S60-198861

[0012] [专利文献 2] 日本已公开专利申请 No. H8-264794

[0013] [专利文献 3] PCT 国际申请 No. H11-505377 的日文译文

[0014] [专利文献 4] 日本已公开专利申请 No. 2000-150900

[0015] [专利文献 5] 日本已公开专利申请 No. 2004-103957

[0016] [专利文献 6] 日本已公开专利申请 No. 2007-123861

[0017] [专利文献 7] 日本已公开专利申请 No. 2007-096055

[0018] [非专利文献]

[0019] [非专利文献 1] M. W. Prins、K. O. Grosse-Holz、G. Muller、J. F. M. Cillessen、J. B. Giesbers、R. P. Weening 以及 R. M. Wolf, “铁电透明薄膜晶体管 (A ferroelectric transparent thin-film transistor)”, 应用物理快报 (Appl. Phys. Lett.), 1996 年 6 月 17 日第 68 卷第 3650-3652 页

[0020] [非专利文献 2] M. Nakamura、N. Kimizuka 以及 T. Mohri, “ In_2O_3 - Ga_2ZnO_4 -ZnO 系统在 1350°C 下的相态关系 (The Phase Relations in the In_2O_3 - Ga_2ZnO_4 -ZnO System at 1350°C)”, J. Solid State Chem., 1991, 第 93 卷第 298-315 页

[0021] [非专利文献 3] N. Kimizuka、M. Isobe 以及 M. Nakamura, “ In_2O_3 - ZnGa_2O_4 -ZnO 系统中的同系化合物—— $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m = 3, 4$, 和 5)、 $\text{InGaO}_3(\text{ZnO})_3$ 、以及 $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m = 7, 8, 9$, 和 16) 的合成和单晶数据 (Syntheses and Single-Crystal Data of Homologous Compounds, $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m = 3, 4$, and 5), $\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m = 7, 8, 9$, and 16) in the In_2O_3 - ZnGa_2O_4 -ZnO System)”, J. Solid State Chem., 1995, 第 116 卷第 170-178 页

[0022] [非专利文献 4] M. Nakamura、N. Kimizuka、T. Mohri 以及 M. Isobe, “ $\text{InFeO}_3(\text{ZnO})_m$ (m : 自然数) 及其同构化合物的同系系列、合成以及晶体结构 (Homologous Series, Synthesis and Crystal Structure of $\text{InFeO}_3(\text{ZnO})_m$ (m : natural number) and its Isostructural Compound)”, KOTAI BUTSURI 固态物理 (SOLID STATE PHYSICS), 1993, 第 28 卷, No. 5, 第 317-327 页

[0023] [非专利文献 5] K. Nomura、Ohta、K. Ueda、T. Kamiya、M. Hirano 以及 H. Hosono, “在单晶透明氧化物半导体中制造的薄膜晶体管 (Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor)”, SCIENCE, 2003 年, 第 300 卷, 第 1269-1272 页

[0024] [非专利文献 6] K. Nomura、H. Ohta、A. Takagi、T. Kamiya、M. Hirano 以及 H. Hosono, “使用非晶氧化物半导体的透明柔性薄膜晶体管的腔室温制造 (Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors)”, NATURE, 2004 年, 第 432 卷, 第 488-492 页

发明内容

[0025] 一个目的是提供一种包括薄膜晶体管的半导体器件, 该薄膜晶体管具有氧化物半导体层和优秀的电特性。

[0026] 此外, 另一目的是提供一种用于制造半导体器件的方法, 其中在一个衬底上形成多种类型的不同结构的薄膜晶体管以形成多种类型的电路, 而且其中没有显著增加步骤数量。

[0027] 在绝缘表面上形成金属薄膜之后, 在该金属薄膜上形成比该金属薄膜厚的氧化物半导体层。然后, 执行诸如热处理之类的氧化处理以部分或全部地氧化该金属薄膜。作为该金属薄膜, 能使用在氧化处理之后用作半导体的材料, 例如优选使用铟、锌、锡、钼或钨。经过氧化的金属薄膜成为第一氧化物半导体层, 藉此获得第一氧化物半导体层和重叠的第二氧化物半导体层的叠层。注意第一氧化物半导体层具有比第二氧化物半导体层低的电阻率

(即更高的电导率)。此外,第一氧化物半导体层与栅电极之间的距离比第二氧化物半导体层与栅电极之间的距离短。第一氧化物半导体层至少与栅绝缘膜接触。通过使用此叠层制造薄膜晶体管,能获得具有优秀的电特性(即电场迁移率)的薄膜晶体管。

[0028] 根据此说明书公开的本发明实施例的结构是一种用于制造半导体器件的方法,其包括以下步骤:在绝缘表面上形成栅电极;在栅电极上形成绝缘层;在绝缘层上形成金属薄膜;在金属薄膜上形成氧化物半导体层;以及在形成氧化物半导体层之后执行氧化处理以至少部分地氧化金属薄膜。

[0029] 通过上述结构,可解决上述问题中的至少一个。

[0030] 通过溅射法、真空汽相沉积法、涂覆法等形成该金属薄膜。该金属薄膜的厚度大于0nm且小于或等于10nm,优选为3nm到5nm(含3nm和5nm)。可替代地使用不同金属薄膜的叠层,该叠层的厚度小于或等于10nm。注意,氧化金属薄膜至少部分意味着将该金属薄膜氧化到薄膜晶体管能起作用并呈现出开关特性的程度。换言之,金属薄膜被氧化成不致引起源电极与漏电极之间流过的电流在对栅极施加了电压与未对栅极施加电压之间几乎没有差别的状态,或不致引起其中源电极与漏电极电导通的状态。

[0031] 此外,该氧化处理是在含氧气的气氛、空气和氮气气氛中的任一种下执行的热处理(在200℃到600℃下)。即使在氮气气氛中,通过热处理,金属薄膜与在金属薄膜上且与金属薄膜接触的氧化物半导体层(第二氧化物半导体层)中的氧结合,从而氧化了金属薄膜。在此情况下,由于金属薄膜的存在,提取了第二氧化物半导体层的氧,藉此可在第二氧化物半导体层中形成缺氧区。此外,不限于氮气气氛中的热处理,由于金属薄膜的存在,在含氧气的气氛中或空气中通过热处理也可提取第二氧化物半导体层中的氧,藉此能在第二氧化物半导体层中形成缺氧区。通过在第二氧化物半导体层中形成缺氧区,能改善电场迁移率。虽然在某些情况下取决于金属薄膜的材料金属薄膜与上氧化物半导体层之间的界面因此热处理而变得不清晰,但靠近栅绝缘层的作为下氧化物半导体层的氧化物半导体层和上氧化物半导体层具有不同的电特性。

[0032] 注意,第二氧化物半导体层是含In、M以及Zn中的至少一种的氧化物半导体,而M是从Ga、Fe、Ni、Mn、Co等等中选择的一种或多种元素。注意M不包括诸如Cd或Hg之类的元素,即对人体有害的物质。在此说明书中,如果将Ga用作M,则此薄膜也称为In-Ga-Zn-O基非单晶膜。在本说明书中,使用含In、Ga以及Zn的氧化物半导体膜形成的半导体层也称为“IGZO半导体层”。而且,在该氧化物半导体中,在某些情况下,除包含金属元素作为M之外,还包含诸如Fe或Ni之类的过渡金属元素或过渡金属的氧化物作为杂质元素。此外,第二氧化物半导体层可包含绝缘杂质。作为杂质,应用了以氧化硅、氧化锆、氧化铝等为代表的绝缘氧化物等、以氮化硅、氮化铝等为代表的绝缘氮化物等、或诸如氧氮化硅或氧氮化铝之类的绝缘氧氮化物。以氧化物半导体的电导率不会退化的浓度向该氧化物半导体添加绝缘氧化物、绝缘氮化物或绝缘氧氮化物。通过包含这样的绝缘杂质,氧化物半导体变得难以结晶;因此,能稳定薄膜晶体管的特性。

[0033] 因为In-Ga-Zn-O基氧化物半导体包含诸如氧化硅之类的杂质,所以即使该氧化物半导体经受300℃到600℃下的热处理,也能防止该氧化物半导体的结晶或微晶粒的产生。在其中In-Ga-Zn-O基氧化物半导体层是沟道形成区的薄膜晶体管的制造工艺中,通过热处理能改善S值(亚阈值摆动值)或电场效应迁移率。即使在这样的情况下,也能防止

薄膜晶体管正常导通。此外,即使对该薄膜晶体管施加热应力或偏置应力,也能防止阈值电压的变化。

[0034] 作为应用于薄膜晶体管的沟道形成区的氧化物半导体,可添加以下除上述以外的以下氧化物半导体中的任一种:In-Sn-Zn-O 基氧化物半导体、In-Al-Zn-O 基氧化物半导体、Sn-Ga-Zn-O 基氧化物半导体、Al-Ga-Zn-O 基氧化物半导体、Sn-Al-Zn-O 基氧化物半导体、In-Zn-O 基氧化物半导体、Sn-Zn-O 基氧化物半导体、Al-Zn-O 基氧化物半导体、In-O 基氧化物半导体、Sn-O 基氧化物半导体以及 Zn-O 基氧化物半导体。换言之,通过向这些氧化物半导体添加抑制结晶的杂质以保持非晶态,能使薄膜晶体管的特性稳定。作为杂质,应用了以氧化硅、氧化锗、氧化铝等为代表的绝缘氧化物等、以氮化硅、氮化铝等为代表的绝缘氮化物等、或诸如氧氮化硅或氧氮化铝之类的绝缘氧氮化物。

[0035] 例如,在通过溅射法形成添加了氧化硅的 In-Sn-Zn-O 基氧化物半导体膜的情况下,使用了以预定比例烧结的 In_2O_3 、 SnO_2 、 ZnO 以及 SiO_2 的靶。在添加了氧化硅的 In-Al-Zn-O 基氧化物半导体的情况下,使用其中以预定比例烧结 In_2O_3 、 Al_2O_3 、 ZnO 、 SiO_2 的靶形成膜。

[0036] 此外,作为用于薄膜晶体管的 n^+ 型层的氧化物半导体,可使用含氮的 In-Ga-Zn-O 基非单晶膜,即 In-Ga-Zn-O-N 基非单晶膜(也称为 IGZON 膜)。通过在含氮气的气氛中使用包括含铟、镓以及锌的氧化物的靶形成含铟、镓以及锌的氧氮化物膜、然后对该膜执行热处理可获得此 In-Ga-Zn-O-N 基非单晶膜。

[0037] 此外,优选第二氧化物半导体层的厚度至少大于金属薄膜的厚度,例如金属薄膜的厚度的两倍或更多倍。具体而言,第二氧化物半导体层的厚度是 30nm 或更厚,优选是 60nm 到 150nm(含 60nm 和 150nm)。此外,第二氧化物半导体层优选包含金属薄膜中包含的至少一种元素。如果第二氧化物半导体层包含金属薄膜中包含的至少一种元素,则能使用同一蚀刻剂或同一蚀刻气体在同一蚀刻步骤中蚀刻第二氧化物半导体层和金属薄膜,这能使制造步骤的数量减少。

[0038] 此外,通过在一个衬底上制造矩阵电路和驱动器电路,降低了该半导体器件的制造成本。该驱动器电路包括例如其中强调操作速度的逻辑电路。在这样的电路中使用包括第一氧化物半导体层和第二氧化物半导体层的叠层的薄膜晶体管,而在形成像素部分的基质电路中使用包括第三氧化物半导体层的单层的薄膜晶体管。以这样的方式,在诸如逻辑电路之类强调操作速度的电路与矩阵电路之间,薄膜晶体管的结构不同。

[0039] 根据本发明的实施例的另一结构是包括在绝缘表面上的矩阵电路和驱动该矩阵电路的驱动器电路的半导体器件。在该半导体器件中,该驱动器电路具有第一薄膜晶体管,该第一薄膜晶体管包括第一氧化物半导体层和与第一栅电极交迭的第二氧化物半导体层的叠层,该叠层与该第一栅电极之间插入有第一栅绝缘膜,而矩阵电路包括第二薄膜晶体管,该第二薄膜晶体管包括与第二栅电极交迭的第三氧化物半导体层,该第三氧化物半导体层与第二栅电极之间插入有第二栅绝缘膜。第一氧化物半导体层的材料与第二氧化物半导体层的材料彼此不同,而第二氧化物半导体层的材料和第三氧化物半导体层的材料相同。

[0040] 通过上述结构,可解决上述问题中的至少一个。

[0041] 在上述结构中,第一薄膜晶体管包括在第一栅电极上的第一栅绝缘膜、在该第一

栅绝缘膜上的第一氧化物半导体层以及在第一氧化物半导体层上的第二氧化物半导体层。第一氧化物半导体层的电阻率低于第二氧化物半导体层的电阻率。此外,在上述结构中,第二薄膜晶体管包括在第二栅电极上的第二栅绝缘膜和在该第二栅绝缘膜上的第三氧化物半导体层。

[0042] 本发明的实施例中还包括用于制造上述结构的方法。这些方法之一是用于制造包括在一个衬底上的矩阵电路和用于驱动该矩阵电路的驱动器电路的半导体器件的方法。该方法包括以下步骤:在衬底的矩阵电路区和驱动器电路区上均形成第一氧化物半导体层;通过蚀刻去除矩阵电路区上的第一氧化物半导体层;以及在驱动器电路区中的第一氧化物半导体层和矩阵电路区中的第三氧化物半导体层上形成第二氧化物半导体层,以形成包括驱动器电路区中的第一氧化物半导体层和第二氧化物半导体层的叠层的第一薄膜晶体管,和包括矩阵电路区中的第三氧化物半导体层的第二薄膜晶体管。

[0043] 此外,还有可能通过将如所选择而形成的金属薄膜氧化来形成第一氧化物半导体层。本发明的实施例还包括了这样的情况下的制造方法。该方法是用于制造包括在一个衬底上的矩阵电路和用于驱动该矩阵电路的驱动器电路的半导体器件的方法。该方法包括以下步骤:在衬底的矩阵电路区和驱动器电路区上形成金属薄膜;通过蚀刻去除矩阵电路区上的金属薄膜;在驱动器电路区中和矩阵电路区中的金属薄膜上形成氧化物半导体层;以及在形成氧化物半导体层之后执行氧化处理以便氧化金属薄膜,从而形成包括驱动器电路区中的第一氧化物半导体层和第二氧化物半导体层的叠层的第一薄膜晶体管,和包括矩阵电路区中的第三氧化物半导体层的第二薄膜晶体管。

[0044] 在通过上述方法制造的每一种结构中,第一氧化物半导体层的电阻率低于第二氧化物半导体层的电阻率。此外,在通过上述方法制造的每一种结构中,第一氧化物半导体层的材料与第二氧化物半导体层的材料彼此不同,而第二氧化物半导体层的材料和第三氧化物半导体层的材料相同。

[0045] 本说明书中指示诸如“在……之上”、“在……上方”、“在……之下”、“在……下方”、“侧面”、“水平”、或“垂直”之类的方向的术语是基于器件设置在衬底表面之上的假定。

[0046] 利用氧化物半导体层的叠层,能实现包括具有优秀电特性的薄膜晶体管的半导体器件。

[0047] 此外,在一个衬底上形成包括氧化物半导体层的叠层的薄膜晶体管和包括单层的氧化物半导体层的薄膜晶体管,藉此能制造多种类型的电路。

附图说明

[0048] 图 1A 到 1D 是半导体器件的制造工艺的示例的截面图。

[0049] 图 2A 到 2C 是示出半导体器件的示例的截面图、等效电路图以及俯视图。

[0050] 图 3 是半导体器件的示例的等效电路图。

[0051] 图 4A 和 4B 是半导体器件的框图的示例。

[0052] 图 5 示出信号线驱动器电路的结构示例。

[0053] 图 6 是信号线驱动器电路的操作的示例的时序图。

[0054] 图 7 是信号线驱动器电路的操作的示例的时序图。

[0055] 图 8 示出移位寄存器的结构的示例。

- [0056] 图 9 示出图 8 中所示的触发器中的连接的示例。
- [0057] 图 10 示出半导体器件的像素等效电路的示例。
- [0058] 图 11A 到 11C 是半导体器件的示例的截面图。
- [0059] 图 12A 和 12B 分别是半导体器件的示例的俯视图和截面图。
- [0060] 图 13A 到 13C 是半导体器件的制造工艺的示例的截面图。
- [0061] 图 14 是像素的示例的俯视图。
- [0062] 图 15 是像素部分、电容器部分以及端子部分的示例的截面图。
- [0063] 图 16A 和 16B 分别是端子部分的示例的俯视图和截面图。
- [0064] 图 17 是像素的示例的俯视图。
- [0065] 图 18A1 和 18A2 是俯视图,而图 18B 是半导体器件的示例的截面图。
- [0066] 图 19 是半导体器件的示例的截面图。
- [0067] 图 20A 到 20E 是半导体器件的制造工艺的示例的截面图。
- [0068] 图 21A 到 21C 是半导体器件的制造工艺的示例的截面图。
- [0069] 图 22A 和 22B 分别是作为半导体器件的示例的电子器件的截面图和外视图。
- [0070] 图 23A 和 23B 是电子器件的示例。
- [0071] 图 24A 和 24B 是电子器件的示例。

具体实施方式

[0072] 以下将描述本发明的实施例。

[0073] 将参照附图详细描述实施例。注意,本发明不限于以下描述,而且本领域技术人员容易理解的是,能按照多种方法修改模式和细节,而不背离本发明的精神和范围。因此,不当将本发明解释为受限于以下给出的实施例的描述。注意在以下描述的结构中,不同附图中的相似部分或具有相似功能的部分由相似的附图标记表示,并且省略了重复的描述。

[0074] (实施例 1)

[0075] 图 1A 到 1D 示出其中在同一衬底上形成用于驱动器电路的第一薄膜晶体管 430 和用于像素部分(也称为矩阵电路)的第二薄膜晶体管 170 的制造工艺的示例。

[0076] 在此实施例中,提供了一种新颖的结构及其制造方法,其中在同一衬底上形成具有不同结构的薄膜晶体管,以形成能高速工作的驱动器电路和包括具有高导通/截止比的薄膜晶体管的像素部分。此外,在此实施例中,还提供了用于制造其中将氧化物半导体层的叠层用作沟道形成区的薄膜晶体管的一种新颖的方法。

[0077] 使用反相器电路、电容器、电阻器等形成用于驱动像素部分的能高速工作的驱动器电路。当组合两个 n 沟道 TFT 以形成反相器电路时,存在以下组合:增强型晶体管和耗尽型晶体管的组合(下文将通过这种组合形成的电路称为“EDMOS”电路)以及增强型 TFT 的组合(下文将通过这种组合形成的电路称为“EEMOS 电路”)。注意阈值电压为正的 n 沟道 TFT 被定义为增强型 TFT,而阈值电压为负的 n 沟道 TFT 被定义为耗尽型晶体管。本说明书遵循这些定义。

[0078] 像素部分中的薄膜晶体管用作施加给像素电极的电压的开关,因此它应当具有高导通/截止比。导通/截止比是导通电流与截止电流之比($I_{\text{导通}}/I_{\text{截止}}$),而且 $I_{\text{导通}}/I_{\text{截止}}$ 的值越高,则其开关特性越好。因此,高 $I_{\text{导通}}/I_{\text{截止}}$ 比有助于显示对比度的改进。注意导通电

流是在晶体管处于导通状态时在源电极与漏电极之间流动的电流。同时,截止电流是在晶体管处于截止状态时在源电极与漏电极之间流动的电流。例如,在 n 沟道晶体管中,当栅极电压低于晶体管的阈值电压时,截止电流是在源电极与漏电极之间流动的电流。因此,优选将增强型晶体管用于像素部分,以实现高对比度和低功耗的驱动。

[0079] 如上所述,像素部分与驱动器电路之间所强调的电特性不同。因此,优选在像素部分与驱动器电路中使用具有不同结构的薄膜晶体管。在此实施例中,以下将描述用于这样的情况的方法的示例。

[0080] 首先,在具有绝缘表面的衬底 400 上设置第一栅电极 401 和第二栅电极 101。可使用诸如钼、钛、铬、钽、钨、铝、铜、钕、或钪之类的金属材料或包括这些材料中的任一种作为其主要组分的任何合金材料来形成具有单层结构或层叠结构的第一栅电极 401 和第二栅电极 101。

[0081] 例如,作为第一栅电极 401 和第二栅电极 101 中的每一个的两层结构,优选使用以下结构:铝层和层叠在该铝层上的钼层的两层结构、铜层和层叠在该铜层上的钼层的两层结构、铜层和层叠在该铜层上的氮化钛或氮化钽层的两层结构、以及氮化钛层和钼层的两层结构。替代地,可采用包括含 Ca 的铜层和其上作为阻挡层的含 Ca 的氧化铜层的叠层,或包括含 Mg 的铜层和其上作为阻挡层的含 Mg 的氧化铜层的叠层。作为三层结构,优选钨层或氮化钨层、铝和硅的合金层或铝和钛的合金层、以及氮化钛层或钛层的叠层。

[0082] 然后,形成覆盖第一栅电极 401 和第二栅电极 101 的栅绝缘层 403。通过溅射法、PCVD 法等将栅绝缘层 403 形成为 50nm 到 400nm 厚度。

[0083] 例如,通过溅射法形成 100nm 厚的氧化硅膜作为栅绝缘层 403。不言而喻,栅绝缘层 403 不限于这样的氧化硅膜,且可以是诸如氧氮化硅膜、氮化硅膜、氧化铝膜、氮化铝膜、氧氮化铝膜或氧化钽膜之类的另一绝缘膜的单层或叠层。在形成叠层的情况下,例如,可通过 PCVD 法形成氮化硅膜,然后通过溅射法在该氮化硅膜上形成氧化硅膜。如果将氧氮化硅膜、氮化硅膜等用作栅绝缘层 403,则能防止钠之类的杂质从玻璃衬底扩散而进入稍后将在衬底上形成的氧化物半导体中。

[0084] 替代地,可由使用有机硅烷气体通过 CVD 法形成的氧化硅层形成栅绝缘层 403。作为有机硅烷气体,可使用诸如四乙氧基硅烷 (TEOS: 分子式 $\text{Si}(\text{OC}_2\text{H}_5)_4$)、四甲基硅烷 (TMS: 化学分子式 $\text{Si}(\text{CH}_3)_4$)、四甲基环四硅氧烷 (TMCTS)、八甲基环四硅氧烷 (OMCTS)、六甲基二硅氮烷 (HMDS)、三乙氧基硅烷 ($\text{SiH}(\text{OC}_2\text{H}_5)_3$) 或三二甲基氨基硅烷 ($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) 之类的含硅化合物。

[0085] 然后,在栅绝缘层 403 上形成钼、锌、锡、钼、钨等的金属薄膜。替代地,可形成那些元素的任一种的合金薄膜或叠层。通过溅射法、真空汽相沉积法或涂覆法形成该金属薄膜。这里,通过汽相沉积法形成厚度为大于 0nm 且小于或等于 10nm——优选为 3nm 到 5nm(含 3nm 和 5nm)——的钼膜。注意对于该金属薄膜,将其材料选择成使该金属薄膜通过稍后进行的热处理变成氧化物,而且该氧化物具有比随后在金属薄膜上形成并与金属薄膜接触的氧化物半导体层更低的电阻率。此外,根据金属薄膜的材料或成膜条件,该金属薄膜没有覆盖栅绝缘层 403 的表面,而且栅绝缘层 403 的部分可在某些情况下暴露;例如,金属簇状物可散布在栅绝缘层 403 上。同样在金属簇状物散布的情况下,只要金属通过稍后进行的氧化处理变成氧化物半导体,就能提高薄膜晶体管的电场迁移率。此外,在金属簇状物散布的

情况下,该金属不限于上述材料;能使用铝、铜等。此外,可在簇状物上形成金属薄膜,以改善薄膜晶体管的电特性。

[0086] 然后,通过光刻技术按所选择地去除金属膜。这里能使用湿法蚀刻或干法蚀刻。因此,在驱动器电路区中形成金属薄膜 470。图 1A 是此阶段的截面图。注意,当采用了光刻技术时,金属薄膜被暴露给空气,藉此可根据其材料在该金属薄膜的表面上形成天然氧化物膜。如果形成了天然氧化物膜,则可将它用作氧化物半导体层的一部分。

[0087] 替代地,通过采用溅射法,利用除期望区域之外的区域被覆盖的遮光掩模,可仅在期望区域中形成该金属薄膜。此外,通过使用遮光掩模的溅射方法,可在不暴露给空气的情况下在金属薄膜上形成氧化物半导体层。以此方式,可保持金属薄膜与氧化物半导体层之间的界面清洁,而且能减少光掩模的数量。

[0088] 然后,在金属薄膜 470 和栅绝缘层 403 上形成氧化物半导体层。氧化物半导体层的厚度优选大于金属薄膜 470 的厚度。具体而言,氧化物半导体层的厚度大于或等于 30nm,优选是 60nm 到 150nm(含 60nm 和 150nm)。在此实施例中,形成第一 In-Ga-Zn-O 基非单晶膜作为氧化物半导体层。在氩气或氧气气氛中使用具有 8 英寸直径且包含 In(铟)、Ga(镓)以及 Zn(锌)(In_2O_3 : Ga_2O_3 : ZnO 的摩尔比为 1 : 1 : 1)的氧化物半导体靶、在衬底与靶的距离被设置成 170mm、0.4Pa 的气压下、以及直流(DC)功率源为 0.5kW 的情况下形成第一 In-Ga-Zn-O 基非单晶膜。注意,优选使用脉冲直流(DC)功率源,从而减少灰尘并实现均匀厚度。

[0089] 在通过溅射法形成 In-Ga-Zn-O 基氧化物半导体层的情况下,含 In、Ga 以及 Zn 的氧化物半导体靶可包含绝缘杂质。该杂质是以氧化硅、氧化锗、氧化铝等为代表的绝缘氧化物等、以氮化硅、氮化铝等为代表的绝缘氮化物等、或诸如氧氮化硅或氧氮化铝之类的绝缘氧氮化物等。例如,优选以 0.1% 到 10% 重量百分比、更优选以 1% 到 6% 重量百分比将 SiO_2 混入氧化物半导体靶中。

[0090] 当氧化物半导体中包含该绝缘杂质时,容易使氧化物半导体的膜成为非晶。此外,在氧化物半导体膜经受热处理的情况下,能抑制氧化物半导体膜的结晶。

[0091] 除 In-Ga-Zn-O 基氧化物半导体之外,通过含绝缘杂质的 In-Sn-Zn-O 基氧化物半导体、In-Al-Zn-O 基氧化物半导体、Sn-Ga-Zn-O 基氧化物半导体、Al-Ga-Zn-O 基氧化物半导体、Sn-Al-Zn-O 基氧化物半导体、In-Zn-O 基氧化物半导体、Sn-Zn-O 基氧化物半导体、Al-Zn-O 基氧化物半导体、In-O 基氧化物半导体、Sn-O 基氧化物半导体以及 Zn-O 基氧化物半导体能获得类似的效果。

[0092] 例如,在通过溅射法形成添加了氧化硅的 In-Sn-Zn-O 基氧化物半导体膜的情况下,使用了以预定比例烧结的 In_2O_3 、 SnO_2 、ZnO 以及 SiO_2 的靶。在添加了氧化硅的 In-Al-Zn-O 基氧化物半导体的情况下,使用其中以预定比例烧结 In_2O_3 、 Al_2O_3 、ZnO、 SiO_2 的靶形成膜。

[0093] 接着,在不暴露给空气的情况下通过溅射法形成电阻率低于第一 In-Ga-Zn-O 基非单晶膜的氧化物半导体膜(在此实施例中为第二 In-Ga-Zn-O 基非单晶膜)。这里,使用其中 In_2O_3 : Ga_2O_3 : ZnO 为 1 : 1 : 1 的靶在压力为 0.4Pa、功率为 500W、沉积温度为腔室温以及氩气流速为 40sccm 的条件下执行溅射。不论是否使用 In_2O_3 : Ga_2O_3 : ZnO 为 1 : 1 : 1 的靶,在膜形成之后可立刻形成包括大小为 1 到 10nm 的晶粒的 In-Ga-Zn-O 基

非单晶膜。注意,可以认为通过适当调节靶中的组分比、沉积压力(0.1Pa 到 2.0Pa)、功率(250W 到 3000W;8 英寸 ϕ)、温度(腔室温到 100℃)、用于沉积的反应溅射条件等可调节晶粒的存在与否或晶粒的密度,并可将其直径大小调节在 1nm 到 10nm 范围内。第二 In-Ga-Zn-O 基非单晶膜具有 5nm 到 20nm 的厚度。不言而喻,当膜包括晶粒时,晶粒的大小不会超过膜的厚度。在此实施例中,第二 In-Ga-Zn-O 基非单晶膜的厚度是 5nm。

[0094] 在与形成第二 In-Ga-Zn-O 基非单晶膜的条件不同的条件下形成第一 In-Ga-Zn-O 基非单晶膜。例如,在氧气流速与氩气流速比高于第二 In-Ga-Zn-O 基非单晶膜的条件下的氧气流速与氩气流速比的条件下形成第一 In-Ga-Zn-O 基非单晶膜。具体而言,在稀有气体(例如氩气或氦气)气氛(或氧气少于或等于 10%且氩气多于或等于 90%的气氛)中形成第二 In-Ga-Zn-O 基非单晶膜,而在氧气气氛(或氧气流速大于或等于氩气流速的气氛)中形成第一 In-Ga-Zn-O 基非单晶膜。

[0095] 注意,在此实施例中非限制地描述了其中设置了第二 In-Ga-Zn-O 基非单晶膜的示例。不一定要设置第二 In-Ga-Zn-O 基非单晶膜。

[0096] 溅射法的示例包括其中将高频功率源用作溅射功率源的 RF 溅射法、直流溅射法以及以脉冲方式施加偏压的脉冲直流溅射法。

[0097] 此外,还存在可设置不同材料的多个靶的多源溅射器件。利用该多源溅射器件,可在同一腔室中沉积层叠的不同材料膜,或可在同一腔室中通过放电同时形成多种材料的膜。

[0098] 此外,存在腔室中设置有磁铁系统且用于磁控管溅射方法的溅射器件,且在不使用辉光放电的情况下使用微波产生等离子体的用于 ECR 溅射方法的溅射器件。

[0099] 此外,作为通过溅射法的沉积方法,还存在靶物质和溅射气体组分在沉积期间相互化学反应以形成它们的化合物薄膜的反应溅射方法,以及在沉积期间也对衬底施加电压的偏压溅射方法。

[0100] 接着,执行光刻步骤以形成抗蚀剂掩模,并蚀刻第一 In-Ga-Zn-O 基非单晶膜和第二 In-Ga-Zn-O 基非单晶膜。这里,通过湿法蚀刻使用 IT007N(KANTOCHEMICAL 股份有限公司的产品)去除不必要部分,从而形成作为第一 In-Ga-Zn-O 基非单晶膜的氧化物半导体膜 485a 和 485b、以及作为第二 In-Ga-Zn-O 基非单晶膜的氧化物半导体膜 486a 和 486b。如果将铟膜、锌膜或锡膜用作金属薄膜 470,则也用 IT007N(KANTOCHEMICAL 股份有限公司的产品)蚀刻金属薄膜 470。在本实施例中,采用了其中使用了铟膜的示例;因此,金属薄膜 470 具有与作为第一 In-Ga-Zn-O 基非单晶膜的氧化物半导体膜 485a 基本相同的顶部形状。注意,此处的蚀刻不限于湿法蚀刻,而可以是干法蚀刻。图 1B 是此阶段的截面图。

[0101] 在金属薄膜 470 在上述蚀刻步骤中保留的情况下,通过使用在上述蚀刻步骤中使用的同一抗蚀剂掩模和不同的蚀刻剂或不同的蚀刻气体,使金属薄膜 470 经受蚀刻步骤以便按照选择去除金属薄膜 470。

[0102] 接着,执行光刻步骤以形成抗蚀剂掩模,并通过蚀刻去除不必要部分以形成接触孔,该接触孔到达由与栅电极层相同材料组成的引线或电极层。该接触孔被设置成与稍后形成的导电膜直接接触。例如,当形成栅电极层与驱动器电路部分中的源或漏电极层直接接触的薄膜晶体管时,或当形成电连接至端子部分的栅极引线的端子时,形成接触孔。注意,这里无特殊限制地描述了其中通过光刻步骤形成用于与将稍后形成的导电膜直接连接

的接触孔的示例。可稍后在形成与像素电极连接的接触孔的步骤中形成到达栅电极层的接触孔,而且可将与像素电极相同的材料用于电连接。在将与像素电极相同的材料用于电连接的情况下,可将掩模的数量减少一个。

[0103] 然后,通过溅射法或真空蒸发沉积法用金属材料在作为第二 In-Ga-Zn-O 基非单晶膜的氧化物半导体膜 486a 和 486b 上以及栅绝缘层 403 上形成导电膜。

[0104] 作为导电膜的材料,存在从 Al、Cr、Ta、Ti、Mo 或 W 中选择的元素、包含这些元素中的任一种的合金、包含这些元素的组合的合金膜等。此外,如果在 200℃ 到 600℃ 下执行热处理,则导电膜优选具有针对这样的热处理的耐热性。因为单独使用 Al 带来了诸如低耐热性和容易被腐蚀之类的缺点,所以与具有耐热性的导电材料组合使用铝。作为要与 Al 组合使用的具有耐热性的导电材料,可使用从钛 (Ti)、钽 (Ta)、钨 (W)、钼 (Mo)、铬 (Cr)、钕 (Nd) 或钪 (Sc) 中选择的元素、或包含这些元素中的任一种的合金、包含这些元素的组合的合金、或包含这些元素中的任一种的氮化物。

[0105] 这里,导电膜具有钛膜的单层结构。替代地,该导电膜可具有钛膜叠在铝膜上的两层结构。再或者,该导电膜可具有包括 Ti 膜、叠在 Ti 膜上的含 Nd 的铝膜 (Al-Nd)、以及在上述膜上形成的 Ti 膜的三层结构。该导电膜可具有含硅铝膜的单层结构。

[0106] 然后,通过光刻步骤形成抗蚀剂掩模,并通过蚀刻去除不必要部分。因此,在像素部分中形成源和漏电极层 105a 和 105b 以及作为源区和漏区的 n^+ 型层 104a 和 104b,而在驱动器电路部分中形成作为源和漏电极层的第一和第二引线 409 和 410 以及作为源区和漏区的 n^+ 型层 406a 和 406b。这时使用湿法蚀刻或干法蚀刻作为蚀刻方法。例如,当使用铝膜或铝合金膜作为导电膜时,可执行使用磷酸、醋酸以及硝酸的混合溶液的湿法蚀刻。这里,通过使用氨双氧水混合物的湿法蚀刻(双氧水与氨以及水的比例为 5 : 2 : 2),蚀刻 Ti 膜的导电膜以形成源和漏电极层,并蚀刻第二 In-Ga-Zn-O 基非单晶膜以形成 n^+ 型层 104a 和 104b。在此蚀刻步骤中,将氧化物半导体膜的暴露区域部分蚀刻为氧化物半导体层 103。因此, n^+ 型层 104a 和 104b 之间的氧化物半导体层 103 的沟道区具有小厚度。在同一步骤中通过使用氨双氧水混合物蚀刻源和漏电极层 105a 和 105b 以及 n^+ 型层 104a 和 104b;因此,使源和漏电极层 105a 和 105b 的端部与 n^+ 型层 104a 和 104b 的端部对齐,从而这些端部如图 1 所示地连续。通过上述步骤,能在像素部分中形成包括氧化物半导体层 103 作为沟道形成区的第二薄膜晶体管 170。

[0107] 接着,优选在 200℃ 到 600℃ 下、通常在 300℃ 到 500℃ 下执行热处理(该热处理可以是利用光的退火)。这里,在炉中在 350℃ 下在氮气气氛中执行热处理 1 小时。该热处理也可称为将金属薄膜 470 部分或全部氧化的氧化处理。在本实施例中,金属薄膜 470 成为氧化铟膜、第一氧化物半导体层 471。通过上述步骤,可在驱动器电路中制造包括第一氧化物半导体层 471 和第二氧化物半导体层 405 的叠层的第一薄膜晶体管 430。图 1C 是此阶段的截面图。此外,通过此热处理,在 In-Ga-Zn-O 基非单晶膜中发生原子级的重排。要注意的是,对热处理的定时不存在特定限制,只要在第二 In-Ga-Zn-O 基非单晶膜形成之后的任何时候进行即可,而且例如,可在像素电极形成之后执行热处理。

[0108] 注意,虽然热处理之前的金属薄膜 470 的厚度与热处理之后的第一氧化物半导体层即经过氧化的金属薄膜 470 的厚度在图 1C 中基本相同,但第一氧化物半导体层 471 的厚度由于氧化可大于热处理之前的金属薄膜的厚度。而且,由于第一氧化物半导体层 471 的

厚度的增加,覆盖的第二氧化物半导体层 405 的厚度可小于热处理之前的厚度。

[0109] 接着,去除抗蚀剂掩模,并形成保护绝缘层 412 以覆盖第一薄膜晶体管 430 和第二薄膜晶体管 170。作为保护绝缘层 412,可使用通过溅射法等形成的氮化硅膜、氧化硅膜、氧氮化硅膜、氧化铝膜、氮化铝膜、氧氮化铝膜、氧化钽膜等等的单层或叠层。保护绝缘层 412 具有 50nm 到 400nm 的厚度。

[0110] 接着,执行第五光刻步骤以形成抗蚀剂掩模,并蚀刻保护绝缘层 412 以形成到达源电极层或漏电极层 105b 的接触孔。

[0111] 然后去除抗蚀剂掩模。然后形成导电膜,执行光刻步骤以形成抗蚀剂掩模,并蚀刻该导电膜以形成电连接至源电极层或漏电极层 105b 的第一电极 472。然后,形成绝缘层 473,该绝缘层 473 用作隔离相邻像素的第一电极的隔离壁。然后,在第一电极 472 上形成包括发光层的有机化合物层 475,并在该有机化合物层上形成第二电极 474。发光元件至少包括第一电极 472、包括发光层的有机化合物层 475 以及第二电极 474。图 1D 是此阶段的截面图。

[0112] 注意,本实施例在无特定限制的情况下给出了包括发光元件的发光显示器件的示例。可制造液晶显示器件或电子纸。

[0113] 通过将包括氧化物半导体层的叠层的薄膜晶体管用于诸如液晶显示器件、发光显示器件、电子纸等等中的栅线驱动器电路或源线驱动器电路之类的外围电路,可实现驱动速度的增加和功耗的降低。此外,可在不会显著增加步骤数量的情况下,在同一衬底上既设置像素部分又设置驱动器电路。通过在同一衬底上设置除像素部分之外的多种电路,能降低显示器件的制造成本。

[0114] (实施例 2)

[0115] 在本实施例中,以下将描述使用两个 n 沟道薄膜晶体管形成的反相器电路的示例。本反相器电路被用作驱动器电路的一部分。注意实施例 1 中的第一薄膜晶体管 430 与图 2A 中的第一薄膜晶体管 430 相同;因此省略了详细描述。

[0116] 在本实施例中,提供了包括在具有绝缘表面的衬底上的能高速工作的驱动器电路的新颖结构。此外,还提供了该结构的新颖制造方法。此外,还提供了用于在一个衬底上制造其中将氧化物半导体层的叠层用作沟道形成区的第一薄膜晶体管和其中将氧化物半导体层的单层用作沟道形成区的第二薄膜晶体管的新颖方法。

[0117] 图 2A 示出驱动器电路的反相器电路的截面结构。在图 2A 中,在衬底 400 上设置了第一栅电极 401 和第二栅电极 402。

[0118] 此外,形成了覆盖第一栅电极 401 的栅绝缘层 403 和第二栅电极 402。在栅绝缘层 403 上与第一栅电极 401 交迭的位置处设置第一氧化物半导体层 471 和第二氧化物半导体层 405 的叠层。在栅绝缘层 403 上与第二栅电极 402 交迭的位置处设置第三氧化物半导体层 451 和第四氧化物半导体层 407 的叠层。

[0119] 此外,在第二氧化物半导体层 405 和第四氧化物半导体层 407 上,设置第一引线 409、第二引线 410 以及第三引线 411。第二引线 410 通过形成在栅绝缘层 403 中的接触孔 404 直接连接至第二栅电极 402。注意,对接触孔 404 的形成的定时并无特定限制,只要在形成栅绝缘层 403 之后进行即可。例如,可在稍后进行的氧化物半导体膜的蚀刻之后、或甚至在蚀刻之后进行的热处理之后形成接触孔 404。注意,在第二氧化物半导体层 405 与第一

引线 409 之间设置 n^+ 型层 406a,而在第二氧化物半导体层 405 与第二引线 410 之间设置 n^+ 型层 406b。此外,在第四氧化物半导体层 407 与第二引线 410 之间设置 n^+ 型层 408a,而在第四氧化物半导体层 407 与第三引线 411 之间设置 n^+ 型层 408b。

[0120] 第一薄膜晶体管 430 包括:第一栅电极 401;与第一栅电极 401 交迭的第一氧化物半导体层 471 和第二氧化物半导体层 405 的叠层,该叠层与第一栅电极 401 之间插入有栅绝缘层 403;以及第一引线 409,它是地电位的电源线(接地电源线)。此地电位的电源线可以是施加了负电压 VDL 的电源线(负电源线)。

[0121] 此外,第二薄膜晶体管 431 包括:第二栅电极 402;与第二栅电极 402 交迭的第三氧化物半导体层 451 和第四氧化物半导体层 407 的叠层,该叠层与第二栅电极 402 之间插入有栅绝缘层 403;以及第三引线 411,它是被施加正电压 VDD 的电源线(正电源线)。

[0122] 如图 2A 所示,电连接至第二氧化物半导体层 405 和第四氧化物半导体层 407 的第二引线 410 通过形成在栅绝缘层 403 中的接触孔 404 直接连接至第二薄膜晶体管 431 的第二栅电极 402。通过第二引线 410 与第二栅电极 402 的直接连接,能获得良好的接触,这能导致接触电阻减小。与第二栅电极 402 和第二引线 410 利用另一导电膜——例如透明导电膜——相互连接的情况相比,可实现接触孔数量的减少和由于接触孔数量减少而驱动器电路占据的面积减小。

[0123] 进一步,图 2C 是驱动器电路的反相器电路的俯视图。在图 2C 中,沿点划线 Z1-Z2 所取的截面对应于图 2A。

[0124] 此外,图 2B 示出 EDMOS 电路的等效电路。图 2B 示出了图 2A 和 2C 中所示的电路连接。示出了其中第一薄膜晶体管 430 是 n 沟道增强型晶体管、而第二薄膜晶体管 431 是 n 沟道耗尽型晶体管的示例。

[0125] 虽然在图 2A 到 2C 中描述了 EDMOS 电路的示例,但可替代地使用 EEMOS 电路。图 3 中示出了 EEMOS 电路的等效电路。在图 3 中所示的等效电路中,在以下任一种情况下可形成驱动器电路:第一薄膜晶体管 460 和第二薄膜晶体管 461 都是 n 沟道增强型晶体管的情况,或第一薄膜晶体管 460 是 n 沟道增强型晶体管、而第二薄膜晶体管 461 即另一晶体管是 n 沟道耗尽型晶体管的情况。

[0126] 可以认为,优选使用图 3 中所示的电路构造,其中将同一类型的 n 沟道增强型晶体管组合用于驱动器电路。这是因为,在这样的情况下,用于像素部分的晶体管也由与用于驱动器电路的相同类型的 n 沟道增强型晶体管形成,因而没有增加制造步骤的数量。

[0127] 此外,在实施例 1 中,在无特定限制的情况下给出了其中在层叠金属薄膜和氧化物半导体层之后,将金属薄膜氧化以形成第一氧化物半导体层和第二氧化物半导体层的叠层的示例。例如,还可采用以下制造工艺:在整个表面上形成第一氧化物半导体层之后,用抗蚀剂覆盖第一氧化物半导体层,并将像素部分中的第一氧化物半导体层蚀刻掉;然后去除抗蚀剂;然后,在整个表面上形成第二氧化物半导体层。利用这样的制造工艺,有可能在同一衬底上形成其中设置了包括氧化物半导体层的单层的薄膜晶体管的像素部分、和其中设置了包括氧化物半导体层的叠层的薄膜晶体管的驱动器电路。

[0128] 注意可将本实施方式与实施例 1 任意地组合。

[0129] (实施例 3)

[0130] 以下描述作为半导体器件的示例的显示器件。在该显示器件中,在一个衬底上形

成驱动器电路的至少一部分和像素部分中的薄膜晶体管。

[0131] 根据实施例 1 形成像素部分中的薄膜晶体管。该薄膜晶体管是 n 沟道 TFT ;因此,在同一衬底上形成可使用 n 沟道 TFT 形成的驱动器电路的一部分作为像素部分中的薄膜晶体管。

[0132] 图 4A 示出作为半导体器件的示例的有源矩阵液晶显示器件的框图的示例。图 4A 中所示的显示器件在衬底 5300 上包括 :像素部分 5301,其包括分别设置有显示元件的多个像素 ;选择像素的扫描线驱动器电路 5302 ;以及控制输入选定像素的视频信号的信号线驱动器电路 5303。

[0133] 实施方式 1 中描述的薄膜晶体管是 n 沟道 TFT。参照图 5 描述包括 n 沟道 TFT 的信号线驱动器电路。

[0134] 图 5 的信号线驱动器电路包括驱动器 IC 5601、开关组 5602_1 到 5602_M、第一引线 5611、第二引线 5612、第三引线 5613 以及引线 5621_1 到 5621_M。开关组 5602_1 到 5602_M 的每一个包括第一薄膜晶体管 5603a、第二薄膜晶体管 5603b 以及第三薄膜晶体管 5603c。

[0135] 像素部分 5301 利用从信号线驱动器电路 5303 沿列向延伸的多条信号线 S1 到 Sm (未示出) 连接至信号线驱动器电路 5303,且利用从扫描线驱动器电路 5302 沿行向延伸的多条扫描线 G1 到 Gn (未示出) 连接至扫描线驱动器电路 5302。像素部分 5301 包括排列成矩阵以便对应于信号线 S1 到 Sm 和扫描线 G1 到 Gn 的多个像素 (未示出)。此外,各个像素连接至信号线 Sj (信号线 S1 到 Sm 中的任一条) 和扫描线 Gi (扫描线 G1 到 Gn 中的任一条)。

[0136] 驱动器 IC 5601 连接至第一引线 5611、第二引线 5612、第三引线 5613 以及引线 5621_1 到 5621_M。开关组 5602_1 到 5602_M 中的每一个连接至第一引线 5611、第二引线 5612 以及第三引线 5613。此外,开关组 5602_1 到 5602_M 分别连接至引线 5621_1 到 5621_M。引线 5621_1 到 5621_M 中的每一条通过第一薄膜晶体管 5603a、第二薄膜晶体管 5603b 以及第三薄膜晶体管 5603c 连接至三条信号线。例如,第 J 列的引线 5621_J (引线 5621_1 到 5621_M 中的一条) 分别通过开关组 5602_J 中的第一薄膜晶体管 5603a、第二薄膜晶体管 5603b 以及第三薄膜晶体管 5603c 连接至信号线 Sj-1、信号线 Sj 以及信号线 Sj+1。

[0137] 注意信号被输入第一引线 5611、第二引线 5612 以及第三引线 5613 中的每一条引线。

[0138] 注意,优选地在单晶半导体衬底上形成驱动器 IC 5601。此外,优选地在与像素部分相同的衬底上形成开关组 5602_1 到 5602_M。因此,优选通过 FPC 等将驱动器 IC 5601 连接至开关组 5602_1 到 5602_M。

[0139] 接着,参照图 6 中的时序图描述图 5 的信号线驱动器电路的操作。图 6 示出其中选择了第 i 行中的扫描线 Gi 的时序图。第 i 行中的扫描线 Gi 的选择周期被分成第一子选择周期 T1、第二子选择周期 T2 以及第三子选择周期 T3。此外,当选择了另一行中的扫描线时,图 5 的扫描线驱动器电路如图 6 所示地工作。

[0140] 注意,图 6 的时序图指示出第 J 列中的引线 5621_J 分别通过第一薄膜晶体管 5603a、第二薄膜晶体管 5603b 以及第三薄膜晶体管 5603c 连接至信号线 Sj-1、信号线 Sj 以及信号线 Sj+1 的情况。

[0141] 图 6 的时序图指示出选择了第 i 行中的扫描线 Gi 的时序、第一薄膜晶体管 5603a 导

通 / 截止的时序 5703a、第二薄膜晶体管 5603b 导通 / 截止的时序 5703b、第三薄膜晶体管 5603c 导通 / 截止的时序 5703c 以及输入第 J 列中的引线 5621_J 的信号 5721_J。

[0142] 在第一子选择周期 T1、第二子选择周期 T2 以及第三子选择周期 T3 中,将不同的视频信号输入引线 5621_1 到 5621_M。例如,在第一子选择周期 T1 中将输入引线 5621_J 的视频信号输入信号线 S_{j-1},在第二子选择周期 T2 中将输入引线 5621_J 的视频信号输入信号线 S_j,以及在第三子选择周期 T3 中将输入引线 5621_J 的视频信号输入信号线 S_{j+1}。通过数据 _j-1、数据 _j 以及数据 _j+1 分别表示在第一子选择周期 T1 中、第二子选择周期 T2 中以及第三子选择周期 T3 中输入引线 5621_J 的视频信号。

[0143] 如图 6 所示,在第一子选择周期 T1 中,第一薄膜晶体管 5603a 导通,而第二薄膜晶体管 5603b 和第三薄膜晶体管 5603c 截止。此时,输入引线 5621_J 的数据 _j-1 经由第一薄膜晶体管 5603a 输入信号线 S_{j-1}。在第二子选择周期 T2 中,第二薄膜晶体管 5603b 导通,而第一薄膜晶体管 5603a 和第三薄膜晶体管 5603c 截止。此时,将输入引线 5621_J 的数据 _j 经由第二薄膜晶体管 5603b 输入信号线 S_j。在第三子选择周期 T3 中,第三薄膜晶体管 5603c 导通,而第一薄膜晶体管 5603a 和第二薄膜晶体管 5603b 截止。此时,将输入引线 5621_J 的数据 _j+1 经由第三薄膜晶体管 5603c 输入信号线 S_{j+1}。

[0144] 如上所述,在图 5 的信号线驱动器电路中,将一个门选周期分成三个;因此,可在一个门选周期中将视频信号从一条引线 5621 输入到三条信号线中。因此,在图 5 中的信号线驱动器电路中,在设置有驱动器 IC 5601 的衬底与设置有像素部分的衬底之间的连接的数量可以是信号线数量的约 1/3。当将连接数量减少到信号线数量的约 1/3 时,能提高图 5 中的信号线驱动器电路的可靠性、生产率等。

[0145] 要注意的是,对薄膜晶体管的排列、数量、驱动方法等并无特定限制,只要将一个门选周期分成多个子选择周期,并如图 5 所示地在相应的子选择周期将视频信号从一条引线输入多条信号线即可。

[0146] 例如,当在相应的子选择周期中将视频信号从一条引线输入到三条或更多条信号线时,只需要添加一个薄膜晶体管和用于控制该薄膜晶体管的一条引线。要注意的是,当将一个门选择周期分成四个或多个子选择周期时,每个子选择周期变短。因此,优选地将一个门选择周期分成两个或三个子选择周期。

[0147] 作为另一示例,如图 7 的时序图所示,可将一个选择周期分成预充电周期 T_p、第一子选择周期 T1、第二子选择周期 T2 以及第三子选择周期 T3。图 7 的时序图示出了选择了第 i 行中的扫描线 G_i 的时序、使第一薄膜晶体管 5603a 导通 / 截止的时序 5803a、使第二薄膜晶体管 5603b 导通 / 截止的时序 5803b、使第三薄膜晶体管 5603c 导通 / 截止的时序 5803c 以及输入第 J 列中的引线 5621_J 的信号 5821_J。如图 7 所示,第一薄膜晶体管 5603a、第二薄膜晶体管 5603b 以及第三薄膜晶体管 5603c 在预充电周期 T_p 中导通。此时,将输入引线 5621_J 的预充电电压 V_p 分别通过第一薄膜晶体管 5603a、第二薄膜晶体管 5603b 以及第三薄膜晶体管 5603c 输入信号线 S_{j-1}、信号线 S_j 以及信号线 S_{j+1}。在第一子选择周期 T1 中,第一薄膜晶体管 5603a 导通,而第二薄膜晶体管 5603b 和第三薄膜晶体管 5603c 截止。此时,将输入引线 5621_J 的数据 _j-1 通过第一薄膜晶体管 5603a 输入信号线 S_{j-1}。在第二子选择周期 T2 中,第二薄膜晶体管 5603b 导通,而第一薄膜晶体管 5603a 和第三薄膜晶体管 5603c 截止。此时,将输入引线 5621_J 的数据 _j 通过第二薄膜晶体管 5603b 输入信

号线 S_j。在第三子选择周期 T₃ 中,第三薄膜晶体管 5603c 导通,而第一薄膜晶体管 5603a 和第二薄膜晶体管 5603b 截止。此时,将输入引线 5621_J 的数据 _j+1 通过第三薄膜晶体管 5603c 输入信号线 S_j+1。

[0148] 如上所述,在应用了图 7 的时序图的图 5 的信号线驱动器电路中,可通过在子选择周期之前提供预充电周期对信号线预充电。因此,可将视频信号高速地写入像素。注意,通过相同的附图标记表示图 7 中类似于图 6 的部分,而且省略相同部分或具有相似功能的部分的详细描述。

[0149] 接着,描述扫描线驱动器电路的构成。该扫描线驱动器电路包括移位寄存器和缓冲器。在某些情况下,该扫描线驱动器电路还可包括电平移动器。在该扫描线驱动器电路中,当将时钟信号 (CLK) 和起动脉冲信号 (SP) 输入移位寄存器时,产生选择信号。所产生的选择信号被缓冲器缓存和放大,而所得的信号被提供给相应的扫描线。一条线中的像素中的晶体管的栅电极连接至扫描线。此外,因为必须使一条线的像素中的晶体管同时立即导通,所以使用了能馈送大电流的缓冲器。

[0150] 参照图 8 和图 9 描述用作扫描线驱动器电路的一部分的移位寄存器的示例。

[0151] 图 8 示出该移位寄存器的电路构造。图 8 中所示的移位寄存器包括多个触发器:触发器 5701₁ 到 5701_n。通过输入第一时钟信号、第二时钟信号、起动脉冲信号以及复位信号操作该移位寄存器。

[0152] 描述了图 8 的移位寄存器的连接关系。在图 8 的移位寄存器中的第 i 级的触发器 5701_i (触发器 5701₁ 到 5701_n 中的一个) 中,图 9 中所示的第一引线 5501 连接至第七引线 5717_{i-1},图 9 中所示的第二引线 5502 连接至第七引线 5717_{i+1},图 9 中所示的第三引线 5503 连接至第七引线 5717_i,以及图 9 中所示的第六引线 5506 连接至第五引线 5715。

[0153] 此外,图 9 中所示的第四引线 5504 连接至奇数级的触发器中的第二引线 5712,且连接至偶数级的触发器中的第三引线 5713。图 9 中所示的第五引线 5505 连接至第四引线 5714。

[0154] 注意,图 9 中所示的第一级的触发器 5701₁ 的第一引线 5501 连接至第一引线 5711,而图 9 中所示的第 n 级触发器 5701_n 的第二引线 5502 连接至第六引线 5716。

[0155] 注意,第一引线 5711、第二引线 5712、第三引线 5713 以及第六引线 5716 可分别称为第一信号线、第二信号线、第三信号线以及第四信号线。第四引线 5714 和第五引线 5715 可分别称为第一电源线和第二电源线。

[0156] 图 9 示出图 8 中所示触发器的细节。图 9 中所示的触发器包括第一薄膜晶体管 5571、第二薄膜晶体管 5572、第三薄膜晶体管 5573、第四薄膜晶体管 5574、第五薄膜晶体管 5575、第六薄膜晶体管 5576、第七薄膜晶体管 5577 以及第八薄膜晶体管 5578。注意第一薄膜晶体管 5571、第二薄膜晶体管 5572、第三薄膜晶体管 5573、第四薄膜晶体管 5574、第五薄膜晶体管 5575、第六薄膜晶体管 5576、第七薄膜晶体管 5577 以及第八薄膜晶体管 5578 中的每一个均为 n 沟道晶体管,而且在栅-源电压 (V_{gs}) 超过阈值电压 (V_{th}) 时导通。

[0157] 在图 9 中,第三薄膜晶体管 5573 的栅电极电连接至电源线。此外,可以认为其中第三薄膜晶体管 5573 连接至第四薄膜晶体管 5574 的电路 (被图 9 中的点划线包围的电路) 对应于具有图 2A 中所示结构的电路。虽然这里描述了其中所有薄膜晶体管都是 n 沟道增强型晶体管的示例,但并不特定限于此示例。例如,甚至可将 n 沟道耗尽型晶体管用作第三

薄膜晶体管 5573 来驱动驱动器电路。

[0158] 现在,以下描述图 9 中所示的触发器的连接结构。

[0159] 第一薄膜晶体管 5571 的第一电极(源电极或漏电极之一)连接至第四引线 5504,而第一薄膜晶体管 5571 的第二电极(源电极或漏电极中的另一个)连接至第三引线 5503。

[0160] 第二薄膜晶体管 5572 的第一电极连接至第六引线 5506。第二薄膜晶体管 5572 的第二电极连接至第三引线 5503。

[0161] 第三薄膜晶体管 5573 的第一电极连接至第五引线 5505。第三薄膜晶体管 5573 的第二电极连接至第二薄膜晶体管 5572 的栅电极。第三薄膜晶体管 5573 的栅电极连接至第五引线 5505。

[0162] 第四薄膜晶体管 5574 的第一电极连接至第七引线 5506。第四薄膜晶体管 5574 的第二电极连接至第二薄膜晶体管 5572 的栅电极。第四薄膜晶体管 5574 的栅电极连接至第一薄膜晶体管 5571 的栅电极。

[0163] 第五薄膜晶体管 5575 的第一电极连接至第五引线 5505。第五薄膜晶体管 5575 的第二电极连接至第一薄膜晶体管 5571 的栅电极。第五薄膜晶体管 5575 的栅电极连接至第一引线 5501。

[0164] 第六薄膜晶体管 5576 的第一电极连接至第六引线 5506。第六薄膜晶体管 5576 的第二电极连接至第一薄膜晶体管 5571 的栅电极。第六薄膜晶体管 5576 的栅电极连接至第二薄膜晶体管 5572 的栅电极。

[0165] 第七薄膜晶体管 5577 的第一电极连接至第六引线 5506。第七薄膜晶体管 5577 的第二电极连接至第一薄膜晶体管 5571 的栅电极。第七薄膜晶体管 5577 的栅电极连接至第二引线 5502。第八薄膜晶体管 5578 的第一电极连接至第六引线 5506。第八薄膜晶体管 5578 的第二电极连接至第二薄膜晶体管 5572 的栅电极。第八薄膜晶体管 5578 的栅电极连接至第一引线 5501。

[0166] 注意,第一薄膜晶体管 5571 的栅电极、第四薄膜晶体管 5574 的栅电极、第五薄膜晶体管 5575 的第二电极、第六薄膜晶体管 5576 的第二电极以及第七薄膜晶体管 5577 的第二电极所连接的点被称为节点 5543。第二薄膜晶体管 5572 的栅电极、第三薄膜晶体管 5573 的第二电极、第四薄膜晶体管 5574 的第二电极、第六薄膜晶体管 5576 的栅电极以及第八薄膜晶体管 5578 的第二电极所连接的点被称为节点 5544。

[0167] 第一引线 5501、第二引线 5502、第三引线 5503 以及第四引线 5504 可分别称为第一信号线、第二信号线、第三信号线以及第四信号线。第五引线 5505 和第六引线 5506 可分别称为第一电源线和第二电源线。

[0168] 此外,可仅使用实施例 2 中描述的 n 沟道 TFT 形成信号线驱动器电路和扫描线驱动器电路。实施例 2 中所描述的 n 沟道 TFT 具有高迁移率,从而可提高驱动器电路的驱动频率。例如,使用实施例 2 中所描述的 n 沟道 TFT 的扫描线驱动器电路可高速地工作,从而可提高帧频率并实现黑色插入(black insertion)。

[0169] 此外,例如,当提高了扫描线驱动器电路中的晶体管沟道宽度或设置了多个扫描线驱动器电路时,可实现更高的帧频率。当设置了多个扫描线驱动器电路时,将用于驱动偶数扫描线的扫描线驱动器电路设置在一侧,而将用于驱动奇数行扫描线的扫描线驱动器电路设置在另一侧;因此,可实现帧频率的提高。此外,使用多个扫描线驱动器电路用于向同

一扫描线输出信号对于增大显示器件的大小是有利的。

[0170] 在制造作为半导体器件的示例的有源矩阵发光显示器件的情况下,因为在至少一个像素中设置多个薄膜晶体管,所以优选设置多个扫描线驱动器电路。图 4B 中示出了有源矩阵发光显示器件的框图的示例。

[0171] 图 4B 中所示的发光显示器件在衬底 5400 上包括:包括分别设置有显示元件的多个像素的像素部分 5401;选择像素的第一扫描线驱动器电路 5402 和第二扫描线驱动器电路 5404;以及控制输入选定像素的视频信号的信号线驱动器电路 5403。

[0172] 在向图 4B 的发光显示器件的像素输入数字视频信号的情况下,通过开/关晶体管将像素置于发光状态或不发光状态。因此,可使用面积比灰度法或时间比灰度法显示灰度。面积比灰度法指的是通过将一个像素分成多个子像素并基于视频信号独立地驱动各个子像素从而显示灰度的驱动方法。此外,时间比灰度法指的是通过控制像素发射光的周期从而显示灰度的驱动方法。

[0173] 因为发光元件的响应时间比液晶元件等的响应时间快,所以发光元件适合于时间比灰度法。具体而言,在通过时间灰度方法显示的情况下,将一个帧周期分成多个子帧周期。接着,根据视频信号,在各个子帧周期中将像素中的发光元件置为发光状态或不发光状态。通过将一个帧周期分成多个子帧周期,可利用视频信号控制像素在一个帧周期中实际发光的总时间长度,从而显示灰度。

[0174] 注意在图 4B 的发光显示器件的示例中,在一个像素包括两个开关 TFT 的情况下,输入第一扫描线即开关 TFT 之一的栅极引线的信号在第一扫描线驱动器电路 5402 中产生,而输入第二扫描线即另一开关 TFT 的栅极引线的信号在第二扫描线驱动器电路 5404 中产生。不过,输入第一扫描线和第二扫描线的信号都可在一个扫描线驱动器电路中产生。此外,例如,根据一个像素中所包括的开关 TFT 的数量,有可能在每个像素中设置用于控制开关元件的操作的多条扫描线。在此情况下,输入扫描线的信号均可在一个扫描线驱动器电路中产生,或在多个扫描线驱动器电路中产生。

[0175] 同样,在发光显示器件中,可将可利用 n 沟道 TFT 形成的驱动器电路的一部分与像素部分的薄膜晶体管一起设置在一个衬底上。此外,可仅使用实施例 2 中描述的 n 沟道 TFT 制造信号线驱动器电路和扫描线驱动器电路。

[0176] 上述驱动器电路不仅可用于液晶显示器件或发光显示器件,还可用于其中通过使用电连接至开关元件的元件驱动电子墨水的电子纸。电子纸也被称为电泳显示器件(电泳显示器),而且其优点在于,它具有与普通纸张一样的可阅读性,它具有比其它显示器件更低的功耗,而且它可被制造得薄和轻。

[0177] 存在多种模式的电泳显示器。在电泳显示器中,分别包括具有正电荷的第一粒子和具有负电荷的第二粒子的多个微胶囊散布在溶剂或溶液中,而且将电场施加给这些微胶囊,从而微胶囊中的粒子以彼此相反的方向移动,从而仅显示聚集在一侧的粒子的颜色。注意第一粒子或第二粒子包括染色剂,而且当没有电场时它们不移动。此外,第一粒子的颜色不同于第二粒子的颜色(这些粒子也可以是无色的)。

[0178] 因此,电泳显示器利用了所谓的介电泳效应,其中具有高介电常数的物质向具有高电场的区域运动。电泳显示器不需要液晶显示器所必需的极化板和对衬底,因此它的厚度和重量约为液晶显示器的一半。

[0179] 在溶剂中散布的上述微胶囊所处于的溶液被称为电子墨水。可将此电子墨水印刷在玻璃、塑料、布料、纸张等的表面上。利用滤色器或包括着色行为的粒子有可能实现彩色显示。

[0180] 此外,通过在有源矩阵衬底上适当地设置多个微胶囊以插入两个电极之间,可完成有源矩阵显示器件,而且通过对微胶囊施加电场能实现显示。例如,可使用利用实施例 1 到 2 中所描述的薄膜晶体管获得的有源矩阵衬底。

[0181] 注意,微胶囊中的第一粒子和第二粒子可分别由导电材料、绝缘材料、半导体材料、磁性材料、液晶材料、铁电材料、电致发光材料、电致变色材料、以及磁泳材料中的任一种材料组成,或由这些材料的复合材料组成。

[0182] 通过上述工艺,可将高可靠的显示器件制造为半导体器件。

[0183] 可与其它实施例中描述的任一结构以适当的组合实现本实施例。

[0184] (实施例 4)

[0185] 本实施例描述作为半导体器件的发光显示器件的示例。作为显示器件的显示元件,这里描述了利用电致发光的发光元件。利用电致发光的发光元件是根据发光材料是有机化合物还是无机化合物来分类的。前者称为有机 EL 元件,而后者被称为无机 EL 元件。

[0186] 在有机 EL 元件中,通过对发光元件施加电压,电子和空穴分别从一对电极注入包含发光有机化合物的层中,从而电流流动。然后那些载流子(电子和空穴)复合,从而激发发光有机化合物。当发光有机化合物从激发态返回基态时,光发射。由于这种机制,这种发光元件被称为电流激发发光元件。

[0187] 根据无机 EL 元件的元件结构将它们分类为散射型无机 EL 元件和薄膜型无机 EL 元件。散射型无机 EL 元件具有发光材料的粒子散布在粘合剂中的发光层,而且其发光机制是利用施主能级和受主能级的施主-受主复合型发光。薄膜型无机 EL 元件具有发光层被夹在介电层之间、而介电层又进一步夹在电极之间的结构,其发光机制是利用金属离子的内层电子跃迁的局部型发光。注意,这里使用有机 EL 元件作为发光元件作出该描述。

[0188] 图 10 示出可应用数字时间灰度驱动的作为半导体器件的示例的像素结构的示例。

[0189] 以下描述可应用数字时间灰度驱动的像素的结构和操作。在本示例中,一个像素包括沟道形成区中有氧化物半导体层(通常为 In-Ga-Zn-O 基非单晶膜)的两个 n 沟道晶体管。

[0190] 像素 6400 包括开关晶体管 6401、驱动晶体管 6402、发光元件 6404 以及电容器 6403。开关晶体管 6401 的栅极连接至扫描线 6406,开关晶体管 6401 的第一电极(源电极和漏电极中的一个)连接至信号线 6405,而开关晶体管 6401 的第二电极(源电极和漏电极中的另一个)连接至驱动晶体管 6402 的栅极。驱动晶体管 6402 的栅极通过电容器 6403 连接至电源线 6407,驱动晶体管 6402 的第一电极连接至电源线 6407,以及驱动晶体管 6402 的第二电极连接至发光元件 6404 的第一电极(像素电极)。发光元件 6404 的第二电极对应于公共电极 6408。公共电极 6408 电连接至设置在同一衬底上的公共电位线,而且可将连接部分用作公共连接部分。

[0191] 注意,发光元件 6404 的第二电极(公共电极 6408)被设置为低电源电位。当设置给电源线 6407 的高电源电位是基准时,低电源电位是低于该高电源电位的电位。例如可采

用 GND、0V 等作为低电源电位。为了通过向发光元件 6404 施加高电源电位与低电源电位之间的电位差,从而电流流过发光元件 6404 以使发光元件 6404 发光,要将各个电位设置成使高电源电位与低电源电位之间的电位差高于或等于发光元件 6404 的正向阈值电压。

[0192] 驱动晶体管 6402 的栅极电容可用作电容器 6403 的替代物,因此可省去电容器 6403。可在沟道区与栅电极之间形成驱动晶体管 6402 的栅电容。

[0193] 在电压-输入电压驱动方法的情况下,将视频信号输入驱动晶体管 6402 的栅极,以使驱动晶体管 6402 完全导通或完全截止。即,驱动晶体管 6402 在线性区中工作。因为驱动晶体管 6402 在线性区中工作,所以高于电源线 6407 电压的电压被施加给驱动晶体管 6402 的栅极。注意,大于或等于驱动晶体管 6402 的电源线电压与电压 V_{th} 之和的电压被施加给信号线 6405。

[0194] 在执行模拟灰度驱动法代替数字时间灰度法的情况下,通过改变信号输入可使用如图 10 中一样的像素结构。

[0195] 在执行模拟灰度驱动的情况下,将高于或等于发光元件 6404 的正向电压与驱动晶体管 6402 的 V_{th} 之和的电压施加给驱动晶体管 6402 的栅极。发光元件 6404 的正向电压指的是获得期望照度的电压,且包括至少正向阈值电压。通过输入视频信号以使驱动晶体管 6402 能在饱和区中工作,电流可流过发光元件 6404。为了使驱动晶体管 6402 能工作于饱和区,将电源线 6407 的电位设置成高于驱动晶体管 6402 的栅极电位。当使用了模拟视频信号时,可根据视频信号将电流馈送至发光元件 6404,而且能执行模拟灰度驱动。

[0196] 注意,图 10 中所示的像素结构不限于此。例如,可向图 10 中的像素添加开关、电阻器、电容器、晶体管、逻辑电路等。

[0197] 接着,参照图 11A 到 11C 描述发光元件的结构。这里将以 n 沟道驱动 TFT 为例描述像素的截面结构。通过类似于用于形成实施例 1 中所描述的第二薄膜晶体管 170 的方法可形成用于图 11A 到 11C 所示的半导体器件的驱动 TFT 的 TFT7001、7011 以及 7021。TFT 7001、7011 以及 7021 分别包括氧化物半导体膜作为半导体层。

[0198] 为提取从发光元件发出的光,需要阳极或阴极中的至少一个为透明。在衬底上形成薄膜晶体管 and 发光元件。发光元件可具有通过与衬底相对的表面提取光的顶发光结构、通过衬底的表面提取光的底发光结构、或通过与衬底相对的表面和衬底的表面提取光的双发光结构。可将该像素结构应用于具有这些发光结构中的任一种的发光元件。

[0199] 参照图 11A 描述具有顶发光结构的发光元件。

[0200] 图 11A 是作为驱动 TFT 的驱动 TFT 7001 是 n 沟道 TFT 而且发光元件 7002 中产生的光通过阳极 7005 发射的情况下的像素的截面图。TFT 7001 包括其中添加了氧化硅的 In-Sn-Zn-O 基氧化物半导体作为其半导体层。如果 In-Sn-Zn-O 基氧化物半导体包含诸如氧化硅之类的杂质,所以即使该 In-Sn-Zn-O 基氧化物半导体在 300°C 到 600°C 下经热处理,也能防止该 In-Sn-Zn-O 基氧化物半导体的结晶或微晶粒的产生。在图 11A 中,发光元件 7002 的阴极 7003 电连接至自作为驱动 TFT 的 TFT 7001,而发光层 7004 和阳极 7005 以此顺序层叠在阴极 7003 上。可使用具有低功函数的任一种导电材料和反射光的膜形成阴极 7003。例如,优选使用 Ca、Al、CaF、MgAg、AlLi 等。可使用单个层或层叠多个层形成发光层 7004。当使用多层形成发光层 7004 时,通过按照以下顺序在阴极 7003 上层叠电子注入层、电子输运层、发光层、空穴输运层以及空穴注入层而形成发光层 7004。不一定要形成所

有这些层。阳极 7005 由诸如包含氧化钨的氧化铟、包含氧化钨的氧化铟锌、包含氧化钛的氧化铟、包含氧化钛的氧化铟锡、氧化锡铟（下文称为 ITO）、氧化铟或添加了氧化硅的氧化锡铟之类的透光导电材料制成。

[0201] 发光元件 7002 对应于阴极 7003 与阳极 7005 夹着发光层 7004 的区域。在图 11A 中所示的像素中，如箭头所示，光从发光元件 7002 发射至阳极 7005。

[0202] 接着，参照图 11B 描述具有底发光结构的发光元件。图 11B 是驱动 TFT 7011 是 n 型 TFT、而且发光元件 7012 中产生的光通过阴极 7013 发射的情况下的像素的截面图。TFT 7001 包括其中添加了氧化硅的 In-Al-Zn-O 基氧化物半导体作为其半导体层。如果 In-Al-Zn-O 基氧化物半导体包含诸如氧化硅之类的杂质，则即使该 In-Al-Zn-O 基氧化物半导体在 300℃ 到 600℃ 下经受热处理，也能防止该 In-Al-Zn-O 基氧化物半导体的结晶或微晶粒的产生。在图 11B 中，在电连接至驱动 TFT 7011 的具有透光性质的导电膜 7017 上形成发光元件 7012 的阴极 7013，并按顺序将发光层 7014 和阳极 7015 层叠在阴极 7013 上。注意，当阳极 7015 具有透光性质时，可形成用于反射和阻挡光的挡光膜 7016 来覆盖阳极 7015。对于阴极 7013，与图 11A 的情况一样，可使用具有低功函数的任一种导电材料。注意，阴极 7013 被形成为具有能透光的厚度（优选约 5nm 到 30nm）。例如，可将具有 20nm 厚度的铝膜用作阴极 7013。发光层 7014 可由单层组成，或如图 11A 的情况一样通过层叠多个层形成发光层 7014。不需要阳极 7015 透光，但可使用如图 11A 的情况一样的透光导电材料形成阳极 7015。作为挡光膜 7016，可使用反射光的金属等；不过它不限于金属膜。例如，可使用添加了黑色素的树脂等。

[0203] 发光元件 7012 对应于阴极 7013 与阳极 7015 夹着发光层 7014 的区域。在图 11B 中所示的像素中，如箭头所示，光从发光元件 7012 发射至阳极 7013。

[0204] 接着，参考图 11C 描述具有双发光结构的发光元件。在图 11C 中，在电连接至驱动 TFT 7021 的具有透光性质的导电膜 7027 上形成发光元件 7022 的阴极 7023，并按顺序将发光层 7024 和阳极 7025 层叠在阴极 7023 上。TFT 7001 包括其中添加了氧化硅的 Sn-Al-Zn-O 基氧化物半导体作为其半导体层。如果 Sn-Al-Zn-O 基氧化物半导体包含诸如氧化硅之类的杂质，则即使该 Sn-Al-Zn-O 基氧化物半导体在 300℃ 到 600℃ 下经受热处理，也能防止该 Sn-Al-Zn-O 基氧化物半导体的结晶或微晶粒的产生。像图 11A 的情况一样，可使用具有低功函数的任一种导电材料形成阴极 7023。注意，将阴极 7023 形成为具有能透射光的厚度。例如，可将具有 20nm 厚度的 Al 膜可用作阴极 7023。可使用单层或如图 11A 的情况一样通过层叠多个层来形成发光层 7024。以与图 11A 相似的方式，可使用透光导电材料形成阳极 7025。

[0205] 发光元件 7022 对应于阴极 7023、发光层 7024 以及阳极 7025 彼此交迭的区域。在图 11C 中所示的像素中，如箭头所示，光从发光元件 7022 发射通过阳极 7025 和阴极 7023。

[0206] 虽然这里描述了有机 EL 元件作为发光元件，但还可提供无机 EL 元件作为发光元件。

[0207] 注意，本实施例描述了控制发光元件的驱动的薄膜晶体管（驱动 TFT）电连接至发光元件的示例；不过，可采用电流控制 TFT 连接在驱动 TFT 与发光元件之间的结构。

[0208] 接着，将参照图 12A 和 12B 描述作为半导体器件的一个模式的发光显示面板（也称为发光面板）的外观和截面。图 12A 是其中使用密封剂将第一衬底上的发光元件和薄膜

晶体管密封在第一衬底与第二衬底之间的面板的俯视图。图 12B 是沿图 12A 的 H-I 的截面图。

[0209] 密封剂 4505 被设置成包围设置在第一衬底 4501 上的像素部分 4502、信号线驱动器电路 4503a 和 4503b 以及扫描线驱动器电路 4504a 和 4504b。此外,将第二衬底 4506 设置在像素部分 4502、信号线驱动器电路 4503a 和 4503b 以及扫描线驱动器电路 4504a 和 4504b 上。因此,将像素部分 4502、信号线驱动器电路 4503a 和 4503b 以及扫描线驱动器电路 4504a 和 4504b 连同填充物 4507 通过第一衬底 4501、密封剂 4505 以及第二衬底 4506 密封到一起。以此方式,优选用保护膜(诸如粘接膜或紫外可固化树脂膜)或具有高气密性和几乎无除气的覆盖材料封装(密封)该发光显示面板,从而使至少像素部分 4502 不暴露给外部空气。

[0210] 在第一衬底 4501 上形成的像素部分 4502、信号线驱动器电路 4503a 和 4503b 以及扫描线驱动器电路 4504a 和 4504b 分别包括多个薄膜晶体管。在图 12B 中示出像素部分 4502 中包括的薄膜晶体管 4510 和信号线驱动器电路 4503a 中包括的薄膜晶体管 4509 作为示例。

[0211] 作为薄膜晶体管 4509,采用了实施例 1 中所描述的包括氧化物半导体层的叠层作为其半导体层的第一薄膜晶体管。作为薄膜晶体管 4510,采用了实施例 1 中所描述的包括 In-Ga-Zn-O 基非单晶膜的单层的第二薄膜晶体管。在本实施例中,薄膜晶体管 4509 和 4510 是 n 沟道薄膜晶体管。

[0212] 此外,附图标记 4511 表示发光元件。包括在发光元件 4511 中的作为像素电极的第一电极层 4517 电连接至薄膜晶体管 4510 的源电极层或漏电极层。注意,虽然发光元件 4511 在本实施例中具有第一电极层 4517、电致发光层 4512 以及第二电极层 4513 的层叠结构,但发光元件 4511 的结构不限于此。可根据从发光元件 4511 提取光的方向等适当地改变发光元件 4511 的结构。

[0213] 使用有机树脂膜、无机绝缘膜或有机聚硅氧烷形成隔离壁 4520。尤其优选使用光敏材料制成隔离壁 4520,且使其在第一电极层 4517 上具有开口部分,以将开口部分的侧壁形成为具有连续弯曲的斜面。

[0214] 可使用单层或层叠的多个层形成电致发光层 4512。

[0215] 为阻止氧气、氢气、水汽、二氧化碳等进入发光元件 4511,可在第二电极层 4513 和隔离壁 4520 上形成保护膜。作为保护膜,可形成氮化硅膜、氮氧化硅膜、DLC 膜等。

[0216] 此外,从 FPC 4518a 和 4518b 将多个信号和电压提供给信号线驱动器电路 4503a 和 4503b、扫描线驱动器电路 4504a 和 4504b 或像素部分 4502。

[0217] 在本实施例中,使用与发光元件 4511 中所包括的第一电极层 4517 相同的导电膜形成连接端子电极 4515。使用与薄膜晶体管 4509 和 4510 中所包括的源电极层和漏电极层相同的导电膜形成端子电极 4516。

[0218] 连接端子电极 4515 通过各向异性导电膜 4519 电连接至 FPC 4518a 中所包括的端子。

[0219] 位于从发光元件 4511 提取光的方向的第二衬底需要具有透光性质。在该情况下,使用诸如玻璃板、塑料板、聚酯膜或丙烯酸膜之类的透光材料。

[0220] 作为填充物 4507,可使用紫外可固化树脂或热固性树脂以及诸如氮气或氩气之类

的惰性气体。例如,可使用聚氯乙烯(PVC)、丙烯酸、聚酰亚胺、环氧树脂、硅酮树脂、聚乙烯醇缩丁醛(PVB)或乙烯乙酸乙烯酯(EVA)。在本实施例中,使用氮气作为填充物。

[0221] 此外,在需要时,可在发光元件的发光表面上酌情设置诸如极化板、圆形极化板(包括椭圆极化板)、阻滞板(四分之一波板或半波板)以及滤色器之类的光学膜。此外,极化板或圆形极化板可设置有抗反射膜。例如,可执行抗眩光处理,通过该处理能通过表面上的凸起和凹陷漫射反射光以减少眩光。

[0222] 作为信号线驱动器电路 4503a 和 4503b 和扫描线驱动器电路 4504a 和 4504b,可在单独制备的衬底上安装利用单晶半导体膜或多晶半导体膜形成的驱动器电路。此外,可单独形成然后安装信号线驱动器电路及其部分或扫描线驱动器电路及其部分。本实施例不限于图 12A 和 12B 中所示的结构。

[0223] 通过上述工艺,可将高可靠的发光显示器件(显示面板)制造为半导体器件。

[0224] 可与其它实施例中描述的任一结构以适当的组合实现本实施例。

[0225] (实施例 5)

[0226] 在本实施例中,参照图 13A 到 13C 描述了其中金属薄膜的上表面的面积不同于实施例 1 中的面积的示例;换言之,金属薄膜的端部远离第二氧化物半导体层的端部。注意,除金属薄膜的形状之外,本示例与图 1A 到 1C 中的示例相同,而且相同的附图标记表示相同的部分。

[0227] 首先,与实施例 1 中一样,在具有绝缘表面的衬底 400 上设置第一栅电极 401 和第二栅电极 101。注意,在形成第一栅电极 401 和第二栅电极 101 时,也形成像素部分中的电容器引线 108 和端子部分中的第一端子 121。

[0228] 然后,形成覆盖第一栅电极 401 和第二栅电极 101 的栅绝缘层 403。

[0229] 然后,在栅绝缘层 403 上形成铟、锌、锡、钼、钨等的金属薄膜。替代地,可形成那些元素的任一种的合金薄膜或叠层膜。通过溅射法、真空汽相沉积法或涂覆法形成该金属薄膜。这里,通过溅射法形成厚度为大于 0nm 且小于或等于 10nm——优选为 3nm 到 5nm(含 3nm 和 5nm)——的锌膜。

[0230] 然后,通过光刻技术按选择地去除金属膜。在此蚀刻步骤中,形成金属薄膜 490,使其面积小于稍后将形成的氧化物半导体层的图案化形状的面积。注意,在与第一栅电极 401 部分交迭的位置形成金属薄膜 490,在该金属薄膜 490 与栅绝缘层 403 之间插入有栅绝缘层 403。当按照这种方式形成金属薄膜 490 时,金属薄膜 490 的侧表面被氧化物半导体层覆盖。因此,即使后续的热处理未将金属薄膜充分氧化,也能防止第一引线 409 与第二引线 410 之间通过金属薄膜短路。

[0231] 然后,形成氧化物半导体层以覆盖金属薄膜 490 的上表面和侧表面。在本实施例中,通过溅射法形成第一 In-Ga-Zn-O 基非单晶膜作为该氧化物半导体层。

[0232] 在通过溅射法形成 In-Ga-Zn-O 基氧化物半导体层的情况下,含 In、Ga 以及 Zn 的氧化物半导体靶可包含绝缘杂质。该杂质是以氧化硅、氧化锗、氧化铝等为代表的绝缘氧化物等、以氮化硅、氮化铝等为代表的绝缘氮化物等、或诸如氧氮化硅或氧氮化铝之类的绝缘氧氮化物等。例如,优选以 0.1% 到 10% 重量百分比(含 0.1% 和 10%)、更优选以 1% 到 6% (含 1% 和 6%) 重量百分比将 SiO₂ 混入该氧化物半导体靶中。

[0233] 接着,在不暴露给空气的情况下通过溅射法形成电阻率低于第一 In-Ga-Zn-O 基

非单晶膜的氧化物半导体膜（在此实施例中为第二 In-Ga-Zn-O 基非单晶膜）。

[0234] 接着，执行光刻步骤以形成抗蚀剂掩模，并蚀刻第一 In-Ga-Zn-O 基非单晶膜和第二 In-Ga-Zn-O 基非单晶膜。通过蚀刻去除不必要的部分，从而形成作为第一 In-Ga-Zn-O 基非单晶膜的氧化物半导体膜 485a 和 485b、以及作为第二 In-Ga-Zn-O 基非单晶膜的氧化物半导体膜 486a 和 486b。图 13A 是此阶段的截面图。如图 13A 所示，作为第一 In-Ga-Zn-O 基非单晶膜的氧化物半导体膜 485a 覆盖金属薄膜 490 的上表面和侧表面，从而不暴露金属薄膜 490。

[0235] 注意，在本实施例中无限制地描述了其中设置了第二 In-Ga-Zn-O 基非单晶膜的示例。不一定要设置第二 In-Ga-Zn-O 基非单晶膜。

[0236] 接着，执行光刻步骤以形成抗蚀剂掩模，并通过蚀刻去除不必要部分以形成接触孔，该接触孔到达由与栅电极层相同材料组成的引线或电极层。该接触孔被设置成与稍后形成的导电膜直接接触。例如，当形成栅电极层与驱动器电路部分中的源或漏电极层直接接触的薄膜晶体管时，或当形成电连接至端子部分的栅极引线的端子时，形成接触孔。

[0237] 然后，通过溅射法用金属材料在作为第二 In-Ga-Zn-O 基非单晶膜的氧化物半导体膜 486a 和 486b 上以及栅绝缘层 403 上形成导电膜。

[0238] 然后，通过光刻步骤形成抗蚀剂掩模，并通过蚀刻去除不必要部分。因此，在像素部分中形成源和漏电极层 105a 和 105b 以及作为源区和漏区的 n^+ 型层 104a 和 104b，而在驱动器电路部分中形成作为源和漏电极层的第一和第二引线 409 和 410 以及作为源区和漏区的 n^+ 型层 406a 和 406b。在此蚀刻步骤中，将氧化物半导体膜的暴露区域部分蚀刻为氧化物半导体层 103。因此， n^+ 型层 104a 和 104b 之间的氧化物半导体层 103 的沟道区具有小厚度。通过上述步骤，能在像素部分中形成包括氧化物半导体层 103 作为沟道形成区的第二薄膜晶体管 170。在该光刻步骤中，由与源或漏电极层 105a 和 105b 相同的材料制成的第二端子 122 被保留在端子部分中。注意，第二端子 122 电连接至源引线（包括源电极层或漏电极层 105a 和 105b 的源引线）。

[0239] 此外，在端子部分中，连接电极 120 通过栅绝缘膜中形成的接触孔直接连接至端子部分的第一端子 121（参见图 15）。注意，虽然此处未示出，但通过与上述步骤相同的步骤将驱动器电路的薄膜晶体管的源引线或漏引线直接连接至栅电极。

[0240] 接着，优选在 200℃ 到 600℃ 下、通常在 300℃ 到 500℃ 下执行热处理（该热处理可以是利用光的退火）。这里，在炉中在 350℃ 下在空气中执行热处理 1 小时。该热处理也可称为将金属薄膜 490 部分或全部氧化的氧化处理。在本实施例中，金属薄膜 490 成为具有导电性的氧化锌膜、第一氧化物半导体层 491。通过上述步骤，可在驱动器电路中制造包括第一氧化物半导体层 491 和第二氧化物半导体层 405 的叠层的第一薄膜晶体管 420。图 13B 是此阶段的截面图。此外，通过此热处理，在 In-Ga-Zn-O 基非单晶膜中发生原子级的重排。要注意的是，对热处理的定时不存在特殊限制，只要在第二 In-Ga-Zn-O 基非单晶膜形成之后任何时候进行即可，而且例如，可在像素电极形成之后执行热处理。

[0241] 接着，去除抗蚀剂掩模，并形成保护绝缘层 412 以覆盖第一薄膜晶体管 420 和第二薄膜晶体管 170。

[0242] 接着，执行光刻步骤以形成抗蚀剂掩模，并蚀刻保护绝缘层 412 以形成到达源电极层或漏电极层 105b 的接触孔。此外，通过这里的蚀刻，形成到达第二端子 122 的接触孔

和到达连接电极 120 的接触孔。

[0243] 然后,在去除抗蚀剂掩模之后,形成透明导电膜。使用氧化铟 (In_2O_3)、氧化铟锡 ($\text{In}_2\text{O}_3\text{-SnO}_2$, 简称为 ITO) 等通过溅射方法、真空蒸发方法等形成透明导电膜。使用盐酸基溶液对这样的材料执行蚀刻处理。然而,因为在蚀刻 ITO 时尤其倾向于产生残留物,所以可使用氧化铟和氧化锌合金 ($\text{In}_2\text{O}_3\text{-ZnO}$) 以提高蚀刻可加工性。

[0244] 接着,执行光刻步骤以形成抗蚀剂掩模,并通过蚀刻去除不必要的部分,从而形成像素电极层 110。此外,在这个光刻步骤中,利用电容器引线 108 和像素电极层 110 形成储存电容器。该储存电容器包括栅绝缘层 403 和电容器部分中的保护绝缘层 412 作为电介质。此外,在这个光刻步骤中,第一端子和第二端子被抗蚀剂掩模覆盖,从而透明导电膜 128 和 129 被保留在端子部分中。透明导电膜 128 和 129 用作与 FPC 连接的电极或引线。在连接电极 120 上形成的直接连接至第一端子 121 的透明导电膜 128 用作栅引线的输入端子的连接端子电极。在第二端子 122 上形成的透明导电膜 129 用作起源引线的输入端子作用的连接端子电极 (参见图 15)。

[0245] 注意,这里描述了其中通过使用栅绝缘层 403 和保护绝缘层 412 作为电介质用电容器引线 108 和像素电极层 110 形成储存电容器的示例。然而,不存在特殊限制,而且可采用其中在电容器引线上设置由与源电极或漏电极相同的材料组成的电极、并且储存电容器由该电极、电容器引线以及它们之间的作为电介质的栅绝缘层 403 组成、以及该电极和像素电极电连接的一种结构。

[0246] 然后去除抗蚀剂掩模,而图 13C 示出了此阶段的截面图。注意此阶段的像素部分中的第二薄膜晶体管 170 的俯视图对应于图 14。

[0247] 图 15 是沿图 14 中的线 A1-A2 和 B1-B2 取得的截面图。图 15 示出了像素部分中的第二薄膜晶体管 170 的截面结构、像素部分中的电容器部分的截面结构以及端子部分的截面结构。

[0248] 此外,图 16A 和 16B 分别是源引线端子部分的截面图和俯视图。图 16A 是沿图 16B 中的线 D1-D2 所取的截面图。在图 16A 中,在保护绝缘膜 154 上形成的透明导电膜 155 是起输入端子作用的连接端子电极。此外,在图 16A 中,在端子部分中,由与栅引线相同材料组成的电极 156 位于电连接至源引线的第二端子 150 以下且与之交迭,电极 156 与第二端子 150 之间插入有栅绝缘层 152。电极 156 未电连接至第二端子 150。当电极 156 被设置成,例如,浮置、GND 或 0V,以使电极 156 的电位不同于第二端子 150 的电位时,可形成用于防止噪声或静电的电容器。此外,第二端子 150 电连接至透明导电膜 155,其中保护绝缘膜 154 插入第二端子 150 与透明导电膜 155 之间。注意保护绝缘膜 154 等同于保护绝缘层 412。

[0249] 根据像素密度设置多条栅引线、源引线以及电容器引线。在端子部分中,还分别安排了多个与栅引线相同电位的第一端子、与源引线相同电位的第二端子、与电容器引线相同电位的第三端子等。对各种端子的数量并无特定限制,而且可由本领域技术人员酌情确定端子的数量。

[0250] 以上述方式,能完成包括其中层叠了氧化物半导体层的第一薄膜晶体管 420 的驱动器电路、包括作为底栅型 n 沟道薄膜晶体管的第二薄膜晶体管 170 和储存电容器的像素部分、以及端子部分。

[0251] 当制造有源矩阵液晶显示器件时,将有源矩阵衬底和设置有对电极的对衬底相互

固定,并在它们之间插入液晶层。注意,在有源矩阵衬底上设置有电连接至对衬底上的对电极的公共电极,而且在端子部分中设置有电连接至公共电极的端子。此端子被设置成将公共电极固定至诸如 GND 或 0V 之类的预定电位。

[0252] 此外,本实施例不限于图 14 中的像素结构,而且在图 17 中示出了与图 14 不同的俯视图的示例。图 17 示出一示例,其中未设置电容器引线,且像素电极与毗邻像素的栅引线交迭,而且保护绝缘膜和栅绝缘膜插入在像素电极与毗邻像素电极之间以形成存储电容器。在该情况下,可忽略电容器引线和连接至该电容器引线的第三端子。注意,在图 17 中,由相同的附图标记标注与图 14 中相同的部分。

[0253] 在有源矩阵液晶显示器件中,驱动排列成矩阵的像素电极以在屏幕上形成显示图案。具体而言,当在选定的像素电极与对应于该像素电极的对电极之间施加电压时,设置在该像素电极与该对电极之间的液晶层受光调制,而此光调制被观看者识别为显示图案。

[0254] 在显示运动图像时,液晶显示器件具有的问题在于,液晶分子的长响应时间引起运动图像的拖影或模糊。为改善液晶显示器件的运动图像特性,采用了称为黑色插入的驱动方法,其中每隔一个帧周期在整个屏幕上显示黑色。

[0255] 替代地,可采用称为双帧率驱动的驱动方法,其中垂直同步频率是通常垂直同步频率的 1.5 或更多倍、优选为 2 倍或更多倍,藉此改善运动图像特性。

[0256] 进一步替代地,为改善液晶显示器件的运动图像特性,可采用一种启动方法,其中使用多个 LED(发光二极管)或多个 EL 光源来形成作为背光的表面光源、而且在一个帧周期中以脉冲方式独立地驱动该表面光源的各个光源。作为该表面光源,可使用三种或更多种类型的 LED,或可使用发射白光的 LED。因为能独立地控制多个 LED,所以可使 LED 的发光时序与对液晶层进行光调制的时序同步。根据此驱动方法,可使 LED 部分截止;从而,可获得降低功耗的效果,尤其是显示具有大部分为黑色的图像的情况下。

[0257] 通过组合这些驱动技术,相比于常规液晶显示器件的显示特性,可改善液晶显示器件的诸如运动图像特性之类的显示特性。

[0258] 本实施例中获得的第一薄膜晶体管 420 包括具有不同导电性和具有良好动态特性的氧化物半导体层的叠层。因此,能组合采用那些驱动技术。

[0259] 此外,根据本实施例,能以低成本提供具有高电性质和高可靠性的显示器件。

[0260] (实施例 6)

[0261] 通过不仅在驱动器电路中而且在像素部分中使用薄膜晶体管,能制造包括具有不同导电性的氧化物半导体层的叠层的薄膜晶体管,且能制造具有显示功能的液晶显示器件。此外,在与像素部分相同的衬底上形成使用薄膜晶体管的驱动器电路的一部分或全部,藉此可获得板上系统。

[0262] 该液晶显示器件包括作为显示元件的液晶元件(也称为液晶显示元件)。

[0263] 此外,该液晶显示器件包括封装有显示元件的面板和其中包括控制器之类的 IC 等安装在面板上的模块。本实施例还涉及在用于制造液晶显示器件的工艺中完成显示元件之前的元件衬底的一种模式,而且该元件衬底设置有分别具有用于向显示元件提供电流的器件的多个像素。具体而言,该元件衬底可以处于仅形成显示元件的一个像素电极之后的状态、在形成作为像素电极的导电膜之后但在蚀刻该导电膜以形成像素电极之前的状态或任何其它状态。

[0264] 注意,此说明书中的液晶显示器件表示图像显示器件、显示器件或光源(包括发光器件)。此外,该液晶显示器件在其种类中还可包括以下模块中的任一种:附连有诸如FPC(柔性印刷电路)、TAB(带式自动接合)带或TCP(带式载体封装)之类的连接器的模块;具有在其端部设置有印刷线路板的TAB带或TCP的模块;以及IC(集成电路)通过COG(玻璃上芯片)方法直接安装在显示元件上的模块。

[0265] 将参照图18A1、18A2以及18B描述作为液晶显示器件的一个实施例的液晶显示面板的外观和截面。图18A1和18A2是其中用密封剂4005将液晶元件4013封装在第一衬底4001与第二衬底4006之间的面板的俯视图。图18B是沿图18A1和图18A2的M-N所取的截面图。

[0266] 密封剂4005被设置成包围设置在第一衬底4001上的像素部分4002和扫描线驱动器电路4004。在像素部分4002和扫描线驱动器电路4004之上设置第二衬底4006。因此,利用密封剂4005将像素部分4002和扫描线驱动器电路4004以及液晶层4008密封在第一衬底4001与第二衬底4006之间。在实施例中,无特定限制地将蓝相液晶材料用于液晶层4008。呈现出蓝相的液晶材料具有从未施加电压的状态到施加电压的状态的1毫秒或更短的响应时间,藉此短时间响应成为可能。蓝相液晶材料包括液晶和手性剂。采用手性剂以使液晶以螺旋结构取向,从而使液晶呈现蓝相。例如,可将其中混合了5%重量百分比或更多手性剂的液晶材料用于该液晶层。作为液晶,使用了热致液晶、低分子液晶、高分子液晶、铁电液晶、反铁电液晶等。

[0267] 在图18A1中,将使用单晶半导体膜或多晶半导体膜在单独制备的衬底上形成的信号线驱动器电路4003安装在第一衬底4001上与被密封剂4005包围的区域不同的区域中。相比之下,图18A2示出利用薄膜晶体管在第一衬底4001上形成信号线驱动器电路的一部分的示例,该薄膜晶体管包括具有不同导电性的氧化物半导体层的叠层。在图18A2中,在第一衬底4001上形成了信号线驱动器电路4003b,且在第一衬底4001上安装了使用单晶半导体膜或多晶半导体膜在单独制备的该衬底上形成的信号线驱动器电路4003a。

[0268] 注意,对于单独形成的驱动器电路的连接方法无特定限制,而可使用COG法、引线接合法、TAB法等。图18A1示出通过COG法安装信号线驱动器电路4003的示例,而图18A2示出通过TAB法安装信号线驱动器电路4003的示例。

[0269] 在第一衬底4001上设置的像素部分4002和扫描线驱动器电路4004各包括多个薄膜晶体管。图18B示出像素部分4002中包括的薄膜晶体管4010和扫描线驱动器电路4004中包括的薄膜晶体管4011。绝缘层4020和层间膜4021设置在薄膜晶体管4010和4011上。作为薄膜晶体管4010,采用了实施例1中所描述的包括具有不同导电性的氧化物半导体层的叠层作为其半导体层的第一薄膜晶体管。作为薄膜晶体管4011,采用了实施例1中所描述的包括In-Ga-Zn-O基非单晶膜的单层的第二薄膜晶体管。在本实施例中,薄膜晶体管4010和4011是n沟道薄膜晶体管。

[0270] 此外,在第一衬底4001上设置了像素电极层4030和公共电极层4031。像素电极层4030电连接至薄膜晶体管4010。液晶元件4013包括像素电极层4030、公共电极层4031以及液晶层4008。在本实施例中,使用了通过产生与衬底基本平行(即横向)的电场以使液晶分子在平行于衬底的平面中移动来控制灰度的方法。在这样的方法中,能使用用于共面切换(IPS)模式或边缘场切换(FFS)模式的电极结构。注意,分别在第一衬底4001和第

二衬底 4006 的外侧上设置了极化板 4032 和 4033。

[0271] 作为第一衬底 4001 和第二衬底 4006,能使用具有透光性质的玻璃、塑料等。作为塑料,能使用玻璃纤维增强塑料(FRP)板、聚氟乙烯(PVF)膜、聚酯膜、或丙烯酸树脂膜。或者,可使用 PVF 膜或聚酯膜之间夹有铝箔的薄板。

[0272] 附图标记 4035 表示通过对绝缘膜选择性蚀刻而获得的柱状隔离件,而且设置该柱状隔离件用于控制液晶层 4008 的厚度(单元间隙)。注意,可使用球状隔离件。

[0273] 图 18A1、18A2 以及 18B 示出了在衬底的外侧(观看侧)上设置极化板的液晶显示器件的示例;然而,也可在衬底的内侧上设置该极化板。可根据极化板的材料和制造工艺的条件确定极化板的位置。此外,可设置用作黑色基质的挡光层。

[0274] 层间膜 4021 是透光树脂层。层间膜 4021 的一部分是挡光层 4012。挡光层 4012 覆盖薄膜晶体管 4010 和 4011。在图 18B 中,在第二衬底 4006 上设置了挡光层 4034 以与薄膜晶体管 4010 和 4011 交迭。通过挡光层 4012 和挡光层 4034,能实现对比度的进一步提高和薄膜晶体管的稳定。

[0275] 当设置了挡光层 4034 时,能使入射薄膜晶体管的半导体层的光强衰减。因此,能使薄膜晶体管的电特性稳定,并防止电特性因为氧化物半导体的光敏性而变化。

[0276] 可作为薄膜晶体管的保护膜绝缘层 4020 覆盖薄膜晶体管;然而,对这样的结构没有特殊限制。

[0277] 注意,设置该保护膜用于防止漂浮在空气中的诸如有机物质、金属物质或水汽之类的杂质进入,而且优选地该保护膜是致密膜。可通过溅射法使用氧化硅膜、氮化硅膜、氧氮化硅膜、氮氧化硅膜、氧化铝膜、氮化铝膜、氧氮化铝膜和/或氮氧化铝膜的单层或叠层来形成该保护膜。

[0278] 此外,在形成另一透光绝缘层作为平坦化绝缘膜的情况下,可使用诸如聚酰亚胺、丙烯酸、苯并环丁烯、聚酰胺或环氧树脂之类的具有耐热性的有机材料形成该透光绝缘层。作为这些有机材料的替代物,还有可能使用低介电常数材料(低k材料)、硅氧烷基树脂、磷硅玻璃(PSG)、硼磷硅玻璃(BPSG)等。注意,可通过层叠由这些材料中的任一种形成的多层绝缘膜形成该绝缘层。

[0279] 用于形成层叠绝缘层的方法不限于特定方法,而且根据材料可使用以下方法:溅射法、SOG 法、旋涂法、浸涂法、喷涂法、液滴排出法(例如喷墨法、丝网印刷法或胶版印刷法)、刮片法、辊涂法、幕涂法、刀涂法等。在使用材料解决方案形成绝缘层的情况下,可在烘焙步骤同时对该半导体层退火(在 200℃到 400℃下)。当组合绝缘层的烘焙步骤和半导体层的退火时,能高效地制造液晶显示器件。

[0280] 可由诸如包含氧化钨的氧化铟、包含氧化钨的氧化锌铟、包含氧化钛的氧化铟、包含氧化钛的氧化锡铟、氧化锡铟(下文称为 ITO)、氧化锌铟或添加了氧化硅的氧化锡铟之类的透光导电材料制成像素电极层 4030 和公共电极层 4031。

[0281] 还可将包含导电高分子(也称为导电聚合物)的导电组合物用于像素电极层 4030 和公共电极层 4031。

[0282] 此外,从 FPC 4018 对单独形成的信号线驱动器电路 4003、扫描线驱动器电路 4004 或像素部分 4002 提供多个信号和电压。

[0283] 因为薄膜晶体管容易被静电等损坏,所以优选在与栅线或源线相同的衬底上设置

用于保护驱动器电路的保护电路。优选使用其中使用了氧化物半导体的非线性元件形成保护电路。

[0284] 在图 18A1、18A2 以及 18B 中,使用与像素电极层 4030 相同的导电膜形成连接端子电极 4015,且使用与薄膜晶体管 4010 和 4011 的源电极层和漏电极层相同的导电膜形成端子电极 4016。

[0285] 连接端子电极 4015 通过各向异性导电膜 4019 电连接至 FPC 4018 中包括的端子。

[0286] 图 18A1、18A2 以及 18B 无限制地示出其中单独形成信号线驱动器电路 4003 并将其安装在第一衬底 4001 上的示例。可单独形成然后安装扫描线驱动器电路,或仅单独形成信号线驱动器电路的一部分或扫描线驱动器电路的一部分然后安装。

[0287] 图 19 示出液晶显示器件的截面结构的示例,在该液晶显示器件中,利用密封剂 2602 将元件衬底 2600 和对衬底 2601 附连到一起,而且在这些衬底之间设置了包括 TFT 等的元件层 2603 和液晶层 2604。

[0288] 在实现彩色显示的情况下,将发射多色光的发光二极管设置在背光部分中。在 RGB 模式的情况下,将红光二极管 2910R、绿光二极管 2910G 以及蓝光二极管 2910B 设置在液晶显示器件的显示区所分成的各个区域中。

[0289] 在对衬底 2601 的外侧上设置了极化板 2606,而在元件衬底 2600 的外侧上设置了极化板 2607 和光薄板 2613。使用红光二极管 2910R、绿光二极管 2910G 和蓝光二极管 2910B 以及反射板 2611 形成光源。为电路衬底 2612 而设置的 LED 控制电路 2912 通过柔性引线板 2609 连接至元件衬底 2600 的引线电路部分 2608,且进一步包括诸如控制电路或电源电路之类的外部电路。

[0290] 本实施例无特殊限制地描述了场序制液晶显示器件,其中该 LED 控制电路 2912 使 LED 单独地发光。还有可能使用冷阴极荧光灯或白光 LED 作为背光的光源,或提供滤色器。

[0291] 此外,本实施例无特定限制地采用了用于共面切换 (IPS) 模式的电极结构。可使用扭曲向列 (TN) 模式、多畴垂直取向 (MVA) 模式、图像垂直调整 (PVA) 模式、轴对称排列微单元 (ASM) 模式、光学补偿双折射 (OCB) 模式、铁电液晶 (FLC) 模式、反铁电液晶 (AFLC) 模式等。

[0292] 可与其它实施例中描述的任一结构以适当的组合实现本实施例。

[0293] (实施例 7)

[0294] 在本实施例中,描述了使用多色调掩模进行曝光以减少掩模数量的示例。注意,多色调掩模能执行三种程度的曝光,以获得曝光部分、半曝光部分以及未曝光部分。在通过多色调掩模之后,光具有多种强度。利用多色调掩模的一次性曝光和显影工艺能形成具有多种厚度(通常为两种厚度)的区域的抗蚀剂掩模。因此,通过使用多色调掩模,能减少光掩模的数量。

[0295] 作为多色调掩模的示例,有灰色调掩模、半色调掩模等。

[0296] 灰色调掩模包括具有透光性质的衬底、以及在该衬底上形成的挡光部分和衍射光栅。挡光部分的透光率是 0%。另一方面,衍射光栅具有狭缝状、点状、网状等有间距的透光部分,该间距小于或等于用于曝光的光的分辨率极限;因此,能控制透光率。衍射光栅可具有规则设置的狭缝、点或网、或不规则设置的狭缝、点或网。

[0297] 半色调掩模包括具有透光性质的衬底、以及在该衬底上形成的半透光部分和挡光

部分。可使用 MoSiN、MoSi、MoSiO₂、MoSiON、CrSi 等形成半透光部分。可使用诸如铬或氧化铬之类吸收光的挡光材料形成挡光部分。当利用光照射半色调掩模以曝光时,挡光部分的透光率为 0%,而未设置挡光部分和半透光部分的区域的透光率为 100%。可将半透光部分的透光率控制在 10%到 70%的范围内。可通过控制用于半透光部分的材料来控制半透光部分的透光率。

[0298] 图 20A 到 20E 是示出薄膜晶体管 360 的制造工艺的截面图。

[0299] 在图 20A 中,在其上形成了绝缘膜 357 的衬底 350 上形成栅电极层 351。在本实施例中,将氧化硅膜(具有 100nm 厚度)用作绝缘膜 357。将栅绝缘层 352、金属薄膜 380、氧化物半导体膜 381 以及导电膜 383 按此顺序层叠在栅电极层 351 上。在本实施例中,作为金属薄膜 380,采用了通过溅射法形成的 3nm 厚的钨膜和通过溅射法形成的 3nm 厚的锌膜。

[0300] 在栅绝缘层 352、金属薄膜 380、氧化物半导体膜 381 以及导电膜 383 上形成了掩模 384。

[0301] 在本实施例中,描述了其中使用多色调(高色调)掩模进行曝光以形成掩模 384 的示例。

[0302] 使用透光的多色调掩模进行曝光以获得多种强度,然后进行显影,藉此能形成具有不同厚度的掩模 384,如图 20B 所示。通过使用多色调掩模,能减少曝光掩模的数量。

[0303] 接着,使用掩模 384 执行第一蚀刻步骤,以将金属薄膜 380、氧化物半导体膜 381 以及导电膜 383 蚀刻成岛状。因此,能形成图案化的金属薄膜 390、氧化物半导体层 385 以及导电层 387(参见图 20B)。

[0304] 然后,使抗蚀剂掩模 384 经受灰化。因此,减小了掩模的面积和厚度。此时,去除了具有较小厚度的掩模的区域(与栅电极层 351 的一部分交迭的区域),从而能形成彼此分离的掩模 388(参见图 20C)。

[0305] 使用掩模 388 执行第二蚀刻步骤;藉此将氧化物半导体层 385 和导电层 387 蚀刻成半导体层 353 与源和漏电极层 355a 和 355b(参见图 20D)。注意,半导体层 353 是具有凹槽(凹陷)和端部的部分蚀刻的半导体层,该端部也被部分地蚀刻和暴露。

[0306] 当使用添加了氧气(O₂)(优选为 15%或更高)的氯基气体(Cl₂)进行蚀刻时,在使用氮化硅膜作为栅绝缘层 352 的情况下,能提高氧化物半导体层 385 的 In-Ga-Zn-O 基非单晶膜相对于栅绝缘层 352 的选择性。因此,仅氧化物半导体膜 381 被选择性地蚀刻。

[0307] 当在第一蚀刻步骤中对氧化物半导体膜 381 和导电膜 383 进行干法蚀刻时,氧化物半导体膜 381 和导电膜 383 被各向异性地蚀刻。以此方式,使掩模 384 的端部与氧化物半导体层 385 和导电层 387 的端部对齐,而且这些端部变得连续。

[0308] 以类似于上述的方式,当在第二蚀刻步骤中对氧化物半导体层 385 和导电层 387 进行干法蚀刻时,氧化物半导体层 385 和导电层 387 被各向异性地蚀刻。以此方式,使掩模 388 的端部与半导体层 353 的凹陷的端部和侧表面以及源和漏电极层 355a 和 355b 的端部对齐以变得连续。

[0309] 在本实施方式中,半导体层 353 与源和漏电极层 355a 和 355b 在相应的端部处具有相同的斜角,并被层叠以使端部连续。然而,因为这些层的蚀刻速率根据氧化物半导体层和导电层的蚀刻条件或材料而变化,所以在某些情况下这些斜角不同,而且这些端部不连续。

[0310] 然后去除掩模 388。

[0311] 然后,在含氧气的气氛中在 200℃到 600℃下执行热处理以氧化金属薄膜 390;从而形成第一氧化物半导体层 391(参见图 20E)。在本实施例中,第一氧化物半导体层 391 是氧化铟和氧化锌的混合层。

[0312] 通过上述步骤,能制造包括第一氧化物半导体层 391 和其上作为第二氧化物半导体层的半导体层 353 的倒交错薄膜晶体管 360。

[0313] 本实施例中使用利用多色调掩模形成的具有多种厚度(通常为两种厚度)的区域的抗蚀剂掩模能实现抗蚀剂掩模数量的减少;因此,能使工艺简化、成本降低。因此,能以低成本和高生产率制造高可靠的半导体器件。

[0314] 在本实施例中,描述了驱动器电路中的薄膜晶体管和像素部分中的薄膜晶体管都是包括第一氧化物半导体层 391 和其上作为第二氧化物半导体层的半导体层 353 的倒交错薄膜晶体管 360 的示例。换言之,本实施例描述了其中为驱动器电路中和像素部分中的薄膜晶体管采用了基本相同结构、而且这些电路的制造方法没有不同的示例。

[0315] 可与其它实施例中描述的任一结构以适当的组合实现本实施例。

[0316] (实施例 8)

[0317] 与实施例 1 或实施例 2 中描述的底栅结构的示例不同,以下在本实施例中将参照图 21A 到 21C 描述底接触结构(也称为倒共面结构)的示例。

[0318] 在图 21A 到 21C 中示出了反相器电路的制造工艺的示例。

[0319] 通过溅射法在衬底 740 上形成了第一导电膜,并使用第一光掩模按照选择蚀刻第一导电膜以形成第一栅电极 741 和第二栅电极 742。接着,通过等离子体 CVD 法或溅射法形成覆盖第一栅电极 741 和第二栅电极 742 的栅绝缘层 743。可通过等离子体 CVD 方法、溅射方法等使用氧化硅层、氮化硅层、氧氮化硅层、或氮氧化硅层来形成具有单层或叠层的栅绝缘层 743。或者,可通过 CVD 法使用有机硅烷气体用氧化硅形成栅绝缘层 743。

[0320] 接着,使用第二光掩模按照选择蚀刻栅绝缘层 743,以形成达到第二栅电极 742 的接触孔 744。到此步骤的截面图对应于图 21A。

[0321] 然后,通过溅射法形成第二导电膜,并使用第三光掩模按照选择蚀刻第二导电膜,以形成第一引线 746、第二引线 750 以及第三引线 751。第三引线 751 通过接触孔 744 与第二栅电极 742 直接接触。

[0322] 接着,通过溅射法形成金属膜和氧化物半导体膜的叠层。注意,优选在引入氩气之后执行产生等离子体的反溅射,以在通过溅射法形成金属薄膜之前去除附连至栅绝缘层 743 的表面和接触孔 744 的底面的灰尘。反溅射指的是在不对靶侧施加电压的情况下,使用 RF 电源在氩气气氛下对衬底侧施加电压以使表面改性的一种方法。注意可使用氮气、氦气等代替氩气气氛。或者,可在添加了氧气、氢气、 N_2O 等的氩气气氛中执行反溅射。再或者,可在添加了 Cl_2 、 CF_4 等的氩气气氛中执行反溅射。

[0323] 接着,使用第三光掩模按照选择蚀刻金属薄膜和氧化物半导体膜。

[0324] 接着,在 200℃到 600℃下在空气或氮气气氛下执行热处理。通过该热处理,将金属薄膜氧化成第一氧化物半导体层 748 和第三氧化物半导体层 749。在热处理之后,在第一氧化物半导体层 748 上形成第二氧化物半导体层 745,藉此形成第一薄膜晶体管 760。注意,第一氧化物半导体层 748 的电导率不同于第二氧化物半导体层 745 的电导率。第一氧化

物半导体层 748 的电导率更高,这对第一薄膜晶体管 760 的电场迁移率的提高有贡献。同样,在第三氧化物半导体层 749 上形成第四氧化物半导体层 747,藉此形成第二薄膜晶体管 761。注意,该热处理的时序不受特殊限制,而且可在形成第二氧化物半导体膜之后任何时候执行该热处理。例如,如果在使用第四光掩模蚀刻之前执行该热处理以氧化金属薄膜并形成第一氧化物半导体膜,则使用第四光掩模在随后的蚀刻步骤中蚀刻氧化物半导体膜的叠层;因此,能实现蚀刻残留物减少的蚀刻。

[0325] 接着,形成保护层 752,并使用第五光掩模按照选择蚀刻保护层 752 以形成接触孔。在那之后,形成第三导电膜。最后,使用第六光掩模按照选择蚀刻第三导电膜,以形成电连接至第二引线 750 的连接引线 753。到此步骤的截面图对应于图 21C。

[0326] 注意,上述步骤的次序仅仅是示例,而不存在限制。例如,虽然光掩模的数量增加了一个,但可使用不同的光掩模分别执行对金属薄膜的蚀刻和对氧化物半导体膜的一部分的蚀刻。

[0327] 此外,还有可能通过溅射法在第二导电膜上形成 In-Ga-Zn-O-N 基非单晶膜,然后将该 In-Ga-Zn-O-N 基非单晶膜形成图案,以使该 In-Ga-Zn-O-N 基非单晶膜作为第二氧化物半导体层 745 与第一引线 746 和第二引线 750 之间的 n^+ 型层,且作为第四氧化物半导体层 747 与第二引线 750 和第三引线 751 之间的 n^+ 型层。在那种情况下,In-Ga-Zn-O-N 基非单晶膜被设置在与第一引线 746 和第二氧化物半导体层 745 交迭的区域中、与第二引线 750 和第二氧化物半导体层 745 交迭的区域中、与第二引线 750 和第四氧化物半导体层 747 交迭的区域中以及第三引线 751 和第四氧化物半导体层 747 交迭的区域中。

[0328] 可与其它实施例中描述的任一结构以适当的组合实现本实施例。

[0329] (实施例 9)

[0330] 在此实施例中,将描述作为半导体器件的电子纸的示例。

[0331] 图 22A 是示出有源矩阵电子纸的截面图。可按照类似于实施例 1 所描述的第二薄膜晶体管的制造方式的方式来制造用于本半导体器件的显示部分的薄膜晶体管 581。该薄膜晶体管 581 包括作为其半导体层的氧化物半导体膜,且具有高电特性。在本实施例中,使用了包括 Zn-O-Si 基氧化物半导体作为其半导体层且具有高电特性的薄膜晶体管。此外,可任选地在同一衬底上设置包括薄膜晶体管的驱动器电路,该薄膜晶体管包括 Zn-O-Si 基氧化物半导体作为其半导体层,而且具有高电特性。此外,还有可能使用实施例 1 中具有氧化物半导体层的叠层的第一薄膜晶体管作为本实施例中的薄膜晶体管 581。

[0332] 图 22A 的电子纸是采用扭转球显示系统的显示器件的示例。扭转球显示系统指的是一种方法,其中各个着色为黑色和白色的球状粒子被安排在作为用于显示元件的电极层的第一电极层与第二电极层之间、而且在第一电极层与第二电极层之间产生电位差以控制球状粒子取向从而实现显示。

[0333] 密封在衬底 580 与衬底 596 之间的薄膜晶体管 581 是具有底栅结构的薄膜晶体管,而其源或漏电极层通过绝缘层 583、584 以及 585 中形成的开口与第一电极层 587 接触,藉此薄膜晶体管 581 电连接至第一电极层 587。在第一电极层 587 与第二电极层 588 之间设置了各具有黑区 590a、白区 590b 以及被液体填充的围绕这些区的腔 594 的球状粒子 589。球状粒子 589 周围的空间被诸如树脂之类的填充物 595 填充(参见图 22A)。在本实施例中,第一电极层 587 对应于像素电极,而第二电极层 588 对应于公共电极。第二电极层 588

电连接至设置在与薄膜晶体管 581 相同的衬底上的公共电位线。通过使用公共连接部分,第二电极层 588 可通过设置在该对衬底之间的导电粒子电连接至公共电位线。

[0334] 可使用电泳元件代替扭转球。使用了具有约 $10\ \mu\text{m}$ 到 $200\ \mu\text{m}$ 直径、且其中密封了透明液体和带正电的白色微粒以及带负电的黑色微粒的微胶囊。在设置在第一电极层与第二电极层之间的微胶囊中,当通过第一电极层和第二电极层施加电场时,白微粒和黑微粒移动到彼此相反侧,从而可显示白色或黑色。使用此原理的显示元件是电泳显示元件,且被称为电子纸。电泳显示元件比液晶显示元件具有更高反射率,因此不需要辅助光、功耗低、而且可在暗处识别显示部分。此外,即使未 + 对显示部分提供电能,也能保持已经显示过一次的图像。因此,即使具有显示功能的半导体器件(可简单称为显示器件或设置有显示器件的半导体器件)远离电波源,也能保存已显示的图像。

[0335] 通过按照实施例 1 所描述的工艺制造薄膜晶体管,可以低成本将电子纸制造为半导体器件。可将电子纸用于多个领域的电子器件以显示信息。例如,可将电子纸应用于电子书阅读器(电子书)、海报、诸如火车之类的车辆中的广告、或诸如信用卡之类的多种卡的显示器。图 22B 示出了此类电子器件的示例。

[0336] 图 22B 示出电子书阅读器 2700 的示例。例如,电子书阅读器 2700 包括两个外壳 2701 和 2703。外壳 2701 和外壳 2703 与铰链 2711 组合,从而该电子书阅读器 2700 可沿该铰链 2711 打开和关闭。利用这样的结构,可类似于纸书一样地对待电子书阅读器 2700。

[0337] 显示部分 2705 被包含在外壳 2701 中,而显示部分 2707 被包含在外壳 2703 中。显示部分 2705 和显示部分 2707 可显示一幅图像或显示不同的图像。例如,在显示部分 2705 和显示部分 2707 上显示不同图像的结构中,右边的显示部分(图 22B 中的显示部分 2705)可显示文字,而左边的显示部分(图 22B 中的显示部分 2707)可显示图像。

[0338] 图 22B 示出外壳 2701 设置有操作部分等的示例。例如,外壳 2701 设置有电源开关 2721、操作键 2723、扬声器 2725 等。利用操作键 2723 可翻页。注意,可在与外壳的显示部分相同的平面上设置键盘、指向器件等。此外,外壳的后面或侧面可设置有外部连接端子(耳机端子、USB 端子、可与诸如 AC 适配器或 USB 电缆之类的多种电缆连接的端子等)、存储介质插入部等。而且,电子书阅读器 2700 可具有电子词典功能。

[0339] 此外,电子书阅读器 2700 可无线地发送和接收信息。可从电子书服务器无线地购买和下载想要的图书数据等。

[0340] 可与其它实施例中描述的任一结构以适当的组合实现本实施例。

[0341] (实施例 10)

[0342] 可将具有包括氧化物半导体层的薄膜晶体管的半导体器件应用于多种电子器件(包括游戏机)。电子器件的示例有:电视机(也称为电视或电视接收机)、计算机的监视器等、诸如数码相机或数码摄像机之类的照相机、数码相框、蜂窝电话(也称为移动电话或移动电话机)、便携式游戏控制台、便携式信息终端、音频回放设备、诸如弹球盘机之类的大尺寸游戏机等。

[0343] 图 23A 示出电视设备 9600 的示例。电视设备 9600 的外壳 9601 中包括显示部分 9603。显示部分 9603 可显示图像。这里,外壳 9601 的背部受到支承,从而电视设备 9600 被固定至墙壁。

[0344] 可利用外壳 9601 的操作开关或独立的遥控器 9610 操作电视设备 9600。可利用遥

控器 9610 的操作键 9609 控制频道和音量,并可控制显示部分 9603 上显示的图像。而且,遥控器 9610 可具有显示部分 9607,可在该显示部分上显示从遥控器 9610 发出的信息。

[0345] 注意,电视设备 9600 设置有接收器、调制解调器等。利用该接收器,可接收一般的电视广播。而且,当显示设备经由调制解调器连接至通信网络时,可实现单向(从发射器到接收器)或双向(发射器与接收器之间或接收器之间等)信息通信。

[0346] 图 23B 示出包括外壳 9881 和外壳 9891 的便携式游戏控制台,其中外壳 9881 和外壳 9891 通过连接器 9893 接合到一起以便打开和闭合。显示部分 9882 和显示部分 9883 分别被包括在外壳 9881 和外壳 9891 中。此外,图 23B 中所示的便携式游戏控制台还包括扬声器部分 9884、存储介质插入部分 9886、LED 灯 9890、输入器件(操作键 9885、连接端子 9887、传感器 9888(具有测量力、位移、位置、速度、加速度、角速度、旋转频率、距离、光、液体、磁性、温度、化学物质、声音、时间、硬度、电场、电流、电压、电功率、射线、流速、湿度、梯度、振动、气味或红外线功能))以及话筒 9889)等。不言而喻,便携式游戏控制台的结构不限于上述,而且可以是设置有至少一个半导体器件的任何结构。该便携式游戏控制台可适当地包括其它附加设备。图 23B 中所示的便携式游戏控制台具有读取存储在记录介质中的程序或数据以将其显示在显示部分上的功能,以及通过无线通信与另一便携式游戏控制台共享信息的功能。图 23B 的便携式游戏控制台可具有除上述功能之外的多种功能。

[0347] 图 24A 示出蜂窝电话 1000 的示例。蜂窝电话 1000 包括含有显示部分 1002 的外壳 1001、操作按钮 1003、外部连接端口 1004、扬声器 1005、话筒 1006 等。

[0348] 通过用手指等触摸显示部分 1002 可将信息输入图 24A 中所示的蜂窝电话 1000。而且,用户可通过用他们的手指等触摸显示部分 1002 来打带电话或写电子邮件。

[0349] 显示部分 1002 主要有三种屏幕模式。第一种模式是主要用于显示图像的显示模式。第二种模式是主要用于输入诸如文字之类的信息的输入模式。第三种模式是其中组合了显示模式和输入模式这两种模式的显示-输入模式。

[0350] 例如,在打电话或写电子邮件的情况下,显示部分 1002 被设置成主要用于输入文字的文字输入模式,而且可输入在屏幕上显示的字符。在该情况下,优选地在显示部分 1002 的几乎整个屏幕上显示键盘或数字按钮。

[0351] 当在蜂窝电话 1000 内部设置诸如陀螺仪或加速度传感器之类的包括用于检测倾斜的传感器的检测设备时,可通过检测蜂窝电话 1000 的方向(无论蜂窝电话 1000 被放置成水平还是垂直以用于景色模式或肖像模式)来自动切换显示部分 1002 的屏幕上的显示内容。

[0352] 此外,通过触摸显示部分 1002 或操作外壳 1001 的操作按钮 1003 可切换屏幕模式。替代地,可根据显示部分 1002 上显示的图像类型切换屏幕模式。例如,当显示在显示部分上的图像信号是移动图像数据时,将屏幕模式切换成显示模式。当该信号是文字数据时,将屏幕模式切换成输入模式。

[0353] 此外,在输入模式中,信号由显示部分 1002 中的光传感器检测,而且如果未进行通过触摸显示部分 1002 的输入达一定时间,则可控制屏幕模式从输入模式切换至显示模式。

[0354] 显示部分 1002 还能起图像传感器的作用。例如,通过用手掌或手指触摸显示部分 1002 采集掌纹、指纹等图像,藉此执行个人认证。此外,当在显示部分中设置发射近红外光

的背光或感测光源时,可拍摄指纹、掌纹等的图像。

[0355] 图 24B 示出蜂窝电话 1000 的另一示例。图 24B 中的蜂窝电话具有:设置有外壳 9411 的显示器件 9410,外壳 9411 包括显示部分 9412 和操作按钮 9413;设置有外壳 9401 的通信器件 9400,外壳 9401 包括操作按钮 9402、外部输入端子 9403、话筒 9404、扬声器 9405 以及在接收到电话时发光的发光部分 9406。具有显示功能的显示器件 9410 按照箭头表示的两个方向可脱离地附连至具有电话功能的通信器件 9400。因此,显示器件 9410 和通信器件 9400 可沿它们的短边或长边彼此附连。此外,当仅需要显示功能时,显示器件 9410 可从通信器件 9400 脱离并单独使用。可通过无线或有线通信在分别具有充电电池的通信器件 9400 和显示器件 9410 之间发送或接收图像或输入信息。

[0356] 可与其它实施例中描述的任一结构以适当的组合实现本实施例。

[0357] 本申请基于 2008 年 12 月 26 日向日本专利局提交的日本专利申请 S/N. 2008-333788,该申请的全部内容通过引用结合于此。

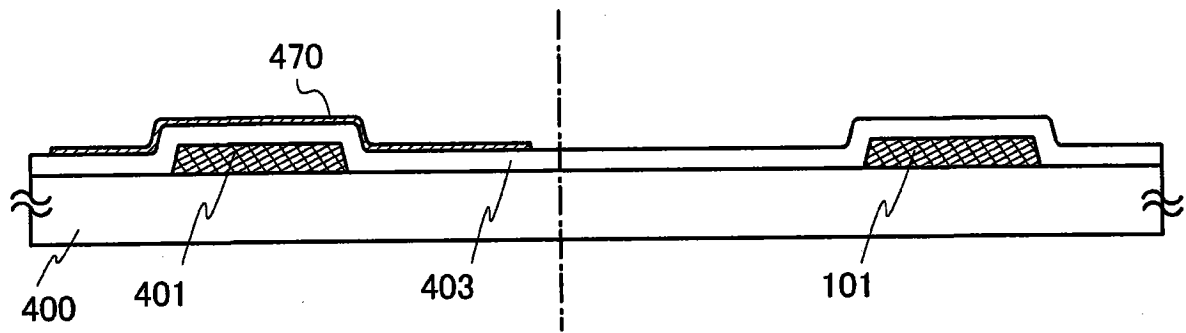


图 1A

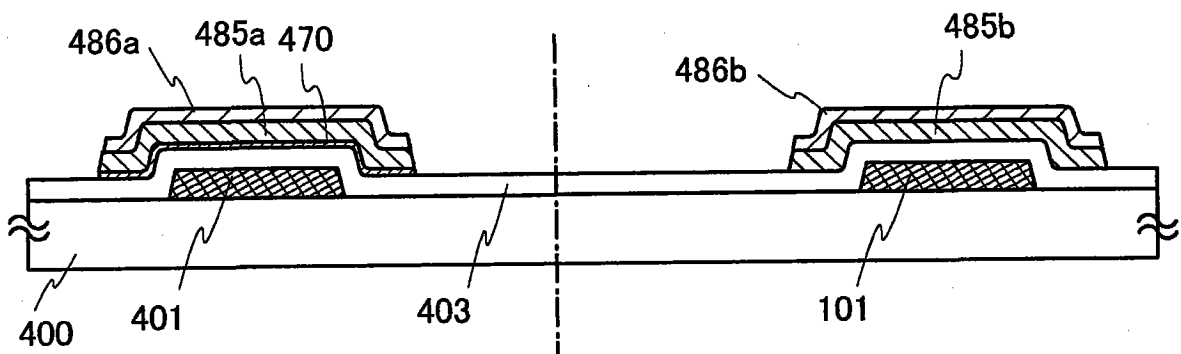


图 1B

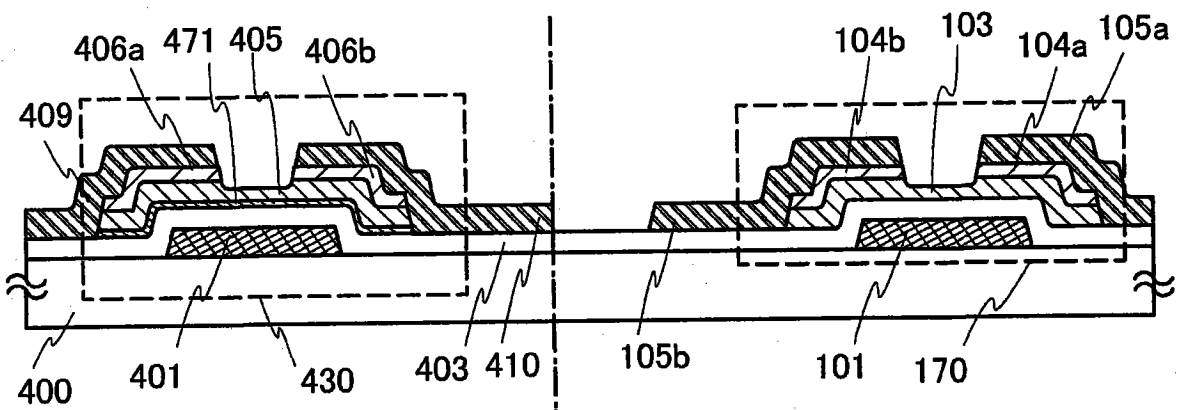


图 1C

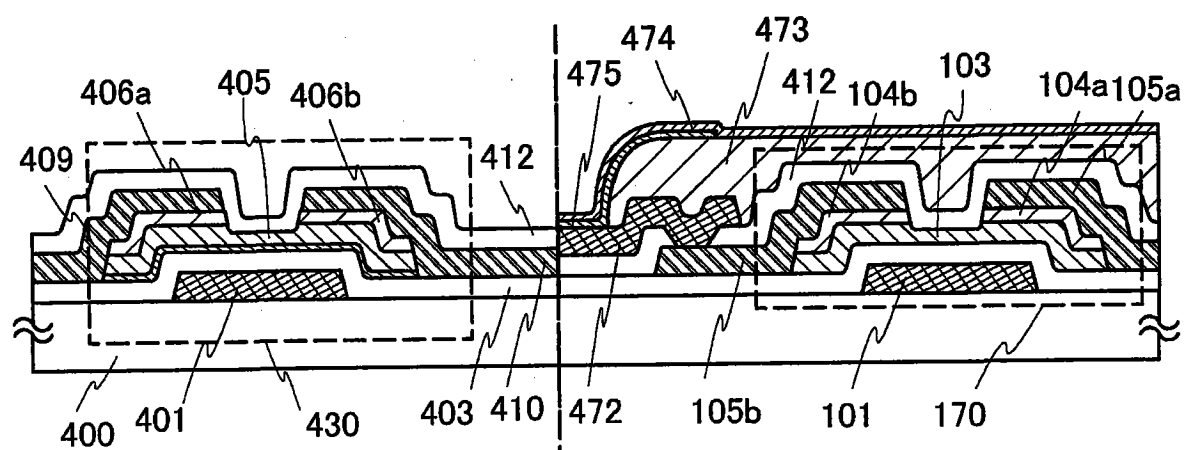


图 1D

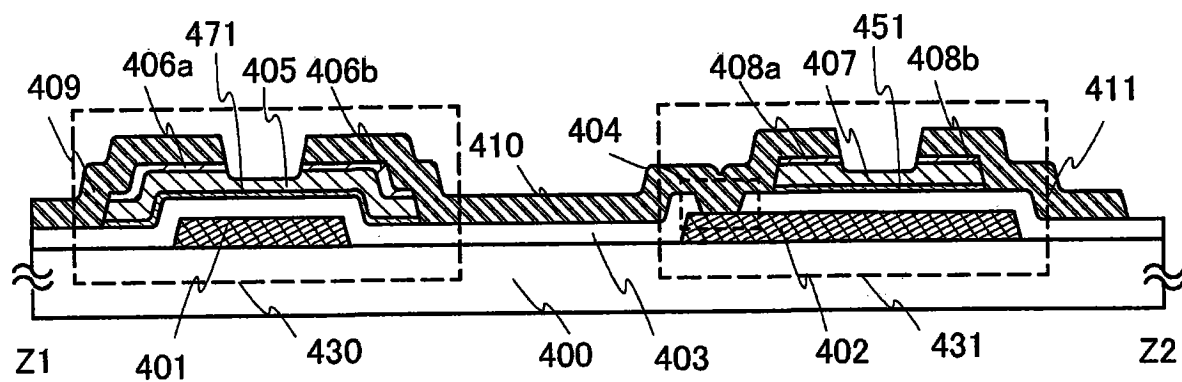


图 2A

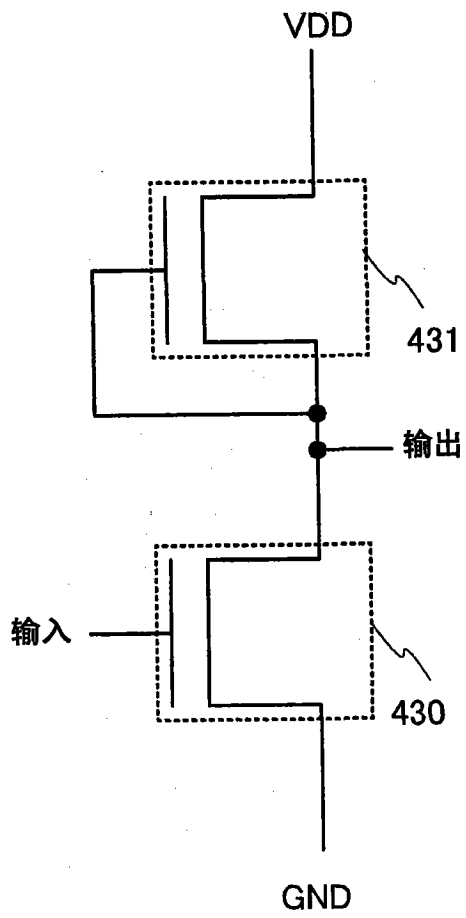


图 2B

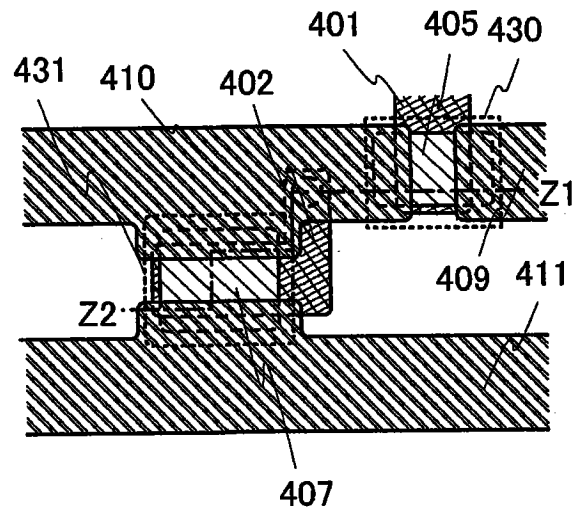


图 2C

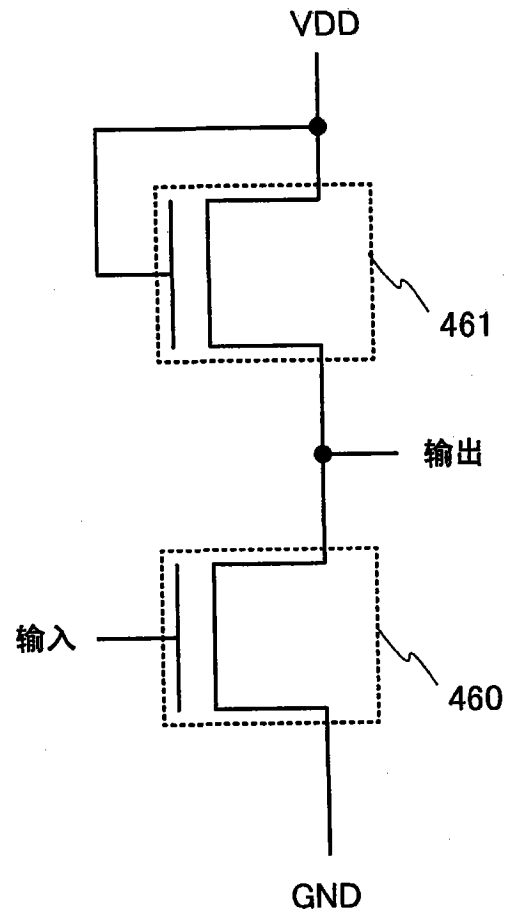


图 3

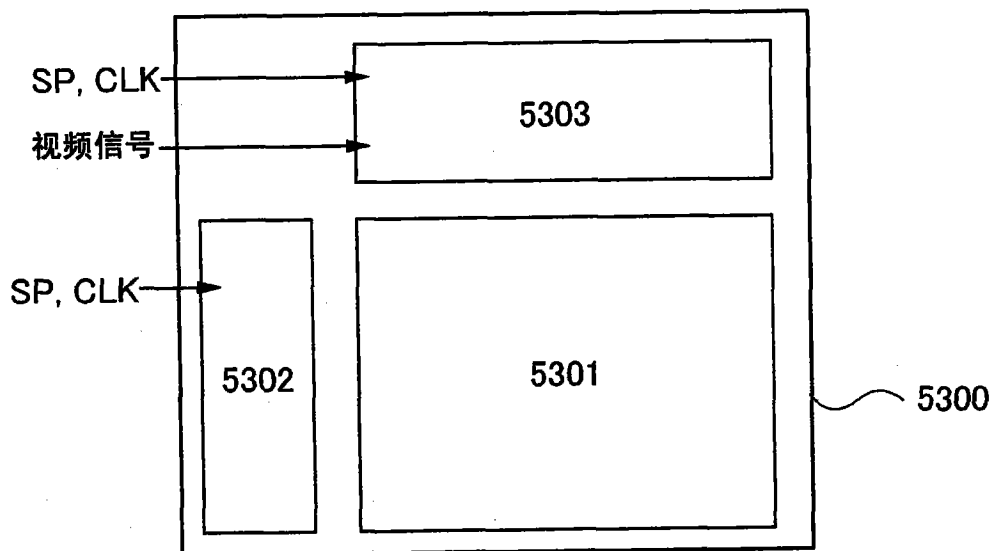


图 4A

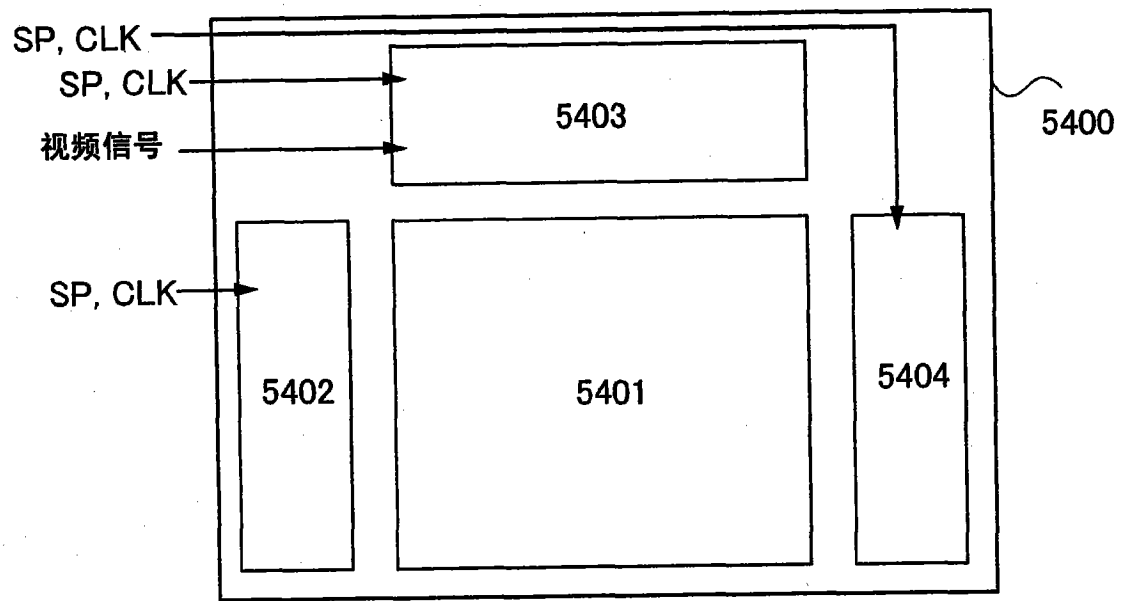


图 4B

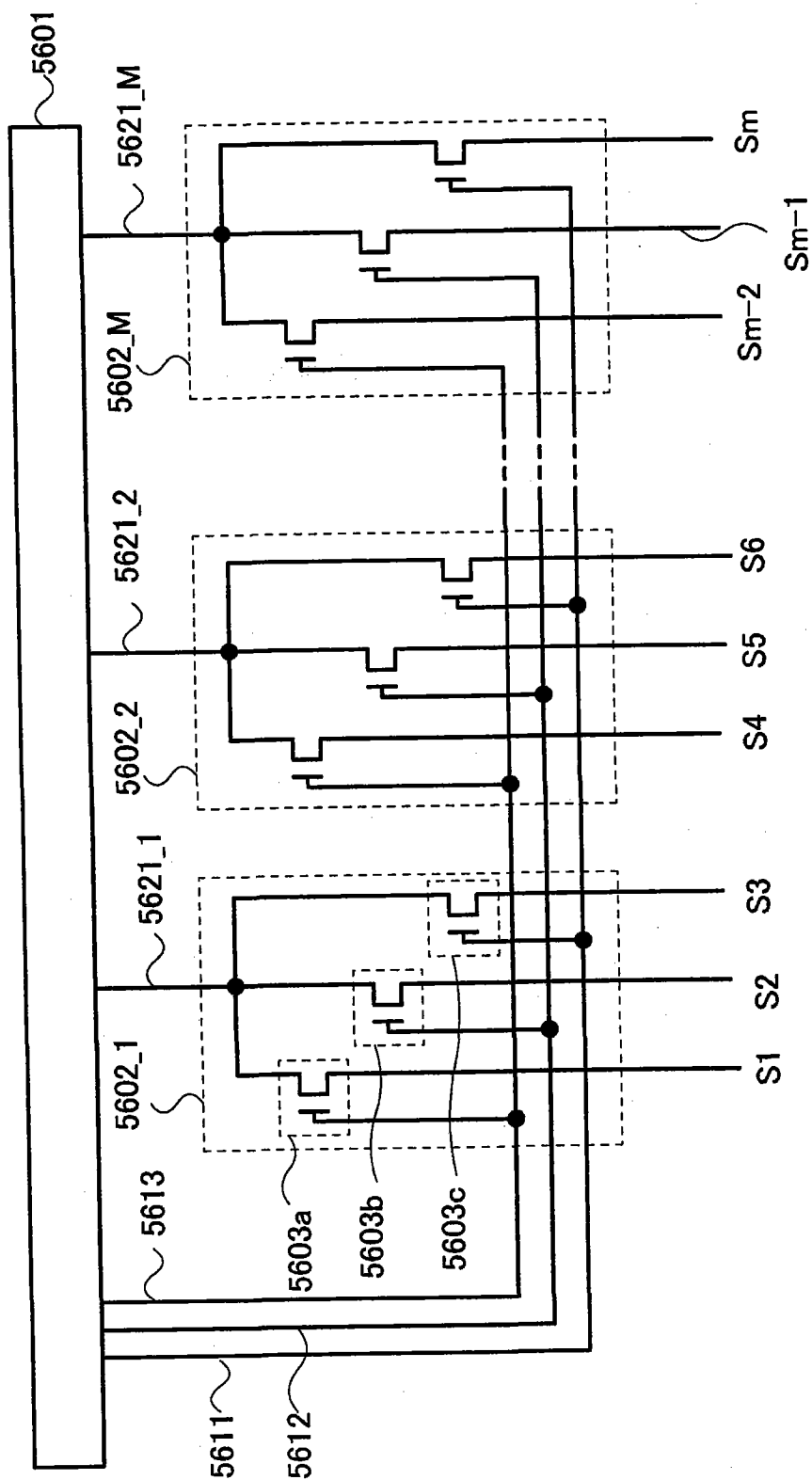


图 5

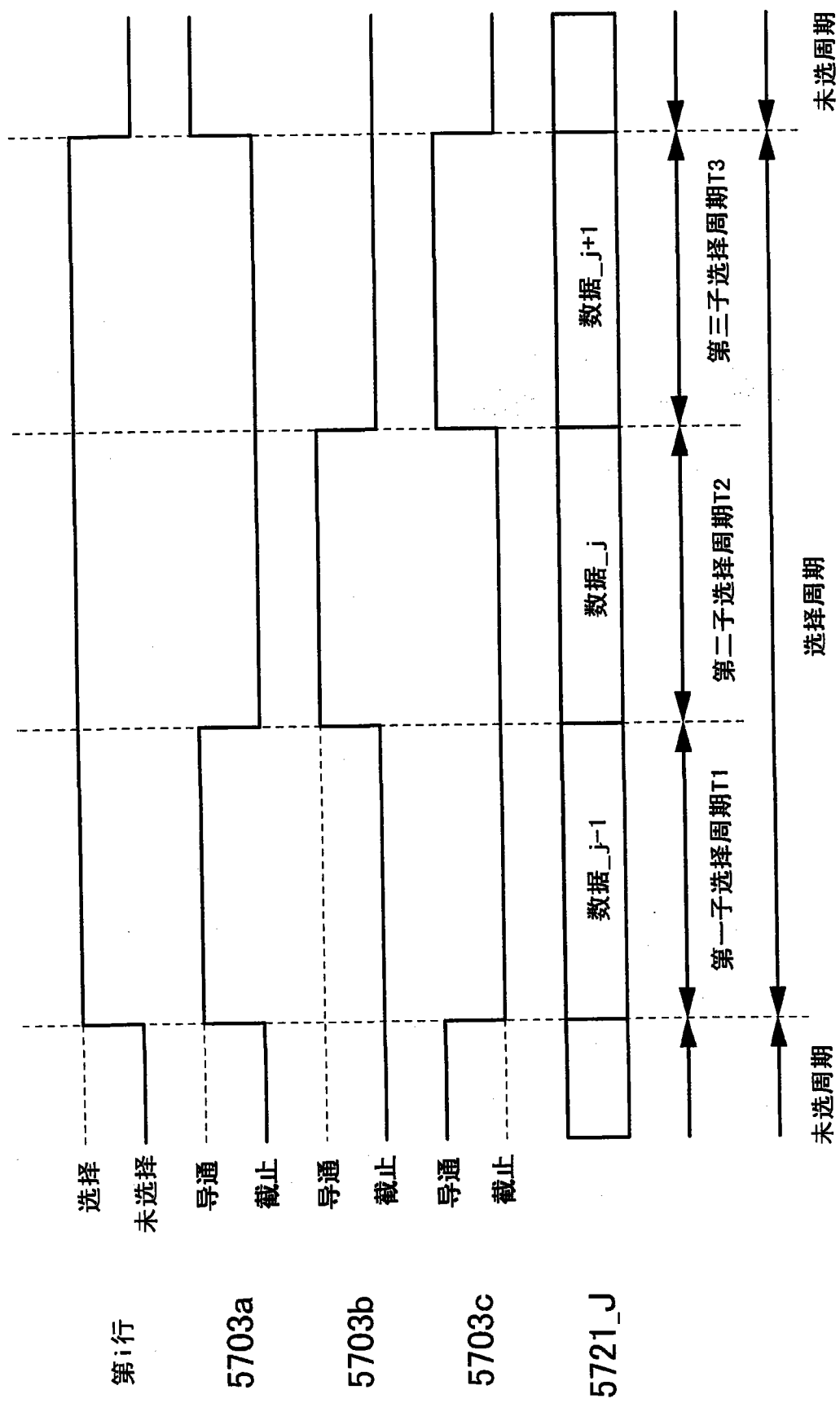


图 6

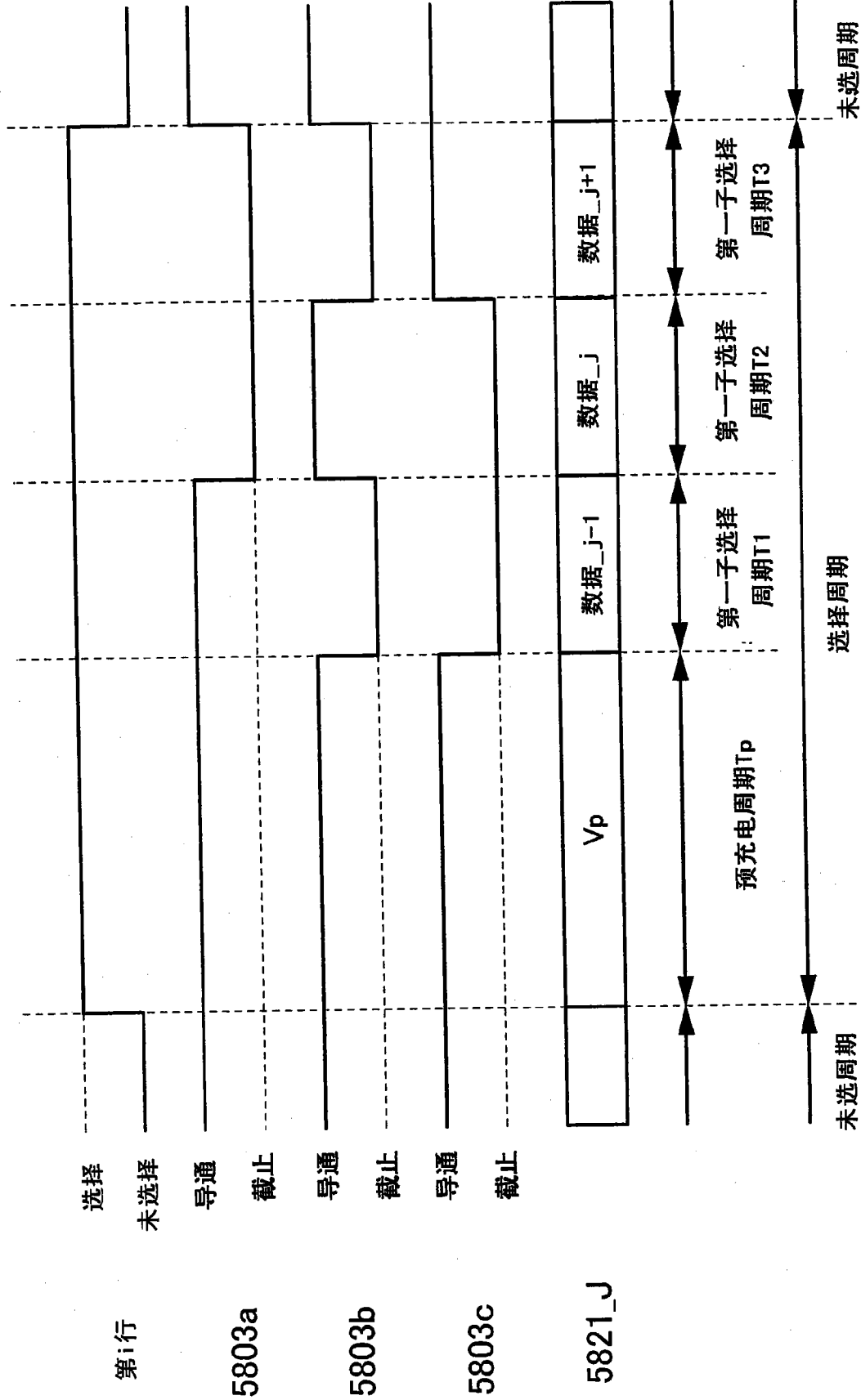


图 7

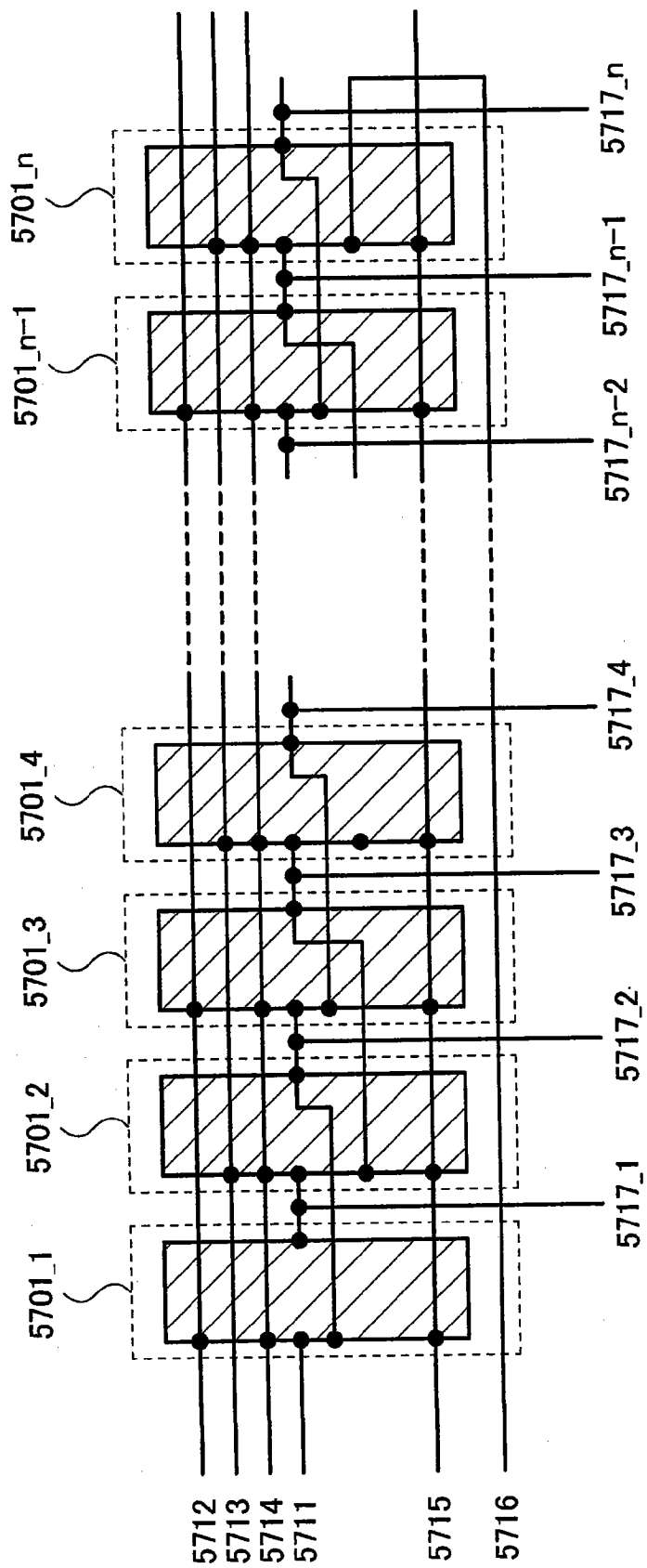


图 8

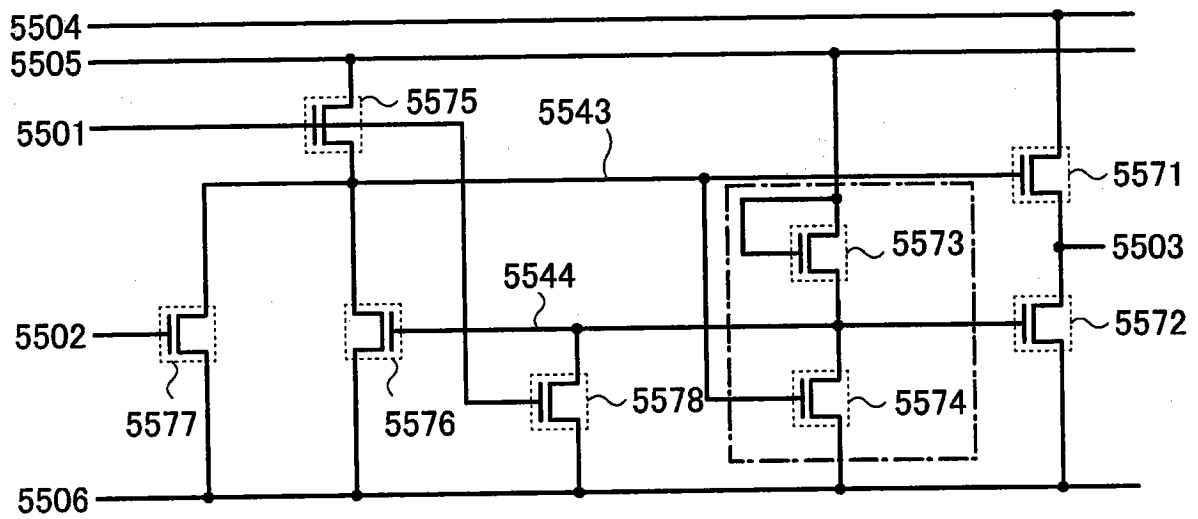


图 9

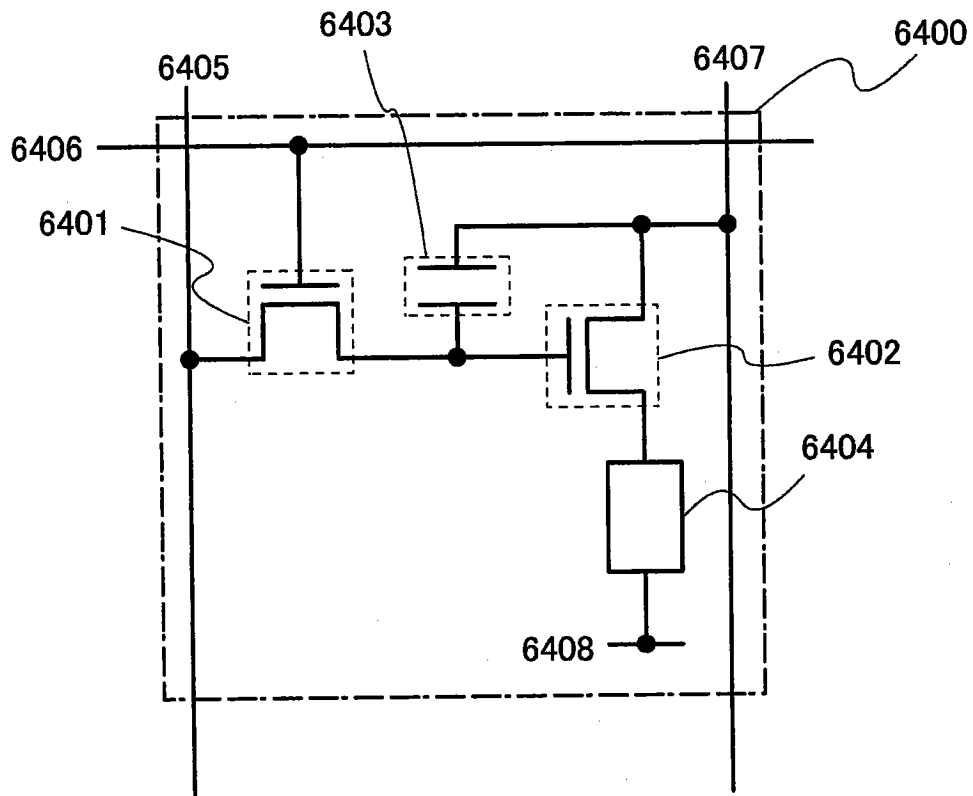


图 10

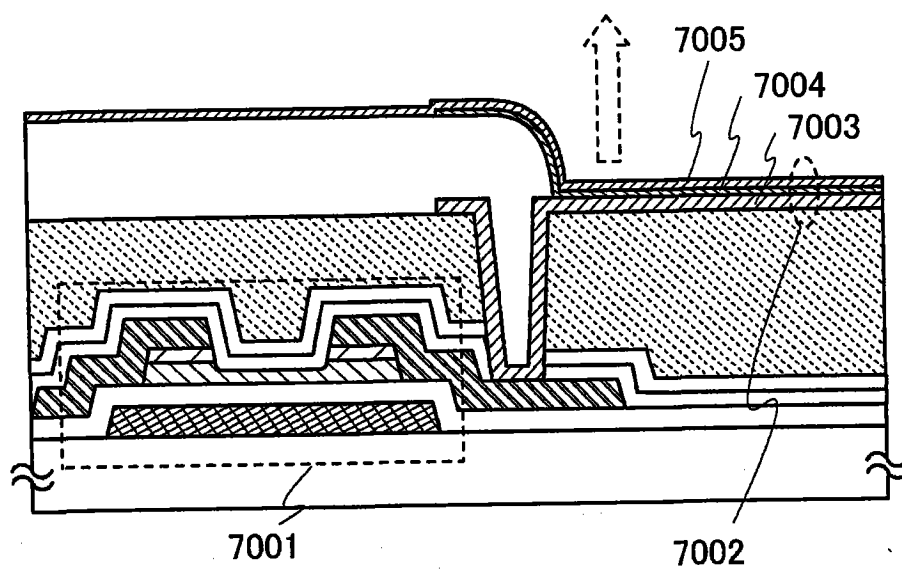


图 11A

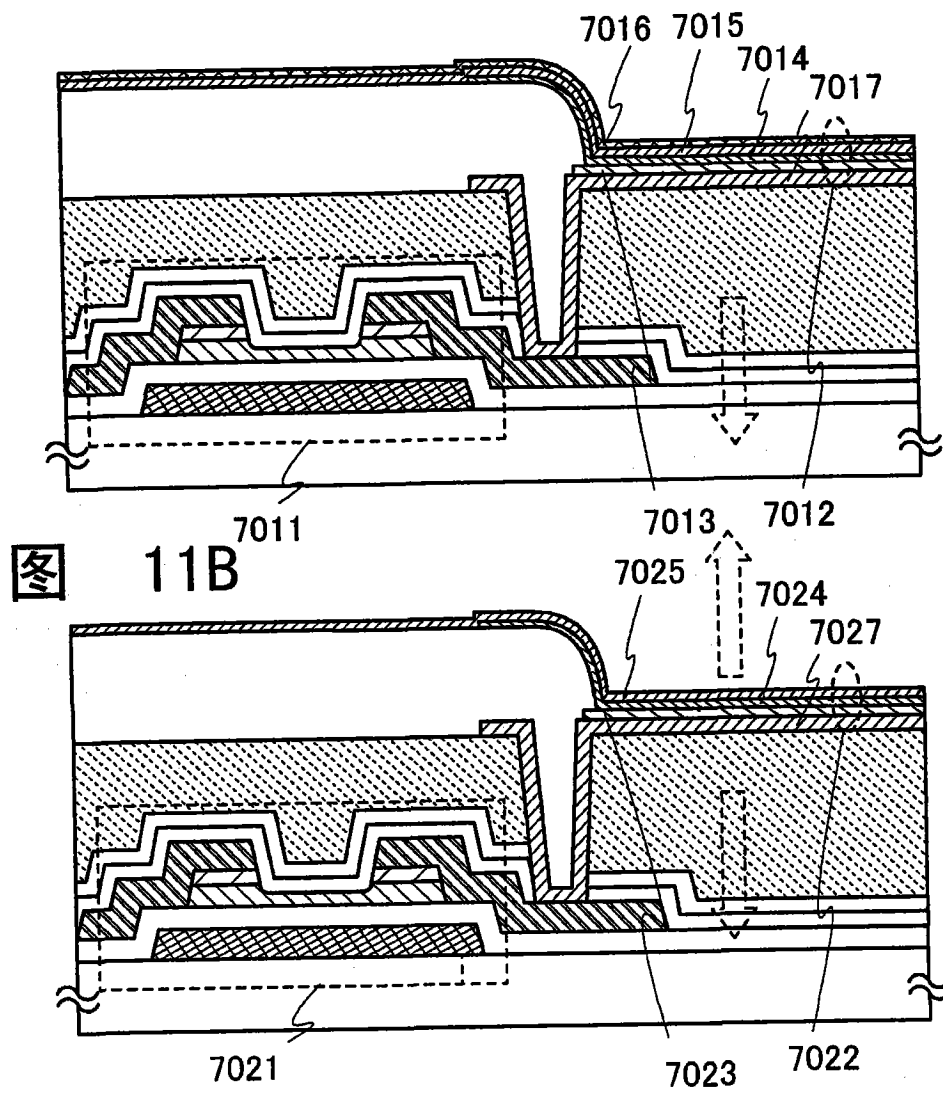


图 11B

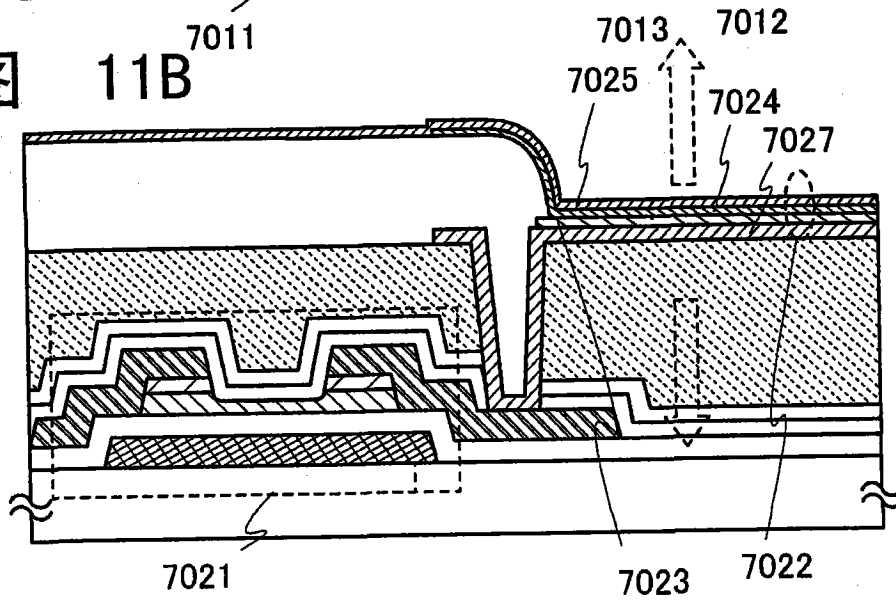


图 11C

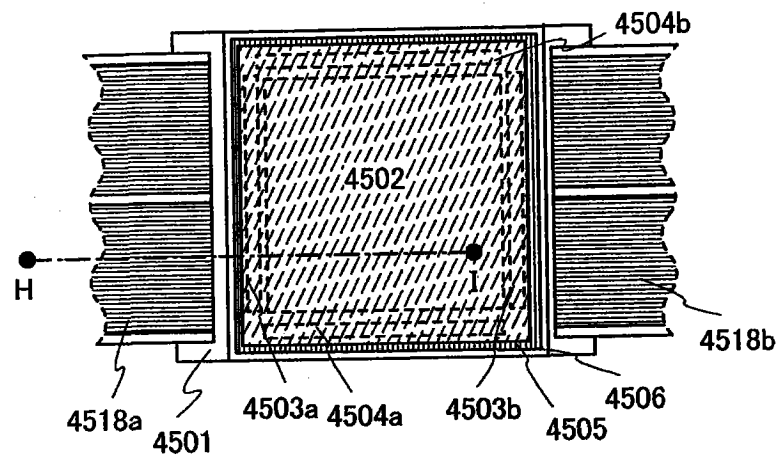


图 12A

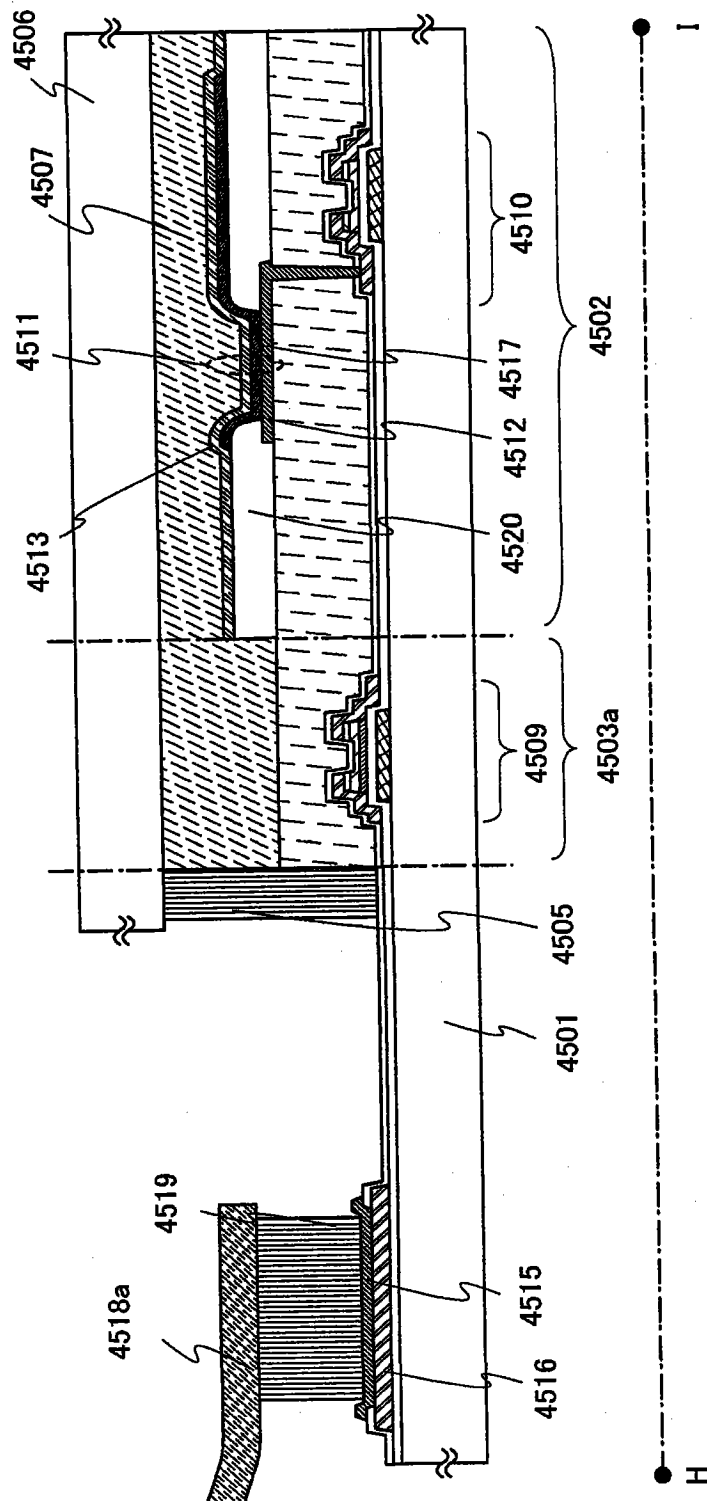


图 12B

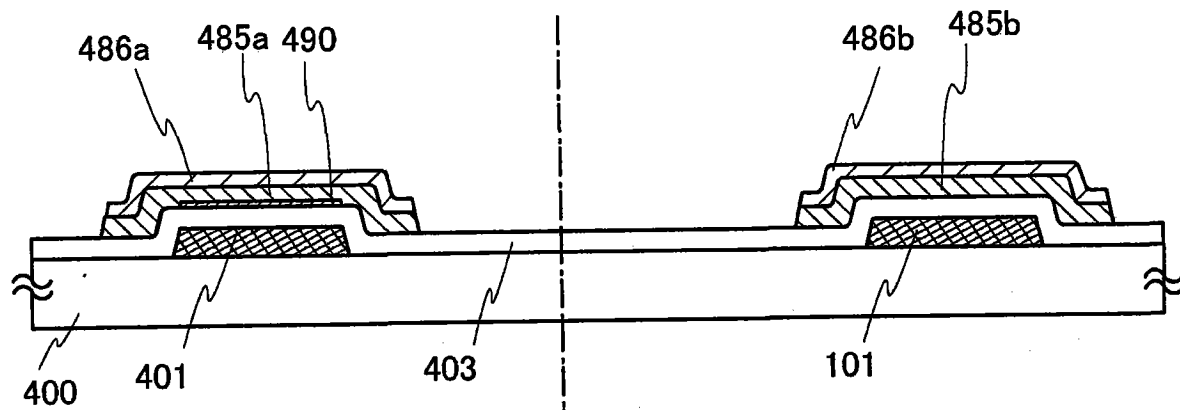


图 13A

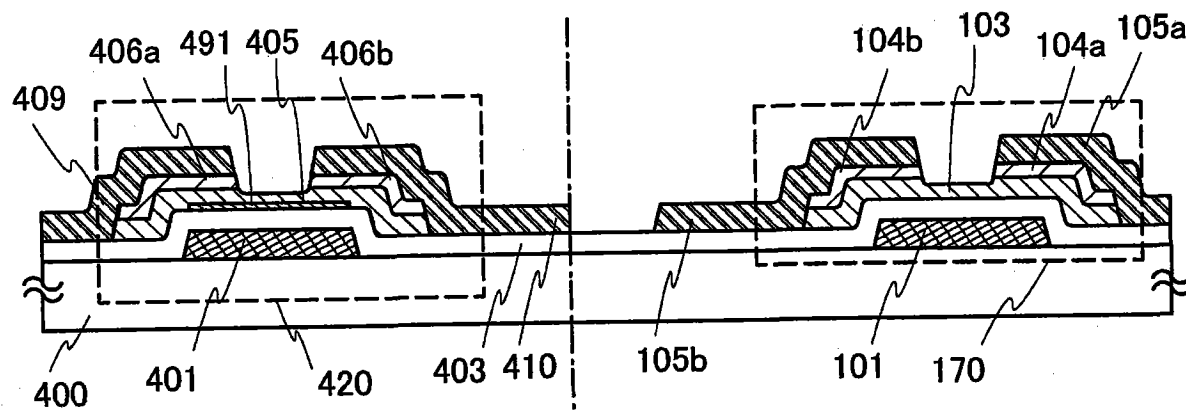


图 13B

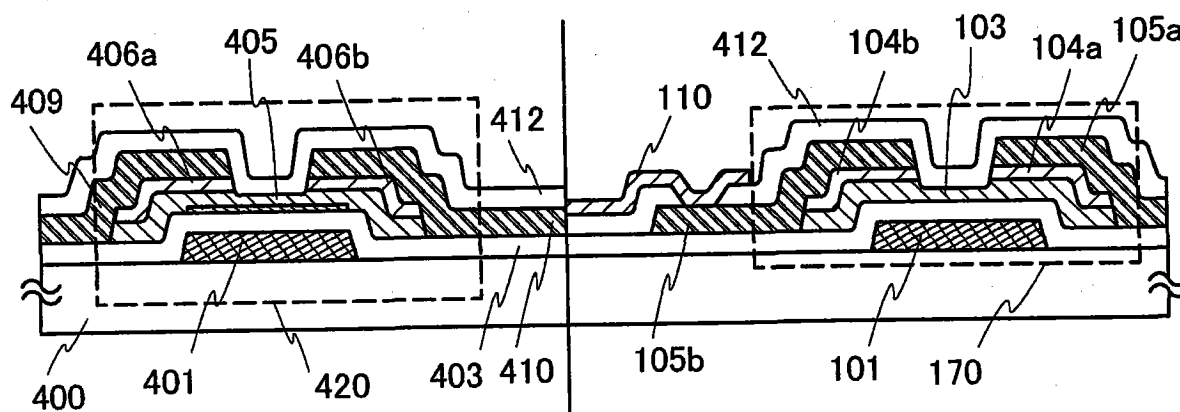


图 13C

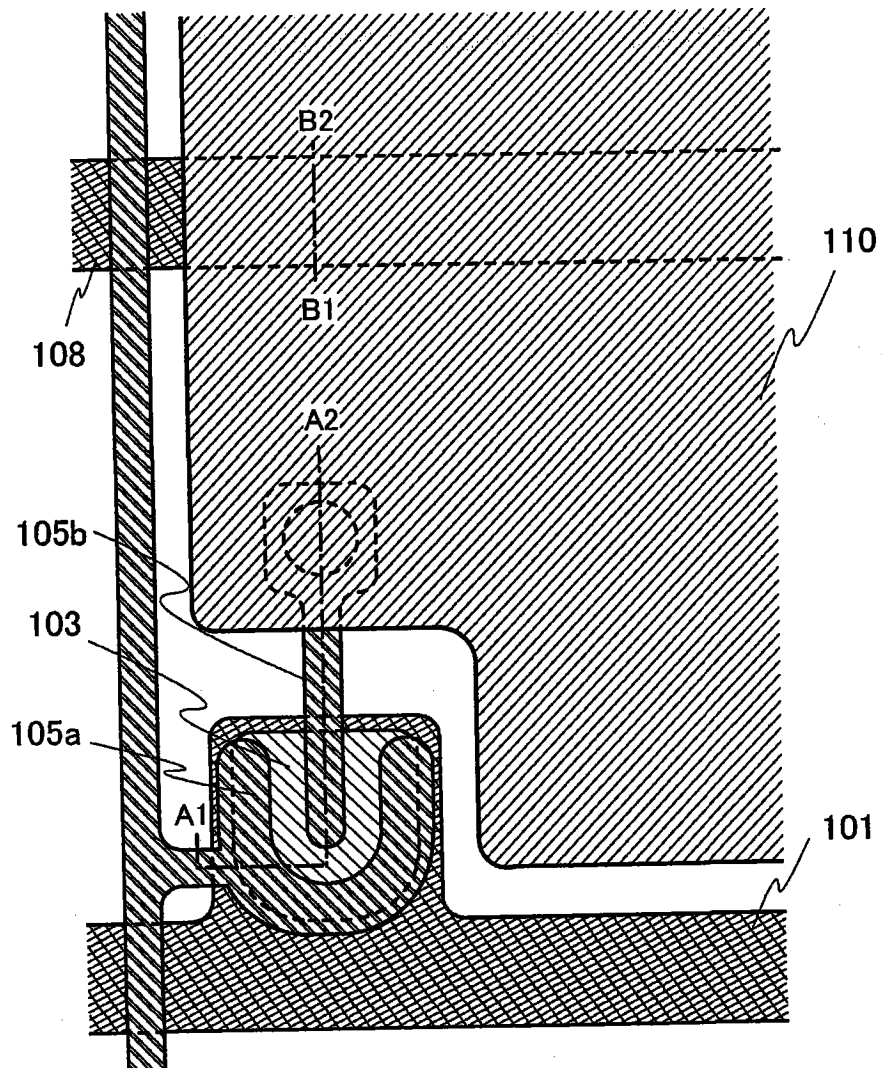


图 14

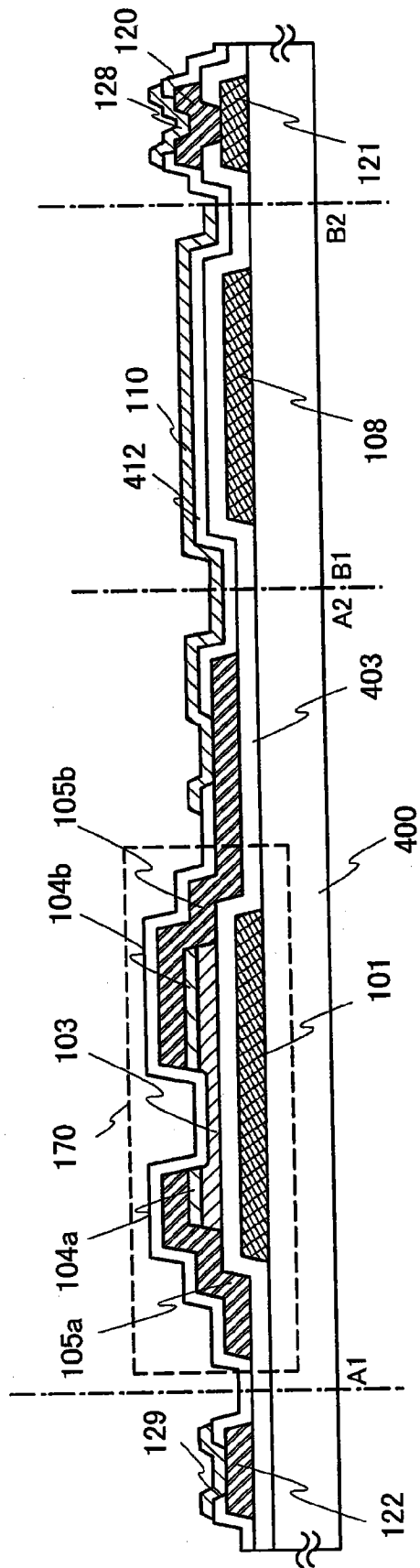


图 15

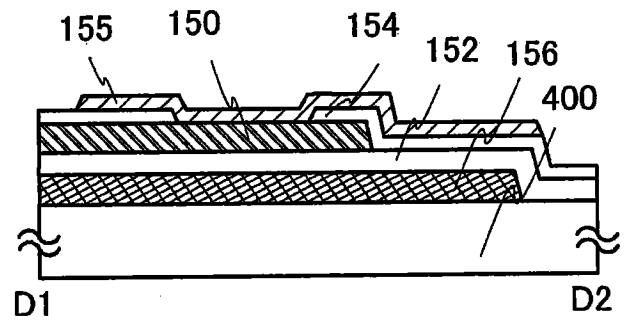


图 16A

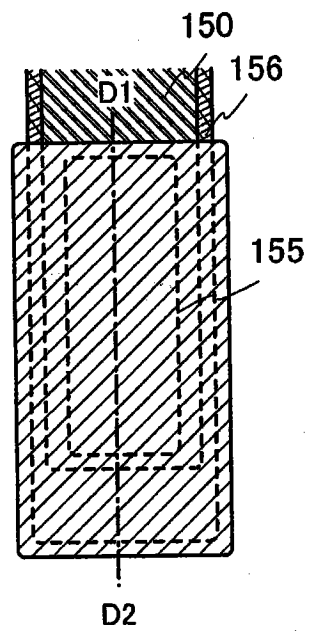


图 16B

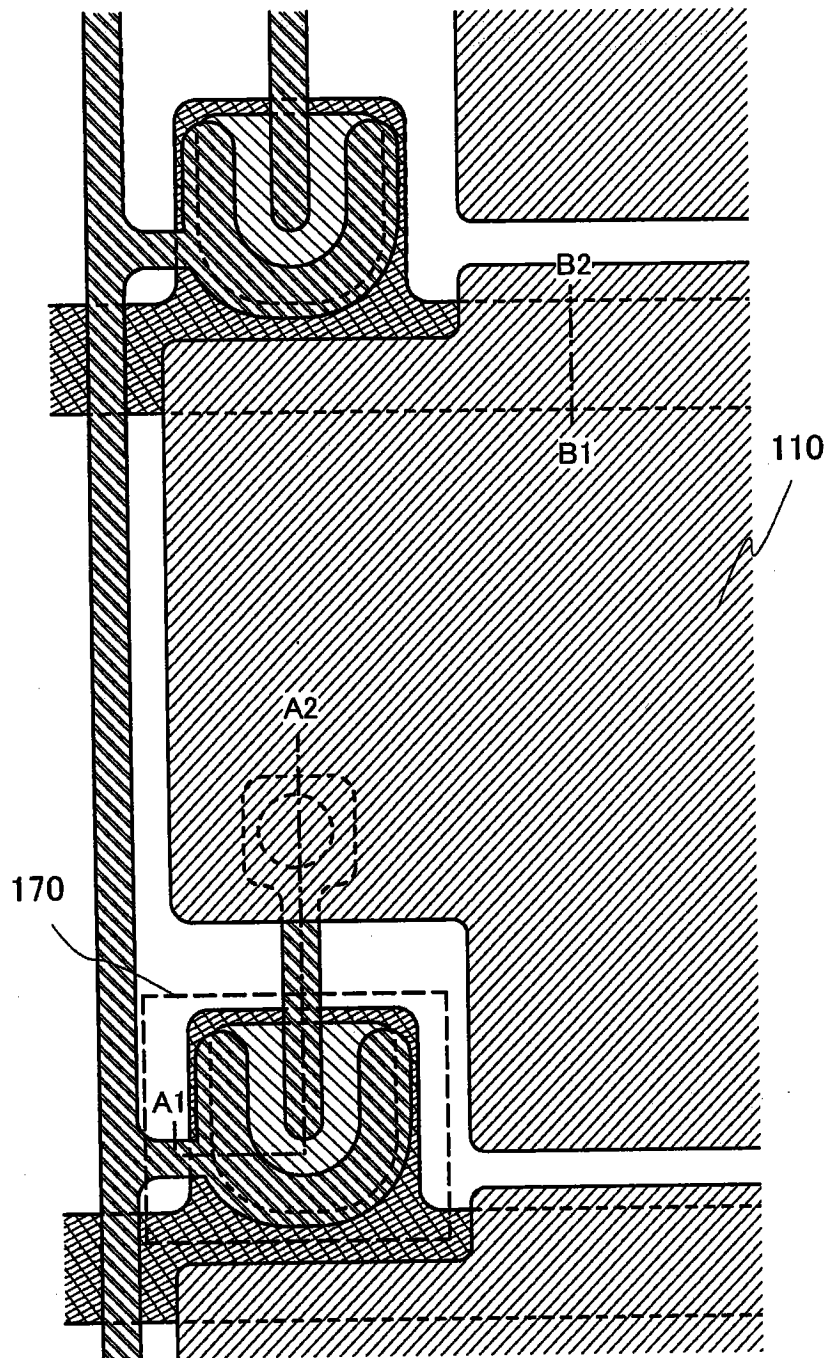


图 17

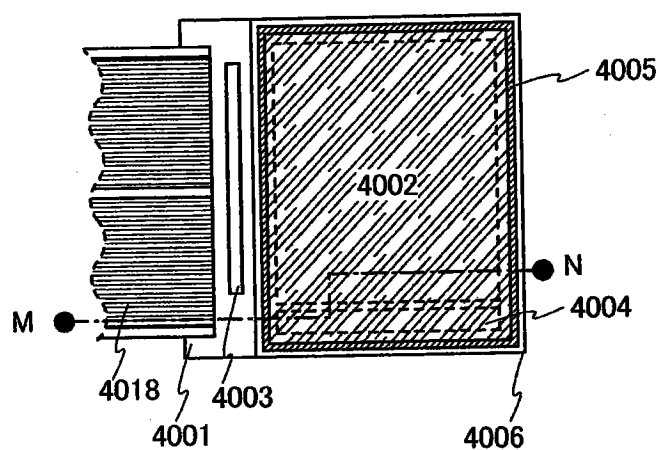


图 18A1

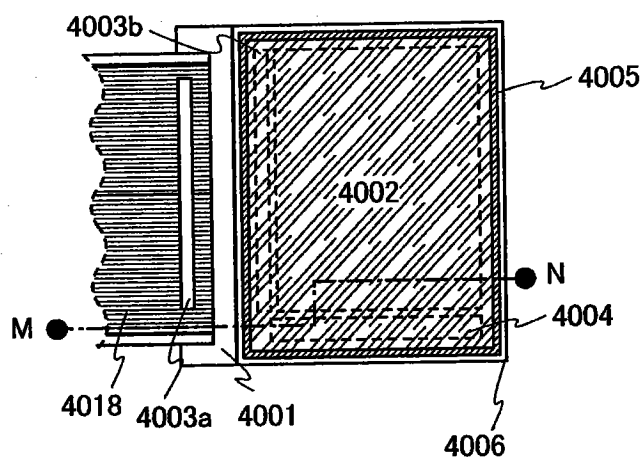


图 18A2

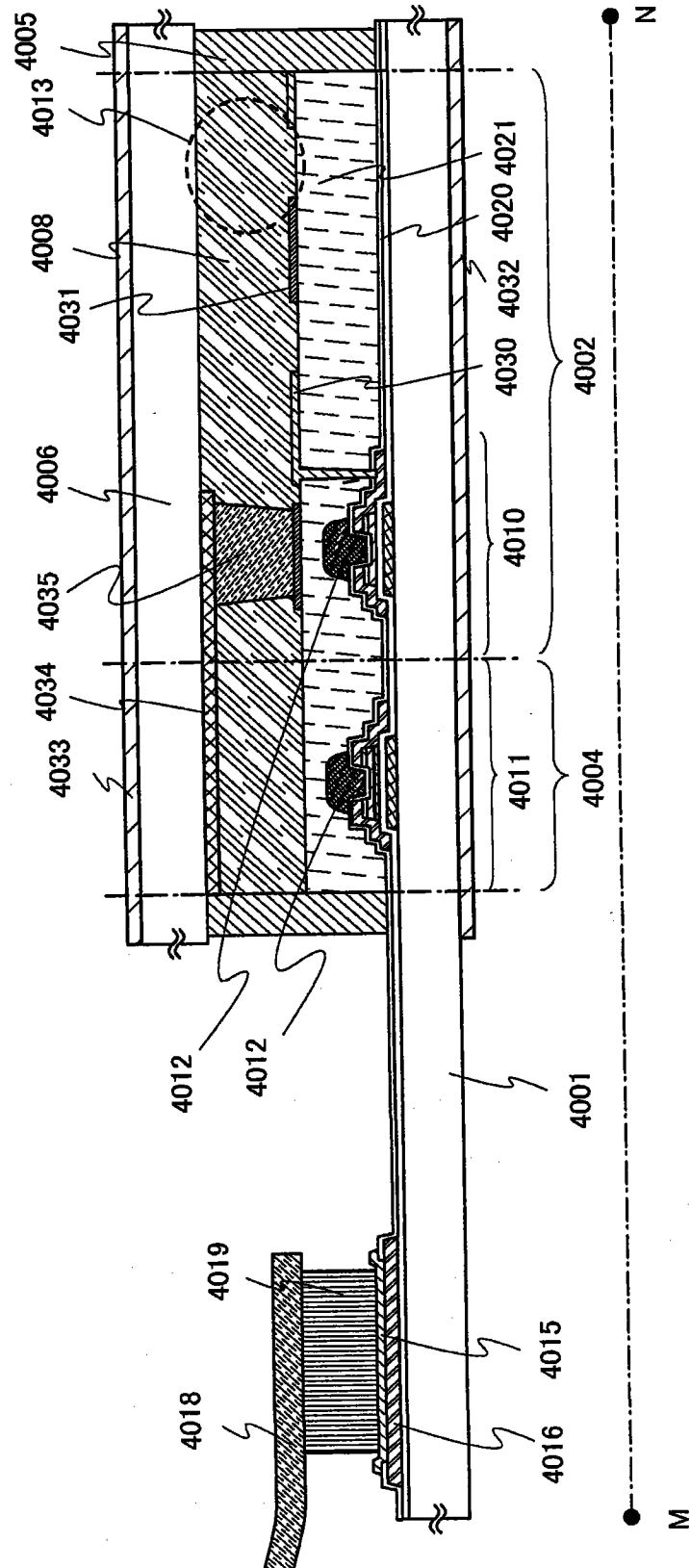


图 18B

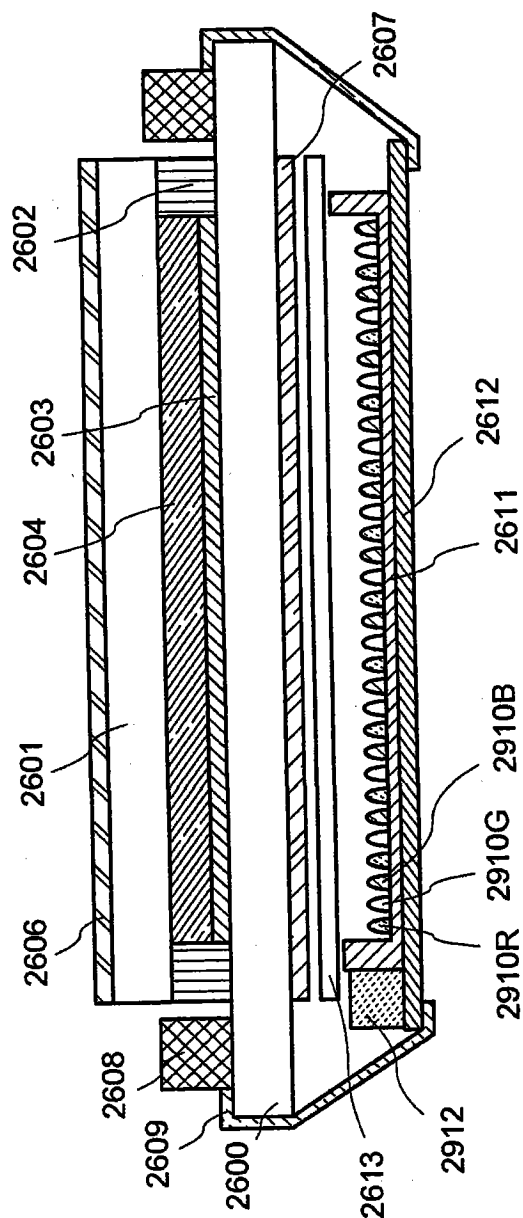


图 19

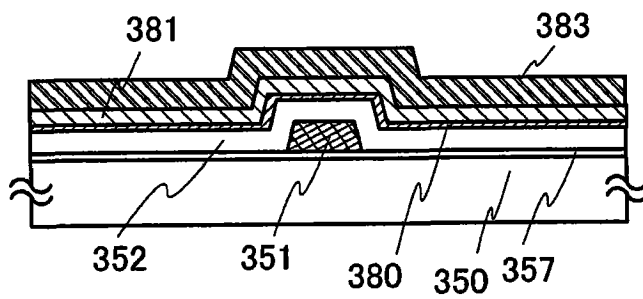


图 20A

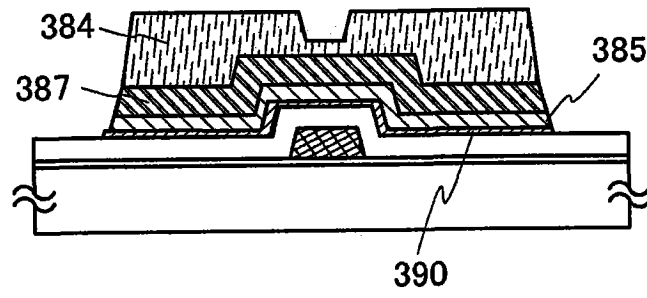


图 20B

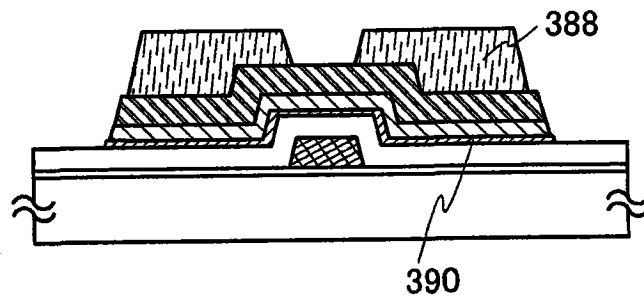


图 20C

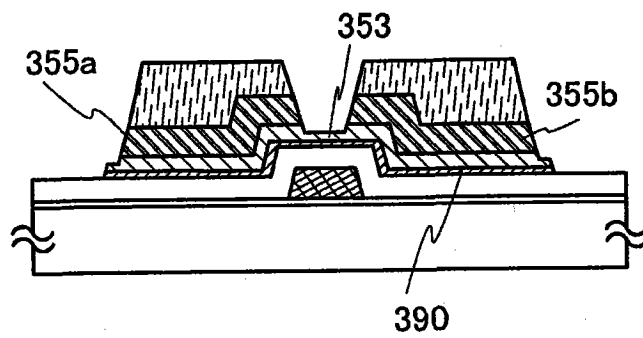


图 20D

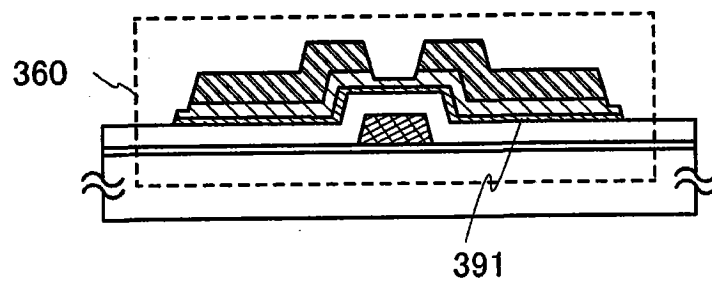


图 20E

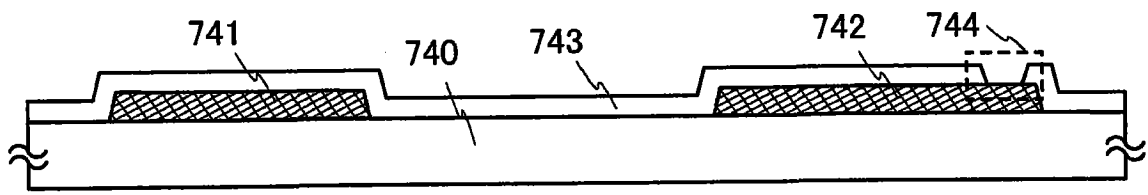


图 21A

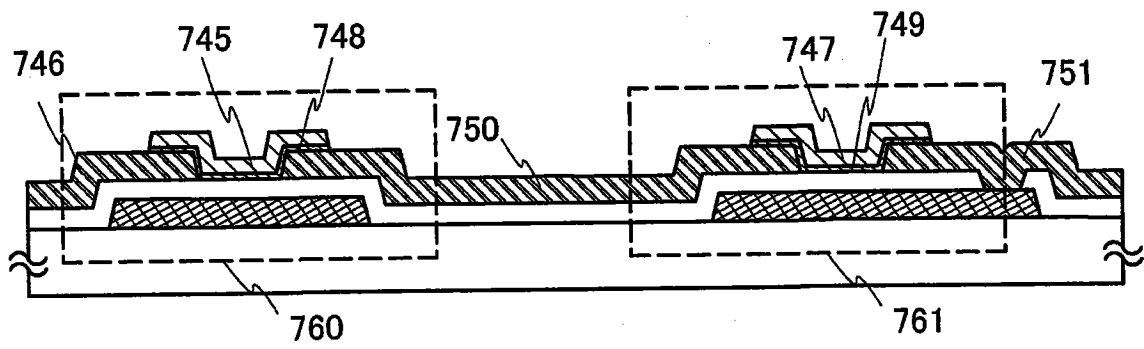


图 21B

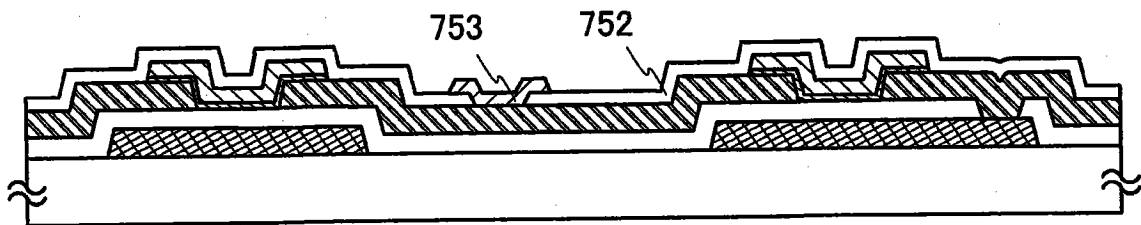


图 21C

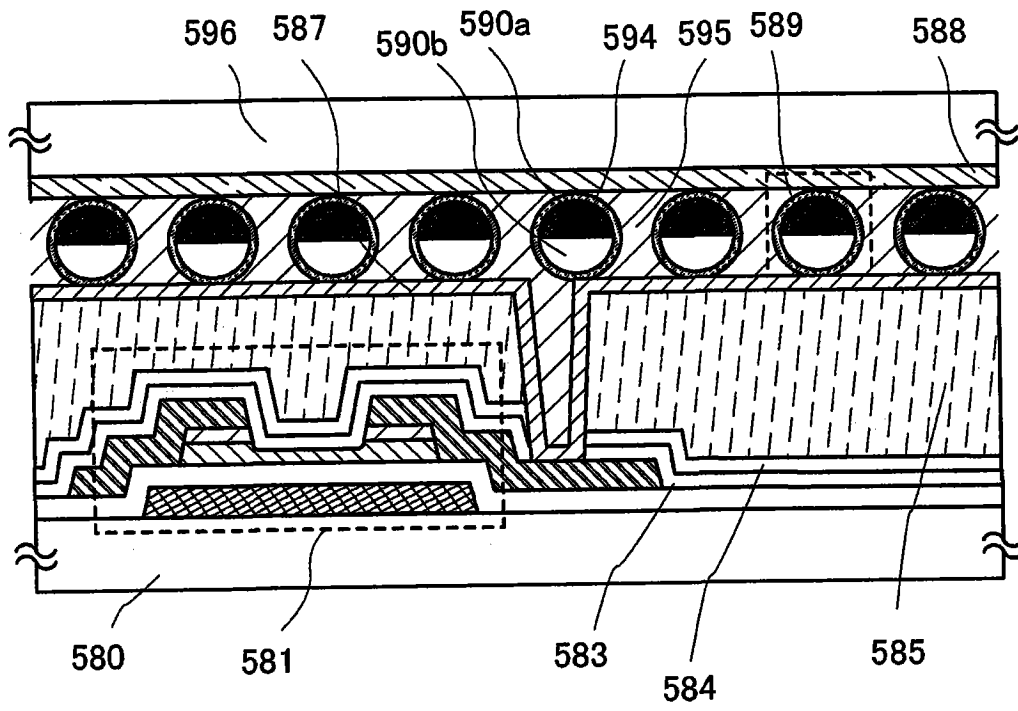


图 22A

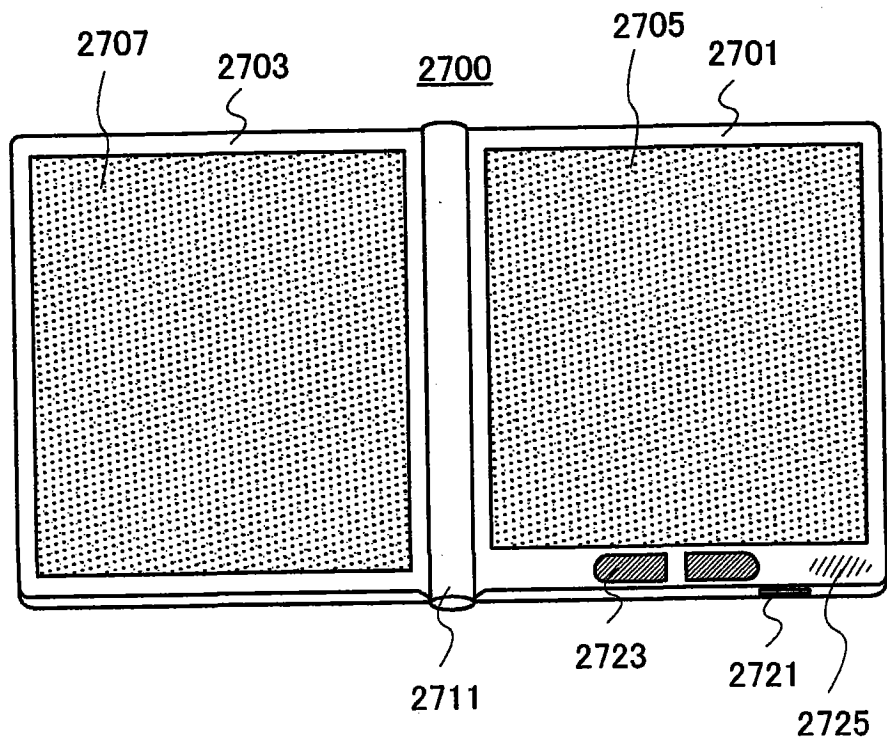


图 22B

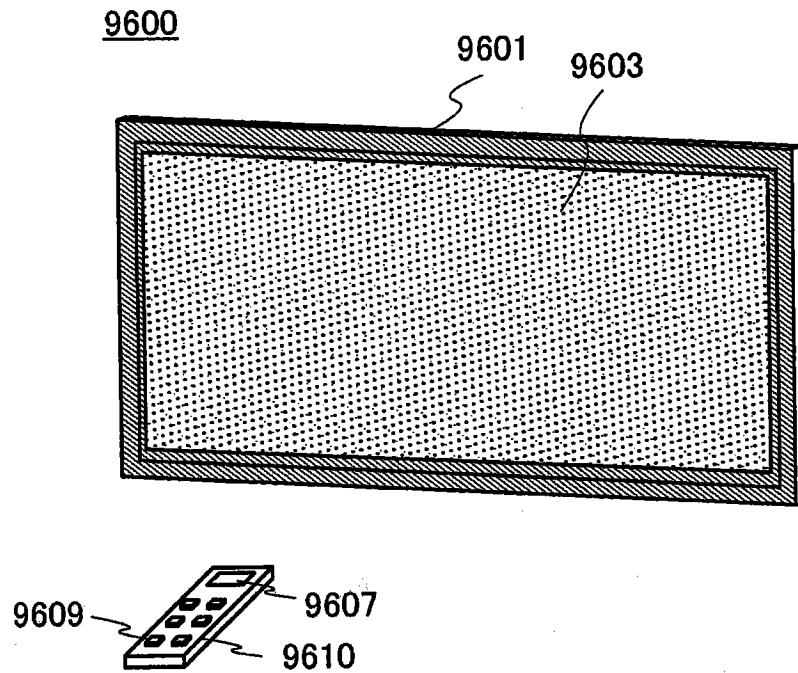


图 23A

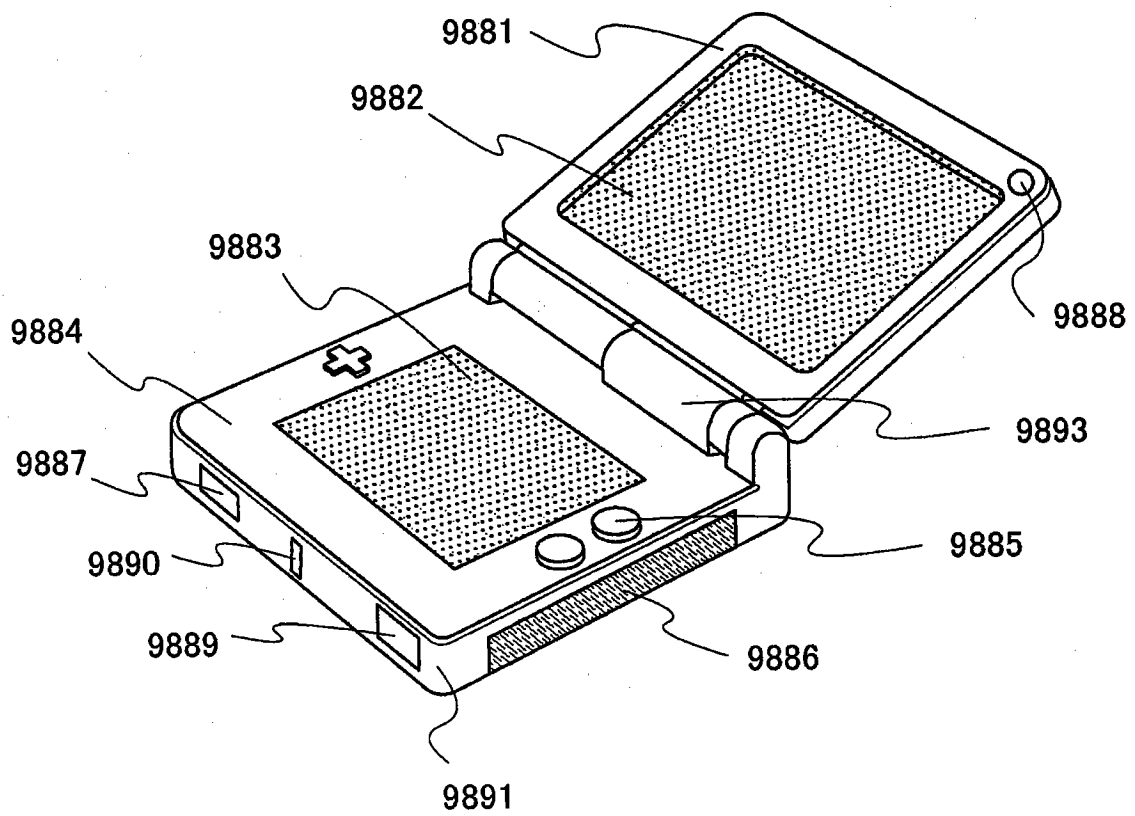


图 23B

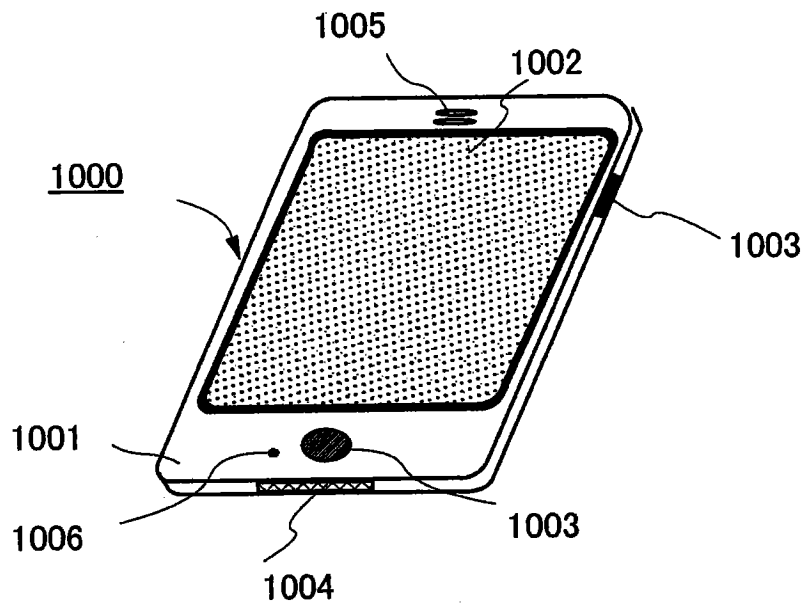


图 24A

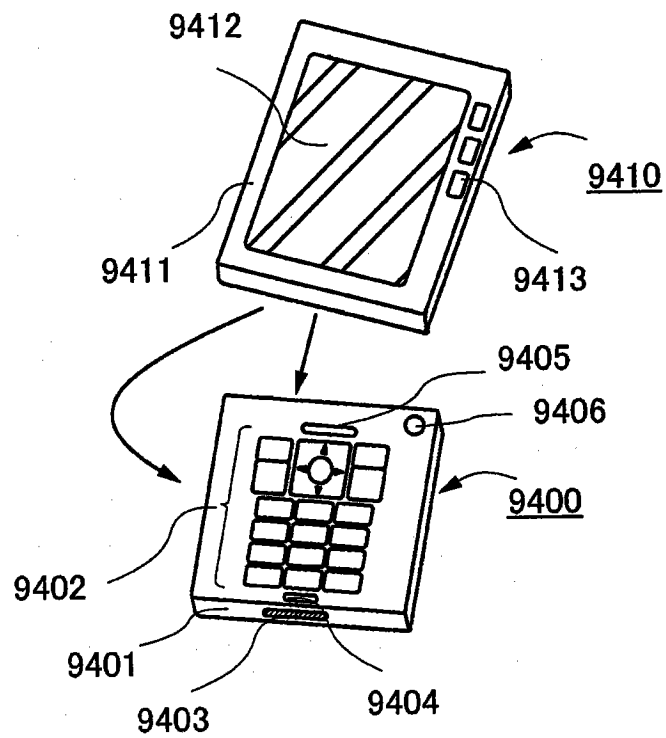


图 24B