

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 16 年 12 月 24 日 (2004.12.24)

【公開番号】特開 2002-94061 (P2002-94061A)

【公開日】平成 14 年 3 月 29 日 (2002.3.29)

【出願番号】特願 2000-279355 (P2000-279355)

【国際特許分類第 7 版】

H 0 1 L 29/78

H 0 1 L 21/336

【F I】

H 0 1 L 29/78 6 5 3 C

H 0 1 L 29/78 6 5 2 G

H 0 1 L 29/78 6 5 8 A

【手続補正書】

【提出日】平成 16 年 1 月 30 日 (2004.1.30)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 導電型半導体基板または第 1 導電型半導体層の表面に形成された第 2 導電型ベース層と、

前記第 2 導電型ベース層の表面に選択的に形成された第 1 導電型ソース層と、

前記第 1 導電型ソース層を突き抜けて前記第 2 導電型ベース層に達するトレンチ溝と、

前記トレンチ溝の内側壁面にゲート酸化膜を介して、夫々、形成された第 1 及び第 2 のゲート電極とを有し、

チャネルが前記トレンチ溝の深さ方向となる縦方向に配設されていることを特徴とする半導体装置。

【請求項 2】

前記第 1 ゲート電極と第 2 ゲート電極との間に絶縁膜を有していることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 2 導電型ベース層の接合深さは、前記トレンチ溝に比べて深いことを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記トレンチ溝の底部に、前記第 1 導電型半導体層よりも濃度が高い第 1 導電型電界緩和層を有していることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】

前記第 1 導電型電界緩和層は、正味のドーズ量が $4 \times 10^{12} \text{ cm}^{-2}$ 以下であることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

前記第 1 ゲート電極及び前記第 2 ゲート電極の底部と前記トレンチ溝との間の前記ゲート酸化膜の一部もしくは全部が、その他の部分の前記ゲート酸化膜よりも厚いことを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置。

【請求項 7】

前記第 1 導電型ソース層に隣接して前記第 2 導電型ベース層表面に第 2 導電型ベースコン

タクト層が設けられ、前記第 2 導電型ベースコンタクト層の接合深さが、前記第 1 導電型ソース層の接合深さよりも深いことを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の半導体装置。

【請求項 8】

半導体基板上に第 1 導電型半導体層を形成する工程と、

前記第 1 導電型半導体層表面に第 2 導電型ベース層を形成する工程と、

前記第 2 導電型ベース層表面に選択的に第 1 導電型ソース層を形成する工程と、

前記第 1 導電型ソース層を突き抜けて前記第 2 導電型ベース層に達するトレンチ溝を形成する工程と、

前記トレンチ溝表面にゲート酸化膜を形成する工程と、

前記ゲート酸化膜形成工程後、前記トレンチ溝内にゲート電極材料を均一な厚さに堆積させる工程と、

前記ゲート電極材料を前記トレンチ溝内の側壁部分に残して、それ以外の前記ゲート電極材料を除去して、前記トレンチ溝側壁部分に、夫々、第 1 及び第 2 のゲート電極を形成する工程と、

前記第 1 及び第 2 のゲート電極間に絶縁膜を形成する工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項 9】

前記トレンチ溝を前記第 2 導電型ベース層の接合深さよりも浅く形成し、前記トレンチ溝を形成後、更に、前記トレンチ溝底部と前記第 1 導電型半導体基板または前記第 1 導電型半導体層との間に第 1 導電型電界緩和層を形成するにより、前記第 2 導電型ベース層の接合深さを前記トレンチ溝に比べて深くしてなることを特徴とする請求項 8 に記載の半導体装置の製造方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

【課題を解決するための手段】

本発明の一態様によれば、第 1 導電型半導体基板または第 1 導電型半導体層の表面に形成された第 2 導電型ベース層と、前記第 2 導電型ベース層の表面に選択的に形成された第 1 導電型ソース層と、前記第 1 導電型ソース層を突き抜けて前記第 2 導電型ベース層に達するトレンチ溝と、前記トレンチ溝の内側壁面にゲート酸化膜を介して、夫々、形成された第 1 及び第 2 のゲート電極とを有し、チャンネルが前記トレンチ溝の深さ方向となる縦方向に配設されていることを特徴とする半導体装置が提供される。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正の内容】

【0014】

また、本発明の一態様によれば、半導体基板上に第 1 導電型半導体層を形成する工程と、前記第 1 導電型半導体層表面に第 2 導電型ベース層を形成する工程と、前記第 2 導電型ベース層表面に選択的に第 1 導電型ソース層を形成する工程と、前記第 1 導電型ソース層を突き抜けて前記第 2 導電型ベース層に達するトレンチ溝を形成する工程と、前記トレンチ溝表面にゲート酸化膜を形成する工程と、前記ゲート酸化膜形成工程後、前記トレンチ溝内にゲート電極材料を均一な厚さに堆積させる工程と、前記ゲート電極材料を前記トレンチ溝内の側壁部分に残して、それ以外の前記ゲート電極材料を除去して、前記トレンチ溝側壁部分に、夫々、第 1 及び第 2 のゲート電極を形成する工程と、前記第 1 及び第 2 のゲ

ート電極間に絶縁膜を形成する工程とを含むことを特徴とする半導体装置の製造方法が提供される。

【手続補正４】

【補正対象書類名】明細書

【補正対象項目名】００１５

【補正方法】削除

【補正の内容】