

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H03K 19/173 (2006.01)

G06F 1/10 (2006.01)

G06F 17/50 (2006.01)



# [12] 发明专利申请公布说明书

[21] 申请号 200580010455.0

[43] 公开日 2007年3月28日

[11] 公开号 CN 1938949A

[22] 申请日 2005.3.29

[21] 申请号 200580010455.0

[30] 优先权

[32] 2004.3.30 [33] JP [31] 098530/2004

[86] 国际申请 PCT/JP2005/006567 2005.3.29

[87] 国际公布 WO2005/096500 日 2005.10.13

[85] 进入国家阶段日期 2006.9.29

[71] 申请人 日本电气株式会社

地址 日本东京都

[72] 发明人 细川晃平

[74] 专利代理机构 北京东方亿思知识产权代理有限公司

代理人 王怡

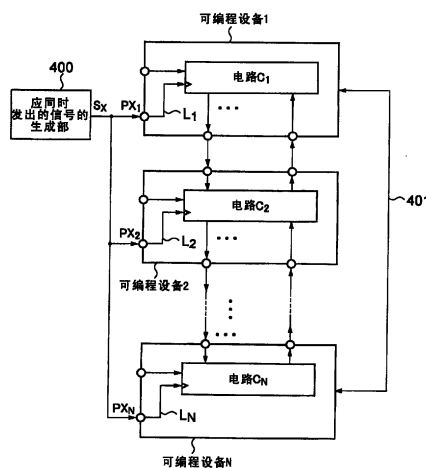
权利要求书 4 页 说明书 14 页 附图 12 页

## [54] 发明名称

电路验证装置、电路验证方法以及用于其的信号分发方法

## [57] 摘要

将被验证电路分割成多个电路部分。具有多个可编程设备以用于通过模拟来实现分割的各个电路部分的功能操作。设置将被验证电路所使用的应该同时给出的信号( $S_x$ )供应给多个可编程设备的布线,使得信号( $S_x$ )分别到达多个可编程设备的时刻的最大时滞比在可编程设备之间的数据传输所需的最小时间还要小。在各个可编程设备中,实现用于从信号生成装置(400)输入信号( $S_x$ )的输入端子(PX),从而能够从信号生成装置直接输入信号( $S_x$ ),并能够抑制时滞的发生。



1. 一种电路验证装置，通过模拟来验证被验证电路的功能操作，其特征在于，

所述被验证电路被分割成多个电路部分，

所述电路验证装置包括：

多个模拟单元，实现被分割的各个电路部分；

第一布线单元，连接所述多个模拟单元以使得它们可以相互进行通信；

第一信号生成单元，生成应该在同一定时发给所述多个模拟单元中的两个以上模拟单元的第一信号；以及

第二布线单元，将所述第一信号从所述第一信号生成单元直接供应给所述两个以上的模拟单元；

其中，所述两个以上的模拟单元中的每一个都实现有与所述第二布线单元连接、用于从所述第一信号生成单元输入所述第一信号的输入端子，并且，在所述第二布线单元中，所述第一信号生成单元输出的所述第一信号分别到达所述两个以上的模拟单元的時刻的最大时滞比在所述多个模拟单元之间的基于所述第一布线单元的数据传输所需的最小时间小。

2. 如权利要求 1 所述的电路验证装置，其特征在于，

所述第一信号是应该在同一定时发给在所述两个以上的模拟单元中分别实现的电路部分的信号，

在所述两个以上的模拟单元的每一个中，通过所述输入端子将所述第一信号供应给所述电路部分。

3. 如权利要求 1 所述的电路验证装置，其特征在于，还包括生成第二信号的第二信号生成单元，该第二信号应该在同一定时发给在所述两个以上的模拟单元的每一个中实现的电路部分，

所述两个以上的模拟单元的每一个都包括同步单元，该同步单元使所述第二信号与所述第一信号同步并将其供应给所述电路部分。

4. 如权利要求 3 所述的电路验证装置，其特征在于，所述第二信号生

成单元通过布线将所述第二信号供应给所述两个以上模拟单元的每一个。

5. 如权利要求 3 所述的电路验证装置，其特征在于，所述第二信号生成单元被组装到所述两个以上模拟单元中的一个中，并通过所述第一布线单元将该第二信号传输给其它模拟单元。

6. 如权利要求 3 所述的电路验证装置，其特征在于，所述第二信号生成单元被组装到所述两个以上的模拟单元的每一个中。

7. 一种电路验证装置的信号分发方法，在所述电路验证装置中，被验证电路被分割成多个电路部分，该电路验证装置包括多个模拟单元，该模拟单元通过模拟来实现被分割的各个电路部分的功能操作，所述电路验证装置的信号分发方法的特征在于，

生成应该在同一定时发给所述多个模拟单元中的两个以上模拟单元的第一信号，

形成用于将所述第一信号输入所述两个以上模拟单元的每一个中的输入端子，

将所述第一信号分别分发给所述两个以上的模拟单元的各个输入端子，使得所述第一信号分别到达所述两个以上的模拟单元的输入端子的时刻的最大时滞比在所述多个模拟单元之间的数据传输所需的最小时间小。

8. 如权利要求 7 所述的信号分发方法，其特征在于，

所述第一信号是应该在同一定时发给在所述两个以上的模拟单元中分别实现的电路部分的信号，

所述两个以上的模拟单元的每一个将所述电路部分的输入改变成所述输入端子，并通过所述输入端子将所述第一信号供应给所述电路部分。

9. 如权利要求 7 所述的信号分发方法，其特征在于，

还生成第二信号，该第二信号应该在同一定时发给在所述两个以上的模拟单元的每一个中实现的电路部分，

在所述两个以上的模拟单元的每一个中，通过使所述第二信号与所述第一信号同步来生成同步第二信号，

所述两个以上的模拟单元的每一个将所述电路部分的输入改变成所述同步第二信号。

10. 一种电路验证系统，所述电路验证系统实现了通过模拟来验证被验证电路的功能操作的电路验证装置，其特征在于，包括：

多个模拟单元；

第一布线单元，连接所述多个模拟单元并以使得它们可相互进行通信；

分割处理单元，使得在所述多个模拟单元的每一个中实现电路部分地将所述被验证电路分成多个，并生成安装数据；

编程单元，将所述安装数据安装在所述多个模拟单元的每一个中；

第一信号生成单元，生成应该在同一定时发给所述多个模拟单元中的两个以上模拟单元的第一信号；以及

第二布线单元，将所述第一信号从所述第一信号生成单元直接供应给所述两个以上的模拟单元；

其中，所述分割处理单元在所述两个以上的模拟单元的每一个中实现输入端子，该输入端子与所述第二布线单元连接、用于从所述第一信号生成单元输入所述第一信号，

在所述第二布线单元中，所述第一信号生成单元输出的所述第一信号分别到达所述两个以上模拟单元的時刻的最大时滞比在所述多个模拟单元之间的基于所述第一布线单元的数据传输所需的最小时间小。

11. 如权利要求 10 所述的电路验证系统，其特征在于，

所述第一信号是应该在同一定时发给在所述两个以上的模拟单元中分别实现的电路部分的信号，

设定所述分割处理单元，使所述两个以上模拟单元的每一个将所述电路部分的输入改变成所述输入端子，并通过所述输入端子将所述第一信号供应给所述电路部分。

12. 如权利要求 10 所述的电路验证系统，其特征在于，

还包括生成第二信号的第二信号生成单元，该第二信号应该在同一定时发给在所述两个以上模拟单元的每一个中实现的电路部分，

设定所述分割处理单元，使得在所述两个以上的模拟单元的每一个中，实现使所述第二信号与所述第一信号同步而生成同步第二信号的同步

单元，并将所述电路部分的输入改变成所述同步第二信号。

13. 一种电路验证方法，通过模拟来验证被验证电路的功能操作，其特征在于，

将所述被验证电路分割成多个电路部分，

在多个模拟单元中实现分割的各个电路部分，

可以通过第一布线单元连接所述多个模拟单元以进行相互通信，

生成应该在同一定时发给所述多个模拟单元中的两个以上模拟单元的第一信号，

通过第二布线单元将所述第一信号直接供应给所述两个以上的模拟单元，

所述两个以上模拟单元的每一个都实现有与所述第二布线单元连接、用于输入所述第一信号的输入端子，

在所述第二布线单元中，所述第一信号分别到达所述两个以上的模拟单元的的时刻的最大时滞比在所述多个模拟单元之间的基于所述第一布线单元的数据传输所需的最小时间小。

14. 如权利要求 13 所述的电路验证方法，其特征在于，

所述第一信号是应该在同一定时发给在所述两个以上的模拟单元中分别实现的电路部分的信号，

所述两个以上的模拟单元的每一个将所述电路部分的输入改变成所述输入端子，并通过所述输入端子将所述第一信号供应给所述电路部分。

15. 如权利要求 13 所述的电路验证方法，其特征在于，

还生成第二信号，该第二信号应该在同一定时发给在所述两个以上模拟单元的每一个中实现的电路部分，

在所述两个以上模拟单元的每一个中，通过使所述第二信号与所述第一信号同步来生成同步第二信号，

所述两个以上的模拟单元的每一个将所述电路部分的输入改变成所述同步第二信号。

## 电路验证装置、电路验证方法以及用于其的信号分发方法

### 技术领域

本发明涉及逻辑电路的设计支持技术，尤其涉及使用多个可编程设备来验证同步电路的操作的电路验证装置和电路验证方法。

### 背景技术

在数字 LSI 的操作验证中，通常使用的是利用 FPGA、CPLD 等可编程设备的硬件模拟。但是随着电路规模的逐年扩大，将数字 LSI 整体分给一个可编程设备变得越来越困难。因此，提出了几个试图解决上述问题的技术。

例如在日本专利文献特开平 11-134385 号公报中，公开了将被检查电路分给多个可编程设备的方法。在该方法中，特别是从跨在可编程设备之间的路径延迟多为关键路径的角度出发，当分割被检查电路时，按照路径延迟的定时余量在某预定值以下的网络不跨过可编程设备之间的方式来进行分割。

但是在日本专利文献 1 所公开的电路分割方法中，完全没有考虑到需要在几乎同一时刻将变化传给分割成多个可编程设备的电路的信号。因此，有时无法正确验证电路，尤其是无法正确验证同步电路。当分发数字 LSI 的时钟信号时，该问题尤其显著。下面利用具体示例来说明以往的问题。

图 1 是示出将被验证电路 101 分割成两部分、分别分配给可编程设备 1、2 的示例的框图。被验证电路 101 由级联连接的三个触发电路 A、B、C 组成。在这里，由触发电路（FF）A 和 C 组成的最上位电路 102 被分给可编程设备 1，由触发电路 B 组成的电路部分被分给可编程设备 2。

时钟发生装置 103 生成的时钟信号 CLK 通过可编程设备 1 的内部布线被提供给触发电路 A 和 C 的时钟输入，并从可编程设备 1 的时钟输出端子

通过可编程设备间布线被提供给可编程设备 2。另外，通过可编程设备的内部布线和可编程设备间布线，将触发电路 A 的数据输出端子 D1 的数据传输给可编程设备 2 的触发电路 B 的数据输入端子。另外，通过可编程设备的内部布线和可编程设备间布线，将触发电路 B 的数据输出端子 D2 的数据传输给可编程设备 1 的触发电路 C 的数据输入端子。

在这种将三级联触发器安装到两个可编程设备 1 和 2 中的结构中，当布线和设备延迟处于理想状态时，各个触发器的输出相对于其输入偏移一个时钟周期。因此，第三段触发电路 C 的数据输出端子的数据应该比第一段触发电路 A 的数据输入端子 D0 迟三个周期。

但在现实中，所有的电路元件和布线都存在延迟。即，从触发电路 A 的数据输出端子 D1 到触发电路 B 的数据输入端子存在延迟  $D_Y$ 。另一方面，从可编程设备 1 的 CLK 输入端子到触发电路 B 的时钟端子存在延迟  $D_X$ 。

当时钟信号 CLK 向触发电路 B 的输入比数据输入的定时迟更多 ( $D_X > D_Y$ ) 时就会发生问题。如上所述，当数据 x0 在触发电路 A 中被闭锁时，数据 x0 出现在输出端子 D1 中，然后仅延迟  $D_Y$ ，在触发电路 B 的数据输入端子中出现数据 x0。然后，由于将仅延迟了  $D_X$  的时钟信号 CLK 输入触发电路 B 的时钟输入端子，因此，时钟电路 B 闭锁此时的数据输入 x0。在该影响下，触发电路 C 的数据输出和正常输出相比最终会早一个周期发生变化。

这种异常操作会引起触发电路 B 的时钟输入比数据输入还要迟。在上述专利文献 1 公开的技术中，由于完全没有考虑到像时钟信号那样应该同时给出的信号，因此，无法避免上述异常操作的发生，从而无法进行正确的电路验证。

因此，本发明的目的在于提供一种能够正确验证被检查电路的电路验证装置、电路验证方法以及用于其的信号分发方法。

## 发明内容

根据本发明的第一方式，提供了一种通过模拟来验证被验证电路的功

能操作的电路验证装置。当进行验证时，将被验证电路分割成多个电路部分。电路验证装置包括：多个模拟部（可编程设备），实现被分割的各个电路部分；第一布线部，连接多个模拟部以使得它们可以相互进行通信；第一信号生成部，生成应该在同一定时发给多个模拟单元中的两个以上模拟单元的第一信号；以及第二布线部，将第一信号从第一信号生成部直接供应给上述两个以上的模拟部。在本电路验证装置中，上述两个以上的模拟部中的每一个都实现输入端子，该输入端子与第二布线部连接、用于从第一信号生成部输入第一信号。在第二布线部中，第一信号生成部输出的第一信号分别到达上述两个以上的模拟部的时刻的最大时滞比在多个模拟部之间的基于第一布线部的数据传输所需的最小时间小。

在上述第一方式的电路验证装置中，第一信号是应该在同一定时发给在两个以上模拟部中分别实现的电路部分的信号，在两个以上模拟部的每一个中，通过输入端子将第一信号供应给电路部分。

在上述第一方式的电路验证装置中，还包括生成第二信号的第二信号生成部，该第二信号应该在同一定时发给在两个以上模拟部的每一个中实现的电路部分，两个以上的模拟部的每一个也可以包括同步部，该同步部使第二信号与第一信号同步并将其供应给电路部分。此时，第二信号生成部通过布线将第二信号提供给两个以上的模拟部的每一个。另外，第二信号生成部也可以被组装到两个以上的模拟部中的一个中，并通过第一布线将第二信号传输给其它模拟部。或者，也可以将第二信号生成部组装到两个以上的模拟部的每一个中。

根据本发明的第二方式，提供了一种电路验证装置的信号分发方法，在所述电路验证装置中，被验证电路被分割成多个电路部分，该电路验证装置具有多个模拟部，该模拟部通过模拟来实现被分割的各个电路部分的功能操作。本信号分发方法的特征在于，生成应该在同一定时发给多个模拟部中的两个以上的模拟部的第一信号，形成用于将第一信号输入上述两个以上的模拟部的每一个中的输入端子，将第一信号分别分发给上述两个以上的模拟部的各个输入端子，使得第一信号分别到达上述两个以上的模拟部的输入端子的时刻的最大时滞比在多个模拟部之间的数据传输所需的



最小时间小。

根据本发明的第三方式，提供了一种实现电路验证装置的电路验证系统，该电路验证装置通过模拟来验证被验证电路的功能操作。本电路验证系统包括：多个模拟部；第一布线部，连接多个模拟部以使得它们可以相互进行通信；分割处理部，将被验证电路分成多个，使得在多个模拟部的每一个中实现电路部分并生成安装数据；编程部，将安装数据安装在多个模拟部的每一个中；第一信号生成部，生成应该在同一定时发给多个模拟部中的两个以上的模拟部的第一信号；以及第二布线部，将第一信号从第一信号生成部直接供应给上述两个以上的模拟部。分割处理部在上述两个以上的模拟部的每一个中实现输入端子，该输入端子与第二布线部连接、用于从第一信号生成部输入第一信号。在第二布线部中，第一信号生成部输出的第一信号分别到达上述两个以上的模拟部的时刻的最大时滞比在多个模拟部之间的基于第一布线部的数据传输所需的最小时间小。

根据本发明的第四实施方式，提供了一种通过模拟来验证被验证电路的功能操作的电路验证方法。当进行验证，将被验证电路分割成多个电路部分。在本电路验证方法中，在多个模拟部中实现分割的各个电路部分，可以通过第一布线部连接多个模拟部进行相互通信，生成应该在同一定时发给多个模拟部中的两个以上的模拟部的第一信号，通过第二布线部将第一信号直接供给上述两个以上的模拟部。两个以上的模拟部的每一个实现输入端子，该输入端子与第二布线部连接、用于输入第一信号。在第二布线部中，第一信号分别到达上述两个以上的模拟部的时刻的最大时滞比在多个模拟部之间的基于第一布线部的数据传输所需的最小时间小。

## 附图说明

图 1 是用于说明将级联连接的三个触发电路分发给两个可编程设备的以往示例、以及在该以往示例中产生的问题点的框图；

图 2 是本发明第一实施方式的电路验证系统的简要结构框图；

图 3 是本发明第一实施方式的电路验证装置的简要结构框图；

图 4 是本发明第二实施方式的电路验证系统的简要结构框图；

图 5A、图 5B 是分别示出本第二实施方式的电路验证系统的控制操作的流程图和电路验证操作的时序图；

图 6 是用于说明本发明第二实施方式的电路验证装置的操作的简要结构框图；

图 7 是用于说明本发明第二实施方式的偏移校正电路（同步电路）的一个操作示例的时序图；

图 8 是本发明第三实施方式的电路验证装置的简要结构框图；

图 9 是本发明第四实施方式的电路验证装置的简要结构框图；

图 10A、图 10B 分别是示出本发明第五实施方式的电路验证装置的简要结构框图和偏移校正电路的结构示意图；

图 11 是示出本发明实施例的被验证电路的一个示例的电路图；

图 12 是从图 11 的被验证电路生成、被安装在两个可编程设备中的电路验证装置的结构框图；

图 13 是示出安装在图 12 的各个可编程设备中的偏移校正电路的一个示例的电路图；

图 14 是说明图 12 所示的电路验证装置的操作的时序图。

## 具体实施方式

（第一实施方式）

（系统结构）

图 2 是本发明第一实施方式的电路验证系统的简要结构框图。在这里，对分割被验证电路、并将其分给 N 个可编程设备的情况进行说明。

电路验证系统包括电路分割处理装置 20，其输入记载有被验证电路的内容的文件 10 并执行电路分割处理。电路验证系统还包括：程序部（编程部）31.1~31.N，其将由电路分割处理装置 20 生成的可编程设备的数据 30.1~30.N 分别写入可编程设备 1~N 中；和包括可编程设备（模拟部）1~N 的电路验证装置 40。

电路分割处理装置 20 是包括电路分析部 201、分割决定部 202、分割处理部 203、显示部 204 和输入部 205 的计算机系统。电路分析部 201 分

析文件 10 来获取电路信息。分割决定部 202 利用获取的电路信息来决定如何将验证电路分割成  $N$  个部分电路。显示部 204 由 LCD 等来实现，输入部 205 是键盘或定点设备（pointing device）等。

分割处理部 203 从电路分析部 201 获取的电路信息中得到全部的信号名，并显示在显示部 204 上以促使用户指定应同时给出的信号。当用户指定了应同时给出的信号名时，分割处理部 203 按照来自电路分析部 201 的电路信息和来自分割决定部 202 的电路分割方法进行电路分割。此时，当应同时发给分割电路的信号被使用时，如后所述，组装入时滞（skew，日文原文：スキュー）减小的布线。这样，产生分别安装在可编程设备  $1 \sim N$  中的可编程设备的数据  $30.1 \sim 30.N$ ，并通过程序部  $31.1 \sim 31.N$  将其写入各个可编程设备  $1 \sim N$  中。

电路验证装置 40 包括： $N$  个可编程设备  $1 \sim N$ ；用于在这些可编程设备之间相互传播信号的布线（第一布线部）401；以及生成应同时给出的至少一个信号的信号生成部（第一信号生成部）400。通过在可编程设备  $1 \sim N$  中写入分别对应的可编程设备的数据，设定从信号生成部 400 输入应同时给出的信号（第一信号）的引脚  $PX_1 \sim PX_N$ 。下面，进一步详细说明本第一实施方式的电路验证装置 40。

#### （电路验证装置）

图 3 是第一实施方式的电路验证装置的简要结构框图。通过在可编程设备（模拟部） $1、2、\dots、N$  中写入分别对应的可编程设备的数据来分配电路  $C_1、C_2、\dots、C_N$ 。另外形成有布线（第二布线部） $L_1、L_2、\dots、L_N$  以及引脚  $PX_1、PX_2、\dots、PX_N$ ，其用于将应该同时给出的信号  $S_X$ （第一信号）从信号生成部 400 输入各个电路  $C_1、C_2、\dots、C_N$ 。

信号生成端子 400 的输出端子和可编程设备  $1 \sim N$  的引脚  $PX_1 \sim PX_N$  需要用时滞小的布线来连接。更详细地说，当从信号生成部 400 向可编程设备  $1 \sim N$  的电路  $C_1 \sim C_N$  传播信号  $S_X$  时，到达时刻  $D_{Xi}$  ( $i=1、2、\dots、N$ ) 由于布线路径长短的不同而不同。该到达时间差的最大值（最大时滞）需要比基于可编程设备之间的布线（第一布线）401 的数据传输所需的最小时间  $D_{MIN}$  小。并且，对于在可编程设备的  $1 \sim N$  内发生的延迟，可以利用

可编程设备用的配置布线程序所提供的速度限制来抑制偏差。

通过这样对各个可编程设备进行编程，应同时给出的信号能够被直接发给可编程设备 1~N 的各个引脚  $PX_1 \sim PX_N$ 。由此能够抑制以往由从最上位电路向下位电路传输而引起的时滞的发生。

#### （第二实施方式）

在上述的第一实施方式中，将应该同时给出的信号  $S_X$ （第一信号）分别发给电路  $C_1 \sim C_N$ 。而在第二实施方式中，利用信号  $S_X$ ，在各个可编程设备中使应该同时给出的信号  $S_Y$  同步。即，即使用时滞大的布线来传输信号  $S_Y$ ，也可以使其与信号  $S_X$  同步，从而在实质上将它们同时提供给各个电路。下面详细说明本发明的第二实施方式。

#### （系统结构）

图 4 是本发明第二实施方式的电路验证系统的简要结构框图。在这里，对分割被验证电路、并将其分发给 N 个可编程设备的情况进行说明。

电路验证系统包括：电路分割处理装置 20，其输入记载有被验证电路的内容的文件 10、并执行电路分割处理；程序部（编程部）31.1~31.N，其将由电路分割处理装置 20 生成的可编程设备的数据 30.1~30.N 分别写入可编程设备 1~N 中；以及包括可编程设备 1~N 的电路验证装置 40。

电路分割处理装置 20 是包括电路分析部 201、分割决定部 202、分割处理部 203、显示部 204 和输入部 205 的计算机系统。电路分析部 201 分析文件 10 来获取电路信息。分割决定部 202 利用获取的电路信息来决定如何将验证电路分割成 N 个部分电路。显示部 204 由 LCD 等来实现，输入部 205 是键盘或定点设备等。

分割处理部 203 从由电路分析部 201 获取的电路信息中得到全部的信号名，并显示在显示部 204 上以促使用户指定应该同时给出的信号。当用户指定了应该同时给出的信号名时，分割处理部 203 按照来自电路分析部 201 的电路信息和来自分割决定部 202 的电路分割方法进行电路分割。此时，在使用应同时发给分割电路的信号的情况下，如后所述，在其中组装偏移校正电路（或者同步电路）。这样，产生分别安装在可编程设备 1~N 中的可编程设备的数据 30.1~30.N，并通过程序部 31.1~31.N 将其写入

各个可编程设备 1~N 中。

电路验证装置 40 包括 N 个可编程设备 1~N 以及用于在这些可编程设备之间相互传播信号的布线 401。电路验证装置 40 还包括：生成信号（第一信号） $S_X$  的信号生成装置（第一信号生成部）X402；生成应同时给出的至少一个信号（第二信号） $S_Y$  的信号生成装置（第二信号生成部）Y403；以及生成信号  $S_W$  的信号生成装置 W（这里未图示）。信号  $S_W$  是通过无需进行时滞调整的布线向最上位电路输入的信号。通过在可编程设备 1~N 中写入分别对应的可编程设备的数据来安装引脚  $PX_1 \sim PX_N$ 、引脚  $PY_1 \sim PY_M$ 、电路  $C_1 \sim C_N$  以及偏移校正电路（同步部） $DC_1 \sim DC_N$ 。

图 5A 和图 5B 是表示本第二实施方式的电路验证系统的控制操作的流程图。首先，在图 5A 中，电路分析部 201 分析文件 10 以获取电路信息（步骤 S301），分割处理部 203 从该电路信息中得到全部的信号名，并显示在显示部 204 上以请求用户指定应该同时给出的信号（步骤 S302）。

当用户使用输入部 205 来指定应该同时给出的信号  $S_Y$  时（步骤 S303），分割处理部 203 决定如何将验证电路分割成 N 个部分电路（步骤 S304）。此时，分割处理部 203 判断在分割电路部分是否使用被指定的信号  $S_Y$ （步骤 S305）。在步骤 S305 中，当判断是使用信号  $S_Y$  的电路时（步骤 S305 的“是”），进行编程，将分别输入应该同时给出的信号  $S_X$  的引脚  $PX_1 \sim PX_N$ 、分别输入应该同时给出的信号  $S_Y$  的引脚  $PY_1 \sim PY_N$ 、以及偏移校正电路  $DC_1 \sim DC_N$  组装到该电路中（步骤 S306）。当判断是不使用信号  $S_Y$  的电路时（步骤 S305 的“否”），则进行编程，不组装偏移校正电路、或者直接连接偏移校正电路的输入端子和输出端子。

分割处理部 203 生成应该被分别安装到可编程设备 1~N 中的可编程设备的数据 30.1~30.N（步骤 S307），通过分别对应的程序部将其安装到可编程设备 1~N 中（步骤 S308）。由此来执行被分割成可编程设备 1~N 的被验证电路的验证操作（步骤 S309）。

如图 5B 所示，在被验证电路的验证操作中，激活信号生成装置 Y（403）、W（图中未示出），从而将信号  $S_Y$  和  $S_W$  提供给各个可编程设备（步骤 S310）。接着，为了在规定时刻 T 向各个电路供给信号  $S_Y$ ，激活

信号生成装置 X (402)，从而将信号  $S_X$  供给各个可编程设备（步骤 S311）。由此，将应该同时给出的信号  $S_Y$  与时滞小的信号  $S_X$  同步地提供给各个电路。

下面详细说明本实施方式的电路验证装置。

（电路验证装置）

图 6 是用于说明本发明第二实施方式的电路验证装置的操作的简要结构框图。这里为了简化说明，仅示出两个可编程设备 m、n。电路验证装置包括：用于在多个可编程设备之间相互传输信号的布线 401；生成应同时给出的信号  $S_X$  的信号生成装置 X402；生成应同时给出的至少一个信号  $S_Y$  的信号生成装置 Y403；以及生成信号  $S_W$  的信号生成装置 W404。

伴随着延迟  $D_{xi}$  ( $i=1, 2, \dots, N$ )，从信号生成装置 X402 输出的信号  $S_X$  分别作为信号  $S_{Xm}$  和  $S_{Xn}$  到达可编程设备 m 和 n 的引脚  $PX_m$  和  $PX_n$ 。但如上所述，在可编程设备 1~N 之间发生的信号  $S_X$  的到达时刻差的最大值比可编程设备之间的数据传输所需的最小时间小。同样的，伴随着延迟  $D_{yi}$  ( $i=1, 2, \dots, N$ )，从信号生成装置 Y403 输出的信号  $S_Y$  分别作为信号  $S_{Ym}$  和  $S_{Yn}$  到达可编程设备 m 和 n 的引脚  $PY_m$  和  $PY_n$ 。

通过在可编程设备 m、n 中写入分别对应的可编程设备的数据来安装电路  $C_m$ 、 $C_n$  以及偏移校正电路（同步部） $DC_m$ 、 $DC_n$ 。偏移校正电路  $DC_m$  通过引脚  $PX_m$  和  $PY_m$  分别输入信号  $S_{Xm}$  和  $S_{Ym}$ ，根据信号  $S_{Xm}$  来使信号  $S_{Ym}$  同步，并将同步信号  $S_{Ym-S}$  供应给电路  $C_m$ 。同样的，偏移校正电路  $DC_n$  通过引脚  $PX_n$  和  $PY_n$  分别输入信号  $S_{Xn}$  和  $S_{Yn}$ ，根据信号  $S_{Xn}$  来使信号  $S_{Yn}$  同步，并将同步信号  $S_{Yn-S}$  供应给电路  $C_n$ 。

另外，偏移校正电路  $DC_i$  可由触发电路构成，该触发电路将信号  $S_{Xi}$  作为时钟输入、将信号  $S_{Yi}$  作为数据输入、将同步信号  $S_{Yi-S}$  作为数据输出（参照图 13）。

图 7 是用于说明第二实施方式的偏移校正电路（同步电路）的操作的一个示例的时序图。在这里，如果从信号生成装置 W404 和 Y403 输出应该在时刻 T 到达的信号  $S_W$  和  $S_Y$ ，则为了在时刻 T 向各个电路供给信号  $S_Y$  而激活信号生成装置 X402，并将信号  $S_X$  作为定时信号输出。

如上所述, 伴随着延迟  $D_{Wm}$ 、 $D_{Wn}$ , 从信号生成装置 W404 输出的信号  $S_W$  分别作为信号  $S_{Wm}$ 、 $S_{Wn}$  到达可编程设备 m、n 的电路  $C_m$ 、 $C_n$ 。不需要特地调整延迟  $D_{Wm}$  和  $D_{Wn}$  的差。同样的, 伴随着延迟  $D_{Ym}$ 、 $D_{Yn}$ , 从信号生成装置 Y403 输出的信号  $S_Y$  分别作为信号  $S_{Ym}$ 、 $S_{Yn}$  到达可编程设备 m、n 的引脚  $PY_m$ 、 $PY_n$ 。不需要特地调整延迟  $D_{Ym}$  和  $D_{Yn}$  的差。

另一方面, 伴随着延迟  $D_{Xm}$ 、 $D_{Xn}$ , 从信号生成装置 X402 输出的信号  $S_X$  分别作为信号  $S_{Xm}$ 、 $S_{Xn}$  到达可编程设备 m、n 的  $PX_m$ 、 $PX_n$ 。但如上所述, 延迟  $D_{Xm}$  和延迟  $D_{Xn}$  的差  $\Delta D_{X(m, n)}$  比可编程设备之间的数据传输所需的最小时间  $D_{MIN}$  小。

偏移校正电路  $DC_m$  根据信号  $S_{Xm}$  来使信号  $S_{Ym}$  同步, 并将同步信号  $S_{Ym-S}$  供应给电路  $C_m$ 。同样的, 偏移校正电路  $DC_n$  根据信号  $S_{Xn}$  来使信号  $S_{Yn}$  同步, 并将同步信号  $S_{Yn-S}$  供给电路  $C_n$ 。从而能够在无实质性误差 ( $\Delta D_{X(m, n)} < D_{MIN}$ ) 的情况下基本同时地将应该在同时刻 T 到达的信号  $S_Y$  提供给电路  $C_m$ 、 $C_n$ 。因此能够避免因应该同时给出的信号  $S_Y$  的时滞而产生的电路的异常操作, 从而能够进行正确的电路验证。

### (第三实施方式)

图 8 是本发明第三实施方式的电路验证装置的简要结构框图。这里例示了  $N=4$  的情况。即, 将分割电路  $C_1$ 、 $C_2$ 、 $C_3$ 、 $C_4$  以及偏移校正电路  $DC_1$ 、 $DC_2$ 、 $DC_3$ 、 $DC_4$  分别分给四个可编程设备 1、2、3、4。

在第三实施方式中, 生成应该同时给出的信号  $S_Y$  的信号生成装置 Y403 被安装在一个可编程设备 3 内。来自信号生成装置 Y403 的信号  $S_Y$  通过连接可编程设备之间的布线 401 而被传输给其它可编程设备。即, 根据第三实施方式, 当电路分割处理装置 20 的分割处理部 203 (图 4) 生成可编程设备 3 的数据时, 生成组装信号生成装置 Y403 的数据, 并进行布线编程以便将信号  $S_Y$  传输给其它可编程设备。同样地, 在其它可编程设备中也进行布线编程以便将输入的信号  $S_Y$  传输给其它可编程设备。

在这样的第三实施方式的结构中, 和第二实施方式相同, 在各个可编程设备 i 中, 偏移校正电路  $DC_i$  输入信号  $S_{Xi}$  和信号  $S_{Yi}$ , 使信号  $S_{Yi}$  的值与信号  $S_{Xi}$  同步, 并将其输出给电路  $C_i$ 。由此, 信号  $S_{Yi}$  到达电路  $C_i$  的时刻

的最大时滞比可编程设备之间的数据传输所需的最小时间小，即，成为时滞被降低了同等程度的信号。

除此之外，在第三实施方式中，由于信号生成装置 Y403 被构成在一个可编程设备内，并将信号  $S_Y$  传输给其它的可编程设备，因此，可减少装置的数量。

#### （第四实施方式）

图 9 是本发明第四实施方式的电路验证装置的简要结构框图。在第四实施方式中，除了电路  $C_1 \sim C_N$  和偏移校正电路  $DC_1 \sim DC_N$ ，在可编程设备 1~N 中还分别安装有生成应该同时给出的信号  $S_Y$  的信号生成装置 Y403.1~Y403.N。为了构成上述的逻辑验证装置，当电路分割处理装置 20 的分割处理部 203（图 4）生成各个可编程设备的数据时，复制信号生成装置 Y403 的程序，从而生成将信号生成装置组装入各个可编程设备的数据。

在这样的第四实施方式的结构中，和第二实施方式相同，在各个可编程设备  $i$  中，偏移校正电路  $DC_i$  输入信号  $S_{X_i}$  和信号  $S_{Y_i}$ ，使信号  $S_{Y_i}$  的值与信号  $S_{X_i}$  同步，并将其输出给电路  $C_i$ 。由此，信号  $S_{Y_i}$  到达电路  $C_i$  的时刻的最大时滞比可编程设备之间的数据传输所需的最小时间小，即，成为时滞被降低了同等程度的信号。

除此之外，在第四实施方式中，由于信号生成装置 Y403 被构成在各个可编程设备内，无需将信号  $S_Y$  传输给其它的可编程设备，因此，可进一步减少装置的数量以简化结构。

#### （第五实施方式）

图 10A 是本发明第五实施方式的电路验证装置的简要结构框图，图 10B 是偏移校正电路的结构示意图。第五实施方式是第一实施方式的变形例，在可编程设备 1~N 中写入有分别对应的可编程设备的数据。由此构成从信号生成装置 Z405 分别输入应同时给出信号  $S_Z$  的引脚  $PX_1 \sim PX_N$ 、电路  $C_1 \sim C_N$  以及偏移校正电路  $DC_1 \sim DC_N$ 。

但如图 10B 所示，各偏移校正电路  $DC_i$  直接连接输入端子和输出端子，不进行偏移校正。当从信号生成装置 Z405 向可编程设备 1~N 的电路



$C_1 \sim C_N$  传输信号  $S_Z$  时, 到达时刻  $D_{Zi}$  ( $i=1, 2, \dots, N$ ) 由于布线路径长短的不同而不同。但该到达时间差的最大值(最大时滞)和第一实施方式的情况相同, 需要比可编程设备之间的布线 401 的数据传输所需的最小时间  $D_{MIN}$  小。并且, 对于在可编程设备的  $1 \sim N$  内发生的延迟, 可以利用可编程设备用的配置布线程序所提供的速度限制来抑制变动。

通过这样对各个可编程设备进行编程, 应同时给出的信号  $S_Z$  能够被直接发给可编程设备  $1 \sim N$  的各个引脚  $PX_1 \sim PX_N$ , 由此能够抑制以往在可编程设备之间进行传输而引起的时滞的发生。

#### (实施例)

下面, 为不使附图复杂, 以可编程设备的数量为两个时 ( $N=2$ ) 的情况为例对本发明的实施例进行详细说明。

图 11 是示出被验证电路的一个示例的电路图。在这里, 被验证电路 50 包括电路(存储元件) A 和 B, 信号  $S_W$  被直接供应给电路 A 和 B。另一方面, 信号  $S_Y$  经由逆变器 IV 被提供给电路 A, 并被直接提供给电路 B。另外如上所述, 假设信号  $S_Y$  是必须同时给出的存储元件的时钟信号, 信号  $S_W$  不是必须同时给出的信号。

当上述被验证电路 50 的数据文件 10 被提供给图 4 所示的电路分割处理装置 20 时, 如上所述, 分割处理部 203 将信号名  $S_X$  和  $S_Y$  以及被包括在电路 A 和 B 中的所有的信号名显示在显示部 204 上。当用户指定信号  $S_Y$  是必须同时发给电路 A 和 B 的信号时, 分割处理部 203 进行分割处理, 生成应该安装在可编程设备 1 和 2 中的电路和偏移校正电路的数据。

图 12 是从图 11 的被验证电路 50 生成、被安装在两个可编程设备中的电路验证装置的结构框图。由于信号  $S_W$  不是应同时给出的信号, 因此, 使用连接可编程设备 1 和可编程设备 2 的布线等来进行连接, 并将信号  $S_W$  的值传输给可编程设备 2 的电路 B。另外, 删除连接在信号  $S_Y$  和电路 A 之间的逆变器 IV, 形成对属于电路 A 的存储元件的时钟信号的逻辑进行反转的电路。这样, 在功能方面完全没有问题, 并通过省略逆变器, 不会引起不必要的延迟。

图 13 是示出安装在图 12 的各个可编程设备中的偏移校正电路的一个

示例的电路图。偏移校正电路由将信号  $S_Y$  作为数据输入、将信号  $S_X$  作为时钟输入的触发电路来构成。

图 14 是说明图 12 所示的电路验证装置的操作的时序图。在这里，如果从信号生成装置 W404 和 Y403 输出应该在时刻 T 到达的信号  $S_W$  和  $S_Y$ ，则为了在时刻 T 向各个电路供应信号  $S_Y$  而激活信号生成装置 X402，并将信号  $S_X$  作为定时信号输出。

伴随着延迟  $D_{W1}$ 、 $D_{W2}$ ，从信号生成装置 W403 输出的信号  $S_W$  分别作为信号  $S_{W1}$ 、 $S_{W2}$  到达可编程设备 1、2 的电路 A、B。同样的，伴随着延迟  $D_{Y1}$ 、 $D_{Y2}$ ，从信号生成装置 Y403 输出的信号  $S_Y$  分别作为信号  $S_{Y1}$ 、 $S_{Y2}$  到达可编程设备 1、2。

另一方面，伴随着延迟  $D_{X1}$ 、 $D_{X2}$ ，从信号生成装置 X402 输出的信号  $S_X$  分别作为信号  $S_{X1}$ 、 $S_{X2}$  到达可编程设备 1、2。但如上所述，延迟  $D_{X1}$  和延迟  $D_{X2}$  的差  $\Delta D_{X(A, B)}$  比可编程设备之间的数据传输所需的最小时间  $D_{MIN}$  小。

偏移校正电路  $DC_1$  根据信号  $S_{X1}$  使信号  $S_{Y1}$  同步，并将同步信号  $S_{Y1-S}$  供应给电路 A。同样地，偏移校正电路  $DC_2$  根据信号  $S_{X2}$  使信号  $S_{Y2}$  同步，并将同步信号  $S_{Y2-S}$  供应给电路 B。从而能够在无实质性误差 ( $\Delta D_{X(A, B)} < D_{MIN}$ ) 的情况下基本同时地将应该在同时刻 T 到达的信号  $S_Y$  供给电路 A、B。

根据本发明，在两个以上的模拟单元的每一个中实现用于通过第二布线单元输入应该在同一定时给出的信号（第一信号）的输入端子，通过该输入端子，从信号生成单元直接输入第一信号。第一信号通过第二布线单元分别到达两个以上的模拟单元的刻度的最大时滞比模拟单元之间的第一布线单元的数据传输所需的最小时间小。由此，可以抑制以往由在模拟单元之间传输而引起的时滞，从而进一步提高了电路验证的可靠性。

各模拟单元能够在该电路部分直接将时滞小的第一信号用作输入信号。另外，可以输入另一第二信号，使之与时滞小的第一信号同步，并将其供给电路部分。此时，即使通过时滞大的布线输入第二信号，也可以同步于第一信号来供给第二信号。由此，可以在同一定时将第二信号供给各

模拟单元的电路部分。即，能够用对时滞条件要求宽松的布线来分发第二信号，并能够提高电路验证装置的设计自由度和可靠性。

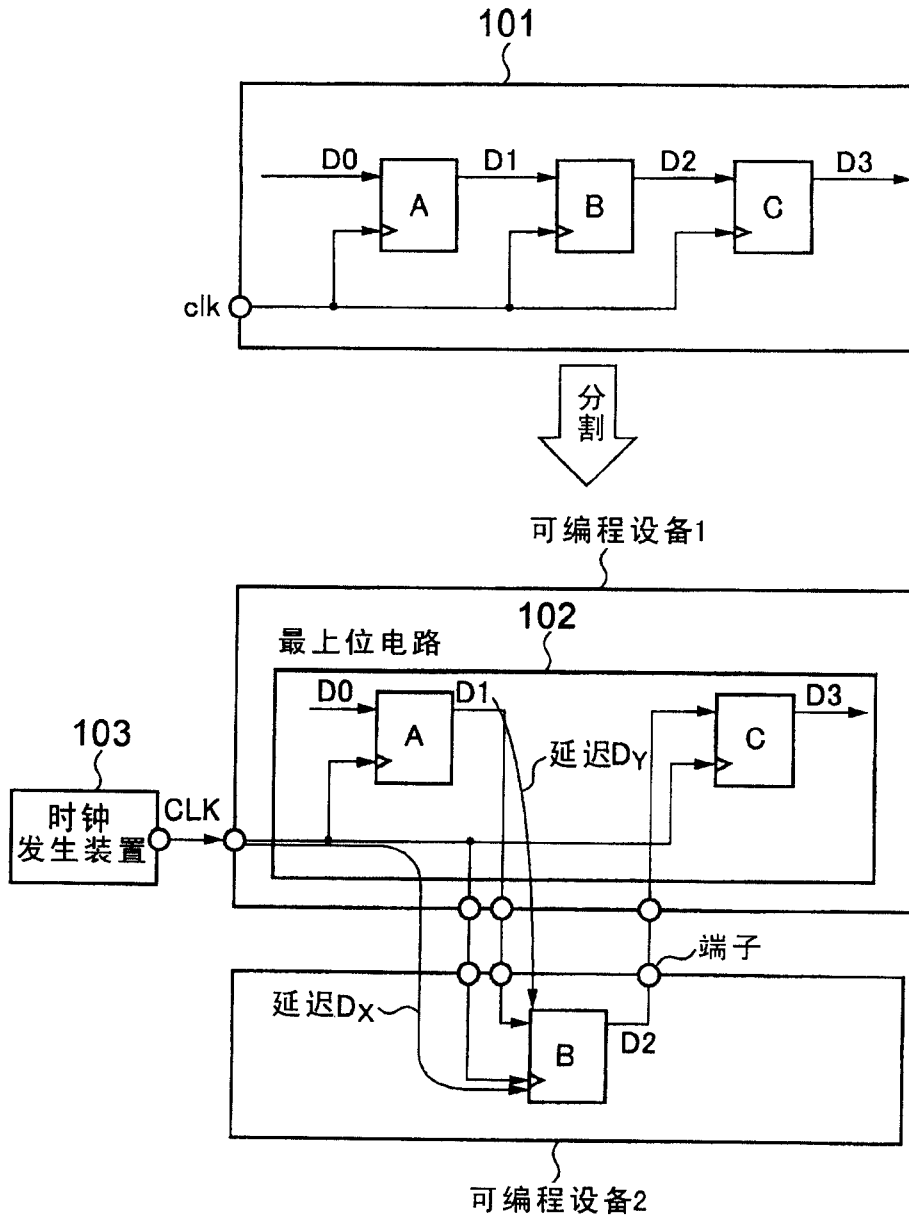


图1

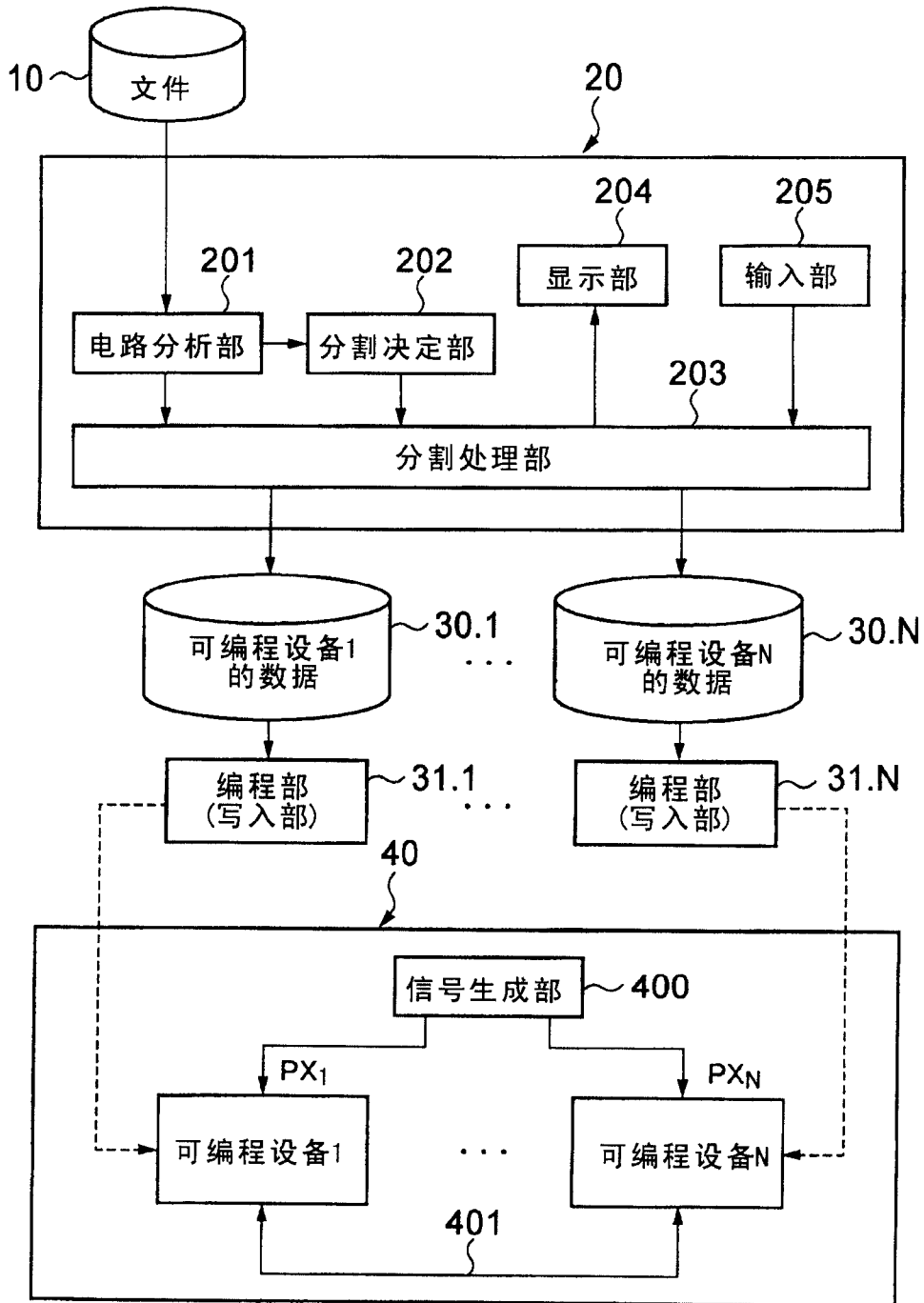


图2

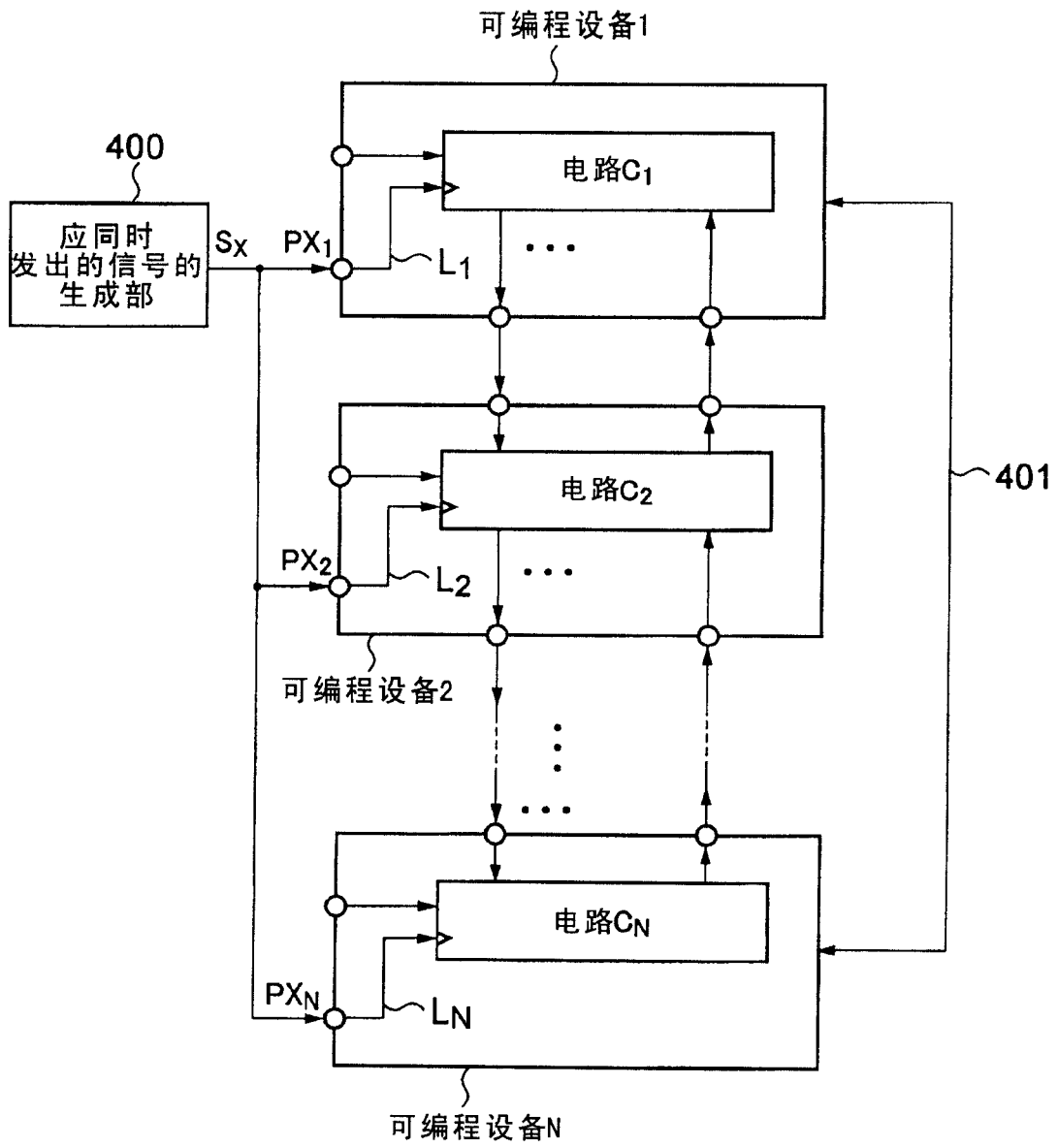


图3

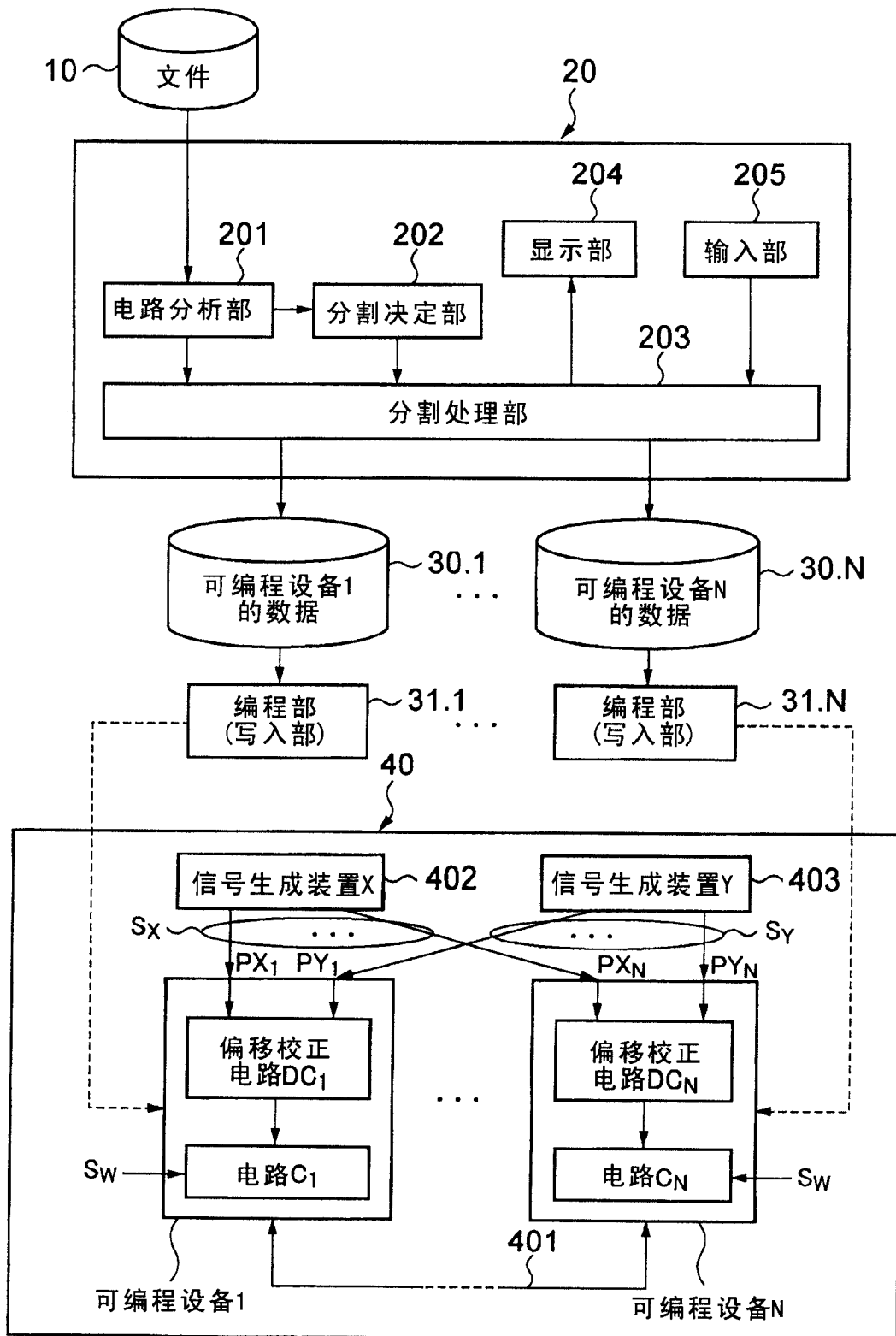


图4

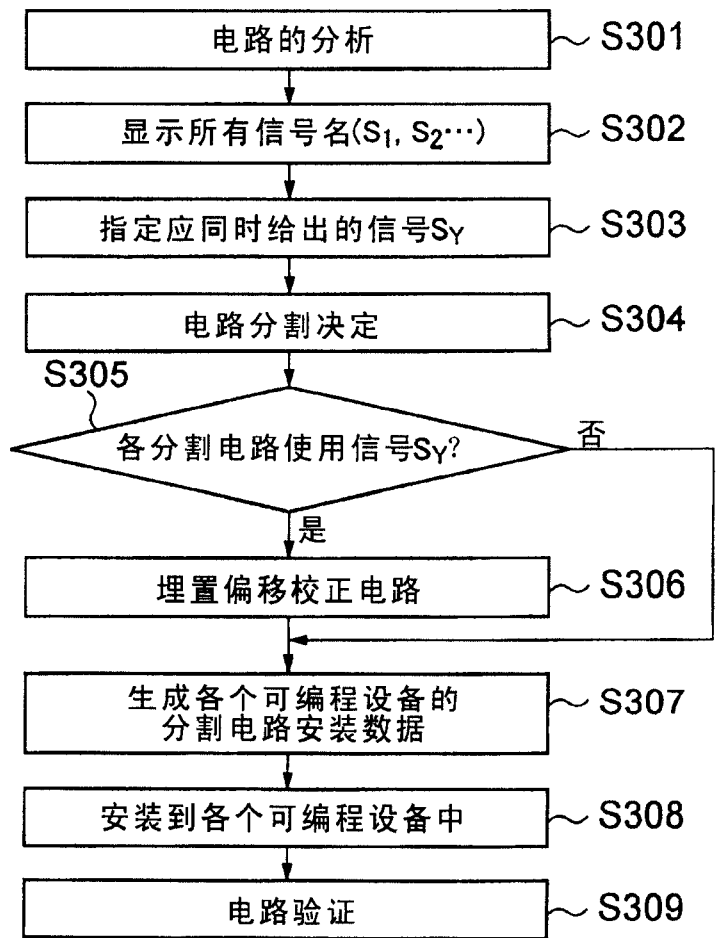


图5A

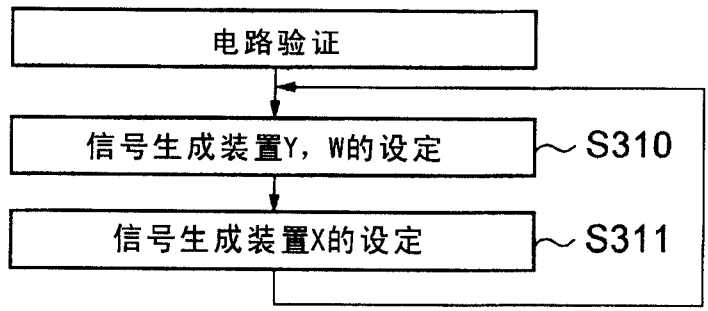


图5B



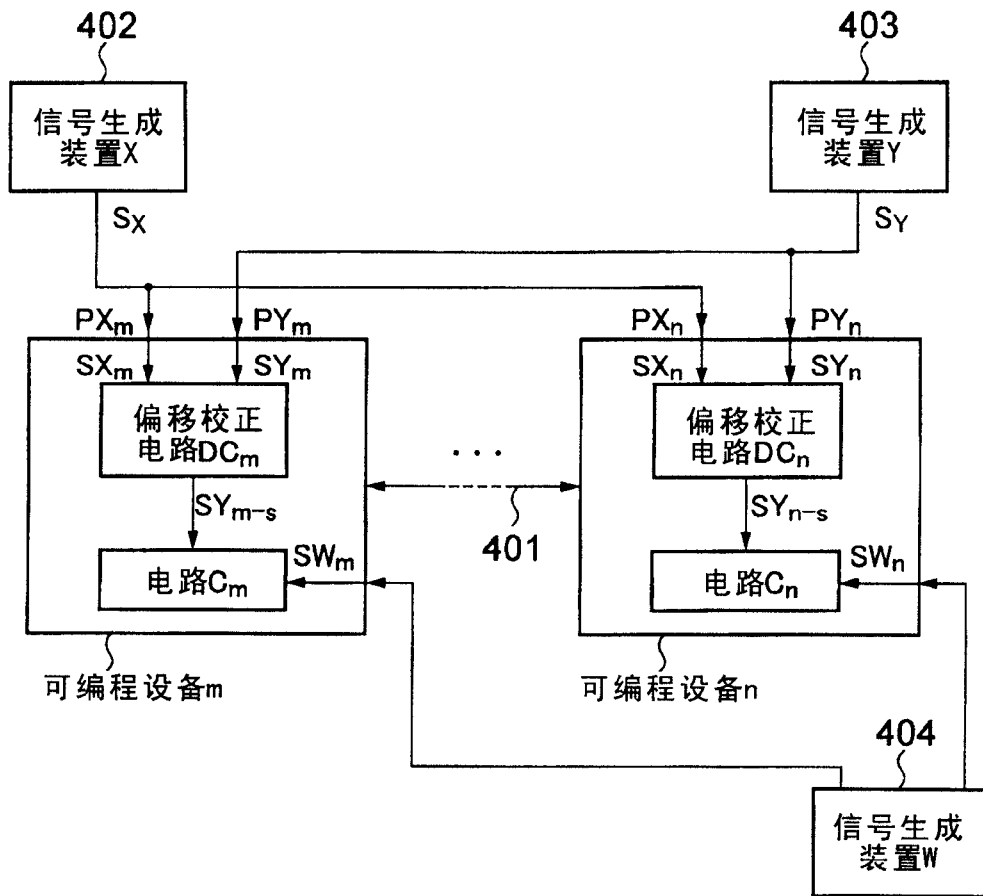


图6

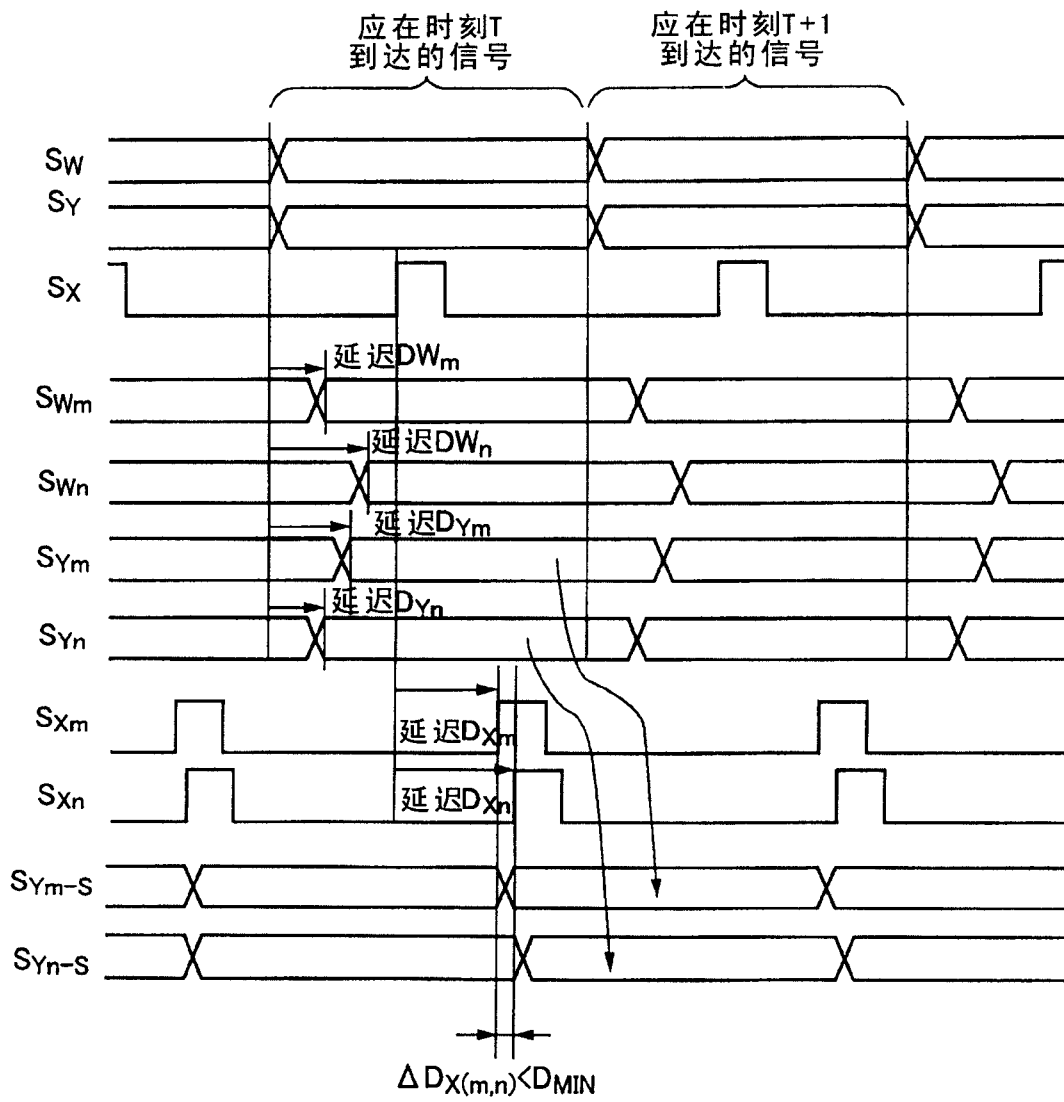


图7

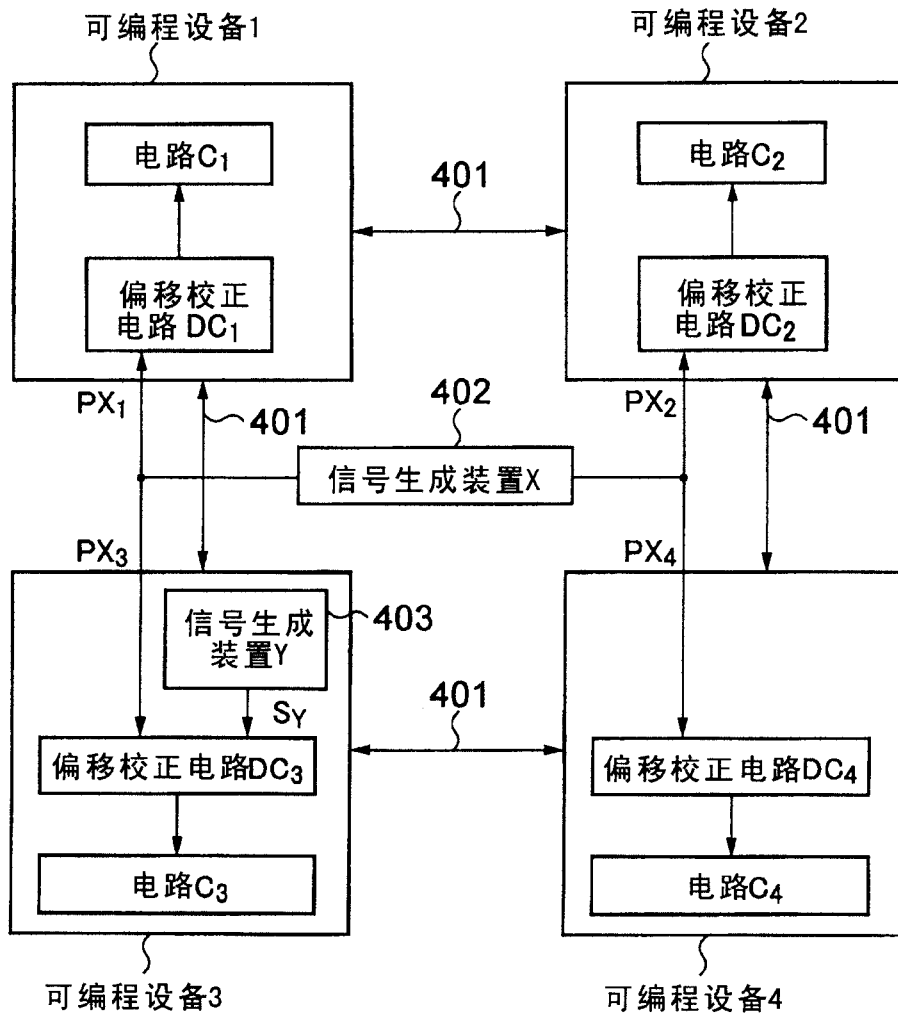


图8

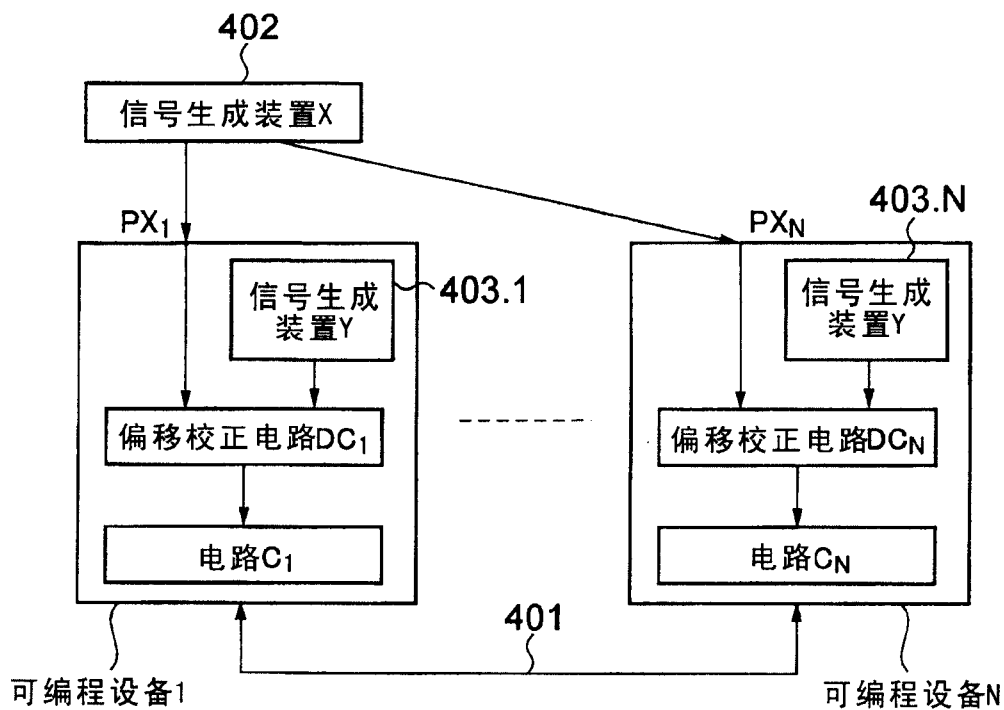


图9

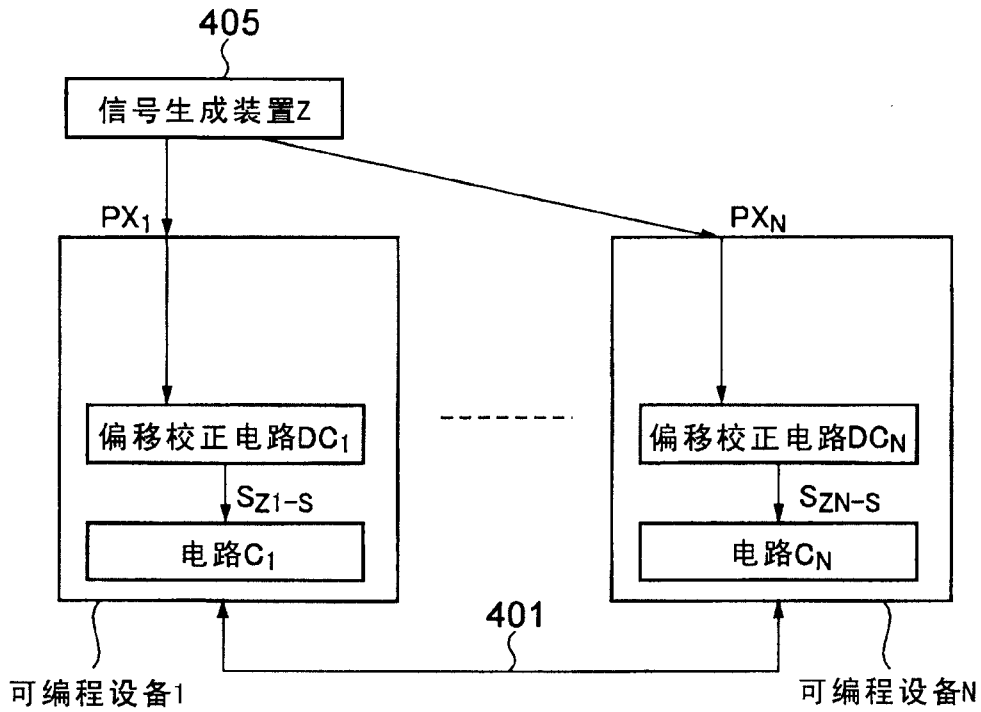


图10A

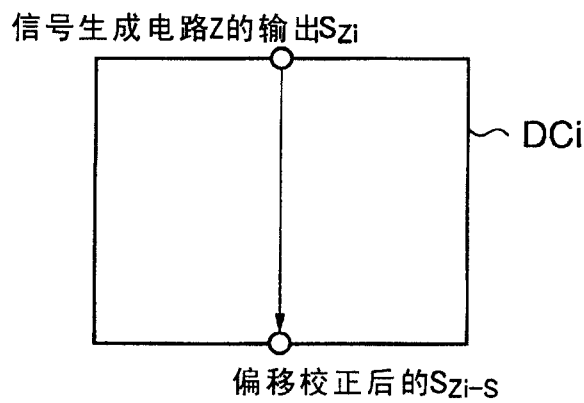


图10B

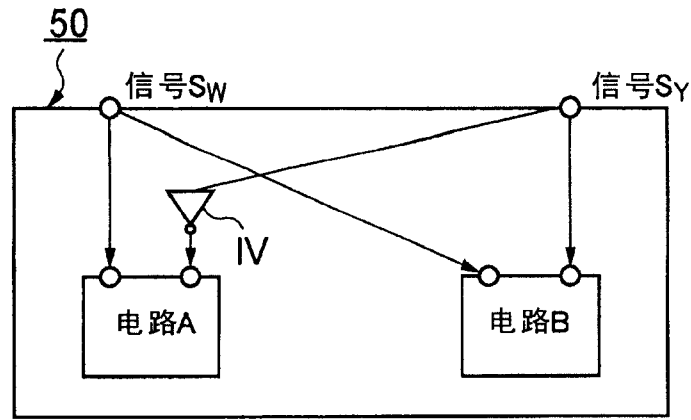


图11

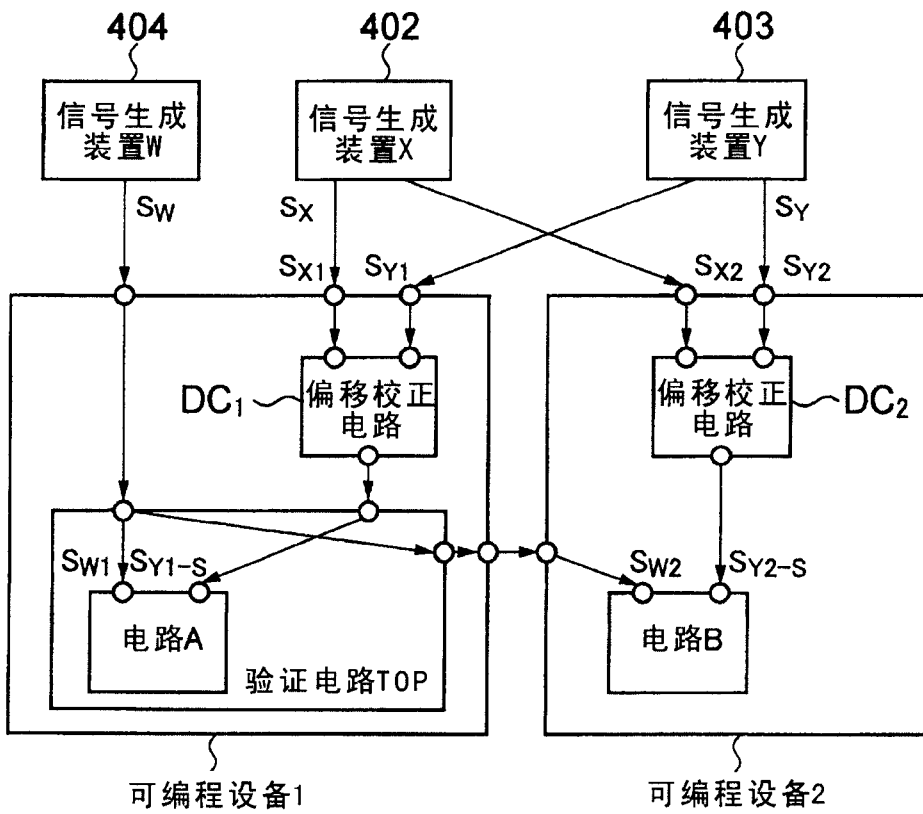


图12

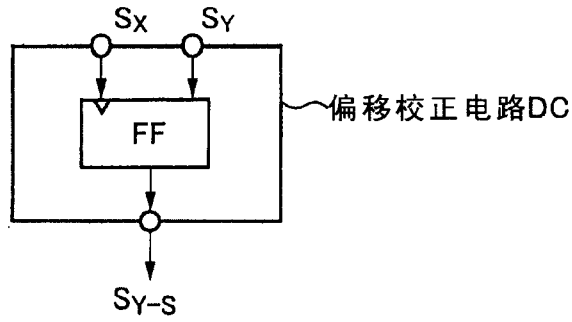


图13

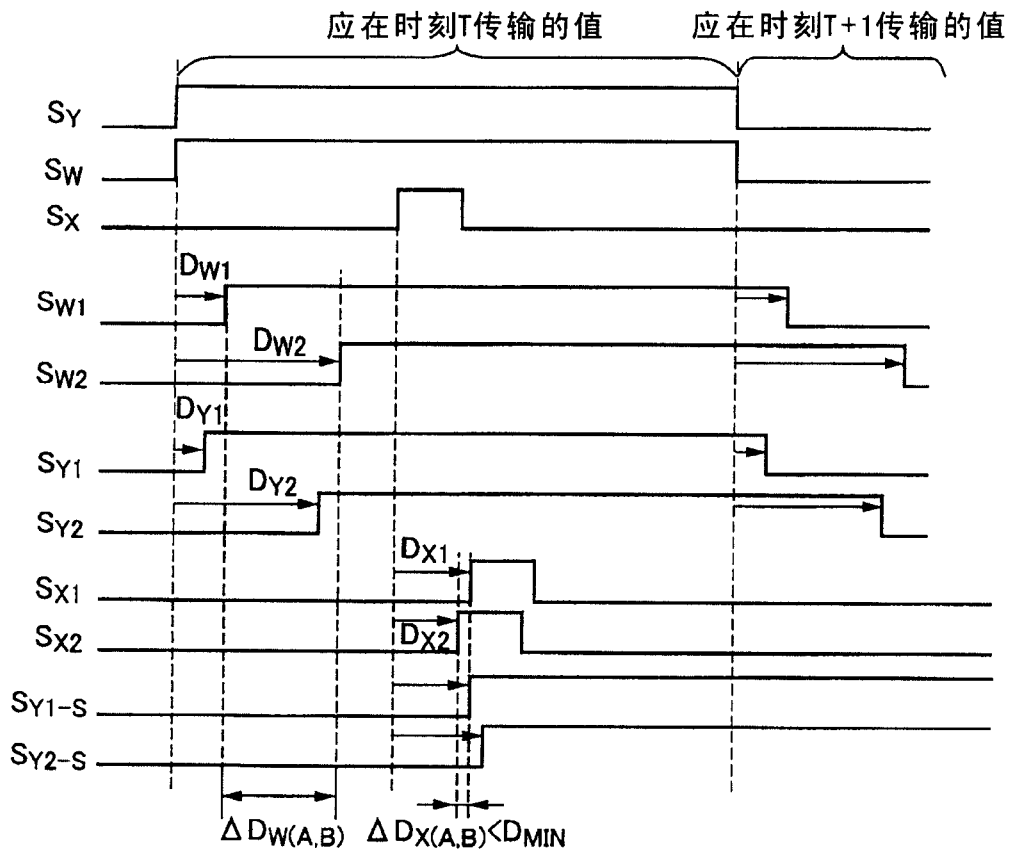


图14