

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G06F 15/78 (2006.01)

G06F 15/80 (2006.01)



# [12] 发明专利说明书

专利号 ZL 200480028549.6

[45] 授权公告日 2008年9月3日

[11] 授权公告号 CN 100416544C

[22] 申请日 2004.9.30

[21] 申请号 200480028549.6

[30] 优先权

[32] 2003.9.30 [33] FR [31] 0350622

[86] 国际申请 PCT/FR2004/050473 2004.9.30

[87] 国际公布 WO2005/031493 法 2005.4.7

[85] 进入国家阶段日期 2006.3.30

[73] 专利权人 原子能委员会

地址 法国巴黎

[72] 发明人 米克尔·吉贝尔 法比安·克莱米迪

蒂埃里·科莱特

[56] 参考文献

US5493239A 1996.2.20

US5838167A 1998.11.17

US5892962A 1999.4.6

审查员 孟宪超

[74] 专利代理机构 永新专利商标代理有限公司

代理人 韩宏

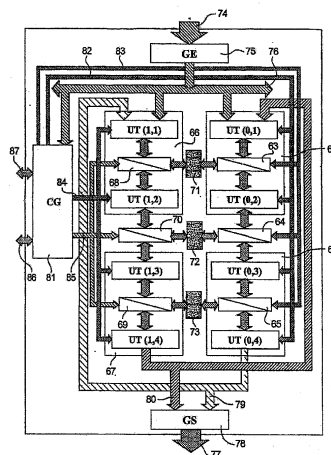
权利要求书7页 说明书19页 附图11页

[54] 发明名称

具有动态地可再配置结构的部件

[57] 摘要

本发明涉及一个具有粗颗粒的动态地可再配置的结构部件，该部件通过以行组织的处理单元来处理数据，并且通过相互连接，以允许以流水线或者并行模式或者以相关的行模式进行处理。所有的数据类型可以被处理，并且该部件可以同时处理几个应用。选择颗粒，在几个层上借助于有限的控制互连资源和数据分配电路进行控制允许在一个时钟周期中的部件的本地或者通用再配置。



1.一种用于处理数据的具有动态地可再配置结构的部件，其包括数据处理模块(1)，该数据处理模块(1)通过公共输入数据总线和用于控制所述数据处理模块(1)的通用控制器(2)相连接，其特征在于：

所述数据处理模块(1)包括：多个可再配置的基础数据处理模块(4, 5, 6)，每个基础模块(4, 5, 6)包括用于接收要处理的数据的两个输入端 E1 和 E2，以及用于传输已处理的数据的一个输出端 S；公共输入数据总线，用于将要处理的数据传输到所述基础模块(4, 5, 6)的每个的输入端 E1 和所述通用控制器(2)中；对于每个基础模块(4, 5, 6)，连接到其输出端 S 的输出数据总线用于将已处理的数据传送到所述部件的外部，并且经由一个旁路数据总线传送到另外一个基础模块(4, 5, 6)的输入端 E2；

所述通用控制器(2)用于初始化基础模块(4, 5, 6)的配置并且控制其动态再配置，在每个基础模块(4, 5, 6)的输出端处控制数据流以便将数据传送到外部或者传送到另一个基础模块(4, 5, 6)的输入端 E2，并且在每个基础模块(4, 5, 6)的输入端处控制数据流；其中所述数据处理模块通过所述公共输入数据总线连接所述控制器。

2. 根据权利要求 1 所述的部件，其中所述通用控制器(2)用于当数据到达时，进行控制以将在所述公共输入数据总线上从外部接收的数据依次传送到所述基础模块(4, 5, 6)的每个，当达到前一个基础模块(4, 5, 6)的最大处理能力时，所述数据被传送到下一个基础模块(4, 5, 6)。

3. 根据权利要求 1 或 2 所述的部件，其中所述控制器(2)用于逐块地初始化基础模块(4, 5, 6)的配置，并且逐块地控制模块的动态再

配置，以使所述数据处理模块(1)能够以流水线模式或者并行模式或者组合的模式处理数据。

4. 根据权利要求 1 所述的部件，其中：

在所述数据处理模块(1)中，每个基础模块(4, 5, 6)包括多个可配置的数据处理单元(15)并且对应于在所述数据处理模块(1)的数据处理单元(15)的矩阵网络中的一行；在每个基础模块(4, 5, 6)的每对连续的单元中的所述数据处理单元(15)用于经由一个专用于这两个数据处理单元的相连的可配置的双向通信模块(16, 26, 54)来交换数据，

所述每个基础模块(4, 5, 6)的输入单元对应于在相应的模块的行上的第一数据处理单元(15)，用于接收在所述模块的输入端 E1 或者 E2 上接收的数据作为输入，以及所述基础模块的输出单元对应于在相应的模块的行上的最后的数据处理单元(15)，用于在所述模块的输出端 S 上传送已处理的数据作为输出；

对于每个基础模块(4, 5, 6)，所述通用控制器(2)用于从外部接收命令，以由所述基础模块中的每个数据处理单元(15)处理数据并且存储这些数据，用于每个数据处理单元(15)和所述基础模块(4, 5, 6)中的每个通信模块(16, 26, 54)的初始化配置以及用于控制其动态再配置。

5. 根据权利要求 4 所述的部件，其中：

对于每对通信模块(16, 26, 54)中的模块(16, 26, 54)，与其相连的数据处理单元(15)是在数据处理模块(1)中的单元的矩阵网络中相邻的列和相邻的行上，并且用于经由一个相连的行间寄存器交换数据，以便允许在数据处理单元(15)之间从一行到下一行交换数据；

所述通用控制器(2)用于通过在对应于两个相邻的行的两个基础模块(4, 5, 6)之间，经由在这两行之间的行间寄存器来控制数据的交换，来控制所述数据处理模块(1)的数据处理单元(15)和通信模块(16,

26, 54)的动态再配置,以使所述数据处理模块(1)能够对于在所述矩阵网络中的至少两个相邻的行以相关的行模式处理数据。

6. 根据权利要求 5 所述的部件,其中所述通用控制器(2)用于将复位或者使能类型或者时钟信号经由控制总线传送到所述数据处理模块(1)中的每个寄存器,并且其中在两个通信模块(16, 26, 54)之间的每个行间寄存器用于:

在存储器中存储从通信模块(16, 26, 54)接收的数据,并且使这些数据对于另一个通信模块(16, 26, 54)是可用的;

接收由所述控制器(2)发送的复位或者使能或者时钟类型信号,并且执行这些信号所对应的命令。

7. 根据权利要求 4 至 6 的任何一个所述的部件,其中所述基础模块(4, 5, 6)的输入端 E1 和 E2 是与所述模块相连的多路复用器的输入端,所述多路复用器的输出端被连接到所述基础模块(4, 5, 6)的输入单元的输入端,用于将数据传输到这个单元。

8. 根据权利要求 4 所述的部件,其中所述数据处理模块(1)的数据处理单元(15)是多组可配置的同步基础数据处理单元(22),每个组包括至少一个基础单元(22);在所有的基础模块(4, 5, 6)的所有数据处理单元(15)中的基础单元(22)被连接到公共控制总线,所述公共控制总线将它们连接到所述控制器(2),所述控制器(2)用于控制基础单元(22)并控制其再配置;对于基础模块(4, 5, 6)中的每对相邻的数据处理单元(15),一个数据处理单元(15)的基础单元用于经由与该对单元相连的通信模块(16, 26, 54)与另一数据处理单元(15)中的基础单元交换数据,所述通信模块(16, 26, 54)用于进行这些数据交换;在每个基础模块(4, 5, 6)的输入单元中的每个基础单元(22)对应于在与所述模块

对应的行上的第一数据处理单元(15), 用于经由所述数据处理单元(15)中的每个基础单元(22)所共用的数据总线, 接收在所述数据处理单元的输入端上接收的数据作为输入; 在每个基础模块(4, 5, 6)的输出单元中的每个基础单元(22)对应于在与所述模块对应的行上的最后的数据处理单元(15), 用于经由所述数据处理单元(15)中的每个基础单元(22)所共用的数据总线将数据传送到所述模块的输出端 S, 作为输出。

9. 根据权利要求 8 所述的部件, 其中与数据处理单元(15)相连的每个通信模块(16, 26, 54)包括:

传输模块, 用于在数据处理单元(15)中的基础单元(22)和在另一数据处理单元(15)中的基础单元(22)之间交换数据, 所述模块(16, 26, 54)与数据处理单元(15)相连, 所述传输模块是可由本地模块控制器配置的;

本地模块控制器, 用于接收和解释来自所述通用控制器(2)的控制信号, 并且按照接收和存储在本地配置存储器中的配置数据来配置所述模块, 用于数据传输; 所述本地模块控制器用于根据从所述通用控制器(2)接收的控制信号来管理加载存储器;

通用控制器(2), 用于控制所述数据处理模块(1)的本地控制器 CLB。

10. 根据权利要求 8 或 9 所述的部件, 其中在一个组中的每个同步基础单元(22)包括:

操作符模块, 用于经由输入数据总线接收输入数据, 存储它们, 并且按照来源于本地单元控制器的配置信号来对这些数据执行处理; 经由输出数据总线将该处理的结果传送给所述输出端;

本地单元控制器用于:

经由所述输入数据总线接收数据；

管理所述基础单元(22)的不同的工作模式，即，初始化模式，用于将单元配置字加载到本地配置存储器中；测试模式，用于对所述单元执行结构测试；以及标准模式，用于根据由所述通用控制器(2)发出的和由所述本地单元控制器经由所述公共控制总线接收的配置信号来执行数据处理操作；

根据由所述通用控制器(2)指示的单元工作模式来管理加载存储器 MC；

解释从所述通用控制器(2)接收的配置信号，以将相应的配置字加载到本地配置寄存器中从而贯穿所述单元的数据处理周期来保持所述配置字，或者根据出现在所述本地配置寄存器中的配置字来配置所述模块；

在收到由所述通用控制器(2)发送的测试模式信号时，执行所述基础单元(22)的结构测试；

通用控制器(2)，用于控制所述数据处理模块(1)的本地单元控制器。

11. 根据权利要求 10 所述的部件，其中所述本地单元控制器用于解释从所述通用控制器(2)接收的配置信号，以便首先在公共控制总线上读取单元配置数量，然后按照在所述本地配置寄存器中的本地对照表，在本地加载对应于这个数量的配置字；单元配置数量被存储在控制器存储器中，并且所述本地单元控制器用于存储所述本地对照表。

12. 根据权利要求 10 所述的部件，其中所述通用控制器(2)用于从一个基础单元(22)接收施加于这个基础单元(22)的结构测试的结果的故障指示，并且发送一个命令给所述基础单元(22)的本地单元控制

器，从而以旁路模式配置这个单元(22)。

13. 根据权利要求 9 所述的部件，其中当已经从所述数据处理单元(15)的一个或者几个基础单元(22)接收到故障指示的所述通用控制器(2)将一个强制改变为旁路模式的信号传送到本地模块控制器时，连接到数据处理单元(15)的通信模块(16, 26, 54)的所述本地模块控制器用于以旁路模式配置所述通信模块(16, 26, 54)；当将数据处理单元(15)的基础单元(22)配置为旁路模式的命令已经传送给所述基础单元(22)的本地单元控制器时，所述通用控制器(2)用于控制所述数据处理单元(15)的通信模块(16, 26, 54)转换为旁路模式。

14. 根据权利要求 8 或 9 所述的部件，其中由基础单元(22)进行的数据处理的结果可以被存储在本地寄存器中；在所述基础单元的再配置期间，存储在这个本地寄存器中的结果被保持。

15. 根据权利要求 1 所述的部件，包括：

输入管理模块，用于从外部接收数据并且临时地存储这些接收的数据，按照由所述通用控制器(2)经由特定的控制总线指示的所述初始化模式或者标准模式，来格式化所存储的数据，经由所述公共输入数据总线将已格式化的数据传送给所述数据处理模块(1)的基础模块(4, 5, 6)的输入端 E1；

输出管理 GS 模块，其经由特定的控制总线连接到所述通用控制器(2)，用于控制已处理数据的接收，连接到来自所述数据处理模块(1)中的基础模块(4, 5, 6)的每个的输出数据总线以接收已处理的数据，并且用于重新格式化所接收的已处理的数据，在缓冲存储器中存储所述重新格式化的数据，从外部接收传送请求，按照从外部接收的请求，将存储在所述缓冲存储器中的数据传送到外部。

16. 根据权利要求 10 所述的部件，其中所述基础单元(22)的本地单元控制器、所述通信模块(16, 26, 54)的本地模块控制器和通用控制器(2)用于使用联合测试行动专家组方法以在动态的部件再配置阶段期间加载配置，并且执行测试；所述通用控制器(2)包括测试访问端口控制器，所述测试访问端口控制器经由联合测试行动专家组串行总线、逐个基础模块(4, 5, 6)地连接到在数据处理模块(1)中的基础单元(22)和通信模块(16, 26, 54)。

17. 根据权利要求 4 所述的部件，其中在网络行上存在偶数  $N$  个数据处理单元(15)，并且所述通信模块(16, 26, 54)被分布在  $N/2$  个基础单元中，每个基础单元包括两个相邻的数据处理单元(15)，并且所述通信模块(16, 26, 54)与这些单元相连，所述控制器(2)用于逐行地控制网络中的基础单元和基础单元之间的通信模块(16, 26, 54)的动态再配置，以使所述数据处理模块(1)能够使用基础单元处理数据。

18. 根据权利要求 17 所述的部件，用于处理一组包括至少一个应用的应用，其中在所述数据处理模块(1)中被配置为执行处理的每个基础单元用于执行为完成组件的至少一个应用的处理所必需的操作，所述组件的每个应用可通过至少一个基础单元完全地进行。



## 具有动态地可再配置结构的部件

### 技术领域

本发明涉及动态地可再配置部件的领域，特别地为数据处理而设计，尤其用于对应于一个应用的不同任务的命令的执行。

### 背景技术

通常，动态地可再配置部件的最终目的是在数据处理期间实现其硬件资源的优化使用以产生一个应用。通常地，设计再配置从而能获得一个部件的最高可允许的使用率。在其它情况下的目标是使用再配置去改善部件的耐用性(换句话说，使得即使其硬件资源出现某些故障，也可以继续工作)，或者实现由该部件处理的很高的数据流，或者当该部件被使用时很低的能量消耗。再配置还可以被用于优化在该部件的基础处理器上的并行数据处理。

产生一个应用有不同的方式：借助于一个专用集成电路(ASIC)，借助于一个处理器，或者借助于一个该用户可以编程的现场可编程门阵列(FPGA)。

ASIC 提供最佳的空间制造 (spatial production)，因为操作符被直接接线到硅，但是，由于这类部件被专用于给定的应用，并且不能用于从一个类型的应用改变到另一个(或者如果可以，以退化的方式)。

处理器的使用允许特定的时间执行一个应用，转换为由该处理器可以执行的命令序列，在每个周期中重复使用其处理单元。根据该处理器命令设置，这种技术对于可以处理的应用提供很好的灵活性，并且此外该结构是非常紧凑的。该处理器的主要缺点是性能，其比用于专用的 ASIC 的性能低得多。

可编程的部件(或者可再配置的部件)，诸如 FPGA 引进了处理器和 ASIC 之间的可选方案；借助于许多的相互连接一个应用被实现在预先特性化的处理单元(细颗粒的部件)的矩阵上。但是，当前使用的

FPGA 通常局限于单个实现的结构，而所希望的是在执行期间进行再配置。因此，必须进行该应用的空间而不是时间分配；不使用 FPGA 再配置它本身以生成另一个应用的能力。这种动态再配置的缺乏的两个主要的理由为：首先，大多数的 FPGA 仅仅认可部件总的再配置，这导致很高的时间损失(典型地，从几毫秒到几百毫秒)，由于该应用必须重定路线从而以最适宜的方式缚住操作符；其次，因为 FPGA 的颗粒是非常精细的，使得其可以适合于许多的应用，接线操作的缺点是复杂，并且对于许多的比特(在控制总线上)需要很高的传输容量。

专利 US6,150,839 公开了一种新型的 FPGA，其具有两个高速缓存层，使得其可以部分地再配置它本身。这个 FPGA 的结构是两组单元的形式，其中每个与高速缓冲存储器相连，并且这些存储器的每个能够包含单元组的一个或者几个的环境。这种类型的 FPGA 具有几个缺点，以单元分组形式配置单元，并且几个时钟周期是加载新的配置所必需的；此外，单元间通信结构复杂，并且涉及全局总线，并且所得到的非常大的相互连接可能性意味着在处理资源上相互连接资源是主要的。

1994 年在 MIT 开发的所谓的 DPGA (动态地可编程门阵列) [1,2] 结构具有相当简单的单元，该单元由于其细颗粒包括具有四个输入和一个可编程的开关的对照表(LUT)。通过在 4x4 矩阵内的 16 个模块来分组这些单元。将这些单元放置进一个阵列中形成 DPGA。两个相互连接网络同处于这个结构中。第一个网络是本地到单元的模式，每个单元可以在相同的行或者相同的列(即，6 个比特)使用来自该单元的输出，作为输入，并且该单元可以使用其自己的输出，作为输入。第二个网络用于给每个模块提供通用的信号。模块使用“十字头”互相通信，其允许每个单元接收每个相邻矩阵的两个通用的信号(即，8 个比特，因为每个矩阵包含 16 个单元，并且因此可以提供 16 个比特给其相邻的单元)。因此，在每个单元的 LUT 输入的 15 个比特(即，其输出)、相邻的单元的 6 个比特、相邻矩阵的 8 个比特之间存在一个选择。DPGA 能够存储四个环境(或者配置)，其认可从一个到另一个的快速的通路。但是，这个部件具有一些缺点：

相互连接结构太复杂,而不能支持数据流类型应用(例如,多媒体、交互式或者加密类型应用);

环境控制的简单(部件的两个线)在再配置方面限制了生产该部件的可能性;

处理结果被保持在该单元的输出上,使得需要保持从生产者到最终消费者的所有的输入;

对于整个部件分配单个配置数目。

PipeRench 结构[3,4]被开发为以流水线模式使用再配置,以便产生数据流动类型应用。这是基于以条形或者单元级(粗颗粒的)组织的相对复杂的(细颗粒的)PE(用于处理单元)单元的粗颗粒的结构。这些物理条形(接线在硅上)被成行组织,并且经由联线相互连接用于产生环形,这个物理环形被用于产生流水线。PipeRench 中止一个应用以产生许多的基础操作,然后这些基础操作被分配为虚拟条形(在存储器中描述的虚拟级)。由于PE单元的大尺寸,其通常不可能具有与在部件上需要的数量相同的物理条形;因此,PipeRench 通过再配置该物理条形来虚拟需要的硬件,使得它们依次执行该应用的所有操作。在该应用中的每个步骤对应于该结构的物理级的特定的配置。数据从执行不同的处理步骤的级到级移动,这使其难以执行非确定的处理,因为该应用是数据依赖的。此外,不是所有的处理级必然地存在于该物理结构之中,因此,每个级必须仅仅根据先前级中的数据。但是,对于通用数据,特定的寄存器结构可以使数据朝着适用相同的流水线的下一级移动,但是,这要求回送只能发生在单个级内(在被禁止的级之间回送),寄存器被用于在一个级内执行反馈。当一个级被从该结构中除去的时候,其配置必须被保存,以便保留其内部变量的状态供其再使用。数据然后在条形之间单向地传送,并且这是配置被存储在单个存储器中,并且被逐块传送给再配置的条形的原因。

PipeRench 具有其他的缺点:

条形复杂,因为它们在PE单元之间使用本地连接;

非常大量的比特被传送以更新条形的配置;

处理的应用必须是属于数据流类型,并且它们必须仅仅具有短的

内部环路(在单个条形上);

PE单元(比FPGA单元更复杂)对应于仍然太细而不能够执行复杂的处理的颗粒;

如果处理的应用太长,而确实不考虑条形的数量进行处理,则用于完成处理的等待时间可能变得非常长;

-最后,该部件的消耗大于常规的处理器的约30%。

因此,按照现有技术的可再配置的部件具有某些缺点或者限制,连接资源对处理资源是主要的,其颗粒也是精细的,控制该部件所必需的路由资源也很大,它们不适合于在给定的领域(例如,在加密术中所有的对称算法)中所有的应用,并且它们不能同时处理不同的应用,它们不适用于几种类型的处理(数据流或者相关的数据),尤其当进行多模式处理(流水线或者并联或者组合处理)的时候,其使用率不高,并且它们不能在能量消耗(低消耗或者高吞吐量)方面被调节。

## 发明内容

因此,本发明意欲克服上述的缺点,而且保证动态的可再配置部件的结构安全性和耐用性(在该部件的一部分故障之后再配置)。

复数操作符(用于选择该颗粒)是优选的,并且互连资源是有限的,以便能够在该部件中平衡相互连接和处理资源。通过建立少量的控制比特,同时充足的交换要处理的数据,来限制与控制相关的交换。全局布线资源被删除,并且所有被保留的是可用于数据传送的局部或者伪局部资源。这个选择与按照本发明的部件结构的基础颗粒的选择有关。

在其基本实施例中,按照本发明的用于处理数据的具有动态地可再配置结构的部件是包括数据处理模块TD和通用控制器CG,该通用控制器CG能够控制数据处理模块TD,其特征在于:

该模块TD包括:多个可再配置的基础数据处理模块BE;每个基础模块BE包括两个用于接收要处理的数据的输入端E1和E2,和一个用于传输已经处理的数据的输出端S;公共输入数据总线能够将要处理的数据传输给该模块BE的每个的输入端E1和该控制器CG;

对于每个模块 BE，连接到其输出端 S 的输出数据总线能够传送已处理的数据到该部件外部，并且经由一个旁路数据总线传送给另外一个模块 BE 的输入端 E2；

-该控制器 CG 能够初始化模块 BE 的配置，并且控制其动态再配置，在每个模块 BE 的输出端处控制数据流，以便传送数据到外部，或者到另一个模块 BE 的输入端 E2，以及在每个模块 BE 的输入端处控制数据流。

这个基本实施例被用于克服在现有技术中遇到的某些缺陷，尤其涉及，在这种情况下大大降低的相互连接的复杂性。该部件的颗粒是基础处理模块 BE，其可以处理复数操作符，并且处理在每个顺序的 BE 模块对之间的串行或并行传输的相互连接，或者输出到外部。显而易见，控制器 CG 能够管理每个模块 BE 的饱和问题，并且通常，其也能够向外部发出请求以使要处理的数据由模块 TD 接收(模块 TD 能够从部件外部接收数据)，从外部接收命令用于由模块 TD 处理数据，并且存储它们，以及与外部交换控制信号。

按照本发明的部件的基本实施例如图 1 所示，作为特定的例子，该部件包括一个数据处理模块 TD 1 和一个通用控制器 CG 2，模块 TD 可以从外部 3 接收数据，并且包括三个基础数据处理模块 BE 4,5,6；输入端 E1 和 E2 以及输出端 S 被表示在模块 4 上，每个模块 BE 的输入端 E1 被连接到公共数据总线 7，每个模块 BE 的输出端 S 被连接到一个通往外部的输出总线 8,9,10，并且经由旁路数据总线 11,12,13 连接到一个其他的模块的输入端 E2。没有示出用于连接控制器 CG 2 到模块 BE 或者到外部的控制总线。

在根据该基础实施例的具有模块最大应用的一个实施例中，按照本发明的部件的控制器 CG 能够在数据到达的时候，进行控制以将在公共输入数据总线上从外部接收的数据依次传送到模块 BE 的每个，当到达前一模块 BE 的最大处理能力的时候，数据被传送给下一个模块 BE。

这个实施例管理模块的饱和，并且保证每个模块以其最大的处理能力被使用。例如，每个模块的最大能力可以被预先确定(并且被给

予控制器 CG), 或者一个模块可以在处理期间通知控制器 CG 其饱和。

依赖于先前的两个实施例中的一个, 在按照本发明的部件的另一个实施例的被称为多处理模式的实施例中, 控制器 CG 能够逐块地初始化模块 BE 的配置, 并且逐块地控制模块的动态再配置, 以便使模块 TD 能够以流水线模式或者并行模式或者以组合模式处理数据。

处理可以借助于该部件以流水线模式进行, 换句话说, 使数据在一个模块中从输出端 S 运行到该模块的输入端 E2, 其经由旁路总线被连接, 以并行模式使用模块, 换句话说, 独立地使用该模块(该模块处理经由公共输入数据总线传送的数据, 而且将结果传送到输出端, 因而不使用旁路总线), 或者以组合模式使用模块, 换句话说, 某些模块并行操作, 而其他的以流水线操作。该种部件的适应灵活性尤其是有益的, 并且此外, 因为其被用于在以独立的模式工作的模块 BE 上同时处理不同的应用, 所以与现有技术不同, 可以逐块地再配置。

按照本发明的具有动态地可再配置结构的部件的另一个实施例(所述为一个具有多排处理单元的实施例)是与先前的实施例的任何一个相符的部件, 并且其中:

- 在模块 TD 中的每个模块 BE 包括多个可配置的数据处理单元 UT, 并且对应于该模块 TD 的单元 UT 的矩阵网络中的一行; 在每个模块 BE 中的每对连续的单元中的单元 UT 能够经由一个专用于这两个单元的相连的可配置的双向通信模块 BCOM 交换数据;

- 每个模块 BE 的输入单元 UT 对应于在相对应的模块的行上的第一个单元 UT, 其能够接收在该模块的输入端 E1 或者 E2 上接收的数据作为输入, 并且该模块的输出单元 UT 对应于在相对应的模块的行上的最后的单元 UT, 其能够传送在该模块的输出端 S 上处理的数据作为输出;

- 对于每个模块 BE, 控制器 CG 能够从外部接收命令以由在该模块中的每个单元 UT 处理数据并且存储这些数据, 用于每个单元 UT 和在模块 BE 中的每个模块 BCOM 进行初始化配置, 以及控制其动态再配置。

这个实施例使用能够在相同的模块 BE 中的相邻的处理单元 UT 之间双向通信的通信模块 BCOM, 模块 BE 的这种结构使该模块能具有良好的配置灵活性(因为每个 UT 是可再配置的), 尤其是对于多模式处理。此外, 可以在单元 UT、模块 BCOM 和控制器 CG 之间对于控制总线使用简单的相互连接, 例如, 每个模块 BE 的每个单元 UT 可以经由模块 BE 的公共控制总线被连接到控制器 CG, 类似地, 在每个模块 BE 中的每个模块 BCOM 可以经由模块 BE 的公共控制总线被连接到控制器 CG。本领域的技术人员将注意到, 在并行操作期间, 在一行上该结构具有偶数的单元 UT 是更有效率的, 在模块 BE 已经充满数据(从该模块的头到尾)之后, 并且当模块 BE 的数据饱和时, 如果单元 UT 的数目是偶数, 单元可以成对地工作, 并且由于模块 BCOM 的双向特性, 如果单元的数目是奇数, 将保留一个未使用的单元。模块 TD 的结构相当于一个矩阵网络, 模块 BE 及其单元 UT 形成行, 并且从一行到下一行, 单元 UT (这些行具有相应的排列)形成列。

图 2 示出具有多排处理单元的部件的模块 BE 的实例结构, 模块 BE 14 包括与通信模块 BCOM 16 相间的 4 个处理单元 UT 15, 该模块中的输入单元 UT 15 可以接收经由数据总线 18 输入的数据, 并且模块的输出单元 UT 17 被连接到该模块的输出端 S, 作为输出 19。单元 UT 被经由公共控制总线 20 连接到控制器 CG (未示出), 并且通信模块 BCOM 被经由公共控制总线 21 连接到控制器 CG。

按照本发明的部件的另一个实施例(根据具有多排处理单元的实施例)是被称为具有行间寄存器的部件, 其中:

在模块 TD 中对于每对模块 BCOM 的模块 BCOM, 与其相连的单元 UT 是在单元的矩阵网络中相邻的列和相邻的行上, 并且能够经由一个相连的行间寄存器 REG 交换数据, 以便允许数据在单元 UT 之间从一行到下一行交换;

通过在对应于两个相邻的行的两个模块 BE 之间, 经由两行之间的行间寄存器 REG 来控制数据交换, 控制器 CG 能够控制模块 TD 的单元 UT 和模块 BCOM 的动态再配置, 以使模块 TD 能够对于在矩

阵网络中的至少两个相邻的行以相关的行模式处理数据。

行间寄存器部件是尤其有益的，其提供了在现有技术中不可得到的获得附加处理模式的方法，即，利用相关的行的模式(或者，相当于利用相关的模块 BE)。这进一步提高了处理可能性，并且可以改善部件和数据流的资源使用率。例如，如果存在每个能够处理 256 个数据比特的两个行，在这些行之间相关模式的转换提供了处理 512 个数据比特的的方法。本领域的技术人员将注意到，借助于流水化硬件 (PipeRench) 结构，最可能的是，两个条形 (stripe) 将再配置一个条形，并且在另一个条形上，对于每个时钟报时信号进行一个执行；因此，在任一时刻可以处理仅仅一个数据项，同时利用按照本发明的结构，两个数据项可以利用两个相邻的单元被处理，因为在单元到单元传送期间该单元被再配置。

本发明还涉及具有寄存器控制的部件，其是一个根据具有行间寄存器的前一模式的实施例，其中控制器 CG 能够经由控制总线将复位 (RESET) 或者使能 (ENABLE) 类型或者时钟信号传送给模块 TD 中的每个寄存器 REG，并且其中在两个模块 BCOM 之间的每个行间寄存器 REG 能够：

在存储器中存储从模块 BCOM 接收的数据，并且使数据对于另一个模块 BCOM 是可用的；

接收由控制器 CG 发送的复位或者使能或者时钟型信号，并且执行对应于这些信号的命令。

这个行间寄存器控制被用于简化由控制器 CG 进行的传送管理，通过使能命令激活用于存储，以便在两个通信模块之间发送数据，或者通过复位命令激活将存储器复位为零。

依赖于先前的实施例的任何一个的本发明的另一个实施例涉及一个具有多路复用的部件，其中模块 BE 的输入端 E1 和 E2 是与该模块相连的多路复用器的输入端，该多路复用器的输出端被连接到模块 BE 的输入单元 UT 的输入端，用于将数据传输给这个单元。

因此，通过使模块 BE 的输入单元 UT 具有仅仅单个输入端，该种部件可以简化连接，以从该模块的输入端 E1 或者 E2 接收数据。



依赖于具有多排处理单元，或者行间寄存器，或者具有寄存器控制，或者具有多路复用的该部件的实施例的任何一个的、本发明的实施例涉及具有一组单元的部件，其中模块 TD 的数据处理单元 UT 是多组可配置的同步基础数据处理单元 (cell) CE，每个组包括至少一个基础单元 CE；在任何模块 BE 的任何单元 UT 中的单元 CE 被连接到公共控制总线，该公共控制总线将它们连接到控制器 CG，控制器 CG 能够控制单元 CE 和控制其再配置；对于模块 BE 中的每对相邻的单元 UT，单元 UT 的基础单元能够经由与这些单元相连的模块 BCOM 与另一个单元 UT 中的基础单元交换数据，模块 BCOM 能够进行这些数据交换；每个模块 BE 的输入单元 UT 中的每个单元 CE 对应于相对应的模块的行上的第一个单元 UT，其能够经由单元 UT 中的每个单元 CE 所共有的数据总线来接收单元 UT 的输入端处接收的数据，作为输入；在每个模块 BE 的单元 UT 输出端中的每个单元 CE 对应于在对应的模块的行上的最后的单元 UT，其能够经由单元 UT 中的每个单元 CE 所共有的数据总线传输数据到该模块的输出端 S，作为输出。

这种部件使单元 UT 的基础单元 CE 局部地并行起作用成为可能，其中可配置的同步单元 CE 是细颗粒的结构(虽然其相对于按照现有技术结构是粗颗粒的)，同时具有较少的相互连接，因为在相同的处理单元中的单元 CE 不互相交换数据。单元 UT (或者组)通常包括  $n$  个单元 CE，并且如果  $k$  表示由基础单元操纵的操作数的大小，则单元 UT 能够处理  $p$  个比特的模块，这里  $p = n * k$ 。图 3 示出单元 CE 22 的一组 UT，在这种情况下，包括 8 个单元，并且以一个输入数据总线 23 和输出数据总线 24 连接这些单元的每个，输入数据总线用于传输要处理的数据，并且输出数据总线用于传输已处理的数据，单元 CE 经由公共控制总线 25 被连接到控制器 CG (未示出)。

图 4 示出模块 BE 的经由模块 BCOM 在该模块内的两组相邻的单元 CE 之间连接的例子，模块 BCOM 26 根据控制信号，允许在第一个单元 UT 中的单元 CE 28 和在第二个单元 UT 中的单元 29、30 和 31 之间传输数据，其中这些单元经由单元控制总线 32、以及模块

BCOM 经由控制总线 33 从控制器 CG 接收控制信号,单元 35 从单元 34 接收数据。图 4 示出由模块 BCOM 使能的在不同的组(或者单元)中的单元之间的双向传送 27,同时相同的单元 UT 中的单元 CE 不进行通信(例如,单元 28 和 35)。

依赖于先前的具有单元组的实施例,本发明还涉及该部件的实施例,其是具有本地通信控制的实施例,其中与单元 UT 相连的每个模块 BCOM 包括:

-传输模块 BT,其能够在单元 UT 中的基础单元 CE 和在另一个单元 UT 中的单元 CE 之间交换数据,BCOM 与另单元 UT 相连,模块 BT 能够由本地模块控制器 CLB 配置;

-本地模块控制器 CLB,其能够接收和解释来自控制器 CG 的控制信号,并且按照接收和存储在本地配置存储器 MB 中配置数据,来配置模块 BT,用于数据传输,控制器 CLB 能够根据从控制器 CG 接收的控制信号来管理加载存储器 MB;

-通用控制器 CG,其能够控制模块 TD 的本地控制器 CLB;

这个具有通信本地控制的部件具有新的优点,通信模块 BCOM 实际上是可再配置的,并且可以选择要相互连接(在模块 BE 中相邻的单元 UT 之间)的基础单元 CE,这个附加的自由度在使用单元(尤其是,对于在单元中基础操作符的映射)时提供了进一步的处理灵活性和效率。在组之间经由模块 BCOM 的通信是双向的,对于 PipeRench 类型部件这是一个优点,其中在条形之间数据的通路是单向的。例如,控制器 CLB 除了 RAM (随机存取存储器)之外还典型地包括有限状态机(FSM)。

依赖于具有一组单元的实施例,或者具有本地通信控制器的实施例,在按照本发明的、具有本地单元控制的部件的另一个实施例中,在一个组中的每个同步基础单元 CE 包括:

操作符模块 BO,其能够经由输入数据总线接收输入数据,存储它们和按照来源于本地单元控制器 CLC 的配置信号对这些数据执行处理,经由输出数据总线将处理结果传送给输出端;

-本地单元控制器 CLC 能够:

-经由输入数据总线接收数据；

-管理单元 CE 的不同操作模式，即初始化模式，用于在本地配置存储器 MC 中装入单元配置字；测试模式，用于对该单元执行结构测试；以及标准模式，用于执行根据控制器 CG 发出的和由本地控制器经由公共控制总线接收的配置信号来执行数据处理操作；

-根据控制器 CG 所指示的单元操作模式管理加载存储器 MC；

-对从控制器 CG 接收的配置信号进行解释，以将相应的配置字加载到本地配置寄存器 RCL 之内，从而在由该单元进行的整个数据处理周期期间保持该配置字，或者根据出现在寄存器 RCL 中的配置字去配置模块 BO；

-在收到由控制器 CG 发送的测试模式信号时，执行单元 CE 的结构测试；

-通用控制器 CG，其能够控制模块 TD 的本地控制器 CLC。

在具有本地单元控制的这个部件中，一个组中的单元 CE 是可再配置的。因此，该处理是更有效的，并且尤其是有可能去处理几个应用。模块 TD 因而可以甚至同时地处理这些不同的应用。此外，可以对这些单元执行测试，并且因此可以检测故障。本领域的技术人员将注意到，在本发明中该部件的操作策略不同于按照现有技术的操作策略，在现有技术中，相邻的“单元”可以一起通信，在本发明中，单元再配置用于在单元之间交换数据。该控制策略是基于双层次的控制，通用的控制器 CG 在该结构的高层上，并且本地控制既在细颗粒层(单元 CE 的控制器 CLC)上，又在通信模块层(控制器 CLB)上。与再配置是由单元的模块进行的专利 US 6,150,839 中的 FPGA 不同，在本发明中，逐单元地再配置是可能的；此外，按照本发明的结构可以在一个时钟周期中，而不是这个 FPGA 所需的几个周期(由于在模块中加载新的配置需要的时间)中被再配置。作为一个举例的实施例，模块 BO 典型地包括 LUT、RAM 和算术逻辑单元(ALU)。

在按照本发明的部件的另一个实施例中，或者在依赖于具有本地单元控制的先前的实施例的、具有利用编号的配置的部件中，本地单元控制器 CLC 能够解释从控制器 CG 接收的配置信号，以便首先在

公共控制总线上读取单元配置编号，然后按照在该 RCL 寄存器中的本地对照表，在本地加载对应于这个编号的配置字，单元配置编号被存储在控制器存储器 CG 中，并且控制器 CLC 能够存储本地对照表。

这个实施例具有下列好处，即，其需要非常少的传输资源，因此简化部件连接。简单配置编号的传输需要比配置字传输更窄的控制总线，由于使用了本地对照表，这是可能的。此外，编号和配置字之间的本地对照引进一个有用的自由度，相同的编号可以在不同的单元中对应于不同的配置字，因为该对照表是本地的。

依赖于具有利用编号配置的先前的实施例，或者具有本地单元控制的实施例，本发明还涉及被称为具有旁路的部件的实施例，其中控制器 CG 能够从一个单元接收施加于这个单元 CE 的结构测试结果的故障指示，并且发送一个命令给单元 CE 的本地控制器 CLC，从而以旁路模式配置这个单元。

这个具有旁路的实施例结果形成在单元 CE 上耐用的部件。

类似地，依赖于具有旁路的先前的实施例和具有本地通信控制的实施例，由于按照本发明的被称为具有通信旁路的部件的实施例，有可能在模块 BCOM 上获得耐用性，其中当已经从单元 UT 的一个或者几个单元 CE 接收到故障指示的控制器 CG，传送一个强制转换为旁路模式的信号给控制器 CLB 时，连接到单元 UT 的通信模块 BCOM 的本地模块控制器 CLB 能够以旁路模式配置模块 BCOM，当配置单元 UT 的单元 CE 为旁路模式的命令已经被传送给单元 CE 的本地控制器 CLC 时，控制器 CG 能够控制单元 UT 的模块 BCOM 到旁路模式的转换。

借助于具有通信旁路的该实施例，该部件的操作退化(换句话说，具有单元或者模块 BCOM 的损耗)是可容许的。本领域的技术人员将尤其注意到，以旁路模式控制单元或者模块 BCOM 的可能性使在模块 BE 中具有单元 UT 或者“附加的”模块 BCOM 成为可能，如果不存在故障其不被使用，但是如果在该模块中存在故障，其可以被激活(通过控制器 CG)，这进一步增强了该部件的耐用性。

按照本发明的具有本地寄存器的部件的一个实施例可以提高该

部件的处理能力。在依赖于具有单元组，或者具有本地通信控制，或者本地单元控制，或者利用编号的配置，或者具有旁路，或者具有通信旁路的实施例的任何一个的实施例中，由单元 CE 进行的数据处理的结果可以被存储在本地寄存器中，存储在这个本地寄存器中的结果在该单元的再配置期间被保持。

因此，具有本地寄存器的部件可以存储在再配置期间计算的数据，并且与这个备份(即使该部件的模块 BE 是“最小的”，换句话说，简化为两个单元 UT 和一个模块 BCOM)相关的另一个优点是，由于该模块 BCOM 具有双向通信，所以有可能在模块 BE 中同时处理两个数据项，并且传送该结果，同时在 PipeRench 结构中，其仅仅可以处理具有两个条形(一个条形再配置它本身，同时另一个进行该处理)的一个数据项，并且很明显地假设数据在再配置期间被存储。由于这个本地寄存器，另一个重要的优点是，在再配置阶段期间存储的数据可以在两个单元 UT 之间交换，这有助于屏蔽再配置周期。

按照本发明的部件的另一个实施例(其依赖于本发明先前的实施例的任何一个)涉及一个具有输入-输出管理的部件，包括：

输入管理模块 GE，其能够从外部接收数据并且临时地存储这些接收的数据，按照由控制器 CG 经由特定的控制总线指示的初始化模式或者标准模式，来格式化存储的数据，经由公共输入数据总线将已格式化的数据传送给模块 TD 的模块 BE 的输入端 E1；

输出管理 GS 模块，其经由特定的控制总线连接到控制器 CG，用于控制处理的数据的接收，连接到来自模块 TD 中的模块 BE 的每个的输出数据总线以接收已处理的数据，并且能够重新格式化接收的已处理的数据，在缓冲存储器中存储该重新格式化的数据，从外部接收一个传输请求，按照从外部接收的请求，将存储在该缓冲存储器中的数据传送到外部。

具有输入-输出管理的该部件便于与外部(尤其与临时数据存储器)进行数据交换，因此可由不同的设备使用该部件。本领域的技术人员将注意到，输入管理器 GE 简化在该部件上要处理的应用的安装。

图 5 示出一个具有输入-输出管理的部件的例子，输入管理器 GE 36 经由数据总线 43 从外部接收数据，并且经由公共数据总线 44 利

用三个模块 BE 40,41,42 传送已格式化的数据；来自模块 BE 的输出数据总线 45,46,47 连接到输出管理器 GS 37，该输出管理器将重新格式化的数据经由数据总线 48 传送到外部；通用控制器 CG 经由控制总线 38 连接到 GE，经由控制总线 39 连接到 GS，分别地经由控制总线 49,50,51 连接到模块 BE1、BE2 和 BE3。

本领域的技术人员已知，可以有规律地测试可再配置的部件。这么做的公知的方法是由 IEEE 标准化的 JTAG 方法[5]，由于 IEEE 标准可利用的可能性，该方法也被用于加载(或者重新加载)配置字，以使用专用于用户的命令，该部件因而必须包括 TAP 控制器和专用的控制总线。

依赖于具有本地单元控制或者利用编号配置，或者具有旁路，或者具有通信旁路，或者具有本地寄存器，或者具有输入-输出管理的部件的实施例的任何一个，按照本发明的部件的另一个实施例是具有 JTAG 的部件，其中单元 CE 的本地控制器 CLC、模块 BCOM 的本地控制器 CLB 和通用控制器 CG 能够使用 JTAG 方法在动态的部件再配置阶段期间加载配置，并且执行测试，控制器 CG 包括经由 JTAG 串行总线、逐个模块 BE 地连接到模块 TD 中的单元 CE 和模块 BCOM 的 TAP 控制器。

在本地适用的 JTAG 协议的选择与在上述的两个不同的层上的控制的选择是完全一致的。这个选择是由以下的事实解释的，即，其要求能够在非常短的时间内(不超过一个时钟周期)再配置单元；最靠近于基础操作符的再配置是最有效的，因为信息交换和因此地这些交换的解释是最小的。这个选择的优点之一是：其可以相当大地降低用于控制(用于几个控制比特的总线，代替与配置字相同宽度的控制总线)的路由资源，并且这个重要的节省可以降低对于数据总线的限制。

图 6 是在模块 BE 内的组件中插入 JTAG 带的实例，其包括两组单元 CE 和相连的通信模块 BCOM，JTAG 带 52 在第一个组 53 中被依次连接到单元 CE，在第二个组 55 中被依次连接到模块 BCOM 54 和单元 CE，这个控制连接也来自单元 56 的控制总线(无需 JTAG)和模块 BCOM 57 的控制总线，模块 BCOM 57 的控制总线被连接到

控制器 CG (未示出)。

按照本发明的另一个部件是与具有多排处理单元, 或者具有行间的寄存器, 或者具有寄存器控制, 或者具有多路复用, 或者具有单元组, 或者具有本地通信控制, 或者具有本地单元控制, 或者具有利用数目配置, 或者具有旁路, 或者具有通信旁路, 或者具有本地寄存器, 或者具有输入-输出管理, 或者具有 JTAG 的本发明的实施例的任何一个一致的粗颗粒的部件, 其中在网络行上存在偶数  $N$  个单元 UT, 并且模块 BCOM 被分布在  $N/2$  个基础单元 CB 中, 每个单元 CB 包括两个相邻的单元 UT, 并且模块 BCOM 与这些单元相连, 控制器 CG 能够在单元 CB 之间的网络和通信模块 BCOM 中逐行的控制单元 CB 的动态再配置, 以使模块 TD 能够使用单元 CB 处理数据。

按照本发明的这种部件在数据处理方面揭露一个非常重要的设备, 即, 基础单元 CB。因此, 存在具有三个等级层次的可再配置的结构, 用于同步执行基础操作的基础单元 CE (细颗粒), 用于执行复杂的处理的基础单元(粗颗粒的), 以及最后该部件本身。被配置为执行数据处理的可变数量的基础单元, 然后确定了高的数据速度, 或者该部件的低能量消耗特性。可以根据控制信号(在控制器 CG)来利用这个特性, 其与每个单元 CB (经由该单元 CE 的配置或者再配置, 以及模块 BCOM)的重要的配置(或者再配置)可能性相结合, 使实现本发明的目的成为可能。

最后, 根据粗颗粒的实施例, 本发明涉及该部件最后的实施例, 其被称为独立的粗颗粒的部件, 用于处理包括至少一个应用的一组应用, 其中在模块 TD 中被配置为执行处理的每个基础单元 CB 可以执行为完成该组件的至少一个应用的处理所必需的操作, 该组件的每个应用尽可通过至少一个基础单元 CB 被完全地进行。

这个独立的粗颗粒部件是具有按照本发明的动态地可再配置结构的部件最适宜的版本。其能够使用基础单元来处理一组应用(或者可能是单个应用), 该基础单元能够独立地处理这些应用。单元 CB 的独立性提供了最佳地得益于用于再配置部件的非常灵活的可能性的方法, 并且以流水线、并行、组合, 或者以相关的行, 或者其各种

各样的组合来使用不同的处理模式。

### 附图说明

在参考附图之后，本发明上述的特征和优点，以及在以下作为举例给出的特定的实施例的描述中提到的其他的特征和优点将变得更清楚，其中：

图 1 示出如上所述在具有三个基础模块 BE 的特殊情况下按照本发明的部件的基本实施例；

图 2 示出如上所述具有多排处理单元的部件的模块 BE 的实例结构；

图 3 示出如上所述具有带有单元组的部件的单元 CE 的处理单元 UT；

图 4 示出如上所述一个用于模块 BE 的例子，示出经由具有单元组的部件的模块 BCOM 在模块 BE 内的两个相邻的单元 CE 组之间的连接；

图 5 示出如上所述具有输入-输出管理的部件的一个例子；

图 6 如上所述是一个将 JTAG 带插入具有 JTAG 的部件的一部分中的例子；

图 7 是一个独立的粗颗粒部件总体示意图；

图 8 是以并行模式用于一排基础单元的填充阶段的示意图；

图 9 是以并行模式用于一排基础单元的回送阶段的示意图；

图 10 是以并行模式用于一排基础单元的清空阶段的示意图；

图 11 是独立的粗颗粒部件以并行模式操作的步骤的示意图。

### 具体实施方式

按照本发明的独立的大颗粒部件的一个示例性实施例的操作包括几个阶段，这些阶段可对应于不同的使用策略。在这些阶段之中，我们将描述初始化阶段以及用于并行操作的标准操作阶段的细节(举例)。

图 7 示出一个选择的部件的例子，部件具有两个行(或者两个模块



BE), 索引 0 行和索引 1 行, 在每个行上具有两个基础单元 CB, 和其由一对(i,j)索引的处理单元 UT, 这里 i 是行索引, 以及 j 是列索引。因此, 在行 0 上, 单元 CB (0,1) (60)包括单元 UT (0,1)和 UT (0,2)以及与它们相连的通信模块 BCOM, 按照惯例, 这些索引是在该行上前一模块的单元 UT 的索引, 在该行上的第二单元 CB (0,2) (62)经由模块 BCOM (0,2) (64)与第一个单元通信, 并且包括单元 UT (0,3)和 UT (0,4)以及模块 BCOM (0,3) (65)。类似地, 第二行包括分别地由 UT (1,1)、BCOM (1,1) (68)、UT (1,3)以及 UT (1,3)、BCOM (1,3) (69)、UT (1,4)形成的基础单元 CB (1,1) (66)和 CB (1,2) (67), 它们经由模块 BCOM (1,2) (70)进行通信。行间的寄存器(71,72,73)分别控制模块 BCOM (0,1) (63)和 BCOM(1,1) (68)、BCOM (0,2) (64)和 BCOM (1,2) (70)、BCOM (0,3) (65)和 BCOM (1,3) (67)之间的通信。该部件包括一个用于模块 TD 74 的输入数据总线, 一个连接到公共输入数据总线 76 的输入管理器 GE 75, 一个连接到输出管理器 GS 78 用于模块 TD 77 的输出数据总线, 其分别地接收行 0 (79)和 1 (80)的输出数据总线。通用控制器 CG 81 连接到行 0 (82)的单元 UT 的公共控制总线, 连接到行 0 (83)的模块 BCOM 的公共控制总线, 连接到行 1 (84)的单元 UT 的公共控制总线, 以及连接到行 1 (85)的模块 BCOM 的公共控制总线, 控制器 CG 能够与外部 86, 或者与用于 JTAG 检查的外部移位寄存器 87 (“边界扫描”)交换控制信号。

#### a)初始化阶段

在这个阶段期间, 不同的有用的配置数据被加载进不同的存储器中。在加电复位之后或者在引导的软件复位之后存在这个阶段。经由数据总线 76 进行加载(并行加载)。第一步是依次逐行的加载单元的配置, 并且然后相同的步骤被用于通信模块。然后, 对该部件执行测试以检查初始配置是正确的, 以及结构安全性(例如借助于 BIST 测试), 在这个步骤之后, 控制器 CG 通知外部该部件准备接收数据。

#### b)并行操作阶段

在这个例子中, 与彼此和在下面描述的所有步骤无关的行功能被同步到该时钟(通过在附图上的时钟识别)。

在每个行中存在三个操作步骤：

-行加载步骤 1，例如行 0，该行被认为是要填充的流水线。

在图 8 中显示了用于填充行 0 (参考图 7)的步骤 1,在 8a 上由 op1、op2 等等表示由多个单元执行的操作,8b 示出对应于在行 0 上执行的操作的计时图,时钟脉冲被显示在该计时图(时钟)的上部。

管理器 GE 恢复数据块,例如 64 比特模块,并且重建 p 比特字,其将被发送给在第一单元 CB (0,1)中用于行 UT (0,1)的第一单元 UT。执行操作 1 的第一数据项 1 被加载进 UT (0,1)中,并且该结果然后被传送给 UT (0,2),UT (0,1)然后对于数据块 2 执行操作 1,同时 UT (0,2)对于数据块 1 执行操作 2。在到达行的末端(所有的处理单元由数据项占据)之前,重复传送。

-循环步骤 2 (例如对于行 0): 仅仅使用行资源执行要进行的剩余的处理(在该应用中)。下一个步骤将由基础单元(独立的)操作以并行执行处理。

在图 9 中显示了用于行 0 的循环返回的步骤 2,9a 示出由在该行中的多个单元执行的操作,9b 示出用于这个循环返回步骤的计时图,“数据 4 / 3”标志表示在单元 UT (0,1)和 UT (0,2)之间已处理的数据 4 和 3 的交换。

- 在图 10 中显示了用于清空行 0 的行清空步骤 3,10a 示出由在该行中的多个单元执行的操作,10b 示出用于这个清空步骤的计时图:

在该算法的结尾,连接到该输出总线 CB (0,2)的基础单元将能够卸载已处理的数据,并且开始该流水线清空阶段。第二单元的单元 UT (0,4)卸载刚才在管理器 GS 中已经处理的数据块 1。但是,还没有对于 UT (0,3)中的数据块 2 执行最后的操作。因此,其进入 UT (0,4),使得可以执行这个操作,在行 0 已经被完全地清空之前,单元 UT (0,2)将其数据块 3 传送给 UT (0,3)等等。

一旦输出管理器具有新处理的数据,其发送一个通知其可以被获取的外部信号。对于行 1 并行重复这个方案。

图 11 概述先前的步骤,并且表示对于在 11a 中示出的该部件的

行 0 和 1 并行进行的处理。随着时间的变化,对于这些行的每个执行的步骤被示出在 11b 的计时图上。

#### 参考资料

[1] : E.Tau, I.Eslick, D.Chen, J.Brown, A.DeHon:'第一代 DPGA 实现 (A First Generation DPGA Implementation)',第三届加拿大现场可编程器件会议 (Third Canadian Workshop on Field-Programmable) 论文集,第 138-143 页,1995 年 5 月。

[2] : Andre DeHon:'通用计算的可再配置结构 (Reconfigurable Architectures for General-Purpose Computing)', Ph.D.论文,MIT,1996 年 8 月。

[3] : S.Copen Goldstein, H.Schmit, M.Budiu, S.Cadambi, M.Moe and R.Taylor:'PipeRench:可再配置结构和编译器 (A Reconfigurable Architecture and Compiler)',IEEE 计算机,33 卷, N°4,2000 年 4 月。

[4] : Benjamin A.Levine and Herman H.Schmit:'PipeRench:可编程流水线化数据通路的功率和性能 (Power and Performance Evaluation of a Programmable Pipelined Datapath)', Hot Chips 14, Palo Alto, CA,2002 年 8 月。

[5]: JTAG;测试技术标准协会"IEEE Std. 1149.1 Standard Test Access Port and Boundary-Scan Architecture", Institute of Electrical and Electronics Engineers,1993 年 10 月 21 日。

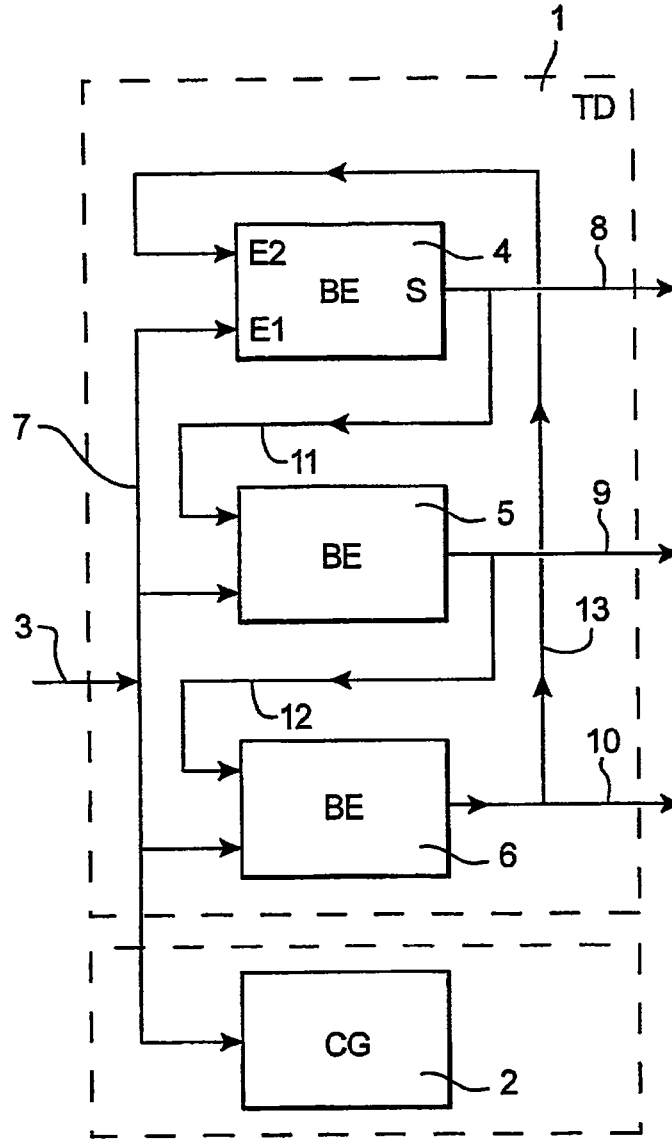


图1

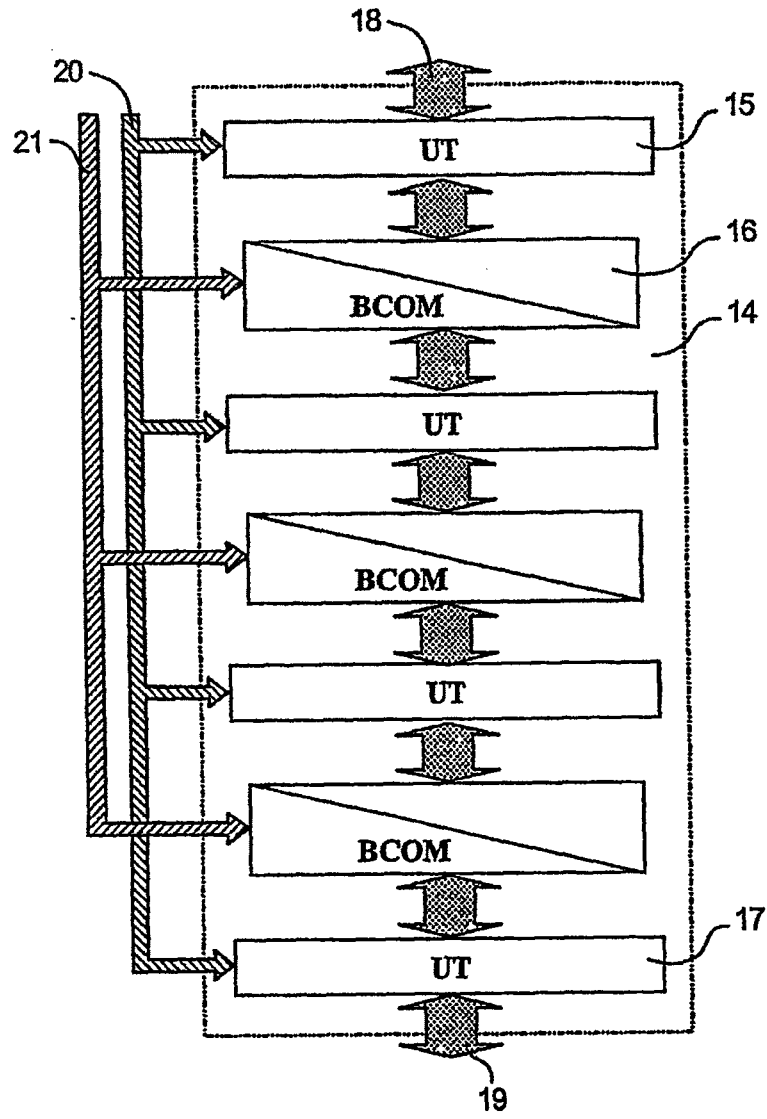


图2

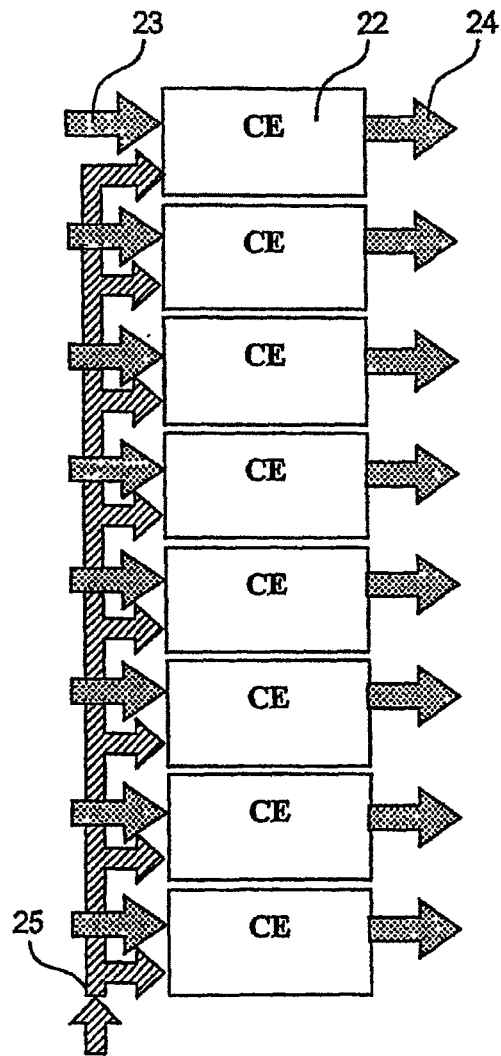


图3

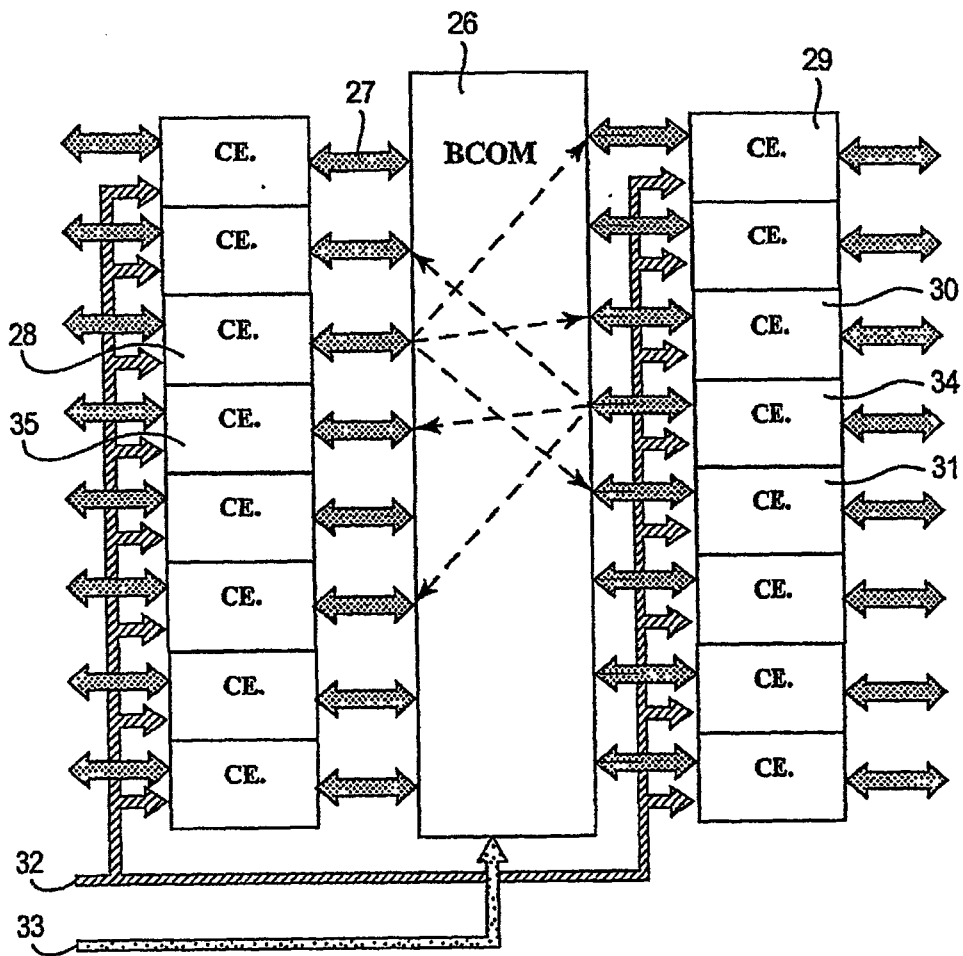


图4

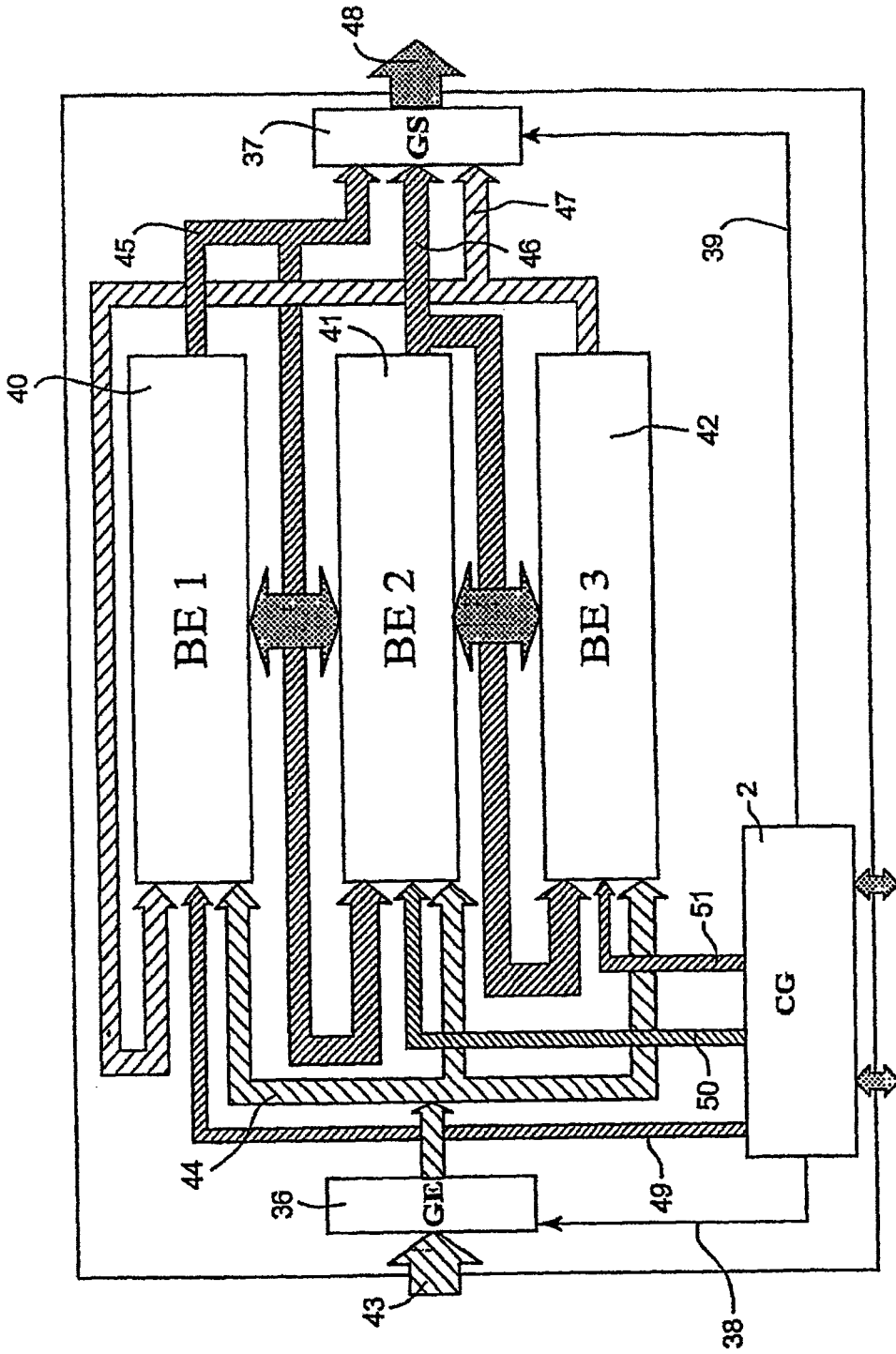


图5



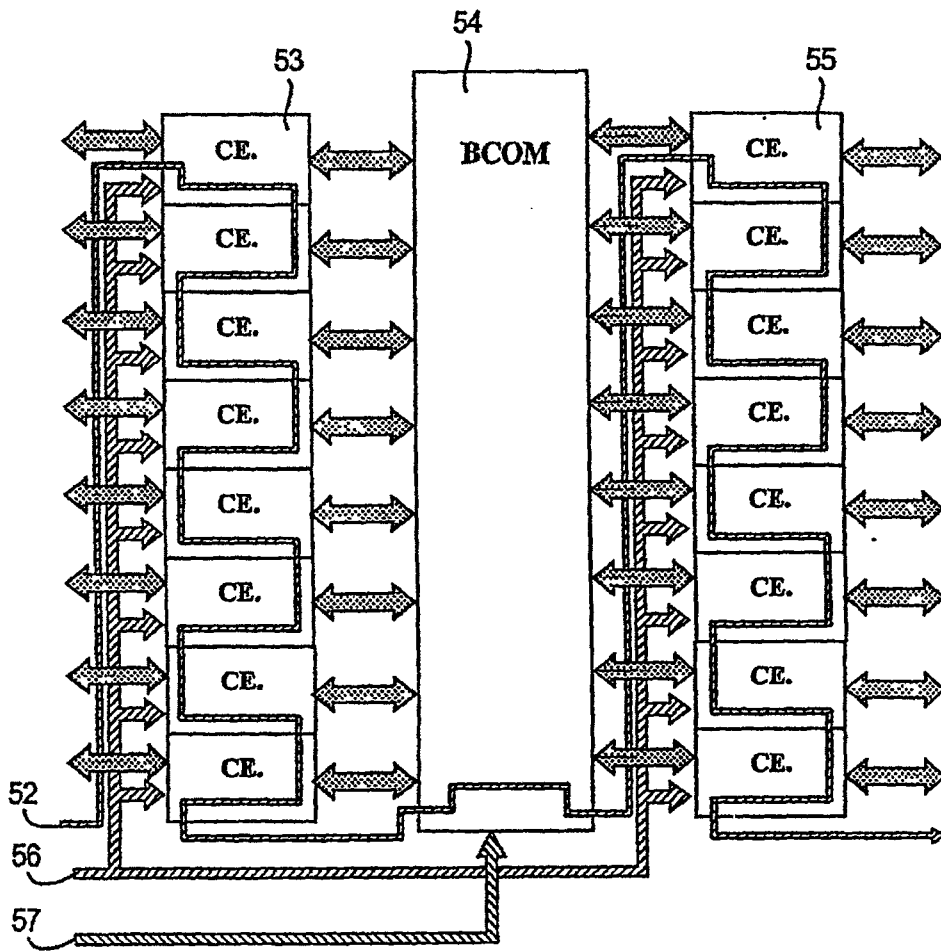


图6

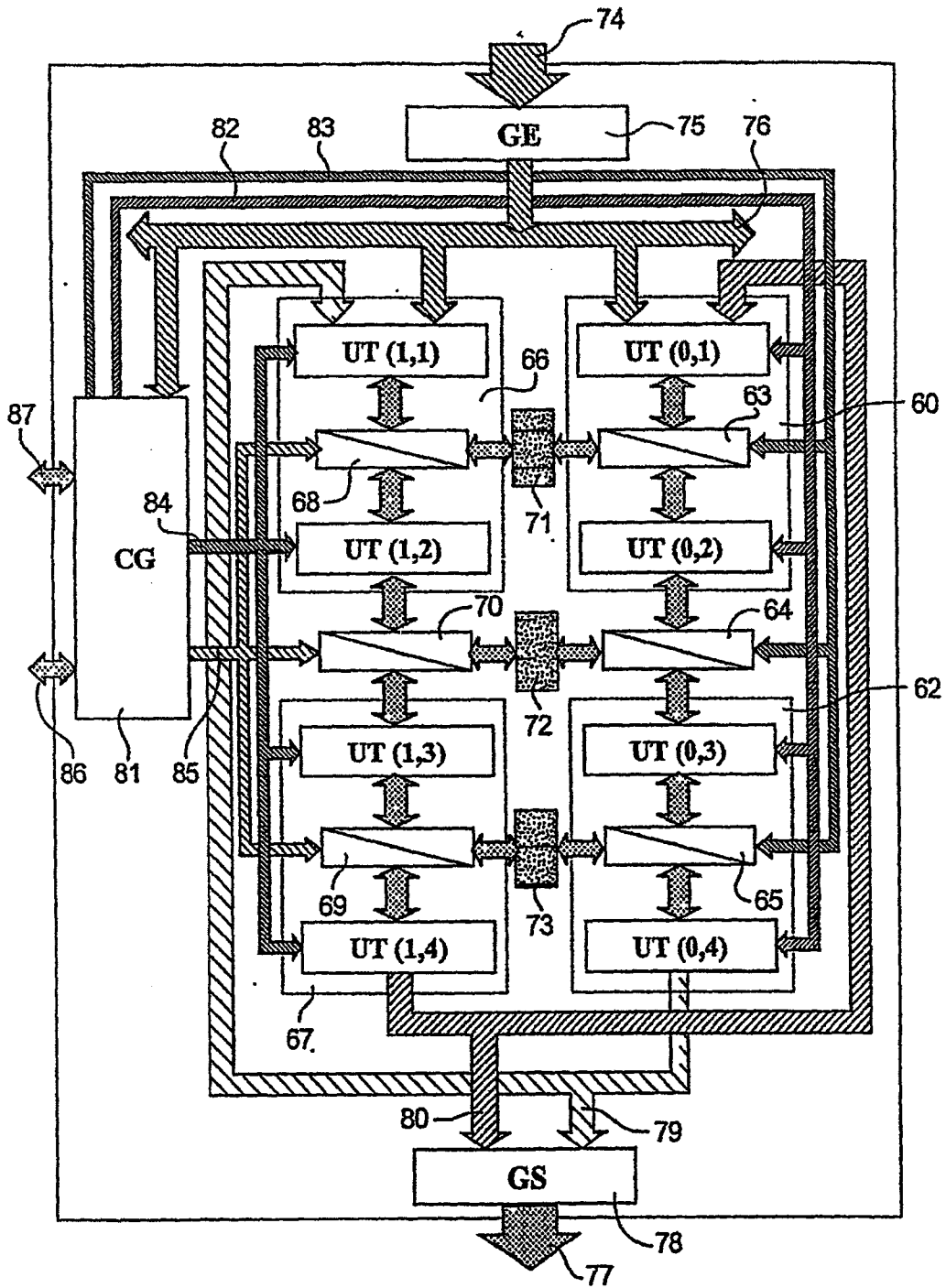


图7

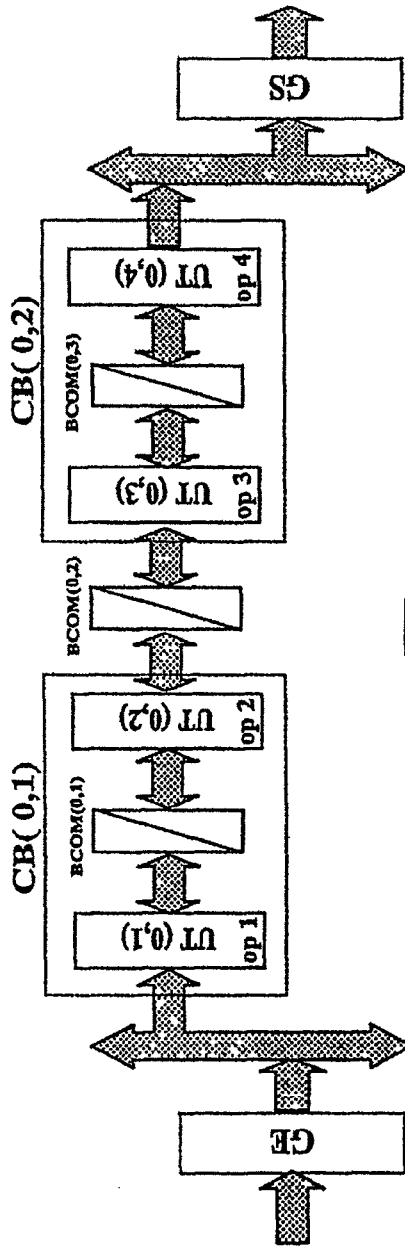
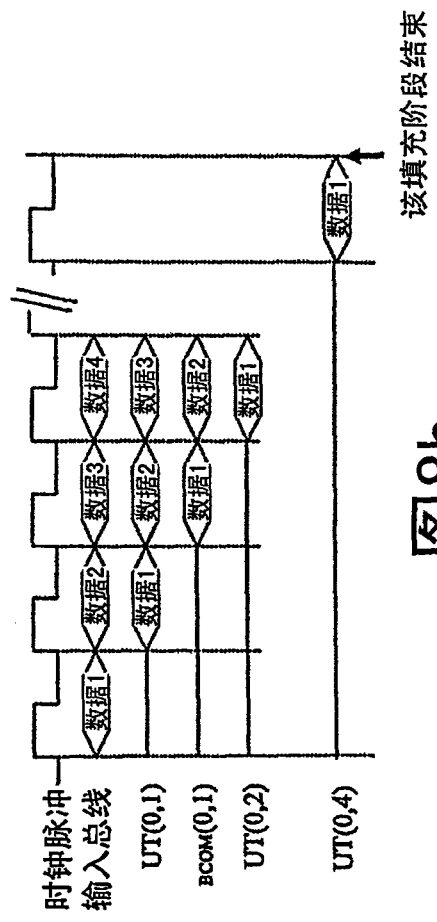


图 8a



该填充阶段结束

图 8b

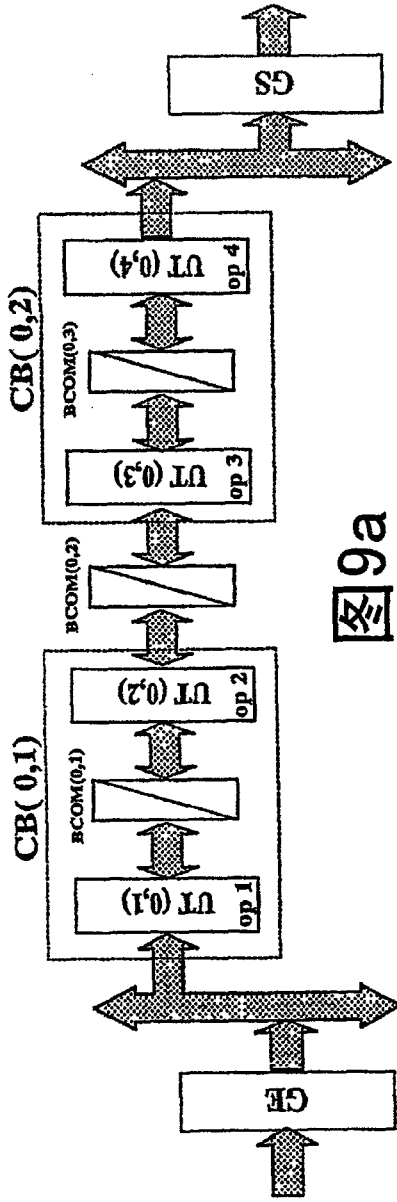


图9a

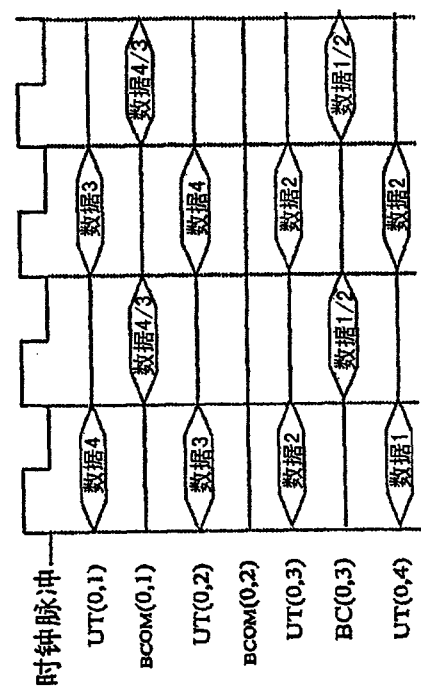


图9b

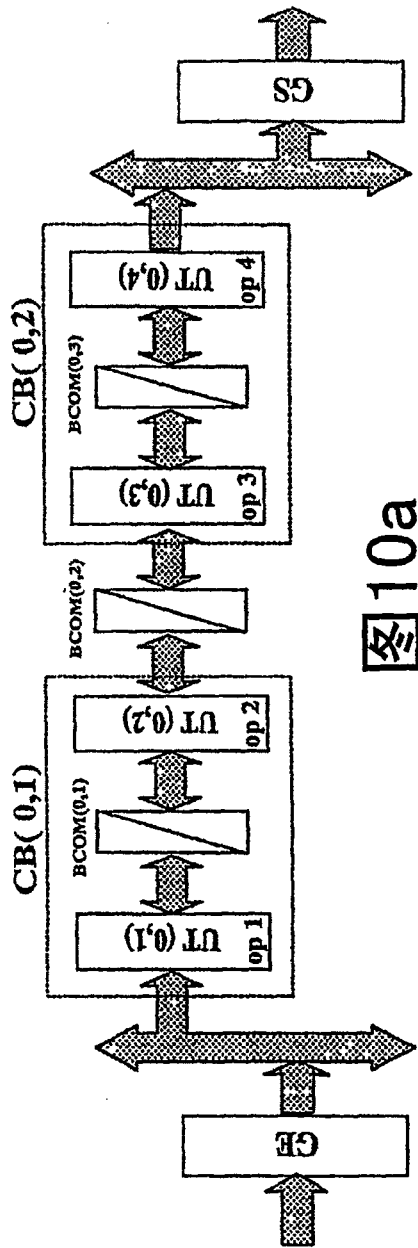


图10a

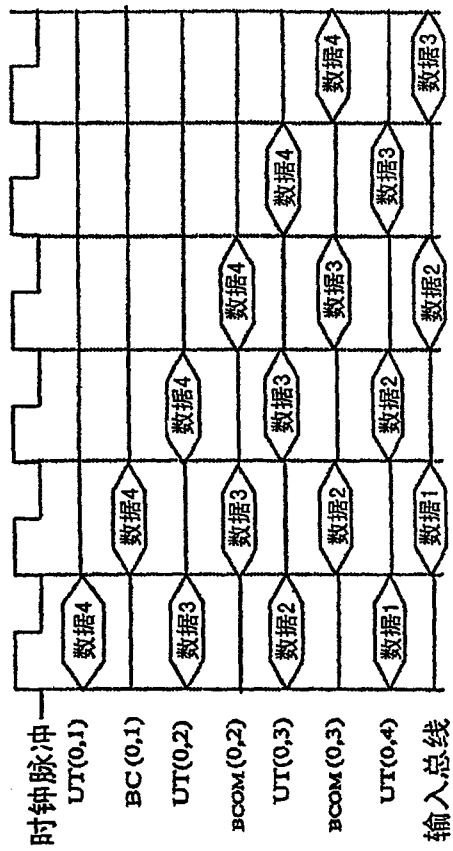


图10b

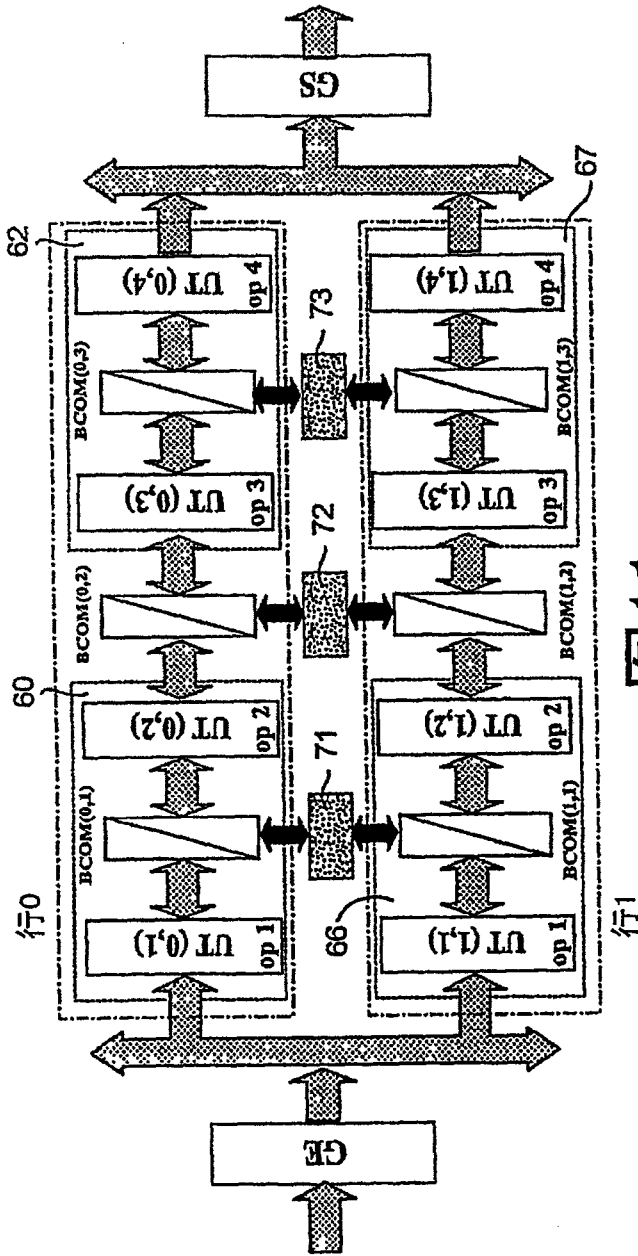


图11a

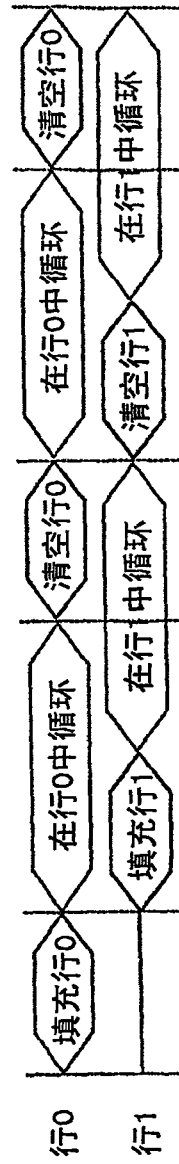


图11b