

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.⁷
G11C 7/00

(45) 공고일자 2005년07월20일
(11) 등록번호 10-0502664
(24) 등록일자 2005년07월12일

(21) 출원번호 10-2003-0026938
(22) 출원일자 2003년04월29일

(65) 공개번호 10-2004-0095913
(43) 공개일자 2004년11월16일

(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 진승언
서울특별시용산구동빙고동222-1

(74) 대리인 특허법인 신성

심사관 : 윤난영

(54) 온 다이 터미네이션 모드 전환 회로 및 그방법

요약

본 발명은 ODT기술을 적용하는 반도체 소자에서 파워 다운 모드로부터 액티브/스탠바이 모드간의 전환시점을 전후로 한 ODT 신호의 변환시 발생할 수 있는 RTT 생성 시점의 지연이나 클럭에 대한 RTT의 오정렬을 최소화함에 목적이 있다.

상기의 목적을 달성하기 위한 본 발명의 ODT 모드 전환 회로는, 반도체 소자 내 뱅크 액세스 유무에 관한 정보를 포함하는 프리차지신호를 입력받아 파워 다운 모드로부터의 이탈이 프리차지 파워 다운 모드로부터의 이탈인지 액티브 파워 다운 모드로부터의 이탈인지를 감지하고, 프리차지 파워 다운 모드로부터의 이탈과 액티브 파워 다운 모드로부터의 이탈에 대하여 각기 다른 논리상태를 갖는 모드구분신호를 출력하기 위한 클럭인에이블제어수단; 상기 모드구분신호에 따라 파워 다운 모드에서 동작하거나 액티브/스탠바이 모드에서 동작하기 위한 ODT제어수단; 및 상기 ODT제어수단으로부터 출력되는 RTT발생제어신호에 따라 RTT를 생성하기 위한 RTT 발생수단을 포함할 수 있다.

대표도

도 11

색인어

온다이터미네이션, ODT, RTT, VTT, 프리차지파워다운, 액티브파워다운

명세서

도면의 간단한 설명

도 1은 종래기술에 따른 액티브/스탠바이 모드시의 ODT 타이밍도,

도 2는 종래기술에 따른 파워 다운 모드시의 ODT 타이밍도,

도 3은 종래기술에 따른 ODT 동작을 위한 블록 구성도,

도 4는 도 3의 DLL용 클럭 버퍼의 구체 회로도,

도 5는 도 3의 DLL 클럭 발생기에 관한 구체 회로도,

도 6은 도 3의 ODT 제어부의 구체 회로도,

도 7은 도 3의 RTT 발생부의 구체 회로도,

도 8(a)은 종래기술에 따른 ODT제어부에서의 액티브/스탠바이 모드시 동작 타이밍도,

도 8(b)은 종래기술에 따른 ODT제어부에서의 파워 다운 모드시 동작 타이밍도,

도 9는 종래기술에 따른 프리차지 파워 다운 모드로부터의 이탈시, ODT 턴온(ON) 동작 타이밍도,

도 10은 종래기술에 따른 프리차지 파워 다운 모드로부터 이탈 후 최초의 DLL 클럭이 $td2(>td1)$ 에서 나타나는 경우의 동작 타이밍도,

도 11은 본 발명에 따른 ODT 동작을 위한 전체 블록 구성도,

도 12는 도 11의 클럭인에이블제어부에 관한 세부 블록 구성도,

도 13은 도 12의 파워 다운 모드 이탈 감지부의 구체 회로도,

도 14는 도 13의 파워 다운 모드 이탈 감지부의 일 실시 회로도,

도 15는 도 12의 클럭카운트부에 관한 일 실시 회로도,

도 16은 도 15의 래치부 및 플립플롭부의 일 실시 회로도,

도 17은 도 12의 모드구분신호발생부에 관한 일 실시 회로도,

도 18은 본 발명에 따른 클럭인에이블제어부에서의 동작타이밍도,

도 19는 본 발명이 반도체 기억 소자에 적용된 경우의 전체 블록 구성도,

도 20은 본 발명의 동작을 설명하기 위한 제1 동작 타이밍도,

도 21은 본 발명의 동작을 설명하기 위한 제2 동작 타이밍도.

도면의 주요 부분에 대한 설명

1110: 클럭인에이블제어부 1130: ODT제어부

1150: RTT발생부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리에서 사용되는 온 다이 터미네이션(on die termination, 이하 ODT라 함) 기술에 관한 것으로, 구체적으로는 ODT기술이 적용되는 ODT 회로에서 파워 다운 모드로부터 액티브/스탠바이 모드로 전환하는 경우에 파워 다운 모드로부터 이탈 후 DLL의 출력 클럭이 안정화되는 시점까지 ODT 회로의 모드 전환을 쉬프트시킴으로써 ODT회로가 적절히 동작할 수 있게 하는 기술에 관한 것이다.

ODT기술은 SSTL(Stub Series Termination Logic) II 기반의 시스템과 메모리 간의 인터페이스에서 신호의 반사(signal reflection) 등을 최소화함으로써 신호의 보전성(signal integrity)을 향상시키기 위하여 도입되었다. 종래에는 마더보드(motherboard)가 제공하던 터미네이션 전압(VTT: Termination Voltage)을 ODT기술을 이용함으로써 DDR-II SDRAM에서는 DRAM과 메모리 컨트롤러(memory controller)가 제공할 수 있게 되었다.

터미네이션에 관하여 간단히 설명하면 다음과 같다.

메모리 모듈(Memory module)상에 2개의 랭크(rank)가 있다고 가정하자. 컨트롤러가 제1 랭크(rank1)의 DRAM으로부터 데이터를 리드(read)할 경우 제2 랭크(rank2)의 DRAM에 "H"상태의 ODT신호를 인가한다. 이 때 제2 랭크(rank2)의 DRAM은 제1 랭크(rank1)와 공유된 데이터 버스(data bus) 상에 터미네이션을 형성한다. 이를 "RTT(터미네이션 저항: Termination Resistor)를 생성"한다고 말한다.

프리차지 파워 다운 모드로부터의 이탈후 파워 다운 모드의 구간동안 동작하지 않고 있던 DLL의 출력 클럭이 재생성되기까지 일정 시간이 필요하다. 즉, DRAM이 파워 다운 모드로부터 이탈되더라도 일정 구간 동안은 DLL로부터 출력이 없는데, 이때 외부에서 인가된 ODT 신호의 변화를 빠르게 처리하기 위해서는 DLL로부터 클럭이 출력되고나서 ODT측 제어 회로의 파워 다운 모드로부터 액티브/스탠바이 모드로 전환해야 한다.

그러나, 프리차지 파워 다운 구간동안은 DLL 회로가 파워 다운 모드로 진입하기 전에 록킹 상태를 유지한 채 동작하지 않아 전력소모가 거의 없는 상태이다. 이 상태에서 파워 다운 모드로부터의 이탈에 의한 DLL 회로의 재동작은 상당시간 DLL에의 공급 전원의 불안정 상태를 유발하고, 또한 전원이 안정화되기까지 DLL 출력의 클럭의 불안정을 유발한다. 따라서, 이 상태에서 인가된 ODT 신호의 입력 변화에 대해, ODT회로에서의 RTT의 타이밍을 적절하게 유지하는 것이 어렵다.

이하에서는 위와 같은 문제점에 대하여 종래기술에 따른 ODT회로 및 동작 타이밍도를 참조하여 설명하기로 한다.

도 1은 종래기술에 따른 액티브/스탠바이 모드시의 ODT 타이밍도이고, 도 2는 종래기술에 따른 파워 다운 모드시의 ODT 타이밍도이다.

도 1 및 도 2를 참조하면, ODT 신호에 의해 발생하는 RTT의 생성시점에 따라 DRAM의 상태가 액티브(Active)/스탠바이(standby)상태인가 혹은 파워 다운(power down)상태인가로 구분됨을 알 수 있다. 이는 파워 다운 모드시 지연고정루프(DLL: delay locked loop)의 출력을 사용하지 못함에 기인한다.

액티브/스탠바이 모드시, DRAM 내부의 DLL 회로로부터 출력되는 라이징 클럭(RCLK)과 폴링 클럭(FCLK)을 이용하여 ODT 회로는 외부로부터 "L"상태로부터 "H"상태로 천이되는(low to high) ODT 신호를 인가한다. 그로부터 2 클럭 만큼 지난 시점(T3)에서 ODT 회로는 외부 클럭(CLK)의 라이징 에지에 맞추어 외부 데이터 버스에 RTT를 생성한다. 이 때의 지연되는 시간을 ODT 턴온 지연시간(tAOND)라 한다.

그리고, ODT 회로가 "H"상태로부터 "L"상태로 천이되는(high to low) ODT 신호를 인가하면, 2.5 클럭 후 외부 클럭(CLK)의 폴링 에지에 맞추어 RTT가 오프하며, 이 때의 지연시간을 ODT 턴오프 지연시간(tAOFD)라 한다. 이 또한 DLL 회로의 출력인 라이징 클럭(RCLK)과 폴링 클럭(FCLK)을 이용한다.

한편, DRAM의 파워 다운 모드에는 크게 2 종류가 있다.

"L"상태의 클럭 인에이블 신호(CKE)가 인가되어 파워 다운 모드로 진입하게 될 때, 리드(Read) 혹은 라이트(Write)를 위해 DRAM 내 하나의 뱅크에라도 신호의 액세스가 있었다면, DRAM은 액티브 상태에 놓여 있다가 파워 다운 모드로 진입한다. 이러한 경우를 액티브 파워 다운 모드(Active Power Down Mode)라 말한다.

그러나, DRAM 내의 어느 뱅크에도 신호의 액세스가 없었다면, DRAM은 프리차지 상태에 놓여 있다가 파워 다운 모드로 진입하게 된다. 이러한 경우를 프리차지 파워 다운 모드(Precharge Power Down Mode)라 말한다.

액티브 파워 다운 모드(Active Power Down Mode) 시 DRAM의 내부에서 다음과 같은 몇가지 상황이 발생된다. 첫째, 커맨드 버퍼(command buffer) 및 어드레스 버퍼(address buffer)가 디저블 된다. 둘째, DLL 회로의 출력 클럭 트리(clock tree)가 오프된다. 셋째, 클럭 버퍼(Clock Buffer)의 출력 중 주변부 회로에 사용되는 대부분의 출력이 오프된다. 여기서, DLL회로의 출력 클럭 트리가 오프된다는 의미는 후술하기로 한다. 따라서, 내부회로들은 이 때 더 이상 외부 명령을 받아들이지 않는다.

한편, 프리차지 파워 다운 모드(Precharge Power Down Mode)에서는 DRAM에서의 전력 소모를 최대한 줄이기 위하여 DLL회로 내 지연부로 입력되는 클럭도 심지어 게이트 오프(Gated Off) 되고, DLL 회로는 이전의 록킹(lock) 정보를 유지할 뿐 동작하지 않는다.

그리고 파워 다운 모드 시 DRAM이 RTT를 생성하기 위하여 필요로 하는 DLL회로의 출력을 사용할 수 없다. 따라서, 도 2에 보이는 바와 같이 파워 다운 모드시 파워 다운 턴온 시간(tAONPD)과 파워 다운 턴오프 시간(tAOFPD)의 최소/최대는 액티브/스탠바이 모드시(도 1의 경우)의 ODT 턴온 지연시간(tAOND) 및 ODT 턴오프 지연시간(tAOFD) 보다 많은 마진을 확보해야 할 필요가 있다.

도 3은 종래기술에 따른 ODT 동작을 위한 블록 구성도이다.

ODT 동작은 클럭 인에이블 신호(CKE)를 입력받아 버퍼링한 후 버퍼링된 클럭 인에이블 신호(ICKE)를 출력하기 위한 클럭 인에이블 버퍼(110, CKE buffer), 외부클럭(CLK)과 외부클럭바아(CLKB)를 입력받아 ODT제어부에서 사용되는 클럭신호인 ODT제어부용 클럭신호(CLKODT)를 출력하기 위한 클럭 버퍼(120, clock buffer), 입력되는 ODT신호(ODT)와 기준전압(Vref)을 비교하여 ODT비교신호(ODTI)를 출력하기 위한 ODT 버퍼(130, ODT buffer), 외부클럭(CLK)과 외부클럭바아(CLKB)를 이용하여 라이징 클럭(RCLK)과 폴링 클럭(FCLK)을 출력하기 위한 DLL회로(140), 버퍼링된 클럭 인에이블신호(ICKE), ODT제어부용 클럭신호(CLKODT), ODT비교신호(ODTI), 라이징 클럭(RCLK) 및 폴링 클럭(FCLK)을 입력받아 RTT의 발생을 제어하기 위한 RTT발생 제어신호(ODTF)를 출력하기 위한 ODT 제어부(150), RTT 발생 제어신호(ODTF)에 제어되어 RTT를 온/오프하기 위한 RTT 발생부(160), 그리고 RTT 발생부의 출력과 결합되어 데이터를 싣기 위한 데이터 출력 버퍼(170)를 포함하는 구성에 의해 수행된다.

여기서, DLL 회로(140)는 외부클럭(CLK)과 외부클럭바아(CLKB) 그리고 버퍼링된 인에이블 클럭신호(ICKE)를 입력받아 버퍼링된 클럭신호(ICLK)를 출력하기 위한 DLL용 클럭버퍼(141), 버퍼링된 클럭신호(ICLK)를 지연시켜 지연클럭

(DCLK)와 지연클럭바아(DCLKB)를 출력하기 위한 DLL 지연부(143), 그리고 지연클럭(DCLK) 및 지연클럭바아(DCLKB)와 각각 버퍼링된 클럭인에이블신호(ICKE)를 논리결합시켜 원하는 펄스폭을 갖는 내부 클럭인 라이징 클럭(RCLK)과 폴링 클럭(FCLK)을 출력하기 위한 DLL 클럭 발생기(145)를 포함한다. 한편, 여기서는 본 발명의 동작 설명에 필요한 부분에 대해서만 언급하기로 한다.

도 4는 도 3의 DLL용 클럭 버퍼(141)의 구체회로도이다.

DLL용 클럭 버퍼(141)는 인에이블신호(EN)에 제어받아 외부클럭(CLK)과 외부클럭바아(CLKB)를 버퍼링하기 위한 DLL 클럭 버퍼부(410)와, 프리차지 파워 다운 모드시 DLL 클럭 버퍼부(410)의 출력(IOUT)이 DLL 지연부로 입력되지 않도록 DLL 클럭 버퍼부(410)의 출력(IOUT)과 프리차지신호(PRE) 그리고 버퍼링된 클럭인에이블 신호(ICKE)를 논리결합하여 버퍼링된 클럭신호(ICLK)를 출력하기 위한 DLL 클럭 버퍼 출력 제어부(430)로 구성된다.

DLL 회로(140)는 DLL 지연부(143)에서 버퍼링된 클럭신호(ICLK)의 지연시간을 조정하고, 외부 클럭(CLK, CLKB)에 대하여 라이징 클럭(RCLK) 및 폴링 클럭(FCLK)을 고정시킨다. 즉, 라이징 클럭(RCLK)은 외부 클럭(CLK)의 라이징 에지(Rising Edge)에 대하여 소정 시간(tDQ)만큼 앞선 클럭이고, 폴링 클럭(FCLK)은 외부 클럭(CLK)의 폴링 에지(Falling Edge)에 대해 소정 시간(tDQ) 만큼 앞선 클럭 이다. 여기서 소정 시간(tDQ)이라 함은 라이징 클럭(RCLK)과 폴링 클럭(FCLK)의 라이징 에지(Rising Edge)로부터 데이터 출력까지 소요되는 시간이다. 따라서 라이징 클럭(RCLK)과 폴링 클럭(FCLK)은 데이터 출력의 변화 시점을 각각 외부 클럭(CLK)의 라이징 에지(Rising Edge)와 폴링 에지(Falling Edge)에 일치시키는 역할을 수행한다.

도 5는 도 3의 DLL 클럭 발생기(145)에 대한 구체회로도로서, DLL 지연부(143)로부터 입력되는 지연클럭(DCLK) 및 지연클럭바아(DCLKB)를 각각 버퍼링된 클럭인에이블신호(ICKE)와 논리결합시켜 원하는 펄스폭을 갖는 내부 클럭인 라이징 클럭(RCLK)과 폴링 클럭(FCLK)을 출력한다.

액티브 파워 다운 모드(Active Power Down Mode)와 프리차지 파워 다운 모드(Precharge Power Down Mode)시에 버퍼링된 클럭인에이블신호(ICKE)가 항상 "L"상태이므로 라이징 클럭(RCLK)과 폴링 클럭(FCLK)도 "L"상태가 된다. 이를 가리켜 DLL의 "출력 클럭 트리(output clock tree)가 off 된다"고 말한다.

도 3에 보이는 구성요소 중 클럭 인에이블 버퍼(110)와 클럭 버퍼(120) 그리고 ODT 버퍼(130)는 반도체 기억 소자에서 사용되는 것으로 반도체 기억 소자 분야에 종사하는 통상의 지식을 가진 자에게는 너무나 잘 알려져 있는 주지의 기술이므로 세부적인 회로 구성은 생략하기로 한다.

클럭 인에이블 버퍼(110)는 클럭 인에이블 신호(CKE)와 기준전압(VREF)을 비교하고, 외부 클럭(CLK)의 라이징 에지(Rising Edge)에 동기된 버퍼링된클럭인에이블신호(ICKE)를 출력할 수 있다. 위와 같이, 버퍼링된클럭인에이블신호(ICKE)가 외부 클럭(CLK)의 라이징 에지(Rising Edge)에 동기되는 것은 파워 다운 모드에서의 입력/출력이 외부 클럭(CLK)에 동기되어 동작하도록 약속되어 있기 때문이다. 한편, 클럭 인에이블 버퍼(110)는 내부에 동기용 회로를 포함할 수도 있다.

클럭 버퍼(120)는 외부클럭(CLK)과 외부클럭바아(CLKB)를 입력받아 ODT제어부용 클럭신호(CLKODT)를 출력한다. 클럭 버퍼에는 다양한 형태의 버퍼가 적용될 수 있으며, 예를 들어, 차동형 버퍼(differential type buffer)가 사용될 수 있다.

ODT 버퍼(130)는 ODT 신호와 기준전압(VREF)을 비교하여 ODT비교신호(ODTI)를 출력한다.

도 3에서 ODT 제어부(150)는 클럭인에이블버퍼(110)의 출력인 버퍼링된 클럭인에이블신호(ICKE), 클럭버퍼(120)의 출력인 ODT제어부용클럭신호(CLKODT), ODT 버퍼(130)의 출력인 ODT비교신호(ODTI), DLL 회로(140)의 출력인 라이징 클럭(RCLK)과 폴링 클럭(FCLK)을 입력 받아 RTT발생제어신호(ODTF)를 출력한다. ODT 제어부(150)는 외부에서 인가되는 ODT 신호에 대하여 RTT가 온되거나 오프되는 시점, 즉 지연시점을 결정한다.

도 6은 종래기술에 따른 ODT 제어부(150)의 구체회로도이나, 본 발명에서 공히 사용가능하다.

다만, 도 6의 ODT 제어부가 본 발명에 사용되기 위해서는 제1 래치(LATCH1), 제2 래치(LATCH2), , 제6 래치(LATCH6)를 초기화시키는데 필요한 초기화회로가 추가적으로 필요하나, 이는 당업자에게 자명한 사항이고 본 발명의 본질을 흐리지 않기 위하여 생략한다. 한편, 도 6의 회로에서는 NA, NC, NE는 "H"상태의 초기값을 갖고, NB, ND, NF는 "L"상태의 초기값을 가지나, 반전된 상태를 초기값으로 가질 수도 있다는 것은 당업자에게 너무나도 자명한 사항이다.

도 7은 종래기술에 따른 RTT 발생부(160)의 구체회로도이다.

"L"상태에서 "H"상태로 천이되는 RTT발생제어신호(ODTF)가 RTT 발생부(160)로 입력되면, 전원전압(VDDQ)단과 연결된 피모스트랜지스터(MP1) 및 접지전압(VSSQ)단과 연결된 엔모스트랜지스터(MN1)가 턴온되어 저항 R1(MP1과 중앙노드 사이에 연결됨)과 R2(MN1과 중앙노드 사이에 연결됨)의 분배에 의해 RTT발생부(160)의 출력(DQ: 데이터)을 터미네이션(termination) 하게 된다. 이를 "ODT 턴온"이라 말한다.

한편, "H"상태에서 "L"상태로 천이되는 RTT발생제어신호(ODTF)가 RTT 발생부(160)에 입력되면 전원전압(VDDQ)단과 연결된 피모스트랜지스터(MP1) 및 접지전압(VSSQ)단과 연결된 엔모스트랜지스터(MN1)가 턴오프됨으로써 턴온중이던 터미네이션이 턴오프하게 된다. 이를 "ODT 턴오프"라 말한다.

일반적으로 도 7에서 RTT 발생부(160)의 출력과 데이터 출력 버퍼(170, Data output buffer)의 출력은 묶여 있으며, 집적회로에서 데이터 출력 핀(DQ pin)을 형성한다. 그리고 반도체 기억 소자의 경우에는 데이터 입력 버퍼(data input buffer)의 입력도 공통으로 묶여 있는 것이 보통이다.

도 8은 종래기술에 따른 ODT제어부의 동작 타이밍도이다.

도 8(a)는 액티브/스탠바이 모드에서 ODT 신호의 인가시 동작 타이밍도이다.

먼저, 도 8(a)의 동작 타이밍도를 이용하여 도 6에서의 ODT 턴온 동작을 설명한다. ODT 신호가 T1에서 "H"상태로 천이되면 ODT 턴온 지연시간(tAOND)에 맞추어 T1보다 2 클럭 늦은 T3에서 RTT가 발생된다. ODT 제어부(150)의 내부 동작을 살펴보면, T1에서 ODT제어부용클럭신호(CLKODT)의 라이징(rising)에 따라 제1 래치(LATCH1)에 의해 ODT비교신호(ODTI)가 래치되고, 제2 래치(LATCH2)를 통하여 제2노드(NB)의 논리상태가 "H"상태로 천이된다. 그리고, T1_에서 ODT제어부용클럭신호(CLKODT)의 폴링(falling)에 따라 제3 래치(LATCH3)의 출력(NC)이 "L"상태로 천이되며, T2_에서 폴링 클럭(FCLK)의 라이징(rising)에 따라 제4 래치(LATCH4)의 출력(ND)이 "H"상태로 천이된다. 이후, T3에서 라이징 클럭(RCLK)에 의해 제5 래치(LATCH5)의 출력(NE)이 "L"상태로 천이되고, NAND소자(631)를 거쳐 "H"상태의 RTT 발생제어신호(ODTF)가 출력된다.

한편, 대부분의 DDR SDRAM에서는 라이징 클럭(RCLK) 혹은 폴링 클럭(FCLK)으로부터 데이터 출력 드라이버까지의 출력 시간이 PVT(Process, Voltage, Temperature)에 따라 다르지만 대개 1.5ns~3ns 사이에 존재한다. 특히, 클럭주파수 266MHz 이상으로 동작하는 DDR-II SDRAM에서는 T2 이후 ODT제어부용 클럭신호(CLKODT)로부터 폴링클럭(FCLK)으로 클럭 도메인을 크로스함으로써 요구되는 RTT 이탈 최소 시간(TAON min), RTT 이탈 최대 시간(TAON max)을 만족시킬 수 없는 경우가 있다. 따라서, ODT비교신호는 ODT제어부용 클럭신호(CLKODT)에 의해 제어되다가 T1과 T2_ 사이에서 폴링클럭(FCLK)에 의해 제어된다. 이와 같이 ODT비교신호의 제어가 ODT제어부용 클럭신호로부터 폴링클럭으로 이행하는 것을 일컬어 "클럭 도메인을 크로스한다(clock domain cross)"고 말한다. 여기서, RTT이탈 최소 시간(TAON min)과 RTT이탈 최대 시간(TAON max)은 각각 클럭 에지(clock edge)의 전, 후로 RTT가 벗어난 정도를 말한다. 이는 도 1에서 확인할 수 있다.

도 8(a)의 동작 타이밍도를 이용하여 도 6에서의 ODT 턴오프(OFF) 동작을 설명하면 다음과 같다.

T3에서 "L"상태의 ODT 신호가 인가되면, 제6 래치(LATCH6)의 출력(NF)이 "L"상태로 되고, ODT 턴온 지연시간(tAOFD)에 맞추어 RTT 발생제어신호(ODTF)가 "L"상태로 되면서 2.5 클럭 늦은 T5에서 RTT가 오프된다. 나머지 동작들은 ODT 턴온시의 동작과 유사하므로 생략하기로 한다.

도 8(b)는 파워 다운 모드에서 ODT 신호의 인가시 동작 타이밍도이다.

파워 다운 모드(Power down mode)의 경우, 클럭 인에이블 버퍼(110)에서 "L"상태의 버퍼링된 클럭 인에이블 신호(ICKE)가 출력되므로 ODT제어부용 클럭신호(CLKODT)를 입력으로 하는 제1 ODT제어신호발생부(601)로부터 "L"상태의 클럭지연신호(CLKD)가 출력되고, "H"상태의 클럭지연바아신호(CLKDB)가 출력된다. 그리고, 버퍼링된 클럭 인에이블 신호(ICKE)와 라이징클럭(RCLK)을 입력받아 논리결합하는 제2 ODT제어신호발생부(603)로부터 "H"상태의 라이징클럭지연신호(RCLKD)가 출력되고, "L"상태의 라이징클럭지연바아신호(RCLKDB)가 출력된다. 버퍼링된 클럭 인에이블 신호(ICKE)와 폴링클럭(FCLK)을 입력받아 논리결합하는 제3 ODT제어신호발생부(605)로부터 "H"상태의 폴링클럭지연신호(FCLKD)가 출력되고, "L"상태의 폴링클럭지연바아신호(FCLKDB)가 출력된다. 이에 따라 ODT 신호의 인가 후 0.5 클럭 이후 비동기적으로 RTT발생제어신호(ODTF)가 출력된다. 결과적으로, ODT 신호의 인가 후 RTT가 생성될 때까지 "0.5 클럭 + 비동기 지연시간"이 소요된다.

물론 도 6의 버퍼링된 클럭 인에이블 신호(ICKE)에 의해 "H"상태의 클럭지연신호(CLKD), "L"상태의 클럭지연바아신호(CLKDB), "H"상태의 라이징클럭지연신호(RCLKD), "L"상태의 라이징클럭지연바아신호(RCLKDB), "H"상태의 폴링클럭지연신호(FCLKD), 그리고 "L"상태의 폴링클럭지연바아신호(FCLKDB)가 되도록 구성할 수도 있다. 물론 이 때에도 ODT 비교신호(ODTI)가 비동기적으로 RTT발생제어신호(ODTF)로 출력된다.

도 9는 종래기술에 따른 프리차지 파워 다운 모드(pre charge power down mode)로부터 이탈하는 경우, ODT 턴온(ON) 동작 타이밍도이다.

ODT회로가 T-n 직전 셋업 시간(setup time, tIS)을 만족시킨 상태에서, 클럭 인에이블 신호(CKE)가 "L"상태로 천이하고, 모든 뱅크가 프리차지 상태임을 나타내는 프리차지신호(PRE)가 "H"상태로 천이하면 DRAM은 프리차지 파워 다운 모드에 진입할 수 있다. 이에 따라 클럭 인에이블 버퍼(110)로부터 출력되는 버퍼링된 클럭 인에이블 신호(ICKE)는 T-n ~ Tn+1 사이에서 "L"상태로 천이된다. 위에서 설명한 바와 같이 버퍼링된 클럭 인에이블 신호(ICKE)는 T-n의 클럭신호(CLK)의 라이징 에지에 동기되어 동작한다. 이후 버퍼링된 클럭 인에이블 신호(ICKE)에 제어되는 DLL용 클럭 버퍼(141)의 출력인 버퍼링된 클럭 신호(ICLK)와 DLL클럭발생기(145)의 출력인 라이징클럭(RCLK)과 폴링클럭(FCLK)이 "L"상태로 천이된다.

프리차지 파워 다운 모드에서는, DLL 지연부(143)로 입력되는 버퍼링된 클럭신호(ICLK)가 "L"상태이므로 DLL회로(140)는 록킹(LOCK)동작을 수행하지 않고, 파워 다운 모드로 진입하기 이전의 록킹 정보를 기억한다. DLL 클럭 트리(clock tree)가 오프상태(라이징클럭(RCLK) 및 폴링클럭(FCLK)이 "L"상태)이므로 주변회로에서의 전력 소모도 최소화된다. 그리고 버퍼링된 클럭 인에이블 신호(ICKE)가 "L"상태이므로 ODT 제어부(150)는 라이징클럭(RCLK) 및 폴링클럭(FCLK)을 이용할 수 없다. 따라서, ODT 제어부(150)는 ODT 신호가 인가되고 나서 "0.5 클럭 + 비동기적 지연시간"이후 RTT발생제어신호(ODTF)를 출력하고, 이에 따라 RTT가 발생된다.

이하에서는 프리차지 파워 다운 모드로부터 이탈하는 경우에 ODT 제어회로의 동작을 설명하기로 한다.

T0 직전 "H"상태의 클럭인에이블신호(CKE)가 인가되면, 클럭인에이블버퍼(110)로부터 "H"상태의 버퍼링된 클럭 인에이블신호(ICKE)가 출력된다. DLL 지연부(143)로 버퍼링된 클럭신호(ICLK)가 유입되고 제1지연시간(td1)이 지나면 라이징클럭(RCLK)이 생성된다. 여기서, 제1지연시간(td1)은 DLL용 클럭 버퍼(141)에서의 지연시간과 DLL회로(140) 내부의 비동기적인 지연성분 그리고 파워 다운 이전의 록킹 상태에서 사용된 DLL 내 지연부의 지연성분 등을 포함한다. T1에서 클럭(CLK)의 라이징이 제1지연시간(td1) 이후 라이징클럭(RCLK)으로 나타남을 알 수 있다.

한편, 클럭인에이블신호(CKE)가 "L"상태로부터 "H"상태로 변화(T0 전)함에 따라 T0~T1에서 버퍼링된 클럭인에이블신호(ICKE)가 "L"상태로부터 "H"상태로 천이한다. 버퍼링된 클럭인에이블신호(ICKE)가 "H"상태로 천이한 후에는 ODT 제어부(150)는 액티브(Active)/스탠바이(Standby) 모드로 동작할 수 있다.

T1에서 "H"상태의 ODT 신호가 인가되는 경우, T0~T1에서 라이징클럭(RCLK)/폴링클럭(FCLK)은 아직 생성되지 않은 상태이다. 따라서, 도 6의 ODT 제어부(150)는 T1~T2에서 외부클럭(CLK)의 폴링 이후 ODT제어부용 클럭신호(CLKODT)로부터 폴링클럭(FCLK)으로 클럭 도메인을 크로스한다. 그러면 정상적인 클럭 하에서의 동작보다 1 클럭 지연된 T2~T3에서 진행하게 되고, T3~T4에서의 라이징클럭(RCLK)에 의해 RTT가 생성된다. 이렇게 되면 ODT 턴온 지연 시간이 3 클럭이나 되어 지연시간이 너무 길어지는 되는 문제가 있고, 이는 현재 JEDEC에서 마련해 놓은 tAONPD 규정을 위반하는 문제 또한 야기한다. 참고로 DDR-II SDRAM 규정에서는 프리차지 다운 모드로부터 벗어나는 경우에 DLL의 출력이 안정화되는 일정시점까지는 ODT 신호를 인가하도록 하는 파워 다운 모드의 파워 다운 턴온 시간(tAONPD)에 대하여 사양을 정해 놓고 있다. 파워 다운 턴오프 시간(tAOPD)에 대해서도 마찬가지이다.

한편, DLL 클럭이 모두 재생성된 T2 이후에 인가된 "H"상태의 ODT 신호에 대해 ODT 제어부(150)의 동작은 위의 설명과 동일하다.

도 10은 종래기술에 따른 프리차지 파워 다운 모드로부터 이탈 후 최초의 DLL 클럭이 td2(>td1)에서 나타나는 경우의 동작 타이밍도이다.

이는 DLL 회로가 도 9의 경우보다 더 높은 주파수에서 동작함으로써 외부 클럭(CLK)에 대비하여 환산할 경우 상대적으로 DLL의 지연시간이 더 늘어나는 것처럼 보이는 경우나 DLL 회로가 내부에 많은 지연요소를 포함하는 경우이다. DLL 회로가 포함하는 지연 요소들은, 예를 들어, 내부 전압을 사용하는 DLL 내에서 클럭이 통과하는 길목(critical path)에 존재하는 다수의 레벨 쉬프터(level shifter), DCC(duty cycle correction) 회로, 파워 다운 모드로의 진입이나 이탈시 DLL 회로 내로 글리치(glitch)성 클럭이 입력되는 것을 막기 위해 클럭에 동기하여 지연부로 입력되는 버퍼링된 클럭신호(ICLK) 등이 있다. 이들은 여러 지연요소들 가운데 일부일 뿐이며, DLL 회로에서 성능 향상을 목적으로 추가되는 회로들에 의해 여러 지연 요소가 생겨날 수 있다. 도 10을 보면 T1~T3 동안 DLL 클럭(라이징 클럭, 폴링 클럭)이 아직 생성되지 않은 상태이므로 도 9에서 보다 1 클럭이 더 지연된 T5에서 RTT가 생성된다. 즉, ODT 턴온 지연 시간이 4 클럭씩이나 되는 문제가 있다.

종래기술의 다른 문제점을 살펴보면 다음과 같다. 프리차지 파워 다운 모드로부터 벗어나는 경우에 버퍼링된 클럭신호(ICLK)가 DLL 지연부(143)로 유입되어 DLL 지연부내 회로들이 동작함과 동시에 여러 제어 회로들이 다시 동작하기 시작한다. 이 때 순간적으로 DLL회로(140)에 공급되는 전원이 불안정하게 된다. 일반적으로 이러한 전원의 불안정함은 내부 전압을 전원으로 사용하는 DLL의 경우에 더 크게 나타난다. 이러한 전원의 불안정은 라이징클럭(RCLK)과 폴링클럭(FCLK)에 지터(jitter) 성분으로 반영되어 ODT 턴온시간(tAON) 및 ODT 턴오프시간(tAOF)이 더욱 많은 변화되도록 영향을 준다.

도 9에서는 T6 이후에 전원이 안정화된다고 가정하고, 그 이전의 DLL 클럭(라이징클럭(RCLK), 폴링클럭(FCLK))에 의한 RTT의 변화를 보였다. 즉, T4에서의 클럭에 대한 RTT 발생시점이 도 9에서와 같이 크게 변동하게 되는 문제점이 있음을 알 수 있다.

결국, 종래기술에 따르면 프리차지 파워 다운 모드로부터 이탈 후 파워 다운 모드시 생성되지 않던 DLL회로의 출력인 라이징클럭/폴링클럭이 재생성되기까지는 일정 시간이 필요하다. 즉, 위 일정시간동안 DRAM이 파워 다운 모드로부터 이탈했음에도 불구하고 DLL의 출력이 없다. 이 때 "H"상태의 클럭인에이블신호(CKE)가 인가되면, ODT제어부(150)가 바로 액티브(active)/스탠바이(standby) 모드로 전환한다. 그러나, 액티브(active)/스탠바이(standby) 모드에서 RTT를 발생하기 위해 사용되는 DLL회로의 출력인 라이징클럭/폴링클럭이 없으므로 외부에서 입력되는 ODT신호에 대해 원하지 않은 RTT를 발생하게 되는 문제점이 있다.

또한, 프리차지 파워 다운 모드로부터 이탈후 DLL 회로가 재동작하기까지는 많은 시간동안 DLL에 공급되는 전원전압의 불안정한 상태를 유발하여 DLL회로로부터 출력되는 클럭이 불안정하게 한다. 이에 따라 ODT 제어부가 동작하게 될 경우, 인가된 ODT 입력의 변화에 대하여, 요구되는 RTT의 타이밍을 적절히 만족시키기 어려운 또 다른 문제가 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 ODT기술을 적용하는 반도체 소자에서 파워 다운 모드로부터 액티브/스탠바이 모드간의 전환시점을 전후로 한 ODT 신호의 변환시 발생할 수 있는 RTT 생성 시점의 지연이나 클럭에 대한 RTT의 오정렬을 최소화함에 목적이 있다.

또한, 본 발명은 파워 다운 모드로부터의 이탈이 프리차지 파워 다운 모드로부터의 이탈인지 액티브 파워 다운 모드로부터의 이탈인지를 감지하고 이를 파워 다운 모드와 액티브/스탠바이 모드간의 전환에 이용함으로써 외부로부터 입력되는 ODT 신호의 변화를 정상적으로 처리하고자 함에 목적이 있다.

또한, 본 발명은 파워 다운 모드로부터 액티브/스탠바이 모드로의 전환을 파워 다운 모드의 이탈 후 DLL 회로로부터 출력되는 클럭이 안정화될 때까지 천이시킴으로써 외부로부터 입력되는 ODT 신호의 변화를 정상적으로 처리하고자 함에 또 다른 목적이 있다.

발명의 구성 및 작용

상기의 목적을 달성하기 위한 본 발명의 ODT 모드 전환 회로는, 반도체 소자 내 뱅크 액세스 유무에 관한 정보를 포함하는 프리차지신호를 입력받아 파워 다운 모드로부터의 이탈이 프리차지 파워 다운 모드로부터의 이탈인지 액티브 파워 다운 모드로부터의 이탈인지를 감지하고, 프리차지 파워 다운 모드로부터의 이탈과 액티브 파워 다운 모드로부터의 이탈에 대하여 각기 다른 논리상태를 갖는 모드구분신호를 출력하기 위한 클럭인에이블제어수단; 상기 모드구분신호에 따라 파워 다운 모드에서 동작하거나 액티브/스탠바이 모드에서 동작하기 위한 ODT제어수단; 및 상기 ODT제어수단으로부터 출력되는 RTT발생제어신호에 따라 RTT를 생성하기 위한 RTT 발생수단을 포함할 수 있다.

또한, 본 발명의 상기 클럭인에이블제어수단은, 외부로부터 입력되는 클럭인에이블신호의 정보를 갖는 반도체 소자의 내부 신호인 클럭인에이블내부신호, 상기 프리차지신호, 외부 클럭이 버퍼링된 신호인 버퍼링된클럭, 및 상기 클럭인에이블제어수단을 초기화하는 신호인 리셋신호를 입력받아 상기 프리차지 파워 다운 모드로부터의 이탈과 상기 액티브 파워 다운 모드로부터의 이탈을 구분할 수 있는 상기 모드구분신호를 출력할 수 있다.

또한, 본 발명의 클럭인에이블제어수단은, 외부로부터 입력되는 클럭인에이블신호의 정보를 갖는 반도체 소자의 내부 신호인 클럭인에이블내부신호와 상기 프리차지신호를 입력받아 상기 프리차지 파워 다운 모드로부터의 이탈인지 상기 액티브 파워 다운 모드로부터의 이탈인지를 구분하여 출력하는 파워 다운 모드 이탈 감지부; 하기 클럭카운트부를 초기화하기 위한 리셋신호와 외부 클럭이 버퍼링된 버퍼링된클럭을 이용하여 상기 파워 다운 모드 이탈 감지부로부터 출력되는 프리차지파워다운이탈신호를 일정시간 지연시켜 지연프리차지파워다운이탈신호를 출력하기 위한 클럭카운트부; 및 상기 지연프리차지파워다운이탈신호와 상기 파워 다운 모드 이탈 감지부로부터 출력되는 액티브파워다운이탈신호를 논리결합하여 상기 모드구분신호를 출력하기 위한 모드구분신호발생부를 포함할 수 있다.

또한, 본 발명의 파워 다운 모드 이탈 감지부는, 상기 클럭인에이블내부신호를 입력받아 클럭인에이블신호의 감지를 확인하고 출력하기 위한 클럭인에이블감지부; 및 상기 클럭인에이블감지부로부터의 출력과 상기 프리차지신호를 입력받아 프리차지 파워 다운 모드로부터의 이탈인지 혹은 액티브 파워 다운 모드로부터의 이탈인지를 구분하여 출력하기 위한 디코딩부를 포함할 수 있다.

또한, 본 발명의 상기 클럭카운트부는, 상기 프리차지파워다운이탈신호와 하기 래치부를 초기화하기 위한 리셋신호 및 하기 플립플롭부로부터 피드백되는 피드백신호를 입력받고 래치된 파워다운이탈신호를 출력하기 위한 래치부; 및 상기 래치된 파워다운이탈신호를 입력받아 일정 클럭 만큼 쉬프트한 후 출력하기 위한 플립플롭부를 포함할 수 있다.

또한, 본 발명의 상기 ODT 제어수단은, ODT제어수단에서 사용되는 ODT제어수단용 클럭신호, 지연고정루프로부터 출력되는 라이징클럭과 폴링클럭 그리고 상기 모드구분신호를 입력받아 상기 ODT제어수단에서 사용되는 제어신호를 발생시키기 위한 ODT제어신호발생부; 및 상기 ODT제어신호발생부로부터 출력되는 제어신호에 제어되어 입력되는 ODT비교신호가 일정시간 지연된 RTT발생제어신호를 출력하기 위한 RTT발생제어신호출력부를 포함할 수 있다.

또한, 본 발명의 상기 ODT제어신호발생부는, 상기 ODT제어수단용 클럭신호를 입력받아 ODT제어수단용 클럭신호가 일정시간 지연된 제1지연클럭과 상기 지연된 클럭의 반대위상을 갖는 제1지연반전클럭을 출력하기 위한 제1ODT제어신호발생부; 상기 라이징클럭과 상기 모드구분신호를 입력받아 지연된 지연라이징클럭과 상기 지연된 라이징클럭의 반대위상을 갖는 지연라이징반전클럭을 출력하기 위한 제2ODT제어신호발생부; 및 상기 폴링클럭과 상기 모드구분신호를 입력받아 지연된 지연폴링클럭과 상기 지연된 폴링클럭의 반대위상을 갖는 지연폴링반전클럭을 출력하기 위한 제3ODT제어신호발생부를 포함할 수 있다.

또한, 본 발명의 상기 RTT발생제어신호출력부는, 상기 제1지연클럭과 제1지연반전클럭을 이용하여 ODT비교신호를 래치하기 위한 제1래치부; 상기 제1지연반전클럭과 제1지연클럭을 이용하여 상기 제1래치부의 출력의 위상을 반전시키기 위한 제2래치부; 상기 제1지연클럭과 제1지연반전클럭을 이용하여 상기 제2래치부의 출력의 위상을 반전시키기 위한 제3래치부; 상기 지연폴링반전클럭과 지연폴링클럭을 이용하여 상기 제3래치부의 출력의 위상을 반전시키기 위한 제4래치부; 상기 지연라이징반전클럭과 지연라이징클럭을 이용하여 상기 제4래치부의 출력의 위상을 반전시키기 위한 제5래치부; 상기 지연폴링반전클럭과 지연폴링클럭을 이용하여 상기 제5래치부의 출력의 위상을 반전시키기 위한 제6래치부; 및 상기 제5래치부의 출력과 상기 제6래치부의 반전된 출력을 입력으로 하는 낸드게이트를 포함하여 구성할 수 있다.

또한, 본 발명에 따른 ODT 모드 전환 회로는 반도체 기억 소자에 적용 가능하다. 즉, 본 발명에 따른 ODT 모드 전환 회로는 반도체 기억 소자에 있어서, 외부로부터 클럭 인에이블 신호를 입력받아 버퍼링한 후 버퍼링된 클럭 인에이블 신호를 출력하기 위한 클럭 인에이블 버퍼링 수단; 외부로부터 입력되는 클럭인 외부클럭에 의해 하기 ODT제어수단에서 사용되는 ODT제어부용 클럭신호를 출력하기 위한 클럭 버퍼링 수단; 입력되는 ODT신호의 전위와 기준전압을 비교하여 ODT비교신호를 출력하기 위한 ODT 버퍼링 수단; 상기 외부클럭을 이용하여 라이징 클럭과 폴링 클럭을 출력하기 위한 지연고정루프로; 반도체 기억 소자 내 뱅크의 액세스 유무에 관한 정보를 포함하는 프리차지신호를 입력받아 파워 다운 모드로부터의 이탈이 프리차지 파워 다운 모드로부터의 이탈인지 액티브 파워 다운 모드로부터의 이탈인지를 감지하고, 프리차지 파워 다운 모드로부터의 이탈과 액티브 파워 다운 모드로부터의 이탈에 대하여 각기 다른 논리상태를 갖는 모드구분신호를 출력하기 위한 클럭인에이블제어수단; 상기 모드구분신호, 상기 ODT제어부용 클럭신호, 상기 ODT비교신호, 상기 ODT제어수단을 초기화시키기 위한 리셋신호, 상기 라이징 클럭 및 폴링 클럭을 입력받아 RTT의 발생을 제어하기 위한 RTT발생 제어신호를 출력하기 위한 ODT 제어수단; 및 상기 RTT발생 제어신호에 제어되어 RTT를 온/오프하기 위한 RTT 발생수단을 포함할 수 있다.

또한, 본 발명에 따른 ODT 모드 전환 방법은, 프리차지신호를 입력받아 파워 다운 모드로부터의 이탈이 프리차지 파워 다운 모드로부터의 이탈인지 액티브 파워 다운 모드로부터의 이탈인지를 감지하고, 프리차지 파워 다운 모드로부터의 이탈과 액티브 파워 다운 모드로부터의 이탈에 대하여 각기 다른 논리상태를 갖는 모드구분신호를 출력하는 제1단계; 상기 모드구분신호에 따라 파워 다운 모드에서 동작하거나 액티브/스탠바이 모드에서 동작하면서 RTT발생제어신호를 출력하는 제2단계; 및 상기 RTT발생제어신호에 따라 RTT를 생성하는 제3단계를 포함할 수 있다.

또한, 본 발명에 따른 ODT 모드 전환 방법의 상기 제1단계는, 외부로부터 입력되는 클럭인에이블신호의 정보를 갖는 반도체 소자의 내부 신호인 클럭인에이블내부신호와 상기 프리차지신호를 입력받아 상기 프리차지 파워 다운 모드로부터의 이탈인지 상기 액티브 파워 다운 모드로부터의 이탈인지를 구분하여 출력하는 제4단계; 초기화를 위한 리셋신호와 외부 클럭이 버퍼링된 버퍼링된클럭을 이용하여 상기 프리차지 파워 다운 모드로부터의 이탈인 경우에 출력되는 신호를 일정시간 지연시켜 지연프리차지파워다운이탈신호를 출력하는 제5단계; 및 상기 지연프리차지파워다운이탈신호와 상기 액티브 파워 다운 모드로부터의 이탈인 경우에 출력되는 액티브파워다운이탈신호를 논리결합하여 상기 모드구분신호를 출력하는 제6단계를 포함할 수 있다.

또한, 본 발명에 따른 ODT 모드 전환 방법의 제4단계는, 상기 클럭인에이블내부신호를 입력받아 클럭인에이블신호의 감지를 확인하고 출력하는 제7단계; 및 상기 제7단계의 출력과 상기 프리차지신호를 입력받아 프리차지 파워 다운 모드로부터의 이탈인지 혹은 액티브 파워 다운 모드로부터의 이탈인지를 구분할 수 있는 신호를 출력하는 제8단계를 포함할 수 있다.

또한, 본 발명에 따른 ODT 모드 전환 방법의 상기 제2단계는, ODT제어수단에서 사용되는 ODT제어수단용 클럭신호, 지연고정루프로부터 출력되는 라이징클럭과 폴링클럭 그리고 상기 모드구분신호를 입력받아 상기 ODT제어수단에서 사용되는 제어신호를 발생하는 단계; 및 상기 ODT제어수단에서 사용되는 제어신호를 발생하는 단계로부터 출력되는 제어신호에 제어되어 입력되는 ODT비교신호가 일정시간 지연된 RTT발생제어신호를 출력하는 단계를 포함할 수 있다.

본 발명은 프리차지 파워 다운 모드로부터의 이탈 정보를 "H"상태의 클럭인에이블신호(CKE)의 인가로부터 일정 시간만큼 지연시켜 ODT 제어부로 제공함으로써 ODT측 제어회로의 동작 모드를 파워 다운 모드로부터 액티브/스탠바이 모드로 전환이 하게 함으로써 외부 ODT 입력의 변화를 바르게 처리하도록 한 것이다.

이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 이에 앞서, 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이거나 사전적인 의미로 한정해서 해석되어서는 아니되며, 발명자는 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다. 따라서, 본 명세서에 기재된 실시예와 도면에 도시된 구성은 본 발명의 가장 바람직한 일 실시예에 불과하고 본 발명의 기술적 사상을 모두 대변하는 것은 아니므로, 본 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형예들이 있을 수 있음을 이해하여야 한다.

도 11은 본 발명에 따른 ODT 동작을 위한 전체 블록 구성도이다.

본 발명에 따른 ODT 모드 전환 회로는 반도체 소자 내 뱅크 액세스 유무에 관한 정보를 포함하는 프리차지신호(PRE)를 입력받아 파워 다운 모드로부터의 이탈이 프리차지 파워 다운 모드로부터의 이탈인지 액티브 파워 다운 모드로부터의 이탈인지를 감지하고, 프리차지 파워 다운 모드로부터의 이탈과 액티브 파워 다운 모드로부터의 이탈에 대하여 각기 다른 논리상태를 갖는 모드구분신호(CKEODT)를 출력하기 위한 클럭인에이블제어부(1110)와, 모드구분신호(CKEODT)에 따라 파워 다운 모드에서 동작하거나 액티브/스탠바이 모드에서 동작하면서 RTT발생제어신호(ODTF)를 출력하기 위한 ODT 제어부(1130) 그리고 ODT제어부(1130)로부터 출력되는 RTT발생제어신호(ODTF)에 따라 RTT를 생성하기 위한 RTT 발생부(1150)를 포함할 수 있다.

이를 위하여 클럭인에이블제어부(1110)는 클럭인에이블내부신호(CKEIN), 프리차지신호(PRE), 제1버퍼링된클럭(CLOCK1), 및 리셋신호(RESET)를 입력받아 모드구분신호(CKEODT)를 출력한다. 여기서, 클럭인에이블내부신호(CKEIN)는 외부로부터 입력되는 클럭인에이블신호(CKE)의 정보를 갖는 반도체 기억 소자 내부의 신호이다. 프리차지신호(PRE)는 반도체 기억 소자 내 뱅크의 액세스 유무에 관한 정보를 갖는 내부 신호이다. 제1버퍼링된클럭(CLOCK1)은 외부 클럭(CLK)이 버퍼링된 신호이다. 그리고 제1리셋신호(RESET1)는 클럭인에이블제어부(1110) 내의 플립플롭 등을 초기화하는 신호이다. 그리고 클럭인에이블제어부(1110)의 모드구분신호(CKEODT)가 ODT제어부(1130)로 입력된다.

ODT제어부(1130)는 모드구분신호(CKEODT), 제2버퍼링된클럭(CLOCK2), 라이징클럭(RCLK), 폴링클럭(FCLK) 및 제2리셋신호(RESET2)를 입력받아 RTT의 발생을 제어하기 위한 RTT발생제어신호(ODTF)를 출력한다. 여기서, 제2버퍼링된클럭(CLOCK2)은 외부 클럭(CLK)이 버퍼링된 신호로서, 제1버퍼링된클럭(CLOCK1)과 동일한 클럭일 수 있으며, 이하에서는 제1버퍼링된클럭(CLOCK1)과 제2버퍼링된클럭(CLOCK2)가 동일한 클럭으로 고려된다. 라이징클럭(RCLK)과 폴링클럭(FCLK)은 반도체 기억 소자 내 DLL회로로부터 출력된다. 제2리셋신호(RESET2)는 ODT제어부(1130) 내 플립플롭 등을 초기화 해주는 신호로서, 제1리셋신호(RESET1)와 동일한 신호일 수 있으며, 이 또한 버퍼링된클럭에서와 마찬가지로 제1리셋신호(RESET1)와 제2리셋신호(RESET2)가 동일한 신호로 고려된다. 그리고 RTT발생제어신호(ODTF)는 RTT발생부(1150)로 인가된다.

ODT 제어부(1130)는 도 6에 초기화회로를 추가하고, 버퍼링된클럭인에이블신호(ICKE)대신 모드구분신호(CKEODT)를 입력하는 것에 의해 구성할 수 있다.

RTT 발생부(1150)는 도 7의 구성을 동일하게 사용할 수 있으므로 본 발명의 본질을 흐리지 않기 위해 더 이상 언급하지 않기로 한다.

이하에서는 클럭인에이블제어부(1110)에 대해서 당업자가 실시하기에 용이하도록 상세히 설명하기로 한다.

도 12는 본 발명에 따른 클럭인에이블 제어부의 블록구성도이다.

클럭인에이블 제어부(1110)는 외부로부터 입력되는 클럭인에이블 신호(CKE)의 정보를 갖는 반도체 소자의 내부 신호인 클럭인에이블 내부 신호(CKEIN)와 반도체 소자 내 बैं크 액세스 유무에 관한 정보를 포함하는 프리차지 신호(PRE)를 입력받아 프리차지 파워 다운 모드로부터의 이탈인지 액티브 파워 다운 모드로부터의 이탈인지를 구분하여 출력하는 파워 다운 모드 이탈 감지부(1210), 클럭 카운트부(1230)를 초기화하기 위한 제1리셋 신호와 제1버퍼링된 클럭 신호(CLOCK1)를 이용하여 파워 다운 모드 이탈 감지부(1210)로부터 파워 다운 모드로부터의 이탈인 경우에 출력되는 프리차지 파워 다운 이탈 신호(PPDEX)를 일정시간 지연시켜 지연 프리차지 파워 다운 이탈 신호(PDEXF)를 출력하기 위한 클럭 카운트부(1230) 그리고 지연 프리차지 파워 다운 이탈 신호(PDEXF)와 파워 다운 모드 이탈 감지부(1210)로부터 액티브 파워 다운 모드로부터의 이탈인 경우에 출력되는 액티브 파워 다운 이탈 신호(APDEX)를 논리 결합하여 모드 구분 신호(CKEODT)를 출력하기 위한 모드 구분 신호 발생부(1250)를 포함하여 구성할 수 있다.

도 13은 본 발명에 따른 파워 다운 모드 이탈 감지부(1210)의 구체회로도이다.

파워 다운 모드 이탈 감지부(1210)는 파워 다운 모드로부터 이탈할 때마다, 즉 클럭인에이블 신호(CKE)가 "H"상태로 천이할 때마다 파워 다운 모드로부터의 이탈이 프리차지 파워 다운 모드로부터의 이탈인지 액티브 파워 다운 모드로부터의 이탈인지를 구분하기 위한 플래그(flag)를 발생한다.

즉, 파워 다운 모드 이탈 감지부(1210)는 클럭인에이블 내부 신호(CKEIN)를 입력받아 클럭인에이블 신호(CKE)의 감지를 확인하고 출력하기 위한 클럭인에이블 감지부(1310)와 클럭인에이블 감지부(1310)로부터의 출력과 프리차지 신호(PRE)를 입력받아 프리차지 파워 다운 모드로부터의 이탈인지 혹은 액티브 파워 다운 모드로부터의 이탈인지를 구분하여 출력하기 위한 디코딩부(1330)를 포함한다.

도 14는 파워 다운 모드 이탈 감지부의 일 실시 회로도이다.

클럭인에이블 감지부(1310)는, 예를 들어, 클럭인에이블 내부 신호(CKEIN)를 일정시간 지연시키기 위한 지연부(1401), 지연부(1401)의 출력을 반전시키기 위한 인버터(1403), 클럭인에이블 내부 신호(CKEIN)와 인버터(1403)의 출력을 입력으로 하는 낸드 게이트(1405), 및 낸드 게이트(1405)의 출력을 반전시키기 위한 인버터(1407)를 포함하여 구성할 수 있다.

클럭인에이블 감지부(1310)는 클럭인에이블 내부 신호(CKEIN)가 "L"상태로부터 "H"상태로 천이하는 경우(low to high)에 일정 펄스 폭의 클럭 인에이블 정보를 갖는 클럭인에이블 감지 신호(CKEP)를 생성한다. 즉, 클럭인에이블 감지부(1310)는 클럭인에이블 신호(CKE)의 감지를 확인하여 클럭인에이블 감지 신호(CKEP)를 출력하기 위한 일종의 클럭인에이블 신호(CKE)의 라이징 에지 검출기라 말할 수 있다.

한편, 디코딩부(1330)는, 예를 들어, 클럭인에이블 감지부(1310)로부터의 출력(CKEP)과 프리차지 신호(PRE)를 입력으로 하는 낸드 게이트(1411), 낸드 게이트(1411)의 출력을 반전시켜 프리차지 파워 다운 이탈 신호(PPDEX)를 출력하기 위한 인버터(1413), 프리차지 신호(PRE)를 반전시키기 위한 인버터(1415), 클럭인에이블 감지부(1310)로부터의 출력(CKEP)과 인버터(1415)의 출력을 입력으로 하는 낸드 게이트(1417) 및 낸드 게이트(1417)의 출력을 반전시켜 액티브 파워 다운 이탈 신호(APDEX)를 출력하기 위한 인버터(1419)를 포함하여 구성할 수 있다.

그리고, 디코딩부(1330)에서는 클럭인에이블 감지 신호(CKEP)와 프리차지 신호(PRE)를 논리곱하여 프리차지 파워 다운 모드로부터의 이탈에 관한 정보를 갖는 프리차지 파워 다운 이탈 신호(PPDEX)가 생성될 수 있고, 클럭인에이블 감지 신호(CKEP)와 프리차지 신호(PRE)의 반전 신호인 프리차지 바아 신호(PREB)가 논리곱되어 액티브 파워 다운 모드로부터의 이탈에 관한 정보를 갖는 액티브 파워 다운 이탈 신호(APDEX)가 생성될 수 있다. 디코딩부(1330)의 출력인 프리차지 파워 다운 이탈 신호(PPDEX) 및 액티브 파워 다운 이탈 신호(APDEX)를 만들기 위한 논리 소자들의 결합은 그 태양이 무수히 다양하게 나타날 수 있으나, 그 다양한 형태들은 당업자에게 자명하므로 본 발명의 요지를 흐리지 않기 위해 예상 가능한 여러 실시예들을 나열하지 않기로 한다.

도 15는 도 12의 클럭 카운트부(1230)에 대한 일 실시 회로도이다.

클럭 카운트부(1230)는 프리차지 파워 다운 모드로부터의 이탈에 관한 정보를 일정시간 지연시켜 출력시키는 회로로서, 예를 들어 래치부(1510)와 플립플롭부(1530)를 이용하여 구성할 수 있다. 즉, 래치부(1510)는 프리차지 파워 다운 이탈 신호(PPDEX)와 리셋 신호(RESET) 그리고 플립플롭부(1530)으로부터 피드백되는 피드백 신호(SETP)를 입력받고 플립플롭부(1530)로 래치된 파워 다운 이탈 신호(PDEXL)를 출력한다. 플립플롭부(1530)는 입력되는 래치된 파워 다운 이탈 신호(PDEXL)를 원하는 클럭 수만큼 쉬프트한 후 신호(PDEXF)를 출력한다.

도 16은 래치부 및 플립플롭부의 일 실시 회로도이다.

래치부(1510)는, 예를 들어, 플립플롭부(1530)로부터의 피드백 신호(SETP)와 제1버퍼링된 클럭(CLOCK1)을 입력으로 하는 낸드 게이트(1601), 낸드 게이트(1601)의 출력에 제어되고 일단이 전원 전압단(VDD)과 연결된 피모스트랜지스터(1603), 프리차지 파워 다운 이탈 신호(PDEX)에 제어되고 피모스트랜지스터(1603)의 타단 및 접지 전압단(VSS)과 연결된 직렬의 피모스트랜지스터(1605) 및 엔모스트랜지스터(1607), 피모스트랜지스터(1605)와 엔모스트랜지스터(1607)간의 접점에서의 신호를 입력으로 하는 인버터(1609), 및 인버터(1609)의 출력(PDEXL)과 리셋 신호(RESET)를 입력받아 그 결과를 상기 접점에 출력하기 위한 낸드 게이트(1611)를 포함하여 구성할 수 있다.

래치부(1510)에서는 프리차지 파워 다운 이탈 신호(PPDEX)를 래치한 후, 래치된 파워 다운 이탈 신호(PDEXL)를 그 다음 제1버퍼링된 클럭 신호(CLOCK1)의 라이징 에지까지 유지한다. 피드백 신호(SETP)는 플립플롭부(1530)의 제1플립플롭(F/

F1)내 마스터 래치의 출력이다. 이 신호가 "H"상태로 천이된 후 바로 다음의 제1버퍼링된클럭신호(CLOCK1)의 라이징 에지에서 래치된 파워다운이탈신호(PDEXL)가 "L"상태로 천이된다. 도 18은 본 발명에 따른 동작 타이밍도로서, 이 회로의 동작을 도시하고 있다.

그리고 도 16에서는 플립플롭부의 일실시예이다.

플립플롭부(1530)내 제1플립플롭(FLIPFLOP1)은, 예를 들어, 제1버퍼링된클럭(CLOCK1, CLOCK1B)에 제어되어 래치부(1510)로부터의 출력(PDEXL)을 전달하기 위한 전달게이트(1631), 전달게이트(1631)의 출력과 리셋신호(RESET)를 입력받는 낸드게이트(1633), 낸드게이트(1633)의 출력을 반전시켜 전달게이트(1631)의 출력노드에 출력하기 위한 인버터(1635), 낸드게이트(1633)의 출력을 반전시켜 출력하기 위한 인버터(1637), 제1버퍼링된클럭(CLOCK1B, CLOCK1)에 제어되어 인버터(1637)의 출력을 전달하기 위한 전달게이트(1639), 전달게이트(1639)의 출력과 리셋신호(RESET)를 입력받는 낸드게이트(1641), 낸드게이트(1641)의 출력을 반전시켜 전달게이트(1639)의 출력노드에 출력하기 위한 인버터(1643) 및 낸드게이트(1641)의 출력을 반전시켜 출력하기 위한 인버터(1645)를 포함하여 구성될 수 있다.

포지티브 에지에서 트리거되는 제1플립플롭(FLIPFLOP1)과 같은 플립플롭들을 직렬로 복수개 연결함으로써 플립플롭부(1530)를 구성할 수 있다. 이에 따라, 플립플롭부(1530)에서는 입력되는 래치된 파워다운이탈신호(PDEXL)를 원하는 클럭 수만큼 쉬프트한 후 신호(PDEXF)를 출력한다. T_n까지 쉬프트된 플립플롭부의 출력(PDEXF)이 모드구분신호발생부(1250)로 입력된다. 도 18에서는 클럭카운트부의 각 출력들(OUT1, OUT2...OUTN)의 동작 타이밍도를 보인다.

ODT 제어부(1130)는, ODT제어부(1130)에서 사용되는 ODT제어부용 클럭신호(CLKODT), DLL회로(140)로부터 출력되는 라이징클럭(RCLK)과 폴링클럭(FCLK) 그리고 모드구분신호(CKEODT)를 입력받아 ODT제어부(1130)에서 사용되는 제어신호를 발생시키기 위한 ODT제어신호발생부와 ODT제어신호발생부로부터 출력되는 제어신호에 제어되어 입력되는 ODT비교신호(ODTI)가 일정시간 지연된 RTT발생제어신호(ODTF)를 출력하기 위한 RTT발생제어신호출력부를 포함하여 구성될 수 있다.

또한, ODT제어신호발생부는, ODT제어수단용 클럭신호(CLKODT)를 입력받아 ODT제어수단용 클럭신호가 일정시간 지연된 제1지연클럭(CLKD)과 지연된 클럭의 반대위상을 갖는 제1지연반전클럭(CLKDB)을 출력하기 위한 제1ODT제어신호발생부(601), 라이징클럭(RCLK)과 모드구분신호(CKEODT)를 입력받아 지연된 지연라이징클럭(RCLKD)과 지연라이징클럭의 반대위상을 갖는 지연라이징반전클럭(RCLKDB)을 출력하기 위한 제2ODT제어신호발생부(603) 및 폴링클럭(FCLK)과 모드구분신호(CKEODT)를 입력받아 지연된 지연폴링클럭(FCLKD)과 지연폴링클럭의 반대위상을 갖는 지연폴링반전클럭(FCLKDB)을 출력하기 위한 제3ODT제어신호발생부(605)를 포함하여 구성할 수 있다.

또한, 제1ODT제어신호발생부(601)는, 접지전압(VSS)과 전원전압(VDD)에 제어되어 ODT제어부용 클럭신호(CLKODT)를 전달하기 위한 전달게이트(651), 전달게이트(651)의 출력을 반전시키기 위한 인버터(652), ODT제어부용 클럭신호(CLKODT)를 지연시켜 출력하기 위한 직렬연결된 복수의 인버터(653, 654)를 포함하여 구성할 수 있다.

또한, 제2ODT제어신호발생부(603)는, 라이징클럭(RCLK)을 반전시키기 위한 인버터(661), 인버터(661)의 출력과 모드구분신호(CKEODT)를 입력으로 하는 낸드게이트(662), 접지전압(VSS)과 전원전압(VDD)에 제어되어 낸드게이트(662)의 출력을 전달하기 위한 전달게이트(663), 전달게이트(663)의 출력을 반전시키기 위한 인버터(664), 낸드게이트(662)의 출력을 지연시켜 출력하기 위한 복수의 인버터(665, 666)를 포함하여 구성할 수 있다.

또한, 제3ODT제어신호발생부(605)의 구성은 제2ODT제어신호발생부(603)의 구성과 동일하고, 다만 입력으로서 라이징클럭(RCLK) 대신 폴링클럭(FCLK)을 이용한다는 데에 차이가 있을 뿐이다.

또한, RTT발생제어신호출력부는, 제1지연클럭(CLKD)과 제1지연반전클럭(CLKDB)을 이용하여 ODT비교신호(ODTI)를 래치하기 위한 제1래치부(611), 제1지연반전클럭(CLKDB)과 제1지연클럭(CLKD)을 이용하여 제1래치부(611)의 출력의 위상을 반전시키기 위한 제2래치부(613), 제1지연클럭(CLKD)과 제1지연반전클럭(CLKDB)을 이용하여 제2래치부(613)의 출력의 위상을 반전시키기 위한 제3래치부(615), 지연폴링반전클럭(FCLKDB)과 지연폴링클럭(FCLKD)을 이용하여 제3래치부(615)의 출력의 위상을 반전시키기 위한 제4 래치부(617), 지연라이징반전클럭(RCLKDB)과 지연라이징클럭(RCLKD)을 이용하여 제4 래치부(617)의 출력의 위상을 반전시키기 위한 제5 래치부(619), 지연폴링반전클럭(FCLKDB)과 지연폴링클럭(FCLKD)을 이용하여 제5 래치부(619)의 출력의 위상을 반전시키기 위한 제6 래치부(621) 및 제5래치부(619)의 출력과 제6래치부(621)의 반전된 출력을 입력으로 하는 낸드게이트(631)를 포함하여 구성할 수 있다.

여기서, 제1래치부(LATCH1)는 예를 들어, 제1지연클럭(CLKD)과 제1지연반전클럭(CLKDB)에 의해 제어되어 입력되는 ODT비교신호(ODTI)를 전달하기 위한 전달게이트(681), 및 전달게이트(681)의 출력을 래치하기 위하여 역병렬결합된 복수의 인버터(682, 683)를 포함하여 구성할 수 있다.

ODT제어부(1130)와 관련한 일 실시 회로는 도 6에 제시되어 있다.

도 17는 도 12의 모드구분신호발생부(1250)에 대한 일 실시 회로도이다.

모드구분신호발생부(1250)는 클럭인에이블내부신호(CKEIN)와 플립플롭부로부터 출력되는 신호(PDEXF) 그리고 액티브파워다운이탈신호(APDEX)를 입력받아 ODT 제어부의 동작모드를 구분하기 위한 모드구분신호(CKEODT)를 발생한다.

모드구분신호발생부(1250)는, 예를 들어, 플립플롭부로부터 출력되는 신호(PDEXF) 과 액티브파워다운이탈신호(APDEX)를 입력으로 하는 노아게이트(1701), 노아게이트(1701)의 출력과 낸드게이트(1705)의 출력을 입력으로 하는 낸드게이트(1703), 클럭인에이블내부신호(CKEIN)와 낸드게이트(1703)의 출력을 입력으로 하는 낸드게이트(1705) 및 낸드게이트(1705)의 출력을 반전시키는 인버터(1707)를 포함하여 구성할 수 있다.

모드구분신호발생부(1250)에서는 파워 다운 모드의 진입시 "L"상태의 클럭인에이블신호(CKE)가 인가되어 클럭인에이블내부신호(CKEIN)가 "L"상태로 천이되면 모드구분신호(CKEODT)는 "L"상태로 천이된다.

프리차지 파워 다운 모드로부터 이탈시, 클럭인에이블신호(CKE)가 "H"상태로 천이하더라도 플립플롭부(1530)로부터 출력되는 신호(PDEXF)가 "H"상태로 천이하여 모드구분신호발생부의 래치를 해제하기 전까지는 모드구분신호(CKEODT)의 상태가 변화하지 않는다. 즉, 종래기술과 달리 도 18의 TO~Tn에서 ODT 회로는 파워 다운 모드에서 동작할 수 있다. Tn에서 플립플롭부(1530)로부터 출력(PDEXF)이 발생하면 모드구분신호(CKEODT)가 "H"상태로 천이되어 ODT 회로는 스탠바이 모드로 전환하게 된다.

액티브 파워 다운 모드로부터 이탈시, 파워 다운 모드 이탈 감지부로부터 "H"상태의 액티브파워다운이탈신호(APDEX)가 출력되어, 모드구분신호발생부(1250)의 입력 래치 상태를 해제함으로써 ODT 회로는 파워 다운 모드로부터 이탈과 함께 액티브 모드로 전환하게 된다.

도 19은 본 발명에 따른 ODT 모드 전환 기술을 반도체 기억 소자에 적용하는 경우의 전체 블록구성도이다. 이는 당업자가 본 발명을 반도체 기억 장치에 적용하여 실시하기에 편리하도록 하기 위한 일실시예에 불과할 뿐이며, 이것에 의해 본 발명의 요지가 훼손되어서는 아니될 것이다.

본 발명의 ODT 기술이 적용된 반도체 기억 소자는 클럭 인에이블 신호(CKE)를 입력받아 버퍼링한 후 버퍼링된 클럭 인에이블 신호(ICKE)를 출력하기 위한 클럭 인에이블 버퍼(1910); 외부클럭(CLK)과 외부클럭바아(CLKB)를 입력받아 ODT제어부에서 사용되는 클럭신호인 ODT제어부용 클럭신호(CLKODT)를 출력하기 위한 클럭 버퍼(1920); 입력되는 ODT신호(ODT)와 기준전압(Vref)을 비교하여 ODT비교신호(ODTI)를 출력하기 위한 ODT 버퍼(1930); 외부클럭(CLK)과 외부클럭바아(CLKB)를 이용하여 라이징 클럭(RCLK)과 폴링 클럭(FCLK)을 출력하기 위한 DLL회로(1940); 프리차지 신호를 입력받아 파워 다운 모드로부터의 이탈이 프리차지 파워 다운 모드로부터의 이탈인지 액티브 파워 다운 모드로부터의 이탈인지를 감지하고, 프리차지 파워 다운 모드로부터의 이탈과 액티브 파워 다운 모드로부터의 이탈에 대하여 각기 다른 논리상태를 갖는 모드구분신호를 출력하기 위한 클럭인에이블제어부(1980); 모드구분신호(CKEODT), ODT제어부용 클럭신호(CLKODT), ODT비교신호(ODTI), 리셋신호(RESET), 라이징 클럭(RCLK) 및 폴링 클럭(FCLK)을 입력받아 RTT의 발생을 제어하기 위한 RTT발생 제어신호(ODTF)를 출력하기 위한 ODT 제어부(1950); 및 RTT발생 제어신호(ODTF)에 제어되어 RTT를 온/오프하기 위한 RTT 발생부(1960)를 포함할 수 있다.

즉, 도 19에서는 앞서 설명한 클럭인에이블내부신호(CKEIN)의 기능을 버퍼링된클럭인에이블신호(ICKE)가, 제1버퍼링된클럭(CLOCK1) 및 제2버퍼링된클럭(CLOCK2)의 기능을 ODT제어부용클럭신호(CLKODT)가 수행하도록 한다. 그리고 도 3의 종래기술과 비교하여 클럭인에이블제어부(1980)와 프리차지신호(PRE) 그리고 리셋신호(RESET) 등이 추가됨을 알 수 있다.

도 20 및 도 21은 도 19의 회로에서의 동작 타이밍도이다. 도 20은 DLL의 출력인 라이징클럭(RCLK)과 폴링클럭(FCLK)의 생성시점까지 모드구분신호(CKEODT)의 발생을 쉬프트한 경우의 타이밍도이다. 그리고 도 21은 DLL의 출력인 라이징클럭(RCLK)과 폴링클럭(FCLK)이 안정화되는 시점까지 모드구분신호(CKEODT)의 발생을 쉬프트한 경우의 타이밍도이다.

도 20에 대하여 설명하면, T1에서 "H"상태의 ODT신호가 인가되더라도 모드구분신호(CKEODT)가 아직 "L"상태이므로 ODT 제어회로는 파워 다운 모드로 동작한다. 즉, 도 9에 보이는 바와 같이 종래에는 ODT 턴온 지연시간(tAONPD)이 3클럭이나 되기 때문에 너무나 많은 시간의 지연이 발생하고 특히 요구되는 사양을 만족시키지도 못하였으나, 본 발명에 따르면 "0.5 클럭 + 비동기"로 동작하여 T2~T3에서 RTT가 생성된다.

한편, 도 21에 대하여 설명하면, T4 이전에 인가된 ODT신호는 파워 다운 모드로 동작하며, 라이징클럭(RCLK)과 폴링클럭(FCLK)이 안정화되는 T4부터 라이징클럭(RCLK) 및 폴링클럭(FCLK)을 이용하여 RTT를 온/오프할 수 있다.

또한, 본 발명의 ODT 모드 전환 방법으로는, 프리차지신호(PRE)를 입력받아 파워 다운 모드로부터의 이탈이 프리차지 파워 다운 모드(precharge power down mode)로부터의 이탈인지 액티브 파워 다운 모드(active power down mode)로부터의 이탈인지를 감지하고, 프리차지 파워 다운 모드로부터의 이탈과 액티브 파워 다운 모드로부터의 이탈에 대하여 각기 다른 논리상태를 갖는 모드구분신호(CKEODT)를 출력하는 단계, 모드구분신호(CKEODT)에 따라 파워 다운 모드에서 동작하거나 액티브/스탠바이 모드에서 동작하면서 RTT발생제어신호(ODTF)를 출력하는 단계; 및 RTT발생제어신호(ODTF)에 따라 RTT를 생성하는 단계를 포함할 수 있다.

그리고, 모드구분신호(CKEODT)를 출력하는 단계는, 외부로부터 입력되는 클럭인에이블신호(CKE)의 정보를 갖는 반도체 소자의 내부 신호인 클럭인에이블내부신호(CKEIN)와 프리차지신호(PRE)를 입력받아 프리차지 파워 다운 모드로부터의 이탈인지 액티브 파워 다운 모드로부터의 이탈인지를 구분할 수 있는 신호를 출력하는 단계; 초기화를 위한 리셋신호(RESET)와 외부 클럭이 버퍼링된 버퍼링된클럭을 이용하여 프리차지 파워 다운 모드로부터의 이탈인 경우에 출력되는 신호를 일정시간 지연시켜 지연프리차지파워다운이탈신호를 출력하는 단계; 및 지연프리차지파워다운이탈신호와 액티브 파워 다운 모드로부터의 이탈인 경우에 출력되는 액티브파워다운이탈신호를 논리결합하여 모드구분신호(CKEODT)를 출력하는 단계를 포함할 수 있다.

그리고, 프리차지 파워 다운 모드로부터의 이탈인지 액티브 파워 다운 모드로부터의 이탈인지를 구분할 수 있는 신호를 출력하는 단계는, 다시 클럭인에이블내부신호를 입력받아 클럭인에이블신호의 감지를 확인하고 출력하는 단계; 및 클럭인에이블신호의 감지를 확인하고 출력하는 단계의 출력과 프리차지신호(PRE)를 입력받아 프리차지 파워 다운 모드로부터의 이탈인지 혹은 액티브 파워 다운 모드로부터의 이탈인지를 구분하여 출력하는 단계를 포함할 수 있다.

그리고, 모드구분신호(CKEODT)를 출력하는 단계는, 다시 ODT제어수단에서 사용되는 ODT제어수단용 클럭신호, 지연 고정루프로부터 출력되는 라이징클럭과 폴링클럭 그리고 상기 모드구분신호를 입력받아 상기 ODT제어부에서 사용되는 제어신호를 발생하는 단계와 상기 ODT제어부에서 사용되는 제어신호를 발생하는 단계로부터 출력되는 제어신호에 제어되어 입력되는 ODT비교신호가 일정시간 지연된 RTT발생제어신호를 출력하는 단계를 포함할 수 있다.

이상과 같이, 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 이것에 의해 한정되지 않으며 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술사상과 아래에 기재될 특허청구범위의 균등범위 내에서 다양한 수정 및 변형이 가능함은 물론이다.

발명의 효과

본 발명은 이탈되는 파워 다운 모드를 구분하여 이를 파워 다운 모드와 액티브/스탠바이 모드간의 전환에 이용함으로써 외부로부터 입력되는 ODT 신호의 변화를 정상적으로 처리할 수 있는 효과가 있다.

더불어, 본 발명은 파워 다운 모드로부터 액티브/스탠바이 모드로의 전환을 파워 다운 모드의 이탈 후 DLL 회로로부터 출력되는 클럭이 안정화될 때까지 천이시킴으로써 외부로부터 입력되는 ODT 신호의 변화를 정상적으로 처리할 수 있는 특유의 효과가 있다.

프리차지 다운 모드로부터의 이탈시 외부의 클럭인에이블신호(CKE)의 변화와 내부의 ODT회로에서의 모드의 변화를 분리함으로써 DRAM 동작 주파수 및 DLL 회로의 형태에 관계없이 외부로부터 입력되는 ODT신호의 변화에 대한 RTT 생성 시점을 적절히 조절할 수 있다.

(57) 청구의 범위

청구항 1.

반도체 소자 내 뱅크 액세스 유무에 관한 정보를 포함하는 프리차지신호를 입력받아 파워 다운 모드로부터의 이탈이 프리차지 파워 다운 모드로부터의 이탈인지 액티브 파워 다운 모드로부터의 이탈인지를 감지하고, 프리차지 파워 다운 모드로부터의 이탈과 액티브 파워 다운 모드로부터의 이탈에 대하여 각기 다른 논리상태를 갖는 모드구분신호를 출력하기 위한 클럭인에이블제어수단;

상기 모드구분신호에 따라 파워 다운 모드에서 동작하거나 액티브/스탠바이 모드에서 동작하기 위한 ODT제어수단; 및
상기 ODT제어수단으로부터 출력되는 RTT발생제어신호에 따라 RTT를 생성하기 위한 RTT 발생수단
을 포함하는 ODT 모드 전환 회로.

청구항 2.

제1항에 있어서, 상기 클럭인에이블제어수단은,

외부로부터 입력되는 클럭인에이블신호의 정보를 갖는 반도체 소자의 내부 신호인 클럭인에이블내부신호, 상기 프리차지신호, 외부 클럭이 버퍼링된 신호인 버퍼링된클럭, 및 상기 클럭인에이블제어수단을 초기화하는 신호인 리셋신호를 입력받아 상기 프리차지 파워 다운 모드로부터의 이탈과 상기 액티브 파워 다운 모드로부터의 이탈을 구분할 수 있는 상기 모드구분신호를 출력함을 특징으로 하는 ODT 모드 전환 회로.

청구항 3.

제1항에 있어서, 상기 클럭인에이블제어수단은,

외부로부터 입력되는 클럭인에이블신호의 정보를 갖는 반도체 소자의 내부 신호인 클럭인에이블내부신호와 상기 프리차지신호를 입력받아 상기 프리차지 파워 다운 모드로부터의 이탈인지 상기 액티브 파워 다운 모드로부터의 이탈인지를 구분하여 출력하는 파워 다운 모드 이탈 감지부;

하기 클럭카운트부를 초기화하기 위한 리셋신호와 외부 클럭이 버퍼링된 버퍼링된클럭을 이용하여 상기 파워 다운 모드 이탈 감지부로부터 출력되는 프리차지파워다운이탈신호를 일정시간 지연시켜 지연프리차지파워다운이탈신호를 출력하기 위한 클럭카운트부; 및

상기 지연프리차지파워다운이탈신호와 상기 파워 다운 모드 이탈 감지부로부터 출력되는 액티브파워다운이탈신호를 논리결합하여 상기 모드구분신호를 출력하기 위한 모드구분신호발생부

를 포함하는 것을 특징으로 하는 ODT 모드 전환 회로.

청구항 4.

제3항에 있어서, 파워 다운 모드 이탈 감지부는,

상기 클럭인에이블내부신호를 입력받아 클럭인에이블신호의 감지를 확인하고 출력하기 위한 클럭인에이블감지부; 및

상기 클럭인에이블감지부로부터의 출력과 상기 프리차지신호를 입력받아 프리차지 파워 다운 모드로부터의 이탈인지 혹은 액티브 파워 다운 모드로부터의 이탈인지를 구분하여 출력하기 위한 디코딩부

를 포함하는 것을 특징으로 하는 ODT모드 전환 회로

청구항 5.

제4항에 있어서, 상기 클럭인에이블감지부는,

상기 클럭인에이블내부신호를 일정시간 지연시키기 위한 지연부;

상기 지연부의 출력을 반전시키기 위한 제1인버터;

상기 클럭인에이블내부신호와 상기 인버터의 출력을 입력으로 하는 제1 낸드게이트;

상기 제1 낸드게이트의 출력을 반전시키기 위한 제2인버터

를 포함하는 것을 특징으로 하는 ODT모드 전환 회로

청구항 6.

제4항 또는 제5항에 있어서, 상기 디코딩부는,

상기 클럭인에이블감지부로부터의 출력과 상기 프리차지신호를 입력으로 하는 제2 낸드게이트;

상기 제2 낸드게이트의 출력을 반전시켜 상기 프리차지파워다운이탈신호를 출력하기 위한 제3인버터;

상기 프리차지신호를 반전시키기 위한 제4인버터;

상기 클럭인에이블감지부로부터의 출력과 제4인버터의 출력을 입력으로 하는 제3 낸드게이트; 및

상기 제3 낸드게이트의 출력을 반전시켜 상기 액티브파워다운신호(APDEX)를 출력하기 위한 제5인버터

를 포함하는 것을 특징으로 하는 ODT모드 전환 회로

청구항 7.

제3항에 있어서, 상기 클럭카운트부는,

상기 프리차지파워다운이탈신호와 하기 래치부를 초기화하기 위한 리셋신호 및 하기 플립플롭부로부터 피드백되는 피드백신호를 입력받고 래치된 파워다운이탈신호를 출력하기 위한 래치부; 및

상기 래치된 파워다운이탈신호를 입력받아 일정 클럭 만큼 쉬프트한 후 출력하기 위한 플립플롭부

를 포함하는 것을 특징으로 하는 ODT모드 전환 회로

청구항 8.

제7항에 있어서, 상기 래치부는,

상기 피드백신호와 버퍼링된클럭을 입력으로 하는 제1낸드게이트;

상기 제1낸드게이트의 출력에 제어되고 일단이 전원전압단과 연결된 제1피모스트랜지스터;

프리차지파워다운이탈신호(PPDEX)에 제어되고 상기 제1피모스트랜지스터의 타단 및 접지전압단과 연결된 직렬의 제2 피모스트랜지스터 및 엔모스트랜지스터;

상기 제2피모스트랜지스터와 엔모스트랜지스터간의 접점에서의 신호를 입력으로 하는 제1인버터; 및

상기 제1인버터의 출력과 상기 리셋신호를 입력받아 그 결과를 상기 접점에 출력하기 위한 제2낸드게이트
를 포함하는 것을 특징으로 하는 ODT 모드 전환 회로.

청구항 9.

제8항에 있어서, 상기 플립플롭부는,

상기 버퍼링된클럭에 제어되어 상기 래치부로부터의 출력을 전달하기 위한 제1 전달게이트;

제1 전달게이트의 출력과 리셋신호를 입력받는 제3낸드게이트;

상기 제3낸드게이트의 출력을 반전시켜 제1전달게이트의 출력노드에 출력하기 위한 제2인버터; 및

제3낸드게이트의 출력을 반전시켜 출력하기 위한 제3인버터

를 포함하고, 제3인버터의 출력이 상기 피드백신호임을 특징으로 하는 ODT 모드 전환 회로.

청구항 10.

제3항에 있어서, 모드구분신호발생부는,

상기 지연프리차지파워다운이탈신호와 상기 액티브파워다운이탈신호를 입력으로 하는 노아게이트;

상기 노아게이트의 출력과 상기 제2낸드게이트의 출력을 입력으로 하는 제1낸드게이트;

상기 클럭인에이블내부신호와 상기 제1낸드게이트의 출력을 입력으로 하는 제2낸드게이트; 및

상기 제2낸드게이트의 출력을 반전시키는 인버터

를 포함하는 것을 특징으로 하는 ODT 모드 전환 회로.

청구항 11.

제3항에 있어서, 상기 ODT 제어수단은,

ODT제어수단에서 사용되는 ODT제어수단용 클럭신호, 지연고정루프로부터 출력되는 라이징클럭과 폴링클럭 그리고
상기 모드구분신호를 입력받아 상기 ODT제어수단에서 사용되는 제어신호를 발생시키기 위한 ODT제어신호발생부; 및

상기 ODT제어신호발생부로부터 출력되는 제어신호에 제어되어 입력되는 ODT비교신호가 일정시간 지연된 RTT발생제어신호를 출력하기 위한 RTT발생제어신호출력부

를 포함하는 것을 특징으로 하는 ODT 모드 전환 회로.

청구항 12.

제11항에 있어서, 상기 ODT제어신호발생부는,

상기 ODT제어수단용 클럭신호를 입력받아 ODT제어수단용 클럭신호가 일정시간 지연된 제1지연클럭과 상기 지연된 클럭의 반대위상을 갖는 제1지연반전클럭을 출력하기 위한 제1ODT제어신호발생부;

상기 라이징클럭과 상기 모드구분신호를 입력받아 지연된 지연라이징클럭과 상기 지연된 라이징클럭의 반대위상을 갖는 지연라이징반전클럭을 출력하기 위한 제2ODT제어신호발생부; 및

상기 폴링클럭과 상기 모드구분신호를 입력받아 지연된 지연폴링클럭과 상기 지연된 폴링클럭의 반대위상을 갖는 지연폴링반전클럭을 출력하기 위한 제3ODT제어신호발생부

를 포함하는 것을 특징으로 하는 ODT 모드 전환 회로.

청구항 13.

제12항에 있어서, 상기 RTT발생제어신호출력부는,

상기 제1지연클럭과 제1지연반전클럭을 이용하여 ODT비교신호를 래치하기 위한 제1래치부;

상기 제1지연반전클럭과 제1지연클럭을 이용하여 상기 제1래치부의 출력의 위상을 반전시키기 위한 제2래치부;

상기 제1지연클럭과 제1지연반전클럭을 이용하여 상기 제2래치부의 출력의 위상을 반전시키기 위한 제3래치부;

상기 지연폴링반전클럭과 지연폴링클럭을 이용하여 상기 제3 래치부의 출력의 위상을 반전시키기 위한 제4 래치부;

상기 지연라이징반전클럭과 지연라이징클럭을 이용하여 상기 제4 래치부의 출력의 위상을 반전시키기 위한 제5 래치부;

상기 지연폴링반전클럭과 지연폴링클럭을 이용하여 상기 제5 래치부의 출력의 위상을 반전시키기 위한 제6 래치부; 및

상기 제5래치부의 출력과 상기 제6래치부의 반전된 출력을 입력으로 하는 낸드게이트

를 포함하는 것을 특징으로 하는 ODT 모드 전환 회로.

청구항 14.

제12항에 있어서, 제1ODT제어신호발생부는,

접지전압과 전원전압에 제어되어 상기 ODT제어수단용 클럭신호를 전달하기 위한 전달게이트;

상기 전달게이트의 출력을 반전시키기 위한 제1인버터;

상기 ODT제어수단용 클럭신호를 지연시켜 출력하기 위한 직렬연결된 제2 및 제3 인버터

를 포함하는 것을 특징으로 하는 ODT 모드 전환 회로.

청구항 15.

제12항에 있어서, 상기 제2ODT제어신호발생부는,

상기 라이징클럭을 반전시키기 위한 제1인버터;

제1인버터의 출력과 상기 모드구분신호를 입력으로 하는 낸드게이트;

접지전압과 전원전압에 제어되어 상기 낸드게이트의 출력을 전달하기 위한 전달게이트;

상기 전달게이트의 출력을 반전시키기 위한 제2인버터;

상기 낸드게이트의 출력을 지연시켜 출력하기 위한 제3 및 제4 인버터

를 포함하는 것을 특징으로 하는 ODT 모드 전환 회로.

청구항 16.

제12항에 있어서, 상기 제3ODT제어신호발생부는,
상기 폴링클럭을 반전시키기 위한 제1 인버터;
제1 인버터의 출력과 상기 모드구분신호를 입력으로 하는 낸드게이트;
접지전압과 전원전압에 제어되어 상기 낸드게이트의 출력을 전달하기 위한 전달게이트;
상기 전달게이트의 출력을 반전시키기 위한 제2인버터;
상기 낸드게이트의 출력을 지연시켜 출력하기 위한 제3 및 제4 인버터
를 포함하는 것을 특징으로 하는 ODT 모드 전환 회로.

청구항 17.

제13항에 있어서, 제1 래치부는,
상기 제1지연클럭과 상기 제1지연반전클럭에 의해 제어되어 입력되는 상기 ODT비교신호를 전달하기 위한 전달게이트;
및
전달게이트의 출력을 래치하기 위하여 역병렬결합된 제1 및 제2인버터
를 포함하는 것을 특징으로 하는 ODT 모드 전환 회로.

청구항 18.

반도체 기억 소자에 있어서,
외부로부터 클럭 인에이블 신호를 입력받아 버퍼링한 후 버퍼링된 클럭 인에이블 신호를 출력하기 위한 클럭 인에이블 버퍼링 수단;
외부로부터 입력되는 클럭인 외부클럭에 의해 하기 ODT제어수단에서 사용되는 ODT제어부용 클럭신호를 출력하기 위한 클럭 버퍼링 수단;
입력되는 ODT신호의 전위와 기준전압을 비교하여 ODT비교신호를 출력하기 위한 ODT 버퍼링 수단;
상기 외부클럭을 이용하여 라이징 클럭과 폴링 클럭을 출력하기 위한 지연고정루프회로;
반도체 기억 소자 내 뱅크의 액세스 유무에 관한 정보를 포함하는 프리차지신호를 입력받아 파워 다운 모드로부터의 이탈이 프리차지 파워 다운 모드로부터의 이탈인지 액티브 파워 다운 모드로부터의 이탈인지를 감지하고, 프리차지 파워 다운 모드로부터의 이탈과 액티브 파워 다운 모드로부터의 이탈에 대하여 각기 다른 논리상태를 갖는 모드구분신호를 출력하기 위한 클럭인에이블제어수단;
상기 모드구분신호, 상기 ODT제어부용 클럭신호, 상기 ODT비교신호, 하기 ODT제어수단을 초기화시키기 위한 리셋신호, 상기 라이징 클럭 및 폴링 클럭을 입력받아 RTT의 발생을 제어하기 위한 RTT발생 제어신호를 출력하기 위한 ODT 제어수단; 및
상기 RTT발생 제어신호에 제어되어 RTT를 온/오프하기 위한 RTT 발생수단
을 포함하는 것을 특징으로 하는 ODT 모드 전환 회로.

청구항 19.

제18항에 있어서, 상기 클럭인에이블제어수단은,

외부로부터 입력되는 클럭인에이블신호의 정보를 갖는 반도체 소자의 내부 신호인 클럭인에이블내부신호와 상기 프리차지신호를 입력받아 상기 프리차지 파워 다운 모드로부터의 이탈인지 상기 액티브 파워 다운 모드로부터의 이탈인지를 구분하여 출력하는 파워 다운 모드 이탈 감지부;

하기 클럭카운트부를 초기화하기 위한 리셋신호와 외부 클럭이 버퍼링된 버퍼링된클럭을 이용하여 상기 파워 다운 모드 이탈 감지부로부터 출력되는 프리차지파워다운이탈신호를 일정시간 지연시켜 지연프리차지파워다운이탈신호를 출력하기 위한 클럭카운트부; 및

상기 지연프리차지파워다운이탈신호와 상기 파워 다운 모드 이탈 감지부로부터 출력되는 액티브파워다운이탈신호를 논리결합하여 상기 모드구분신호를 출력하기 위한 모드구분신호발생부

를 포함하는 것을 특징으로 하는 ODT 모드 전환 회로.

청구항 20.

제19항에 있어서, 파워 다운 모드 이탈 감지부는,

상기 클럭인에이블내부신호를 입력받아 클럭인에이블신호의 감지를 확인하고 출력하기 위한 클럭인에이블감지부; 및

상기 클럭인에이블감지부로부터의 출력과 상기 프리차지신호를 입력받아 프리차지 파워 다운 모드로부터의 이탈인지 혹은 액티브 파워 다운 모드로부터의 이탈인지를 구분하여 출력하기 위한 디코딩부

를 포함하는 것을 특징으로 하는 ODT모드 전환 회로

청구항 21.

제19항에 있어서, 상기 클럭카운트부는,

상기 프리차지파워다운이탈신호와 하기 래치부를 초기화하기 위한 리셋신호 및 하기 플립플롭부로부터 피드백되는 피드백신호를 입력받고 래치된 파워다운이탈신호를 출력하기 위한 래치부; 및

상기 래치된 파워다운이탈신호를 입력받아 일정 클럭 만큼 쉬프트한 후 출력하기 위한 플립플롭부

를 포함하는 것을 특징으로 하는 ODT모드 전환 회로

청구항 22.

제19항에 있어서, 상기 ODT 제어수단은,

ODT제어수단에서 사용되는 ODT제어수단용 클럭신호, 지연고정루프로부터 출력되는 라이징클럭과 폴링클럭 그리고 상기 모드구분신호를 입력받아 상기 ODT제어수단에서 사용되는 제어신호를 발생시키기 위한 ODT제어신호발생부; 및

상기 ODT제어신호발생부로부터 출력되는 제어신호에 제어되어 입력되는 ODT비교신호가 일정시간 지연된 RTT발생제어신호를 출력하기 위한 RTT발생제어신호출력부

를 포함하는 것을 특징으로 하는 ODT 모드 전환 회로.

청구항 23.

제22항에 있어서, 상기 ODT제어신호발생부는,

상기 ODT제어수단용 클럭신호를 입력받아 ODT제어수단용 클럭신호가 일정시간 지연된 제1지연클럭과 상기 지연된 클럭의 반대위상을 갖는 제1지연반전클럭을 출력하기 위한 제1ODT제어신호발생부;

상기 라이징클럭과 상기 모드구분신호를 입력받아 지연된 지연라이징클럭과 상기 지연된 라이징클럭의 반대위상을 갖는 지연라이징반전클럭을 출력하기 위한 제2ODT제어신호발생부; 및

상기 폴링클럭과 상기 모드구분신호를 입력받아 지연된 지연폴링클럭과 상기 지연된 폴링클럭의 반대위상을 갖는 지연 폴링반전클럭을 출력하기 위한 제3ODT제어신호발생부

를 포함하는 것을 특징으로 하는 ODT 모드 전환 회로.

청구항 24.

제23항에 있어서, 상기 RTT발생제어신호출력부는,

상기 제1지연클럭과 제1지연반전클럭을 이용하여 ODT비교신호를 래치하기 위한 제1래치부;

상기 제1지연반전클럭과 제1지연클럭을 이용하여 상기 제1래치부의 출력의 위상을 반전시키기 위한 제2래치부;

상기 제1지연클럭과 제1지연반전클럭을 이용하여 상기 제2래치부의 출력의 위상을 반전시키기 위한 제3래치부;

상기 지연폴링반전클럭과 지연폴링클럭을 이용하여 상기 제3 래치부의 출력의 위상을 반전시키기 위한 제4 래치부;

상기 지연라이징반전클럭과 지연라이징클럭을 이용하여 상기 제4 래치부의 출력의 위상을 반전시키기 위한 제5 래치부;

상기 지연폴링반전클럭과 지연폴링클럭을 이용하여 상기 제5 래치부의 출력의 위상을 반전시키기 위한 제6 래치부; 및

상기 제5래치부의 출력과 상기 제6래치부의 반전된 출력을 입력으로 하는 낸드게이트

를 포함하는 것을 특징으로 하는 ODT 모드 전환 회로.

청구항 25.

프리차지신호를 입력받아 파워 다운 모드로부터의 이탈이 프리차지 파워 다운 모드로부터의 이탈인지 액티브 파워 다운 모드로부터의 이탈인지를 감지하고, 프리차지 파워 다운 모드로부터의 이탈과 액티브 파워 다운 모드로부터의 이탈에 대하여 각각 다른 논리상태를 갖는 모드구분신호를 출력하는 제1단계

상기 모드구분신호에 따라 파워 다운 모드에서 동작하거나 액티브/스탠바이 모드에서 동작하면서 RTT발생제어신호를 출력하는 제2단계; 및

상기 RTT발생제어신호에 따라 RTT를 생성하는 제3단계

를 포함하는 것을 특징으로 하는 ODT 모드 전환 방법.

청구항 26.

제25항에 있어서, 상기 제1단계는,

외부로부터 입력되는 클럭인에이블신호의 정보를 갖는 반도체 소자의 내부 신호인 클럭인에이블내부신호와 상기 프리차지신호를 입력받아 상기 프리차지 파워 다운 모드로부터의 이탈인지 상기 액티브 파워 다운 모드로부터의 이탈인지를 구분하여 출력하는 제4단계;

초기화를 위한 리셋신호와 외부 클럭이 버퍼링된 버퍼링된클럭을 이용하여 상기 프리차지 파워 다운 모드로부터의 이탈인 경우에 출력되는 신호를 일정시간 지연시켜 지연프리차지파워다운이탈신호를 출력하는 제5단계; 및

상기 지연프리차지파워다운이탈신호와 상기 액티브 파워 다운 모드로부터의 이탈인 경우에 출력되는 액티브파워다운이탈신호를 논리결합하여 상기 모드구분신호를 출력하는 제6단계

를 포함하는 것을 특징으로 하는 ODT 모드 전환 방법.

청구항 27.

제26항에 있어서, 제4단계는,

상기 클럭인에이블내부신호를 입력받아 클럭인에이블신호의 감지를 확인하고 출력하는 제7단계; 및

상기 제7단계의 출력과 상기 프리차지신호를 입력받아 프리차지 파워 다운 모드로부터의 이탈인지 혹은 액티브 파워 다운 모드로부터의 이탈인지를 구분할 수 있는 신호를 출력하는 제8단계

를 포함하는 것을 특징으로 하는 ODT모드 전환 방법.

청구항 28.

제26항에 있어서, 상기 제2단계는,

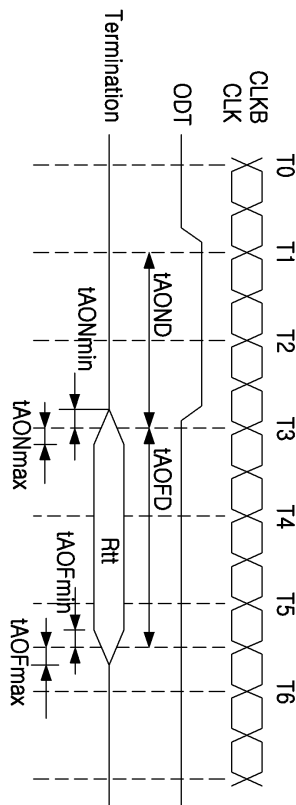
ODT제어수단에서 사용되는 ODT제어수단용 클럭신호, 지연고정루프로부터 출력되는 라이징클럭과 폴링클럭 그리고 상기 모드구분신호를 입력받아 상기 ODT제어수단에서 사용되는 제어신호를 발생하는 제7단계; 및

상기 제7단계로부터 출력되는 제어신호에 제어되어 입력되는 ODT비교신호가 일정시간 지연된 RTT발생제어신호를 출력하는 제8단계

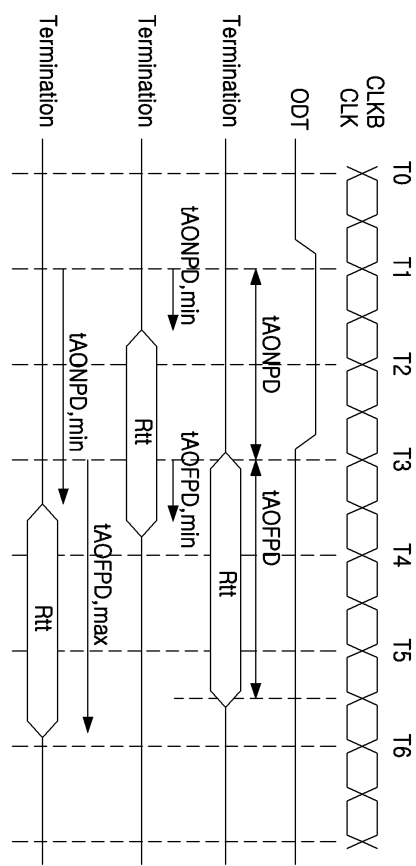
를 포함하는 것을 특징으로 하는 ODT 모드 전환 방법.

도면

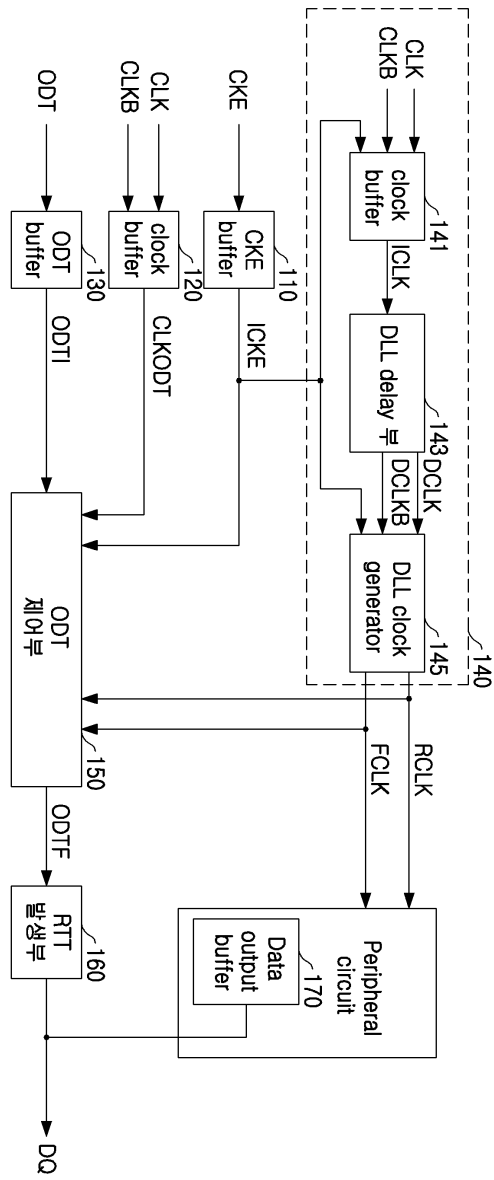
도면1



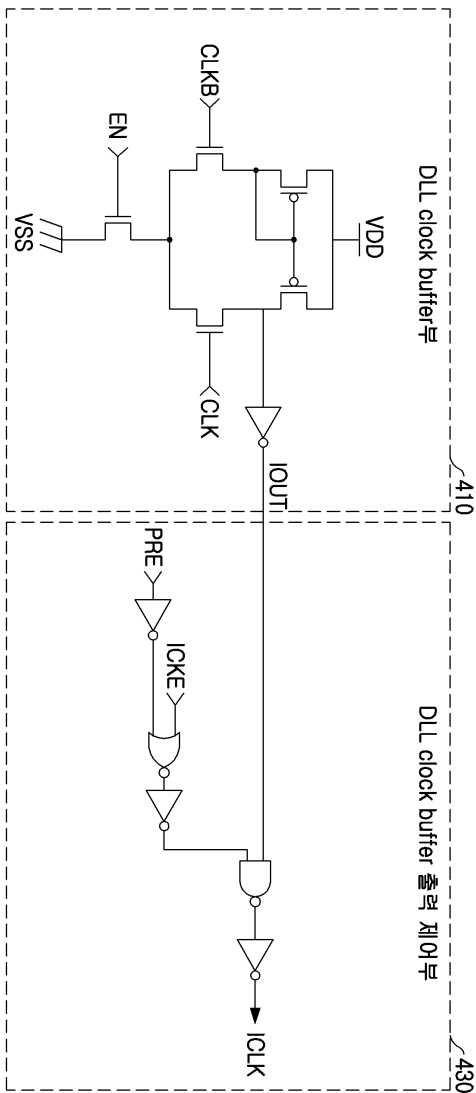
도면2



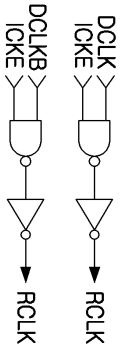
도면3



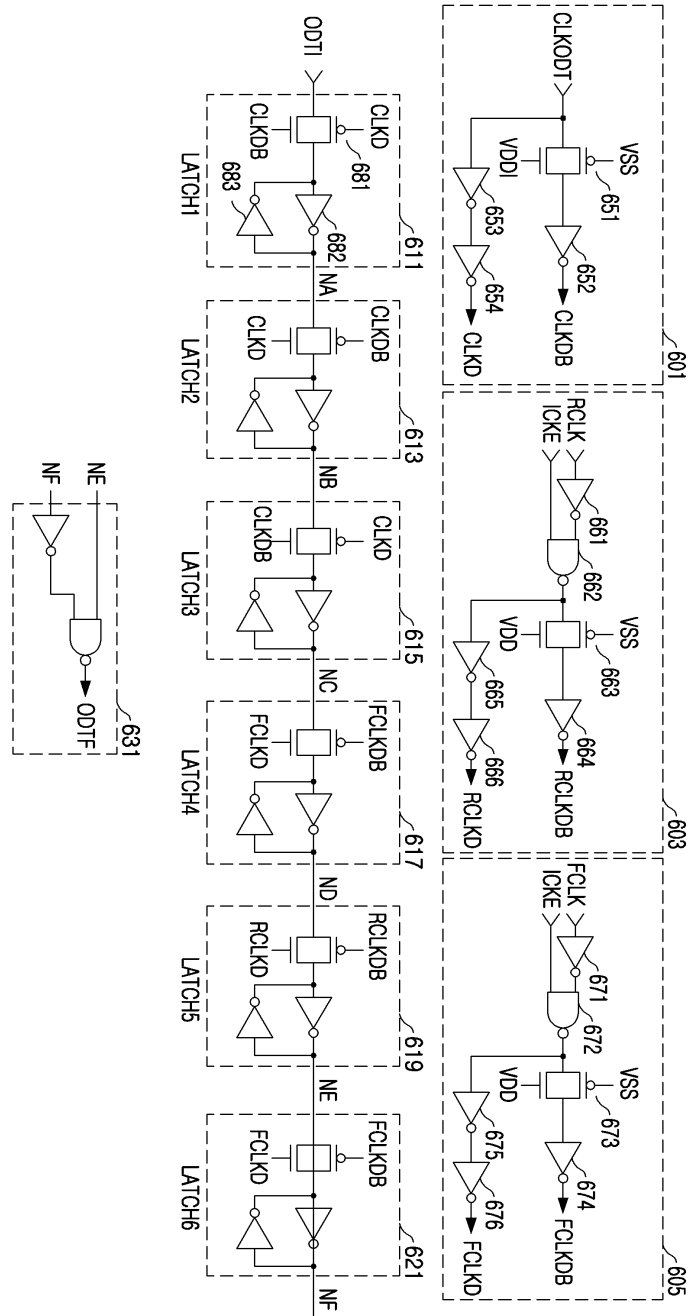
도면4



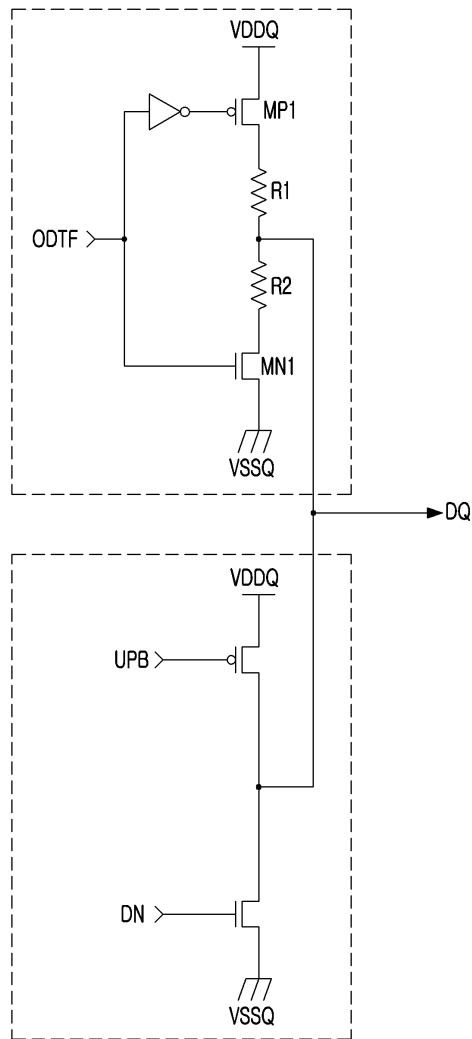
도면5



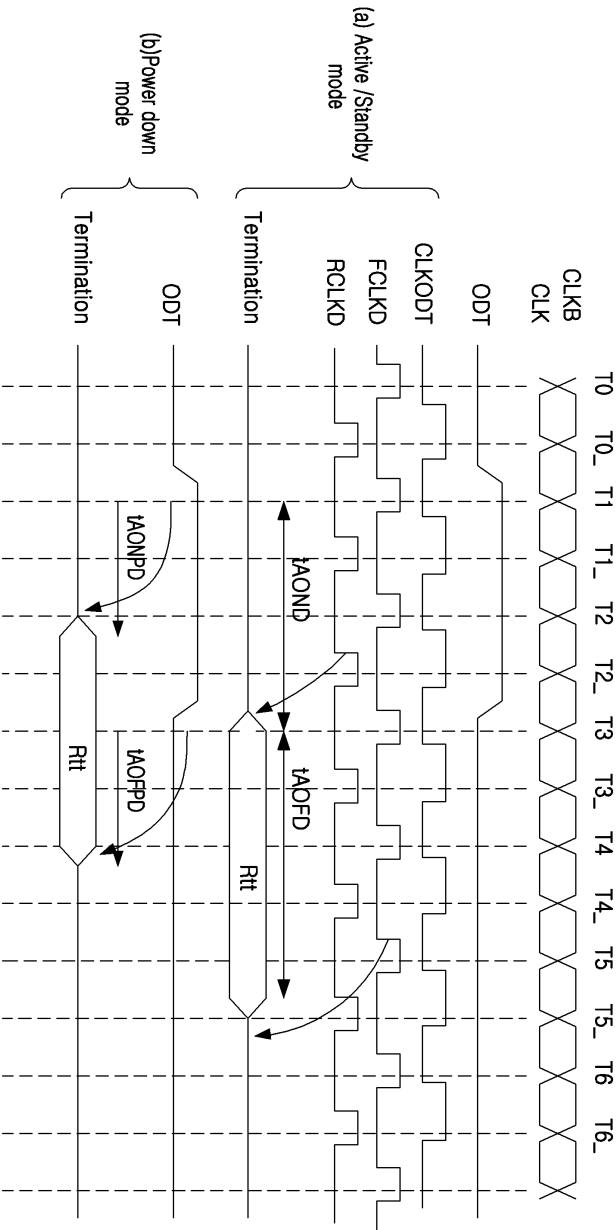
도면6



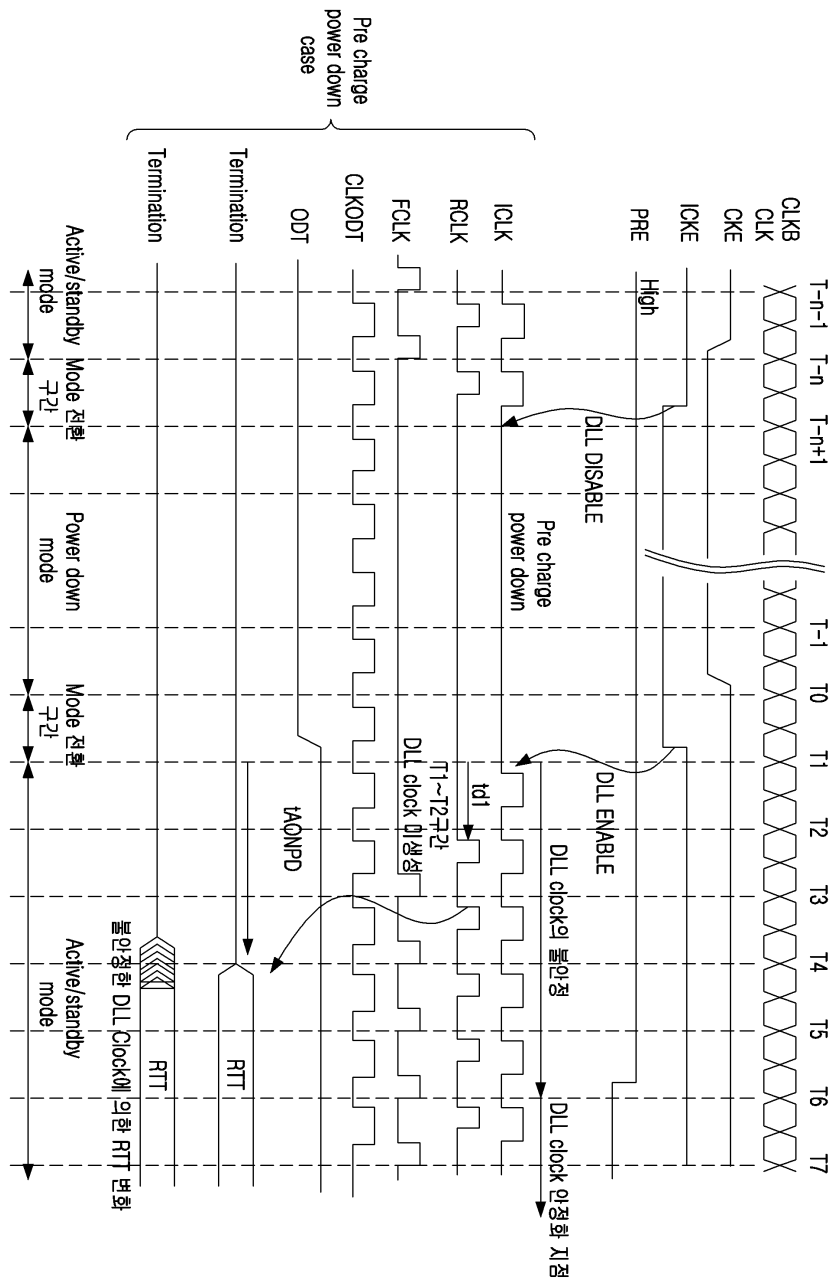
도면7



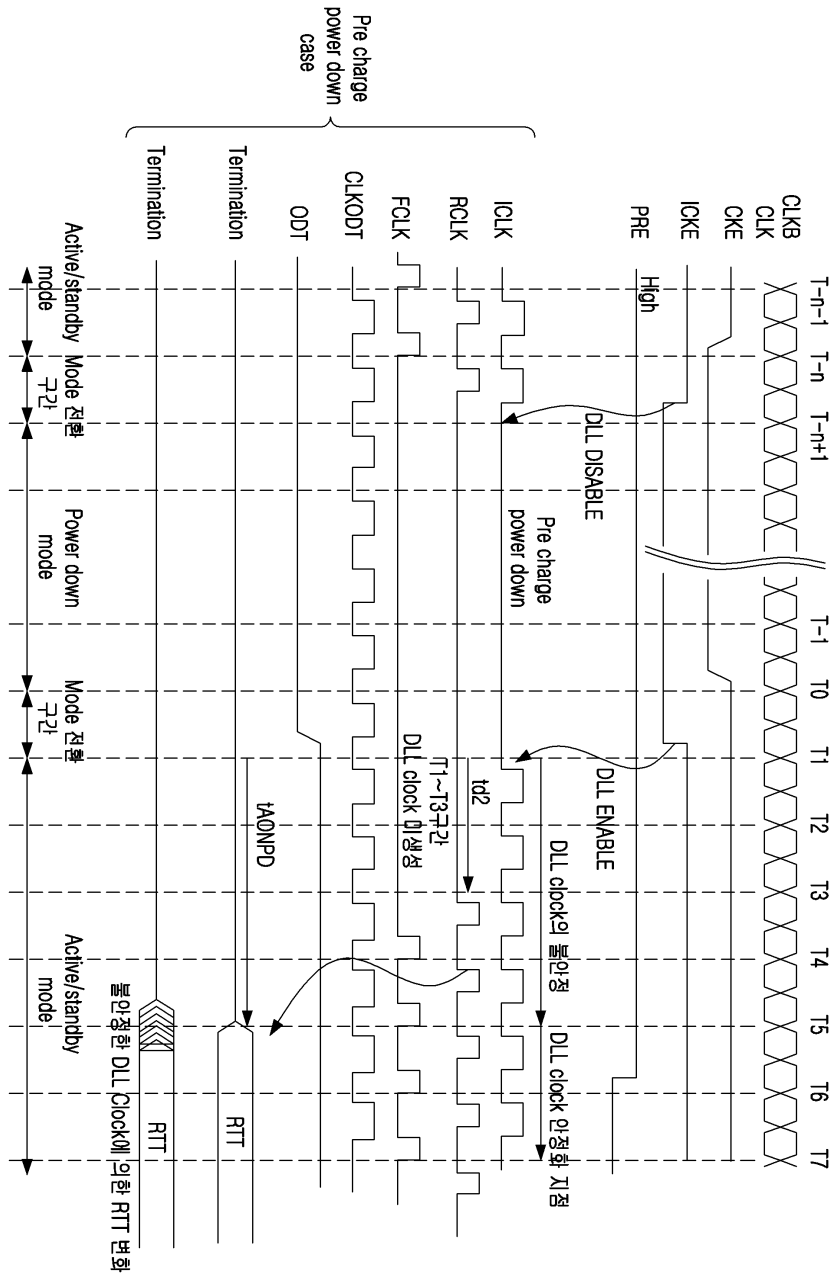
도면8



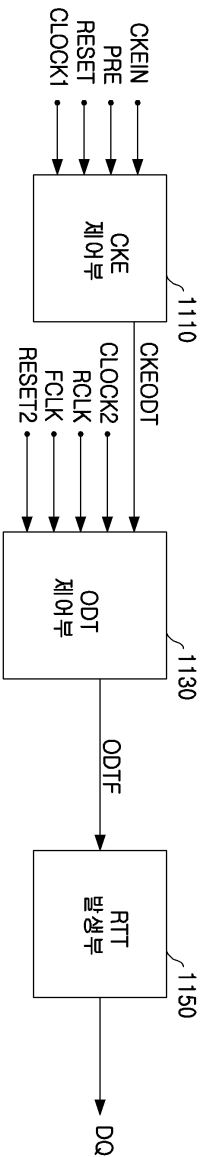
도면9



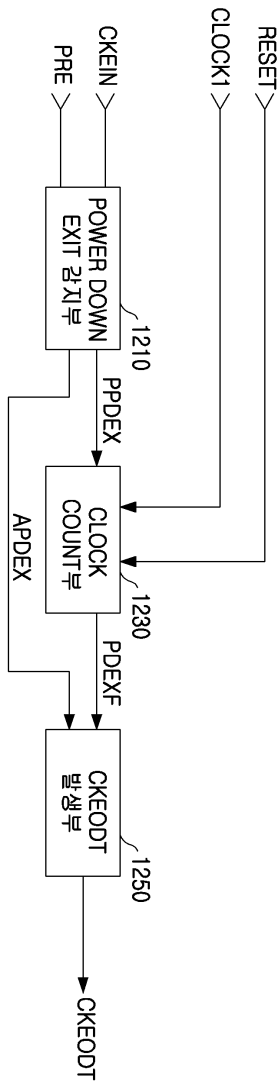
도면10



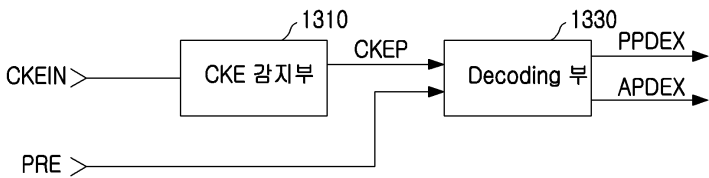
도면11



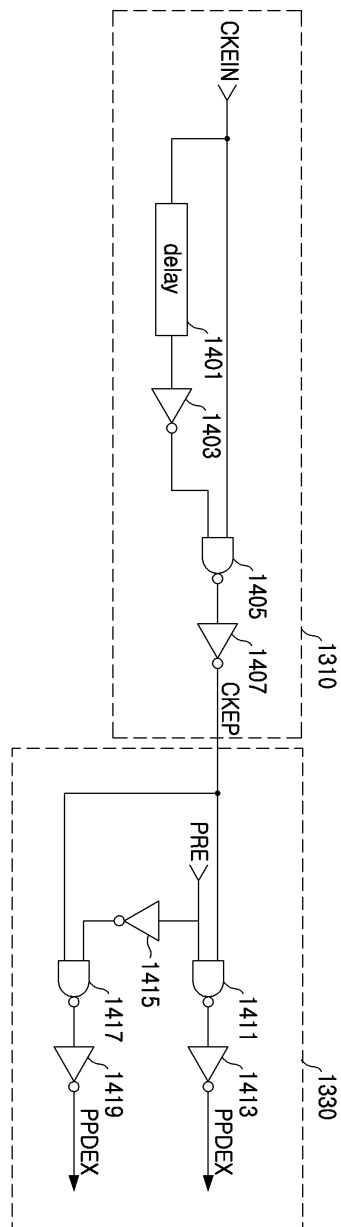
도면12



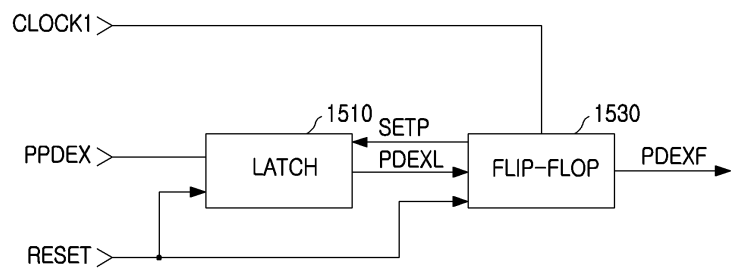
도면13



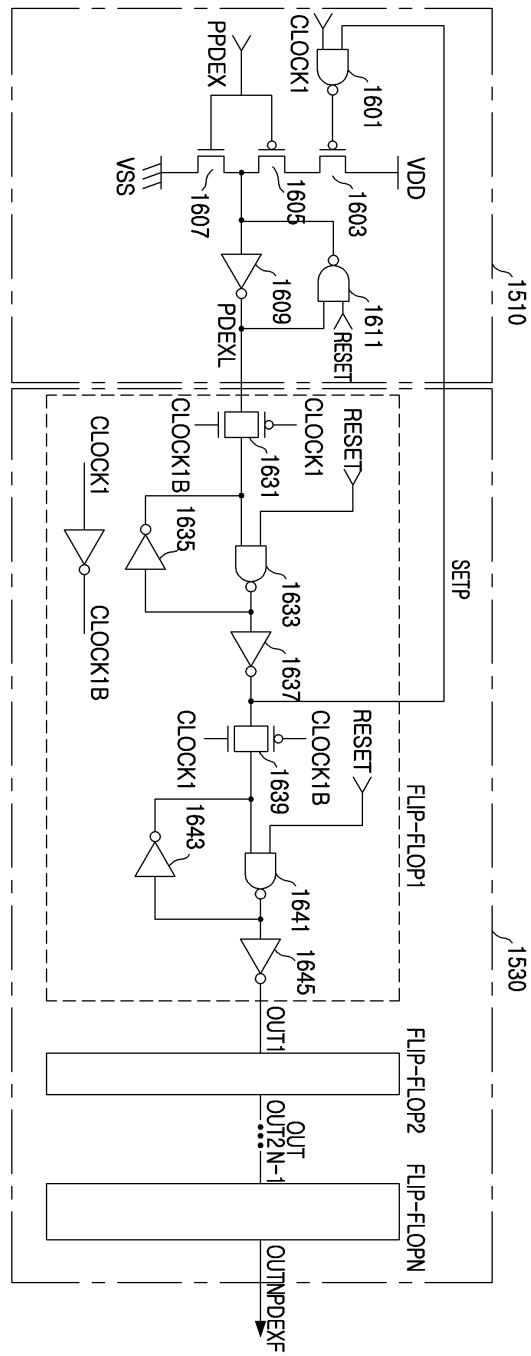
도면14



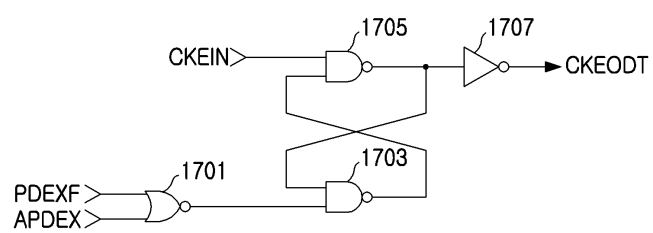
도면15



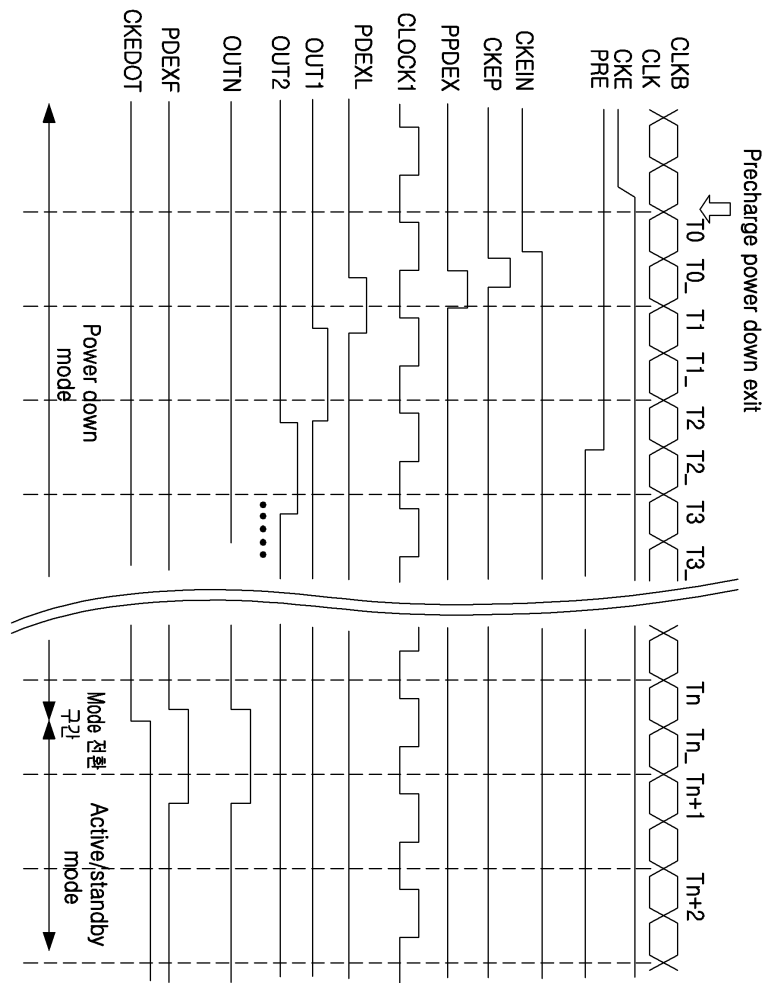
도면16



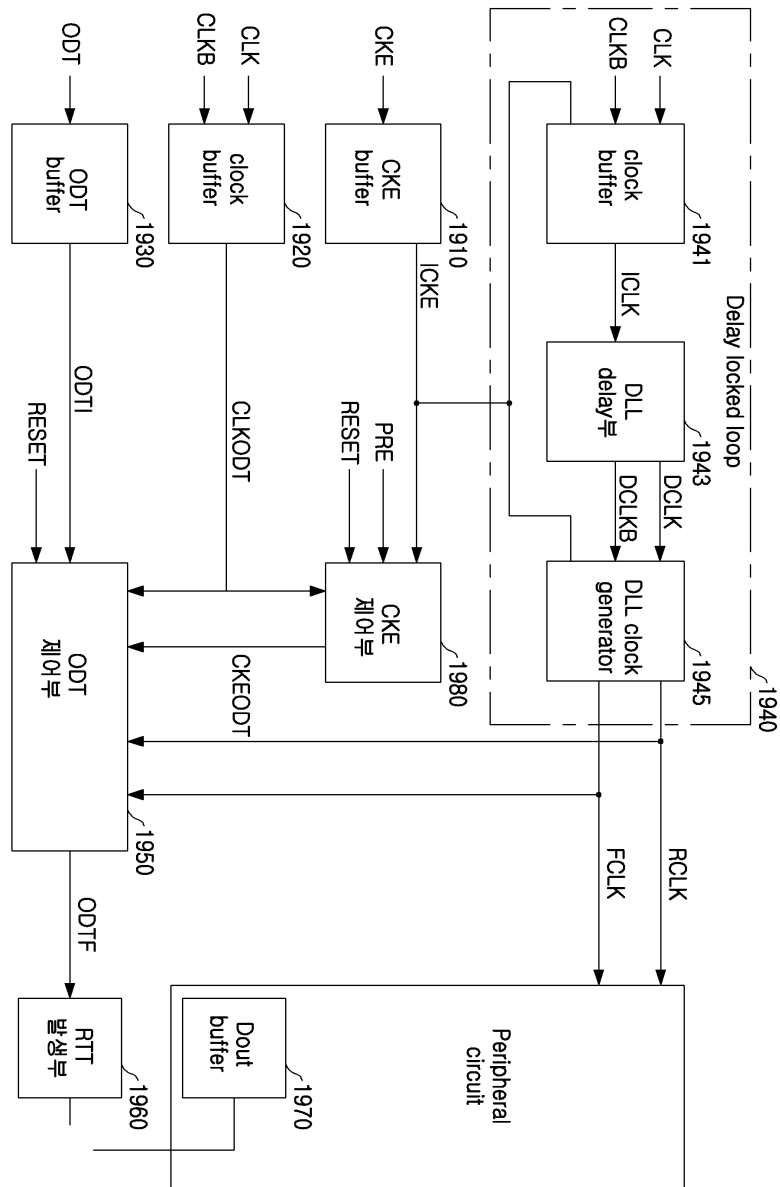
도면17



도면18



도면19



도면20

