

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年3月8日(08.03.2018)



(10) 国際公開番号

WO 2018/042262 A1

(51) 国際特許分類:

G09G 3/36 (2006.01)

G06F 3/044 (2006.01)

G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

G06F 3/041 (2006.01)

G09G 3/3233 (2016.01)

CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷 3 9 8 Kanagawa (JP).

(21) 国際出願番号:

PCT/IB2017/052895

(22) 国際出願日:

2017年5月17日(17.05.2017)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特願 2016-169028 2016年8月31日(31.08.2016) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY

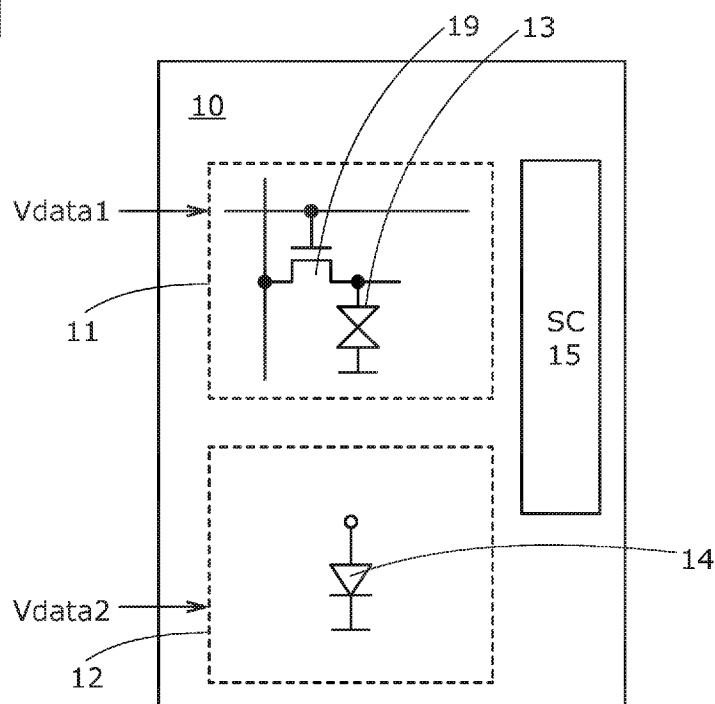
(72) 発明者: 豊 高 耕 平 (TOYOTAKA, Kouhei);
〒2430036 神奈川県厚木市長谷 3 9 8 株式会社
半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA,

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置

[図1]



(57) **Abstract:** Provided is a display device having a novel configuration, which has different kinds of display elements, and in which a function as a position input device is added. The display device has a first pixel, a second pixel and a first circuit. The first pixel has a first transistor, a second transistor, and a first display element, the second pixel has a second display element, the first transistor has a function of controlling supply of image signals to a first electrode of the first display element, the gate of the second transistor is electrically connected to the first electrode, and the first circuit has a

RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

function of detecting the magnitude of the drain current of the second transistor.

(57) 要約: 要約書 異なる種類の表示素子を有し、かつ、位置入力装置としての機能が付加された新規な構成の表示装置を提供する。第1の画素と、第2の画素と、第1の回路と、を有し、上記第1の画素は、第1のトランジスタと、第2のトランジスタと、第1の表示素子と、を有し、上記第2の画素は、第2の表示素子を有し、上記第1のトランジスタは、上記第1の表示素子の第1の電極への画像信号の供給を制御する機能を有し、上記第2のトランジスタのゲートは、上記第1の電極に電氣的に接続され、上記第1の回路は、上記第2のトランジスタのドレイン電流の大きさを検出する機能を有する表示装置。

明細書

発明の名称

表示装置

技術分野

[0001]

本発明の一態様は、表示装置に関する。また、本発明の一態様は、表示装置などの半導体装置に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、照明装置、蓄電装置、記憶装置、それらの駆動方法、または、それらの製造方法、を一例として挙げることができる。

背景技術

[0003]

液晶表示装置や電子ペーパーなどのバックライトや外光などを利用して表示を行う表示装置の場合、使用環境における外光の強度により表示品質が左右されやすい。そこで、下記の特許文献1のように、液晶素子に加えて有機EL素子などの発光素子を表示素子として用いた表示装置が提案されている。液晶素子と発光素子とを表示素子として用いることで、使用環境における外光の強度により表示品質が左右されにくい表示装置を実現することができる。

[先行技術文献]

[特許文献]

[0004]

[特許文献1] 特開2003-228304号公報

発明の概要

発明が解決しようとする課題

[0005]

ところで、位置入力装置としての機能が付加された表示装置には、位置入力装置の機能の一部を表示装置の内部に組み込むインセルタイプと、表示装置の外部に位置入力装置を設けるオンセルタイプとがある。インセルタイプは、位置入力装置を有する表示装置の薄型化、軽量化に有利である。

[0006]

上述したような技術的背景のもと、本発明の一態様は、異なる種類の表示素子を有し、かつ、位置入力装置としての機能が付加された新規な構成の表示装置の提供を、課題の一つとする。或いは、本発明の一態様は、表示装置の薄型化、または小型化を実現することができる、異なる種類の表示素子を有し、かつ、位置入力装置としての機能が付加された表示装置の提供を、課題の一つとする。

[0007]

なお、本発明の一態様は、新規な半導体装置などの提供を、課題の一つとする。なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの課

題の全てを解決する必要はない。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0008]

本発明の一態様に係る表示装置では、第1の表示素子を有する画素と、第2の表示素子を有する画素とを有し、第1の表示素子を有する画素に物体の接近を検出する機能を付加する。そして、第2の表示素子において画像の表示を行い、かつ、第1の表示素子において画像の表示を行わないときに、第1の表示素子を有する画素において物体の接近の検出を行う。

[0009]

具体的に、本発明の一態様に係る表示装置は、第1の画素と、第2の画素と、を有し、前記第1の画素は、第1の表示素子を有し、前記第2の画素は、第2の表示素子を有し、前記第1の画素は、物体の接近を検出する機能を有する。

[0010]

さらに、上記表示装置は、第1の期間と、第2の期間と、を有し、前記第1の期間において、前記第1の表示素子が駆動せず、かつ、前記第2の表示素子が駆動し、前記第2の期間において、前記第1の表示素子が駆動し、かつ、前記第2の表示素子が駆動せず、前記第1の期間において、前記第1の画素が物体の接近を検出しても良い。

[0011]

さらに、上記表示装置は、第1の期間と、第2の期間と、第3の期間と、を有し、前記第1の期間において、前記第1の表示素子が駆動せず、かつ、前記第2の表示素子が駆動し、前記第2の期間において、前記第1の表示素子が駆動し、かつ、前記第2の表示素子が駆動せず、前記第3の期間において、前記第1の表示素子が駆動し、かつ、前記第2の表示素子が駆動し、前記第1の期間において、前記第1の画素が物体の接近を検出しても良い。

[0012]

具体的に、本発明の一態様に係る表示装置は、第1の画素と、第2の画素と、第1の回路と、を有し、前記第1の画素は、第1のトランジスタと、第2のトランジスタと、第1の表示素子と、を有し、前記第2の画素は、第2の表示素子を有し、前記第1のトランジスタは、前記第1の表示素子の第1の電極への画像信号の供給を制御する機能を有し、前記第2のトランジスタのゲートは、前記第1の電極に電氣的に接続され、前記第1の回路は、前記第2のトランジスタのドレイン電流の大きさを検出する機能を有する。

[0013]

さらに、上記表示装置は、第1の期間と、第2の期間と、を有し、前記第1の期間において、前記第1の表示素子が駆動せず、かつ、前記第2の表示素子が駆動し、前記第2の期間において、前記第1の表示素子が駆動し、かつ、前記第2の表示素子が駆動せず、前記第1の期間において、前記第1の回路は、前記第2のトランジスタのドレイン電流の大きさを検出しても良い。

[0014]

さらに、上記表示装置は、第1の期間と、第2の期間と、第3の期間と、を有し、前記第1の期間において、前記第1の表示素子が駆動せず、かつ、前記第2の表示素子が駆動し、前記第2の期間にお

いて、前記第 1 の表示素子が駆動し、かつ、前記第 2 の表示素子が駆動せず、前記第 3 の期間において、前記第 1 の表示素子が駆動し、かつ、前記第 2 の表示素子が駆動し、前記第 1 の期間において、前記第 1 の回路は、前記第 2 のトランジスタのドレイン電流の大きさを検出しても良い。

[0015]

具体的に、本発明の一態様に係る表示装置は、第 1 の画素と、第 2 の画素と、第 1 の回路と、を有し、前記第 1 の画素は、第 1 のトランジスタと、第 1 の表示素子と、を有し、前記第 2 の画素は、第 2 の表示素子を有し、前記第 1 のトランジスタのソース又はドレインの一方は、第 1 の配線に電気的に接続され、前記第 1 のトランジスタのソース又はドレインの他方は、前記第 1 の表示素子の第 1 の電極に電気的に接続され、前記第 1 の表示素子の第 2 の電極は、第 2 の配線に電気的に接続され、前記第 1 の配線は、前記第 2 の配線に交差しており、前記第 1 の回路は、前記第 2 の配線の電位の変化を検出する機能を有する。

[0016]

さらに、上記表示装置は、第 1 の期間と、第 2 の期間と、を有し、前記第 1 の期間において、前記第 1 の表示素子が駆動せず、かつ、前記第 2 の表示素子が駆動し、前記第 2 の期間において、前記第 1 の表示素子が駆動し、かつ、前記第 2 の表示素子が駆動せず、前記第 1 の期間において、前記第 1 の回路は、前記第 2 の配線の電位の変化を検出しても良い。

[0017]

さらに、上記表示装置は、第 1 の期間と、第 2 の期間と、第 3 の期間と、を有し、前記第 1 の期間において、前記第 1 の表示素子が駆動せず、かつ、前記第 2 の表示素子が駆動し、前記第 2 の期間において、前記第 1 の表示素子が駆動し、かつ、前記第 2 の表示素子が駆動せず、前記第 3 の期間において、前記第 1 の表示素子が駆動し、かつ、前記第 2 の表示素子が駆動し、前記第 1 の期間において、前記第 1 の回路は、前記第 2 の配線の電位の変化を検出しても良い。

[0018]

さらに、上記表示装置は、前記第 1 の表示素子は、光の反射を利用して階調を表示する機能を有し、前記第 2 の表示素子は、発光の強度により階調を表示する機能を有しても良い。

[0019]

さらに、上記表示装置は、前記第 1 の表示素子は、光の反射を利用して階調を表示する機能を有し、前記第 2 の表示素子は、光の透過を利用して階調を表示する機能を有しても良い。

発明の効果

[0020]

本発明の一態様では、上記構成により、異なる種類の表示素子を有し、かつ、位置入力装置としての機能が付加された新規な構成の表示装置を提供することができる。或いは、本発明の一態様は、表示装置の薄型化、または小型化を実現する、異なる種類の表示素子を有し、かつ、位置入力装置としての機能が付加された表示装置を提供することができる。

[0021]

なお、本発明の一態様により、新規な半導体装置などを提供することができる。なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出す

ることが可能である。

図面の簡単な説明

[0022]

- [図1] 表示装置の構成例を示す図。
- [図2] 表示装置の動作を模式的に示す図。
- [図3] 表示装置の動作を模式的に示す図。
- [図4] 画素の構成例を示す図。
- [図5] 画素の動作を模式的に示す図と、タイミングチャート。
- [図6] 画素の構成例を示す図。
- [図7] 画素の構成例を示す図。
- [図8] 画素の動作を模式的に示す図と、タイミングチャート。
- [図9] 画素の構成例を示す図。
- [図10] 配線SLと配線RLのレイアウトを示す図。
- [図11] 画素の構成例を示す図。
- [図12] 表示装置の断面構造の一例を示す図。
- [図13] 指の接近を検出しているときの表示装置の断面構造の一例を示す図。
- [図14] 表示装置の断面構造の一例を示す図。
- [図15] 指の接近を検出しているときの表示装置の断面構造の一例を示す図。
- [図16] 表示装置の構成例を示す。
- [図17] 表示装置の構成例を示す。
- [図18] SCの構成例を示す図。
- [図19] 表示装置の構成例を示す図。
- [図20] 表示装置の構造を示す斜視図。
- [図21] 電子機器の一例を示す図。

発明を実施するための形態

[0023]

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

[0024]

図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

[0025]

本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている場合がある。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じ

て適切に言い換えることができる。

[0026]

図面に記載したブロック図の各回路ブロックの配置は、説明のため位置関係を特定するものであり、異なる回路ブロックで別々の機能を実現するよう示していても、実際の回路ブロックにおいては同じ回路ブロック内で別々の機能を実現するように設けられている場合もある。また各回路ブロックの機能は、説明のため機能を特定するものであり、一つの回路ブロックとして示していても、実際の回路ブロックにおいては一つの回路ブロックで行う処理を、複数の回路ブロックで行うよう設けられている場合もある。

[0027]

また、本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子（トランジスタ、ダイオード等）を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップは、半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置及び電子機器等は、それ自体が半導体装置である場合があり、又は半導体装置を有している場合がある。

[0028]

また、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

[0029]

トランジスタは、ゲート、ソース、およびドレインと呼ばれる3つの端子を有する。ゲートは、トランジスタの導通状態を制御する制御ノードとして機能するノードである。ソースまたはドレインとして機能する2つの入出力ノードは、トランジスタの型及び各端子に与えられる電位の高低によって、一方がソースとなり他方がドレインとなる。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができるものとする。また、本明細書等では、ゲート以外の2つの端子を第1端子、第2端子と呼ぶ場合がある。

[0030]

ノードは、回路構成やデバイス構造等に応じて、端子、配線、電極、導電層、導電体、不純物領域等と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

[0031]

電圧は、ある電位と、基準の電位（例えば接地電位（GND）またはソース電位）との電位差のことを示す場合が多い。よって、電圧を電位と言い換えることが可能である。なお、電位とは、相対的なものである。よって、接地電位と記載されていても、必ずしも、0Vを意味しない場合もある。

[0032]

本明細書等において、「膜」という言葉と「層」という言葉とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を「導電膜」という用語に変更することが可能な場合がある。例えば、「絶縁膜」という用語を、「絶縁層」という用語に変

更することが可能な場合がある。

[0033]

本明細書等において、“第1”、“第2”、“第3”という序数詞は構成要素の混同を避けるために付す場合があり、その場合は数的に限定するものではなく、また順序を限定するものでもない。

[0034]

本明細書等において、金属酸化物 (metal oxide) とは、広い表現での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体 (透明酸化物導電体を含む)、酸化物半導体 (Oxide Semiconductor または単に OS ともいう) などに分類される。例えば、トランジスタの半導体層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、金属酸化物が増幅作用、整流作用、及びスイッチング作用の少なくとも1つを有する場合、当該金属酸化物を、金属酸化物半導体 (metal oxide semiconductor)、略して OS と呼ぶことができる。また、OS FET と記載する場合においては、金属酸化物または酸化物半導体を有するトランジスタと換言することができる。

[0035]

また、本明細書等において、窒素を有する金属酸化物も金属酸化物 (metal oxide) と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物 (metal oxynitride) と呼称してもよい。

[0036]

また、本明細書等において、CAAC (c-axis aligned crystal)、及び CAC (cloud-aligned composite) と記載する場合がある。なお、CAAC は結晶構造の一例を表し、CAC は機能、または材料の構成の一例を表す。

[0037]

また、本明細書等において、CAC-OS または CAC-metal oxide とは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、CAC-OS または CAC-metal oxide を、トランジスタの半導体層に用いる場合、導電性の機能は、キャリアとなる電子 (またはホール) を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能 (On/Off させる機能) を CAC-OS または CAC-metal oxide に付与することができる。CAC-OS または CAC-metal oxide において、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

[0038]

また、本明細書等において、CAC-OS または CAC-metal oxide は、導電性領域、及び絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

[0039]

また、CAC-OS または CAC-metal oxide において、導電性領域と、絶縁性領域と

は、それぞれ0.5nm以上10nm以下、好ましくは0.5nm以上3nm以下のサイズで材料中に分散している場合がある。

[0040]

また、CAC-OSまたはCAC-metal oxideは、異なるバンドギャップを有する成分により構成される。例えば、CAC-OSまたはCAC-metal oxideは、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記CAC-OSまたはCAC-metal oxideをトランジスタのチャネル領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。

[0041]

すなわち、CAC-OSまたはCAC-metal oxideは、マトリックス複合材(matrix composite)、または金属マトリックス複合材(metal matrix composite)と呼称することもできる。

[0042]

(実施の形態1)

図1に、本発明の一態様の一態様に係る表示装置10の、構成の一例を示す。図1に示す表示装置10は、画素11と画素12とを有し、画素11は第1の表示素子13を有し、画素12は第2の表示素子14を有する。第1の表示素子13と第2の表示素子14は、光の反射を利用して階調を表示する機能を有する表示素子(反射型表示素子)であっても良いし、光の透過を利用して階調を表示する機能を有する表示素子(透過型表示素子)であっても良いし、発光の強度により階調を表示する機能を有する表示素子(発光型表示素子)であっても良い。

[0043]

例えば、第1の表示素子13として反射型表示素子を用い、第2の表示素子14として発光型表示素子を用いる場合、例えば、外光の強度が低い環境において、発光型表示素子を用いて画像の表示を行うことで画像の視認性を高めることができ、外光の強度が高い環境において反射型表示素子を用いて画像の表示を行うことで、消費電力を低く抑えることができる。

[0044]

また、第1の表示素子13として反射型表示素子を用い、第2の表示素子14として透過型表示素子を用いても良い。具体的には、例えば、第1の表示素子13として反射型の液晶素子を用い、第2の表示素子14として透過型の液晶素子を用いても良い。あるいは、第1の表示素子13として発光型表示素子を用い、第2の表示素子14として透過型の発光型表示素子を用いても良い。

[0045]

いずれの場合においても、種類の異なる表示素子を共に用いて画像の表示を行うことで、表示される画像の階調、色などを相補的に調整することができる。

[0046]

具体的に、発光型表示素子として、例えばOLED(Organic Light Emittin

g Diode)、LED (Light Emitting Diode)、QLED (Quantum-dot Light Emitting Diode)などの自発光性の発光素子を用いることができる。また、反射型表示素子として、例えば反射型の液晶素子、シャッター方式のMEMS (Micro Electro Mechanical System) 素子、光干渉方式のMEMS素子、マイクロカプセル方式、電気泳動方式、エレクトロウェット方式、電子粉流体 (登録商標) 方式等を用いることができる。また、透過型表示素子として、例えば透過型の液晶素子等を用いることができる。

[0047]

また、本発明の一態様では、様々なモードの液晶素子を用いることができる。具体的には、例えば、FFS (Fringe Field Switching) モード、TN (Twisted Nematic) モード、STN (Super Twisted Nematic) モード、VA (Vertical Alignment) モード、MVA (Multi-domain Vertical Alignment) モード、IPS (In-Plane Switching) モード、OCB (Optically Compensated Birefringence) モード、ブルー相モード、TBA (Transverse Bend Alignment) モード、VA-IPSモード、ECB (Electrically Controlled Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (Antiferroelectric Liquid Crystal) モード、PDLC (Polymer Dispersed Liquid Crystal) モード、PNLC (Polymer Network Liquid Crystal) モード、ゲストホストモード、ASV (Advanced Super View) モード等の液晶素子が挙げられる。

[0048]

また、液晶素子に用いる液晶層には、例えば、サーモトロピック液晶またはリオトロピック液晶に分類される液晶材料を用いることができる。或いは、液晶素子に用いる液晶層には、例えば、ネマチック液晶、スメクチック液晶、コレステリック液晶、または、ディスコチック液晶に分類される液晶材料を用いることができる。或いは、液晶素子に用いる液晶層には、例えば、強誘電性液晶、または反強誘電性液晶に分類される液晶材料を用いることができる。或いは、液晶素子に用いる液晶層には、例えば、主鎖型高分子液晶、側鎖型高分子液晶、或いは、複合型高分子液晶などの高分子液晶、または低分子液晶に分類される液晶材料を用いることができる。或いは、液晶素子に用いる液晶層には、例えば、高分子分散型液晶 (PDLC) に分類される液晶材料を用いることができる。

[0049]

また、配向膜を用いないブルー相を示す液晶を液晶層に用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、カイラル剤や紫外線硬化樹脂を添加して温度範囲を改善する。ブルー相を示す液晶とカイラル剤を含む液晶組成物は、応答速度が1 msec以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さいため好ましい。

[0050]

表示装置10では、第1の表示素子13が画像信号Vdata1に従って階調を表示する機能を有し、第2の表示素子14が画像信号Vdata2に従って階調を表示する機能を有する。第1の表示素子

13が階調の表示を行うことにより、表示装置10において画像が表示される。また、第2の表示素子14が階調の表示を行うことにより、表示装置10において画像が表示される。

[0051]

また、図1では、第1の表示素子13に加えて、画素11が有するトランジスタ19を示している。トランジスタ19は、画素11への画像信号Vdata1の入力を制御する機能を有する。

[0052]

また、表示装置10では、画素11が、物体の接近の検出を行う機能を有する。具体的に、画素11は、第1の表示素子13が有する一対の電極のうち、いずれか一方の電極と、物体との間に静電容量が形成されることにより、当該一方の電極の電位が変動することを検出する機能を有する。上記機能の詳細については、後述する。

[0053]

また、表示装置10は、読み出し回路(SC15)を有する。SC15は、画素11において検出された電位の変動を用いて、物体と画素11との位置関係の情報(位置情報)を含む信号を生成する機能を有する。

[0054]

なお、画素11における物体の接近の検出は、第1の表示素子13において階調の表示を行わない期間において行うことができる。このとき、第2の表示素子14では、階調の表示を行うこともできるし、行わないこともできる。図2に、第1の表示素子13において階調の表示を行わず、第2の表示素子14において階調の表示を行う場合の、表示装置10の動作を模式的に示す。

[0055]

図2では、非検出物にあたる物体として、指16が画素11に接近している様子を示している。画素11では、画像信号Vdata1の画素11への入力が停止されている。よって、第1の表示素子13は駆動せず、画像信号Vdata1に従って階調の表示を行わない。そして、指16と画素11の間には、静電容量17が形成される。具体的に、上記静電容量17は、第1の表示素子13の画素電極と指16の間、もしくは、第1の表示素子13のコモン電極と指16の間に形成される。そして、静電容量17の容量値は、指16と画素11との距離が短いほど大きくなり、当該距離が長いほど小さくなる。

[0056]

指16が画素11に接近して行くに伴って上記静電容量17が大きくなると、第1の表示素子13の画素電極の電位もしくはコモン電極の電位が変動する。SC15は、上記電位の変動を検出することで、指16と画素11との位置関係の情報を含む信号を生成することができる。

[0057]

なお、画素11において、物体の接近の検出を行っている際に、画素12には画像信号Vdata2が入力されることで、第2の表示素子14は駆動し、画像信号Vdata2に従って階調の表示を行う。本発明の一態様では、画像の表示と、物体の接近の検出とを、異なる画素で行うことができる。よって、画像の表示を行う期間が、物体の接近の検出を行う期間によって制約を受けにくい。したがって、物体と画素11との位置関係の情報の検出を行いつつ、品質の高い画像の表示を行うことができる。

[0058]

次いで、図3に、第1の表示素子13において階調の表示を行い、第2の表示素子14において階調の表示を行わない場合の、表示装置10の動作を模式的に示す。図3では、画素11への画像信号Vdata1の入力が行われており、第1の表示素子13は、画像信号Vdata1に従って階調の表示を行う。また、図3では、画素12への画像信号Vdata2の入力が停止されており、第2の表示素子14は駆動せず、画像信号Vdata2に従って階調の表示を行わない。

[0059]

なお、第1の表示素子13において階調の表示を行い、かつ、第2の表示素子14において階調の表示を行うこともできる。この場合、画素11への画像信号Vdata1の入力が行われ、第1の表示素子13は、画像信号Vdata1に従って階調の表示を行う。また、画素12への画像信号Vdata2の入力が行われ、第2の表示素子14は、画像信号Vdata2に従って階調の表示を行う。

[0060]

次いで、第1の表示素子13として液晶素子を用いた場合の、画素11の具体的な構成の一例を図4に示す。図4に示す画素11は、液晶素子13Lに加えて、トランジスタ20、トランジスタ21、容量素子22を有する。そして、トランジスタ20は、液晶素子13Lが有する画素電極への画像信号Vdata1の供給を制御する機能を有する。

[0061]

具体的に、トランジスタ20のゲートは、配線GLに電氣的に接続されている。また、トランジスタ20のソース又はドレインの一方は、配線SLに電氣的に接続されている。配線SLには、画像信号Vdata1が入力される。また、トランジスタ20のソース又はドレインの他方は、液晶素子13Lの画素電極に電氣的に接続されている。容量素子22は、一方の電極が上記画素電極に電氣的に接続され、他方の電極には所定の電位が供給される。トランジスタ21のゲートは、液晶素子13Lの画素電極に電氣的に接続されている。トランジスタ21のソース又はドレインの一方は、配線MLに電氣的に接続されている。トランジスタ21のソース又はドレインの他方には、所定の電位が供給される。

[0062]

次いで、画像信号Vdata1に従って液晶素子13Lが階調を表示する際の、図4に示す画素11の具体的な動作について説明する。液晶素子13Lが階調を表示する際、配線MLには、トランジスタ21のソース又はドレインの他方と同じ電位が与えられているものとする。以下、液晶素子13Lが階調を表示する際、トランジスタ21のソース又はドレインの他方にはローレベルの電位が与えられており、配線MLにもローレベルの電位が与えられているものとする。

[0063]

まず、トランジスタ20がオン状態になるような電位が配線GLに供給され、トランジスタ20がオン状態になる。また、配線SLにVdata1の電位が供給され、配線SLに供給された上記電位は、トランジスタ20を介してNodeAに供給される。

[0064]

液晶素子13Lは、NodeAの電位に従って液晶の配向が変化し、液晶層における光の透過率が制御される。そして、透過率が高いほど、液晶素子13Lにおいて表示される階調が高くなり、透過率が低いほど、液晶素子13Lにおいて表示される階調が低くなる。

[0065]

次いで、トランジスタ20がオフ状態になるような電位が配線GLに供給され、トランジスタ20がオフ状態になる。トランジスタ20がオフ状態になることにより、Node Aの電位は保持され、画素11において表示される階調も保持される。

[0066]

次いで、物体の接近の検出を行う際の、図4に示す画素11の具体的な動作について説明する。図5(B)に、物体の接近の検出を行う場合であって、物体が画素11に接近していないときの、配線GL、配線SL、配線ML、液晶素子13Lの画素電極(Node Aとする)の電位のタイミングチャートを示す。ただし、図5(B)では、トランジスタ20がnチャネル型、トランジスタ21がpチャネル型である場合のタイミングチャートを例示している。そして、物体の接近の検出を行う際、トランジスタ21のソース又はドレインの他方にはローレベルの電位が与えられているものとする。

[0067]

まず、期間T1において、トランジスタ20がオン状態になるような電位が配線GLに供給され、トランジスタ20がオン状態になる。具体的に図5(B)では、期間T1において配線GLにハイレベルの電位が供給される場合を例示している。また、期間T1では、初期化用の電位として、トランジスタ21をオフ状態にするような電位が配線SLに供給される。具体的に図5(B)では、初期化用の電位としてハイレベルの電位(Hで示す)が配線SLに供給される場合を例示している。配線SLに供給された上記電位は、トランジスタ20を介してNode Aに供給されるため、Node Aの電位が上昇し、トランジスタ21はオフ状態になる。

[0068]

また、配線MLには初期化用の電位を与える。配線MLに初期化用の電位を与えるタイミングは期間T1であっても、期間T1より前の期間であってもどちらでも良い。配線MLに与える初期化用の電位は、トランジスタ21のソース又はドレインの他方に与えられる電位との間に電位差を有していることが望ましい。図5(B)ではハイレベルの電位が初期化用の電位として配線MLに与えられているものとする。そして、配線MLは、トランジスタ21がオフ状態になった後にフローティングの状態にしておく。

[0069]

なお、液晶素子13Lは、Node Aの電位に従って液晶の配向が変化し、液晶層における光の透過率が制御される。ただし、初期化用の電位は全ての画素11において同じ高さを有するため、液晶素子13Lによって表示される階調によって、画素12における画像の表示に与える影響を極力抑えることができる。

[0070]

また、液晶素子13Lの液晶層にノーマリホワイトの液晶材料を用いる場合、物体の接近の検出を行う際にNode Aの電位が下降することで、液晶素子13Lの透過率が高くなってしまう場合がある。よって、液晶素子13Lの液晶層にノーマリホワイトの液晶材料を用いる場合は、Node Aの電位が多少下降しても液晶素子13Lの透過率を低いままに保てる程度に、物体の接近の検出を行う前の初期化用の電位を、十分高く設定することが望ましい。

[0071]

期間T1が終了し、期間T2が開始されると、トランジスタ20がオフ状態になるような電位が配線GLに供給される。具体的に図5(B)では、期間T1において配線GLにローレベルの電位が供給

される場合を例示している。トランジスタ 20 がオフ状態になることにより、Node A の電位は保持される。

[0072]

そして、期間 T2 において、物体が画素 11 に接近しないと、Node A の電位は保持されたままであるので、トランジスタ 21 はオフ状態のままである。

[0073]

次いで、期間 T2 が終了して期間 T3 が開始されると、物体の画素 11 への接近の検出が終了する。具体的に、期間 T3 では、トランジスタ 20 がオン状態になるような電位が配線 GL に供給され、トランジスタ 20 がオン状態になる。具体的に図 5 (B) では、期間 T3 において配線 GL にハイレベルの電位が供給される場合を例示している。また、期間 T3 では、配線 SL に初期化用の電位が供給される。物体の接近の検出を行った後の初期化用の電位は、トランジスタ 21 をオン状態にするような電位が望ましい。具体的に図 5 (B) では、初期化用の電位としてローレベルの電位 (L で示す) が配線 SL に供給される場合を例示している。配線 SL に供給された電位は、トランジスタ 20 を介して Node A に供給されるため、Node A の電位が下降し、トランジスタ 21 はオン状態になる。よって、配線 ML の電位もローレベルに初期化される。

[0074]

次いで、図 5 (C) に、物体の接近の検出を行う場合であって、指 16 が画素 11 に接近しているときの、配線 GL、配線 SL、配線 ML、液晶素子 13 L の画素電極 (Node A とする) の電位のタイミングチャートを示す。ただし、図 5 (C) では、トランジスタ 20 が n チャネル型、トランジスタ 21 が p チャネル型である場合のタイミングチャートを例示している。そして、物体の接近の検出を行う際、トランジスタ 21 のソース又はドレインの他方にはローレベルの電位が与えられているものとする。

[0075]

期間 T1 の動作については、図 5 (B) の場合と同様である。期間 T1 が終了し、期間 T2 が開始されると、トランジスタ 20 がオフ状態になるような電位が配線 GL に供給される。具体的に図 5 (C) では、期間 T1 において配線 GL にローレベルの電位が供給される場合を例示している。トランジスタ 20 がオフ状態になることにより、Node A の電位は保持される。

[0076]

そして、期間 T2 において指 16 が画素 11 に接近することで、図 5 (A) に示すように、指 16 と Node A との間に静電容量 17 が形成されるため、Node A の電位は下降する。そして、Node A の電位は、指 16 と画素 11 との距離が短く、静電容量 17 の容量値が大きくなるほど、大きく下降する。

[0077]

そして、トランジスタ 21 の導通状態は、Node A の電位に従って制御されるため、Node A の電位が大きく下降すると、トランジスタ 21 がオフ状態からオン状態になる。トランジスタ 21 がオン状態になると、トランジスタ 21 のソース又はドレインの他方の電位が配線 ML に与えられ、配線 ML の電位は下降する。よって、配線 ML の電位の変化を検出することで、指 16 の位置情報を得ることができる。

[0078]

次いで、期間T 2が終了して期間T 3が開始されると、物体の画素1 1への接近の検出が終了する。具体的に、期間T 3では、トランジスタ2 0がオン状態になるような電位が配線G Lに供給され、トランジスタ2 0がオン状態になる。具体的に図5 (C)では、期間T 3において配線G Lにハイレベルの電位が供給される場合を例示している。また、期間T 3では、配線S Lに初期化用の電位が供給される。物体の接近の検出を行った後の初期化用の電位は、トランジスタ2 1をオン状態にするような電位が望ましい。具体的に図5 (C)では、初期化用の電位としてローレベルの電位 (Lで示す) が配線S Lに供給される場合を例示している。配線S Lに供給された電位は、トランジスタ2 0を介してN o d e Aに供給される。トランジスタ2 1は既にオン状態であり、配線M Lの電位はローレベルである。

[0079]

なお、指1 6が画素1 1から遠ざかると、静電容量1 7は小さくなり、場合によってはほとんど存在しなくなるため、N o d e Aの電位は上昇し、ほぼ元に戻る。この場合、トランジスタ2 1はオフ状態となるが、配線M Lはフローティングの状態であるためその電位は下降したままである。よって、再度、指1 6の位置情報の検出を行う場合は、期間T 3の前に期間T 1と期間T 2の動作を繰り返すことが望ましい。

[0080]

次いで、図1に示す表示装置1 0が有する、画素1 1と画素1 2の具体的な構成の一例を、図6 (A)に示す。図6 (A)に示す画素1 1は、図4に示す画素1 1と同じ構成を有する。ただし、図6 (A)に示す画素1 1は、配線S Lを配線S L i (iは自然数とする)、配線M Lを配線M L i、配線G Lを配線G L j (jは自然数とする)として、一般化して示している。

[0081]

また、図6 (A)では、第2の表示素子1 4として発光素子1 4 Eを、画素1 2が有する場合を例示している。図6 (A)に示す画素1 2は、発光素子1 4 Eに加えて、トランジスタ2 3、トランジスタ2 4、容量素子2 5を有する。トランジスタ2 3は、画素1 2への画像信号V d a t a 2の入力を制御する機能を有する。トランジスタ2 4は、画像信号V d a t a 2の電位に従って、発光素子1 4 Eに供給する電流を制御する機能を有する。

[0082]

具体的に、トランジスタ2 4のゲートは配線G L j + 1に電氣的に接続されている。トランジスタ2 4のソース又はドレインの一方は、配線S L i + 1に電氣的に接続されている。トランジスタ2 4のソース又はドレインの他方は、トランジスタ2 3のゲートに電氣的に接続されている。トランジスタ2 3のソース又はドレインの一方は、配線A L j 電氣的に接続されている。トランジスタ2 3のソース又はドレインの他方は、発光素子1 4 Eに電氣的に接続されている。容量素子2 5は、一方の電極がトランジスタ2 3のゲートに電氣的に接続され、他方の電極がトランジスタ2 3のソース又はドレインの一方に電氣的に接続されている。

[0083]

発光素子1 4 Eは、陽極と陰極を有し、一方が画素電極として機能し、他方がコモン電極として機能する。画素電極とコモン電極の間に、発光素子1 4 Eの閾値電圧より高い電圧を印加すると、E L層に陽極側から正孔が注入され、陰極側から電子が注入される。注入された電子と正孔はE L層において再結合し、E L層に含まれる発光物質が発光する。

[0084]

なお、図6（A）では、一の画素11が一の画素12に対応している場合を例示しているが、一の画素11が複数の画素12に対応していても良いし、複数の画素11が一の画素12に対応していても良い。

[0085]

図6（B）に、一の画素11が四の画素12に対応している場合を例示する。具体的に、図6（B）では、一の画素11に対し、画素12a乃至12dが対応している。図6（B）に示す画素11の構成は、図6（A）に示す画素11の構成と同じである。ただし、図6（B）に示す画素11では、トランジスタ21のソース又はドレインの一方が、配線SL_{i+1}に電氣的に接続されている。

[0086]

また、図6（B）に示す画素12a乃至12dの構成は、それぞれ図6（A）に示す画素12の構成と同じである。画素12a乃至12dがそれぞれ有する発光素子14Eから発せられる光が、異なる領域の波長を有することで、表示装置においてカラーの画像を表示することが可能になる。

[0087]

具体的に、図6（B）に示す画素12a乃至画素12dでは、画素12aの有するトランジスタ24のゲートと、画素12cの有するトランジスタ24のゲートとが、配線GL_{j+1}に電氣的に接続されている。また、画素12bの有するトランジスタ24のゲートと、画素12dの有するトランジスタ24のゲートとが、配線GL_{j+2}に電氣的に接続されている。

[0088]

また、図6（B）に示す画素12a乃至画素12dでは、画素12aの有するトランジスタ24のソース又はドレインの一方と、画素12bの有するトランジスタ24のソース又はドレインの一方とが、配線SL_iに電氣的に接続されている。また、画素12cの有するトランジスタ24のソース又はドレインの一方と、画素12dの有するトランジスタ24のソース又はドレインの一方とが、配線SL_{i+2}に電氣的に接続されている。

[0089]

また、図6（B）に示す画素12a乃至画素12dでは、全てのトランジスタ23のソース又はドレインの一方が、配線AL_jに電氣的に接続されている。

[0090]

上述したように、図6（B）に示す画素12a乃至画素12dでは、画素12aと画素12cが配線GL_{j+1}を共有し、画素12bと画素12dが配線GL_{j+2}を共有しているが、画素12a乃至画素12dの全てが一の配線GLを共有していても良い。この場合、画素12a乃至画素12dは、互いに異なる配線SLに電氣的に接続されるようにすることが望ましい。或いは、画素12a乃至画素12dの全てが一の配線GLを共有していても良い。この場合、画素12a乃至画素12dは、互いに異なる配線SLに電氣的に接続されるようにすることが望ましい。

[0091]

また、画素11と、画素12a乃至画素12dのいずれかとが、配線GLを共有していても良いし、配線SLを共有していても良い。

[0092]

また、トランジスタ23がバックゲートを有していても良い。トランジスタ23のバックゲートがゲ

ート（フロントゲート）に電氣的に接続されている場合、トランジスタ 2 3 の閾値電圧がシフトするのを抑えることができ、トランジスタ 2 3 の信頼性を高めることができる。また、上記構成により、トランジスタ 2 3 のサイズを小さく抑えつつ、トランジスタ 2 3 のオン電流を高めることができる。

[0093]

また、トランジスタ 2 3 がバックゲート有している場合、当該バックゲートが発光素子 1 4 E の画素電極に電氣的に接続されていても良い。上記構成により、トランジスタ 2 3 の閾値電圧がシフトするのを抑えることができ、トランジスタ 2 3 の信頼性を高めることができる。

[0094]

次いで、第 1 の表示素子 1 3 が液晶素子 1 3 L であり、第 2 の表示素子 1 4 が液晶素子 1 4 L である場合の、画素 1 1 と画素 1 2 の具体的な構成の一例を、図 7 (A) に示す。図 7 (A) に示す画素 1 1 は、図 6 (A) に示す画素 1 1 と同じ構成を有する。

[0095]

また、図 7 (A) に示す画素 1 2 は、液晶素子 1 4 L に加えて、トランジスタ 2 7 と、容量素子 2 8 とを有する。トランジスタ 2 7 は、液晶素子 1 4 L が有する画素電極への画像信号 V_{data2} の供給を制御する機能を有する。具体的に、トランジスタ 2 7 のゲートは、配線 GL_{j+1} に電氣的に接続されている。また、トランジスタ 2 7 のソース又はドレインの一方は、配線 SL_{i+1} に電氣的に接続されている。配線 SL_{i+1} には、画像信号 V_{data2} が入力される。また、トランジスタ 2 7 のソース又はドレインの他方は、液晶素子 1 4 L の画素電極に電氣的に接続されている。容量素子 2 8 は、一方の電極が上記画素電極に電氣的に接続され、他方の電極には所定の電位が供給される。

[0096]

なお、図 7 (A) では、画素 1 1 と画素 1 2 とが互いに異なる配線 SL に電氣的に接続されている場合を例示しているが、画素 1 1 と画素 1 2 とが一の配線 SL を共有していても良い。

[0097]

また、本発明の一態様に係る表示装置 1 0 では、画素 1 2 が画素 1 1 と同じ構成の画素回路を有していても良い。図 7 (B) に、画素 1 2 が画素 1 1 と同じ構成の画素回路を有する場合の、画素 1 1 と画素 1 2 の構成例を示す。

[0098]

図 7 (B) に示す画素 1 1 は、図 7 (A) に示す画素 1 1 と同じ構成を有する。そして、図 7 (B) に示す画素 1 2 は、図 7 (A) に示す画素 1 2 に、トランジスタ 2 9 を加えた構成を有している。具体的に、トランジスタ 2 9 のゲートは、液晶素子 1 4 L の画素電極に電氣的に接続されている。また、トランジスタ 2 9 のソース又はドレインの一方は、配線 ML_i に電氣的に接続されている。トランジスタ 2 9 のソース又はドレインの他方は、配線 ML_{i+1} に電氣的に接続されている。

[0099]

図 7 (B) に示す画素 1 1 と画素 1 2 とを有する表示装置 1 0 では、画素 1 1 と画素 1 2 のいずれか一方で画像の表示を行い、他方において物体の接近を検出することができる。また、画素 1 1 と画素 1 2 の両方で画像の表示を行うことができるし、画素 1 1 と画素 1 2 の両方で物体の接近を検出することができる。

[0100]

次いで、第 1 の表示素子 1 3 として液晶素子を用いた場合の、図 4 とは異なる画素 1 1 の具体的な構

成の一例を図 8 (A) に示す。図 8 (A) に示す画素 1 1 は、液晶素子 1 3 L に加えて、トランジスタ 2 0、容量素子 2 2 を有する。そして、トランジスタ 2 0 は、液晶素子 1 3 L が有する画素電極への画像信号 V_{data1} の供給を制御する機能を有する。

[0101]

具体的に、トランジスタ 2 0 のゲートは、配線 GL に電氣的に接続されている。また、トランジスタ 2 0 のソース又はドレインの一方は、配線 SL に電氣的に接続されている。配線 SL には、画像信号 V_{data1} が入力される。また、トランジスタ 2 0 のソース又はドレインの他方は、液晶素子 1 3 L の画素電極に電氣的に接続されている。容量素子 2 2 は、一方の電極が上記画素電極に電氣的に接続され、他方の電極には所定の電位が供給される。そして、液晶素子 1 3 L のコモン電極には、配線 RL が電氣的に接続されている。

[0102]

次いで、画像信号 V_{data1} に従って液晶素子 1 3 L が階調を表示する際、図 8 (A) に示す画素 1 1 では、期間 T 1 において、トランジスタ 2 0 がオン状態になるような電位が、配線 GL に供給される。また、期間 T 1 では、配線 SL に V_{data1} の電位が供給される。具体的に図 8 (B) では、ハイレベルの電位 (H で示す) が配線 SL に供給される場合を例示している。配線 SL に供給された電位は、トランジスタ 2 0 を介して画素電極 (Node A とする) に供給されるため、Node A の電位が V_{data1} の電位に合わせて変化する。

[0103]

液晶素子 1 3 L は、Node A の電位に従って液晶の配向が変化し、液晶層における光の透過率が制御される。そして、透過率が高いほど、液晶素子 1 3 L において表示される階調が高くなり、透過率が低いほど、液晶素子 1 3 L において表示される階調が低くなる。

[0104]

期間 T 1 が終了し、期間 T 2 が開始されると、トランジスタ 2 0 がオフ状態になるような電位が配線 GL に供給される。トランジスタ 2 0 がオフ状態になることにより、Node A の電位は保持され、Node A の電位に従って設定された階調が、液晶素子 1 3 L において保持される。

[0105]

上記期間 T 1 及び T 2 において、配線 RL には所定の電位が与えられている。

[0106]

次いで、物体の接近の検出を行う際の、図 8 (A) に示す画素 1 1 の具体的な動作について説明する。まず、物体の接近の検出を行う際、図 8 (A) に示す画素 1 1 では、Node A の電位を初期化する。具体的には、トランジスタ 2 0 がオン状態になるような電位を配線 GL に供給して、トランジスタ 2 0 をオン状態とし、配線 SL に初期化用の電位を供給する。次いで、トランジスタ 2 0 がオフ状態になるような電位を配線 GL に供給し、トランジスタ 2 0 をオフ状態とする。そして、配線 RL は、所定の電位を与えた後、フローティングの状態とする。

[0107]

次いで、配線 SL にはパルス状に電位が変化する信号を入力する。上記構成により、物体が画素 1 1 に接近しているときと、そうではないときとで、配線 RL の電位の状態が異なる。

[0108]

具体的に、図 8 (B) に、物体の接近の検出を行う際に、物体が画素 1 1 に接近していない場合の、

配線S L、配線R Lの電位のタイミングチャートを一例として示す。配線S L、配線R Lの間には、物体の画素1 1への接近に関わらず、静電容量3 0が形成されている。そして、静電容量3 0が存在するために、物体が画素1 1に接近していない場合、図8（B）に示すように、配線S Lの電位が変化するのに伴い配線R Lの電位も配線S Lの電位の変化に引きずられるように変化した後、元に戻る。すなわち、配線R Lの電位には、配線S Lの電位の変化に合わせてリプルが出現し、当該リプルは静電容量3 0が大きいほどその振幅が大きくなる。

[0 1 0 9]

次いで、図8（C）に、物体の接近の検出を行う際に、物体が画素1 1に接近している場合の、配線S Lの電位、配線R Lの電位のタイミングチャートを一例として示す。図8（A）に示すように指1 6が画素1 1に接近すると、配線R Lと指1 6の間に静電容量1 7が新たに形成される。また、配線S Lと配線R Lの間には、物体の画素1 1への接近に関わらず、静電容量3 0が形成されている。

[0 1 1 0]

よって、物体が画素1 1に接近している場合も、静電容量3 0が存在するために、図8（C）に示すように、配線S Lの電位の変化に合わせて配線R Lの電位にはリプルが出現するが、静電容量1 7が存在するために電荷が分散され、リプルの振幅は小さくなる。

[0 1 1 1]

したがって、リプルの振幅の変化を配線R Lから読み出すことで、画素1 1への物体の検出を行うことができる。

[0 1 1 2]

図9に、画素1 1に電氣的に接続された配線S L及び配線R Lのレイアウトの一例を示す。なお、表示装置1 0は画素1 1に加えて画素1 2を有しているので、実際に表示装置1 0が有する配線は配線S Lと配線R Lとに限られない。また、画素1 2に電氣的に接続された配線S Lについては、図9に示していない。

[0 1 1 3]

図9に示すように、複数の配線S Lは互いに交差することなく、ほぼ一方向に沿って並んでいる。同様に、複数の配線R Lは互いに交差することなく、ほぼ一方向に沿って並んでいる。そして、配線S Lと配線R Lは互いに交差しており、交差している領域において静電容量が形成されている。そして、複数の配線S Lに順次、パルスをもつ信号の電位を入力していくと、指1 6が接近している画素1 1において、配線R Lのリプルの振幅が減少する。よって、リプルの振幅が減少した配線R Lと、パルスをもつ信号が入力された配線S Lとを特定することにより、指1 6の位置情報を取得することができる。

[0 1 1 4]

なお、Node Aに与える初期化用の電位はハイレベルであっても、ローレベルであっても、その他の高さであっても良い。初期化用の電位は全ての画素1 1において同じ高さを有するため、液晶素子1 3 Lによって画像が表示されることはない。ただし、物体が画素1 1に接近することにより生じるリプルの振幅の変化を大きくするには、初期化用の電位は配線R Lに与える電位と同程度とし、液晶素子1 3 Lが有する静電容量を小さく抑えておくことが望ましい。

[0 1 1 5]

また、液晶素子1 3 Lが液晶層にノーマリホワイトの液晶材料を用いている場合、Node Aに与え

る初期化用の電位をハイレベルとすることで、液晶素子 13L の透過率を低くすることができる。

[0116]

次いで、図 1 に示す表示装置 10 が有する、画素 11 と画素 12 の具体的な構成の一例を、図 10 (A) に示す。図 10 (A) に示す画素 11 は、図 8 (A) に示す画素 11 と同じ構成を有する。ただし、図 10 (A) に示す画素 11 は、配線 SL を配線 SL_i (i は自然数とする)、配線 RL を配線 RL_i、配線 GL を配線 GL_j (j は自然数とする) として、一般化して示している。

[0117]

また、図 10 (A) では、第 2 の表示素子 14 として発光素子 14E を、画素 12 が有する場合を例示している。図 10 (A) に示す画素 12 は、図 6 (A) に示す画素 12 と同じ構成を有している。

[0118]

なお、図 10 (A) では、一の画素 11 が一の画素 12 に対応している場合を例示しているが、一の画素 11 が複数の画素 12 に対応していても良いし、複数の画素 11 が一の画素 12 に対応していても良い。

[0119]

図 10 (B) に、一の画素 11 が四の画素 12 に対応している場合を例示する。具体的に、図 10 (B) では、一の画素 11 に対し、画素 12a 乃至 12d が対応している。図 10 (B) に示す画素 11 の構成は、図 10 (A) に示す画素 11 の構成と同じである。また、図 10 (A) に示す画素 12a 乃至 12d の構成は、図 6 (B) に示す画素 12a 乃至 12d の構成と同じである。

[0120]

図 10 (B) に示す画素 12a 乃至 12d がそれぞれ有する発光素子 14E から発せられる光が、異なる領域の波長を有することで、表示装置においてカラーの画像を表示することが可能になる。

[0121]

なお、図 10 (B) に示す画素 12a 乃至画素 12d では、画素 12a と画素 12c が配線 GL_{j+1} を共有し、画素 12b と画素 12d が配線 GL_{j+2} を共有しているが、画素 12a 乃至画素 12d の全てが一の配線 GL を共有していても良い。この場合、画素 12a 乃至画素 12d は、互いに異なる配線 SL に電氣的に接続されるようにすることが望ましい。或いは、画素 12a 乃至画素 12d の全てが一の配線 GL を共有していても良い。この場合、画素 12a 乃至画素 12d は、互いに異なる配線 SL に電氣的に接続されるようにすることが望ましい。

[0122]

また、画素 11 と、画素 12a 乃至画素 12d のいずれかとか、配線 GL を共有していても良いし、配線 SL を共有していても良い。

[0123]

また、トランジスタ 23 がバックゲート有していても良い。トランジスタ 23 のバックゲートがゲート (フロントゲート) に電氣的に接続されている場合、トランジスタ 23 の閾値電圧がシフトするのを抑えることができ、トランジスタ 23 の信頼性を高めることができる。また、上記構成により、トランジスタ 23 のサイズを小さく抑えつつ、トランジスタ 23 のオン電流を高めることができる。

[0124]

また、トランジスタ 23 がバックゲート有している場合、当該バックゲートが発光素子 14E の画素電極に電氣的に接続されていても良い。上記構成により、トランジスタ 23 の閾値電圧がシフトす

るのを抑えることができ、トランジスタ 23 の信頼性を高めることができる。

[0125]

なお、第 1 の表示素子 13 が液晶素子 13L であり、第 2 の表示素子 14 が液晶素子 14L であっても良い。この場合、画素 11 と画素 12 のいずれか一方で画像の表示を行い、他方において物体の接近を検出することができる。この場合、画素 11 と画素 12 のうち、物体の接近を検出する機能を有さない画素どうしは、配線 RL が電氣的に接続されていても良い。

[0126]

また、第 1 の表示素子 13 が液晶素子 13L であり、第 2 の表示素子 14 が液晶素子 14L である場合、画素 11 と画素 12 の両方で画像の表示を行うことができるし、画素 11 と画素 12 の両方で物体の接近を検出することができる。

[0127]

なお、本発明の一態様に係る表示装置 10 では、画素 11 のトランジスタ 20 にオフ電流が低いトランジスタを用いることで、表示画面を書き換える必要がない場合（すなわち静止画を表示する場合）に、一時的に駆動回路を停止することができる（以下、「アイドリングストップ」、もしくは「IDS 駆動」と呼ぶ）。或いは、画素 12 のトランジスタ 24 にオフ電流が低いトランジスタを用いることで、表示画面を書き換える必要がない場合に、一時的に駆動回路を停止することができる。IDS 駆動によって、表示装置 10 の消費電力を低減することができる。

[0128]

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

[0129]

（実施の形態 2）

次いで、図 11 に、図 6、図 10 に示す画素 12（画素 12a 乃至画素 12d を含む）とは異なる構成を有する、画素 12 の構成例を示す。なお、図 11 に示す画素 12 は、図 6、図 10 に示す画素 12（画素 12a 乃至画素 12d を含む）に、それぞれ適用することができる。

[0130]

図 11（A）に示す画素 12 は、トランジスタ 23 がバックゲート有する点において、図 6、図 10 に示す画素 12 と構成が異なる。具体的に、図 11（A）に示す画素 12 では、トランジスタ 23 のバックゲートがゲート（フロントゲート）に電氣的に接続されている。図 11（A）に示す画素 12 は、上記構成を有することにより、トランジスタ 23 の閾値電圧がシフトするのを抑えることができ、トランジスタ 23 の信頼性を高めることができる。また、図 11（A）に示す画素 12 は、上記構成を有することにより、トランジスタ 23 のサイズを小さく抑えつつ、トランジスタ 23 のオン電流を高めることができる。

[0131]

図 11（B）に示す画素 12 は、画素 12 が有するトランジスタ 23 がバックゲート有する点において、図 11（A）に示す画素 12 と構成が同じである。ただし、図 11（B）に示す画素 12 では、トランジスタ 23 のバックゲートがフロントゲートではなく発光素子 14E に電氣的に接続されている点において、図 11（A）に示す画素 12 と構成が異なる。

[0132]

図 11（B）に示す画素 12 は、上記構成を有することにより、トランジスタ 23 の閾値電圧がシフ

トするのを抑えることができ、トランジスタ 2 3 の信頼性を高めることができる。

[0133]

また、図 1 1 (B) に示す画素 1 2 は、容量素子 2 5 a と、容量素子 2 5 b とを有する。容量素子 2 5 a は、一方の電極が配線 A L に電氣的に接続され、他方の電極がトランジスタ 2 3 のゲートに電氣的に接続されている。容量素子 2 5 b は、一方の電極がトランジスタ 2 3 のゲートに電氣的に接続され、他方の電極が発光素子 1 4 E の画素電極に電氣的に接続されている。

[0134]

図 1 1 (C) に示す画素 1 2 は、発光素子 1 4 E と、発光素子 1 4 E に供給する電流を制御する機能を有するトランジスタ 2 3 と、トランジスタ 2 3 のゲートへの電位の供給を制御する機能を有するトランジスタ 2 4 と、発光素子 1 4 E の画素電極に所定の電位を供給する機能を有するトランジスタ 2 6 と、容量素子 2 5 とを有する。また、トランジスタ 2 3 と、トランジスタ 2 4 と、トランジスタ 2 6 とは、それぞれバックゲートを有する。

[0135]

そして、トランジスタ 2 4 は、ゲート（フロントゲート）が配線 T L に電氣的に接続され、バックゲートが配線 G L に電氣的に接続され、ソース又はドレインの一方が配線 S L に電氣的に接続され、ソース又はドレインの他方がトランジスタ 2 3 のゲート及びフロントゲートに電氣的に接続されている。トランジスタ 2 3 は、ソース又はドレインの一方が配線 A L に電氣的に接続され、ソース又はドレインの他方が発光素子 1 4 E に電氣的に接続されている。

[0136]

トランジスタ 2 6 は、ゲート（フロントゲート）が配線 T L に電氣的に接続され、バックゲートが配線 G L に電氣的に接続され、ソース又はドレインの一方が配線 T L に電氣的に接続され、ソース又はドレインの他方が発光素子 1 4 E に電氣的に接続されている。容量素子 2 5 は、一方の電極が配線 A L に電氣的に接続され、他方の電極がトランジスタ 2 3 のゲートに電氣的に接続されている。

[0137]

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

[0138]

（実施の形態 3）

次いで、図 4 に示した画素 1 1 と、図 1 1 (B) に示した画素 1 2 とを有する表示装置 1 0 を例に挙げて、表示装置 1 0 の具体的な構成例について説明する。

[0139]

図 1 2 に、表示装置 1 0 の断面構造の一例を示す。図 1 2 に示す表示装置 1 0 は、基板 2 5 0 と基板 2 5 1 の間に、液晶素子 1 3 L と、発光素子 1 4 E とが積層された構成を有し、液晶素子 1 3 L と、発光素子 1 4 E との間に、画素 1 1 が有するトランジスタ 2 0 及びトランジスタ 2 1 と、画素 1 2 が有するトランジスタ 2 3 及びトランジスタ 2 4 が位置する構成を有する。具体的に図 1 2 では、基板 2 5 0 側から、液晶素子 1 3 L と、トランジスタ 2 0、トランジスタ 2 1、及びトランジスタ 2 4 と、トランジスタ 2 3 と、発光素子 1 4 E とが順に積層されている。

[0140]

また、図 1 2 に示す表示装置 1 0 では、容量素子 2 5 a と、容量素子 2 5 b と、容量素子 2 2 とを、基板 2 5 0 と基板 2 5 1 の間に有する。液晶素子 1 3 L と、トランジスタ 2 0 と、容量素子 2 2 とが

画素 1 1 に含まれ、発光素子 1 4 E と、トランジスタ 2 3 及びトランジスタ 2 4 と、容量素子 2 5 a 及び容量素子 2 5 b とが画素 1 2 に含まれる。

[0 1 4 1]

具体的に、図 1 2 では、基板 2 5 0 上に、コモン電極としての機能を有する導電層 3 0 0 が位置し、導電層 3 0 0 上に配向膜としての機能を有する絶縁層 3 0 1 が位置する。絶縁層 3 0 1 上に液晶材料を含む液晶層 3 0 2 が位置し、液晶層 3 0 2 上に配向膜としての機能を有する絶縁層 3 0 3 が位置する。絶縁層 3 0 3 上に画素電極としての機能を有する導電層 3 0 4 a 及び導電層 3 0 4 b が位置する。液晶素子 1 3 L は、導電層 3 0 0 と、液晶層 3 0 2 と、導電層 3 0 4 b とを有する。

[0 1 4 2]

なお、図 1 2 では、コモン電極としての機能を有する導電層 3 0 0 が可視光を透過する機能を有し、画素電極としての機能を有する導電層 3 0 4 a 及び導電層 3 0 4 b が可視光を反射する機能を有する。上記構成により、白抜き矢印で示すように、基板 2 5 0 側から液晶素子 1 3 L に入射した光は、導電層 3 0 4 a 及び導電層 3 0 4 b で反射され、導電層 3 0 0 を透過し、基板 2 5 0 側から放射される。

[0 1 4 3]

導電層 3 0 4 a 及び導電層 3 0 4 b 上には絶縁層 3 0 5 が位置し、絶縁層 3 0 5 上には導電層 3 0 6 が位置する。導電層 3 0 6 には、例えばコモン電極としての機能を有する導電層 3 0 0 と同程度の電位を供給することができる。そして、容量素子 2 2 は、液晶素子 1 3 L の画素電極としての機能を有する導電層 3 0 4 b と、絶縁層 3 0 5 と、導電層 3 0 6 とを有する。

[0 1 4 4]

導電層 3 0 6 上には絶縁層 3 0 7 が位置し、絶縁層 3 0 7 上には導電層 3 0 8、導電層 3 0 9、導電層 3 1 0 が位置する。導電層 3 1 0 は、絶縁層 3 0 5 及び絶縁層 3 0 7 が有する開口部を介して導電層 3 0 4 b と電気的に接続されている。導電層 3 0 8 はトランジスタ 2 4 のゲート電極としての機能を有し、導電層 3 0 9 はトランジスタ 2 0 のゲート電極としての機能を有し、導電層 3 1 0 はトランジスタ 2 1 のゲート電極としての機能を有する。

[0 1 4 5]

導電層 3 0 8、導電層 3 0 9、導電層 3 1 0 上には絶縁層 3 1 1 が位置し、絶縁層 3 1 1 上には半導体層 3 1 2 と、半導体層 3 1 3 と、半導体層 3 1 4 とが位置する。絶縁層 3 1 1 は、トランジスタ 2 4 のゲート絶縁層としての機能を有し、トランジスタ 2 0 のゲート絶縁層としての機能を有し、トランジスタ 2 1 のゲート絶縁層としての機能を有する。半導体層 3 1 2 上には、半導体層 3 1 2 に電気的に接続された導電層 3 1 5 及び導電層 3 1 6 が位置する。導電層 3 1 5 及び導電層 3 1 6 は、トランジスタ 2 4 のソース電極またはドレイン電極としての機能を有する。また、導電層 3 1 5 はトランジスタ 2 3 のゲート電極としての機能を有する。

[0 1 4 6]

また、半導体層 3 1 3 上には、半導体層 3 1 3 に電気的に接続された導電層 3 1 7 及び導電層 3 1 8 が位置する。導電層 3 1 7 及び導電層 3 1 8 は、トランジスタ 2 0 のソース電極またはドレイン電極としての機能を有する。導電層 3 1 8 は、絶縁層 3 1 1 が有する開口部を介して導電層 3 1 0 に電気的に接続されている。

[0 1 4 7]

また、半導体層 3 1 4 上には、半導体層 3 1 4 に電氣的に接続された導電層 3 1 9 及び導電層 3 2 0 が位置する。導電層 3 1 9 及び導電層 3 2 0 は、トランジスタ 2 1 のソース電極またはドレイン電極としての機能を有する。

[0 1 4 8]

導電層 3 1 5 乃至導電層 3 2 0 上には絶縁層 3 2 1 が位置し、絶縁層 3 2 1 上には半導体層 3 2 2 が位置する。絶縁層 3 2 1 はトランジスタ 2 3 のゲート絶縁層としての機能を有する。半導体層 3 2 2 上には、半導体層 3 2 2 に電氣的に接続された導電層 3 2 3 及び導電層 3 2 4 が位置する。導電層 3 2 3 及び導電層 3 2 4 は、トランジスタ 2 3 のソース電極またはドレイン電極としての機能を有する。また、容量素子 2 5 b は、導電層 3 2 3 と、絶縁層 3 2 1 と、導電層 3 1 5 とを有する。容量素子 2 5 a は、導電層 3 2 4 と、絶縁層 3 2 1 と、導電層 3 1 5 とを有する。

[0 1 4 9]

導電層 3 2 3 及び導電層 3 2 4 上には絶縁層 3 2 5 が位置し、絶縁層 3 2 5 上には絶縁層 3 2 6 が位置し、絶縁層 3 2 6 上には導電層 3 2 7 が位置する。導電層 3 2 7 は、絶縁層 3 2 5 及び絶縁層 3 2 6 が有する開口部を介して導電層 3 2 4 に電氣的に接続されている。そして、導電層 3 2 4 は半導体層 3 2 2 と重なる領域を有し、バックゲート電極としての機能を有する。

[0 1 5 0]

また、絶縁層 3 2 6 上には色素を有する材料を含んだ樹脂層 3 2 8 が位置する。樹脂層 3 2 8 は発光素子 1 4 E のカラーフィルタとしての機能を有し、特定の波長領域の光を透過する機能を有する。よって、樹脂層 3 2 8 は発光素子 1 4 E と重なる領域を有する。また、発光素子 1 4 E から発せられた光は、白抜きの矢印で示すように導電層 3 0 4 a と導電層 3 0 4 b の間を通って、基板 2 5 0 側に放射される。そのため、樹脂層 3 2 8 は導電層 3 0 4 a と導電層 3 0 4 b の間の領域と重なる領域を有する。

[0 1 5 1]

なお、本発明の一態様は、カラーフィルタ方式に限られず、塗り分け方式、色変換方式、又は量子ドット方式等を適用してもよい。

[0 1 5 2]

導電層 3 2 7 及び樹脂層 3 2 8 上には、絶縁層 3 2 9 が位置し、絶縁層 3 2 9 上には発光素子 1 4 E の画素電極としての機能を有する導電層 3 3 0 が位置する。導電層 3 3 0 は、絶縁層 3 2 9 が有する開口部を介して導電層 3 2 7 に電氣的に接続されている。導電層 3 3 0 上には開口部を有する樹脂層 3 3 3 が位置する。樹脂層 3 3 3 は隔壁としての機能を有する。樹脂層 3 3 3 上に絶縁層 3 3 5 が位置する。絶縁層 3 3 5 は、基板 2 5 1 と発光素子 1 4 E との間の空間を維持するためのスペーサとしての機能を有する。

[0 1 5 3]

なお、発光素子 1 4 E の画素電極としての機能を有する導電層 3 3 0 と、導電層 3 2 7 とを電氣的に接続させるための絶縁層 3 2 9 における開口部の形成を容易にし、導電層 3 3 0 と、導電層 3 2 7 との電氣的に接続を確実にするために、樹脂層 3 2 8 は、導電層 3 2 7 と異なる領域に位置することが望ましい。

[0 1 5 4]

樹脂層 3 3 3 の開口部において、導電層 3 3 0 上には E L 層 3 3 1 が位置し、E L 層 3 3 1 上には発

光素子 1 4 E のコモン電極としての機能を有する導電層 3 3 2 が位置する。発光素子 1 4 E は、導電層 3 3 0 と、E L 層 3 3 1 と、導電層 3 3 2 とを有する。導電層 3 3 2 上に封止層 3 3 6 が位置し、封止層 3 3 6 上に基板 2 5 1 が位置する。

[0 1 5 5]

導電層 3 3 0 と導電層 3 3 2 は、一方が陽極として機能し、他方が陰極として機能する。導電層 3 3 0 と導電層 3 3 2 の間に、発光素子 1 4 E の閾値電圧より高い電圧を印加すると、E L 層 3 3 1 に陽極側から正孔が注入され、陰極側から電子が注入される。注入された電子と正孔は E L 層 3 3 1 において再結合し、E L 層 3 3 1 に含まれる発光物質が発光する。

[0 1 5 6]

可視光を透過する導電性材料としては、例えば、インジウム (I n)、亜鉛 (Z n)、錫 (S n) の中から選ばれた一種を含む材料を用いるとよい。具体的には、酸化インジウム、インジウム錫酸化物 (I T O : I n d i u m T i n O x i d e)、インジウム亜鉛酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、酸化シリコンを含むインジウム錫酸化物 (I T S O)、酸化亜鉛、ガリウムを含む酸化亜鉛などが挙げられる。なお、グラフェンを含む膜を用いることもできる。グラフェンを含む膜は、例えば膜状に形成された酸化グラフェンを含む膜を還元して形成することができる。

[0 1 5 7]

可視光を反射する導電性材料としては、例えば、アルミニウム、銀、またはこれらの金属材料を含む合金等が挙げられる。そのほか、金、白金、ニッケル、タングステン、クロム、モリブデン、鉄、コバルト、銅、もしくはパラジウム等の金属材料、またはこれら金属材料を含む合金を用いることができる。また、上記金属材料または合金に、ランタン、ネオジム、またはゲルマニウム等が添加されていてもよい。アルミニウムとチタンの合金、アルミニウムとニッケルの合金、アルミニウムとネオジムの合金、アルミニウム、ニッケル、及びランタンの合金 (A l - N i - L a) 等のアルミニウムを含む合金 (アルミニウム合金)、銀と銅の合金、銀とパラジウムと銅の合金 (A g - P d - C u、A P C とも記す)、銀とマグネシウムの合金等の銀を含む合金を用いてもよい。

[0 1 5 8]

トランジスタに用いる半導体材料の結晶性については、非晶質半導体、結晶性を有する半導体 (微結晶半導体、多結晶半導体、単結晶半導体、又は一部に結晶領域を有する半導体) のいずれを用いてもよい。結晶性を有する半導体を用いると、トランジスタ特性の劣化を抑制できるため好ましい。

[0 1 5 9]

また、トランジスタに用いる半導体材料としては、酸化物半導体を用いることができる。代表的には、インジウムを含む酸化物半導体などを適用できる。特にシリコンよりもバンドギャップが広く、且つキャリア密度の小さい半導体材料を用いると、トランジスタのオフ状態における電流を低減できるため好ましい。

[0 1 6 0]

半導体層に酸化物半導体を用いる場合、例えば少なくともインジウム、亜鉛及び M (アルミニウム、チタン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、セリウム、スズ、ネオジムまたはハフニウム等の金属) を含む I n - M - Z n 系酸化物で表記される材料を半導体層を含む

ことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすため、それらと共に、スタビライザーを含むことが好ましい。

[0161]

スタビライザーとしては、上記Mで記載の金属を含め、例えば、ガリウム、スズ、ハフニウム、アルミニウム、またはジルコニウム等がある。また、他のスタビライザーとしては、ランタノイドである、ランタン、セリウム、プラセオジウム、ネオジウム、サマリウム、ユウロピウム、ガドリニウム、テルビウム、ジスプロシウム、ホルミウム、エルビウム、ツリウム、イッテルビウム、ルテチウム等がある。

[0162]

半導体層を構成する酸化物半導体として、例えば、 $In-Ga-Zn$ 系酸化物、 $In-Al-Zn$ 系酸化物、 $In-Sn-Zn$ 系酸化物、 $In-Hf-Zn$ 系酸化物、 $In-La-Zn$ 系酸化物、 $In-Ce-Zn$ 系酸化物、 $In-Pr-Zn$ 系酸化物、 $In-Nd-Zn$ 系酸化物、 $In-Sm-Zn$ 系酸化物、 $In-Eu-Zn$ 系酸化物、 $In-Gd-Zn$ 系酸化物、 $In-Tb-Zn$ 系酸化物、 $In-Dy-Zn$ 系酸化物、 $In-Ho-Zn$ 系酸化物、 $In-Er-Zn$ 系酸化物、 $In-Tm-Zn$ 系酸化物、 $In-Yb-Zn$ 系酸化物、 $In-Lu-Zn$ 系酸化物、 $In-Sn-Ga-Zn$ 系酸化物、 $In-Hf-Ga-Zn$ 系酸化物、 $In-Al-Ga-Zn$ 系酸化物、 $In-Sn-Al-Zn$ 系酸化物、 $In-Sn-Hf-Zn$ 系酸化物、 $In-Hf-Al-Zn$ 系酸化物を用いることができる。

[0163]

なお、ここで、 $In-Ga-Zn$ 系酸化物とは、 In と Ga と Zn を主成分として有する酸化物という意味であり、 In と Ga と Zn の比率は問わない。また、 In と Ga と Zn 以外の金属元素が入っていてもよい。

[0164]

また、液晶材料としては、ポジ型の液晶、またはネガ型の液晶のいずれを用いてもよく、適用するモードや設計に応じて最適な液晶材料を用いればよい。

[0165]

図13に、図12に示す表示装置10において、指16の接近を検出している様子を模式的に示す。指16が基板250側に接近すると、指16と導電層304bとの間に静電容量17が形成される。そして、静電容量17の容量値は、指16と導電層304bとの距離が短いほど大きくなり、当該距離が長いほど小さくなる。指16が導電層304bに接近していくに伴い、上記静電容量17が大きくなると、導電層304bの電位が変動する。上記電位の変動を検出することで、指16と画素11との位置関係を情報として得ることができる。

[0166]

次いで、図8(A)に示した画素11と、図11(B)に示した画素12とを有する表示装置10を例に挙げて、表示装置10の具体的な構成例について説明する。

[0167]

図14に、表示装置10の断面構造の一例を示す。なお、図14では、図12と同じ構造を有する箇所には、同じ符号が付してある。図14に示す表示装置10では、液晶素子13Lのコモン電極としての機能を有する導電層300が、全ての画素11で共有されているわけではない点において、図12に示す表示装置10と少なくとも構造が異なる。具体的に、図14に示す表示装置10では、基板

250上にコモン電極としての機能を有する導電層300a及び導電層300bを有する。第1の液晶素子13Lは、導電層300bと、液晶層302と、導電層304bとを有する。また、第2の液晶素子13Lは、導電層300aと、液晶層302と、導電層304aとを有する。

[0168]

図15に、図14に示す表示装置10において、指16の接近を検出している様子を模式的に示す。指16が基板250側に接近すると、指16と導電層300b（もしくは導電層300a）との間に静電容量17が形成される。そして、静電容量17の容量値は、指16と導電層300b（もしくは導電層300a）との距離が短いほど大きくなり、当該距離が長いほど小さくなる。指16が導電層300b（もしくは導電層300a）に接近していくに伴い、上記静電容量17が大きくなると、導電層300b（もしくは導電層300a）のリプルの振幅の変動が小さくなる。上記電位の変動を検出することで、指16と画素11との位置関係を情報として得ることができる。

[0169]

（実施の形態4）

本実施の形態では、表示装置の構成例について説明する。なお、本実施の形態では、第1の表示素子として液晶素子を用い、第2の表示素子としてEL材料を用いた発光素子を用いる場合を例に挙げて、表示装置の構成例について説明する。

[0170]

図16（A）に、本発明の一態様に係る表示装置10の断面の構造を一例として示す。図16（A）に示す表示装置10は、発光素子14Eと、液晶素子13Lと、発光素子14Eへの電流の供給を制御する機能を有するトランジスタ23と、液晶素子13Lへの電圧の供給を制御する機能を有するトランジスタ20とを有する。そして、発光素子14Eと、液晶素子13Lと、トランジスタ23と、トランジスタ20とは、基板201と基板202の間に位置する。

[0171]

また、表示装置10において液晶素子13Lは、画素電極40と、コモン電極41と、液晶層42とを有する。画素電極40は、トランジスタ20に電氣的に接続されている。そして、画素電極40とコモン電極41の間に印加される電圧にしたがって液晶層42の配向が制御される。なお、図16（A）では、画素電極40が可視光を反射する機能を有し、コモン電極41が可視光を透過する機能を有する場合を例示しており、基板202側から入射した光が白抜きの矢印で示すように画素電極40において反射し、再び基板202側から放射される。

[0172]

また、発光素子14Eは、トランジスタ23に電氣的に接続されている。発光素子14Eから発せられる光は、基板202側に放射される。なお、図16（A）では、画素電極40が可視光を反射する機能を有し、コモン電極41が可視光を透過する機能を有する場合を例示しているため、発光素子14Eから発せられる光は、白抜きの矢印で示すように画素電極40と重ならない領域を通過し、コモン電極41が位置する領域を通過して、基板202側から放射される。

[0173]

そして、図16（A）に示す表示装置10では、トランジスタ23とトランジスタ20とが同一の層43に位置しており、トランジスタ23とトランジスタ20とが含まれる層43は、液晶素子13Lと発光素子14Eの間の領域を有する。なお、少なくとも、トランジスタ23が有する半導体層と、

トランジスタ 20 が有する半導体層とが同一の絶縁表面上に位置している場合、トランジスタ 23 とトランジスタ 20 とが同一の層 43 に含まれていると言える。

[0174]

上記構成により、トランジスタ 23 とトランジスタ 20 とを共通の作製工程で作製することができる。

[0175]

次いで、図 16 (B) に、本発明の一態様に係る表示装置 10 の別の構成について、断面の構造を一例として示す。図 16 (B) に示す表示装置 10 は、トランジスタ 23 とトランジスタ 20 とが異なる層に含まれている点において、図 16 (A) に示す表示装置 10 と構成が異なる。

[0176]

具体的に、図 16 (B) に示す表示装置 10 では、トランジスタ 23 が含まれる層 43 a と、トランジスタ 20 が含まれる層 43 b とを有し、層 43 a と層 43 b とは、液晶素子 13 L と発光素子 14 E の間の領域を有する。そして、図 16 (B) に示す表示装置 10 では、層 43 a が層 43 b よりも発光素子 14 E 側に近い。なお、少なくとも、トランジスタ 23 が有する半導体層と、トランジスタ 20 が有する半導体層とが異なる絶縁表面上に位置している場合、トランジスタ 23 とトランジスタ 20 とが異なる層に含まれていると言える。

[0177]

上記構成により、トランジスタ 23 と、トランジスタ 23 に電氣的に接続される各種配線とを、トランジスタ 20 と、トランジスタ 20 に電氣的に接続される各種配線とを、部分的に重ねることができるため、画素のサイズを小さく抑え、表示装置 10 の高精細化を実現することができる。

[0178]

次いで、図 17 (A) に、本発明の一態様に係る表示装置 10 の別の構成について、断面の構造を一例として示す。図 17 (A) に示す表示装置 10 は、トランジスタ 23 とトランジスタ 20 とが異なる層に含まれている点において、図 16 (A) に示す表示装置 10 と構成が異なる。そして、図 17 (A) に示す表示装置 10 は、トランジスタ 23 が含まれる層 43 a が、発光素子 14 E よりも基板 201 側に近い点において、図 16 (B) に示す表示装置 10 と構成が異なる。

[0179]

具体的に、図 17 (A) に示す表示装置 10 では、トランジスタ 23 が含まれる層 43 a と、トランジスタ 20 が含まれる層 43 b とを有する。そして、層 43 a は、発光素子 14 E と基板 201 との間の領域を有する。また、層 43 b は、液晶素子 13 L と発光素子 14 E の間の領域を有する。

[0180]

上記構成により、トランジスタ 23 と、トランジスタ 23 に電氣的に接続される各種配線とを、トランジスタ 20 と、トランジスタ 20 に電氣的に接続される各種配線とを、図 16 (B) の場合よりもより多く重ねることができるため、画素のサイズを小さく抑え、表示装置 10 の高精細化を実現することができる。

[0181]

次いで、図 17 (B) に、本発明の一態様に係る表示装置 10 の別の構成について、断面の構造を一例として示す。図 17 (B) に示す表示装置 10 は、トランジスタ 23 とトランジスタ 20 とが同一の層に含まれている点では、図 16 (A) に示す表示装置 10 と構成は同じである。ただし、図 17 (B) に示す表示装置 10 は、トランジスタ 23 とトランジスタ 20 とが含まれている層が、発光素

子14Eよりも基板201側に近い点において、図16（A）に示す表示装置10と構成が異なる。

〔0182〕

具体的に、図17（B）に示す表示装置10では、トランジスタ23とトランジスタ20とが含まれる層43を有する。そして、層43は、発光素子14Eと基板201との間の領域を有する。また、液晶素子13Lは、発光素子14Eよりも基板202側に近い。

〔0183〕

上記構成により、トランジスタ23とトランジスタ20とを共通の作製工程で作製することができる。また、液晶素子13Lとトランジスタ20の電気的な接続を行う配線と、発光素子14Eとトランジスタ23の電気的な接続を行う配線とが、層43に対して同一の側に設ければよい。具体的には、液晶素子13Lとトランジスタ20の電気的な接続を行う配線を、トランジスタ20の半導体層上に形成でき、なおかつ、発光素子14Eとトランジスタ23の電気的な接続を行う配線を、トランジスタ23の半導体層上に形成することができる。よって、図16（A）に示す表示装置10の場合に比べて作成工程を簡素化することができる。

〔0184〕

なお、図16及び図17では、2つの液晶素子13Lに対して1つの発光素子14Eが対応している断面構造を例示しているが、本発明の一態様に係る表示装置は、1つの液晶素子13Lに対して1つの発光素子14Eが対応している断面構造を有していても良いし、1つの液晶素子13Lに対して複数の発光素子14Eが対応している断面構造を有していても良い。

〔0185〕

また、図16及び図17では、液晶素子13Lが有する画素電極40が、可視光を反射する機能を有する場合を例示しているが、画素電極40は可視光を透過する機能を有していても良い。この場合、バックライトやフロントライトなどの光源を表示装置10に設けても良いし、液晶素子13Lを用いて画像を表示する際に発光素子14Eを光源として用いても良い。

〔0186〕

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

〔0187〕

（実施の形態5）

次いで、読み出し回路（SC15）の構成例について、図18を用いて説明する。SC15は、画素11において検出された電位の変動を用いて、物体と画素11との位置関係を情報として含む信号を生成する機能を有する。また、図18に示すSC15は、位置情報を読み出す際に、画素11に初期化用の電位を供給する機能を有する。

〔0188〕

具体的に、図18に示すSC15は、プリチャージ回路50と、スイッチ回路51と、シフトレジスタ52とを有する。プリチャージ回路50は、画素11に電気的に接続された配線MLまたは配線RLの電位を所定の値に初期化する機能を有する。シフトレジスタ52は、画素11を列ごとに選択する信号を、生成する機能を有する。スイッチ回路51は、シフトレジスタ52で生成された信号に従って、選択された列の画素11に接続された配線MLまたは配線RLの電位を読み出す機能を有する。

〔0189〕

なお、画素11を列ごとに選択する信号を生成するために、シフトレジスタ52の代わりにデコーダ

を用いても良い。

[0190]

次いで、図19に、表示装置10の構成の一例を示す。図19に示す表示装置10は、表示部120と、コントローラ(CTL106)と、入力装置109と、ホスト185と、を有する。表示部120は、画像信号に従って画像を表示する機能と、物体の接近を検出する機能とを有する。また、CTL106は、ホスト185から入力された画像データVdataを用いて、表示部120の使用に対応した画像信号を生成する機能を有する。入力装置109は、表示装置10の使用環境における外光の強度、表示装置10に入射する外光の入射角、利用者の嗜好などの使用条件の情報を、表示装置10に供給する機能を有する。ホスト185は、画像データVdata、各種の制御信号Sigconを、CTL106に供給する機能を有する。

[0191]

なお、入力装置109と、ホスト185とは、表示装置10とは別の構成として良い。

[0192]

表示部120は、画素11と、画素12と、画素11への画像信号の入力を制御する機能を有する信号線駆動回路(SD105a)と、画素12への画像信号の入力を制御する機能を有する信号線駆動回路(SD105b)と、画素11と画素12とを行ごとに選択する機能を有する走査線駆動回路(GD)と、SC15と、を有する。

[0193]

SD105aにより画素11に入力された画像信号に従って、第1の表示素子は階調が制御される。また、SD105bにより画素12に入力された画像信号に従って、第2の表示素子は階調が制御される。そして、第1の表示素子が階調を制御されることにより、複数の画素11は画像を表示することができる。また、第2の表示素子が階調を制御されることにより、複数の画素12は画像を表示することができる。

[0194]

なお、図19では、走査線駆動回路(GD)が画素11と画素12とを行ごとに選択する機能を有している場合を例示しているが、表示装置10は、画素11を行ごとに選択する機能を有する走査線駆動回路(GD)と、画素12を行ごとに選択する機能を有する走査線駆動回路(GD)とを有していても良い。

[0195]

例えば、画素11が有する第1の表示素子として反射型の液晶素子を用いる場合、画像を表示する際に光源として外光を利用することができる。外光を利用する場合、画素11においてのみ画像の表示を行うことで、表示装置10の消費電力を抑えることができる。また、画素12が有する第2の表示素子として発光素子を用いる場合、別途光源を用意する、或いは外光を利用することなく、画像の表示を行うことができる。よって、画素11と画素12のうち、画素12においてのみ画像を表示することで、外光の強度が低い場合でも画像の表示品質を高くすることができる。すなわち、表示装置10の使用環境に左右されずに高い表示品質を確保することができる。

[0196]

また、本発明の一態様に係る表示装置10では、画素11と画素12の両方を用いて画像を表示することも可能である。上記構成により、表示装置10において表示できる画像の階調数を高めることが

できる。或いは、表示装置 10 において表示できる画像の色域の範囲を広げることができる。

[0197]

CTL106は、インターフェース150、フレームメモリ151、デコーダ152、センサコントローラ153、信号コントローラ154、クロック生成回路155、画像処理部160、メモリ170、タイミングコントローラ173、レジスタ175、アナログデジタル変換回路(ADC176)を有する。

[0198]

また、入力装置109として、光センサ143、開閉センサ144、加速度センサ146などの各種センサを用いることができる。或いは、入力装置109として、タッチパネル181、キーボード182、ポインティングデバイス183などを用いることができる。入力装置109は、表示装置10に供給する使用条件の種類に合わせて、適宜選択すれば良い。

[0199]

例えば、表示装置10の使用環境における外光の強度、または表示装置10に入射する外光の入射角を使用条件として用いる場合、光センサ143で得られた情報を使用条件の情報として用いることができる。また、利用者の嗜好や利用者からの命令などを使用条件として用いる場合、入力装置109として、タッチパネル181、キーボード182、ポインティングデバイス183などで得られた情報を使用条件の情報として用いることができる。

[0200]

インターフェース150は、ホスト185からの画像データVdataや各種の制御信号SigconのCTL106への入力を制御する機能を有する。ホスト185は、CPU(Central Processing Unit)またはGPU(Graphics Processing Unit)などを有している。フレームメモリ151は、CTL106に入力された画像データを格納する機能を有する。デコーダ152は、フレームメモリ151に格納された画像データが圧縮された状態である場合に、圧縮された画像データを伸長する機能を有する。なお、デコーダ152は、フレームメモリ151に格納される前の画像データを伸長するように、フレームメモリ151に電氣的に接続されていてもよい。

[0201]

画像処理部160は、画像データに対して各種の画像処理を行い、画像信号を生成する機能を有する。上記画像処理には、使用条件に合わせて色の調整、階調数の調整を行う補正も含まれる。なお、画像処理部160が行う各種の画像処理の他の例としては、ガンマ補正などが挙げられる。また、第1の表示素子または第2の表示素子として発光素子が用いられる場合に、発光素子の劣化に合わせた輝度の調整なども、画像処理部160が行う各種の画像処理の一例として挙げられる。

[0202]

ADC176は、SC15において生成された位置情報を含む信号を、ホスト185の仕様に合わせてアナログからデジタルに変換する機能を有する。デジタルに変換された上記信号は、ホスト185に inputs される。ホスト185は、上記位置情報を画像データVdataや各種の制御信号Sigconに反映させる機能を有する。もしくは、上記位置情報を画像処理部160に供給する機能を有していても良い。この場合、画像処理部160は、位置情報に従って、画像データに対して上述した各種の画像処理を行う機能を有していてもよい。

[0203]

メモリ170は、画像信号を一時的に格納する機能を有する。画像処理部160で生成された画像信号は、メモリ170を経て、表示部120に供給される。

[0204]

タイミングコントローラ173は、SD105a、SD105b、画素11、画素12の動作で使用するタイミング信号を生成する機能を有する。

[0205]

クロック生成回路155は、CTL106で使用するクロック信号を生成する機能を有する。信号コントローラ154は、インターフェース150を介して入力される各種制御信号Signalを用いて、CTL106内の各種回路を制御する機能を有する。また、CTL106は、CTL106内の各種回路への電源供給を制御する機能を有する電源用のコントローラを有していても良い。以下、使われていない回路への電源供給を一時的に遮断することを、パワーゲーティングと呼ぶ。

[0206]

レジスタ175は、CTL106の動作に用いられるデータを格納する。レジスタ175が格納するデータには、画像処理部160が補正処理を行うために使用するパラメータ、タイミングコントローラ173が各種タイミング信号の波形生成に用いるパラメータなどがある。レジスタ175は、複数のレジスタで構成されるスキャンチェーンレジスタを備えていても良い。

[0207]

センサコントローラ153は、光センサ143、開閉センサ144、または加速度センサ146で得られた情報を基に、使用条件の情報を含む信号を生成する。当該信号は、信号コントローラ154を介して、或いは信号コントローラ154を介さずに、画像処理部160に供給される。

[0208]

なお、光センサ143は光の強度の情報を得る機能を有する。加速度センサ146は、表示装置10の傾きの情報を得る機能を有する。なお、傾きの情報を得るモジュールとして、例えばジャイロセンサなどを用いてもよい。開閉センサ144は、表示装置10が支持されている筐体と、別の筐体との間の角度の情報を得る機能を有する。或いは、表示装置10が可撓性を有し、2つの筐体によって表示装置10が支持されている場合に、筐体間の角度の情報を得る機能を有していても良い。

[0209]

また、信号コントローラ154は、入力装置109において得られる使用条件の情報に従って、画像の表示に、画素11及び画素12のどちらか一つを用いるのか、或いは両方を用いるのかを、定める機能を有する。

[0210]

画素11が有する第1の表示素子として反射型の液晶素子を用い、画素12が有する第2の表示素子として発光素子を用いている表示装置10を例に挙げると、外光の強度が高く、画素11において十分に高いコントラストの画像が表示できる場合は、画素11及び画素12のうち画素11において画像の表示を行うように、信号コントローラ154はCTL106内の各種回路を制御することができる。また、外光の強度が低く、画素11において十分に高いコントラストの画像が表示できない場合は、画素11及び画素12のうち画素12において画像の表示を行うように、信号コントローラ154はCTL106内の各種回路を制御することができる。

[0211]

或いは、信号コントローラ154は、入力装置109において得られる使用条件の情報に従って、表示装置10において表示できる画像の階調数を高める、或いは、表示装置10において表示できる画像の色域の範囲を広げる場合は、画素11及び画素12の両方において画像の表示を行うように、信号コントローラ154はCTL106内の各種回路を制御することができる。

[0212]

また、画素11と、画素12とは、互いに異なる画像を表示することもできる。一般に、反射型表示素子に適用できる液晶素子や電子ペーパー等は、動作速度が遅いものが多い（絵を表示するまでに時間を要する。）。そのため、反射型表示素子を用いた画素11に背景となる静止画を表示し、発光型表示素子を用いた画素12に動きのあるマウスポインタの画像等を表示することができる。この場合、画素11においてIDS駆動を行うことで、表示装置10は、なめらかな動画表示と低消費電力を両立することができる。この場合、フレームメモリ151には、第1の表示素子と第2の表示素子、それぞれに表示する画像データを保存する領域を設ければよい。

[0213]

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

[0214]

(実施の形態6)

次いで、本発明の一態様に係る表示装置10の、外観の一例について説明する。

[0215]

図20は、本発明の一態様に係る表示装置10の斜視図の一例である。図20に示す表示装置10では、画素部1600が基板1601と基板1602の間に位置する。画素部1600は、第1の表示素子を含む画素と、第2の表示素子を含む画素とを有している。また、図20に示す表示装置10では、走査線駆動回路(GD1603)と、走査線駆動回路(GD1604)と、読み出し回路(SC1609)などが、画素部1600と共に基板1601と基板1602の間に位置する場合を例示している。

[0216]

また、図20に示す表示装置10では、基板1601上に信号線駆動回路を有するIC1605及び信号線駆動回路を有するIC1606が位置する。また、回路基板1607はFPC1608を介して画素部1600、GD1603、GD1604、IC1605、IC1606等に電気的に接続されている。図19に示す表示装置10を例に挙げると、回路基板1607には、CTL106などが実装されている。

[0217]

本実施の形態は、上記実施の形態と適宜組み合わせて実施することができる。

[0218]

(実施の形態7)

図21に、本発明の一態様に係る表示装置を用いた電子機器の具体例を示す。

[0219]

図21(A)は携帯型ゲーム機であり、筐体5001、筐体5002、本発明の一態様に係る表示装置5003、発明の一態様に係る表示装置5004、マイクロホン5005、スピーカ5006、操

作キー５００７、スタイラス５００８等を有する。なお、図２１（Ａ）に示した携帯型ゲーム機は、表示装置５００３と表示装置５００４とで示す二つの表示装置を有しているが、携帯型ゲーム機が有する表示装置の数は、これに限定されない。携帯型ゲーム機に本発明の一態様に係る表示装置５００３及び表示装置５００４を用いることで、使用環境における外光の強度に左右されずに、表示装置５００３及び表示装置５００４に表示品質の高い画像を表示することができ、消費電力も抑えることができる。

[０２２０]

図２１（Ｂ）は腕時計型の携帯情報端末であり、筐体５２０１、本発明の一態様に係る表示装置５２０２、ベルト５２０３、光センサ５２０４、スイッチ５２０５等を有する。腕時計型の携帯情報端末に本発明の一態様に係る表示装置５２０２を用いることで、使用環境における外光の強度に左右されずに、表示装置５２０２に表示品質の高い画像を表示することができ、消費電力も抑えることができる。

[０２２１]

図２１（Ｃ）はタブレット型のパーソナルコンピュータであり、筐体５３０１、筐体５３０２、本発明の一態様に係る表示装置５３０３、光センサ５３０４、光センサ５３０５、スイッチ５３０６等を有する。表示装置５３０３は、筐体５３０１及び筐体５３０２によって支持されている。そして、表示装置５３０３は可撓性を有する基板を用いて形成されているため形状をフレキシブルに曲げることができる機能を有する。筐体５３０１と筐体５３０２の間の角度をヒンジ５３０７及び５３０８において変更することで、筐体５３０１と筐体５３０２が重なるように、表示装置５３０３を折りたたむことができる。図示してはいないが、開閉センサを内蔵させ、上記角度の変化を表示装置５３０３において使用条件の情報として用いても良い。また、光センサ５３０４は筐体５３０１に付いており、光センサ５３０５は筐体５３０２に付いている。上記構成により、筐体５３０１に支持されている領域における表示装置５３０３への外光の入射角の情報と、筐体５３０２に支持されている領域における表示装置５３０３への外光の入射角の情報を、共に表示装置５３０３における使用条件の情報として用いることができる。タブレット型のパーソナルコンピュータに本発明の一態様に係る表示装置５３０３を用いることで、使用環境における外光の強度に左右されずに、表示装置５３０３に表示品質の高い画像を表示することができ、消費電力も抑えることができる。

[０２２２]

図２１（Ｄ）はビデオカメラであり、筐体５８０１、筐体５８０２、本発明の一態様に係る表示装置５８０３、操作キー５８０４、レンズ５８０５、接続部５８０６等を有する。操作キー５８０４及びレンズ５８０５は筐体５８０１に設けられており、表示装置５８０３は筐体５８０２に設けられている。そして、筐体５８０１と筐体５８０２とは、接続部５８０６により接続されており、筐体５８０１と筐体５８０２の間の角度は、接続部５８０６により変更が可能である。表示装置５８０３における映像を、接続部５８０６における筐体５８０１と筐体５８０２との間の角度に従って切り替える構成としても良い。ビデオカメラに本発明の一態様に係る表示装置５８０３を用いることで、使用環境における外光の強度に左右されずに、表示装置５８０３に表示品質の高い画像を表示することができ、消費電力も抑えることができる。

[０２２３]

図２１（Ｅ）は腕時計型の携帯情報端末であり、曲面を有する筐体５７０１、本発明の一態様に係る

表示装置 5 7 0 2 等を有する。本発明の一態様に係る表示装置 5 7 0 2 に可撓性を有する基板を用いることで、曲面を有する筐体 5 7 0 1 に表示装置 5 7 0 2 を支持させることができ、フレキシブルかつ軽くて使い勝手の良い腕時計型の携帯情報端末を提供することができる。そして、腕時計型の携帯情報端末に本発明の一態様に係る表示装置 5 7 0 2 を用いることで、使用環境における外光の強度に左右されずに、表示装置 5 7 0 2 に表示品質の高い画像を表示することができ、消費電力も抑えることができる。

[0 2 2 4]

図 2 1 (F) は携帯電話であり、曲面を有する筐体 5 9 0 1 に、本発明の一態様に係る表示装置 5 9 0 2 、マイク 5 9 0 7 、スピーカ 5 9 0 4 、カメラ 5 9 0 3 、外部接続部 5 9 0 6 、操作用のボタン 5 9 0 5 が設けられている。携帯電話に本発明の一態様に係る表示装置 5 9 0 2 を用いることで、使用環境における外光の強度に左右されずに、表示装置 5 9 0 2 に表示品質の高い画像を表示することができ、消費電力も抑えることができる。

[0 2 2 5]

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

[符号の説明]

[0 2 2 6]

- 1 0 表示装置
- 1 1 画素
- 1 2 画素
- 1 2 a 画素
- 1 2 b 画素
- 1 2 c 画素
- 1 2 d 画素
- 1 3 第 1 の表示素子
- 1 3 L 液晶素子
- 1 4 第 2 の表示素子
- 1 4 E 発光素子
- 1 4 L 液晶素子
- 1 5 S C
- 1 6 指
- 1 7 静電容量
- 1 9 トランジスタ
- 2 0 トランジスタ
- 2 1 トランジスタ
- 2 2 容量素子
- 2 3 トランジスタ
- 2 4 トランジスタ
- 2 5 容量素子
- 2 5 a 容量素子

2 5 b 容量素子
2 6 トランジスタ
2 7 トランジスタ
2 8 容量素子
2 9 トランジスタ
3 0 静電容量
4 0 画素電極
4 1 コモン電極
4 2 液晶層
4 3 層
4 3 a 層
4 3 b 層
5 0 プリチャージ回路
5 1 スイッチ回路
5 2 シフトレジスタ
1 0 5 a S D
1 0 5 b S D
1 0 6 C T L
1 0 9 入力装置
1 2 0 表示部
1 4 3 光センサ
1 4 4 開閉センサ
1 4 6 加速度センサ
1 5 0 インターフェース
1 5 1 フレームメモリ
1 5 2 デコーダ
1 5 3 センサコントローラ
1 5 4 信号コントローラ
1 5 5 クロック生成回路
1 6 0 画像処理部
1 7 0 メモリ
1 7 3 タイミングコントローラ
1 7 5 レジスタ
1 7 6 A D C
1 8 1 タッチパネル
1 8 2 キーボード
1 8 3 ポインティングデバイス
1 8 5 ホスト
2 0 1 基板

2 0 2 基板
2 5 0 基板
2 5 1 基板
3 0 0 導電層
3 0 0 a 導電層
3 0 0 b 導電層
3 0 1 絶縁層
3 0 2 液晶層
3 0 3 絶縁層
3 0 4 a 導電層
3 0 4 b 導電層
3 0 5 絶縁層
3 0 6 導電層
3 0 7 絶縁層
3 0 8 導電層
3 0 9 導電層
3 1 0 導電層
3 1 1 絶縁層
3 1 2 半導体層
3 1 3 半導体層
3 1 4 半導体層
3 1 5 導電層
3 1 6 導電層
3 1 7 導電層
3 1 8 導電層
3 1 9 導電層
3 2 0 導電層
3 2 1 絶縁層
3 2 2 半導体層
3 2 3 導電層
3 2 4 導電層
3 2 5 絶縁層
3 2 6 絶縁層
3 2 7 導電層
3 2 8 樹脂層
3 2 9 絶縁層
3 3 0 導電層
3 3 1 E L 層
3 3 2 導電層

3 3 3	樹脂層
3 3 5	絶縁層
3 3 6	封止層
1 6 0 0	画素部
1 6 0 1	基板
1 6 0 2	基板
1 6 0 3	G D
1 6 0 4	G D
1 6 0 5	I C
1 6 0 6	I C
1 6 0 7	回路基板
1 6 0 8	F P C
1 6 0 9	S C
5 0 0 1	筐体
5 0 0 2	筐体
5 0 0 3	表示装置
5 0 0 4	表示装置
5 0 0 5	マイクロホン
5 0 0 6	スピーカ
5 0 0 7	操作キー
5 0 0 8	スタイラス
5 2 0 1	筐体
5 2 0 2	表示装置
5 2 0 3	ベルト
5 2 0 4	光センサ
5 2 0 5	スイッチ
5 3 0 1	筐体
5 3 0 2	筐体
5 3 0 3	表示装置
5 3 0 4	光センサ
5 3 0 5	光センサ
5 3 0 6	スイッチ
5 3 0 7	ヒンジ
5 7 0 1	筐体
5 7 0 2	表示装置
5 8 0 1	筐体
5 8 0 2	筐体
5 8 0 3	表示装置
5 8 0 4	操作キー

5 8 0 5	レンズ
5 8 0 6	接続部
5 9 0 1	筐体
5 9 0 2	表示装置
5 9 0 3	カメラ
5 9 0 4	スピーカ
5 9 0 5	ボタン
5 9 0 6	外部接続部
5 9 0 7	マイク

請求の範囲

[請求項1]

第1の画素と、第2の画素と、を有し、
前記第1の画素は、第1の表示素子を有し、
前記第2の画素は、第2の表示素子を有し、
前記第1の画素は、物体の接近を検出する機能を有する表示装置。

[請求項2]

請求項1において、
第1の期間と、第2の期間と、を有し、
前記第1の期間において、前記第1の表示素子が駆動せず、かつ、前記第2の表示素子が駆動し、
前記第2の期間において、前記第1の表示素子が駆動し、かつ、前記第2の表示素子が駆動せず、
前記第1の期間において、前記第1の画素が物体の接近を検出する表示装置。

[請求項3]

請求項1において、
第1の期間と、第2の期間と、第3の期間と、を有し、
前記第1の期間において、前記第1の表示素子が駆動せず、かつ、前記第2の表示素子が駆動し、
前記第2の期間において、前記第1の表示素子が駆動し、かつ、前記第2の表示素子が駆動せず、
前記第3の期間において、前記第1の表示素子が駆動し、かつ、前記第2の表示素子が駆動し、
前記第1の期間において、前記第1の画素が物体の接近を検出する表示装置。

[請求項4]

第1の画素と、第2の画素と、第1の回路と、を有し、
前記第1の画素は、第1のトランジスタと、第2のトランジスタと、第1の表示素子と、を有し、
前記第2の画素は、第2の表示素子を有し、
前記第1のトランジスタは、前記第1の表示素子の第1の電極への画像信号の供給を制御する機能を有し、
前記第2のトランジスタのゲートは、前記第1の電極に電氣的に接続され、
前記第1の回路は、前記第2のトランジスタのドレイン電流の大きさを検出する機能を有する表示装置。

[請求項5]

請求項4において、
第1の期間と、第2の期間と、を有し、
前記第1の期間において、前記第1の表示素子が駆動せず、かつ、前記第2の表示素子が駆動し、
前記第2の期間において、前記第1の表示素子が駆動し、かつ、前記第2の表示素子が駆動せず、
前記第1の期間において、前記第1の回路は、前記第2のトランジスタのドレイン電流の大きさを検出する表示装置。

[請求項6]

請求項4において、
第1の期間と、第2の期間と、第3の期間と、を有し、
前記第1の期間において、前記第1の表示素子が駆動せず、かつ、前記第2の表示素子が駆動し、

前記第2の期間において、前記第1の表示素子が駆動し、かつ、前記第2の表示素子が駆動せず、
前記第3の期間において、前記第1の表示素子が駆動し、かつ、前記第2の表示素子が駆動し、
前記第1の期間において、前記第1の回路は、前記第2のトランジスタのドレイン電流の大きさを
検出する表示装置。

[請求項7]

第1の画素と、第2の画素と、第1の回路と、を有し、
前記第1の画素は、第1のトランジスタと、第1の表示素子と、を有し、
前記第2の画素は、第2の表示素子を有し、
前記第1のトランジスタのソース又はドレインの一方は、第1の配線に電氣的に接続され、
前記第1のトランジスタのソース又はドレインの他方は、前記第1の表示素子の第1の電極に電氣的に接続され、
前記第1の表示素子の第2の電極は、第2の配線に電氣的に接続され、
前記第1の配線は、前記第2の配線に交差しており、
前記第1の回路は、前記第2の配線の電位の変化を検出する機能を有する表示装置。

[請求項8]

請求項7において、
第1の期間と、第2の期間と、を有し、
前記第1の期間において、前記第1の表示素子が駆動せず、かつ、前記第2の表示素子が駆動し、
前記第2の期間において、前記第1の表示素子が駆動し、かつ、前記第2の表示素子が駆動せず、
前記第1の期間において、前記第1の回路は、前記第2の配線の電位の変化を検出する表示装置。

[請求項9]

請求項7において、
第1の期間と、第2の期間と、第3の期間と、を有し、
前記第1の期間において、前記第1の表示素子が駆動せず、かつ、前記第2の表示素子が駆動し、
前記第2の期間において、前記第1の表示素子が駆動し、かつ、前記第2の表示素子が駆動せず、
前記第3の期間において、前記第1の表示素子が駆動し、かつ、前記第2の表示素子が駆動し、
前記第1の期間において、前記第1の回路は、前記第2の配線の電位の変化を検出する表示装置。

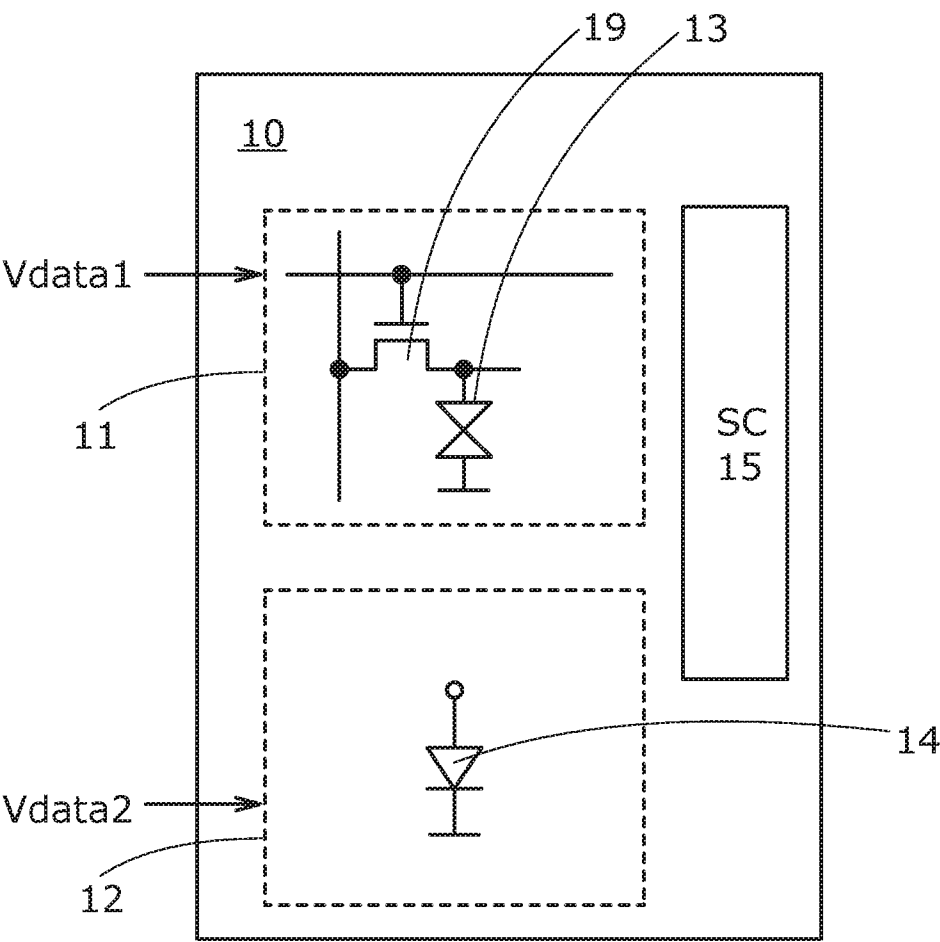
[請求項10]

請求項1乃至請求項9のいずれか一において、
前記第1の表示素子は、光の反射を利用して階調を表示する機能を有し、
前記第2の表示素子は、発光の強度により階調を表示する機能を有する表示装置。

[請求項11]

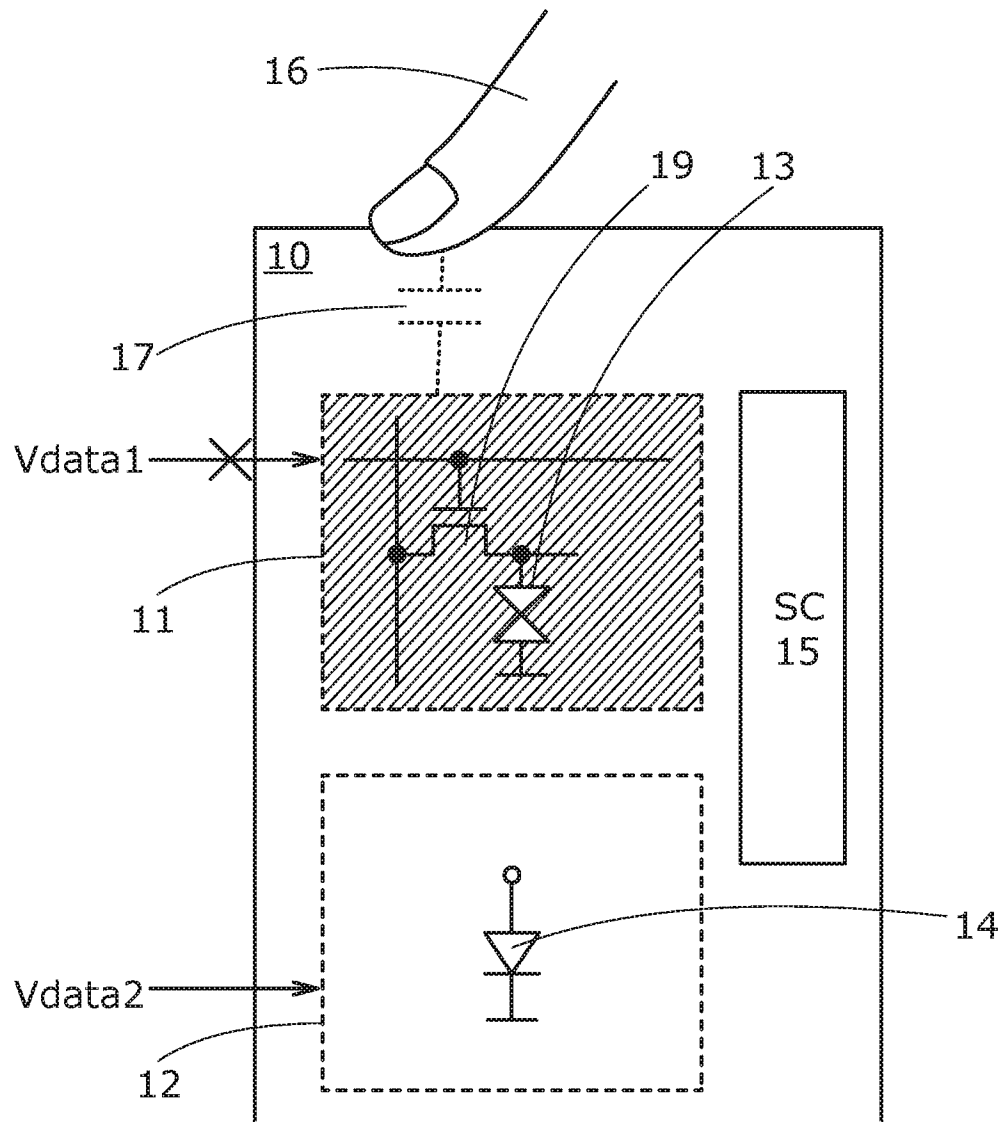
請求項1乃至請求項9のいずれか一において、
前記第1の表示素子は、光の反射を利用して階調を表示する機能を有し、
前記第2の表示素子は、光の透過を利用して階調を表示する機能を有する表示装置。

[図 1]



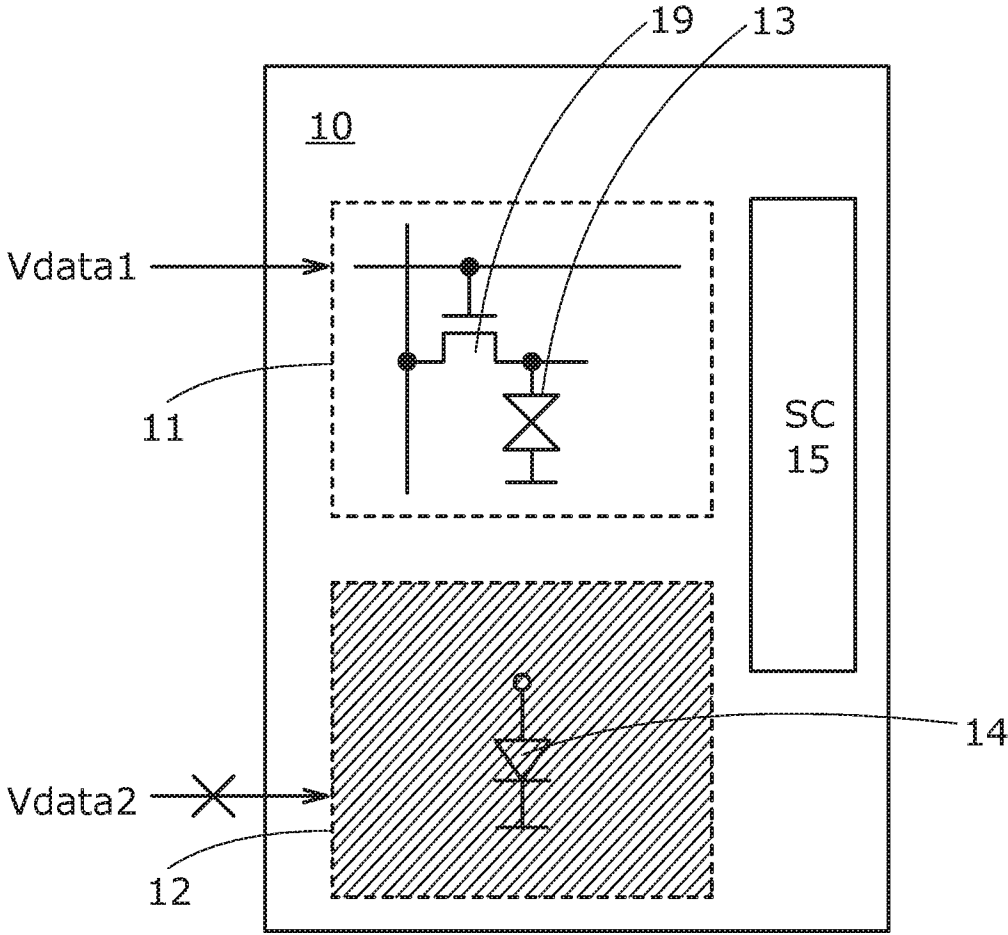
[図2]

2/21



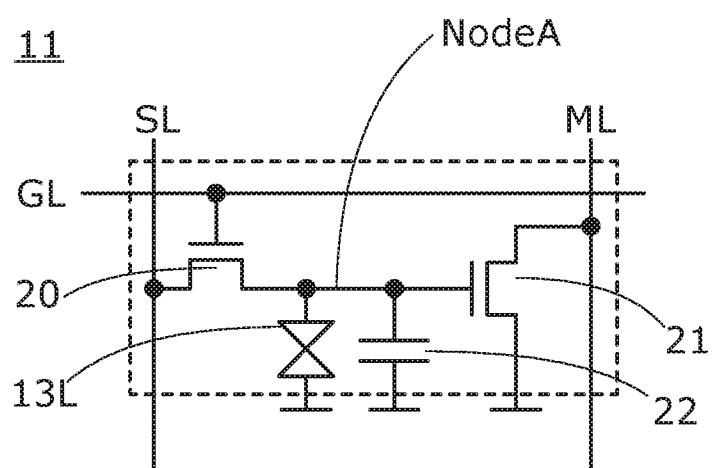
[図3]

3/21



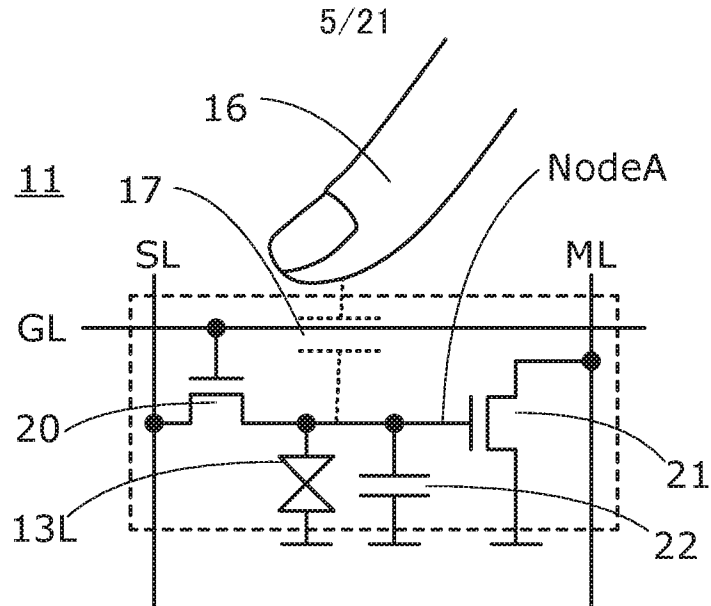
[图 4]

4/21

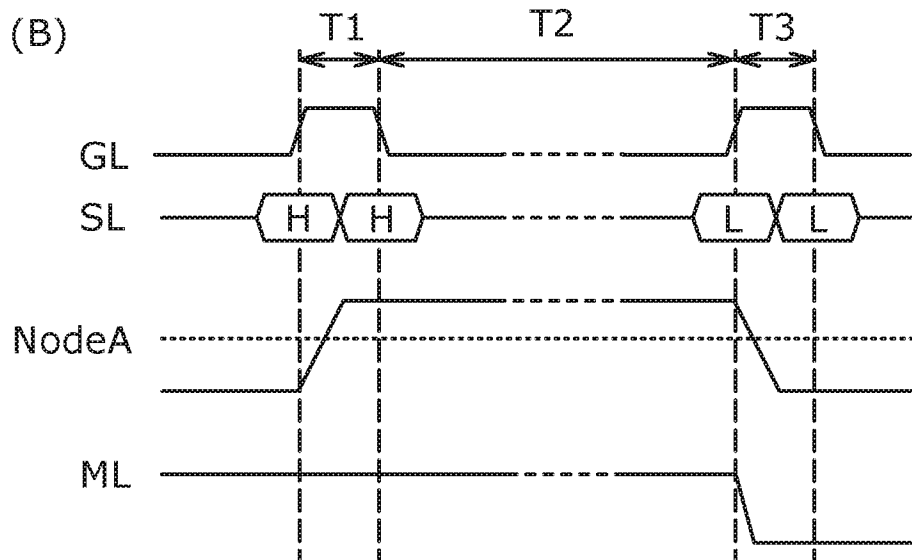


[図5]

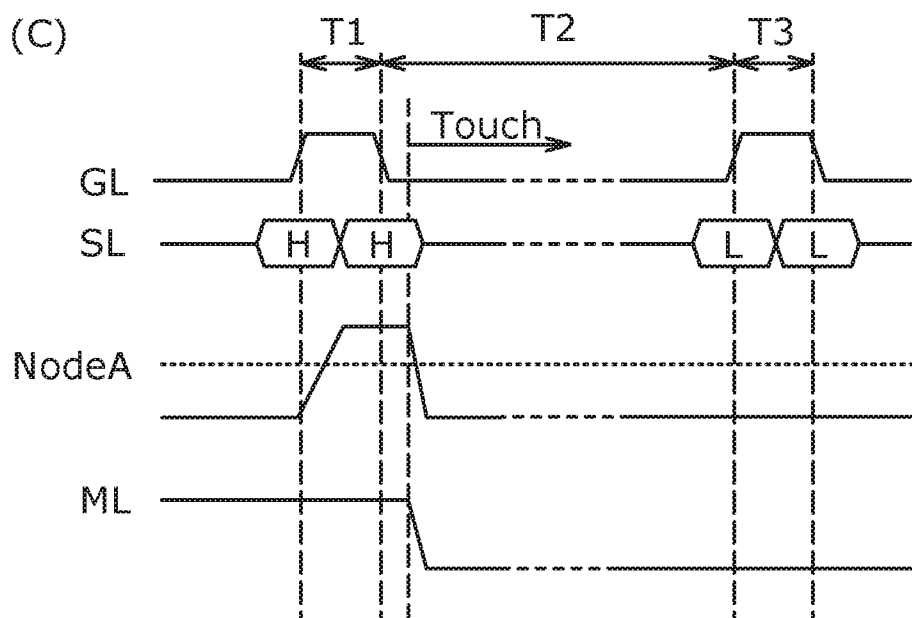
(A)



(B)

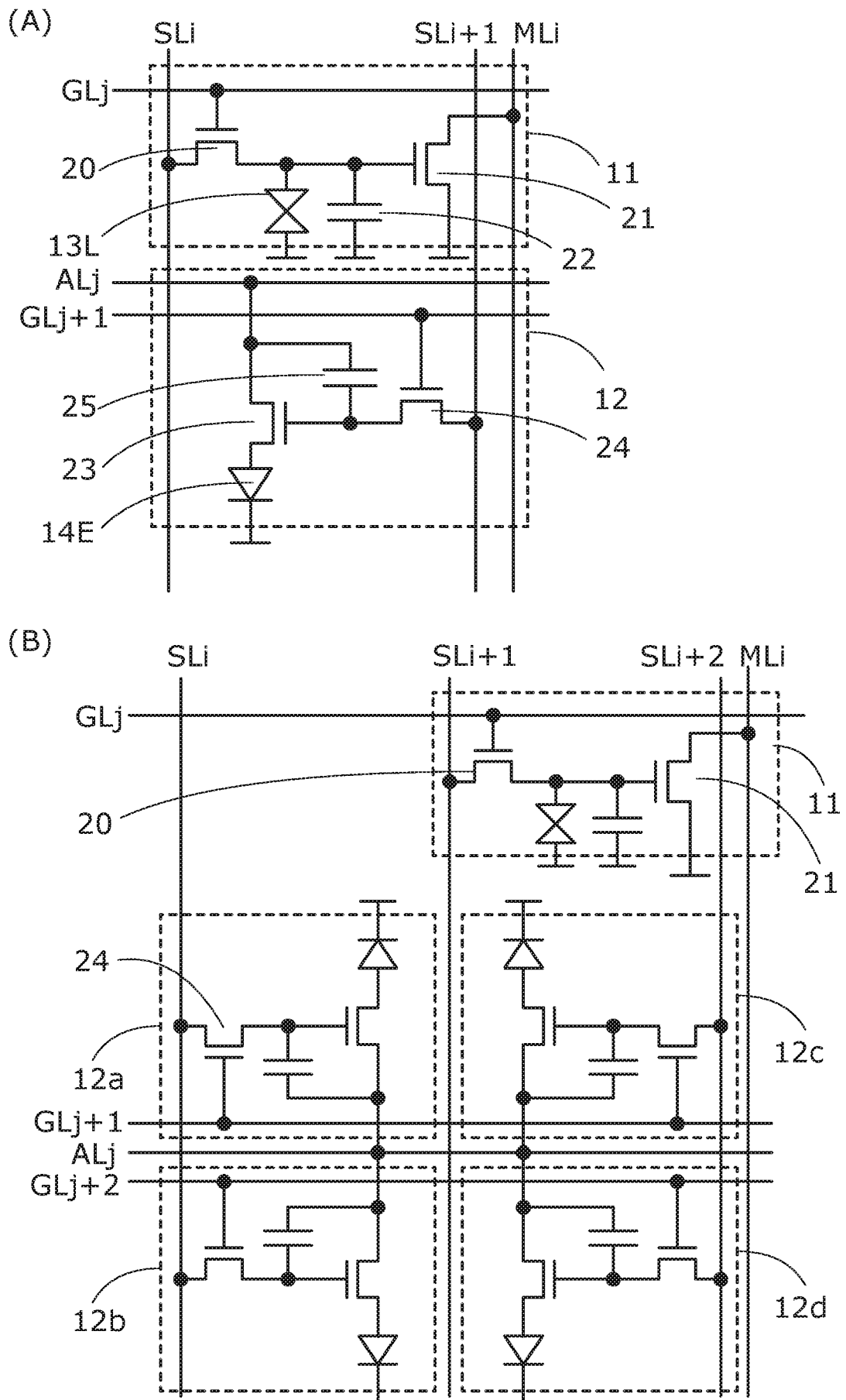


(C)



[図6]

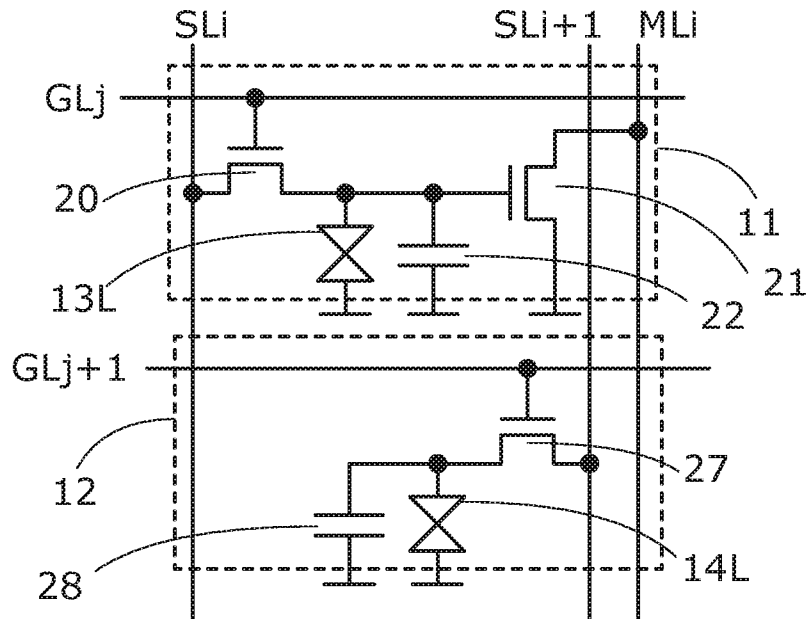
6/21



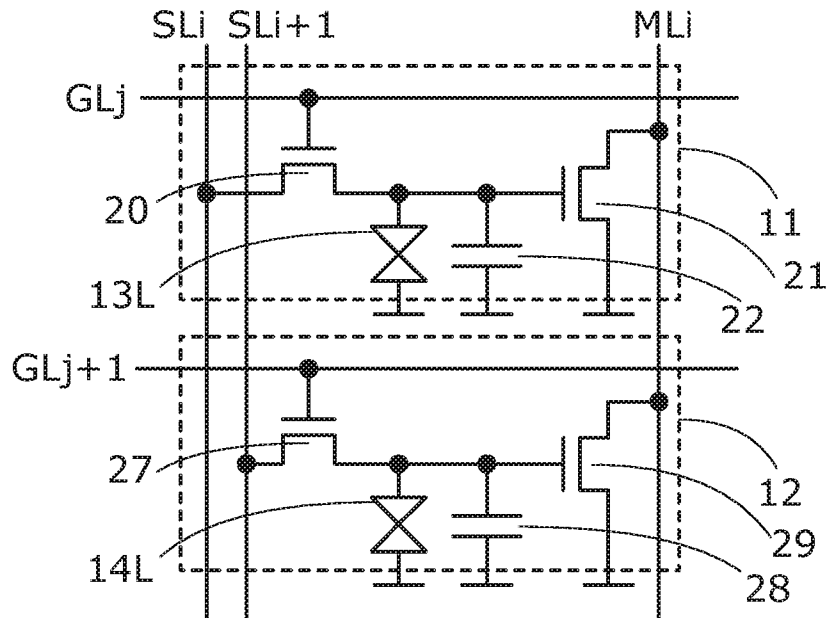
[図 7]

7/21

(A)

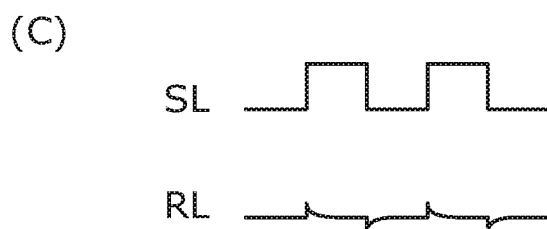
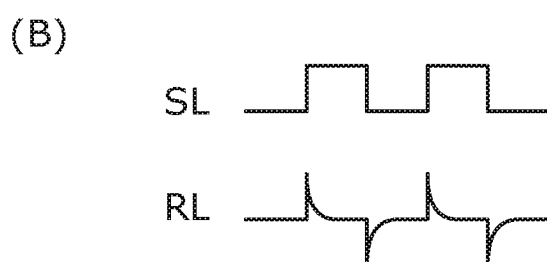
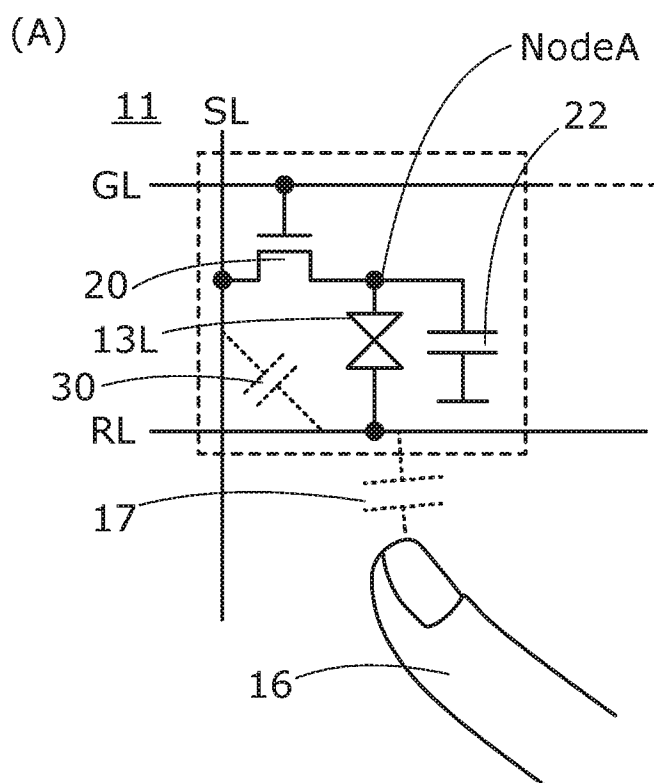


(B)



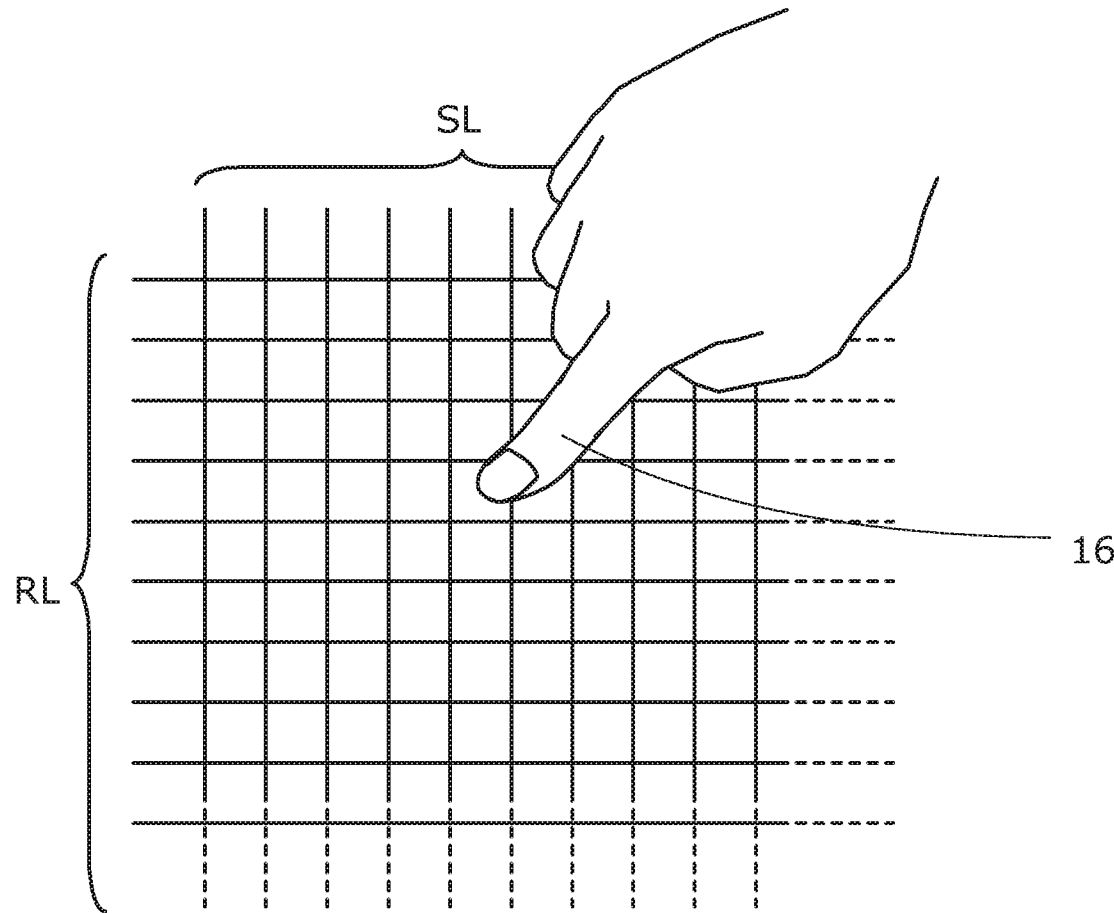
[图 8]

8/21



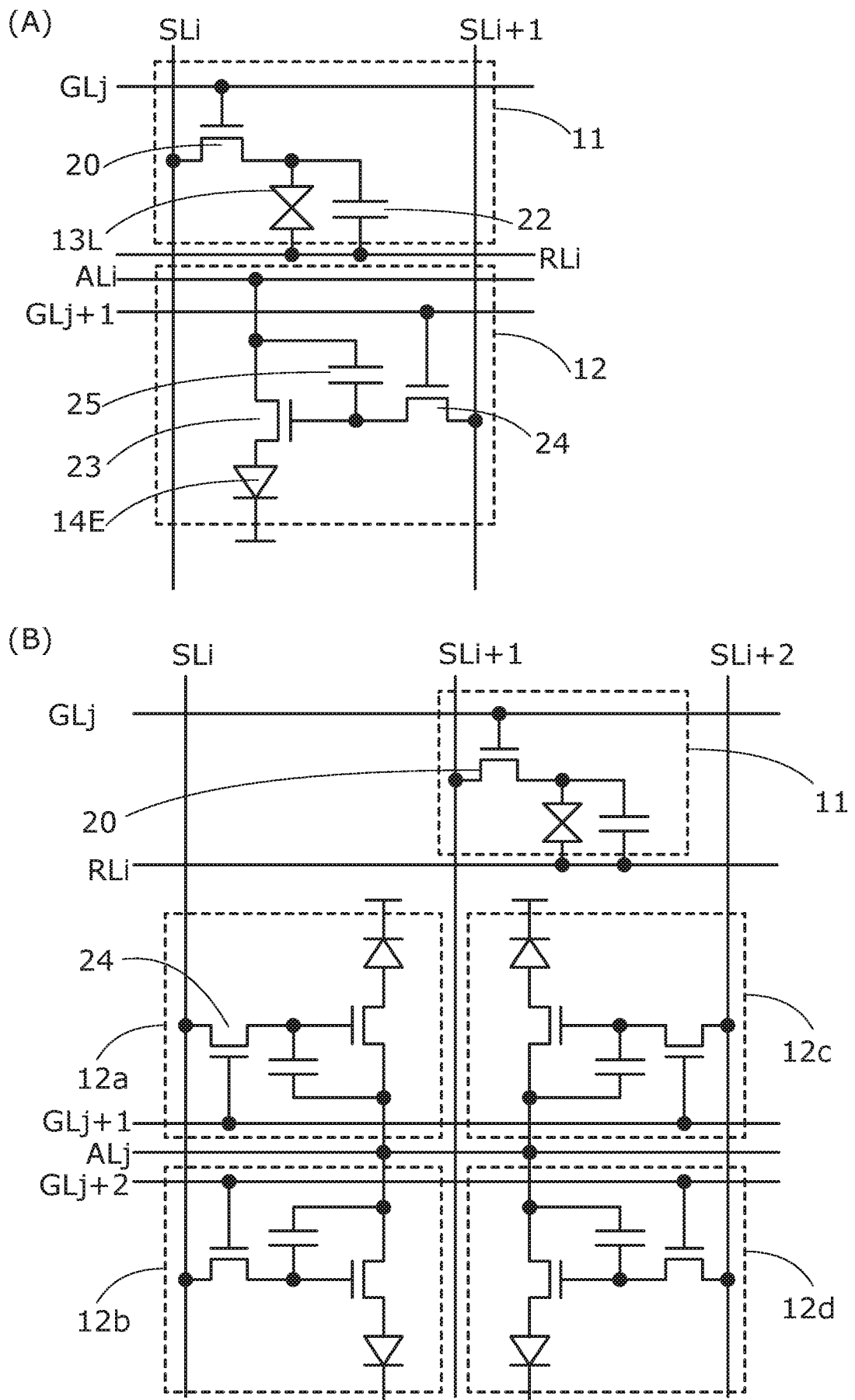
[図9]

9/21



[図10]

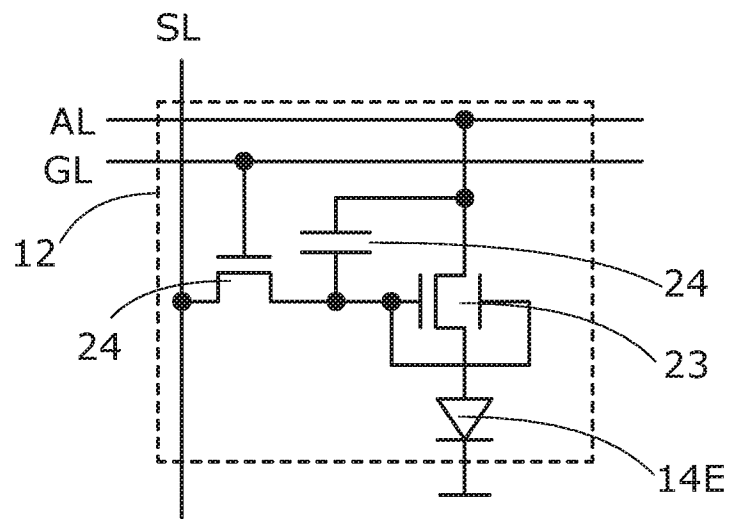
10/21



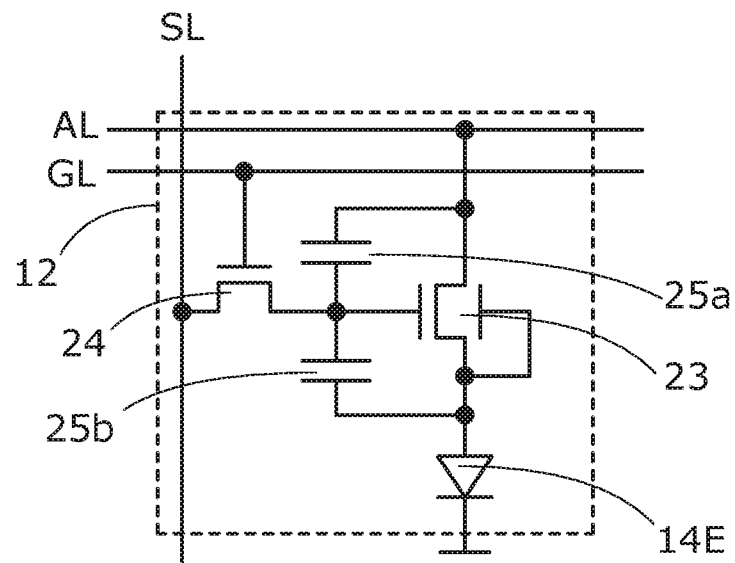
[図11]

11/21

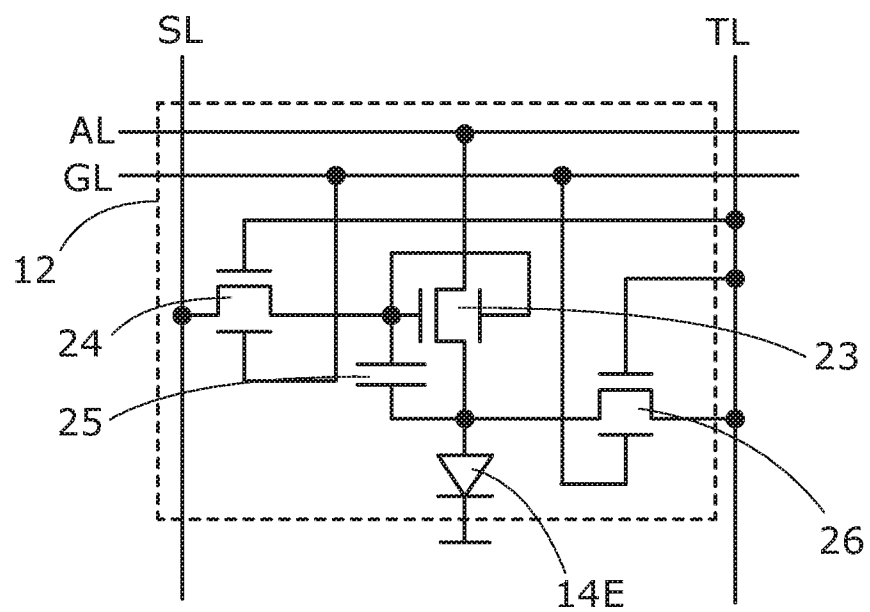
(A)

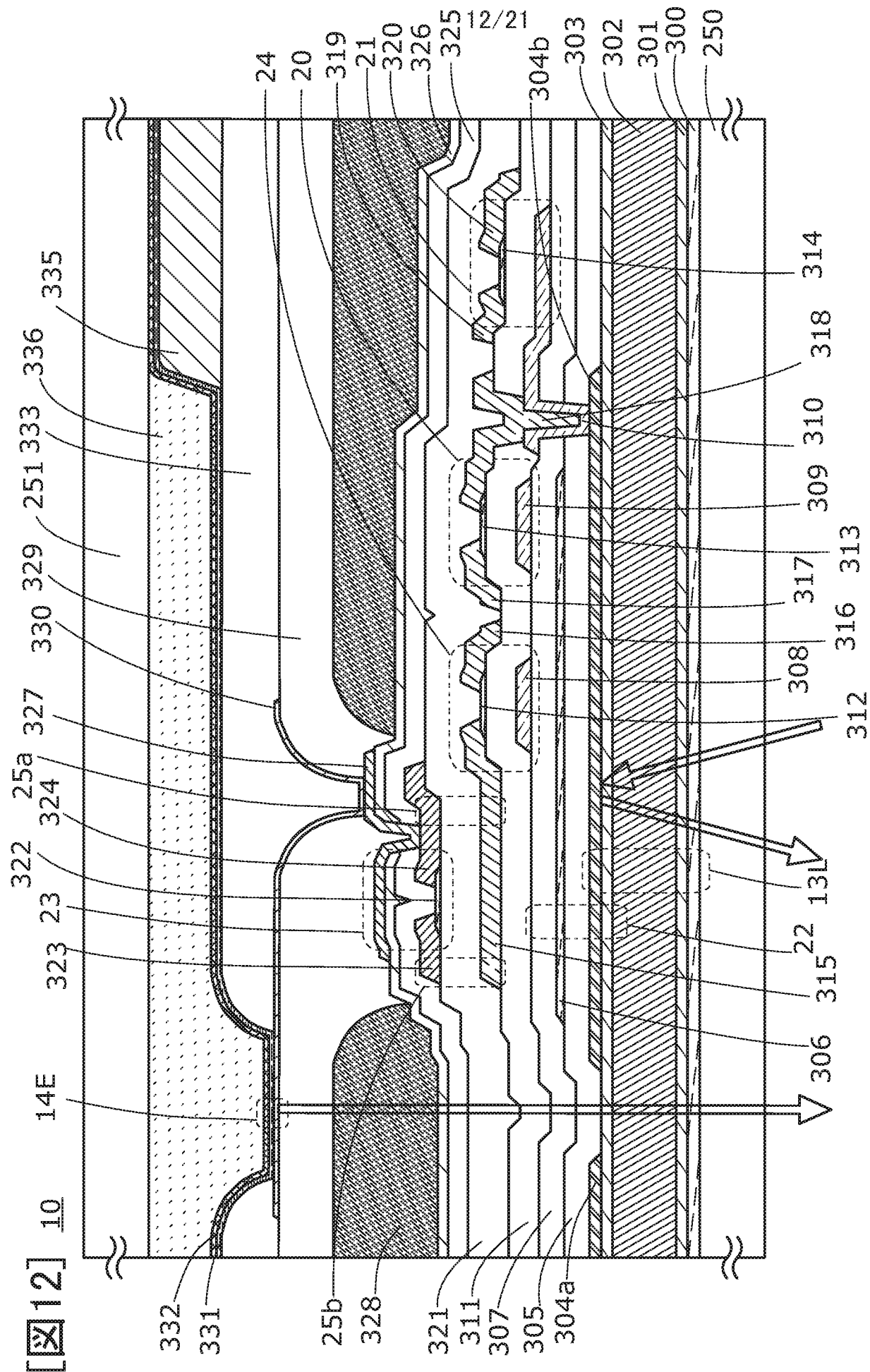


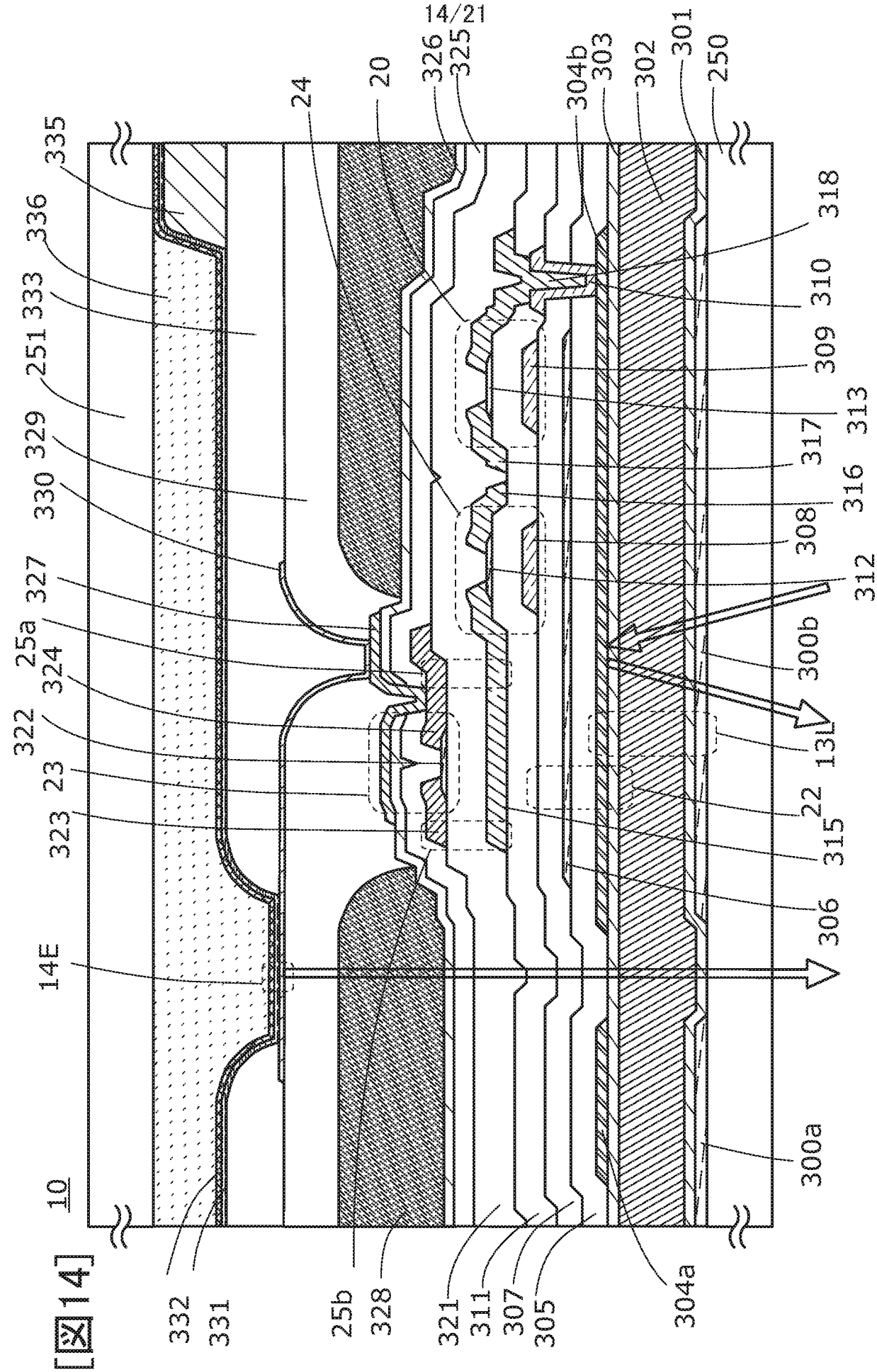
(B)

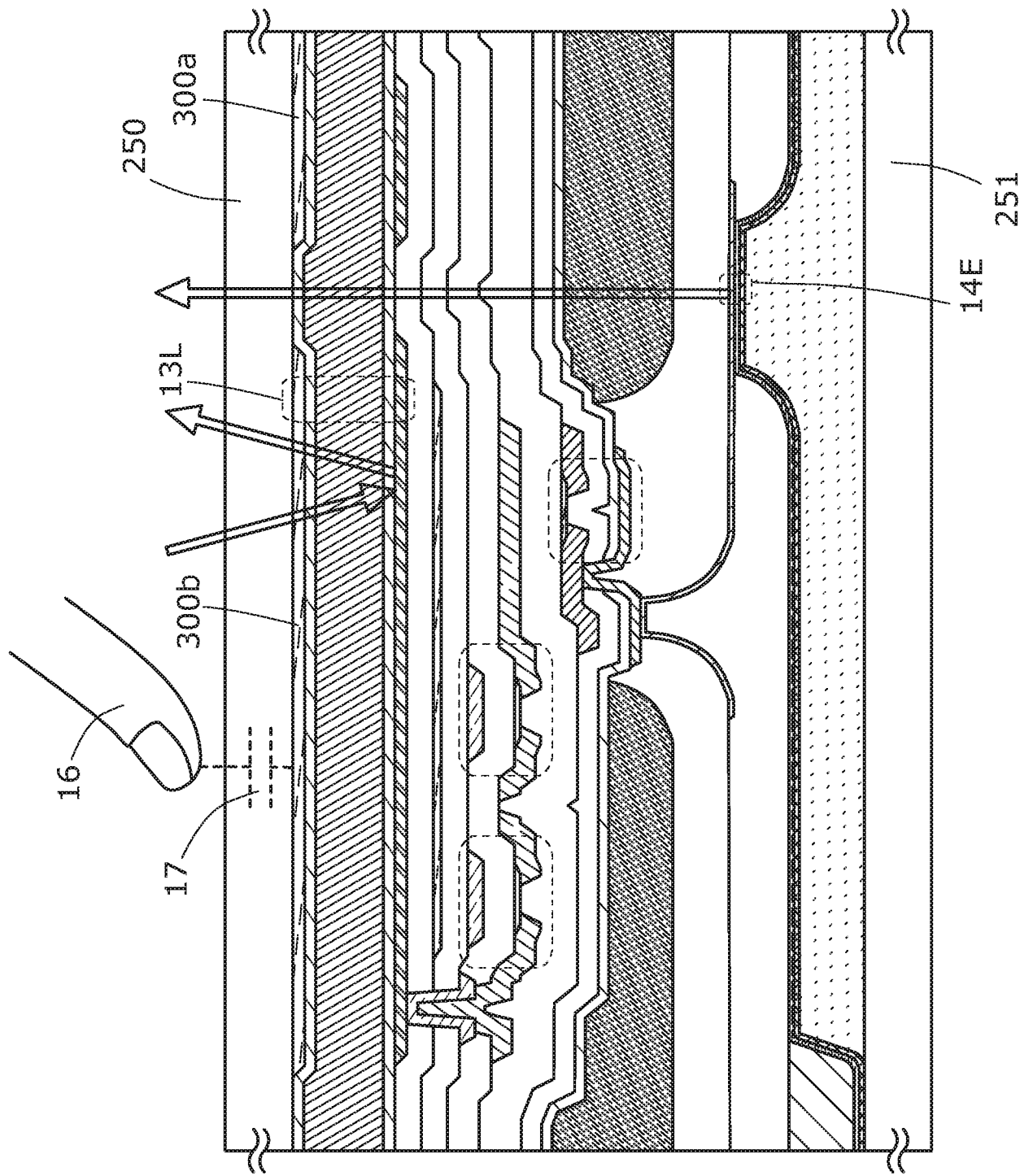


(C)





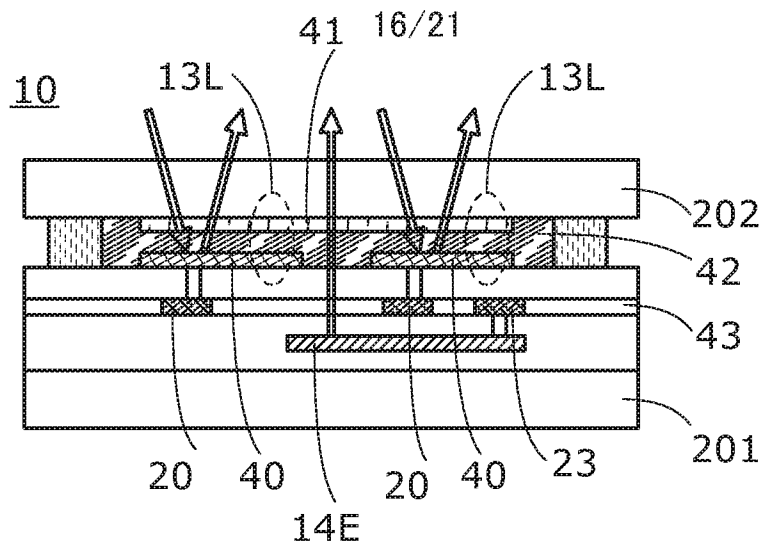




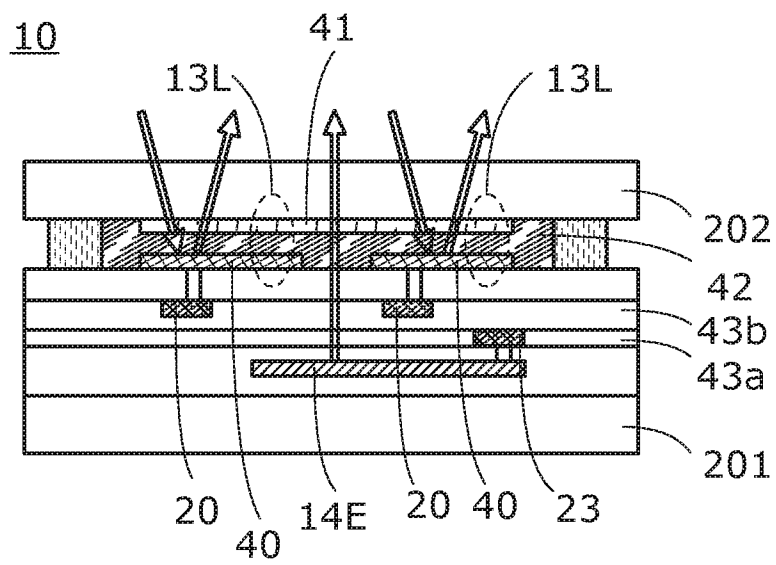
[図15]

[図16]

(A)

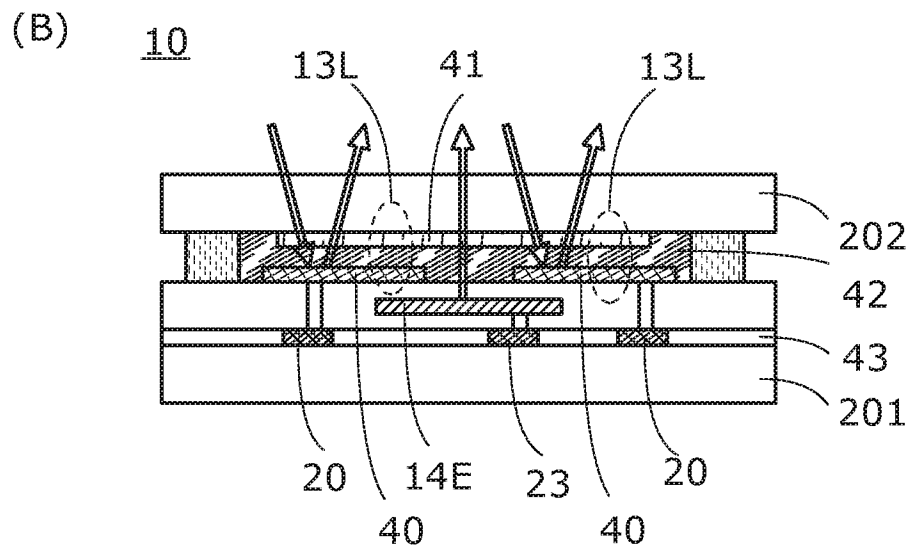
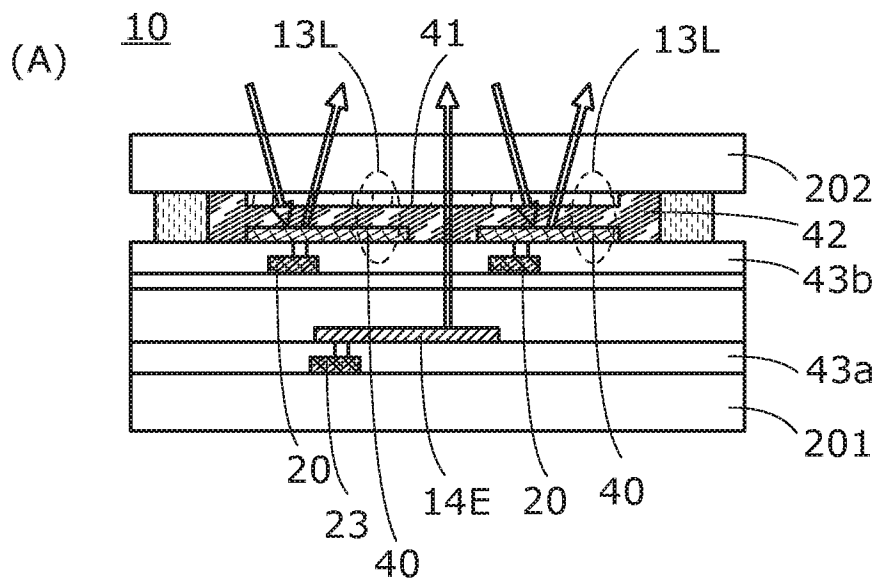


(B)



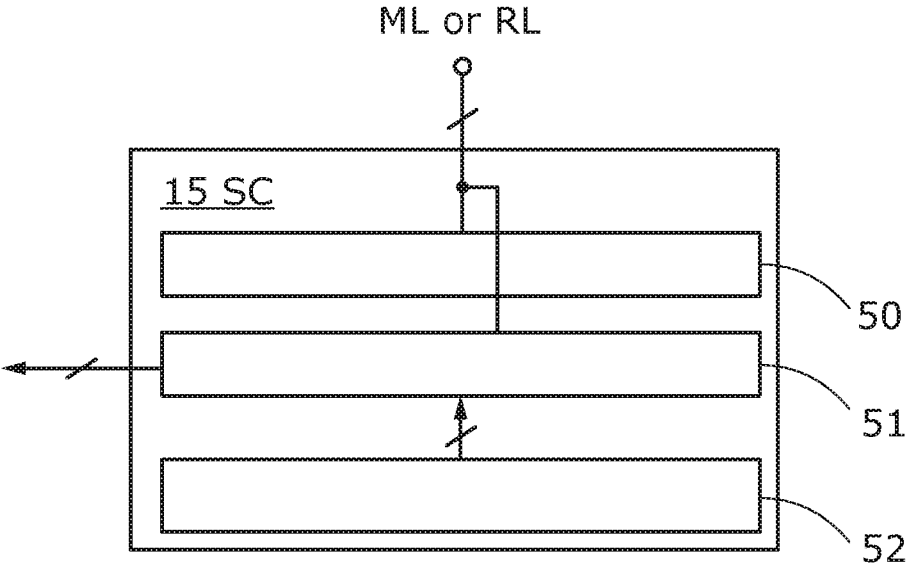
[図 17]

17/21



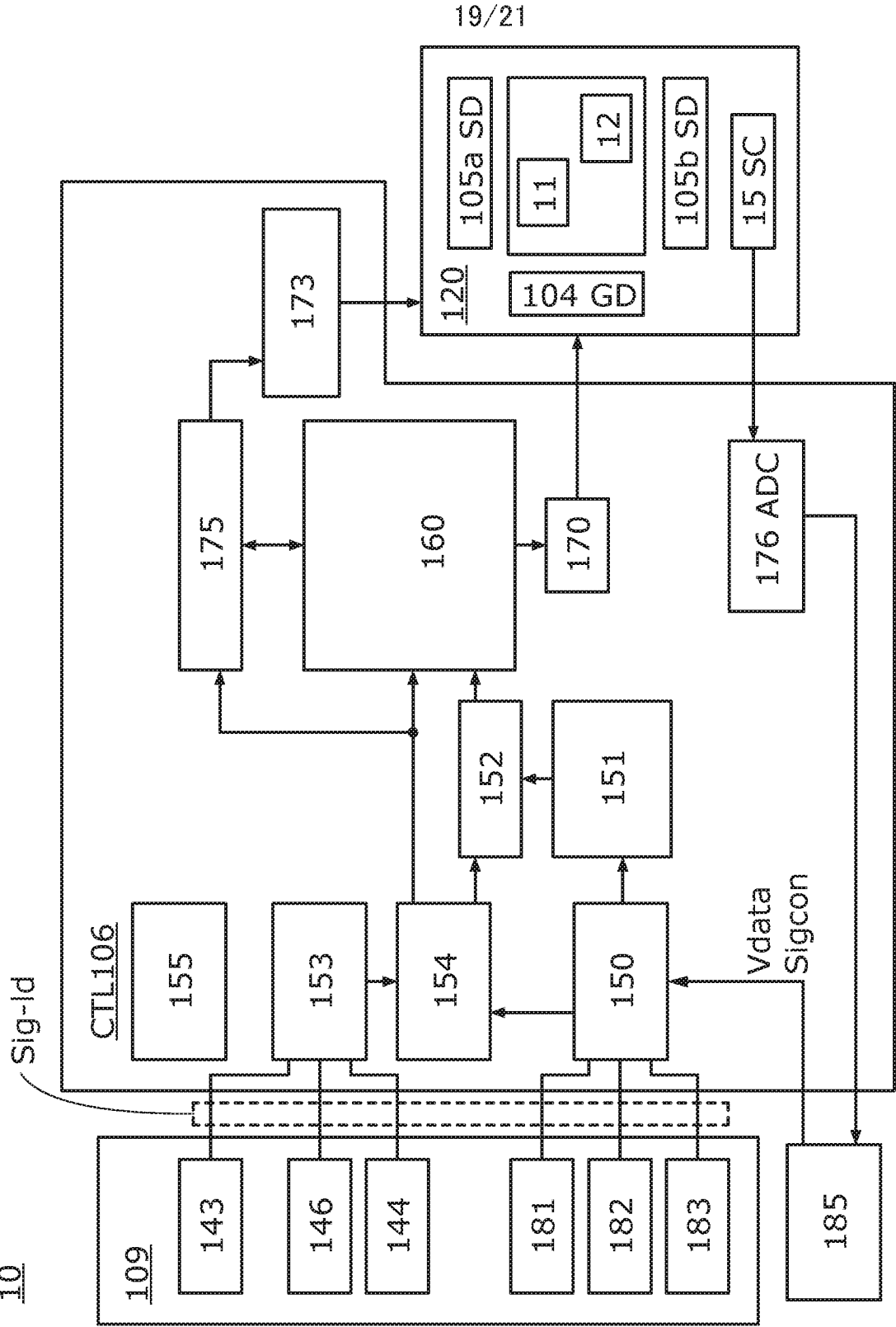
[図18]

18/21



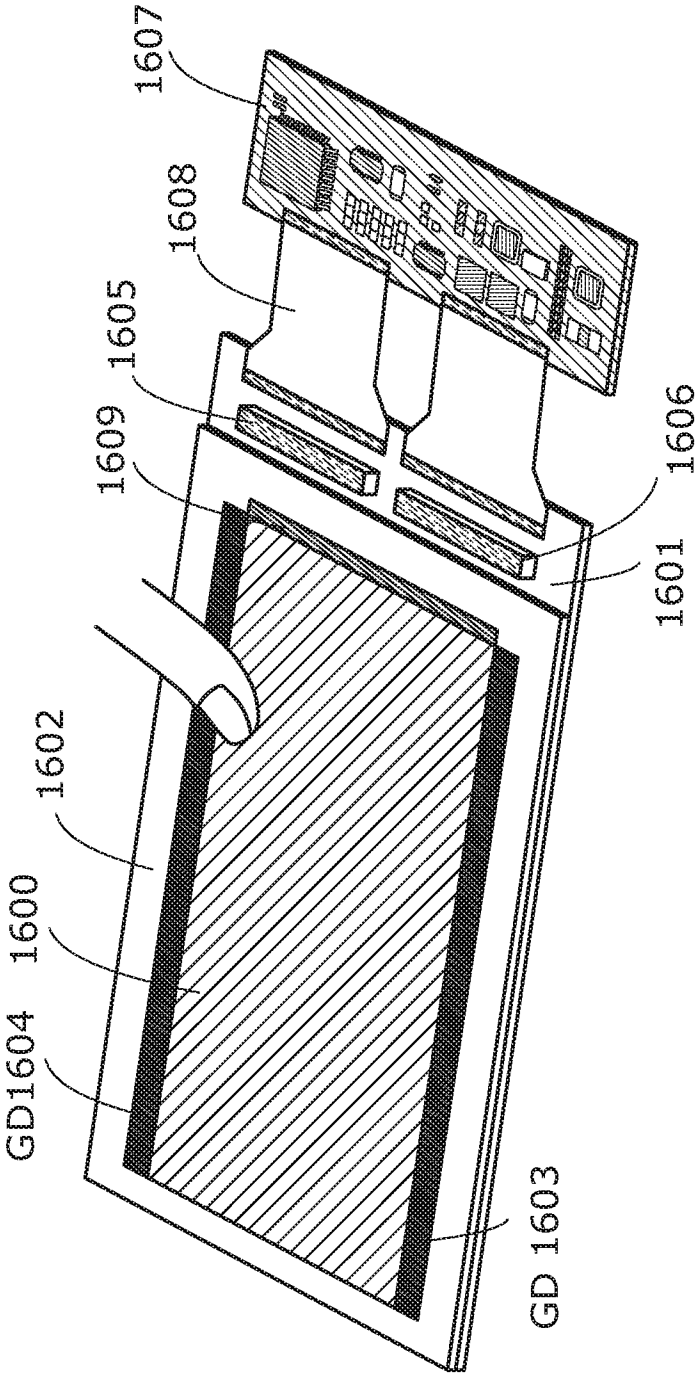
[19]

10

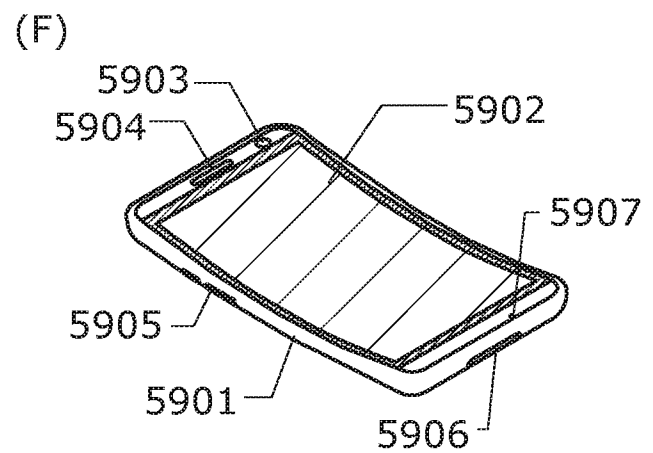
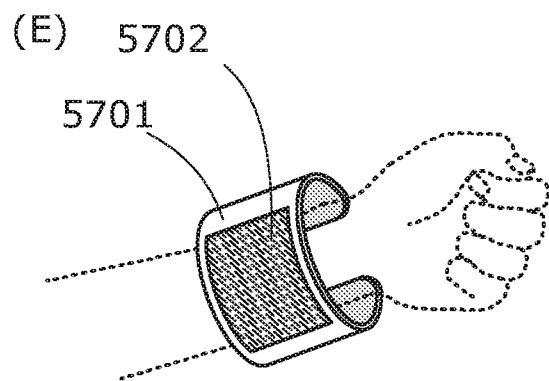
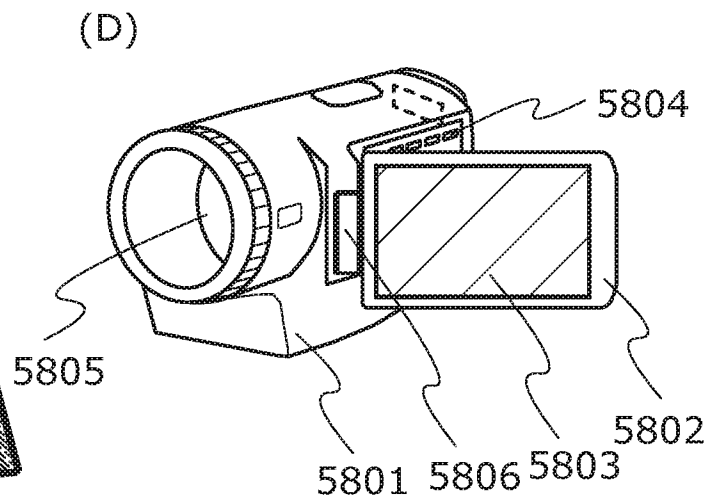
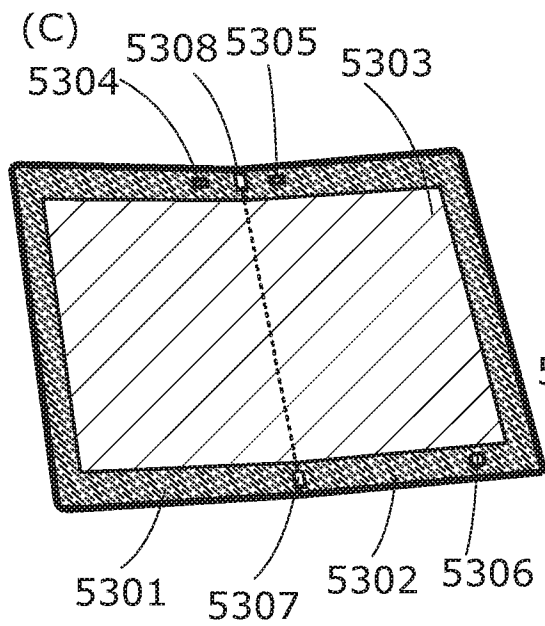
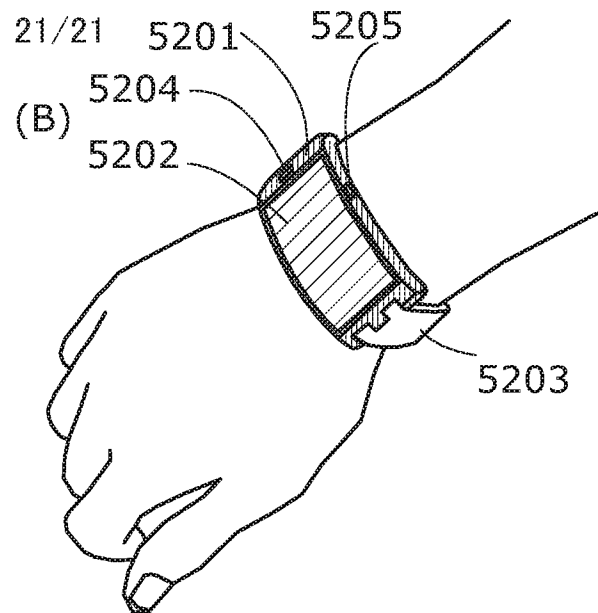
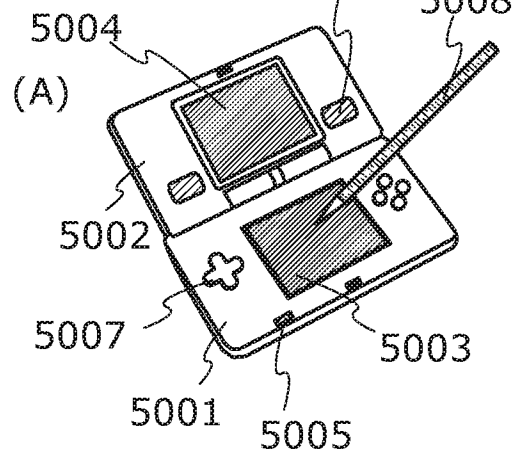


[図20]

10



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2017/052895

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G02F1/133(2006.01)i, G06F3/041(2006.01)i,
G06F3/044(2006.01)i, G09G3/20(2006.01)i, G09G3/3233(2016.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G02F1/133, G06F3/041, G06F3/044, G09G3/20, G09G3/3233

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2009-301006 A (Seiko Epson Corp.), 24 December 2009 (24.12.2009), paragraphs [0017] to [0032]; fig. 1 to 9 (Family: none)	1-2, 4-5 10-11 3, 6-9
Y	JP 2002-196702 A (Sony Corp.), 12 July 2002 (12.07.2002), paragraphs [0001] to [0018]; fig. 1 to 7 (Family: none)	1-3, 7-11
Y	US 2012/0038585 A1 (KIM, Cheol-se), 16 February 2012 (16.02.2012), paragraphs [0027] to [0056]; fig. 1 to 5 & KR 10-2012-0014808 A & CN 102375258 A	1-3, 7-11

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 August 2017 (14.08.17)

Date of mailing of the international search report
22 August 2017 (22.08.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G06F3/041(2006.01)i, G06F3/044(2006.01)i,
G09G3/20(2006.01)i, G09G3/3233(2016.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G09G3/36, G02F1/133, G06F3/041, G06F3/044, G09G3/20, G09G3/3233

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2009-301006 A（セイコーエプソン株式会社）2009.12.24, 段落 0017-0032, 図 1-9（ファミリーなし）	1-2, 4-5 10-11 3, 6-9
Y	JP 2002-196702 A（ソニー株式会社）2002.07.12, 段落 0001-0018, 図 1-7（ファミリーなし）	1-3, 7-11
Y	US 2012/0038585 A1（KIM, Cheol-se）2012.02.16, 段落 0027-0056, 図 1-5 & KR 10-2012-0014808 A & CN 102375258 A	1-3, 7-11

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

14.08.2017

国際調査報告の発送日

22.08.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/JP）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

武田 悟

電話番号 03-3581-1101 内線 3273

21

9307