



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I865630 B

(45)公告日：中華民國 113 (2024) 年 12 月 11 日

(21)申請案號：109135731

(22)申請日：中華民國 109 (2020) 年 10 月 15 日

(51)Int. Cl. : G06F13/42 (2006.01)

G06F13/40 (2006.01)

H04L7/00 (2006.01)

(30)優先權：2020/10/14 美國

17/070,219

2019/10/29 美國

62/927,524

(71)申請人：美商高通公司 (美國) QUALCOMM INCORPORATED (US)

美國

(72)發明人：李澈圭 LEE, CHULKYU (KR) ; 段瑩 DUAN, YING (CN) ; 周世偉 CHOU, SHIH-

WEI (TW)

(74)代理人：林怡芳

(56)參考文獻：

TW I615008B

CN 101401345A

US 9485080B1

US 10454725B1

US 2010/0235673A1

US 2017/0118039A1

審查人員：詹効儒

申請專利範圍項數：12 項 圖式數：21 共 91 頁

(54)名稱

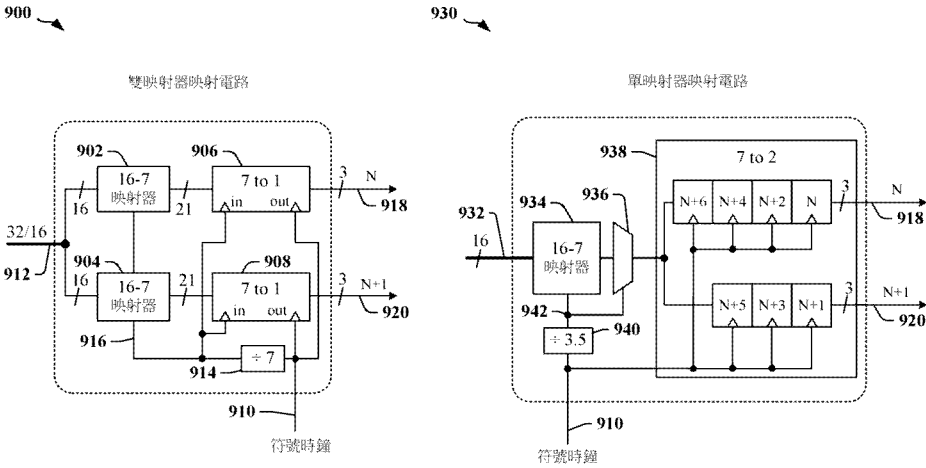
C-PHY 半速率線狀態編碼器和解碼器的資料通信裝置、資料通信方法及非暫時性處理器可讀存儲媒體

(57)摘要

方法、裝置和系統提供了在通信鏈路上的改進的吞吐量。一種裝置具有：多個線路驅動器；第一線狀態編碼器，其被配置為：當 3 線鏈路處於第一信令狀態時接收符號序列中的第一符號，以及基於第一符號和第一信令狀態來定義用於 3 線鏈路的第二信令狀態；第二線狀態編碼器，其被配置為：接收符號序列中的第二符號，以及基於第二符號和第二信令狀態來定義用於 3 線鏈路的第三信令狀態。在符號序列中，第一符號緊接在第二符號之前。3 線鏈路在連續的傳輸間隔中從第一信令狀態轉換到第二信令狀態，以及從第二信令狀態轉換到第三信令狀態。

Methods, apparatus, and systems provide improved throughput on a communication link. An apparatus has a plurality of line drivers, a first wire state encoder configured to receive a first symbol in a sequence of symbols when a 3-wire link is in a first signaling state, and to define a second signaling state for the 3-wire link based on the first symbol and the first signaling state, a second wire state encoder configured to receive a second symbol in the sequence of symbols, and to define a third signaling state for the 3-wire link based on the second symbol and the second signaling state. The first symbol immediately precedes the second symbol in the sequence of symbols. The 3-wire link transitions from the first to the second signaling state, and from the second to the third signaling state in consecutive transmission intervals.

指定代表圖：



【圖9】

符號簡單說明：

- 900:映射電路
- 902:映射器
- 904:映射器
- 906:串行器
- 908:串行器
- 910:串行器
- 912:資料
- 914:電路
- 916:時鐘信號
- 918:符號路徑
- 920:符號路徑
- 930:映射電路
- 934:映射器
- 936:解多工器
- 938:寄存器
- 940:除法器
- 942:時鐘信號



公告本

I865630

【發明摘要】

【中文發明名稱】 C-PHY半速率線狀態編碼器和解碼器的資料通信裝置、
資料通信方法及非暫時性處理器可讀存儲媒體

【英文發明名稱】 DATA COMMUNICATION APPARATUS, DATA
COMMUNICATION METHOD AND NON-TRANSITORY PROCESSOR-
READABLE STORAGE MEDIUM OF C-PHY HALF-RATE WIRE STATE
ENCODER AND DECODER

【中文】

方法、裝置和系統提供了在通信鏈路上的改進的吞吐量。一種裝置具有：多個線路驅動器；第一線狀態編碼器，其被配置為：當 3 線鏈路處於第一信令狀態時接收符號序列中的第一符號，以及基於第一符號和第一信令狀態來定義用於 3 線鏈路的第二信令狀態；第二線狀態編碼器，其被配置為：接收符號序列中的第二符號，以及基於第二符號和第二信令狀態來定義用於 3 線鏈路的第三信令狀態。在符號序列中，第一符號緊接在第二符號之前。3 線鏈路在連續的傳輸間隔中從第一信令狀態轉換到第二信令狀態，以及從第二信令狀態轉換到第三信令狀態。

【英文】

Methods, apparatus, and systems provide improved throughput on a communication link. An apparatus has a plurality of line drivers, a first wire state encoder configured to receive a first symbol in a sequence of symbols when a 3-wire link is in a first signaling state, and to define a second signaling state for the 3-wire link based on the first symbol and the first signaling state, a second wire state encoder

configured to receive a second symbol in the sequence of symbols, and to define a third signaling state for the 3-wire link based on the second symbol and the second signaling state. The first symbol immediately precedes the second symbol in the sequence of symbols. The 3-wire link transitions from the first to the second signaling state, and from the second to the third signaling state in consecutive transmission intervals.

【指定代表圖】 圖9

【代表圖之符號簡單說明】

900 映射電路

902 映射器

904 映射器

906 串行器

908 串行器

910 串行器

912 資料

914 電路

916 時鐘信號

918 符號路徑

920 符號路徑

930 映射電路

934 映射器

936 解多工器

938 寄存器

940 除法器

942 時鐘信號

【發明說明書】

【中文發明名稱】 C-PHY半速率線狀態編碼器和解碼器的資料通信裝置、
資料通信方法及非暫時性處理器可讀存儲媒體

【英文發明名稱】 DATA COMMUNICATION APPARATUS, DATA
COMMUNICATION METHOD AND NON-TRANSITORY PROCESSOR-
READABLE STORAGE MEDIUM OF C-PHY HALF-RATE WIRE STATE
ENCODER AND DECODER

【技術領域】

【0001】 相關申請的交叉引用

【0002】 本申請要求於2020年10月14日向美國專利局遞交的序號
No.17/070,219的非臨時專利申請以及於2019年10月29日向美國專利局遞交的序
號No.62/927,524的臨時專利申請的優先權和權益。

【0003】 概括地說，本公開內容涉及高速資料通信介面，以及更具體地，
本公開內容涉及改進在多線多相資料通信鏈路上的資料吞吐量。

【先前技術】

【0004】 諸如行動電話的移動設備的製造商可以從包括不同製造商的各种來源獲得移動設備的組件。例如，行動電話中的應用處理器可以是從第一製造商獲得的，而成像設備或相機可以是從第二製造商獲得的，以及顯示器可以是從第三製造商獲得的。應用處理器、成像設備、顯示控制器或其它類型的設備可以使用基於標準的或專有的實體介面來互連。在一個示例中，成像設備可以使用由行動產業處理器介面（MIPI）聯盟定義的相機串行介面（CSI）來連接。在另一

示例中，顯示器可以包括符合由行動產業處理器介面（MIPI）聯盟規定的顯示器串行介面（DSI）標準的介面。

【0005】 由MIPI聯盟定義的多相3線（C-PHY）介面使用三件套（trio）的導體來在設備之間發送資訊。在C-PHY介面上的符號的傳輸期間，三條線中的每條線可以處於三個信令狀態中的一者。時鐘資訊被編碼在C-PHY介面上發送的符號序列中，以及接收機根據連續符號之間的轉換來生成時鐘信號。C-PHY介面的最大速度以及時鐘和資料恢復（CDR）電路恢復時鐘資訊的能力可能受到與在通信鏈路的不同線上發送的信號的轉換相關的最大時間變化的限制，這可能限制每秒發送的符號數量。由移動設備提供的服務和性能的持續增加已經導致對在多相多線介面上的增加的資料吞吐量的持續需求。

【發明內容】

【0006】 本文公開的某些實施例提供了通過改進的編碼技術和協議在多線和/或多相通信鏈路上實現改進的通信的系統、方法和裝置。在一些實施例中，通過增加在通信鏈路上使用的符號時鐘速率來改進資料吞吐量。可以將通信鏈路部署在諸如具有多個積體電路（IC）器件的移動終端的裝置中。

【0007】 在本公開內容的各個方面中，一種資料通信裝置具有：多個線路驅動器，其被配置為將所述裝置耦合到3線鏈路；第一線狀態編碼器，其被配置為：當所述3線鏈路處於第一信令狀態時接收符號序列中的第一符號，以及基於所述第一符號和所述第一信令狀態來定義用於所述3線鏈路的第二信令狀態；第二線狀態編碼器，其被配置為：接收所述符號序列中的第二符號，以及基於所述第二符號和所述第二信令狀態來定義用於所述3線鏈路的第三信令狀態。在所述符號序列中，所述第一符號緊接在所述第二符號之前。所述3線鏈路在連續

的符號傳輸間隔中從所述第一信令狀態轉換到所述第二信令狀態，以及從所述第二信令狀態轉換到所述第三信令狀態。當所述 3 線鏈路從所述第二信令狀態轉換到所述第三信令狀態時，所述 3 線鏈路中的至少一條線的信令狀態進行改變。

【0008】 在一個方面中，所述第一線狀態編碼器和所述第二線狀態編碼器中的每一者以每兩個符號傳輸間隔來定義用於所述 3 線鏈路的信令狀態。

【0009】 在某些方面中，所述裝置包括時鐘生成電路，其被配置為提供半速率符號時鐘信號，所述半速率符號時鐘信號具有作為每個符號傳輸間隔的持續時間的兩倍的時段。所述裝置可以具有：驅動器控制電路，其被配置為控制所述多個線路驅動器；以及多工器，其在所述第二信令狀態與所述第三信令狀態之間進行選擇以向所述驅動器控制電路提供線狀態資訊。所述多工器可以基於所述半速率符號時鐘信號的相位來在所述第二信令狀態與所述第三信令狀態之間進行選擇。所述裝置可以具有：第一多個正反器，其是通過所述半速率符號時鐘信號的逆進行時鐘控制的，以及被配置為捕獲表示所述第二信令狀態的第一控制信號；第二多個正反器，其是通過所述半速率符號時鐘信號進行時鐘控制的，以及被配置為捕獲表示所述第三信令狀態的第二控制信號。所述多工器還可以被配置為提供所述第一控制信號或所述第二控制信號作為所述線狀態資訊。

【0010】 在一個方面中，所述裝置具有一個或多個映射器，其被配置為將至少 16 位元的資料映射到所述符號序列中的至少 7 個符號。所述 3 線鏈路可以是根據 C-PHY 協議來操作的。

【0011】 在一個方面中，所述裝置具有均衡器電路，其被配置為：接收所述第二信令狀態和所述第三信令狀態的延遲版本，以及當基於所述第二信令狀

態與所述第三信令狀態之間的差異來發起對所述第三信令狀態的傳輸時，配置所述多個線路驅動器。

【0012】 在本公開內容的各個方面中，一種資料通信方法包括：配置多個線路驅動器以將裝置耦合到 3 線鏈路；當所述 3 線鏈路處於第一信令狀態時，在第一線狀態編碼器處接收符號序列中的第一符號；基於所述第一符號和所述第一信令狀態來定義用於所述 3 線鏈路的第二信令狀態；在第二線狀態編碼器處接收所述符號序列中的第二符號；以及基於所述第二符號和所述第二信令狀態來定義用於所述 3 線鏈路的第三信令狀態。在所述符號序列中，所述第一符號緊接在所述第二符號之前。所述 3 線鏈路在連續的符號傳輸間隔中從所述第一信令狀態轉換到所述第二信令狀態以及從所述第二信令狀態轉換到所述第三信令狀態。當所述 3 線鏈路從所述第二信令狀態轉換到所述第三信令狀態時，所述 3 線鏈路中的至少一條線的信令狀態進行改變。

【0013】 在本公開內容的各個方面中，一種處理器可讀存儲媒體，包括用於進行以下操作的代碼：配置多個線路驅動器，以將裝置耦合到 3 線鏈路；當所述 3 線鏈路處於第一信令狀態時，在第一線狀態編碼器處接收符號序列中的第一符號；基於所述第一符號和所述第一信令狀態來定義用於所述 3 線鏈路的第二信令狀態；在第二線狀態編碼器處接收所述符號序列中的第二符號；以及基於所述第二符號和所述第二信令狀態來定義用於所述 3 線鏈路的第三信令狀態。在所述符號序列中，所述第一符號緊接在所述第二符號之前。所述 3 線鏈路在連續的符號傳輸間隔中從所述第一信令狀態轉換到所述第二信令狀態以及從所述第二信令狀態轉換到所述第三信令狀態。當所述 3 線鏈路從所述第二信令狀態轉換到所述第三信令狀態時，所述 3 線鏈路中的至少一條線的信令狀態進行改變。

【0014】 在本公開內容的各個方面中，一種資料通信裝置具有：多個接收機，其被配置為提供表示3線鏈路中的每對線之間的信令狀態的差異的差分信號；第一線狀態解碼器，其被配置為基於符號時鐘的第一半週期中的差分信號的狀態與所述符號時鐘的第二半週期中的差分信號的狀態之間的差異來提供第一符號，在所述符號時鐘中所述第二半週期緊接在所述第一半週期之前；第二線狀態解碼器，其被配置為基於所述符號時鐘的所述第二半週期中的差分信號的狀態與所述符號時鐘的第三半週期中的差分信號的狀態之間的差異來提供第二符號，在所述符號時鐘中所述第三半週期緊接在所述第二半週期之前；以及解映射器，其被配置為根據包括所述第一符號和所述第二符號的符號序列對資料進行解碼。在所述符號序列中所述第一符號緊接在所述第二符號之前。

【0015】 在一些方面中，至少一個差分信號的信令狀態在半速率符號時鐘的半週期之間的每個轉換處改變。所述裝置可以包括時鐘恢復電路，其被配置為根據所述差分信號來推導所述符號時鐘。

【0016】 在某些方面中，所述裝置包括多個差分信號處理器。每個差分信號處理器耦合到相關聯的差分信號。每個差分信號處理器可以被配置為：提供表示所述符號時鐘的所述第一半週期中的對應的差分信號的狀態的第一信號、表示所述符號時鐘的所述第二半週期中的對應的差分信號的狀態的第二信號、以及表示所述符號時鐘的所述第三半週期中的對應的差分信號的狀態的第三信號。

【0017】 在一個方面中，所述解映射器還被配置為：根據七個符號的多個序列中的每個序列對16位元字進行解碼；或者根據由所述第一線狀態解碼器和

所述第二線狀態解碼器併發地生成的七個符號的每對序列對32位元字進行解碼。所述3線鏈路可以是根據C-PHY協議來操作的。

【0018】 在本公開內容的各個方面中，一種資料通信方法，包括：提供表示3線鏈路中的每對線之間的信令狀態的差異的差分信號；基於符號時鐘的第一半週期中的差分信號的狀態與所述符號時鐘的第二半週期中的差分信號的狀態之間的差異來提供第一符號，在所述符號時鐘中所述第二半週期緊接在所述第一半週期之前；基於所述符號時鐘的所述第二半週期中的差分信號的狀態與所述符號時鐘的第三半週期中的差分信號的狀態之間的差異來提供第二符號，在所述符號時鐘中所述第三半週期緊接在所述第二半週期之前；以及根據包括所述第一符號和所述第二符號的符號序列對資料進行解碼。在所述符號序列中，所述第一符號可以緊接在所述第二符號之前。

【0019】 在本公開內容的各個方面中，包括用於進行以下操作的代碼：提供表示3線鏈路中的每對線之間的信令狀態的差異的差分信號；基於符號時鐘的第一半週期中的差分信號的狀態與所述符號時鐘的第二半週期中的差分信號的狀態之間的差異來提供第一符號，在所述符號時鐘中所述第二半週期緊接在所述第一半週期之前；基於所述符號時鐘的所述第二半週期中的差分信號的狀態與所述符號時鐘的第三半週期中的差分信號的狀態之間的差異來提供第二符號，在所述符號時鐘中所述第三半週期緊接在所述第二半週期之前；以及根據包括所述第一符號和所述第二符號的符號序列對資料進行解碼。在所述符號序列中，所述第一符號可以緊接在所述第二符號之前。

【圖式簡單說明】

【0020】圖1描繪了在IC器件之間採用資料鏈路的裝置，該資料鏈路根據多個可用標準或協議（其可以包括C-PHY協議）中的一者來選擇性地操作。

【0021】圖2示出了用於在IC器件之間採用資料鏈路的裝置的系統架構，該資料鏈路根據多個可用標準中的一者來選擇性地操作。

【0022】圖3示出了C-PHY 3相發射機。

【0023】圖4示出了C-PHY 3相編碼介面中的信令。

【0024】圖5示出了C-PHY 3相接收機。

【0025】圖6是示出在C-PHY 3相編碼介面中的潛在狀態轉換的狀態圖。

【0026】圖7示出了在C-PHY 3相發射機中進行編碼的一個示例。

【0027】圖8示出了在C-PHY 3相接收機中進行解碼的一個示例。

【0028】圖9根據本公開內容的各方面示出了利用雙路徑架構來實現的映射電路的示例。

【0029】圖10根據本文公開的某些方面示出了被配置為使用半速率符號時鐘信號來對用於C-PHY介面的輸入資料進行編碼的發射機的第一示例。

【0030】圖11示出了用於在圖10中示出的發射機的時序的示例。

【0031】圖12根據本文公開的某些方面示出了被配置為使用半速率符號時鐘信號來對用於C-PHY介面的輸入資料進行編碼的發射機的第二示例。

【0032】圖13根據本公開內容的某些方面示出了可以在被配置用於半速率符號時鐘操作的接收機中使用的差分信號處理器。

【0033】圖14根據本文公開的某些方面示出了被配置為使用半速率符號時鐘信號來根據C-PHY匯流排的信令狀態對資料進行解碼的接收機電路。

【0034】圖15示出了與在圖14中示出的接收機相關聯的時序。

【0035】圖16根據本公開內容的各方面示出了利用雙路徑架構來實現的解映射電路的示例。

【0036】圖17示出了採用可以根據本文公開的某些方面來適配的處理電路的裝置的示例。

【0037】圖18是根據本文公開的某些方面的在發射機處執行的方法的流程圖。

【0038】圖19是根據本文公開的某些方面示出用於接收裝置的硬體實現

方式的示例的圖。

【0039】圖 20 是根據本文公開的某些方面的在接收機處執行的方法的流程圖。

【0040】圖 21 是根據本文公開的某些方面示出用於接收裝置的硬體實現方式的示例的圖。

【實施方式】

【0041】下文結合附圖闡述的具體實施方式旨在作為對各種配置的描述，而不是旨在表示可以在其中實踐本文所描述的概念的唯一配置。為了提供對各種概念的全面的理解，具體實施方式包括特定細節。然而，對於本領域技術人員來說將顯而易見的是，可以在不使用這些特定細節的情況下實踐這些概念。在一些實例中，以方塊圖形式示出公知的結構和組件，以避免對這樣的概念造成模糊。

【0042】如本申請中所使用的，術語“組件”、“模組”、“系統”等旨在包括計算機相關實體，諸如但不限於硬體、軟體、硬體和軟體的組合、軟體或者執行中的軟體。例如，組件可以是但不限於是：在處理器上運行的進程、處理器、對象、可執行文件、執行的線程、程序和/或計算機。通過說明的方式，在計算設備運行上的應用和計算設備兩者可以是組件。一個或多個組件可以位於進程和/或執行的線程內，以及組件可以定位於一個計算機上和/或分佈在兩個或更多個計算機之間。此外，這些組件可以從具有存儲在其上的各種資料結構的各種處理器可讀媒體來執行。組件可以例如根據具有一個或多個資料封包的信號（諸如來自通過信號的方式與本地系統、分布式系統中的另一組件進行交互、和/或

跨越諸如互聯網的網絡與其它系統進行交互的一個組件的資料），通過本地和/或遠程進程的方式進行通信。

【0043】此外，術語“或”旨在意指包含性的“或”而不是排它性的“或”。就是說，除非另有規定或根據上下文清楚可知，否則短語“X採用A或B”旨在意指自然的包含性的排列中的任何排列。就是說，以下實例中的任何實例滿足短語“X採用A或B”：X採用A；X採用B；或者X採用A和B兩者。另外，除非另有規定或者根據上下文清楚可知要針對於單數形式，否則在本申請以及所附的申請專利範圍中所使用的冠詞“一（a）”和“一個（an）”通常應當被解釋為意指“一個或多個”。

【0044】概述

【0045】本發明的某些方面可以適用於改進由 MIPI 聯盟規定的 C-PHY 介面，其經常被部署為連接作為諸如電話、移動計算設備、電器、汽車電子產品、航空電子系統等的移動裝置的子組件的電子設備。移動裝置的示例包括行動電話、智能電話、會話發起協議（SIP）電話、膝上型計算機、筆記本、上網本、智能本、個人數位助理（PDA）、衛星無線電單元、全球定位系統（GPS）設備、多媒體設備、視頻設備、數位音頻播放器（例如，MP3 播放器）、相機、遊戲控制台、可穿戴計算設備（例如，智能手錶、健康或健身跟蹤器等）、電器、傳感器、自動售貨機或任何其它類似功能的設備。

【0046】本文公開的某些方面使得設備能夠在 3 線通信鏈路上以較高的資料速率（與可能使用傳統 C-PHY 符號速率相比）進行通信。在本公開內容的各個方面中，一種資料通信裝置具有：多個線路驅動器，其被配置為將該裝置耦合到 3 線鏈路；以及資料編碼器，其被配置為在由多個線路驅動器在 3 線鏈路上連

續發送的兩個符號之間的每個轉換中對至少 4 位元的二進制資料進行編碼，使得每對連續發送的符號包括兩個不同的符號。每個符號定義在相關聯的符號傳輸間隔期間 3 線鏈路的信令狀態，使得 3 線鏈路的每條線在相關聯的符號傳輸間隔期間處於與 3 線鏈路的其它線不同的信令狀態。資料可以是使用三相和脈衝幅度調製的組合來編碼的。該裝置可包括線狀態編碼器，其被配置為從資料編碼器接收符號序列，以及向多個線路驅動器提供控制信號。控制信號使得多個線路驅動器中的每一者在針對符號序列中的每個符號提供的符號傳輸間隔期間，將 3 線鏈路的一條線驅動到通過每個符號定義的信令狀態。

【0047】 C-PHY 介面是高速串行介面，其可以在帶寬受限的通道上提供高吞吐量。C-PHY 介面可以被部署為將應用處理器連接到外圍設備（包括顯示器和相機）。C-PHY 介面將資料編碼成符號，這些符號是在一組三條線（這可以被稱為三件套或三件套的線）上以三相信號來發送的。三相信號是在三件套中的每條線上以不同的相位來發送的。每個三線三件套在通信鏈路上提供通道。符號間隔可以被定義為其中單個符號控制三件套的信令狀態的時間間隔。在每個符號間隔中，一條線是未被驅動的或者被驅動到中間電壓狀態，而三條線中的其餘兩條線被差分驅動，使得兩條差分驅動的線中的一條線呈現第一電壓電平，並且另一差分驅動的線呈現不同於第一電壓電平的第二電壓電平。未被驅動的線可以浮動和/或被端接，使得其呈現處於或接近中間電壓電平的第三電壓電平，該中間電壓電平可以是在第一和第二電壓電平之間的中間電平的電壓電平。在一個示例中，驅動電壓電平可以是 $+V$ 和 $-V$ ，其中第三電壓是 0 伏特。在另一示例中，驅動電壓電平可以是 $+V$ 和 0 伏特，其中未驅動電壓是 $+V/2$ 。不同的符號是在每個連續發送的符號對中發送的，以及不同的線對可以是在不同的符號間

隔中差分地驅動的。

【0048】圖 1 描繪了可以採用 C-PHY 3 相協議來實現一個或多個通信鏈路的裝置 100 的示例。裝置 100 可以包括 SoC 處理電路 102，其具有多個電路或設備 104、106 和/或 108，其可以在一個或多個 ASIC 或在 SoC 中實現。在一個示例中，裝置 100 可以是通信設備，以及處理電路 102 可以包括在 ASIC 104 中提供的處理設備、一個或多個外圍設備 106 以及使得該裝置能夠通過天線 124 與無線存取網絡、核心存取網絡、互聯網和/或另一網絡進行通信的收發機 108。

【0049】ASIC 104 可以具有一個或多個處理器 112、一個或多個數據機 110、板載記憶體 114、匯流排介面電路 116 和/或其它邏輯電路或功能。處理電路 102 可以由可以提供應用編程介面（API）層的操作系統來控制，API 層使得一個或多個處理器 112 能夠執行駐留在板載記憶體 114 或在處理電路 102 上提供的其它處理器可讀存儲裝置 122 中的軟體模組。軟體模組可以包括被存儲在板載記憶體 114 或處理器可讀存儲裝置 122 中的指令和資料。ASIC 104 可以存取其板載記憶體 114、處理器可讀存儲裝置 122 和/或在處理電路 102 外部的存儲裝置。板載記憶體 114、處理器可讀存儲裝置 122 可以包括唯讀記憶體（ROM）或隨機存取記憶體（RAM）、電可擦除可編程 ROM（EEPROM）、閃存卡、或能夠在處理系統和計算平臺中使用的任何記憶體設備。處理電路 102 可以包括、實現或存取本地資料庫或其它參數存儲裝置，其能夠維護用於對裝置 100 和/或處理電路 102 進行配置和操作的參數和其它資訊。本地資料庫可以使用以下各項來實現：寄存器、資料庫模組、閃存、磁媒體、EEPROM、軟盤或硬碟等。處理電路 102 還可以可操作地耦合到外部設備，諸如天線 124、顯示器 126、操作員控制裝置（諸如開關或按鈕 128、130 和/或積體或外部小鍵盤 132 以及其它

組件)。用戶介面模組可以被配置為通過專用通信鏈路或通過一個或多個串行資料互連來與顯示器 126、外部小鍵盤 132 等一起操作。

【0050】處理電路 102 可以提供使得某些設備 104、106 和/或 108 能夠進行通信的一個或多個匯流排 118a、118b、120。在一個示例中，ASIC 104 可以包括匯流排介面電路 116，其包括電路、計數器、定時器、控制邏輯和其它可配置電路或模組的組合。在一個示例中，匯流排介面電路 116 可以被配置為根據通信規範或協議來操作。處理電路 102 可以包括或控制用於配置和管理裝置 100 的操作的功率管理功能。

【0051】圖 2 示出了裝置 200 的某些方面，裝置 200 包括多個 IC 器件 202 和 230，它們可以通過通信鏈路 220 來交換資料和控制資訊。通信鏈路 220 可以用於連接一對 IC 器件 202 和 230，其位於彼此非常接近的位置或者在實體上位於裝置 200 的不同部分中。在一個示例中，可以在承載 IC 器件 202 和 230 的芯片載體、襯底或電路板上提供通信鏈路 220。在另一示例中，第一 IC 器件 202 可以位於翻蓋手機的小鍵盤部分中，而第二 IC 器件 230 可以位於翻蓋手機的顯示器部分中。在另一示例中，通信鏈路 220 的一部分可以包括電纜或光學連接。

【0052】通信鏈路 220 可以包括多個通道 222、224 和 226。一個或多個通道 226 可以是雙向的，以及可以以半雙工和/或全雙工模式進行操作。一個或多個通道 222 和 224 可以是單向的。通信鏈路 220 可以是非對稱的，其在一個方向上提供較高的帶寬。在本文描述的一個示例中，第一通道 222 可以被稱為前向通道 222，而第二通道 224 可以被稱為反向通道 224。第一 IC 器件 202 可以被指定為主機系統或發射機，而第二 IC 器件 230 可以被指定為客戶端系統或接收機，即使 IC 器件 202 和 230 兩者被配置為在通道 222 上進行發送和接收。在一個示

例中，當從第一 IC 器件 202 向第二 IC 器件 230 傳送資料時，前向通道 222 可以以較高的資料速率來操作，而當從第二 IC 器件 230 向第一 IC 器件 202 傳送資料時，反向通道 224 可以以較低的資料速率來操作。

【0053】 IC 器件 202 和 230 均可以包括處理器 206、236 或其它處理和/或計算電路或設備。在一個示例中，第一 IC 器件 202 可以執行裝置 200 的核心功能，其包括通過無線收發機 204 和天線 214 建立和維護無線通信，而第二 IC 器件 230 可以支持管理或操作顯示控制器 232 的用戶界面，以及可以使用相機控制器 234 來控制相機或視頻輸入設備的操作。由 IC 器件 202 和 230 中的一者或多者支持的其它特徵可以包括鍵盤、語音識別組件和其它輸入或輸出設備。顯示控制器 232 可以包括支持諸如液晶顯示器（LCD）面板、觸摸屏顯示器、指示器等顯示器的電路和軟體驅動器。存儲媒體 208 和 238 可以包括暫時性和/或非暫時性存儲設備，其適於維護由相應的處理器 206 和 236、和/或 IC 器件 202 和 230 的其它組件使用的指令和資料。每個處理器 206、236 和其對應的存儲媒體 208 和 238 以及其它模組和電路之間的通信可以通過一個或多個內部匯流排 212 和 242 和/或通信鏈路 220 的通道 222、224 和/或 226 來促進。

【0054】 反向通道 224 可以與前向通道 222 相同的方式進行操作，以及前向通道 222 和反向通道 224 可能能夠以相當的速度或以不同的速度進行發送，其中速度可以被表示為資料傳輸速率、符號傳輸速率和/或時鐘速率。前向和反向資料速率可以基本上是相同的或者可以相差若干數量級，這取決於應用。在一些應用中，單個雙向通道 226 可以支持第一 IC 器件 202 與第二 IC 器件 230 之間的通信。前向通道 222 和/或反向通道 224 可以可被配置為在雙向模式下進行操作，例如當前向通道 222 和反向通道 224 共享相同的實體連接並且以半雙工方

式操作時。在一個示例中，通信鏈路 220 可以被操作為根據行業或其它標準來在第一 IC 器件 202 與第二 IC 器件 230 之間傳送控制、命令和其它資訊。

【0055】圖 2 的通信鏈路 220 可以根據用於 C-PHY 的 MIPI 聯盟規範來實現，以及可以提供包括多條信號線（表示為 M 條線）的有線匯流排。M 條線可以被配置為在高速數位介面（諸如移動顯示數位介面（MDDI））中攜帶 N 相編碼資料。M 條線可以促進在通道 222、224 和 226 中的一個或多個通道上的 N 相極性編碼。實體層驅動器 210 和 240 可以被配置或適配為生成 N 相極性編碼資料以在通信鏈路 220 上傳輸。對 N 相極性編碼的使用提供高速資料傳輸，以及可以消耗其它介面的一半或更少的功率，這是因為在 N 相極性編碼資料鏈路中較少的驅動器是活動的。

【0056】實體層驅動器 210 和 240 在被配置用於 N 相極性編碼時通常可以在通信鏈路 220 上的按每個轉換來編碼多個位元。在一個示例中，3 相編碼和極性編碼的組合可以用於支持不具有幀緩衝器的寬視頻圖形陣列（WVGA）每秒 80 幀 LCD 驅動器 IC，從而以 810 Mbps 來遞送像素資料以用於顯示器刷新。

【0057】圖 3 是示出可以用於實現在圖 2 中所描繪的通信鏈路 220 的某些方面的 3 線 3 相極性編碼器的圖 300。選擇 3 線 3 相編碼的示例僅是為了簡化本發明的某些方面的描述。針對 3 線 3 相編碼器公開的原理和技術可以應用於 M 線 N 相極性編碼器的其它配置。

【0058】在 3 線 3 相極性編碼方案中針對 3 條線中的每條線定義的信令狀態可以包括正驅動狀態、負驅動狀態以及中間狀態或未驅動狀態。可以通過在信號線 318a、318b 和/或 318c 中的兩條信號線之間提供電壓差，和/或通過驅動電流通過信號線 318a、318b 和/或 318c 中的串聯連接的兩條信號線使得電流在兩

條信號線 318a、318b 和/或 318c 中在不同的方向上流動，從而獲得正驅動狀態和負驅動狀態。可以將第三狀態提供為通過將信號線 318a、318b 或 318c 的驅動器的輸出置於高阻抗模式來實現的未驅動狀態。通常，不存在明顯的電流通過未被驅動的信號線 318a、318b 或 318c。替代地或另外，第三狀態可以是通過以下方式來在信號線 318a、318b 或 318c 上獲得的中間狀態：被動地或主動地使得一條信號線 318a、318b 或 318c 達到基本上處於在被驅動的信號線 318a、318b 和/或 318c 上提供的正電壓電平與負電壓電平之間的中間的電壓電平。針對 3 線 3 相極性編碼方案定義的信令狀態可以是使用三個電壓或電流狀態（+1、-1 和 0）來表示的 3 線。

【0059】 3 線 3 相極性編碼器可以採用線路驅動器 308 來控制信號線 318a、318b 和 318c 的信令狀態。線路驅動器 308 可以被實現為單元級電流模式或電壓模式驅動器。在一些實現方式中，每個線路驅動器 308 可以接收信號 316a、316b 和 316c 的集合，其確定對應的信號線 318a、318b 和 318c 的輸出狀態。在一個示例中，信號 316a、316b 和 316c 的集合中的每個集合可以包括兩個或更多個信號，其包括上拉信號（PU 信號）和下拉信號（PD 信號），其在為高時啟動上拉和下拉電路，這兩個電路分別將信號線 318a、318b 和 318c 朝向更高電平或更低電平的電壓的驅動。在該示例中，當 PU 信號和 PD 信號兩者為低時，信號線 318a、318b 和 318c 可以終止於中間電平電壓。

【0060】 對於 3 線 3 相極性編碼方案中的每個發送符號間隔，至少一條信號線 318a、318b 或 318c 處於中間/未驅動（0）電壓或電流狀態，而正驅動（+1 電壓或電流狀態）信號線 318a、318b 或 318c 的數量等於負驅動（-1 電壓或電流狀態）信號線 318a、318b 或 318c 的數量，使得流動到接收機的電流之和始終為

零。對於每個符號，至少一條信號線 318a、318b 或 318c 的信令狀態根據在先前傳輸間隔中發送的線狀態進行改變。

【0061】 在操作時，映射器 302 可以接收 16 位元資料 310 以及將其映射到 7 個符號 312。在 C-PHY 示例中，7 個符號中的每個符號定義信號線 318a、318b 和 318c 在一個符號間隔內的狀態。可以使用並行到串行轉換器 304 來將 7 個符號 312 串行化，並行到串行轉換器 304 針對每條信號線 318a、318b 和 318c 提供符號 314 的定時序列。符號 314 的序列通常是使用傳輸時鐘來定時的。3 線 3 相編碼器 306 一次一個符號地，接收由映射器產生的 7 個符號 314 的序列，以及計算每條信號線 318a、318b 和 318c 在每個符號間隔內的狀態。3 線 3 相編碼器 306 基於當前輸入符號 314 和信號線 318a、318b 和 318c 的先前狀態來選擇信號線 318a、318b 和 318c 的狀態。

【0062】 使用 3 線 3 相編碼允許要在多個符號中編碼的多個位元，其中每個符號的位元不是整數。在 C-PHY 通信鏈路的示例中，存在可以被同時地驅動的 2 條線的 3 個可用組合、以及在被驅動的線對上的 2 個可能的極性組合，從而產生 6 個可能的狀態。由於每個轉換從當前狀態發生，因此在每個轉換時 6 個狀態中的 5 個狀態是可用的。在每個轉換時需要改變至少一條線的狀態。在 5 個狀態的情況下，每符號可以編碼 $\log_2(5) \cong 2.32$ 位元。相應地，映射器可以接受 16 位元的字以及將其轉換為 7 個符號，這是因為每符號攜帶 2.32 位元的 7 個符號可以編碼 16.24 位元。換句話說，編碼五個狀態的七個符號的組合具有 $5^7(78,125)$ 個排列。相應的，可以使用 7 個符號來編碼 16 位元的 $2^{16}(65,536)$ 個排列。

【0063】 圖 4 包括用於使用三相調製資料編碼方案來編碼的信號的時序圖 400 的示例，其是基於循環狀態圖 450 的。可以以信令狀態的序列（其中，例如，

線或連接器處於通過循環狀態圖 450 定義的三個相位狀態 S_1 、 S_2 和 S_3 中的一個相位狀態下)來對資訊進行編碼。每個狀態可以通過 120° 相移與其它狀態分開。在一個示例中，可以以線或連接器上的相位狀態的旋轉方向對資料進行編碼。信號中的相位狀態可以在順時針方向 452 和 452' 或逆時針方向 454 和 454' 上旋轉。例如，在順時針方向 452 和 452' 上，相位狀態可以按照包括從 S_1 到 S_2 的轉換、從 S_2 到 S_3 的轉換以及從 S_3 到 S_1 的轉換中的一項或多項的序列前進。在逆時針方向 454 和 454' 上，相位狀態可以按照包括從 S_1 到 S_3 的轉換、從 S_3 到 S_2 的轉換以及從 S_2 到 S_1 的轉換中的一項或多項的序列前進。三條信號線 318a、318b 和 318c 攜帶相同信號的不同版本，其中各版本可以相對於彼此相移 120° 。每個信令狀態可以被表示為線或連接器上的不同電壓電平、和/或電流通過線或連接器的方向。在 3 線系統中的信令狀態的序列中的每個序列期間，每條信號線 318a、318b 和 318c 處於與其它線不同的信令狀態。當在 3 相編碼系統中使用多於 3 條信號線 318a、318b 和 318c 時，在每個信令間隔處，兩條或更多條信號線 318a、318b 和/或 318c 可以處於相同的信令狀態，但是在每個信令間隔中，每個狀態存在於至少一條信號線 318a、318b 和/或 318c 上。

【0064】 可以在每個相位轉換 410 處以旋轉方向來對資訊進行編碼，以及 3 相信號可以針對每個信令狀態改變方向。旋轉方向可以是通過考慮哪些信號線 318a、318b 和/或 318c 在相位轉換之前和之後處於“0”狀態來確定的，這是因為未被驅動的信號線 318a、318b 和/或 318c 在旋轉的三相信號中的每個信號狀態下改變，而不考慮旋轉方向。

【0065】 編碼方案還可以以主動驅動的兩條信號線 318a、318b 和/或 318c 的極性 408 來對資訊進行編碼。在 3 線實現方式中的任何時間處，信號線 318a、

318b、318c 中的恰好兩條信號線是利用相反方向的電流和/或利用電壓差來驅動的。在一個實現方式中，可以使用兩位元值 412 來對資料進行編碼，其中針對當前狀態，一個位元是在相位轉換 410 的方向上編碼的，以及第二位元是以極性 408 來編碼的。

【0066】 時序圖 400 示出了使用相位旋轉方向和極性兩者的資料編碼。曲線 402、404 和 406 涉及在三條信號線 318a、318b 和 318c 上攜帶的分別用於多個相位狀態的信號。最初，相位轉換 410 是按照順時針方向的，以及最高有效位被設置為二進制“1”，直到相位轉換 410 的旋轉在時間 414 處切換到如通過最高有效位的二進制“0”所表示的逆時針方向。最低有效位反映在每個狀態下信號的極性 408。

【0067】 根據本文公開的某些方面，可以在 3 線 3 相編碼系統中以旋轉或相位變化來對資料的一個位元進行編碼，以及可以以兩條驅動線的極性來對額外位元進行編碼。通過允許從當前狀態到任何可能的狀態的轉換，可以在 3 線 3 相編碼系統的每個轉換中編碼額外資訊。給定 3 個旋轉相位和針對每個相位的兩個極性的情況下，在 3 線 3 相編碼系統中 6 個狀態是可用的。相應的，從任何當前狀態可獲得 5 個狀態，以及可以存在每符號（轉換）編碼的 $\log_2(5) \cong 2.32$ 位元，這允許映射器 302 接受 16 位元的字以及將其編碼為 7 個符號。

【0068】 圖 5 是示出 3 線 3 相通信解碼器 500 的某些方面的圖。差分接收機 502a、502b、502c 和線狀態解碼器 504 被配置為提供三條傳輸線（例如，在圖 3 中示出的信號線 318a、318b 和 318c）相對於彼此的狀態的數位表示，以及檢測三條傳輸線的狀態與在先前的符號週期中發送的狀態相比的變化。串行到並行轉換器 506 對七個連續狀態進行組裝，以獲得要由解映射器 508 處理的 7 個

符號 516 的集合。解映射器 508 產生 16 位元的資料 518，其可以被緩衝在先進先出（FIFO）寄存器 510 中以提供輸出資料 520。

【0069】線狀態解碼器 504 可以從在信號線 318a、318b 和 318c 上接收的經相位編碼的信號中提取符號 514 的序列。如本文所公開的，符號 514 被編碼為相位旋轉和極性的組合。線狀態解碼器可以包括 CDR 電路 524，其提取可以用於從信號線 318a、318b 和 318c 可靠地捕獲線狀態的時鐘 526。在每個符號邊界處在信號線 318a、318b 和 318c 中的至少一條信號線上發生轉換，以及 CDR 電路 524 可以被配置為基於轉換或多個轉換的發生來生成時鐘 526。可以延遲時鐘的邊沿以允許用於全部信號線 318a、318b 和 318c 已經穩定的時間，以及由此確保捕獲當前線狀態以用於解碼目的。

【0070】圖 6 是示出三條線的可能的信令狀態 602、604、606、612、614、616 的狀態圖 600，其中示出了從每個狀態的可能轉換。在 3 線 3 相通信鏈路的示例中，6 個狀態和 30 個狀態轉換是可用的。狀態圖 600 中的可能的信令狀態 602、604、606、612、614 和 616 包括在圖 4 的循環狀態圖 450 中所示的狀態以及在其上展開。如狀態元素 628 的示例所示，狀態圖 600 中的每個信令狀態 602、604、606、612、614 和 616 定義了分別被標記為 A、B 和 C 的信號線 318a、318b、318c 的電壓信令狀態。例如，在信令狀態 602 (+x) 中，線 A = +1，線 B = -1 以及線 C = 0，從而產生差分接收機 502a 的輸出(A-B) = +2、差分接收機 502b 的輸出(B-C) = -1、以及差分接收機 502c 的輸出(C-A) = +1。由接收機中的相位變化檢測電路作出的轉換決策是基於由差分接收機 502a、502b、502c 產生的 5 個可能的電平的，其包括-2、-1、0、+1 和+2 電壓狀態。

【0071】狀態圖 600 中的轉換可以通過翻轉、旋轉、極性符號（例如，FRP

符號 626) 來表示, 該極性符號具有集合中的三位元二進制值{000, 001, 010, 011, 100}中的一者。FRP 符號 626 的旋轉位元 622 指示與到下一狀態的轉換相關聯的相位旋轉的方向。當到下一狀態的轉換涉及極性變化時, FRP 符號 626 的極性位元 624 被設置為二進制 1。當 FRP 符號 626 的翻轉位元 620 被設置為二進制 1 時, 旋轉和極性值可以被忽略和/或歸零。翻轉表示僅涉及極性變化的狀態轉換。相應的, 當發生翻轉時, 3 相信號的相位被認為不進行旋轉, 以及當發生翻轉時, 極性位元是冗餘的。FRP 符號 626 對應於針對每個轉換的線狀態變化。狀態圖 600 可以被分為包括正極性信令狀態 602、604、606 的內圓 608 和包含負極性信令狀態 612、614、616 的外圓 618。

【0072】圖 7 示出了可以在某些 C-PHY 介面中使用的線狀態編碼 700 的示例。符號編碼器 702 接收 FRP 符號 708 (其可以具有在圖 6 中示出的 FRP 符號 626 的格式) 的流。映射器 302 (參見圖 3) 可以根據要在 C-PHY 匯流排上傳送的資料來生成 FRP 符號 708 的流。符號編碼器 702 基於緊接在前面的發送符號 716, 來提供用於 FRP 符號 708 的流中的每個 FRP 符號的當前發送符號 714。緊接在前面的發送符號 716 由正反器或寄存器 706 維護, 正反器或寄存器 706 被配置為基於由符號時鐘信號 710 提供的時序來捕獲當前發送符號 714。符號時鐘信號 710 還提供用於預驅動和控制電路 704 的時序, 預驅動和控制電路 704 控制耦合到 C-PHY 匯流排的線路驅動器的操作。在一些情況下, 預驅動和控制電路 704 可以在符號時鐘信號 710 的週期的持續時間內捕獲並且保存當前發送符號 714。在一些情況下, 預驅動和控制電路 704 可以提供信號集合 712, 其控制線路驅動器電路的上拉和下拉部分。表 720 示出了產生用於針對 C-PHY 匯流排定義的每個線狀態 722 的電壓電平 724 的信號集合 712 的狀態。

【0073】圖 8 示出了可以在某些 C-PHY 介面中使用的線狀態解碼 800 的示例。比較器集合 802 監測 C-PHY 匯流排的信令狀態 822，以及產生差分信號，差分信號由第一正反器或寄存器 804 基於由符號時鐘信號 820 提供的時序而捕獲作為當前線狀態 826。時鐘恢復電路 812 監測 C-PHY 匯流排的信令狀態 822，以及產生可以通過閘控邏輯 816 而選通以產生符號時鐘信號 820 的接收時鐘信號 828。閘控邏輯 816 可以從時鐘窗口邏輯 814 接收使能信號 830，以及當穩定信號 818 指示接收時鐘信號 828 有效時，閘控邏輯 816 提供符號時鐘信號 820。第二正反器或寄存器 806 通過基於由符號時鐘信號 820 提供的時序來捕獲當前線狀態 826，從而提供先前線狀態 824。

【0074】符號解碼器 808 產生 FRP 符號 810（其可以具有在圖 6 中示出的 FRP 符號 626 的格式）的流。FRP 符號 810 的流可以被提供給解映射器 508（參見圖 5），解映射器 508 根據 FRP 符號 810 的流對資料進行解碼。符號解碼器 808 基於先前線狀態 824 與當前線狀態 826 之間的差異，來產生在 FRP 符號 810 的流中的每個 FRP 符號。

【0075】應用和傳感器的不斷增加的複雜性和性能已經產生了對資料速率和吞吐量的對應增加的需求。例如，可以預期多個成像設備和一成像設備的增加的分辨率產生要在應用處理器與其它設備之間的 C-PHY 匯流排上傳送的不斷增加的圖像資料量。對更高幀速率和在裝置中提供多個成像設備的需求還使要被發送的圖像資料量成倍增加，以及可能減少可用於發送圖像資料的時間。顯示系統正在被併發地提供有增加的分辨率，以及可能需要顯示系統處置增加的幀速率。使用傳統的 C-PHY 介面可能難以滿足對吞吐量的增加的需求。

【0076】C-PHY 資料路徑以全速率時鐘進行操作，由此資料是分別在發射

機的符號時鐘信號或接收機的符號時鐘信號的單個類型的邊沿上發送和採樣的。基於在實現方式中採用的電路設計，符號時鐘信號中的用於時序的邊沿類型可以是上升沿或下降沿。資料吞吐量是通過 C-PHY 介面的符號速率來確定的，其中，符號速率可以被表示為在 C-PHY 匯流排上的每秒發送的符號數量。根據傳統 C-PHY 規範：

$$\text{符號速率} = \text{符號時鐘頻率}。$$

資料吞吐量可以被度量為在 C-PHY 匯流排上發送的每秒位元數量。在一個示例中，可以在連續發送的符號之間的轉換中編碼近似 2.32 位元，使得

$$\text{資料吞吐量} = 2.32 * (\text{符號時鐘頻率})。$$

【0077】 通過增加符號時鐘頻率，可以獲得增加的資料吞吐量。用於增加符號時鐘頻率的能力受到 C-PHY 發射機和接收機中的電路的性能的限制。在許多實現方式中，針對邏輯閘定義的開關時間可以限制最大符號時鐘頻率，和/或可以限制以符號時鐘頻率操作的電路中的閘級別的數量。在一個示例中，通過接收機的邏輯電路的傳播時間的差異可以限制可以在其中可靠地採樣符號的時間間隔。在另一示例中，對高速全速率符號時鐘信號的生成和分發可能難以實現並且可能使積體電路設計複雜化。

【0078】 根據本公開內容的某些方面實現的 C-PHY 介面可以在不增加符號時鐘速率的情況下增加用於 C-PHY 介面的資料吞吐量。在一個方面中，C-PHY 資料路徑中的時序可以由半速率符號時鐘信號來控制。當使用半速率符號時鐘信號時，可以在符號時鐘信號的上升沿和下降沿兩者上發送符號，從而放寬在較高的符號速率下對符號時鐘信號的頻率要求。根據本公開內容的某些方面對半速率符號時鐘信號的使用提供：

符號速率=2*（符號時鐘頻率）。

資料吞吐量被度量為在 C-PHY 匯流排上發送的每秒位元數量。當在連續發送的符號之間的轉換中編碼 2.32 位元時：

資料吞吐量=4.64*（符號時鐘頻率）。

在一個示例中，可以在根據本公開內容的某些方面來實現的 C-PHY 介面中使用 5 GHz 符號時鐘信號，來獲得在傳統 C-PHY 介面中使用 10 GHz 符號時鐘信號而獲得的資料吞吐量。

【0079】 本公開內容的某些方面涉及可以使用半速率符號時鐘信號來操作的 C-PHY 發射機和接收機的結構和配置。在各個示例中，C-PHY 發射機和接收機被配置用於雙路徑架構，每個路徑對符號序列中的交替符號進行編碼或解碼。出於本描述的目的，被配置用於與半速率符號時鐘一起使用的發射機或接收機中的路徑被指定為奇數路徑和偶數路徑。在一個示例中，發射機或接收機中的奇數路徑處置在序列中的作為發送的第一、第三、第五符號等的符號，以及發射機或接收機中的偶數路徑處置在序列中的作為發送的第二、第四、第六符號等的符號。在操作時，路徑在結構上是对稱的，以及符號或路徑可以被任意地指定為奇數和偶數。根據一個方面，利用雙路徑架構來實現的 C-PHY 發射機包括向對應的奇數路徑和偶數路徑提供奇數符號和偶數符號的映射器。根據一個方面，利用雙路徑架構來實現的 C-PHY 接收機包括從對應的奇數路徑和偶數路徑接收奇數符號和偶數符號，並且將奇數符號和偶數符號進行交織以提供用於解碼的符號序列的解映射器。

【0080】 圖 9 根據本公開內容的各方面示出了可以在被配置有雙路徑架構的 C-PHY 發射機中實現的映射電路 900、930 的示例。第一映射電路 900 包括兩

個映射器 902、904，每個映射器 902、904 向發射機中的路徑中的一者進行饋送，其中，發射機是利用偶數符號路徑和奇數符號路徑來實現的。每個偶數符號定義之後緊跟著通過奇數符號定義的信令狀態的信令狀態，以及每個奇數符號定義之後緊跟著通過偶數符號定義的信令狀態的信令狀態。

【0081】 第一映射電路 900 可以接收作為兩個 16 位元字或單個 32 位元字的輸入資料 912。第一映射電路 900 將 32 位元字分成兩個 16 位元字。相應的映射器 902、904 可以將每個 16 位元字映射到 7 個 FRP 符號的序列中。可以使用相應的串行器 906、908 來將 7 個 FRP 符號的序列的每個 21 位元表示進行串行化以獲得 FRP 符號的定時序列。串行器 906、908 在半速率符號時鐘信號 910 的每個時鐘週期提供一個符號，半速率符號時鐘信號 910 具有等於期望符號傳輸速率的一半的頻率。在所示的示例中，兩個映射器 902、904 向對應的串行器 906、908 提供七個 3 位元 FRP 符號的序列。

【0082】 映射器 902、904 的時序是通過字時鐘信號 916 來控制的，字時鐘信號 916 是由將半速率符號時鐘信號 910 除以 7 的電路 914 來提供的。串行器 906、908 的輸入時序是通過字時鐘信號 916 來控制的，以及串行器 906、908 的輸出時序是通過半速率符號時鐘信號 910 來控制的。

【0083】 在一個示例中，第一映射電路 900 向偶數符號路徑 918 提供對 16 位元字進行編碼的 FRP 符號，該 16 位元字與被編碼在提供給奇數符號路徑 920 的 FRP 符號中的 16 位元字不同。例如，FRP 符號 N 被提供給偶數符號路徑 918，以及符號 N+1 被提供給奇數符號路徑 920，其中，符號 N+1 在傳輸中跟隨符號 N。從兩個映射器 902、904 獲得的序列可以繼而被提供給偶數符號路徑 918 和奇數符號路徑 920，從而有效地將 7 個 FRP 符號的兩個序列組合成 14 符號序列。

【0084】 在另一示例中，兩個映射器 902、904 中的每一者可以被配置為偶數映射器 902 和奇數映射器 904，兩個映射器 902、904 被配置為接收相同的 32 位元字。在該示例中，偶數映射器 902 提供在表示 32 位元字的 14 符號序列中的偶數符號，而奇數映射器 904 提供在表示 32 位元字的 14 符號序列中的奇數符號。由映射器 902、904 產生的符號可以被串行化以及被提供給對應的符號路徑 918、920。在這個示例中，在串行匯流排上的信令與傳統 C-PHY 發射機一致。

【0085】 第二映射電路 930 使用單個映射器 934 以及被配置為以 16 位元字接收資料。單個映射器 934 被配置為將每個 16 位元字編碼在 7 個 FRP 符號的序列中。可以使用解多工器 936 將 7 個 FRP 符號的序列加載到 7 到 2 移位寄存器 938 中，解多工器 936 向耦合到對應的偶數符號路徑 918 和奇數符號路徑 920 的移位寄存器提供偶數符號和奇數符號。解多工器 936 是以一半的輸入資料時鐘速率、使用通過除法器 940 的操作而根據符號時鐘信號 910 推導的時鐘信號 942 進行時鐘控制的。

【0086】 圖 10 示出了發射機 1000 的第一示例，發射機 1000 被配置為使用半速率符號時鐘信號 910 來將輸入資料 1020 編碼在控制 C-PHY 三件套 1024 的信令狀態的符號中。發射機 1000 是利用偶數符號路徑和奇數符號路徑來實現的，其中，每個偶數符號定義之後緊跟著通過奇數符號定義的信令狀態的信令狀態，以及每個奇數符號定義之後緊跟著通過偶數符號定義的信令狀態的信令狀態。在一些實現方式中，所得到的符號序列符合 C-PHY 協議。圖 11 示出了用於發射機 1000 的時序 1100。

【0087】 輸入資料 1020 可以由映射電路 1002 接收為兩個 16 位元字或單個 32 位元字。映射電路 1002 可以例如對應於在圖 9 中示出的映射電路 900、930

中的一者。由映射電路 1002 提供的 FRP 符號序列中的每個符號被正反器 1004 和 1014 中的一者捕獲，正反器 1004 和 1014 維護要被編碼以進行傳輸的下一 FRP 符號 1030、1032。對於半速率符號時鐘信號 910 的每個週期，在偶數符號路徑中的正反器 1004 向第一線狀態編碼器 1006 提供輸入，以及在奇數符號路徑中的正反器 1014 向第二線狀態編碼器 1016 提供輸入。

【0088】第一線狀態編碼器 1006 提供下一偶數 3 位元線狀態符號 1034 作為其輸出，以定義 C-PHY 三件套 1024 的每條線的信令狀態。下一偶數 3 位元線狀態符號 1034 是基於偶數 3 位元符號 1030 與在奇數符號路徑上生成的當前奇數 3 位元線狀態符號 1040 之間的差異來生成的。通過半速率符號時鐘信號 910 的逆進行時鐘控制的正反器 1008 通過捕獲下一偶數 3 位元線狀態符號 1034（當其是通過正反器 1008 進行時鐘控制的以便被發送時）來提供當前偶數 3 位元線狀態符號 1038。

【0089】第二線狀態編碼器 1016 提供下一奇數 3 位元線狀態符號 1036 作為其輸出，以定義 C-PHY 三件套 1024 的每條線的信令狀態。下一奇數 3 位元線狀態符號 1036 是基於奇數 3 位元符號 1032 與在偶符號路徑上生成的當前偶數 3 位元線狀態符號 1038 之間的差異來生成的。通過半速率符號時鐘信號 910 進行時鐘控制的正反器 1018 通過捕獲下一奇數 3 位元線狀態符號 1036（當其是通過正反器 1018 進行時鐘控制的以便被發送時）來提供當前奇數 3 位元線狀態符號 1040。

【0090】多工器 1010 從當前偶數 3 位元線狀態符號 1038 和當前奇數 3 位元線狀態符號 1040 中選擇其輸出 1042。多工器 1010 的輸出 1042 被提供給預驅動和控制電路 1012，預驅動和控制電路 1012 控制耦合到 C-PHY 三件套 1024 的

線路驅動器集合 1022。多工器 1010 是通過半速率符號時鐘信號 910 來控制的，使得偶數符號和奇數符號控制 1002 在半速率符號時鐘信號 910 的不同相位（半週期）下的狀態。

【0091】圖 12 示出了發射機 1200 的第二示例，發射機 1200 被配置為使用半速率符號時鐘信號 910 來將輸入資料 1220 編碼在控制 C-PHY 三件套 1242 的信令狀態的符號中。發射機 1200 以與圖 10 的發射機 1000 類似的方式進行操作，其中添加了支持均衡的流水線電路 1226、1236。

【0092】發射機 1200 是利用偶數符號路徑和奇數符號路徑來實現的，其中，每個偶數符號定義之後緊跟著通過奇數符號定義的信令狀態的信令狀態，以及每個奇數符號定義之後緊跟著通過偶數符號定義的信令狀態的信令狀態。所得到的符號序列符合 C-PHY 協議。

【0093】輸入資料 1220 可以由映射電路 1202 接收為兩個 16 位元字或單個 32 位元字。映射電路 1202 可以例如對應於在圖 9 中示出的映射電路 900、930 中的一者。由映射電路 1202 提供的 FRP 符號序列中的每個符號被正反器 1204 和 1214 中的一者捕獲，正反器 1204 和 1214 中的一者維護下一 FRP 符號以用於處理。對於半速率符號時鐘信號 910 的每個週期，在偶數符號路徑中的正反器 1204 向第一線狀態編碼器 1206 提供輸入，以及在奇數符號路徑中的正反器 1214 向第二線狀態編碼器 1216 提供輸入。

【0094】第一線狀態編碼器 1206 提供下一偶數 3 位元線狀態符號作為其輸出以定義 C-PHY 三件套 1242 的每條線的信令狀態。下一偶數 3 位元線狀態符號是基於下一偶數 FRP 符號與在奇數符號路徑上生成的當前奇數 3 位元線狀態符號 1246 之間的差異來生成的。通過半速率符號時鐘信號 910 的逆進行時鐘

控制的正反器 1208 通過捕獲由第一線狀態編碼器 1206 提供的下一偶數 3 位元線狀態符號（當其是通過正反器 1208 進行時鐘控制的以便被發送時），來提供當前偶數 3 位元線狀態符號 1244。

【0095】第二線狀態編碼器 1216 提供下一奇數 3 位元線狀態符號作為其輸出，以定義 C-PHY 三件套 1242 的每條線的信令狀態。下一奇數 3 位元線狀態符號是基於下一奇數 FRP 符號與在偶數符號路徑上生成的當前偶數 3 位元線狀態符號 1244 之間的差異來生成的。通過半速率符號時鐘信號 910 進行時鐘控制的正反器 1218 通過捕獲由第二線狀態編碼器 1216 提供的下一奇數 3 位元線狀態符號（當其是通過正反器 1218 進行時鐘控制的以便被發送時），來提供當前奇數 3 位元線狀態符號 1246。

【0096】在所示的示例中，當前偶數 3 位元線狀態符號 1244 和當前奇數 3 位元線狀態符號 1246 被提供給相應的偶數和奇數預驅動和控制電路 1222、1232，預驅動和控制電路 1222、1232 產生被配置為控制耦合到 C-PHY 三件套 1242 的線路驅動器集合 1210 的一個或多個驅動器控制信號 1224、1234。驅動器控制信號 1224、1234 被提供給相應的流水線電路 1226、1236，其提供足以使得均衡電路 1228、1238 能夠確定針對驅動器控制信號 1224、1234 的均衡配置的延遲。在所示的示例中，流水線電路 1226、1236 包括兩個或更多個正反器，其將驅動器控制信號 1224、1234 延遲達對應的兩個或更多個時鐘週期。在用於偶數符號路徑的流水線電路 1226 中的正反器是通過半速率符號時鐘信號 910 的逆進行時鐘控制的，以及在用於奇數符號路徑的流水線電路 1236 中的正反器是通過半速率符號時鐘信號 910 進行時鐘控制的，以維持在偶數符號路徑與奇數符號路徑之間建立的時序關係。所延遲的驅動器控制信號由相應的流水線電路 1226、1236

提供給均衡器電路 1228、1238，均衡器電路 1228、1238 可以對所延遲的驅動器控制信號中的某些信號應用時序調整，針對所延遲的驅動器控制信號中的某些信號生成驅動器幅度控制信號，或者提供時序和幅度調整的某種組合。均衡器電路 1228、1238 向多工器 1240 提供所延遲的驅動器控制信號和/或時序和幅度調整控制信號。

【0097】 多工器 1240 在均衡器電路 1228、1238 的輸出之間進行選擇以提供其輸出。多工器 1240 的輸出被提供給耦合到 C-PHY 三件套 1242 的線路驅動器集合 1210。多工器 1240 是通過半速率符號時鐘信號 910 來控制的，使得偶數符號和奇數符號控制 C-PHY 三件套 1242 在半速率符號時鐘信號 910 的不同相位（半週期）下的狀態。

【0098】 被配置為對根據由半速率符號時鐘信號提供的時序來發送的符號序列進行解碼的接收機可以被配置有分別的偶數符號路徑和奇數符號路徑。差分信號處理器可以用於將差分信號解多工以獲得當前線狀態和先前線狀態。

【0099】 圖 13 根據本公開內容的某些方面示出了可以在被配置用於半速率符號時鐘操作的接收機中使用的差分信號處理器 1300、1330 和 1360 的一個示例。

【0100】 AB 差分信號處理器 1300 從比較器或線路接收機電路接收 AB 差分信號 1302。AB 差分信號 1302 可以是從諸如在圖 8 中示出的比較器集合 802 的比較器集合中的一個比較器接收的。比較器提供差分信號集合{AB, BC, CA}，其表示 C-PHY 匯流排中的三件套的線（被稱為線 A、B 和 C）的信令狀態的差異。在一些實施例中，AB 差分信號 1302 是多位元信號和/或可以是在兩個或更多個連接器或線上發送的。圖 15 是包括 AB 差分信號 1302 的快照的時序圖 1500，

其覆蓋了針對接收符號間隔 $\{N, N+1, \dots N+8\}$ 的信令狀態。AB 差分信號處理器 1300 包括第一正反器 1304，第一正反器 1304 是通過半速率符號時鐘信號 1324 進行時鐘控制的以及被配置為捕獲偶數 AB 狀態 1320，其包括用於符號集合 $\{N-1, N+1, N+3, N+5$ 和 $N+7\}$ 中的每個符號的 AB 狀態。

【0101】 AB 差分信號處理器 1300 包括第二正反器 1306，第二正反器 1306 是通過半速率符號時鐘信號 1324 的逆進行時鐘控制的，以及被配置為捕獲奇數 AB 狀態 1322，其包括用於符號集合 $\{N, N+2, N+4$ 和 $N+6\}$ 中的每個符號的狀態。AB 差分信號處理器 1300 還包括第三正反器 1308 和第四正反器 1310，它們是通過半速率符號時鐘信號 1324 進行時鐘控制的以及提供對齊的當前偶數 AB 狀態 1314 和當前奇數 AB 狀態 1316。AB 差分信號處理器 1300 還包括第五正反器 1312，第五正反器 1312 是通過半速率符號時鐘信號 1324 進行時鐘控制的以及捕獲當前奇數 AB 狀態 1316，以提供與對應的當前偶數 AB 狀態 1314 和當前奇數 AB 狀態 1316 在時間上對齊的先前奇 AB 狀態 1318。

【0102】 BC 差分信號處理器 1330 從比較器或線路接收機電路接收 BC 差分信號 1332。BC 差分信號 1332 可以是從諸如在圖 8 中示出的比較器集合 802 的比較器集合中的一個比較器接收的。在一些實現方式中，BC 差分信號 1332 是多位元信號和/或可以是在兩個或更多個連接器或線上發送的。BC 差分信號處理器 1330 包括第一正反器 1334，第一正反器 1334 是通過半速率符號時鐘信號 1324 進行時鐘控制的，以及被配置為捕獲偶數 BC 狀態 1350，其包括用於符號集合 $\{N-1, N+1, N+3, N+5$ 和 $N+7\}$ 中的每個符號的 BC 狀態。

【0103】 BC 差分信號處理器 1330 包括第二正反器 1336，第二正反器 1336 是通過半速率符號時鐘信號 1324 的逆進行時鐘控制的，以及被配置為捕獲奇數

BC 狀態 1352，其包括用於符號集合{N，N+2，N+4 和 N+6}中的每個符號的狀態。BC 差分信號處理器 1330 還包括第三正反器 1338 和第四正反器 1340，它們是通過半速率符號時鐘信號 1324 進行時鐘控制的以及提供對齊的當前偶數 BC 狀態 1344 和當前奇數 BC 狀態 1346。BC 差分信號處理器 1330 還包括第五正反器 1342，第五正反器 1342 是通過半速率符號時鐘信號 1324 進行時鐘控制的以及捕獲當前奇數 BC 狀態 1346 以提供與對應的當前偶數 BC 狀態 1344 和當前奇數 BC 狀態 1346 在時間上對齊的先前奇數 BC 狀態 1348。

【0104】 CA 差分信號處理器 1360 從比較器或線路接收機器電路接收 CA 差分信號 1362。CA 差分信號 1362 可以是從諸如在圖 8 中示出的比較器集合 802 的比較器集合中的一個比較器接收的。在一些實現方式中，CA 差分信號 1362 是多位元信號和/或可以是在兩個或更多個連接器或線上發送的。CA 差分信號處理器 1360 包括第一正反器 1364，第一正反器 1364 是通過半速率符號時鐘信號 1324 進行時鐘控制的，以及被配置為捕獲偶數 CA 狀態 1380，其包括用於符號集合{N-1, N+1, N+3, N+5 和 N+7}中的每個符號的 CA 狀態。

【0105】 CA 差分信號處理器 1360 包括第二正反器 1366，第二正反器 1366 是通過半速率符號時鐘信號 1324 的逆進行時鐘控制的，以及被配置為捕獲奇數 CA 狀態 1382，其包括用於符號集合{N, N+2, N+4 和 N+6}中的每個符號的狀態。CA 差分信號處理器 1360 還包括第三正反器 1368 和第四正反器 1370，它們是通過半速率符號時鐘信號 1324 進行時鐘控制的以及提供對齊的當前偶數 CA 狀態 1374 和當前奇數 CA 狀態 1376。CA 差分信號處理器 1360 還包括第五正反器 1372，第五正反器 1372 是通過半速率符號時鐘信號 1324 進行時鐘控制的以及捕獲當前奇數 CA 狀態 1376 以提供與對應的當前偶數 CA 狀態 1374 和當前奇數

CA 狀態 1376 在時間上對齊的先前奇數 CA 狀態 1378。

【0106】圖 14 示出了接收機電路 1400，其被配置為使用半速率符號時鐘信號 1324 來根據 C-PHY 匯流排的信令狀態對資料 1450 進行解碼。接收機電路 1400 是利用偶數符號路徑和奇數符號路徑來實現的，其中，每個符號對應於被編碼在連續的信令狀態之間的轉換中的資料。每個偶數符號表示之後緊跟著通過奇數符號表示的第二信令狀態的第一信令狀態，以及每個奇數符號表示之後緊跟著通過偶數符號表示的第四信令狀態的第三信令狀態。符號序列符合 C-PHY 協議。圖 15 示出了與接收機電路 1400 相關聯的時序。

【0107】接收機電路 1400 可以包括或者可以耦合到比較器(諸如在圖 8 中示出的比較器集合 802)。比較器提供差分信號集合{AB, BC, CA}，其表示 C-PHY 匯流排中的三件套的線(被稱為線 A、B 和 C)的信令狀態的差異。提供三個差分信號處理器 1402、1404、1406，以從在 C-PHY 匯流排上的符號傳輸間隔序列中的信令狀態中提取資訊。符號傳輸間隔是通過符號傳輸速率定義的。差分信號集合還被提供給生成半速率符號時鐘信號 1324 的時鐘恢復電路 1430。半速率符號時鐘信號 1324 的每個時段定義兩個符號傳輸間隔。

【0108】AB 差分信號處理器 1402 向一對線狀態解碼器提供當前偶數 AB 狀態、當前奇數 AB 狀態和先前奇數 AB 狀態。BC 差分信號處理器 1404 向一對線狀態解碼器提供當前偶數 BC 狀態、當前奇數 BC 狀態和先前奇數 BC 狀態。CA 差分信號處理器 1406 向一對線狀態解碼器提供當前偶數 CA 狀態、當前奇數 CA 狀態和先前奇數 CA 狀態。

【0109】偶數線狀態解碼器 1408 通過確定在用於 AB、BC 和 CA 差分信號的當前奇數狀態 1412 與用於 AB、BC 和 CA 差分信號的當前偶數狀態 1414 之

間的差異來提供 3 位元偶數 FRP 符號 1436。用於 AB、BC 和 CA 差分信號的當前偶數狀態 1414 發生在用於 AB、BC 和 CA 的當前奇數狀態 1412 之前。奇數線狀態解碼器 1410 通過確定在用於 AB、BC 和 CA 差分信號的當前偶數狀態 1414 與用於 AB、BC 和 CA 差分信號的先前奇數狀態 1416 之間的差異，來提供 3 位元奇數 FRP 符號 1438。用於 AB、BC 和 CA 差分信號的先前奇數狀態 1416 發生在用於 AB、BC 和 CA 的當前偶數狀態 1414 之前。

【0110】 偶數 FRP 符號 1436 和奇數 FRP 符號 1438 被分別保存在對應的寄存器或正反器 1418 和 1420 中，以向 1 到 7 串行到並行轉換器 1422、1424 提供偶數 FRP 輸入 1440 和奇數 FRP 輸入 1442。寄存器或正反器 1418 和 1420、以及串行到並行轉換器 1422、1424 的輸入是通過半速率符號時鐘信號 1324 進行時鐘控制的。串行到並行轉換器 1422、1424 基於由將半速率符號時鐘信號 1324 除以 7 的電路 1428 提供的資料時鐘信號 1434 提供的時序，來將符號序列的 21 位元表示作為偶數和奇數輸入 1444 提供給解映射器 1426。解映射器 1426 對偶數和奇數輸入 1444 進行交織和解碼以獲得經解碼的資料 1450，其可以是以 16 位元或 32 位元字輸出的。串行到並行轉換器 1422、1424 和解映射器 1426 可以基於由資料時鐘信號 1434 提供的時序進行操作。

【0111】 圖 16 根據本公開內容的各方面示出了可以在被配置有雙路徑架構的 C-PHY 接收機中實現的解映射電路 1600、1630 的示例。第一解映射電路 1600 包括兩個解映射器 1606、1608。第一解串行器 1602 或者串行到並行轉換器向第一解映射器 1606 提供從偶數符號路徑 1612 接收的七個 3 位元符號的每個序列的 21 位元表示。第二解串行器 1604 向第二解映射器 1608 提供從奇數符號路徑 1614 接收的七個 3 位元符號的每個序列的 21 位元表示。從偶數符號路徑

1612 和奇數符號路徑 1614 接收的符號可以被配置為 FRP 符號。解映射器 1606、1608 可以被配置為根據 C-PHY 編碼來將 7 符號序列轉換為資料。在一些實現方式中，解映射器 1606、1608 中的每一者可以通過使用七個符號的序列的 21 位元表示來對查找表進行索引，從而對七個符號的序列進行解碼。在一個示例中，第一解映射電路 1600 可以將輸出資料 1620 提供為兩個 16 位元字。在另一示例中，第一解映射電路 1600 可以將輸出資料 1620 提供為兩個 16 位元字或者單個 32 位元字。

【0112】 解串行器 1602、1604 在半速率符號時鐘信號 1610 的每時鐘週期接收一個符號，半速率符號時鐘信號 1610 具有等於期望符號傳輸速率的一半的頻率。在所示的示例中，兩個解映射器 1606、1608 中的每一者從對應的解串行器 1602、1604 接收七個 3 位元 FRP 符號的集合。解映射器 1606、1608 的操作和解串行器 1602、1604 的輸出的時序是通過由將半速率符號時鐘信號 1610 除以 7 的電路 1616 提供的字時鐘信號 1618 來控制的。在所示的示例中，FRP 符號 N 是從偶數符號路徑 1612 接收的，以及符號 N+1 是從奇數符號路徑 1614 接收的，其中，符號 N+1 是在符號 N 之後從 C-PHY 匯流排接收的。

【0113】 在一些實現方式中，兩個解映射器 1606、1608 中的每一者可以被配置為偶數解映射器 1606 和奇數解映射器 1608，兩個解映射器 1606、1608 被配置為輸出相同 32 位元字的部分。在一些實現方式中，在串行匯流排上的信令與傳統 C-PHY 發射機一致。

【0114】 第二解映射電路 1630 使用單個解映射器 1642，以及被配置為對從偶符號路徑 1652 和奇數符號路徑 1654 接收的符號進行交織。在一個示例中，7 個 FRP 符號的序列是由正反器集合 1636、1638 從解串行器 1632、1634 捕獲

的，其中，正反器集合 1636、1638 和解串行器 1632、1634 的輸出是通過字時鐘信號 1656 來控制的，字時鐘信號 1656 可以是從將半速率符號時鐘信號 1610 除以 7 的除法器 1646 獲得的。在一個示例中，解串行器 1632、1634 被配置為將多達 7 個接收的符號組裝成由相應的正反器集合 1636、1638 捕獲的符號序列。第一正反器集合 1636 從偶數符號路徑 1652 捕獲 7 符號序列，以及第二正反器集合 1638 從奇數符號路徑 1654 捕獲 7 符號序列。多工器 1640 根據由半字時鐘信號 1658 提供的選擇信號來饋送解映射器 1642，字時鐘信號 1658 可以是從將半速率符號時鐘信號 1610 除以 3.5 的除法器 1648 獲得的。對於半速率符號時鐘信號 1610 的每個週期，解映射器 1642 在第二解映射電路 1630 的輸出 1650 處產生兩個 16 位元資料字。在一個示例中，第一 16 位元資料字是根據通過偶數符號路徑 1652 處理的 7 符號序列來解碼的，以及第二 16 位元資料字是根據通過奇數符號路徑 1654 處理的 7 符號序列來解碼的。

【0115】處理電路和方法的示例

【0116】 圖 17 是示出用於採用處理電路 1702 的裝置的硬體實現方式的示例的概念圖 1700，處理電路 1702 可以被配置為執行本文公開的一個或多個功能。根據本公開內容的各個方面，可以使用處理電路 1702 來實現如本文中公開的元素、或元素的任何部分、或元素的任何組合。處理電路 1702 可以包括支持本文公開的各種編碼方案的某些設備、電路和/或邏輯。在一個示例中，處理電路 1702 可以包括促進將資料編碼為符號的電路和模組的某種組合、以及適配於在串行匯流排的線上斷言三個或更多個電壓電平的線路驅動器。在另一示例中，處理電路 1702 可以包括促進使用 3 相編碼器、映射器、驅動器和/或均衡器來將資料編碼為符號的電路和模組的某種組合。處理電路 1702 可以包括狀態機或管

理如本文所公開的編碼和/或解碼過程的另一類型的處理設備。

【0117】處理電路 1702 可以包括由硬體和軟體模組的某種組合控制的一個或多個處理器 1704。處理器 1704 的示例包括微處理器、微控制器、數位信號處理器（DSP）、現場可編程閘陣列（FPGA）、可編程邏輯器件（PLD）、狀態機、定序器、閘控邏輯、離散硬體電路和被配置為執行遍及本公開內容描述的各种功能的其它合適的硬體。一個或多個處理器 1704 可以包括專用處理器，其執行特定功能，以及可以由軟體模組 1716 中的一個軟體模組進行配置、擴增或者控制。一個或多個處理器 1704 可以通過在初始化期間加載的軟體模組 1716 的組合來進行配置，以及進一步通過在操作期間加載或者卸載一個或多個軟體模組 1716 來進行配置。

【0118】在所示的示例中，處理電路 1702 可以利用匯流排架構（通常通過匯流排 1710 表示）來實現。取決於處理電路 1702 的特定應用和總體設計約束，匯流排 1710 可以包括任何數量的互連匯流排和橋接器。匯流排 1710 將各種電路鏈接在一起，這些電路包括一個或多個處理器 1704 以及處理器可讀存儲媒體 1706。處理器可讀存儲媒體 1706 可以包括記憶體設備以及大容量存儲設備，以及在本文中可以被稱為計算機可讀媒體和/或處理器可讀媒體。匯流排 1710 還可以鏈接各種其它電路，諸如時序源、定時器、外圍設備、穩壓器和功率管理電路。匯流排介面 1708 可以提供匯流排 1710 與一個或多個收發機 1712 之間的介面。可以提供收發機 1712 以用於處理電路支持的每個聯網技術。在一些實例中，多個聯網技術可以共享收發機 1712 中找到的電路或者處理模組中的一些或者全部。每個收發機 1712 提供用於在傳輸媒體上與各種其它裝置進行通信的方式。取決於裝置的性質，還可以提供用戶介面 1718（例如，小鍵盤、顯示器、揚聲器、

麥克風、操縱杆)，以及用戶介面 1718 可以直接地或者通過匯流排介面 1708 通信地耦合到匯流排 1710。

【0119】 處理器 1704 可以負責管理匯流排 1710 以及負責通用處理，其可以包括對在可以包括處理器可讀存儲媒體 1706 的處理器可讀媒體中存儲的軟體的執行。在這方面，包括處理器 1704 的處理電路 1702 可以用於實現本文公開的方法、功能和技術中的任何一者。處理器可讀存儲媒體 1706 可以用於存儲由處理器 1704 在執行軟體時操縱的資料，以及軟體可以被配置為實現本文公開的方法中的任何一種方法。

【0120】 處理電路 1702 中的一個或多個處理器 1704 可以執行軟體。無論被稱為軟體、韌體、中間件、微代碼、硬體描述語言還是其它名稱，軟體都應當被廣泛地解釋為意指指令、指令集、代碼、代碼段、程序代碼、程序、子程序、軟體模組、應用、軟體應用、軟體包、例程、子例程、對象、可執行文件、執行的線程、過程、函數、算法等。軟體可以以計算機可讀形式駐留在處理器可讀存儲媒體 1706 中，或者駐留在另一外部處理器可讀媒體中。處理器可讀存儲媒體 1706 可以包括非暫時性處理器可讀媒體。舉例而言，非暫時性處理器可讀媒體包括磁存儲設備（例如，硬碟、軟盤、磁條）、光碟（例如，壓縮光碟（CD）或數位多功能光碟（DVD））、智能卡、閃存設備（例如，“閃存驅動”、卡、棒或鍵驅動）、隨機存取記憶體（RAM）、ROM、PROM、可擦除 PROM（EPROM）、EEPROM、寄存器、可移動盤和用於存儲可以由計算機存取和讀取的軟體和/或指令的任何其它合適的媒體。舉例而言，處理器可讀存儲媒體 1706 還可以包括載波、傳輸線以及用於發送可以由計算機存取和讀取的軟體和/或指令的任何其它合適的媒體。處理器可讀存儲媒體 1706 可以駐留在處理電路 1702 中、在處理

器 1704 中、處理電路 1702 之外或者跨越包括處理電路 1702 的多個實體來分佈。處理器可讀存儲媒體 1706 可以體現在計算機程序產品中。舉例而言，計算機程序產品可以包括封裝材料中的處理器可讀媒體。本領域技術人員將認識到如何根據特定應用和施加在整個系統上的總體設計約束來最佳地實現遍及本公開內容給出的所述功能。

【0121】 處理器可讀存儲媒體 1706 可以維護以可加載代碼段、模組、應用、程序等維護和/或組織的軟體，其在本文中可以被稱為軟體模組 1716。軟體模組 1716 中的每個軟體模組可以包括如下的指令和資料：所述指令和資料在被安裝或者加載到處理電路 1702 上並且由一個或多個處理器 1704 執行時對於控制一個或多個處理器 1704 的操作的運行時映像 1714 起作用。在被執行時，某些指令可以使得處理電路 1702 執行根據本文描述的某些方法、算法和過程的功能。

【0122】 軟體模組 1716 中的一些軟體模組可以在處理電路 1702 的初始化期間加載，以及這些軟體模組 1716 可以將處理電路 1702 配置為使得能夠執行本文公開的各種功能。例如，一些軟體模組 1716 可以配置處理器 1704 的內部設備和/或邏輯電路 1722，以及可以管理對外部設備（諸如收發機 1712、匯流排介面 1708、用戶介面 1718、定時器、數學協處理器 etc）的存取。軟體模組 1716 可以包括控制程序和/或操作系統，其與中斷處理程序以及設備驅動器進行交互，以及控制對由處理電路 1702 提供的各種資源的存取。這些資源可以包括記憶體、處理時間、對收發機 1712、用戶介面 1718 的存取等。

【0123】 處理電路 1702 中的一個或多個處理器 1704 可以是多功能的，其中軟體模組 1716 中的一些軟體模組被加載以及被配置為執行不同的功能或者相同功能的不同實例。一個或多個處理器 1704 可以另外適配於管理響應於來自例

如用戶介面 1718、收發機 1712 和設備驅動器的輸入而發起的後台任務。為了支持對多個功能的執行，一個或多個處理器 1704 可以被配置為提供多任務環境，其中，根據需要或者期望，多個功能中的每個功能被實現為由一個或多個處理器 1704 服務的任務集。在一個示例中，多任務環境可以使用分時程序 1720 來實現，分時程序 1720 在不同的任務之間傳遞對處理器 1704 的控制，其中，每個任務在任何未解決的操作完成時和/或響應於諸如中斷的輸入，將對一個或多個處理器 1704 的控制返回給分時程序 1720。當任務具有對一個或多個處理器 1704 的控制時，處理電路有效地專用於與進行控制的任務相關聯的功能所針對的目的。分時程序 1720 可以包括操作系統、在循環的基礎上傳遞控制的主循環、根據功能的優先化來分配對一個或多個處理器 1704 的控制的函數、和/或通過向處理函數提供對一個或多個處理器 1704 的控制來對外部事件進行響應的中斷驅動主循環。

【0124】圖 18 是可以在耦合到多線通信鏈路的發射機處執行的資料通信方法的流程圖 1800。在一個示例中，通信鏈路可以具有三條線，以及可以將資料編碼在三條線中的每一條上的以不同相位發送的信號的相位狀態和幅度中。該方法可以至少部分地在分別在圖 10 和 12 中示出的發射機 1000 或 1200 處執行。

【0125】在框 1802 處，發射機 1000 或 1200 可以配置多個線路驅動器，以將該裝置耦合到 3 線鏈路。在框 1804 處，當 3 線鏈路處於第一信令狀態時，發射機 1000 或 1200 可以在第一線狀態編碼器處接收符號序列中的第一符號。在框 1806 處，發射機 1000 或 1200 可以基於第一符號和第一信令狀態來定義用於 3 線鏈路的第二信令狀態。在框 1808 處，發射機 1000 或 1200 可以在第二線狀態編碼器處接收符號序列中的第二符號。在框 1810 處，發射機 1000 或 1200 可

以基於第二符號和第二信令狀態來定義用於 3 線鏈路的第三信令狀態。在符號序列中，第一符號可以緊接在第二符號之前。3 線鏈路在連續的符號傳輸間隔中從第一信令狀態轉換到第二信令狀態，以及從第二信令狀態轉換到第三信令狀態。當 3 線鏈路從第二信令狀態轉換到第三信令狀態時，3 線鏈路中的至少一條線的信令狀態進行改變。

【0126】 在一個示例中，第一線狀態編碼器和第二線狀態編碼器中的每一者以每兩個符號傳輸間隔來定義用於 3 線鏈路的信令狀態。

【0127】 在某些示例中，可以提供半速率符號時鐘信號，其具有作為每個符號傳輸間隔的持續時間兩倍的時段。發射機 1000 或 1200 可以在第二信令狀態與第三信令狀態之間進行選擇，以向控制多個線路驅動器的驅動器控制電路提供線狀態資訊。選擇可以是基於半速率符號時鐘信號的相位的。發射機 1000 或 1200 可以對使用半速率符號時鐘信號的逆進行時鐘控制的第一正反器進行時鐘控制。第一正反器可以被配置為捕獲表示第二信令狀態的第一控制信號。發射機 1000 或 1200 可以使用半速率符號時鐘信號來對第二正反器進行時鐘控制。第二正反器可以被配置為捕獲表示第三信令狀態的第二控制信號。發射機 1000 或 1200 可以提供第一控制信號或第二控制信號作為線狀態資訊。發射機 1000 或 1200 可以將至少 16 位元的資料映射到符號序列中的至少 7 個符號。3 線鏈路可以是根據 C-PHY 協議來操作的。

【0128】 在一些實現方式中，當基於第二信令狀態與第三信令狀態之間的差異來發起對第三信令狀態的傳輸時，發射機 1000 或 1200 可以配置多個線路驅動器。

【0129】 圖 19 是示出用於採用處理電路 1902 的裝置 1900 的硬體實現方

式的示例的圖。處理電路 1902 通常具有處理器 1916，其可以是微處理器、微控制器、數位信號處理器、定序器或狀態機。處理電路 1902 可以利用匯流排架構（通常通過匯流排 1910 表示）來實現。取決於處理電路 1902 的特定應用和總體設計約束，匯流排 1910 可以包括任何數量的互連匯流排和橋接器。匯流排 1910 將各種電路鏈接在一起，所述電路包括一個或多個處理器和/或硬體模組，其通過以下各項來表示：處理器 1916、模組或電路 1904、1906 和 1908、被配置為驅動 3 線鏈路 1920 的各條線的線路驅動器 1912、以及處理器可讀存儲媒體 1918。匯流排 1910 還可以鏈接各種其它電路，諸如時序源、外圍設備、穩壓器和功率管理電路，這些電路都是本領域公知的，以及因此，將不進行任何進一步的描述。

【0130】 處理器 1916 負責通用處理，其包括對在處理器可讀存儲媒體 1918 上存儲的軟體的執行。軟體在被處理器 1916 執行時使得處理電路 1902 執行上文針對任何特定裝置所描述的各种功能。處理器可讀存儲媒體 1918 可以包括暫時性和/或非暫時性媒體，其可以用於存儲由處理器 1916 在執行軟體時所操縱的資料，其包括符號表和用於存取符號表的中間索引。處理電路 1902 還包括模組 1904、1906 和 1908 中的至少一個模組。模組 1904、1906 和 1908 可以被實現為在處理器 1916 中運行的、駐留/存儲在處理器可讀存儲媒體 1918 中的軟體模組、耦合到處理器 1916 的一個或多個硬體模組、或其某種組合。模組 1904、1906 和/或 1908 可以包括微控制器指令、狀態機配置參數或其某種組合。

【0131】 在一種配置中，裝置 1900 可以被配置用於在多線介面上進行資料通信。裝置 1900 可以包括符號映射模組和/或電路 1908，其被配置為使用 3 相編碼來將資料編碼在奇數符號和偶數符號中。裝置 1900 可以包括符號複用模組和/或電路 1906，其被配置為對奇數符號和偶數符號進行合併或交織以獲得符號

序列。裝置 1900 可以包括線狀態編碼模組和/或電路 1904，其被配置為使用符號序列以使得線路驅動器 1912 在對應的符號傳輸間隔期間配置 3 線鏈路 1920 的信令狀態。在一個示例中，線路驅動器 1912 在每條線上提供 7 個或更多個信令狀態，以及每條線被驅動到與 3 線鏈路 1920 中的其它線不同的信令狀態。

【0132】 在一個示例中，裝置 1900 具有一對線狀態編碼器，以及線路驅動器 1912 被配置為將該裝置耦合到 3 線鏈路 1920。第一線狀態編碼器被配置為：當 3 線鏈路 1920 處於第一信令狀態時接收符號序列中的第一符號，以及基於第一符號和第一信令狀態來定義用於 3 線鏈路的第二信令狀態。第二線狀態編碼器被配置為：接收符號序列中的第二符號，以及基於第二符號和第二信令狀態來定義用於 3 線鏈路的第三信令狀態。在符號序列中，第一個符號緊接在第二符號之前。3 線鏈路 1920 在連續的符號傳輸間隔中從第一信令狀態轉換到第二信令狀態，以及從第二信令狀態轉換到第三信令狀態。當 3 線鏈路 1920 從第二信令狀態轉換到第三信令狀態時，3 線鏈路 1920 中的至少一條線的信令狀態進行改變。在一個示例中，每個線狀態編碼器以每兩個符號傳輸間隔來定義用於 3 線鏈路 1920 的信令狀態。

【0133】 在一些實現方式中，裝置 1900 具有時鐘生成電路，其被配置為提供具有作為每個符號傳輸間隔的持續時間的兩倍的時段的半速率符號時鐘信號。該裝置可以具有：驅動器控制電路，其被配置為控制線路驅動器 1912；以及多工器，其在第二信令狀態與第三信令狀態之間進行選擇以向驅動器控制電路提供線狀態資訊。多工器可以基於半速率符號時鐘信號的相位來在第二信令狀態與第三信令狀態之間進行選擇。裝置 1900 還可以包括：第一正反器，其是通過半速率符號時鐘信號的逆進行時鐘控制的以及被配置為捕獲表示第二信令狀態

的第一控制信號；以及第二正反器，其是通過半速率符號時鐘信號進行時鐘控制的以及被配置為捕獲表示第三信令狀態的第二控制信號。多工器還可以被配置為提供第一控制信號或第二控制信號作為線狀態資訊。

【0134】 在一些實現方式中，裝置 1900 具有一個或多個映射器，其被配置為將至少 16 位元的資料映射到符號序列中的至少 7 個符號。3 線鏈路 1620 可以是根據 C-PHY 協議來操作的。

【0135】 在一些實現方式中，裝置 1900 具有均衡器電路，其被配置為：接收第二信令狀態和第三信令狀態的延遲版本，以及當基於第二信令狀態與第三信令狀態之間的差異來發起對第三信令狀態的傳輸時，配置多個線路驅動器。

【0136】 處理器可讀存儲媒體 1918 可以存儲與在圖 18 中示出的方法相關的指令和其它資訊。例如，處理器可讀存儲媒體 1918 可以包括使得處理電路 1902 進行以下操作的指令：配置線路驅動器 1912，以將該裝置耦合到 3 線鏈路 1920；當 3 線鏈路 1920 處於第一信令狀態時，在第一線狀態編碼器處接收符號序列中的第一符號；基於第一符號和第一信令狀態來定義用於 3 線鏈路 1920 的第二信令狀態；在第二線狀態編碼器處接收符號序列中的第二符號；以及基於第二符號和第二信令狀態來定義用於 3 線鏈路的第三信令狀態。在符號序列中，第一符號緊接在第二符號之前。3 線鏈路 1920 在連續的符號傳輸間隔中從第一信令狀態轉換到第二信令狀態，以及從第二信令狀態轉換到第三信令狀態。當 3 線鏈路 1920 從第二信令狀態轉換到第三信令狀態時，3 線鏈路 1920 中的至少一條線的信令狀態可以進行改變。

【0137】 在一些情況下，第一線狀態編碼器和第二線狀態編碼器中的每一者以每兩個符號傳輸間隔來定義用於 3 線鏈路 1920 的信令狀態。

【0138】 在一些實現方式中，處理器可讀存儲媒體 1918 包括使得處理電路 1902 進行以下操作的指令：提供具有作為每個符號傳輸間隔的持續時間的兩倍的時段的半速率符號時鐘信號。處理器可讀存儲媒體 1918 可以包括使得處理電路 1902 進行以下操作的指令：在第二信令狀態與第三信令狀態之間進行選擇，以向控制多個線路驅動器的驅動器控制電路提供線狀態資訊。選擇可以是基於半速率符號時鐘信號的相位的。處理器可讀存儲媒體 1918 可以包括使得處理電路 1902 進行以下操作的指令：對使用半速率符號時鐘信號的逆進行時鐘控制的第一正反器進行時鐘控制，其中，第一正反器被配置為捕獲表示第二信令狀態的第一控制信號。處理器可讀存儲媒體 1918 可以包括使得處理電路 1902 進行以下操作的指令：使用半速率符號時鐘信號來對第二正反器進行時鐘控制，其中，第二正反器被配置為捕獲表示第三信令狀態的第二控制信號；以及提供第一控制信號或第二控制信號作為線狀態資訊。

【0139】 處理器可讀存儲媒體 1918 可以包括使得處理電路 1902 進行以下操作的指令：將至少 16 位元的資料映射到符號序列中的至少 7 個符號。3 線鏈路 1920 可以是根據 C-PHY 協議來操作的。處理器可讀存儲媒體 1918 可以包括使得處理電路 1902 進行以下操作的指令：在基於第二信令狀態與第三信令狀態之間的差異來發起對第三信令狀態的傳輸時，配置多個線路驅動器。

【0140】 圖 20 是可以在耦合到多線通信鏈路的接收機處執行的資料通信方法的流程圖 2000。在一個示例中，可以將資料編碼在 3 線鏈路 1920 中的三條線中的每一條上以不同相位發送的信號的相位狀態和幅度中。該方法可以至少部分地在圖 14 中所示的接收機電路 1400 處執行。

【0141】 在框 2002 處，接收機電路 1400 可以提供表示 3 線鏈路 1920 中的

每對線之間的信令狀態的差異的差分信號。在框 2004 處，接收機電路 1400 可以基於符號時鐘的第一半週期中的差分信號的狀態與符號時鐘的第二半週期中的差分信號的狀態之間的差異來提供第一符號，在符號時鐘中第二半週期緊接在第一半週期之前。在框 2006 處，接收機電路 1400 可以基於符號時鐘的第二半週期中的差分信號的狀態與符號時鐘的第三半週期中的差分信號的狀態之間的差異來提供第二符號，在符號時鐘中第三半週期緊接在第二半週期之前。在框 2008 處，接收機電路 1400 可以根據包括第一符號和第二符號的符號序列對資料進行解碼。在符號序列中，第一符號緊接在第二符號之前。

【0142】 在各個示例中，至少一個差分信號的信令狀態在半速率符號時鐘的半週期之間的每個轉換處改變。該方法可以包括根據差分信號來推導符號時鐘。3 線鏈路 1920 是根據 C-PHY 協議來操作的。該方法可以包括：針對每個差分信號，提供表示符號時鐘的第一半週期中的對應的差分信號的狀態的第一信號、表示符號時鐘的第二半週期中的對應的差分信號的狀態的第二信號、以及表示符號時鐘的第三半週期中的對應的差分信號的狀態的第三信號。該方法可以包括：根據七個符號的多個序列中的每個序列對 16 位元字進行解碼，或者根據由第一線狀態解碼器和第二線狀態解碼器併發地生成的七個符號的每對序列對 32 位元字進行解碼。

【0143】 圖 21 是示出用於採用處理電路 2102 的裝置 2100 的硬體實現方式的示例的圖。處理電路 2102 通常具有處理器 2116，其可以是微處理器、微控制器、數位信號處理器、定序器或狀態機。處理電路 2102 可以利用匯流排架構（通常通過匯流排 2110 表示）來實現。取決於處理電路 2102 的特定應用和總體設計約束，匯流排 2110 可以包括任何數量的互連匯流排和橋接器。匯流排 2110

將各種電路鏈接在一起，所述電路包括一個或多個處理器和/或硬體模組，其通過以下各項來表示：處理器 2116、模組或電路 2104、2106 和 2108、被配置為驅動 3 線鏈路 2120 的各條線的接收機 2112、以及處理器可讀存儲媒體 2118。匯流排 2110 還可以鏈接各種其它電路，諸如時序源、外圍設備、穩壓器和功率管理電路，所述電路是本領域公知的，以及因此，將不進行任何進一步的描述。

【0144】 處理器 2116 負責通用處理，其包括對在處理器可讀存儲媒體 2118 上存儲的軟體的執行。軟體在被處理器 2116 執行時使得處理電路 2102 執行上文針對任何特定裝置所描述的各种功能。處理器可讀存儲媒體 2118 還可以包括暫時性和/或非暫時性媒體，其可以用於存儲由處理器 2116 在執行軟體時所操縱的資料，其包括符號表和用於存取符號表的中間索引。處理電路 2102 還包括模組 2104、2106 和 2108 中的至少一個模組。模組 2104、2106 和 2108 可以被實現為在處理器 2116 中運行的、駐留/存儲在處理器可讀存儲媒體 2118 中的軟體模組、耦合到處理器 2116 的一個或多個硬體模組、或其某種組合。模組 2104、2106 和/或 2108 可以包括微控制器指令、狀態機配置參數或其某種組合。

【0145】 在一種配置中，裝置 2100 可以被配置用於在 3 線鏈路 2120 上進行資料通信。3 線鏈路可以是根據 C-PHY 協議來操作的。裝置 2100 可以包括差分信號處理模組和/或電路 2104，其被配置為確定 3 線鏈路 2120 中的各對線之間的信令狀態的差異。在一個示例中，接收機 2112 確定在每條線上的 7 個或更多個信令狀態之間的差異。裝置 2100 可以包括線狀態解碼模組和/或電路 2106，其被配置為產生表示在每個符號傳輸間隔中的差分信號的奇數符號和偶數符號。裝置 2100 可以包括符號解映射模組和/或電路 2108，其被配置為根據奇數符號和偶數符號對資料進行解碼。

【0146】 在一個示例中，接收機 2112 被配置為提供表示 3 線鏈路 2120 中的每對線之間的信令狀態的差異的差分信號，以及裝置 2100 具有：第一線狀態解碼器，其被配置為基於符號時鐘的第一半週期中的差分信號的狀態與符號時鐘的第二半週期中的差分信號的狀態之間的差異來提供第一符號，在符號時鐘中第二半週期緊接在第一半週期之前；以及第二線狀態解碼器，其被配置為基於符號時鐘的第二半週期中的差分信號的狀態與符號時鐘的第三半週期中的差分信號的狀態之間的差異來提供第二符號，在符號時鐘中第三半週期緊接在第二半週期之前。裝置 2100 可以具有解映射器，其被配置為根據包括第一符號和第二符號的符號序列對資料進行解碼。在符號序列中，第一符號緊接在第二符號之前。

【0147】 在一些實現方式中，至少一個差分信號的信令狀態在半速率符號時鐘的半週期之間的每個轉換處改變。時鐘恢復電路可以被配置為根據差分信號來推導符號時鐘。

【0148】 在一個示例中，裝置 2100 具有多個差分信號處理器，每個差分信號處理器耦合到相關聯的差分信號，以及被配置為提供表示符號時鐘的第一半週期中的對應的差分信號的狀態的第一信號、表示符號時鐘的第二半週期中的對應的差分信號的狀態的第二信號、以及表示符號時鐘的第三半週期中的對應的差分信號的狀態的第三信號。

【0149】 在一個示例中，解映射器還被配置為根據七個符號的多個序列中的每個序列對 16 位元字進行解碼，或者根據由第一線狀態解碼器和第二線狀態解碼器併發地生成的七個符號的每對序列對 32 位元字進行解碼。

【0150】 處理器可讀存儲媒體 2118 可以存儲與在圖 20 中所示的方法相關

的指令和其它資訊。例如，處理器可讀存儲媒體 2118 可以包括使得處理電路 2102 進行以下操作的指令：提供表示 3 線鏈路 2120 中的每對線之間的信令狀態的差異的差分信號；基於符號時鐘的第一半週期中的差分信號的狀態與符號時鐘的第二半週期中的差分信號的狀態之間的差異來提供第一符號，在符號時鐘中第二半週期緊接在第一半週期之前；基於符號時鐘的第二半週期中的差分信號的狀態與符號時鐘的第三半週期中的差分信號的狀態之間的差異來提供第二符號，在符號時鐘中第三半週期緊接在第二半週期之前；以及根據包括第一符號和第二符號的符號序列對資料進行解碼。在符號序列中，第一符號緊接在第二符號之前。

【0151】 在一些示例中，至少一個差分信號的信令狀態在半速率符號時鐘的半週期之間的每個轉換處改變。存儲媒體 2118 可以包括使得處理電路 2102 進行以下操作的指令：根據差分信號來推導符號時鐘。3 線鏈路 2120 可以是根據 C-PHY 協議來操作的。

【0152】 存儲媒體 2118 可以包括使得處理電路 2102 進行以下操作的指令：針對每個差分信號提供表示符號時鐘的第一半週期中的對應的差分信號的狀態的第一信號、表示符號時鐘的第二半週期中的對應的差分信號的狀態的第二信號、以及表示符號時鐘的第三半週期中的對應的差分信號的狀態的第三信號。

【0153】 存儲媒體 2118 可以包括使得處理電路 2102 進行以下操作的指令：根據七個符號的多個序列中的每個序列對 16 位元字進行解碼，或根據由第一線狀態解碼器和第二線狀態解碼器併發地生成的七個符號的每對序列對 32 位元字進行解碼。

【0154】 應理解的是，所公開的過程中的步驟的特定次序或層次是對示例

性方法的說明。要理解的是，基於設計偏好，可以重新排列這些過程中的步驟的特定次序或層次。此外，可以組合或省略一些步驟。所附的方法申請專利範圍以樣本次序給出了各個步驟的元素，以及不意指受限於所給出的特定次序或者層次。

【0155】 提供先前的描述以使得本領域任何技術人員能夠實踐本文描述的各個方面。對於本領域技術人員而言，對這些方面的各種修改將是顯而易見的，以及可以將本文定義的通用原理應用於其它方面。因此，申請專利範圍不旨在受限於本文示出的各方面，而是要符合與申請專利範圍表達相一致的全部範圍，其中除非特別如此說明，否則對單數元素的引用不旨在意指“一個和僅一個”，而是指代“一個或多個”。除非另外特別說明，否則術語“一些”指代一個或多個。遍及本公開內容描述的、對於本領域技術人員來說是已知的或者稍後將知的各個方面的元素的全部結構和功能等效物通過引用方式被明確地併入本文，以及旨在由申請專利範圍所涵蓋。此外，本文中沒有任何公開內容旨在奉獻給公眾，不管這樣的公開內容是否被明確地記載在申請專利範圍中。沒有任何申請專利範圍元素將被解釋為功能單元模組，除非該元素是使用短語“用於……的單元”來明確地記載的。

【符號說明】

【0156】

100 裝置

102 處理電路

- 108 RF 收發機
- 110 數據機
- 112 處理器
- 114 板載記憶體
- 116 匯流排介面電路
- 122 處理器可讀存儲裝置
- 124 天線
- 106 外圍設備
- 128 按鈕
- 126 顯示器
- 130 按鈕
- 132 外部小鍵盤
- 120 匯流排
- 204 無線收發機
- 206 處理器
- 208 存儲媒體
- 210 實體層驅動器
- 240 實體層驅動器
- 232 顯示控制器
- 234 相機控制器
- 236 處理器
- 238 存儲媒體

- 214 天線
- 202 IC 器件
- 212 匯流排
- 220 通信鏈路
- 222 通道
- 224 通道
- 226 通道
- 230 IC 器件
- 242 匯流排
- 310 位元資料
- 302 映射器
- 306 3 線 3 相編碼器
- 312 符號
- 314 符號
- 304 串行轉換器
- 316a 信號
- 316b 信號
- 316c 信號
- 318a 信號線
- 318b 信號線
- 318c 信號線
- 308 線路驅動器

- 400 時序圖
- 410 相位轉換
- 408 極性
- 412 兩位元值
- 402 曲線
- 404 曲線
- 406 曲線
- 450 循環狀態圖
- 414 時間
- 452 順時針方向
- 454 逆時針方向
- 452' 順時針方向
- 454' 逆時針方向
- 500 解碼器
- 504 線狀態解碼器
- 502a 差分接收機
- 502b 差分接收機
- 502c 差分接收機
- 514 符號
- 506 轉換器
- 516 符號
- 508 解映射器

518 資料

510 寄存器

520 資料

526 時鐘

524 CDR 電路

600 狀態圖

620 翻轉位元

622 旋轉位元

624 極性位元 602 信令狀態

604 信令狀態

606 信令狀態

608 內圓

612 信令狀態

614 信令狀態

616 信令狀態

618 外圓

628 元素

700 線狀態編碼

702 符號編碼器

704 預驅動和控制電路

706 寄存器、正反器

708 符號

710 符號時鐘信號

712 信號集合

714 符號

716 符號

720 表

722 線狀態

724 電壓電平

800 線狀態解碼

802 比較器集合

804 寄存器

806 寄存器、正反器

808 符號解碼器

810 FRP 符號

812 時鐘恢復電路

814 時鐘窗口邏輯

816 閘控邏輯

818 穩定信號

820 符號時鐘信號

822 信令狀態

824 先前線狀態

826 當前線狀態

828 時鐘信號

830 使能信號

900 映射電路

902 映射器

904 映射器

906 串行器

908 串行器

910 串行器

912 資料

914 電路

916 時鐘信號

918 符號路徑

920 符號路徑

930 映射電路

934 映射器

936 解多工器

938 寄存器

940 除法器

942 時鐘信號

1000 發射機

1002 符號控制

1004 正反器

1006 線狀態編碼器

- 1008 正反器
- 1010 多工器
- 1012 預驅動和控制電路
- 1014 正反器
- 1016 線狀態編碼器
- 1018 正反器
- 1020 資料
- 1022 線路驅動器集合
- 1024 C-PHY 三件套
- 1030 符號
- 1032 符號
- 1034 符號
- 1036 符號
- 1038 符號
- 1040 符號
- 1100 時序
- 1200 發射機
- 1202 映射電路
- 1204 正反器
- 1206 線狀態編碼器
- 1208 正反器

1210 線路驅動器集合

1214 正反器

1216 線狀態編碼器

1218 正反器

1220 資料

1222 預驅動和控制電路

1224 驅動器控制信號

1226 流水線電路

1228 均衡器電路

1232 預驅動和控制電路

1234 驅動器控制信號

1236 流水線電路

1238 均衡器電路

1240 多工器

1242 C-PHY 三件套

1300 處理器

1302 信號

1304 正反器

1306 正反器

1308 正反器

1310 正反器

1312 正反器

1314 狀態

1316 狀態

1318 狀態

1400 接收機電路

1402 處理器

1404 處理器

1406 處理器

1408 解碼器

1410 解碼器

1412 狀態

1414 狀態

1416 狀態

1418 正反器

1420 正反器

1422 轉換器

1424 轉換器

1426 解映射器

1428 電路

1430 電路

1434 信號

1436 符號

1438 符號

1440 輸入

1442 輸入

1444 輸入

1450 資料

1500 時序圖

1600 解映射電路

1602 操作和解串行器

1604 操作和解串行器

1606 解映射器

1608 解映射器

1610 時鐘信號

1612 符號路徑

1614 符號路徑

1616 電路

1618 時鐘信號

1620 3 線鏈路

1630 解映射電路

1632 解串行器

1634 解串行器

1636 正反器集合

1638 正反器集合

1640 多工器

1642 解映射器

1646 除法器

1648 除法器

1650 輸出

1652 符號路徑

1654 符號路徑

1658 時鐘信號

1700 概念圖

1702 處理電路

1704 處理器

1706 存儲裝置、處理器可讀存儲媒體

1708 匯流排介面

1710 匯流排

1712 收發機

1714 映像

1716 軟體模組

1800 流程圖

1802 步驟

1804 步驟

1806 步驟

1808 步驟

1810 步驟

- 1900 裝置
- 1902 處理電路
- 1904 模組或電路
- 1906 模組或電路
- 1908 模組或電路
- 1910 匯流排
- 1912 線路驅動器
- 1916 處理器
- 1918 處理器可讀存儲媒體
- 1920 3 線鏈路
- 2000 流程圖
- 2002 步驟
- 2004 步驟
- 2006 步驟
- 2008 步驟
- 2100 裝置
- 2102 處理電路
- 2104 模組和/或電路
- 2106 模組和/或電路
- 2108 模組和/或電路
- 2110 匯流排
- 2112 接收機

2116 處理器

2118 存儲媒體

2120 3線鏈路

【發明申請專利範圍】

【請求項1】 一種資料通信裝置，包括：

多個線路驅動器，其被配置為：將所述資料通信裝置耦合到3線鏈路；

驅動器控制電路，其被配置為控制所述多個線路驅動器；

第一線狀態編碼器，其被配置為：當所述3線鏈路處於第一信令狀態時接收符號序列中的第一符號，以及基於所述第一符號和所述第一信令狀態來定義用於所述3線鏈路的第二信令狀態；以及

第二線狀態編碼器，其被配置為：接收所述符號序列中的第二符號，以及基於所述第二符號和所述第二信令狀態來定義用於所述3線鏈路的第三信令狀態，其中，在所述符號序列中，所述第一符號緊接在所述第二符號之前，

其中，所述3線鏈路在連續的符號傳輸間隔中從所述第一信令狀態轉換到所述第二信令狀態，以及從所述第二信令狀態轉換到所述第三信令狀態，並且其中，當所述3線鏈路從所述第二信令狀態轉換到所述第三信令狀態時，所述3線鏈路中的至少一條線的信令狀態進行改變；

時鐘生成電路，其被配置為提供半速率符號時鐘信號，所述半速率符號時鐘信號具有作為每個符號傳輸間隔的持續時間的兩倍的時段；以及

多工器，其在所述第二信令狀態與所述第三信令狀態之間進行選擇以向所述驅動器控制電路提供線狀態資訊。

【請求項2】 根據請求項1所述的資料通信裝置，其中，所述第一線狀態編碼器和所述第二線狀態編碼器中的每一者以每兩個符號傳輸間隔來定義用於所述3線鏈路的信令狀態。

【請求項3】 根據請求項1所述的資料通信裝置，其中，所述多工器基於所述半速率符號時鐘信號的相位來在所述第二信令狀態與所述第三信令狀態之間進行選擇。

【請求項4】 根據請求項1所述的資料通信裝置，還包括：

第一多個正反器，其是通過所述半速率符號時鐘信號的逆進行時鐘控制的，以及被配置為捕獲表示所述第二信令狀態的第一控制信號；以及

第二多個正反器，其是通過所述半速率符號時鐘信號進行時鐘控制的，以及被配置為捕獲表示所述第三信令狀態的第二控制信號，

其中，所述多工器還被配置為提供所述第一控制信號或所述第二控制信號作為所述線狀態資訊。

【請求項5】 根據請求項1所述的資料通信裝置，還包括：

一個或多個映射器，其被配置為將至少16位元的資料映射到所述符號序列中的至少7個符號，

其中，所述3線鏈路是根據C-PHY協議來操作的。

【請求項6】 一種資料通信裝置，包括：

多個線路驅動器，其被配置為：將所述資料通信裝置耦合到3線鏈路；

第一線狀態編碼器，其被配置為：當所述3線鏈路處於第一信令狀態時接收符號序列中的第一符號，以及基於所述第一符號和所述第一信令狀態來定義用於所述3線鏈路的第二信令狀態；

第二線狀態編碼器，其被配置為：接收所述符號序列中的第二符號，以及基於所述第二符號和所述第二信令狀態來定義用於所述3線鏈路的第三信令狀態，

其中，在所述符號序列中，所述第一符號緊接在所述第二符號之前，其中，所述3線鏈路在連續的符號傳輸間隔中從所述第一信令狀態轉換到所述第二信令狀

態，以及從所述第二信令狀態轉換到所述第三信令狀態，並且其中，當所述3線鏈路從所述第二信令狀態轉換到所述第三信令狀態時，所述3線鏈路中的至少一條線的信令狀態進行改變；以及

均衡器電路，其被配置為：接收所述第二信令狀態和所述第三信令狀態的延遲版本，以及當基於所述第二信令狀態與所述第三信令狀態之間的差異來發起對所述第三信令狀態的傳輸時，配置所述多個線路驅動器。

【請求項7】 一種資料通信方法，包括：

將多個線路驅動器配置為耦合到3線鏈路；

當所述3線鏈路處於第一信令狀態時，在第一線狀態編碼器處接收符號序列中的第一符號；

基於所述第一符號和所述第一信令狀態來定義用於所述3線鏈路的第二信令狀態；

在第二線狀態編碼器處接收所述符號序列中的第二符號；

基於所述第二符號和所述第二信令狀態來定義用於所述3線鏈路的第三信令狀態，其中，在所述符號序列中，所述第一符號緊接在所述第二符號之前，

其中，所述3線鏈路在連續的符號傳輸間隔中從所述第一信令狀態轉換到所述第二信令狀態以及從所述第二信令狀態轉換到所述第三信令狀態，並且

其中，當所述3線鏈路從所述第二信令狀態轉換到所述第三信令狀態時，所述3線鏈路中的至少一條線的信令狀態進行改變；

提供半速率符號時鐘信號，所述半速率符號時鐘信號具有作為每個符號傳輸間隔的持續時間的兩倍的時段；以及

在所述第二信令狀態與所述第三信令狀態之間進行選擇，以向控制所述多個線路驅動器的驅動器控制電路提供線狀態資訊，其中，選擇是基於所述半速率符號時鐘信號的相位。

【請求項8】 根據請求項7所述的資料通信方法，其中，所述第一線狀態編碼器和所述第二線狀態編碼器中的每一者以每兩個符號傳輸間隔來定義用於所述3線鏈路的信令狀態。

【請求項9】 根據請求項7所述的資料通信方法，還包括：

使用所述半速率符號時鐘信號的逆來對第一多個正反器進行時鐘控制，其中，所述第一多個正反器被配置為捕獲表示所述第二信令狀態的第一控制信號；

使用所述半速率符號時鐘信號來對第二多個正反器進行時鐘控制，其中，所述第二多個正反器被配置為捕獲表示所述第三信令狀態的第二控制信號；以及提供所述第一控制信號或所述第二控制信號作為所述線狀態資訊。

【請求項10】 根據請求項7所述的資料通信方法，還包括：

將至少16位元的資料映射到所述符號序列中的至少7個符號，其中，所述3線鏈路是根據C-PHY協議來操作的。

【請求項11】 根據請求項7所述的資料通信方法，還包括：

當基於所述第二信令狀態與所述第三信令狀態之間的差異來發起對所述第三信令狀態的傳輸時，配置所述多個線路驅動器。

【請求項12】 一種非暫時性處理器可讀存儲媒體，包括用於進行以下操作的代碼：

將多個線路驅動器配置為耦合到3線鏈路；

當所述3線鏈路處於第一信令狀態時，在第一線狀態編碼器處接收符號序列中的第一符號；

基於所述第一符號和所述第一信令狀態來定義用於所述3線鏈路的第二信令狀態；

在第二線狀態編碼器處接收所述符號序列中的第二符號；

基於所述第二符號和所述第二信令狀態來定義用於所述3線鏈路的第三信令狀態，其中，在所述符號序列中，所述第一符號緊接在所述第二符號之前，

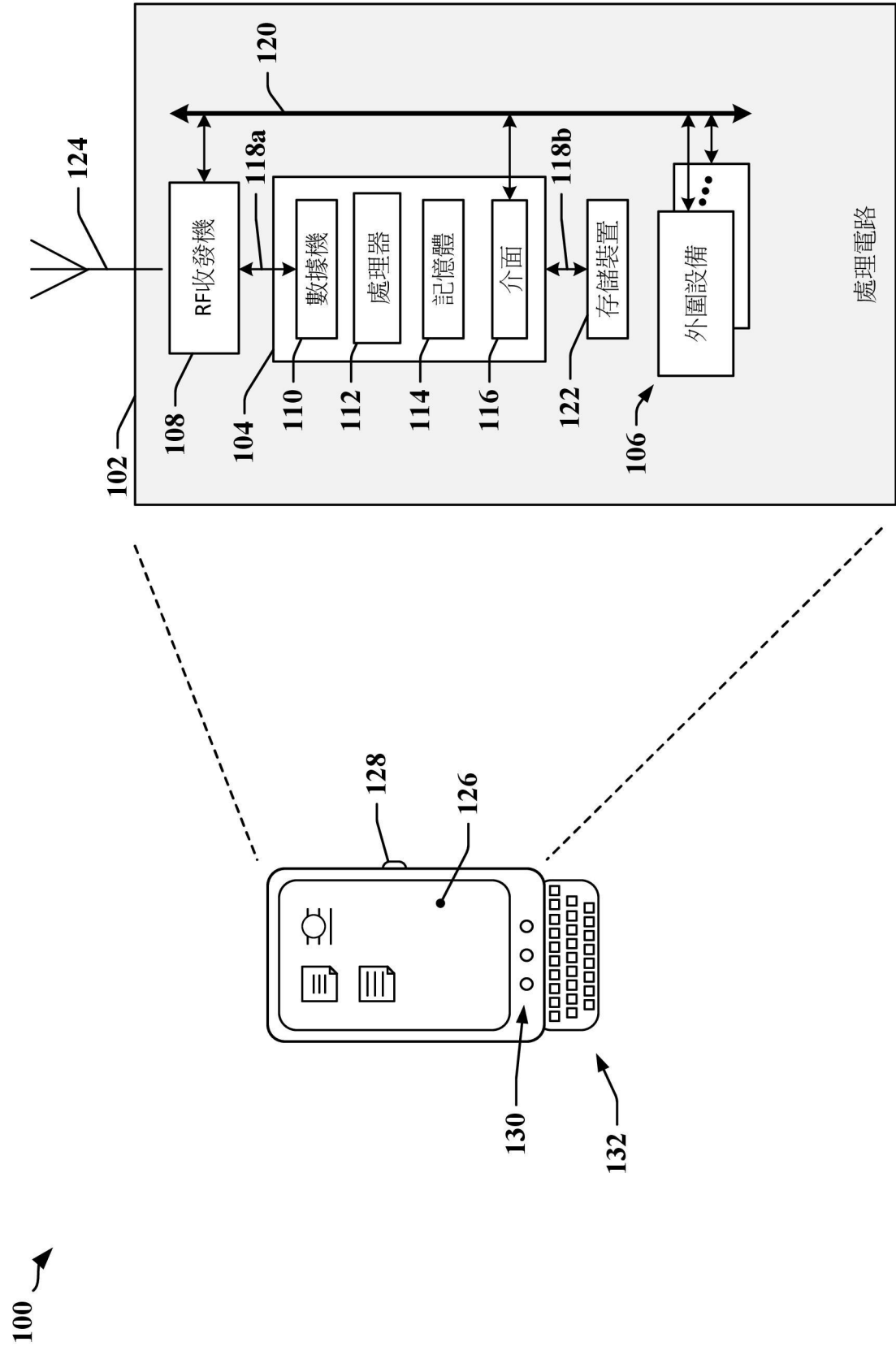
其中，所述3線鏈路在連續的符號傳輸間隔中從所述第一信令狀態轉換到所述第二信令狀態以及從所述第二信令狀態轉換到所述第三信令狀態，並且

其中，當所述3線鏈路從所述第二信令狀態轉換到所述第三信令狀態時，所述3線鏈路中的至少一條線的信令狀態進行改變；

提供半速率符號時鐘信號，所述半速率符號時鐘信號具有作為每個符號傳輸間隔的持續時間的兩倍的時段；以及

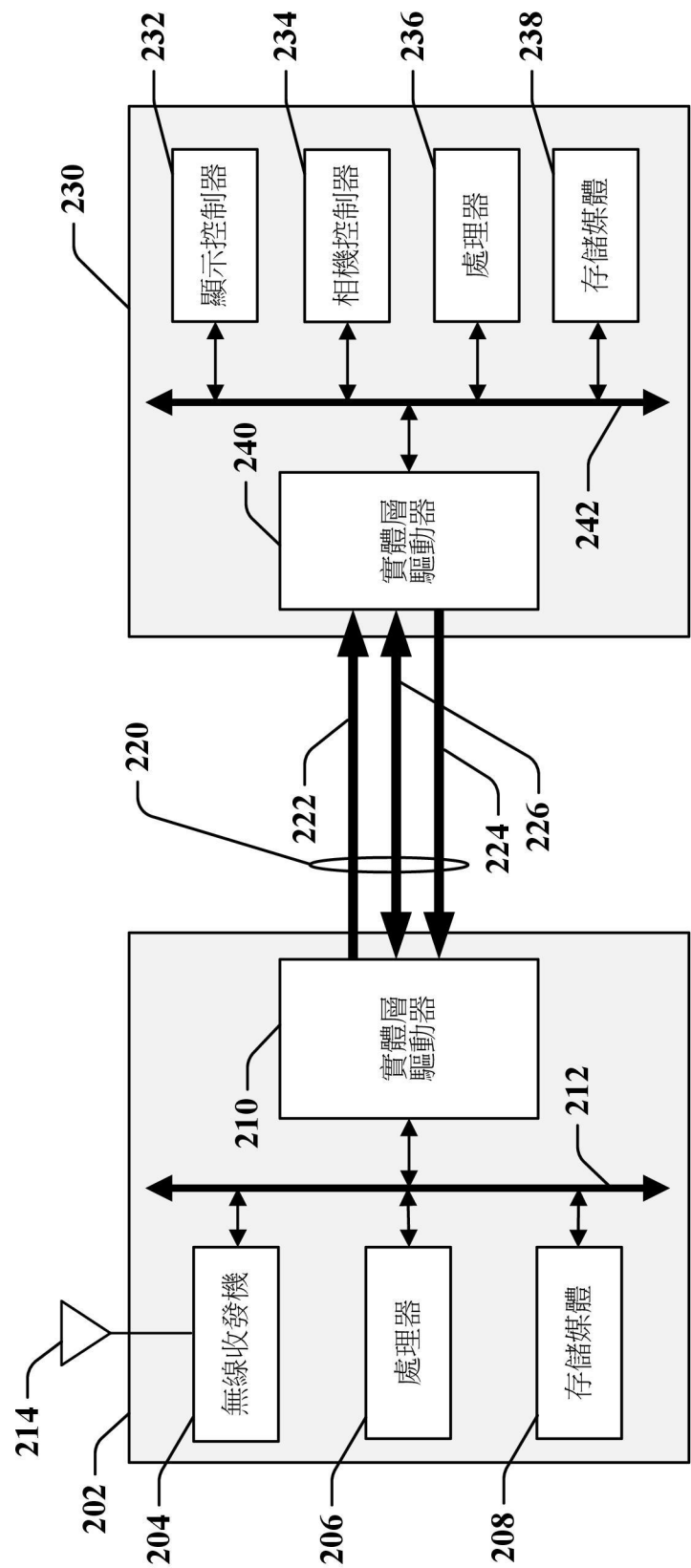
在所述第二信令狀態與所述第三信令狀態之間進行選擇，以向控制所述多個線路驅動器的驅動器控制電路提供線狀態資訊，其中，選擇是基於所述半速率符號時鐘信號的相位。

【發明圖式】



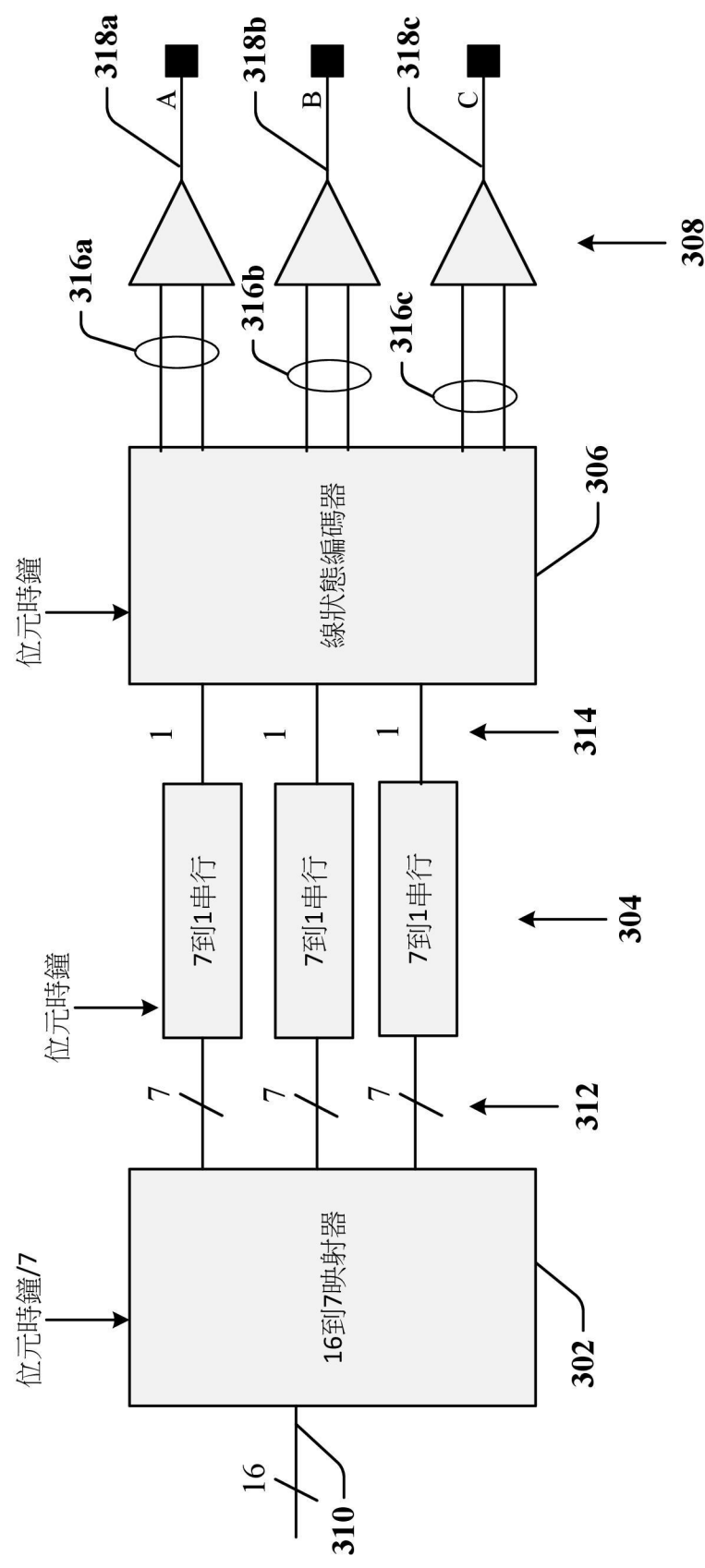
【圖1】

200 ↗



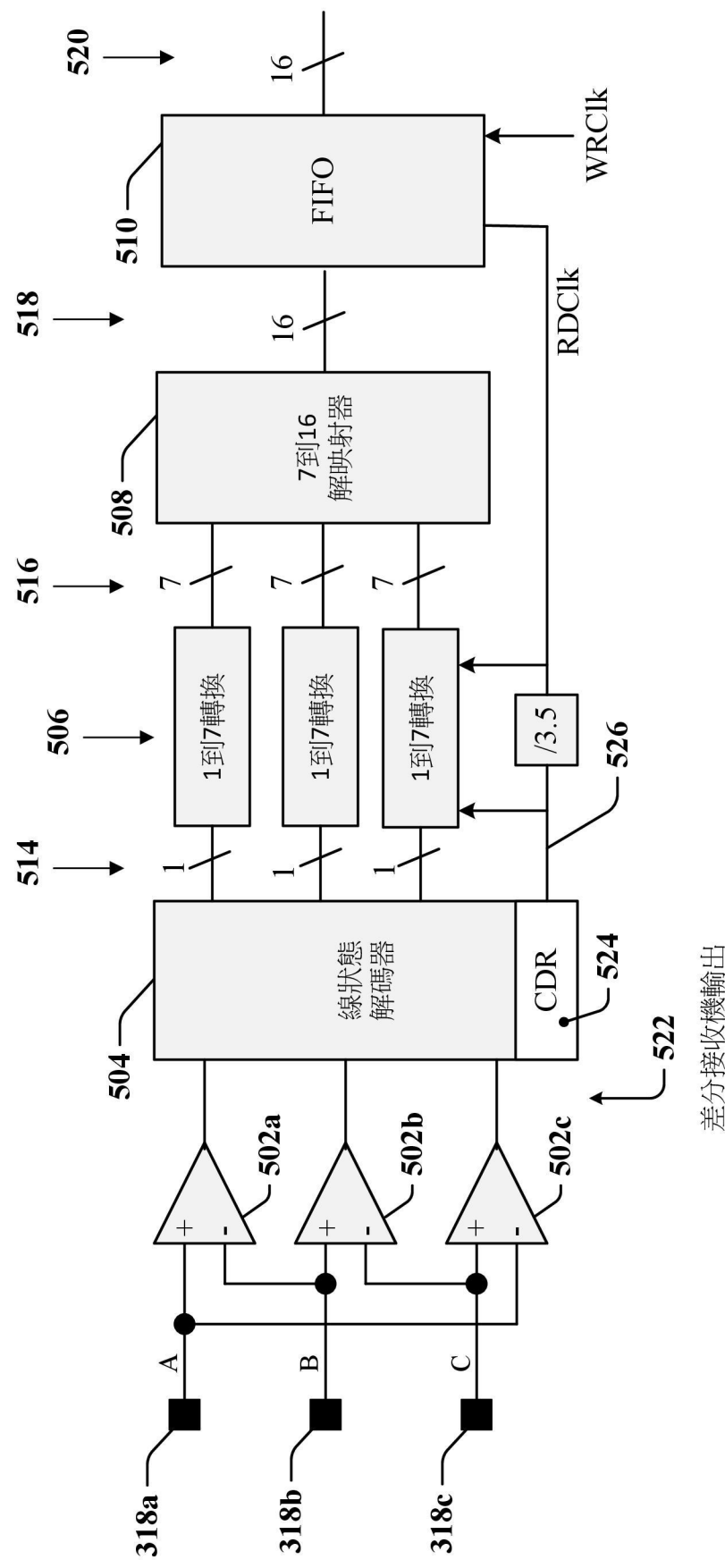
【圖2】

300 ↗

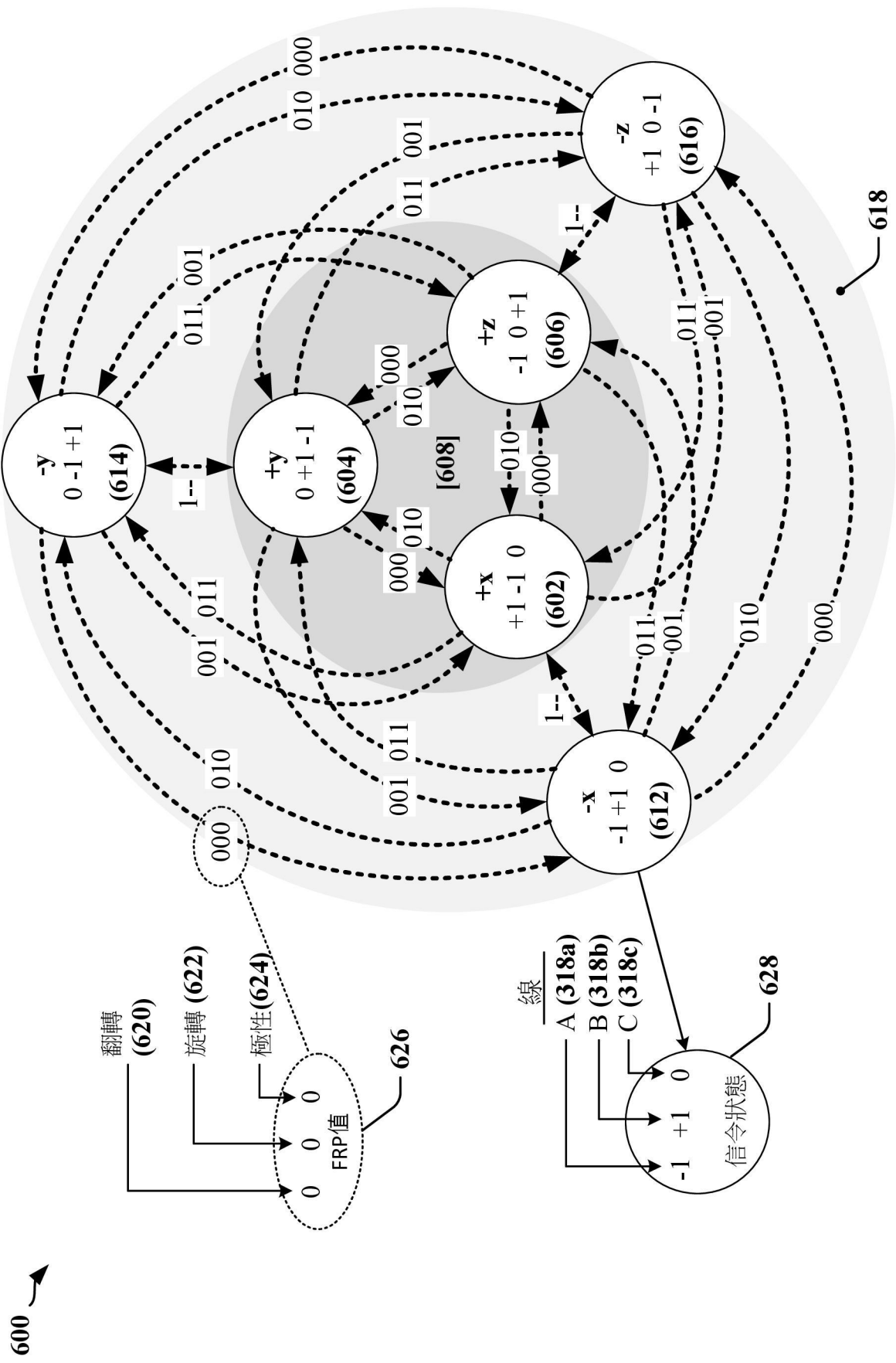


【圖3】

500 ↗

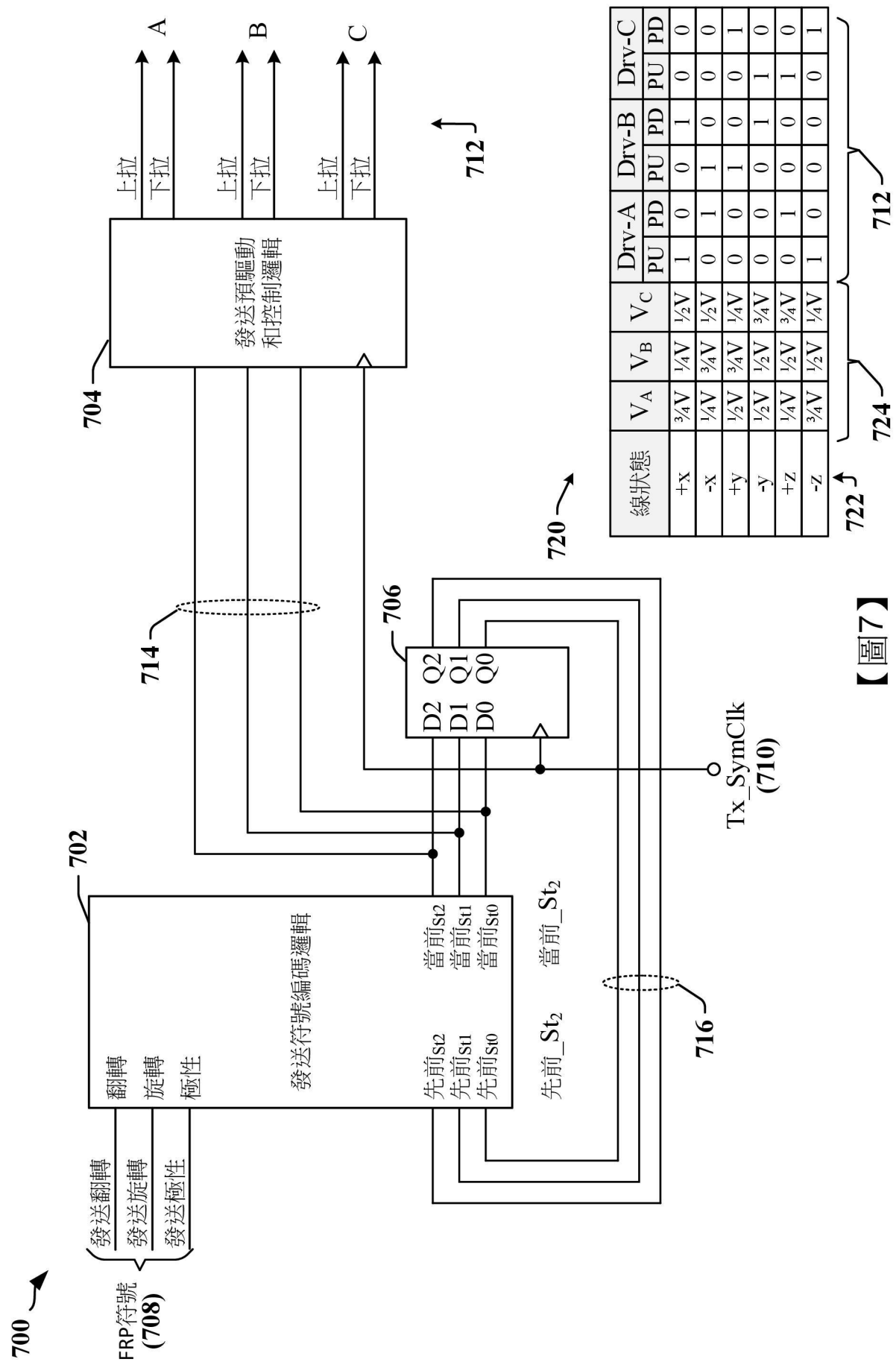


【圖5】



【圖6】

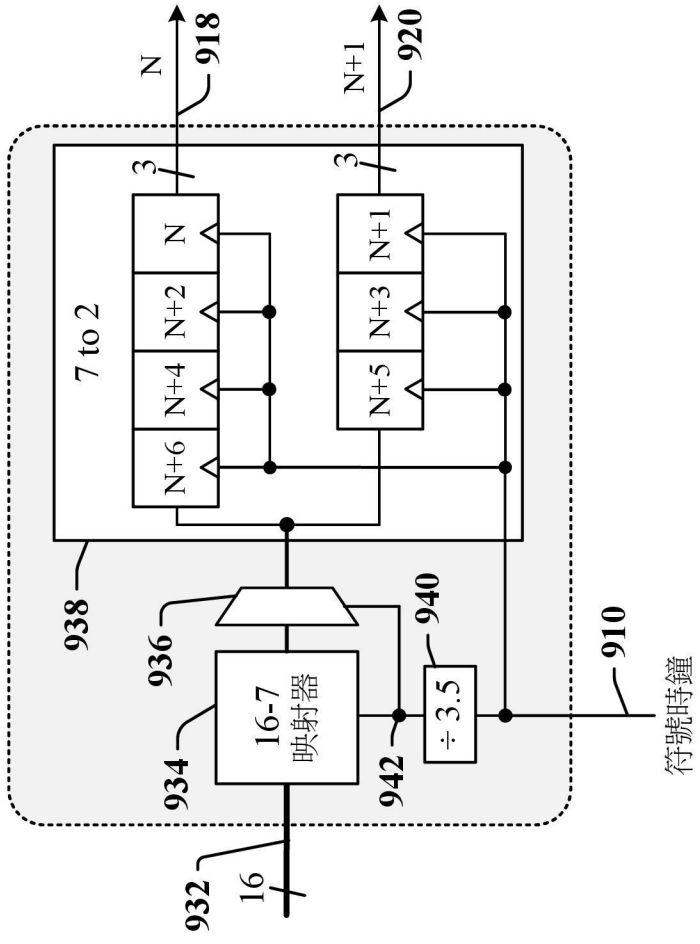
600 ↗





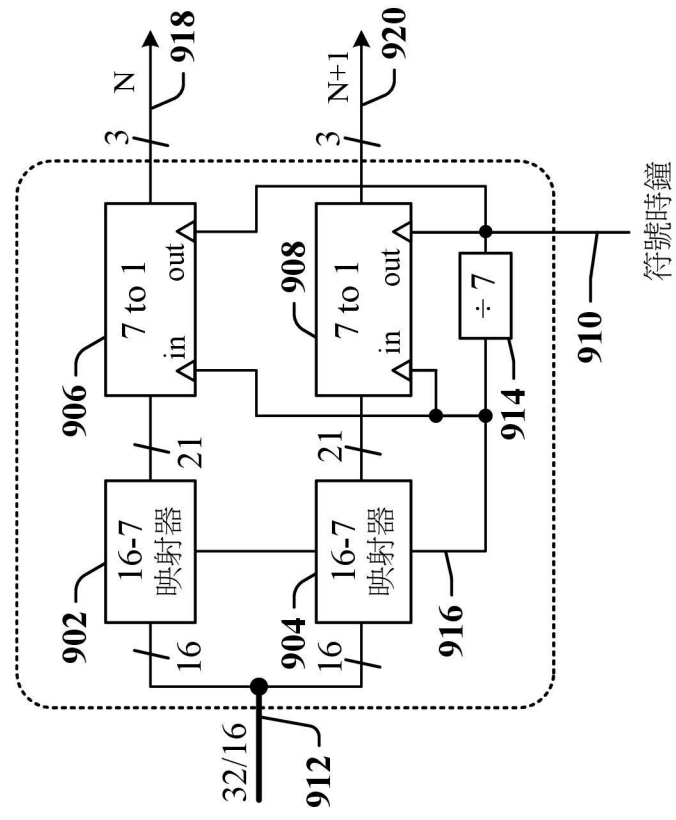
930 ↗

單映射器映射電路



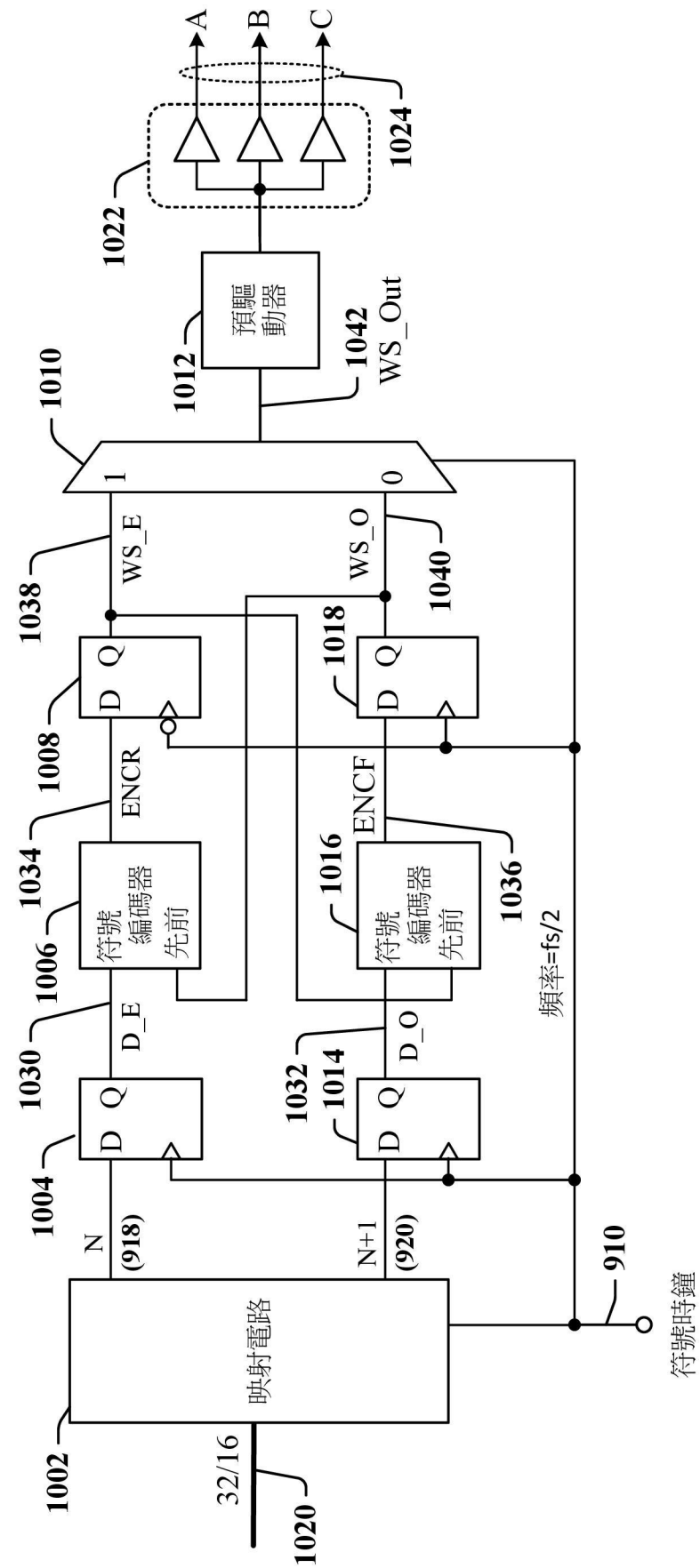
900 ↗

雙映射器映射電路

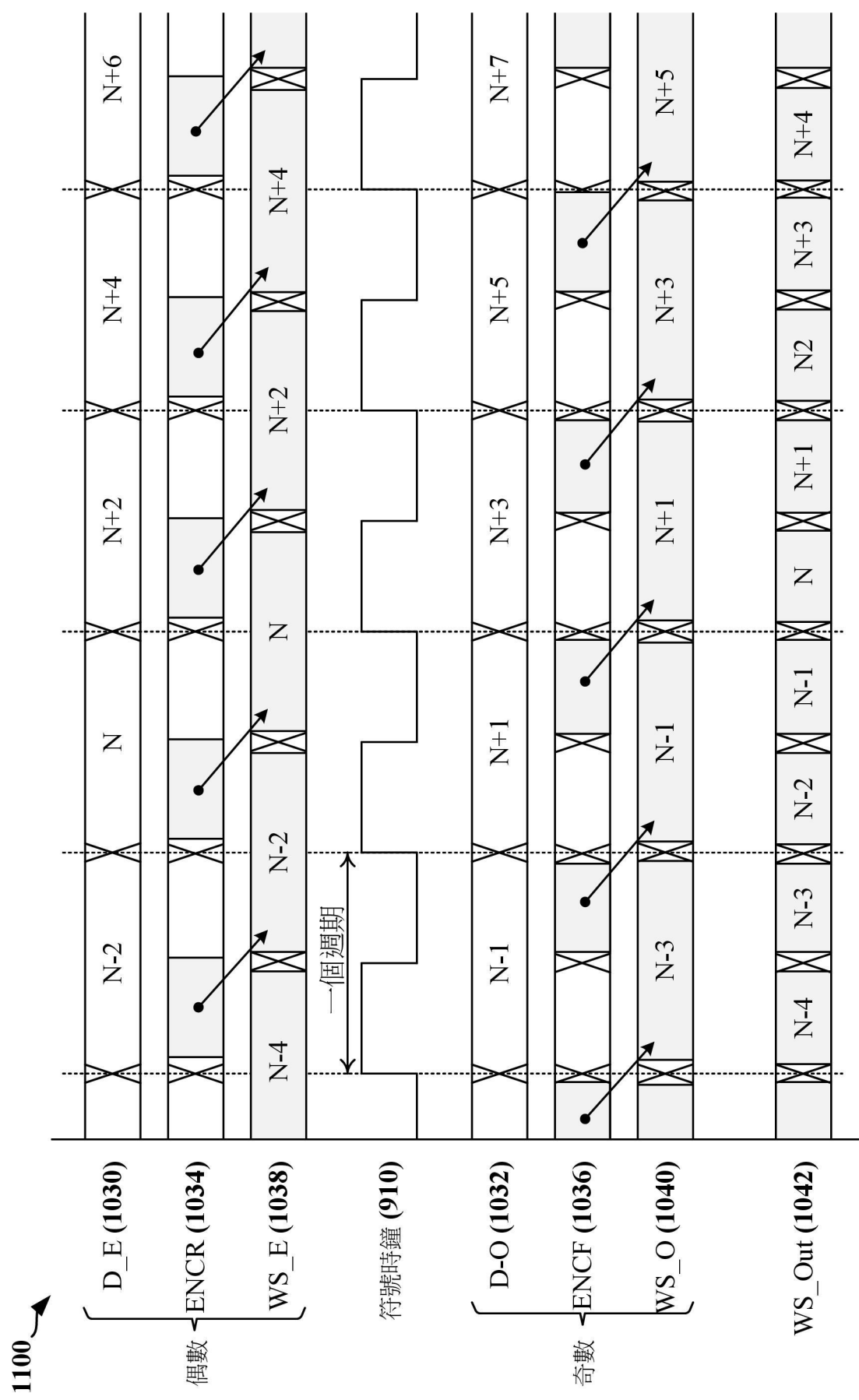


【圖9】

1000 ↗

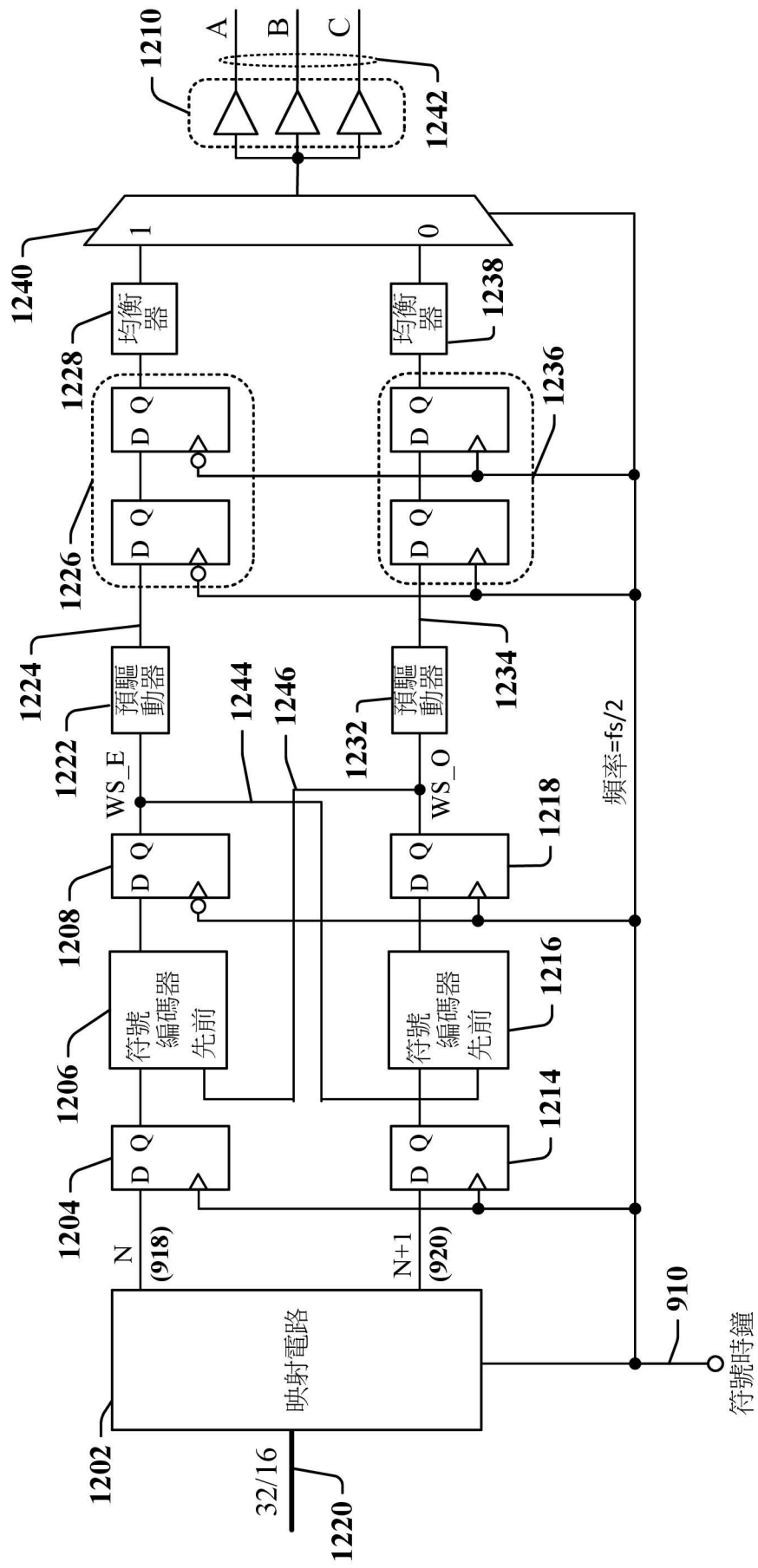


【圖10】

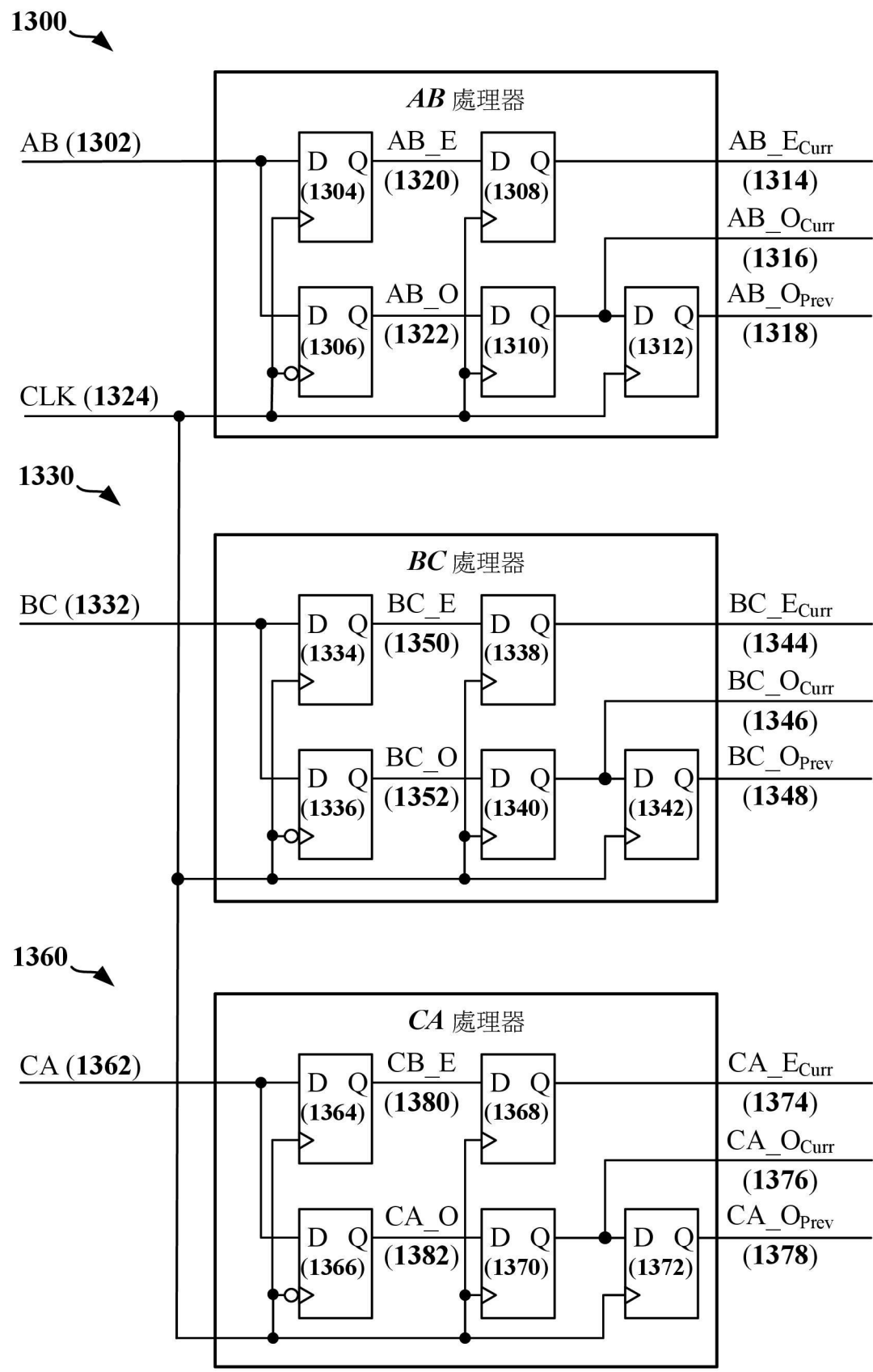


【圖11】

1200 ↗

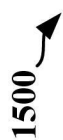


【圖12】

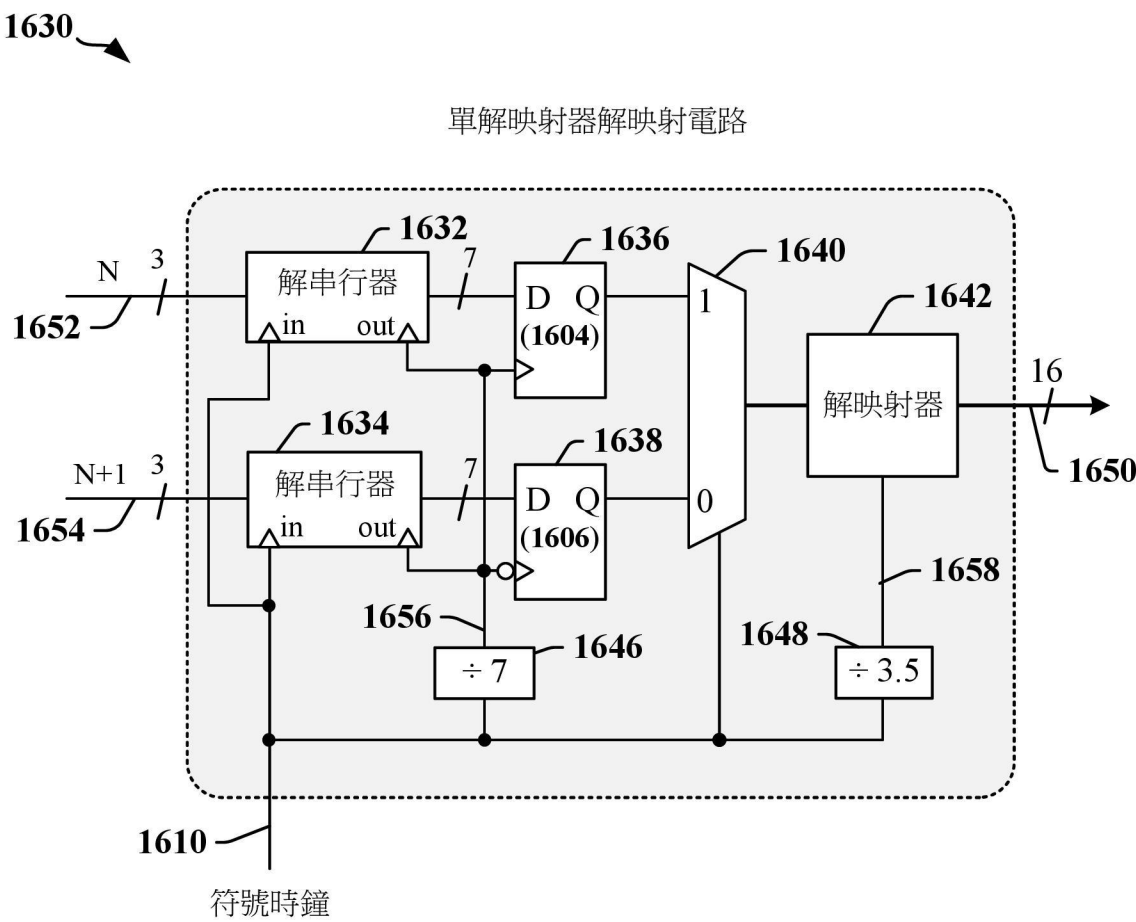
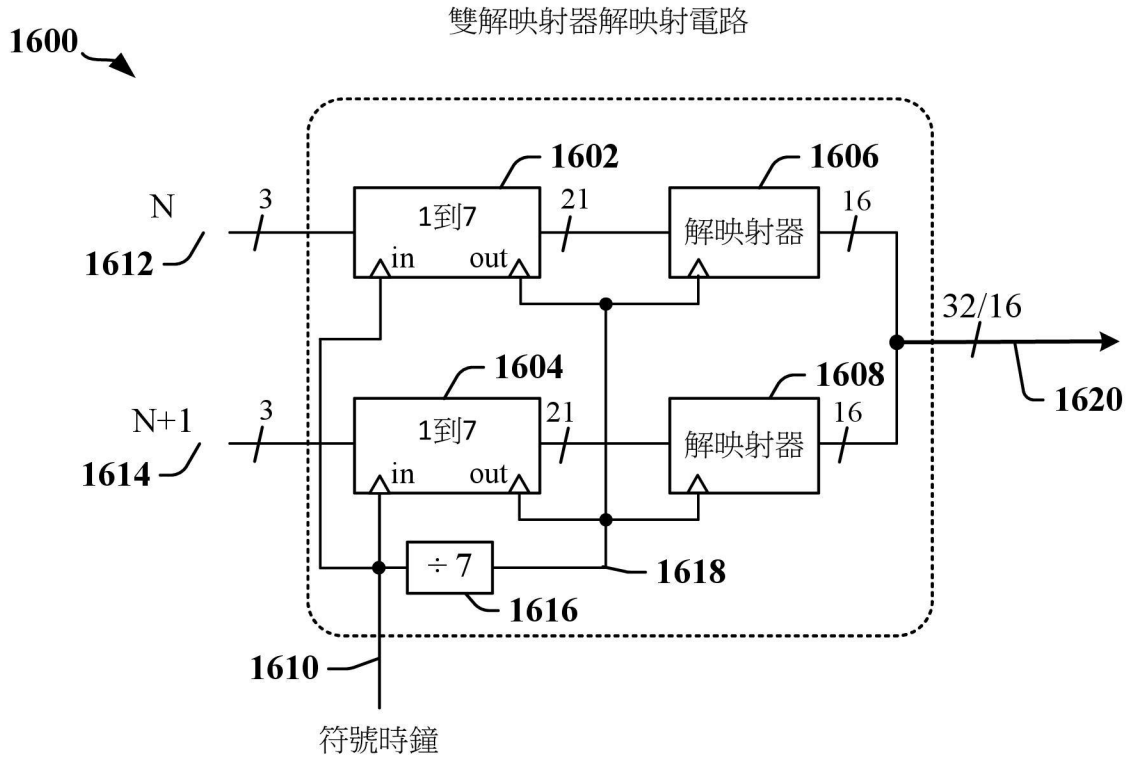


【圖13】

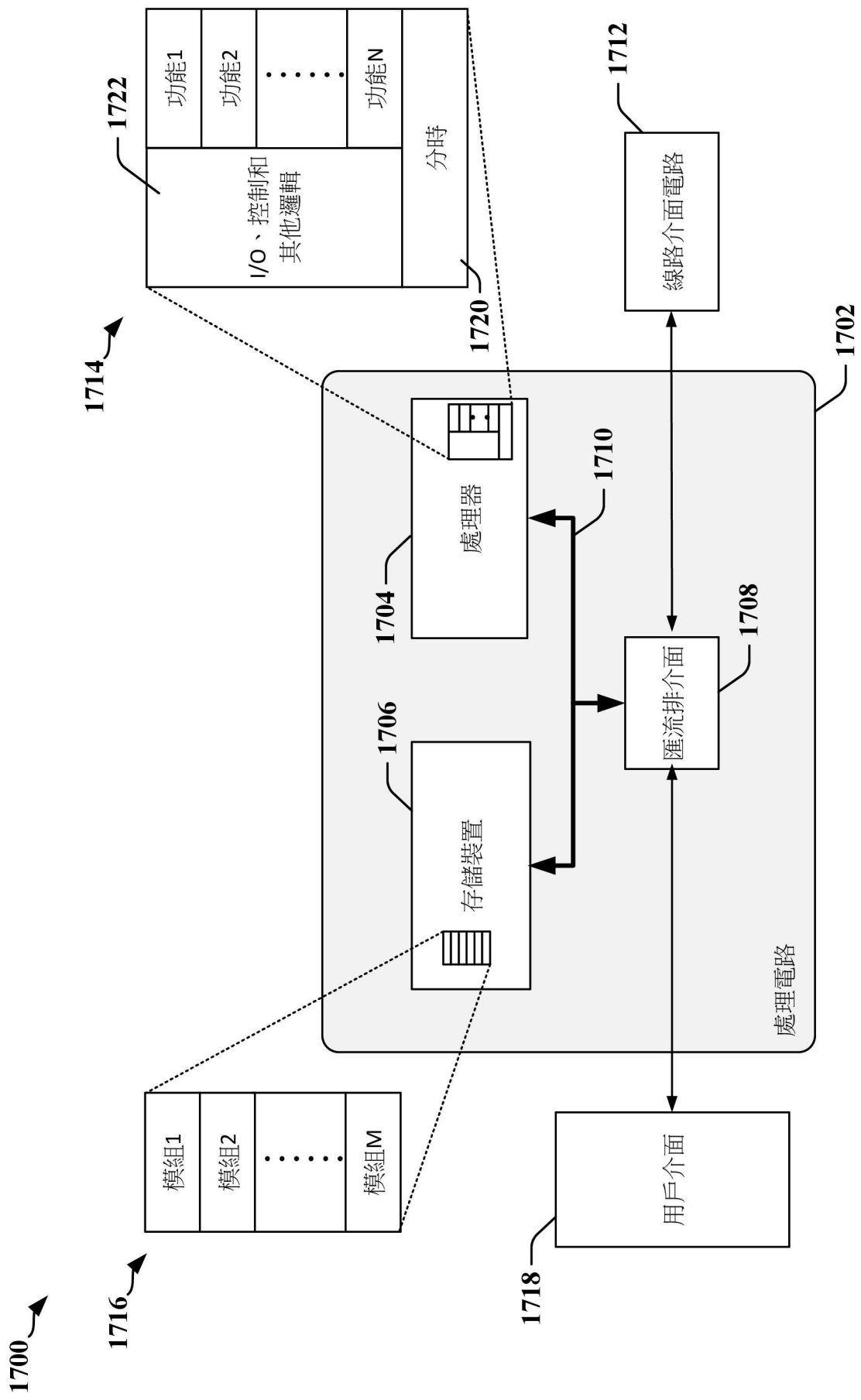




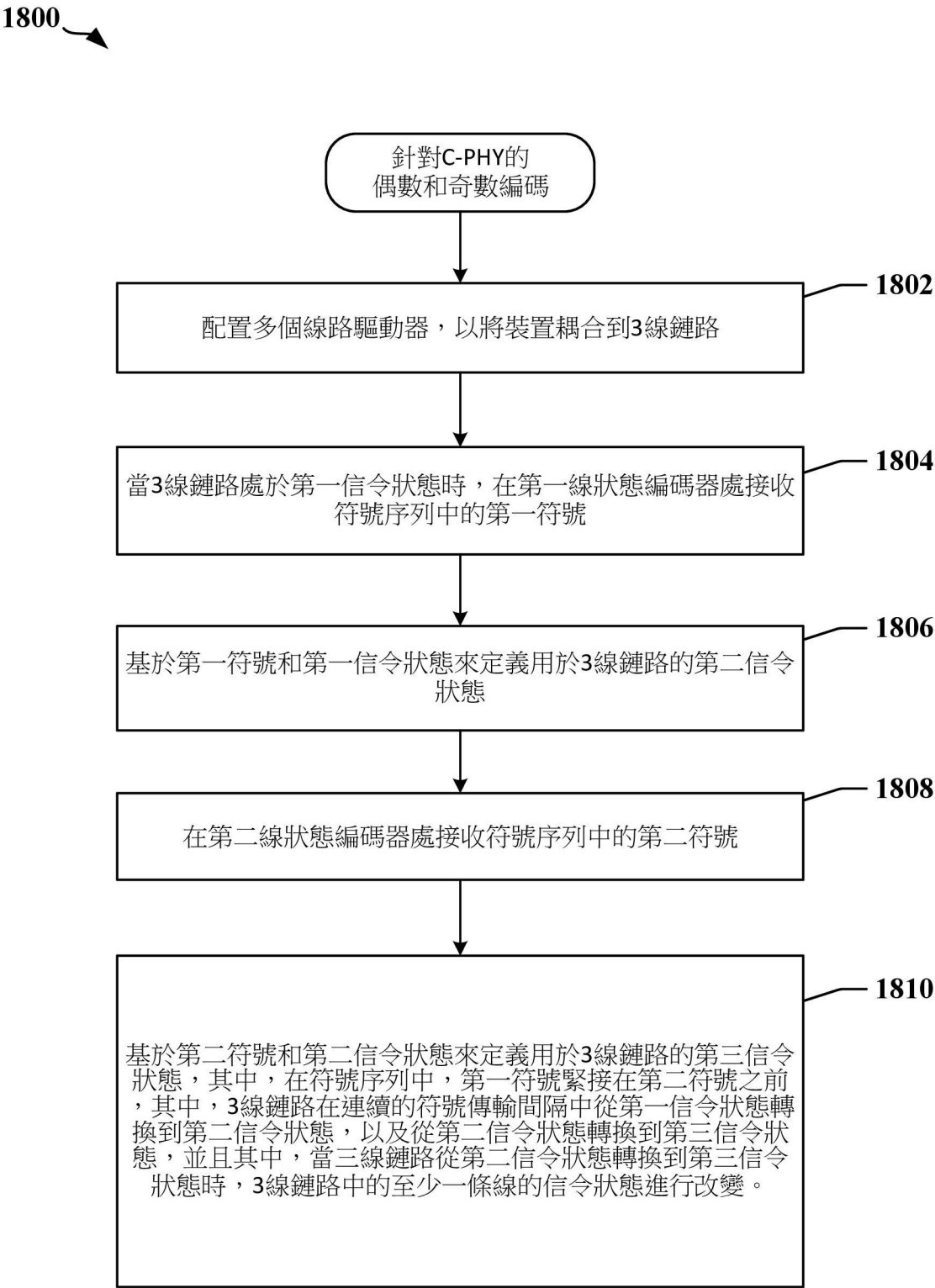
【15圖】



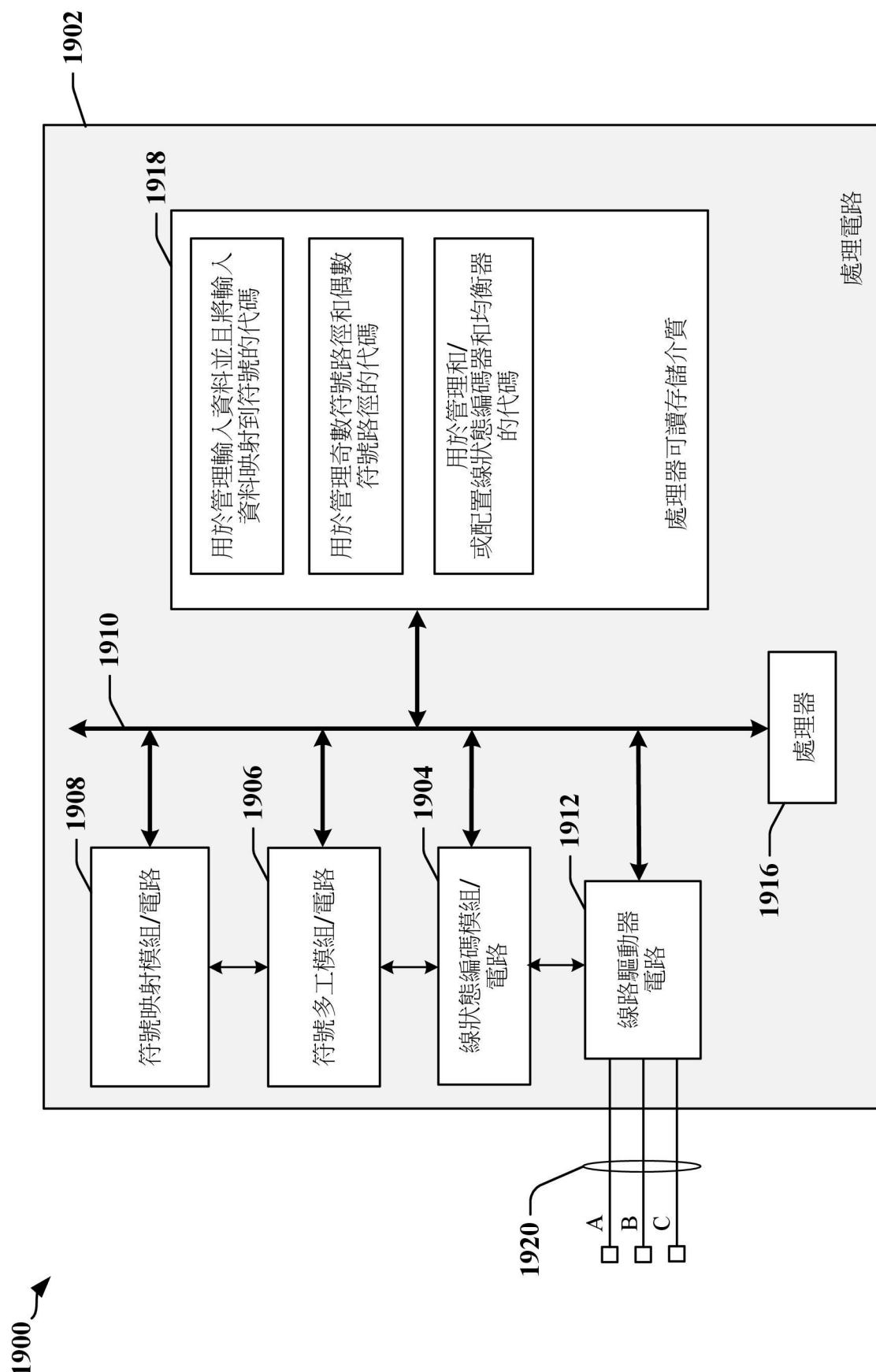
【圖16】



【圖17】

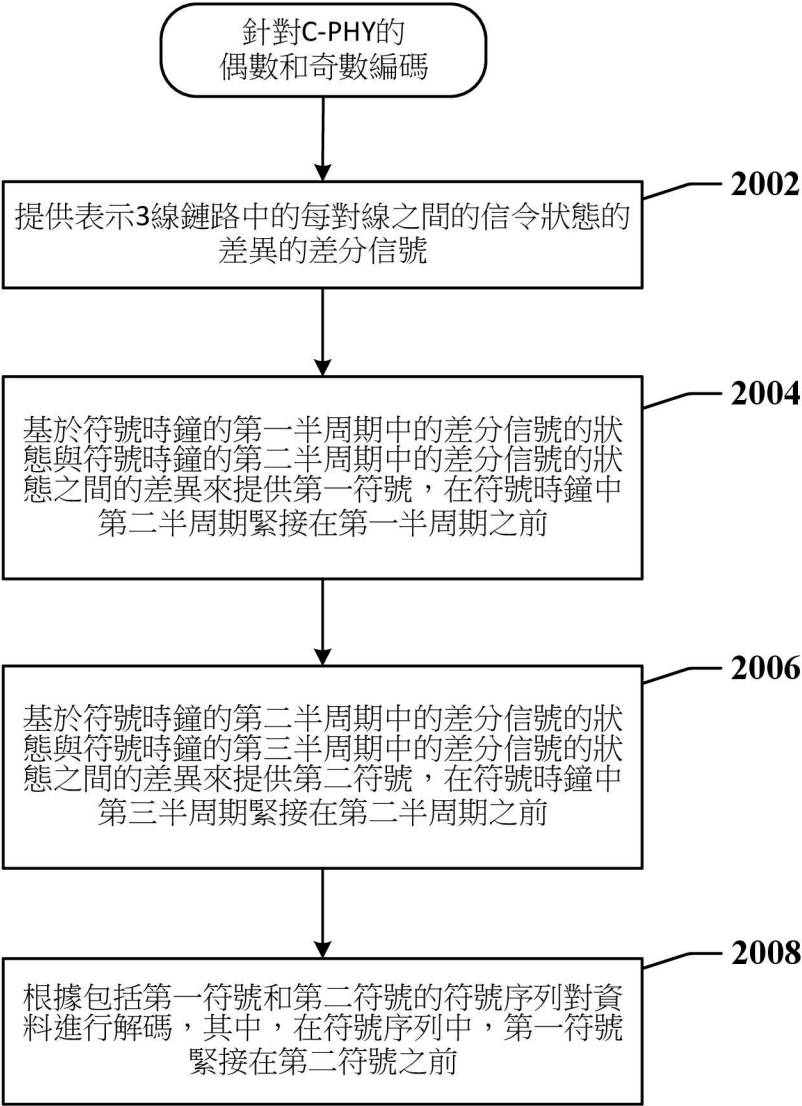


【圖18】

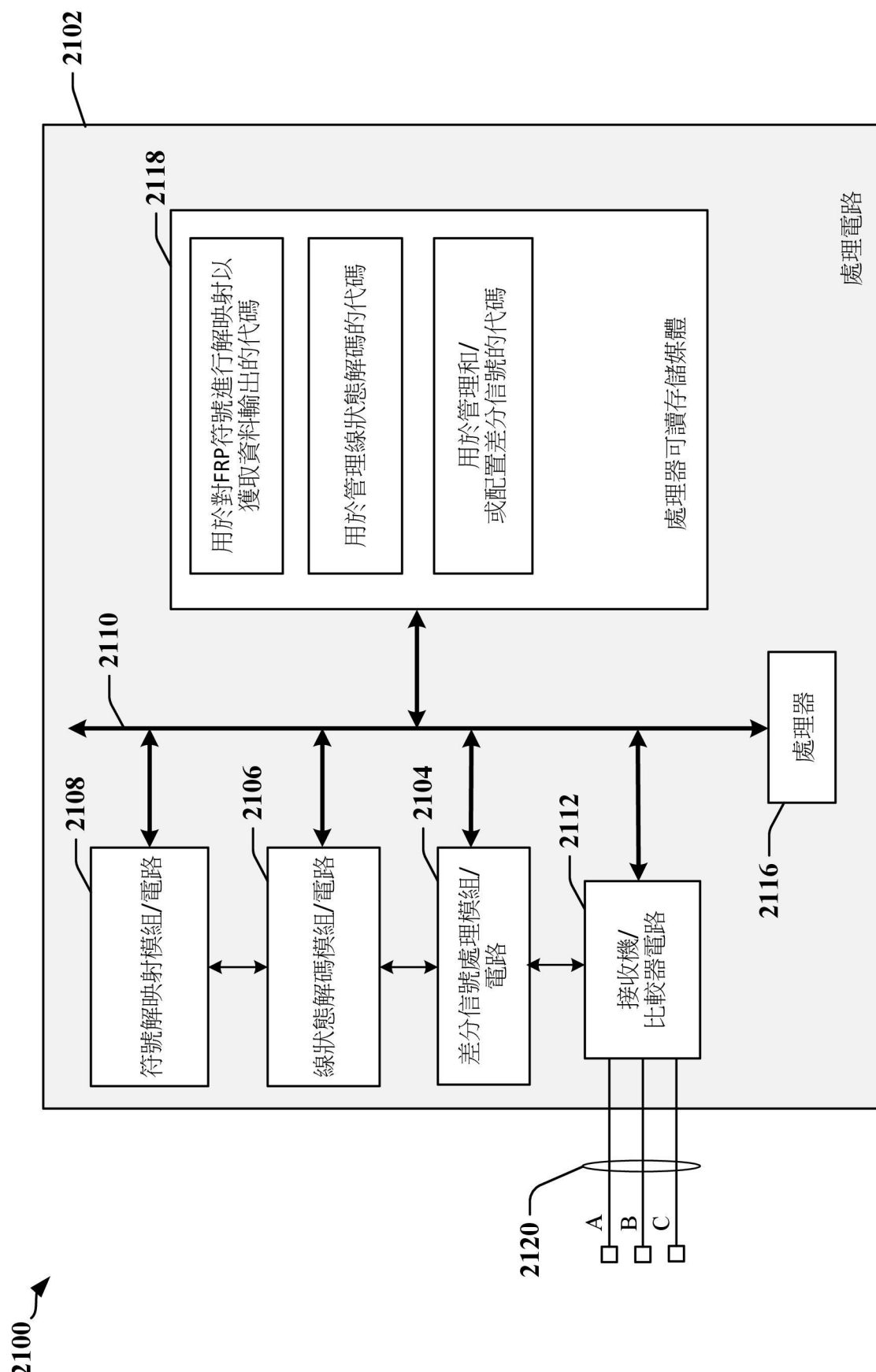


【圖19】

2000 ↘



【圖20】



【圖21】