

公告本

90.8.13 修正
年 月 日 補充

申請日期	90.1.30
案 號	90101790
類 別	G11C 7/00

A4
C4

502259

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	存取時間較少之此種記憶模組 (90年8月修正)
	英 文	Memory-module with Smaller Access-time
二、發明 創作人	姓 名	1. 彼得史克羅格麥爾 (Peter Schrögmeier) 2. 史特凡戴特里契 (Dr. Stefan Dietrich) 3. 托斯坦巴特斯契 (Torsten Partsch) 4. 湯姆斯海恩 (Thomas Hein)
	國 籍	5. 派翠克海涅 (Patrick Heyne) 6. 西羅馬克斯 (Thilo Marx) 1. 德國 2.-6. 同 1.
	住、居所	1. 德國慕尼黑 D-81547 佛羅慕德街 31 號 2. 德國圖肯菲爾德 D-82299 安姆爾西街 4 號 3. 德國慕尼黑 D-81539 赫佐格史坦街 26 號 4. 德國慕尼黑 D-81541 諾克赫街 56 號 5. 德國慕尼黑 D-81541 史克萊爾西街 5 號 6. 德國慕尼黑 D-80997 史特伯街 6 號
三、申請人	姓 名 (名稱)	印芬龍科技股份有限公司 (Infineon Technologies AG)
	國 籍	德 國
	住、居所 (事務所)	德國慕尼黑 D-81669 聖馬丁街 53 號
	代 表 人 姓 名	1. 麥可勾威什 (Michael Gollwitzer) 2. 荷斯特卻佛 (Dr. Horst Schäfer)

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

德 國 (地 區) 申 請 專 利 , 申 請 日 期 : 案 號 : , ☒ 有 ☐ 無 主 張 優 先 權
2000 年 01 月 31 日 申 請 案 號 第 100004109.4 號
(主 張 優 先 權)

有 關 微 生 物 已 寄 存 於 : , 寄 存 日 期 : , 寄 存 號 碼 :

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

本發明涉及一種依據申請專利範圍第 1 項前言之記憶模組。

此種記憶模組(其以時脈來達成同步)中同時對固定數目之所儲存之位元進行存取。這些位元通常包括 8 位元,16 位元或 32 位元。在此種關係中”同時”之意義是:同步讀出之全部位元在一預定之固定期間中須傳送至此記憶模組之輸出端,由此處使這些位元以整體方式作為”資訊封包(packet)”而繼續傳送。此種期間典型值是在奈秒(10^{-9})之範圍中。

由於電子資料處理裝置(例如,電腦)中最大之時脈頻率是由此種單元(其完成一種處理步驟時需要最多之時間)所限制,則不需設置一種處理時間較其它單元者大很多之單元。這另外所具有之意義是:記憶體晶片中對所期望之位元數目之存取時間不可超過一個時脈週期之時間。若情況如此,則直至下一次傳送此資訊封包時仍需一個時脈週期之時間,這是因為在記憶體晶片之輸出端上等待之資訊封包只能利用時脈來繼續傳送。耦合至記憶模組之各處理單元(其需要此資訊封包以完成其處理過程)在其處理過程中分別會中斷一個時脈週期。

此種存取時間(其在讀出位元及儲存位元時均需要)之大小應儘可能小。

第 3 圖是先前技藝之記憶模組之記憶胞陣列 1 之構造圖。此記憶胞陣列 1 由許多記憶胞陣列條 2 所構成,

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (2)

這些陣列條由平行於陣列條 2 之在二側相鄰之局部性資料線條 3 所隔開。這些陣列條 2 由許多記憶胞 7 所構成。局部性資料線條 3 具有許多局部性資料線 4。記憶胞陣列 1 另具有終端放大器 6,其上連接一種主資料線 5,此種主資料線 5 垂直於記憶胞陣列條 2 及局部性資料線條 3 而延伸。

若要對一種指定之記憶胞 7 進行存取,則須驅動此記憶胞。因此設有多條字元線 11,其平行於局部性資料線條 3 且在一種指定之記憶胞陣列條 2 之內部中延伸。此外,設有多條行線 12,其平行於主資料線 5 而延伸且在相交點 13 與字元線 11 相交。每一記憶胞 7 可以明確之方式對應於相交點 13 之一。相交點 13 之驅動是藉由驅動適當之字元線和行線 11,12 來達成。若相交點 13 被驅動,則可對相對應之記憶胞 7 進行存取。

第 5 圖是當一個位元由記憶模組中讀出或寫入一個記憶模組中時該位元返回原處時之路徑圖。儲存於記憶胞 7 中之一個位元在經由字元線 11 和行線 12(第 4 圖)驅動之後經由位元線 8 而到一種前置放大器 9 中,此前置放大器 9 安裝在局部性資料線條 3 之局部性資料線 4 上且是一種介於位元線 8 和局部性資料線 4 之間之連接元件。由前置放大器所放大之位元然後經由局部性資料線 4 而到達開關 10,其位於主資料線 5 上且是一種介於局部性資料線 4 和主資料線 5 之間之連接元件。此開關 10 使信號經由主資料線 5 而傳送至終端。

五、發明說明 (3)

放大器 6,其使信號提升至所期望之輸出位準且然後又傳送至此記憶體晶片之輸出端。

在”同步動態隨機存取記憶體(簡稱 SDRAMs)”中(其可同步存取 16 位元),通常是配置 4 個記憶胞 7 至一種指定之相交點 13(第 4 圖)。若藉由驅動相對應之字元線 11 或行線 12 來選取一種相交點 13,則所屬之 4 個記憶胞 7 被驅動且其中所儲存之位元經由位元線 8 而傳送至各別之前置放大器 9,或一些待儲存之位元經由前置放大器 9 而傳送至記憶胞 7。

藉由一種指定之相交點 13 之驅動,則可讀出或寫入 4 個位元。這表示:在存取 16 個位元時恰巧須驅動 4 個相交點 13,即,恰巧驅動二條字元線 11 以及二條行線 12。

爲了防止位元線及局部性資料線中之資料碰撞,則須注意:相同之記憶胞陣列條 2 中不可同時驅動二個相鄰之記憶胞陣列條 2 或二條字元線 11。這在第 3 圖中以括弧式之箭頭 A,B 來表示,其分別表示一種受驅動之記憶胞陣列條 2 之可能之組合。

本發明之目的是對先前技藝之記憶模組作進一步發展,使得在同步存取時對所期望之位元數目之存取時間可最小化。

依據本發明,此目的以下述方式達成:須配置該開關,使得在一種同步式記憶體存取時一些局部性資料線相對於同時所需之其它局部性資料線而言離終端放大器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (4)

越遠時,這些局部性資料線中一種位元之最大可能之傳送時間越短。

有利之其它形式特別是描述在申請專利範圍各附屬項中。

當一個記憶胞被驅動時,則每一儲存在此記憶胞中之位元經由各別之路徑而至此位元所對應之終端放大器。此種路徑主要是由以下成份所構成:一種路徑成份,此位元走完此路徑成份而至一種局部性資料線條;另一種路徑成份,此位元走完此路徑成份而至主資料線。這表示:各別位元之各別路徑依據記憶胞所屬開關及所屬終端放大器 6 之狀態而具有不同之路徑長度。各別位元由記憶胞傳送至終端放大器所需之傳送時間因此是不同的。由於在同步式記憶體存取時只有當全部之位元都存在時這些在記憶模組輸出端上之位元才可繼續傳送,則傳送時間最大之此位元對此種存取時間是有決定性的。

本發明之核心思想是:形成各別位元之各別路徑,使這些各別路徑不會有較大之傳送時間。為了達成補償作用,則傳送時間較小之此種各別路徑之路徑長度須增大。傳送時間較短,中等以及較長之各別路徑之數目廣泛地相同地分佈著,此種情況因此須轉變成:傳送時間較小或較大之這些各別路徑之數目較小以及傳送時間是中等大小之這些各別路徑之數目較大。

本發明之其它特徵是:各別路徑之構造較佳是經由開

五、發明說明 (5)

關所形成之配置而設置在局部性資料線條(其由局部性資料線所構成)上。藉由開關之狀態可適當地改變各別路徑(位元經此路徑而回到局部性資料線條)之長度。因此須形成局部性資料線條(其相對於記憶體同步存取時所需之其它局部性資料線條而言是在離該終端放大器最遠之處)上之開關所形成之配置,使這些開關儘可能寬遠地設置在局部性資料線條之中間。此外,可防止最大之信號傳送區段且因此可防止局部性資料線上之最大之傳送時間發生,這是因為位元最多只須經由局部性資料線條之長度之一半。

本發明之上述特徵及其它特徵以下將參考圖式來詳述。圖式簡單說明:

第 1 圖本發明之記憶模組之實施形式。

第 2 圖先前技藝之記憶模組之實施形式。

第 3 圖先前技藝之記憶模組之構造。

第 4 圖第 3 圖中二個相交點處之記憶胞所構成之單元。

第 5 圖一個位元由一個記憶胞至終端放大器所經過之路徑之圖解。

第 3 至第 5 圖已在本文開頭說明過。在這些圖式中相對應之組件以相同之參考符號來表示。

第 1 圖是本發明記憶模組之特別優良之實施形式。此記憶模組是用來同步存取 16 個位元。每二個開關 10(其位於相同之局部性資料線條 14,15,16, 17,18 上)

五、發明說明 (6)

至此記憶模組之軸 19 之距離 20 都是相同的。若局部性資料線條 14,15,16,17,18 距離該終端放大器 6 越遠,則外部之開關 10(其位在這些局部性資料線條 14,15,16,17,18 上)越靠近此軸 19。此開關 10 因此形成一種 V 形之配置結構。

此種配置結構例如可以至終端放大器 6 之距離漸增之方式週期性地重複著且亦可轉移(transfer)至一些記憶模組上,這些記憶模組可同步存取之位元可多於 16 個或少於 16 個,例如可為 32 位元。

由於開關 10(其位於局部性資料線條 14 上)相對於主資料線 5 之信號傳送時間最長,則最大之信號傳送區段 21 對此開關 10 而言須保持儘可能小。這是使開關 10 相對於記憶胞陣列條 2 而言配置在局部性資料線條 14 之中央來達成。因此可防止最大之信號傳送區段 21(其較局部性資料線條之長度之一半還長,如第 2 圖所示)。這樣可使一個位元之最大傳送時間變小,使記憶體晶片之時脈速率(rate)較大。

符號說明

- 1...記憶胞陣列
- 2...記憶胞陣列條
- 3...資料線條
- 4...資料線
- 5...主資料線
- 6...終端放大器

(請先閱讀背面之注意事項再填寫本頁)

訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (7)

- 10 ... 開 關
- 14~18 ... 資 料 線 條
- 19 ... 軸
- 20 ... 距 離
- 21 ... 信 號 傳 送 區 段

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱：存取時間較少之此種記憶模組)

記憶體晶片必須具有一種對所儲存之資料有儘可能少之存取時間。爲了使此種存取時間最少化，則一個位元之傳送時間在一些由終端放大器(6)廣泛地隔開之局部性資料線條(14)上是藉由開關(10)配置於中央來限制。此種開關(10)是局部性資料線(4)和主資料線(5)之間的連接點。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要 (發明之名稱： Memory-module with Smaller Access-time)

Memory-chips must have the most possible small access-time at the stored data. In order to minimize this access-time, the propagation time of a bit on the local data-line-strips (14) widely separated by the end-amplifiers (6) is limited by the middle centering of the switch (10), which is the connection-point between the local data-line (4) and the main-data-line (5).

六、申請專利範圍

- 1.一種記憶模組,其包括:
 - 許多配置於記憶胞陣列(1)中之記憶胞(7),
 - 記憶胞(7)經由位元線(8)而與前置放大器(9)相連接,由前置放大器(9)經由局部性資料線(4)和主資料線(5)(其經由開關(10)而與局部性資料線(4)相連接)而與終端放大器(6)相連接,
 - 可對許多個 n 位元同步進行存取,其特徵為:
 - 須配置此開關(10),使得在記憶體同步存取時一些局部性資料線(4)相對於同時所需之其它局部性資料線(4)而言離終端放大器(6)越遠時,這些局部性資料線(4)中一種位元之最大可能之傳送時間越短。
- 2.如申請專利範圍第 1 項之記憶模組,其中此記憶胞陣列(1)由許多記憶胞陣列條(2)所構成,這些陣列條(2)由平行於陣列條(2)之在二側相鄰之局部性資料線條(3)所隔開。
- 3.如申請專利範圍第 2 項之記憶模組,其中局部性資料線條(3)由至少 4 條局部性資料線(4)所構成。
- 4.如申請專利範圍第 2 或第 3 項之記憶模組,其中主資料線(5)垂直於記憶胞陣列條(2)而延伸。
- 5.如申請專利範圍第 4 項之記憶模組,其中每二個開關(10)(其位於相同之局部性資料線條(3)上)至軸(19)之距離是相同的,此軸(19)平行於主資料線(5)而延伸且相對於記憶胞陣列條(2)而言是定位於中

A8
B8
C8
D8

六、申請專利範圍

央。

6.如申請專利範圍第 1 ~~至 5 項中任一~~ 項之記憶模組，
其中可同步存取之位元數目 n 等於 8,16,32 或 64。

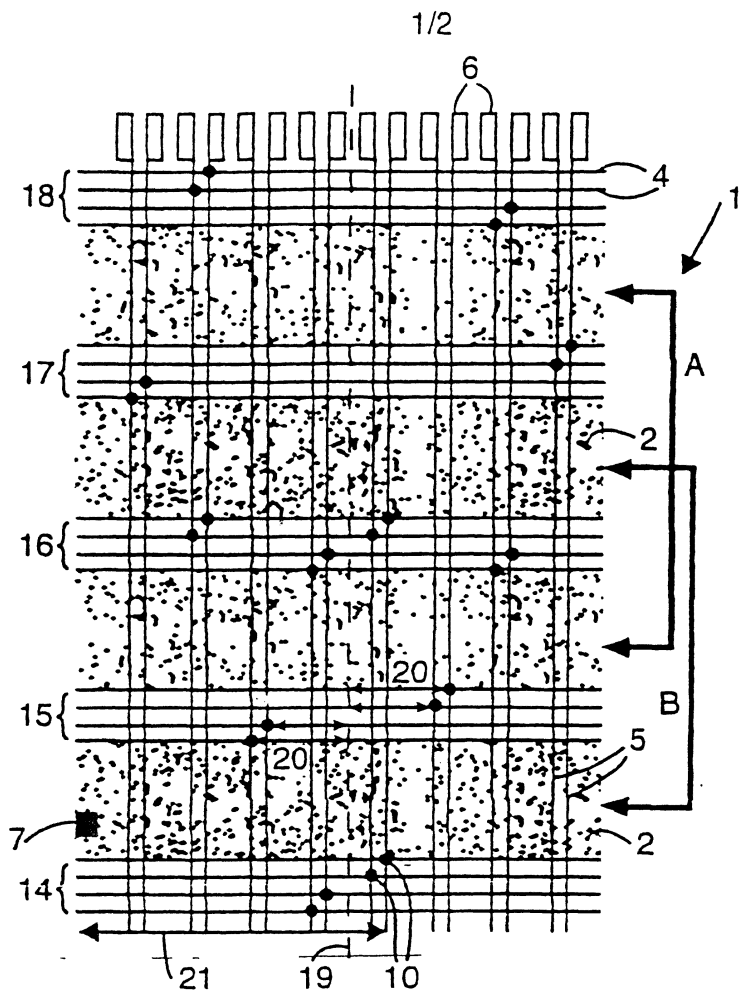
7.如申請專利範圍第 6 項之記憶模組，其中終端放大器 (6) 之數目是 8,16,32 或 64。

(請先閱讀背面之注意事項再填寫本頁)

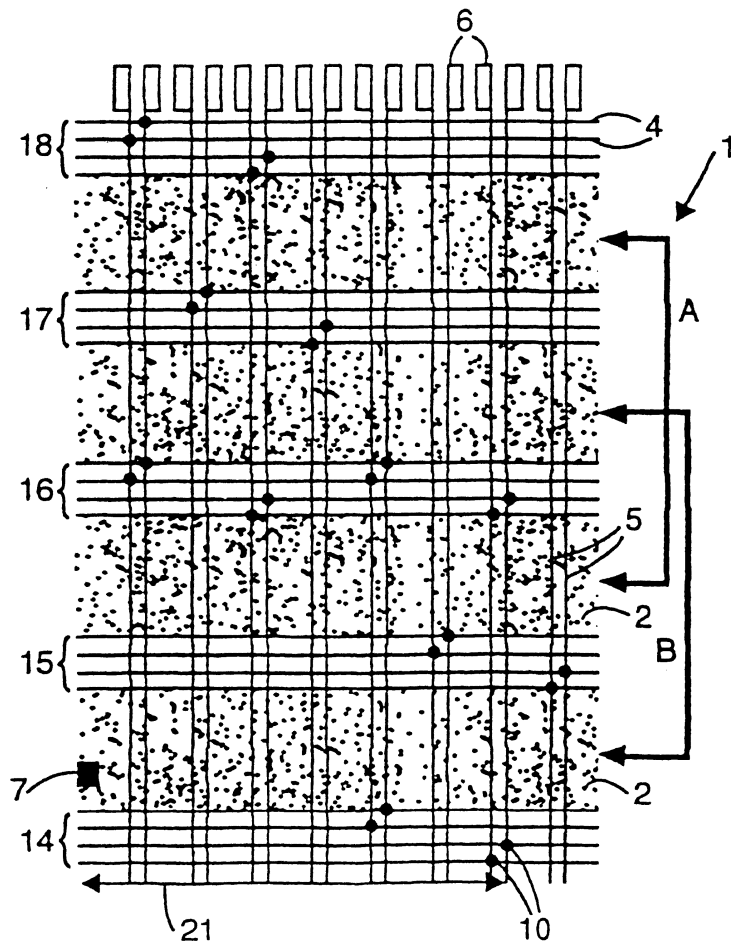
裝

訂

線

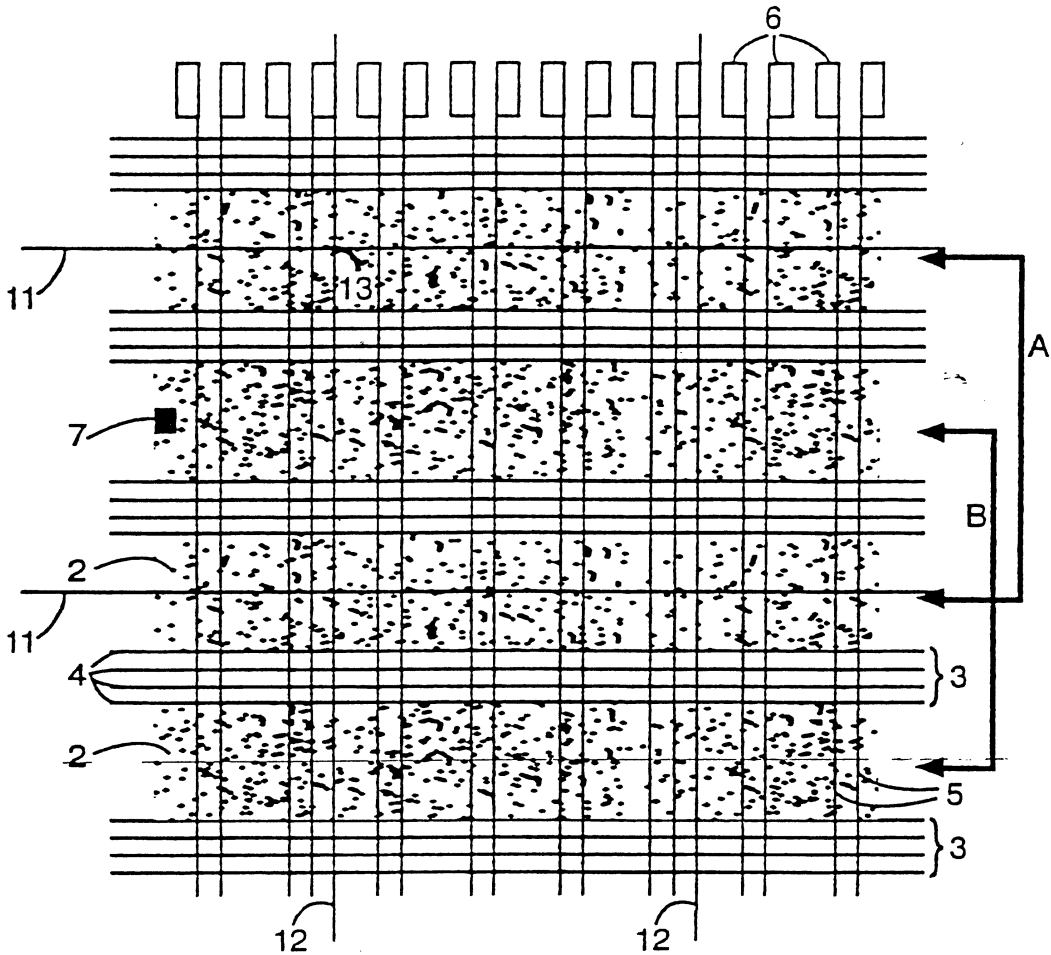


第 1 圖

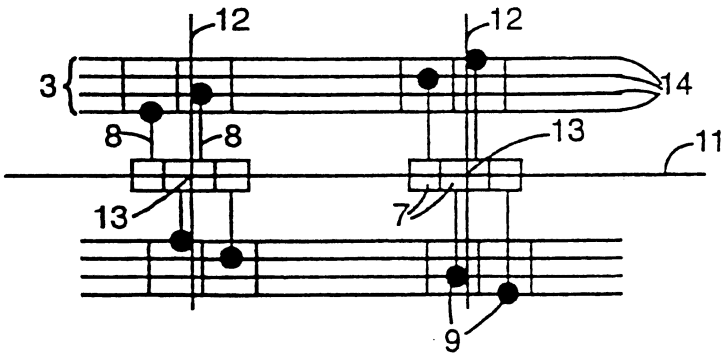


第 2 圖

第 3 圖



第 4 圖



第 5 圖

