

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4112184号
(P4112184)

(45) 発行日 平成20年7月2日(2008.7.2)

(24) 登録日 平成20年4月18日(2008.4.18)

(51) Int.Cl.	F I
HO4N 1/028 (2006.01)	HO4N 1/028 Z
G09F 9/00 (2006.01)	G09F 9/00 366A
G09F 9/30 (2006.01)	G09F 9/30 338
HO1L 27/32 (2006.01)	G09F 9/30 365Z
G09G 3/20 (2006.01)	G09G 3/20 624B
請求項の数 19 (全 49 頁) 最終頁に続く	

(21) 出願番号	特願2001-19635 (P2001-19635)	(73) 特許権者	000153878
(22) 出願日	平成13年1月29日 (2001.1.29)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2001-292276 (P2001-292276A)		神奈川県厚木市長谷398番地
(43) 公開日	平成13年10月19日 (2001.10.19)	(72) 発明者	山崎 舜平
審査請求日	平成16年10月5日 (2004.10.5)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2000-22762 (P2000-22762)		半導体エネルギー研究所内
(32) 優先日	平成12年1月31日 (2000.1.31)	(72) 発明者	小山 潤
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		審査官	飯田 清司
			最終頁に続く

(54) 【発明の名称】 エリアセンサ及び表示装置

(57) 【特許請求の範囲】

【請求項1】

基板上に複数の画素を有するセンサ部が設けられ、

前記複数の画素は、光電変換素子と、EL素子と、スイッチング用TFETと、EL駆動用TFETと、リセット用TFETと、バッファ用TFETと、選択用TFETと、ソース信号線と、ゲート信号線と、電源供給線と、リセット用ゲート信号線と、定電流電源と、センサ出力配線と、センサ用電源線とを有しており、

前記スイッチング用TFETのゲート電極は前記ゲート信号線に接続されており、

前記スイッチング用TFETのソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記EL駆動用TFETのゲート電極に接続されており、

前記EL駆動用TFETのソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記EL素子に接続されており、

前記リセット用TFETのゲート電極は前記リセット用ゲート信号線に接続されており、

前記リセット用TFETのソース領域は前記センサ用電源線に接続されており、

前記リセット用TFETのドレイン領域は、前記バッファ用TFETのゲート電極及び前記光電変換素子のアノードまたはカソードのいずれか一方に接続されており、

前記バッファ用TFETのドレイン領域は前記センサ用電源線に接続されており、

前記選択用TFETのソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一方は前記バッファ用TFETのソース領域に接続されており、

前記選択用TFETのゲート電極は前記ゲート信号線に接続されていることを特徴とする

エリアセンサ。

【請求項 2】

基板上に複数の画素を有するセンサ部が設けられ、

前記複数の画素は、光電変換素子と、E L 素子と、スイッチング用 T F T と、E L 駆動用 T F T と、リセット用 T F T と、バッファ用 T F T と、選択用 T F T と、ソース信号線と、ゲート信号線と、電源供給線と、リセット用ゲート信号線と、センサ用ゲート信号線と、定電流電源と、センサ出力配線と、センサ用電源線とを有しており、

前記スイッチング用 T F T のゲート電極は前記ゲート信号線に接続されており、

前記スイッチング用 T F T のソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記 E L 駆動用 T F T のゲート電極に接続されており、

10

前記 E L 駆動用 T F T のソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記 E L 素子に接続されており、

前記リセット用 T F T のゲート電極は前記リセット用ゲート信号線に接続されており、

前記リセット用 T F T のソース領域は前記センサ用電源線に接続されており、

前記リセット用 T F T のドレイン領域は、前記バッファ用 T F T のゲート電極及び前記光電変換素子のアノードまたはカソードのいずれか一方に接続されており、

前記バッファ用 T F T のドレイン領域は前記センサ用電源線に接続されており、

前記選択用 T F T のソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一方は前記バッファ用 T F T のソース領域に接続されており、

前記選択用 T F T のゲート電極は前記センサ用ゲート信号線に接続されていることを特徴とするエリアセンサ。

20

【請求項 3】

基板上に複数の画素を有するセンサ部が設けられ、

前記複数の画素は、光電変換素子と、E L 素子と、スイッチング用 T F T と、E L 駆動用 T F T と、リセット用 T F T と、バッファ用 T F T と、選択用 T F T と、ソース信号線と、ゲート信号線と、電源供給線と、リセット用ゲート信号線と、センサ用ゲート信号線と、定電流電源と、センサ出力配線と、センサ用電源線とを有しており、

前記スイッチング用 T F T のゲート電極は前記ゲート信号線に接続されており、

前記スイッチング用 T F T のソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記 E L 駆動用 T F T のゲート電極に接続されており、

30

前記 E L 駆動用 T F T のソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記 E L 素子に接続されており、

前記リセット用 T F T のゲート電極は前記リセット用ゲート信号線に接続されており、

前記リセット用 T F T のソース領域は前記センサ用電源線に接続されており、

前記リセット用 T F T のドレイン領域は、前記バッファ用 T F T のゲート電極及び前記光電変換素子に接続されており、

前記バッファ用 T F T のドレイン領域は前記センサ用電源線に接続されており、

前記選択用 T F T のソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一方は前記バッファ用 T F T のソース領域に接続されており、

前記選択用 T F T のゲート電極は前記ゲート信号線に接続されており、

40

前記スイッチング用 T F T と前記選択用 T F T の極性は同じであることを特徴とするエリアセンサ。

【請求項 4】

基板上に複数の画素を有するセンサ部が設けられ、

前記複数の画素は、光電変換素子と、E L 素子と、スイッチング用 T F T と、E L 駆動用 T F T と、リセット用 T F T と、バッファ用 T F T と、選択用 T F T と、ソース信号線と、ゲート信号線と、電源供給線と、リセット用ゲート信号線と、センサ用ゲート信号線と、定電流電源と、センサ出力配線と、センサ用電源線とを有しており、

前記スイッチング用 T F T のゲート電極は前記ゲート信号線に接続されており、

前記スイッチング用 T F T のソース領域とドレイン領域は、一方は前記ソース信号線に

50

、もう一方は前記 E L 駆動用 T F T のゲート電極に接続されており、
前記 E L 駆動用 T F T のソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記 E L 素子に接続されており、
前記リセット用 T F T のゲート電極は前記リセット用ゲート信号線に接続されており、
前記リセット用 T F T のソース領域は前記センサ用電源線に接続されており、
前記リセット用 T F T のドレイン領域は、前記バッファ用 T F T のゲート電極及び前記光電変換素子のアノードまたはカソードのいずれか一方に接続されており、
前記バッファ用 T F T のドレイン領域は前記センサ用電源線に接続されており、
前記選択用 T F T のソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一方は前記バッファ用 T F T のソース領域に接続されており、
前記選択用 T F T のゲート電極は前記センサ用ゲート信号線に接続されており、
前記リセット用ゲート信号線と前記センサ用ゲート信号線とに入力される信号によって前記リセット用 T F T と前記選択用 T F T はオンからオフの状態、またはオフからオンの状態に同時に切り替わり、
前記リセット用 T F T と前記選択用 T F T は、一方がオンの状態の時、もう一方はオフの状態であることを特徴とするエリアセンサ。

【請求項 5】

基板上に複数の画素を有するセンサ部が設けられ、

前記複数の画素は、光電変換素子と、E L 素子と、スイッチング用 T F T と、E L 駆動用 T F T と、リセット用 T F T と、バッファ用 T F T と、選択用 T F T と、ソース信号線と、ゲート信号線と、電源供給線と、リセット用ゲート信号線と、センサ用ゲート信号線と、定電流電源と、センサ出力配線と、センサ用電源線とを有しており、
前記スイッチング用 T F T のゲート電極は前記ゲート信号線に接続されており、
前記スイッチング用 T F T のソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記 E L 駆動用 T F T のゲート電極に接続されており、
前記 E L 駆動用 T F T のソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記 E L 素子に接続されており、
前記リセット用 T F T のゲート電極は前記リセット用ゲート信号線に接続されており、
前記リセット用 T F T のソース領域は前記センサ用電源線に接続されており、
前記リセット用 T F T のドレイン領域は、前記バッファ用 T F T のゲート電極及び前記光電変換素子のアノードまたはカソードのいずれか一方に接続されており、
前記バッファ用 T F T のドレイン領域は前記センサ用電源線に接続されており、
前記選択用 T F T のソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一方は前記バッファ用 T F T のソース領域に接続されており、
前記選択用 T F T のゲート電極は前記センサ用ゲート信号線に接続されており、
前記スイッチング用 T F T と前記選択用 T F T の極性は同じであり、
前記リセット用ゲート信号線と前記センサ用ゲート信号線とに入力される信号によって前記リセット用 T F T と前記選択用 T F T はオンからオフの状態、またはオフからオンの状態に同時に切り替わり、
前記リセット用 T F T と前記選択用 T F T は、一方がオンの状態の時、もう一方はオフの状態であることを特徴とするエリアセンサ。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか 1 項において、前記スイッチング用 T F T、前記 E L 駆動用 T F T、前記リセット用 T F T、前記バッファ用 T F T 及び前記選択用 T F T の半導体膜は結晶質珪素膜または非晶質珪素膜であることを特徴とするエリアセンサ。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか 1 項において、前記スイッチング用 T F T、前記 E L 駆動用 T F T、前記リセット用 T F T、前記バッファ用 T F T 及び前記選択用 T F T は p チャンネル型 T F T または n チャンネル型 T F T であることを特徴とするエリアセンサ。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか 1 項において、前記 E L 素子は陽極、陰極及び前記陽極と前記陰極の間に設けられた有機 E L 層を有していることを特徴とするエリアセンサ。

【請求項 9】

請求項 1 乃至請求項 8 のいずれか 1 項において、前記 E L 素子の陽極は前記 E L 駆動用 T F T のソース領域又はドレイン領域に接続され、前記 E L 駆動用 T F T は p チャンネル型 T F T であることを特徴とするエリアセンサ。

【請求項 10】

請求項 1 乃至請求項 9 のいずれか 1 項において、前記 E L 素子の陰極は前記 E L 駆動用 T F T のソース領域又はドレイン領域に接続され、前記 E L 駆動用 T F T は n チャンネル型 T F T であることを特徴とするエリアセンサ。

10

【請求項 11】

請求項 1 乃至請求項 10 のいずれか 1 項において、前記光電変換素子のアノードは前記リセット用 T F T のドレイン領域に接続され、前記リセット用 T F T は n チャンネル型 T F T であり、前記バッファ用 T F T は p チャンネル型 T F T であることを特徴とするエリアセンサ。

【請求項 12】

請求項 1 乃至請求項 11 のいずれか 1 項において、前記光電変換素子のカソードは前記リセット用 T F T のドレイン領域に接続され、前記リセット用 T F T は p チャンネル型 T F T であり、前記バッファ用 T F T は n チャンネル型 T F T であることを特徴とするエリアセンサ。

20

【請求項 13】

請求項 1 乃至請求項 12 のいずれか 1 項において、前記光電変換素子はカソード、アノード及び前記カソードと前記アノードの間に設けられた光電変換層を有していることを特徴とするエリアセンサ。

【請求項 14】

請求項 1 乃至請求項 13 のいずれか 1 項において、前記光電変換素子の光電変換層は結晶質珪素膜または非晶質珪素膜であることを特徴とするエリアセンサ。

【請求項 15】

請求項 1 乃至請求項 14 のいずれか 1 項において、前記光電変換素子の光電変換層上に絶縁膜を介して電極が設けられていることを特徴とするエリアセンサ。

30

【請求項 16】

請求項 1 乃至請求項 15 のいずれか 1 項において、前記光電変換素子のカソードは n 型の不純物が添加された半導体膜であることを特徴とするエリアセンサ。

【請求項 17】

請求項 1 乃至請求項 16 のいずれか 1 項において、前記光電変換素子のアノードは n 型の不純物が添加された半導体膜であることを特徴とするエリアセンサ。

【請求項 18】

請求項 1 乃至請求項 17 のいずれか 1 項に記載のエリアセンサの E L 素子を発光素子として用いる表示装置。

40

【請求項 19】

請求項 18 において、タッチペン及びタッチパネルを有していることを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、イメージセンサ機能を有する密着型エリアセンサに関する。特に、E L 素子を光源として有し、マトリクス状に配置された複数の薄膜トランジスタ (T F T) によって構成される密着型エリアセンサに関する。また密着型エリアセンサを兼ねた表示装置に関する。

【0002】

50

【従来の技術】

近年、紙面上の文字・図画情報や、映像情報等の光信号から、画像情報を有する電気信号を読み出すダイオード、ＣＣＤ等の光電変換素子を有する固体撮像装置が用いられるようになってきた。この固体撮像装置は、スキャナーやデジタルカメラ等に用いられている。

【０００３】

光電変換素子を有する固体撮像装置には、ラインセンサと、エリアセンサとがある。ラインセンサは、線状に設けられた光電変換素子を被写体上でスキャンし、画像を電気信号として取り込んでいる。

【０００４】

それに対しエリアセンサは、密着型エリアセンサとも呼ばれており、平面に設けられた光電変換素子を被写体上に配置し、画像を電気信号として取り込んでいる。エリアセンサはラインセンサと異なり光電変換素子をスキャンする必要がないことから、スキャンするためのモーター等が不要である。

【０００５】

図２４に従来のエリアセンサの構成を示す。図２４（Ａ）に示すのはエリアセンサの斜視図であり、図２４（Ｂ）に示すのはその断面図である。光電変換素子が設けられたセンサ基板２５０１、バックライト２５０２、光散乱板２５０３が図に示すように設けられている。

【０００６】

光源としてのバックライト２５０２からの光は、光散乱板２５０３内で屈折し、被写体２５０４に照射される。照射された光は被写体２５０４上で反射し、センサ基板２５０１上に設けられた光電変換素子に照射される。光電変換素子に光が照射されると、光の輝度に応じた大きさの電流が光電変換素子内で生じ、被写体２５０４の画像情報が電気信号としてエリアセンサ内に取り込まれる。

【０００７】**【発明が解決しようとする課題】**

上述したエリアセンサは、バックライト２５０２からの光が被写体２５０４に均一に照射されないと、読み込んだ画像が部分的に明るくなったり暗くなったりしてむらが生じてしまう。そのため光が均一に被写体２５０４に照射するように、光散乱板２５０３の構造に工夫をこらしたり、バックライト２５０２、光散乱板２５０３、センサ基板２５０１、被写体２５０４の位置を精密に調整したりする必要が生じる。

【０００８】

またバックライト２５０２及び光散乱板２５０３のサイズを抑えることは難しく、そのためにエリアセンサ自体の小型化、薄型化、軽量化が妨げられている。

【０００９】

本発明は上記の実情を鑑みてなされたもので、小型、薄型、軽量であり、かつ読み込んだ画像に明るさのむらが生じない密着型エリアセンサを提供することを目的とする。

【００１０】**【課題を解決するための手段】**

本発明のエリアセンサは、光電変換素子としてフォトダイオードを用いる。また光源としてＥＬ（エレクトロルミネッセンス）素子を用いる。

【００１１】

本明細書においてフォトダイオードとは、カソード電極と、アノード電極と、カソード電極とアノード電極の間に設けられた光電変換層とを有している。そして光電変換層に光が照射されると、光起電力効果により電流が生じる。

【００１２】

またＥＬ素子とは自発光型素子であり、主にＥＬディスプレイに用いられている。ＥＬディスプレイとは有機ＥＬディスプレイ（ＯＥＬＤ：Organic EL Display）又は有機ライトエミッティングダイオード（ＯＬＥＤ：Organic Light Emitting Diode）とも言う。

【００１３】

10

20

30

40

50

ＥＬ素子是一对の電極（陽極と陰極）の間に有機化合物を含む層（以下、ＥＬ層と記す）が挟まれた構造となっているが、ＥＬ層は通常、積層構造となっている。代表的には、コダック・イーストマン・カンパニーのTangらが提案した「正孔輸送層／発光層／電子輸送層」という積層構造が挙げられる。この構造は非常に発光効率が高く、現在、研究開発が進められているＥＬディスプレイは殆どこの構造を採用している。

【００１４】

ＥＬ素子は、電場を加えることで発生するルミネッセンス（Electro Luminescence）が得られると、陽極層と、ＥＬ層と、陰極層とを有する。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とがあるが、本発明のエリアセンサは、どちらの発光を用いても良い。

10

【００１５】

また他にも、電極上に正孔注入層／正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

【００１６】

本明細書において一对の電極間に設けられる全ての層を総称してＥＬ層と呼ぶ。よって上述した正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等は、全てＥＬ層に含まれる。

【００１７】

20

フォトダイオードとＥＬ素子とは同じセンサ基板上にマトリクス状に設けられる。そして同じくマトリクス状に基板上に設けられた薄膜トランジスタ（ＴＦＴ）を用いて、フォトダイオードとＥＬ素子のそれぞれの動作を制御する。

【００１８】

ＥＬ素子から発せられた光は被写体上で反射し、フォトダイオードに照射される。フォトダイオードに照射された光によって電流が生じ、被写体の画像情報を有する電気信号（画像信号）がエリアセンサに取り込まれる。

【００１９】

本発明は上記構成によって光が被写体に均一に照射されるため、読み込んだ画像の明るさにむらが生じることはない。そしてバックライトと光散乱板を、センサ基板と別個に設ける必要はないため、従来例と異なり、バックライト、光散乱板、センサ基板及び被写体の位置を精密に調整したりする必要がなく、エリアセンサ自体の小型化、薄型化、軽量化が実現される。またエリアセンサ自体の機械的強度が増す。

30

【００２０】

また本発明のエリアセンサは、前記ＥＬ素子を用いてエリアセンサに画像を表示させることが可能である。本発明においてＥＬ素子は、画像を読み込む際の光源としての機能と、画像を表示するための光源としての機能を併せ持つ。そのため、エリアセンサに別途電子ディスプレイを設けなくとも、画像を表示させることができる。

【００２１】

以下に、本発明の構成を示す。

40

【００２２】

本発明は上記構成によって、センサ基板上に複数の画素を有するセンサ部が設けられた密着型エリアセンサであって、前記複数の画素は、フォトダイオードと、ＥＬ素子と、複数の薄膜トランジスタとを有していることを特徴とする密着型エリアセンサが提供される。

【００２３】

本発明は上記構成によって、センサ基板上に複数の画素を有するセンサ部が設けられた密着型エリアセンサであって、前記複数の画素は、フォトダイオードと、ＥＬ素子と、スイッチング用ＴＦＴと、ＥＬ駆動用ＴＦＴと、リセット用ＴＦＴと、バッファ用ＴＦＴと、選択用ＴＦＴとを有しており

50

、
前記スイッチング用ＴＦＴ及び前記ＥＬ駆動用ＴＦＴは、前記ＥＬ素子の発光を制御しており、

前記ＥＬ素子から発せられた光は、被写体上で反射して前記フォトダイオードに照射され

、
前記フォトダイオード、前記リセット用ＴＦＴ、前記バッファ用ＴＦＴ及び選択用ＴＦＴは、前記フォトダイオードに照射された光から画像信号を生成することを特徴とする密着型エリアセンサが提供される。

【００２４】

本発明は上記構成によって、

センサ基板上に複数の画素を有するセンサ部が設けられた密着型エリアセンサであって、
前記複数の画素は、フォトダイオードと、ＥＬ素子と、スイッチング用ＴＦＴと、ＥＬ駆動用ＴＦＴと、リセット用ＴＦＴと、バッファ用ＴＦＴと、選択用ＴＦＴと、ソース信号線と、ゲート信号線と、一定の電位に保たれた電源供給線と、リセット用ゲート信号線と、センサ用ゲート信号線と、定電流電源に接続されたセンサ出力配線と、一定の電位に保たれたセンサ用電源線とを有しており、

前記スイッチング用ＴＦＴのゲート電極は前記ゲート信号線に接続されており、

前記スイッチング用ＴＦＴのソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記ＥＬ駆動用ＴＦＴのゲート電極に接続されており、

前記ＥＬ駆動用ＴＦＴのソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記ＥＬ素子に接続されており、

前記リセット用ＴＦＴのソース領域は前記センサ用電源線に接続されており、

前記リセット用ＴＦＴのドレイン領域は、前記バッファ用ＴＦＴのゲート電極及び前記フォトダイオードに接続されており、

前記バッファ用ＴＦＴのドレイン領域は前記センサ用電源線に接続されており、

前記選択用ＴＦＴのソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一方は前記バッファ用ＴＦＴのソース領域に接続されており、

前記選択用ＴＦＴのゲート電極は前記センサ用ゲート信号線に接続されており、

前記ＥＬ素子から発せられた光は、被写体上で反射して前記フォトダイオードに照射され

、

前記フォトダイオードに照射された光から生成された画像信号が、前記センサ出力配線に
入力されることを特徴とする密着型エリアセンサが提供される。

【００２５】

本発明は上記構成によって、

センサ基板上に複数の画素を有するセンサ部が設けられた密着型エリアセンサであって、
前記複数の画素は、フォトダイオードと、ＥＬ素子と、スイッチング用ＴＦＴと、ＥＬ駆動用ＴＦＴと、リセット用ＴＦＴと、バッファ用ＴＦＴと、選択用ＴＦＴと、ソース信号線と、ゲート信号線と、一定の電位に保たれた電源供給線と、リセット用ゲート信号線と、センサ用ゲート信号線と、定電流電源に接続されたセンサ出力配線と、一定の電位に保たれたセンサ用電源線とを有しており、

前記スイッチング用ＴＦＴのゲート電極は前記ゲート信号線に接続されており、

前記スイッチング用ＴＦＴのソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記ＥＬ駆動用ＴＦＴのゲート電極に接続されており、

前記ＥＬ駆動用ＴＦＴのソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記ＥＬ素子に接続されており、

前記リセット用ＴＦＴのソース領域は前記センサ用電源線に接続されており、前記リセット用ＴＦＴのドレイン領域は、前記バッファ用ＴＦＴのゲート電極及び前記フォトダイオードに接続されており、

前記バッファ用ＴＦＴのドレイン領域は前記センサ用電源線に接続されており、

前記選択用ＴＦＴのソース領域とドレイン領域は、一方は前記センサ出力配線に、もう

10

20

30

40

50

方は前記バッファ用ＴＦＴのソース領域に接続されており、
前記選択用ＴＦＴのゲート電極は前記ゲート信号線に接続されており、
前記スイッチング用ＴＦＴと前記選択用ＴＦＴの極性は同じであり、
前記ＥＬ素子から発せられた光は、被写体上で反射して前記フォトダイオードに照射され、
前記フォトダイオードに照射された光から生成された画像信号が、前記センサ出力配線に
入力されることを特徴とする密着型エリアセンサが提供される。

【００２６】

本発明は上記構成によって、
センサ基板上に複数の画素を有するセンサ部が設けられた密着型エリアセンサであって、
前記複数の画素は、フォトダイオードと、ＥＬ素子と、スイッチング用ＴＦＴと、ＥＬ駆
動用ＴＦＴと、リセット用ＴＦＴと、バッファ用ＴＦＴと、選択用ＴＦＴと、ソース信号
線と、ゲート信号線と、一定の電位に保たれた電源供給線と、リセット用ゲート信号線と
、センサ用ゲート信号線と、定電流電源に接続されたセンサ出力配線と、一定の電位に保
たれたセンサ用電源線とを有しており、
前記スイッチング用ＴＦＴのゲート電極は前記ゲート信号線に接続されており、
前記スイッチング用ＴＦＴのソース領域とドレイン領域は、一方は前記ソース信号線に、
もう一方は前記ＥＬ駆動用ＴＦＴのゲート電極に接続されており、
前記ＥＬ駆動用ＴＦＴのソース領域とドレイン領域は、一方は前記電源供給線に、もう
一方は前記ＥＬ素子に接続されており、
前記リセット用ＴＦＴのソース領域は前記センサ用電源線に接続されており、前記リセッ
ト用ＴＦＴのドレイン領域は、前記バッファ用ＴＦＴのゲート電極及び前記フォトダイオ
ードに接続されており、
前記バッファ用ＴＦＴのドレイン領域は前記センサ用電源線に接続されており、
前記選択用ＴＦＴのソース領域とドレイン領域は、一方は前記センサ出力配線に、もう
一方は前記バッファ用ＴＦＴのソース領域に接続されており、
前記選択用ＴＦＴのゲート電極は前記センサ用ゲート信号線に接続されており、
前記リセット用ゲート信号線と前記センサ用ゲート信号線とに入力される信号によって前
記リセット用ＴＦＴと前記選択用ＴＦＴはオンからオフの状態、またはオフからオンの状
態に同時に切り替わり、
前記リセット用ＴＦＴと前記選択用ＴＦＴは、一方がオンの状態の時、もう一方はオフの
状態であり、
前記ＥＬ素子から発せられた光は、被写体上で反射して前記フォトダイオードに照射され
、
前記フォトダイオードに照射された光から生成された画像信号が、前記センサ出力配線に
入力されることを特徴とする密着型エリアセンサが提供される。

【００２７】

本発明は上記構成によって、
センサ基板上に複数の画素を有するセンサ部が設けられた密着型エリアセンサであって、
前記複数の画素は、フォトダイオードと、ＥＬ素子と、スイッチング用ＴＦＴと、ＥＬ駆
動用ＴＦＴと、リセット用ＴＦＴと、バッファ用ＴＦＴと、選択用ＴＦＴと、ソース信号
線と、ゲート信号線と、一定の電位に保たれた電源供給線と、リセット用ゲート信号線と
、センサ用ゲート信号線と、定電流電源に接続されたセンサ出力配線と、一定の電位に保
たれたセンサ用電源線とを有しており、
前記スイッチング用ＴＦＴのゲート電極は前記ゲート信号線に接続されており、
前記スイッチング用ＴＦＴのソース領域とドレイン領域は、一方は前記ソース信号線に、
もう一方は前記ＥＬ駆動用ＴＦＴのゲート電極に接続されており、
前記ＥＬ駆動用ＴＦＴのソース領域とドレイン領域は、一方は前記電源供給線に、もう
一方は前記ＥＬ素子に接続されており、
前記リセット用ＴＦＴのソース領域は前記センサ用電源線に接続されており、

前記リセット用ＴＦＴのドレイン領域は、前記バッファ用ＴＦＴのゲート電極及び前記フォトダイオードに接続されており、

前記バッファ用ＴＦＴのドレイン領域は前記センサ用電源線に接続されており、

前記選択用ＴＦＴのソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一方は前記バッファ用ＴＦＴのソース領域に接続されており、

前記選択用ＴＦＴのゲート電極は前記ゲート信号線に接続されており、

前記スイッチング用ＴＦＴと前記選択用ＴＦＴの極性は同じであり、

前記リセット用ゲート信号線と前記センサ用ゲート信号線とに入力される信号によって前記リセット用ＴＦＴと前記選択用ＴＦＴはオンからオフの状態、またはオフからオンの状態に同時に切り替わり、

前記リセット用ＴＦＴと前記選択用ＴＦＴは、一方がオンの状態の時、もう一方はオフの状態であり、

前記ＥＬ素子から発せられた光は、被写体上で反射して前記フォトダイオードに照射され、

前記フォトダイオードに照射された光から生成された画像信号が、前記センサ出力配線に入力されることを特徴とする密着型エリアセンサが提供される。

【００２８】

本発明は上記構成によって、

センサ基板上に複数の画素を有するセンサ部が設けられた表示装置であって、前記複数の画素は、フォトダイオードと、ＥＬ素子と、スイッチング用ＴＦＴと、ＥＬ駆動用ＴＦＴと、リセット用ＴＦＴと、バッファ用ＴＦＴと、選択用ＴＦＴとを有しており、

前記スイッチング用ＴＦＴ及び前記ＥＬ駆動用ＴＦＴによって前記ＥＬ素子の発光が制御され、

前記センサ部は、前記ＥＬ素子から発せられた光により画像を表示するか、もしくは前記ＥＬ素子から発せられた光を被写体上で反射させることで前記フォトダイオードに照射し、前記フォトダイオード、前記リセット用ＴＦＴ、前記バッファ用ＴＦＴ及び選択用ＴＦＴによって前記フォトダイオードに照射された光から画像信号を生成することを特徴とする表示装置が提供される。

【００２９】

本発明は上記構成によって、

センサ基板上に複数の画素を有するセンサ部が設けられた表示装置であって、前記複数の画素は、フォトダイオードと、ＥＬ素子と、スイッチング用ＴＦＴと、ＥＬ駆動用ＴＦＴと、リセット用ＴＦＴと、バッファ用ＴＦＴと、選択用ＴＦＴと、ソース信号線と、ゲート信号線と、一定の電位に保たれた電源供給線と、リセット用ゲート信号線と、センサ用ゲート信号線と、定電流電源に接続されたセンサ出力配線と、一定の電位に保たれたセンサ用電源線とを有しており、

前記スイッチング用ＴＦＴのゲート電極は前記ゲート信号線に接続されており、

前記スイッチング用ＴＦＴのソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記ＥＬ駆動用ＴＦＴのゲート電極に接続されており、

前記ＥＬ駆動用ＴＦＴのソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記ＥＬ素子に接続されており、

前記リセット用ＴＦＴのソース領域は前記センサ用電源線に接続されており、前記リセット用ＴＦＴのドレイン領域は、前記バッファ用ＴＦＴのゲート電極及び前記フォトダイオードに接続されており、

前記バッファ用ＴＦＴのドレイン領域は前記センサ用電源線に接続されており、

前記選択用ＴＦＴのソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一方は前記バッファ用ＴＦＴのソース領域に接続されており、

前記選択用ＴＦＴのゲート電極は前記センサ用ゲート信号線に接続されており、

前記スイッチング用ＴＦＴ及び前記ＥＬ駆動用ＴＦＴによって前記ＥＬ素子の発光が制御され、

10

20

30

40

50

前記センサ部は、前記 E L 素子から発せられた光により画像を表示するか、もしくは前記 E L 素子から発せられた光を被写体上で反射させることで前記フォトダイオードに照射し、前記フォトダイオード、前記リセット用 T F T、前記バッファ用 T F T 及び選択用 T F T によって前記フォトダイオードに照射された光から画像信号を生成することを特徴とする表示装置が提供される。

【 0 0 3 0 】

本発明は上記構成によって、

センサ基板上に複数の画素を有するセンサ部が設けられた表示装置であって、前記複数の画素は、フォトダイオードと、 E L 素子と、スイッチング用 T F T と、 E L 駆動用 T F T と、リセット用 T F T と、バッファ用 T F T と、選択用 T F T と、ソース信号線と、ゲート信号線と、一定の電位に保たれた電源供給線と、リセット用ゲート信号線と、センサ用ゲート信号線と、定電流電源に接続されたセンサ出力配線と、一定の電位に保たれたセンサ用電源線とを有しており、

前記スイッチング用 T F T のゲート電極は前記ゲート信号線に接続されており、

前記スイッチング用 T F T のソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記 E L 駆動用 T F T のゲート電極に接続されており、

前記 E L 駆動用 T F T のソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記 E L 素子に接続されており、

前記リセット用 T F T のソース領域は前記センサ用電源線に接続されており、前記リセット用 T F T のドレイン領域は、前記バッファ用 T F T のゲート電極及び前記フォトダイオードに接続されており、

前記バッファ用 T F T のドレイン領域は前記センサ用電源線に接続されており、

前記選択用 T F T のソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一方は前記バッファ用 T F T のソース領域に接続されており、

前記選択用 T F T のゲート電極は前記センサ用ゲート信号線に接続されており、

前記リセット用ゲート信号線と前記センサ用ゲート信号線とに入力される信号によって前記リセット用 T F T と前記選択用 T F T はオンからオフの状態、またはオフからオンの状態に同時に切り替わり、

前記リセット用 T F T と前記選択用 T F T は、一方がオンの状態の時、もう一方はオフの状態であり、

前記スイッチング用 T F T 及び前記 E L 駆動用 T F T によって前記 E L 素子の発光が制御され、

前記センサ部は、前記 E L 素子から発せられた光により画像を表示するか、もしくは前記 E L 素子から発せられた光を被写体上で反射させることで前記フォトダイオードに照射し、前記フォトダイオード、前記リセット用 T F T、前記バッファ用 T F T 及び選択用 T F T によって前記フォトダイオードに照射された光から画像信号を生成することを特徴とする表示装置が提供される。

【 0 0 3 1 】

本発明は上記構成によって、

センサ基板上に複数の画素を有するセンサ部が設けられた表示装置であって、

前記複数の画素は、フォトダイオードと、 E L 素子と、スイッチング用 T F T と、 E L 駆動用 T F T と、リセット用 T F T と、バッファ用 T F T と、選択用 T F T と、ソース信号線と、ゲート信号線と、一定の電位に保たれた電源供給線と、リセット用ゲート信号線と、センサ用ゲート信号線と、定電流電源に接続されたセンサ出力配線と、一定の電位に保たれたセンサ用電源線とを有しており、

前記スイッチング用 T F T のゲート電極は前記ゲート信号線に接続されており、

前記スイッチング用 T F T のソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記 E L 駆動用 T F T のゲート電極に接続されており、

前記 E L 駆動用 T F T のソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記 E L 素子に接続されており、

前記リセット用ＴＦＴのソース領域は前記センサ用電源線に接続されており、
前記リセット用ＴＦＴのドレイン領域は、前記バッファ用ＴＦＴのゲート電極及び前記フォトダイオードに接続されており、
前記バッファ用ＴＦＴのドレイン領域は前記センサ用電源線に接続されており、
前記選択用ＴＦＴのソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一方は前記バッファ用ＴＦＴのソース領域に接続されており、
前記選択用ＴＦＴのゲート電極は前記ゲート信号線に接続されており、
前記スイッチング用ＴＦＴと前記選択用ＴＦＴの極性は同じであり、
前記スイッチング用ＴＦＴ及び前記ＥＬ駆動用ＴＦＴによって前記ＥＬ素子の発光が制御され、

10

前記センサ部は、前記ＥＬ素子から発せられた光により画像を表示するか、もしくは前記ＥＬ素子から発せられた光を被写体上で反射させることで前記フォトダイオードに照射し、前記フォトダイオード、前記リセット用ＴＦＴ、前記バッファ用ＴＦＴ及び選択用ＴＦＴによって前記フォトダイオードに照射された光から画像信号を生成することを特徴とする表示装置が提供される。

【００３２】

本発明は上記構成によって、
センサ基板上に複数の画素を有するセンサ部が設けられた表示装置であって、前記複数の画素は、フォトダイオードと、ＥＬ素子と、スイッチング用ＴＦＴと、ＥＬ駆動用ＴＦＴと、リセット用ＴＦＴと、バッファ用ＴＦＴと、選択用ＴＦＴと、ソース信号線と、ゲート信号線と、一定の電位に保たれた電源供給線と、リセット用ゲート信号線と、センサ用ゲート信号線と、定電流電源に接続されたセンサ出力配線と、一定の電位に保たれたセンサ用電源線とを有しており、

20

前記スイッチング用ＴＦＴのゲート電極は前記ゲート信号線に接続されており、
前記スイッチング用ＴＦＴのソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記ＥＬ駆動用ＴＦＴのゲート電極に接続されており、
前記ＥＬ駆動用ＴＦＴのソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記ＥＬ素子に接続されており、

前記リセット用ＴＦＴのソース領域は前記センサ用電源線に接続されており、前記リセット用ＴＦＴのドレイン領域は、前記バッファ用ＴＦＴのゲート電極及び前記フォトダイオードに接続されており、

30

前記バッファ用ＴＦＴのドレイン領域は前記センサ用電源線に接続されており、
前記選択用ＴＦＴのソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一方は前記バッファ用ＴＦＴのソース領域に接続されており、

前記選択用ＴＦＴのゲート電極は前記ゲート信号線に接続されており、
前記スイッチング用ＴＦＴと前記選択用ＴＦＴの極性は同じであり、
前記リセット用ゲート信号線と前記センサ用ゲート信号線とに入力される信号によって前記リセット用ＴＦＴと前記選択用ＴＦＴはオンからオフの状態、またはオフからオンの状態に同時に切り替わり、

前記リセット用ＴＦＴと前記選択用ＴＦＴは、一方がオンの状態の時、もう一方はオフの状態であり、

40

前記スイッチング用ＴＦＴ及び前記ＥＬ駆動用ＴＦＴによって前記ＥＬ素子の発光が制御され、

前記センサ部は、前記ＥＬ素子から発せられた光により画像を表示するか、もしくは前記ＥＬ素子から発せられた光を被写体上で反射させることで前記フォトダイオードに照射し、前記フォトダイオード、前記リセット用ＴＦＴ、前記バッファ用ＴＦＴ及び選択用ＴＦＴによって前記フォトダイオードに照射された光から画像信号を生成することを特徴とする表示装置が提供される。

【００３３】

前記ＥＬ素子は陽極、陰極及び陽極と陰極の間に設けられたＥＬ層を有していても良い。

50

【 0 0 3 4 】

前記 E L 素子の有する陽極が前記 E L 駆動用 T F T のソース領域又はドレイン領域に接続されているとき、前記 E L 駆動用 T F T は p チャネル型 T F T であっても良い。

【 0 0 3 5 】

前記 E L 素子の有する陰極が前記 E L 駆動用 T F T のソース領域又はドレイン領域に接続されているとき、前記 E L 駆動用 T F T は n チャネル型 T F T であっても良い。

【 0 0 3 6 】

前記フォトダイオードはカソード電極、アノード電極及びカソード電極とアノード電極の間に設けられた光電変換層を有していても良い。

【 0 0 3 7 】

前記フォトダイオードの有するアノード電極が前記リセット用 T F T のドレイン領域に接続されているとき、前記リセット用 T F T は n チャネル型 T F T であり、前記バッファ用 T F T は p チャネル型 T F T であっても良い。

【 0 0 3 8 】

前記フォトダイオードの有するカソード電極が前記リセット用 T F T のドレイン領域に接続されているとき、前記リセット用 T F T は p チャネル型 T F T であり、前記バッファ用 T F T は n チャネル型 T F T であっても良い。

【 0 0 3 9 】

前記表示装置は、タッチペン及びタッチパネルを有していても良い。

【 0 0 4 0 】

【 発明の実施の形態 】

以下に、本発明のエリアセンサの構成を詳しく説明する。本発明のエリアセンサは画像の読み取りを行うセンサ部と、センサ部の駆動を制御する駆動部とを有している。図 1 に本発明のセンサ部の回路図を示す。

【 0 0 4 1 】

センサ部 1 0 1 はソース信号線 S 1 ~ S x、電源供給線 V 1 ~ V x、ゲート信号線 G 1 ~ G y、リセット用ゲート信号線 R G 1 ~ R G y、センサ用ゲート信号線 S G 1 ~ S G y、センサ出力配線 S S 1 ~ S S x、センサ用電源線 V B が設けられている。

【 0 0 4 2 】

センサ部 1 0 1 は複数の画素 1 0 2 を有している。画素 1 0 2 は、ソース信号線 S 1 ~ S x のいずれか 1 つと、電源供給線 V 1 ~ V x のいずれか 1 つと、ゲート信号線 G 1 ~ G y のいずれか 1 つと、リセット用ゲート信号線 R G 1 ~ R G y のいずれか 1 つと、センサ用ゲート信号線 S G 1 ~ S G y のいずれか 1 つと、センサ出力配線 S S 1 ~ S S x のいずれか 1 つと、センサ用電源線 V B とを有している。

【 0 0 4 3 】

センサ出力配線 S S 1 ~ S S x はそれぞれ定電流電源 1 0 3 __ 1 ~ 1 0 3 __ x に接続されている。

【 0 0 4 4 】

図 2 に画素 1 0 2 の詳しい構成を示す。点線で囲まれた領域が画素 1 0 2 である。なお、ソース信号線 S は、ソース信号線 S 1 ~ S x のいずれか 1 つを意味する。また電源供給線 V は電源供給線 V 1 ~ V x のいずれか 1 つを意味する。またゲート信号線 G はゲート信号線 G 1 ~ G y のいずれか 1 つを意味する。またリセット用ゲート信号線 R G はリセット用ゲート信号線 R G 1 ~ R G y のいずれか 1 つを意味する。またセンサ用ゲート信号線 S G は、センサ用ゲート信号線 S G 1 ~ S G y のいずれか 1 つを意味する。またセンサ出力配線 S S はセンサ出力配線 S S 1 ~ S S x のいずれか 1 つを意味する。

【 0 0 4 5 】

画素 1 0 2 はスイッチング用 T F T 1 0 4、E L 駆動用 T F T 1 0 5、E L 素子 1 0 6 を有している。また図 2 では画素 1 0 2 にコンデンサ 1 0 7 が設けられているが、コンデンサ 1 0 7 を設けなくとも良い。

【 0 0 4 6 】

ＥＬ素子１０６は陽極と陰極と、陽極と陰極との間に設けられたＥＬ層とからなる。陽極がＥＬ駆動用ＴＦＴ１０５のソース領域またはドレイン領域と接続している場合、陽極が画素電極、陰極が対向電極となる。逆に陰極がＥＬ駆動用ＴＦＴ１０５のソース領域またはドレイン領域と接続している場合、陽極が対向電極、陰極が画素電極である。

【００４７】

スイッチング用ＴＦＴ１０４のゲート電極はゲート信号線Ｇに接続されている。そしてスイッチング用ＴＦＴ１０４のソース領域とドレイン領域は、一方がソース信号線Ｓに、もう一方がＥＬ駆動用ＴＦＴ１０５のゲート電極に接続されている。

【００４８】

ＥＬ駆動用ＴＦＴ１０５のソース領域とドレイン領域は、一方が電源供給線Ｖに、もう一方がＥＬ素子１０６に接続されている。コンデンサ１０７はＥＬ駆動用ＴＦＴ１０５のゲート電極と電源供給線Ｖとに接続して設けられている。

10

【００４９】

さらに画素１０２は、リセット用ＴＦＴ１１０、バッファ用ＴＦＴ１１１、選択用ＴＦＴ１１２、フォトダイオード１１３を有している。

【００５０】

リセット用ＴＦＴ１１０のゲート電極はリセット用ゲート信号線ＲＧに接続されている。リセット用ＴＦＴ１１０のソース領域はセンサ用電源線ＶＢに接続されている。センサ用電源線ＶＢは常に一定の電位（基準電位）に保たれている。またリセット用ＴＦＴ１１０のドレイン領域はフォトダイオード１１３及びバッファ用ＴＦＴ１１１のゲート電極に接続されている。

20

【００５１】

図示しないが、フォトダイオード１１３はカソード電極と、アノード電極と、カソード電極とアノード電極の間に設けられた光電変換層とを有している。リセット用ＴＦＴ１１０のドレイン領域は、具体的にはフォトダイオード１１３のアノード電極又はカソード電極に接続されている。

【００５２】

バッファ用ＴＦＴ１１１のドレイン領域はセンサ用電源線ＶＢに接続されており、常に一定の基準電位に保たれている。そしてバッファ用ＴＦＴ１１１のソース領域は選択用ＴＦＴ１１２のソース領域又はドレイン領域に接続されている。

30

【００５３】

選択用ＴＦＴ１１２のゲート電極はセンサ用ゲート信号線ＳＧに接続されている。そして選択用ＴＦＴ１１２のソース領域とドレイン領域は、一方は上述したとおりバッファ用ＴＦＴ１１１のソース領域に接続されており、もう一方はセンサ出力配線ＳＳに接続されている。センサ出力配線ＳＳは定電流電源１０３（定電流電源１０３―１～１０３―ｘのいずれか１つ）に接続されており、常に一定の電流が流れている。

【００５４】

次に本発明のエリアセンサの駆動の仕方について、図１及び図２を用いて説明する。

【００５５】

画素１０２が有するＥＬ素子１０６はエリアセンサの光源として機能しており、スイッチング用ＴＦＴ１０４、ＥＬ駆動用ＴＦＴ１０５及びコンデンサ１０７は、光源としてのＥＬ素子１０６の動作を制御している。

40

【００５６】

ＥＬ素子から発せられる光は被写体上で反射し、画素１０２が有するフォトダイオード１１３に照射される。フォトダイオード１１３は、照射された光を、画像情報を有する電気信号に変換する。そしてフォトダイオード１１３で発生した画像情報を有する電気信号は、リセット用ＴＦＴ１１０、バッファ用ＴＦＴ１１１及び選択用ＴＦＴ１１２により画像信号としてエリアセンサ内に取り込まれる。

【００５７】

図３は、リセット用ＴＦＴ１１０、バッファ用ＴＦＴ１１１及び選択用ＴＦＴ１１２の動

50

作を示すタイミングチャートである。なおここでは、リセット用 T F T 1 1 0 が n チャンネル型 T F T、バッファ用 T F T 1 1 1 が p チャンネル型 T F T、選択用 T F T 1 1 2 が n チャンネル型 T F T の場合のタイミングチャートを示す。本発明においてリセット用 T F T 1 1 0、バッファ用 T F T 1 1 1 及び選択用 T F T 1 1 2 は、n チャンネル型 T F T と p チャンネル型 T F T のどちらでも良い。ただし、リセット用 T F T 1 1 0 とバッファ用 T F T 1 1 1 の極性は逆の方が好ましい。

【 0 0 5 8 】

まずリセット用ゲート信号線 R G 1 に入力されているリセット信号によって、R G 1 に接続されている 1 ライン目の画素のリセット用 T F T 1 1 0 はオンの状態にある。よってセンサ用電源線 V B の基準電位がバッファ用 T F T 1 1 1 のゲート電極に与えられる。

10

【 0 0 5 9 】

またセンサ用ゲート信号線 S G 1 に入力されているセンサ信号によって、センサ用ゲート信号線 S G 1 に接続されている 1 ライン目の画素の選択用 T F T 1 1 2 がオフの状態にある。よってバッファ用 T F T 1 1 1 のソース領域は、基準電位からバッファ用 T F T 1 1 1 のソース領域とゲート電極の電位差 V_{GS} を差し引いた電位に保たれている。なお本明細書では、リセット用 T F T 1 1 0 がオンの状態である期間をリセット期間と呼ぶ。

【 0 0 6 0 】

そしてリセット用ゲート信号線 R G 1 に入力されたりリセット信号の電位が変化して、1 ライン目の画素のリセット用 T F T 1 1 0 が全てオフの状態になる。よってセンサ用電源線 V B の基準電位は、1 ライン目の画素のバッファ用 T F T 1 1 1 のゲート電極に与えられなくなる。なお、リセット用 T F T 1 1 0 がオフの状態にある期間を、本明細書ではサンプル期間 S T と呼ぶ。特に 1 ライン目の画素のリセット用 T F T 1 1 0 がオフの状態にある期間をサンプル期間 S T 1 と呼ぶ。

20

【 0 0 6 1 】

サンプル期間 S T 1 では、センサ用ゲート信号線 S G 1 に入力されたセンサ信号の電位が変化して、1 ライン目の画素の選択用 T F T 1 1 2 がオンの状態になる。よって 1 ライン目の画素のバッファ用 T F T 1 1 1 のソース領域は、選択用 T F T 1 1 2 を介してセンサ出力配線 S S 1 に電氣的に接続される。センサ出力配線 S S 1 は定電流電源 1 0 3 _ 1 に接続されており、そのためバッファ用 T F T 1 1 1 はソースフォロワ (s o u r c e f o l l o w e r) として機能し、ソース領域とゲート電極の電位差 V_{GS} は一定となる。

30

【 0 0 6 2 】

サンプル期間 S T 1 において、E L 素子 1 0 6 からの光が被写体上で反射してフォトダイオード 1 1 3 に照射されると、フォトダイオード 1 1 3 に電流が流れる。そのため、リセット期間において基準電位に保たれていたバッファ用 T F T 1 1 1 のゲート電極の電位は、フォトダイオード 1 1 3 で発生する電流の大きさに応じて高くなる。

【 0 0 6 3 】

フォトダイオード 1 1 3 に流れる電流は、フォトダイオード 1 1 3 に照射される光の強さに比例するため、被写体上の画像は、フォトダイオード 1 1 3 においてそのまま電気信号に変換される。フォトダイオード 1 1 3 において生成された電気信号は、バッファ用 T F T 1 1 1 のゲート電極に入力される。

40

【 0 0 6 4 】

バッファ用 T F T 1 1 1 のソース領域とゲート電極の電位差 V_{GS} は常に一定であるので、バッファ用 T F T 1 1 1 のソース領域は、バッファ用 T F T 1 1 1 のゲート電極の電位から V_{GS} を差し引いた電位に保たれている。そのためバッファ用 T F T 1 1 1 のゲート電極の電位が変化すると、それに伴ってバッファ用 T F T 1 1 1 のソース領域の電位も変化する。

【 0 0 6 5 】

バッファ用 T F T 1 1 1 のソース領域の電位は、画像信号として選択用 T F T 1 1 2 を介しセンサ出力配線 S S 1 に入力される。

【 0 0 6 6 】

50

次に、リセット用ゲート信号線 R G 1 に入力されているリセット信号によって、R G 1 に接続されている 1 ライン目の画素のリセット用 T F T 1 1 0 はオンの状態になり、再びリセット期間になる。それと同時にリセット用ゲート信号線 R G 2 に入力されているリセット信号によって、R G 2 に接続されている 2 ライン目の画素のリセット用 T F T 1 1 0 はオフの状態になり、サンプリング期間 S T 2 が開始する。

【 0 0 6 7 】

サンプリング期間 S T 2 では、サンプリング期間 S T 1 と同様に、フォトダイオードにおいて画像情報を有する電気信号が生成し、画像信号がセンサ出力配線 S S 2 に入力される。

【 0 0 6 8 】

上記動作を繰り返し、サンプリング期間 S T y が終了すると、1 つの画像を画像信号として読み込むことができる。なお本明細書では、サンプリング期間 S T 1 ~ S T y の全てが出現するまでの期間をセンサフレーム期間 S F と呼ぶ。

【 0 0 6 9 】

また各サンプリング期間において、各画素が有する E L 素子を常に発光させておく必要がある。例えば 1 ライン目の画素が有する E L 素子は、最低でもサンプリング期間 S T 1 の間発光していることが重要である。なお全ての画素がセンサフレーム期間 S F の間、常に発光していても良い。

【 0 0 7 0 】

なおカラー画像を読み込むエリアセンサの場合、センサ部は R (赤) G (緑) B (青) の各色に対応した画素を有している。R G B の各色に対応した画素は、R G B に対応した三種類の E L 素子を有しているか、または白色発光の E L 素子と R G B の三種類のカラーフィルタを有しているか、または青色又は青緑発光の E L 素子と蛍光体 (蛍光性の変色層 : C C M) とを有している。

【 0 0 7 1 】

R G B の各色に対応した画素から発せられる R G B の各色の光は、被写体に順に照射される。そして被写体上で反射された R G B の各色の光が、画素の有するフォトダイオードに照射され、R G B 各色に対応する画像信号がエリアセンサに取り込まれる。

【 0 0 7 2 】

図 4 は、カラー画像を読み込むエリアセンサのリセット用 T F T 1 1 0、バッファ用 T F T 1 1 1 及び選択用 T F T 1 1 2 の動作を示すタイミングチャートである。なおここでは、リセット用 T F T 1 1 0 が n チャンネル型 T F T、バッファ用 T F T 1 1 1 が p チャンネル型 T F T、選択用 T F T 1 1 2 が n チャンネル型 T F T の場合のタイミングチャートを示す。

【 0 0 7 3 】

R に対応する画素の E L 素子が発光している期間内に、サンプル期間 S T 1 ~ S T y の全てが出現する。この R に対応する画素の E L 素子が発光している期間内において、サンプリング期間 S T 1 ~ S T y の全てが出現するまでの期間を R 用センサフレーム期間 S F r と呼ぶ。R 用センサフレーム期間 S F r において R に対応する画像信号がエリアセンサ内に取り込まれる。なお R 用センサフレーム期間 S F r において、G、B に対応する画素は発光を行わない。

【 0 0 7 4 】

次に、G に対応する画素の E L 素子が発光している期間内に、サンプル期間 S T 1 ~ S T y の全てが出現する。この G に対応する画素の E L 素子が発光している期間内において、サンプリング期間 S T 1 ~ S T y の全てが出現するまでの期間を G 用センサフレーム期間 S F g と呼ぶ。G 用センサフレーム期間 S F g において G に対応する画像信号がエリアセンサ内に取り込まれる。なお G 用センサフレーム期間 S F g において、R、B に対応する画素は発光を行わない。

【 0 0 7 5 】

次に、B に対応する画素の E L 素子が発光している期間内に、サンプル期間 S T 1 ~ S T

10

20

30

40

50

yの全てが出現する。このBに対応する画素のEL素子が発光している期間内において、サンプリング期間ST1～STyの全てが出現するまでの期間をB用センサフレーム期間SFbと呼ぶ。B用センサフレーム期間SFbにおいてBに対応する画像信号がエリアセンサ内に取り込まれる。B用センサフレーム期間SFbにおいて、R、Gに対応する画素は発光を行わない。

【0076】

R用センサフレーム期間SFrと、G用センサフレーム期間SFgと、B用センサフレーム期間SFbの全てが出現するまでの期間がセンサフレーム期間SFである。センサフレーム期間SFが終了すると1つのカラー画像を画像信号として読み込むことができる。

【0077】

また各サンプリング期間において、各色に対応する画素のEL素子を常に発光させておく必要がある。例えばB用センサフレーム期間内のサンプリング期間ST1においては、1ライン目の画素のうちBに対応する画素のEL素子は常に発光していることが重要である。またR用、G用、B用センサフレーム期間(SFr、SFg、SFb)のそれぞれにおいて、各色に対応する画素が常に発光していても良い。

【0078】

本発明は上記構成によって光が被写体に均一に照射されるため、読み込んだ画像の明るさにむらが生じることはない。そしてバックライトと光散乱板とを、センサ基板と別個に設ける必要はないため、従来例と異なり、バックライト、光散乱板、センサ基板及び被写体の位置を精密に調整したりする必要がなく、エリアセンサ自体の小型化、薄型化、軽量化が実現される。またエリアセンサ自体の機械的強度が増す。

【0079】

また本発明のエリアセンサは、EL素子を用いてセンサ部に画像を表示することが可能である。そのため、新たに電子ディスプレイをエリアセンサに設けなくとも、センサ部で読み込んだ画像をセンサ部に表示させることが可能であり、その場で読み込んだ画像を確認することができる。

【0080】

【実施例】

以下に、本発明の実施例について説明する。

【0081】

(実施例1)

本実施例では、図2に示すところのEL素子106の動作を制御している、スイッチング用TF T104及びEL駆動用TF T105の駆動方法について説明する。なおセンサ部の構成は実施の形態で示した構成と同じであるので、図1及び図2を参照する。

【0082】

図5に本実施例のエリアセンサの上面図を示す。120はソース信号線駆動回路、122はゲート信号線駆動回路であり、共にスイッチング用TF T104及びEL駆動用TF T105の駆動を制御している。また121はセンサ用ソース信号線駆動回路、123はセンサ用ゲート信号線駆動回路であり、共にリセット用TF T110、バッファ用TF T111及び選択用TF T112の駆動を制御している。なお本明細書において、ソース信号線駆動回路120、ゲート信号線駆動回路122、センサ用ソース信号線駆動回路121、センサ用ゲート信号線駆動回路123を駆動部と呼ぶ。

【0083】

ソース信号線駆動回路120は、シフトレジスタ120a、ラッチ(A)120b、ラッチ(B)120cを有している。ソース信号線駆動回路120において、シフトレジスタ120aにクロック信号(CLK)およびスタートパルス(SP)が入力される。シフトレジスタ120aは、これらのクロック信号(CLK)およびスタートパルス(SP)に基づきタイミング信号を順に発生させ、後段の回路へタイミング信号を順次供給する。

【0084】

なおシフトレジスタ120aからのタイミング信号を、バッファ等(図示せず)によって

10

20

30

40

50

緩衝増幅し、後段の回路へ緩衝増幅したタイミング信号を順次供給しても良い。タイミング信号が供給される配線には、多くの回路あるいは素子が接続されているために負荷容量（寄生容量）が大きい。この負荷容量が大きいために生ずるタイミング信号の立ち上がりまたは立ち下りの“鈍り”を防ぐために、このバッファが設けられる。

【0085】

シフトレジスタ120aからのタイミング信号は、ラッチ(A)120bに供給される。ラッチ(A)120bは、デジタル信号(digital signals)を処理する複数のステージのラッチを有している。ラッチ(A)120bは、前記タイミング信号が入力されると同時に、デジタル信号を順次書き込み、保持する。

【0086】

なお、ラッチ(A)120bにデジタル信号を取り込む際に、ラッチ(A)120bが有する複数のステージのラッチに、順にデジタル信号を入力しても良い。しかし本発明はこの構成に限定されない。ラッチ(A)120bが有する複数のステージのラッチをいくつかのグループに分け、各グループごとに並行して同時にデジタル信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば4つのステージごとにラッチをグループに分けた場合、4分割で分割駆動すると言う。

【0087】

ラッチ(A)120bの全ステージのラッチへのデジタル信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。すなわち、ラッチ(A)120b中で一番左側のステージのラッチにデジタル信号の書き込みが開始される時点から、一番右側のステージのラッチにデジタル信号の書き込みが終了する時点までの時間間隔がライン期間である。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【0088】

1ライン期間が終了すると、ラッチ(B)120cにラッチシグナル(Latch Signal)が供給される。この瞬間、ラッチ(A)120bに書き込まれ保持されているデジタル信号は、ラッチ(B)120cに一斉に送出され、ラッチ(B)120cの全ステージのラッチに書き込まれ、保持される。

【0089】

デジタル信号をラッチ(B)120cに送出し終えたラッチ(A)120bは、シフトレジスタ120aからのタイミング信号に基づき、再びデジタル信号の書き込みを順次行う。

【0090】

この2順目の1ライン期間中には、ラッチ(B)120cに書き込まれ、保持されているデジタル信号がソース信号線S1～Sxに入力される。

【0091】

一方、ゲート信号線駆動回路122は、それぞれシフトレジスタ、バッファ(いずれも図示せず)を有している。また場合によっては、ゲート信号線駆動回路122が、シフトレジスタ、バッファの他にレベルシフトを有していても良い。

【0092】

ゲート信号線駆動回路122において、シフトレジスタ(図示せず)からのゲート信号がバッファ(図示せず)に供給され、対応するゲート信号線に供給される。ゲート信号線G1～Gyには、それぞれ1ライン分の画素のスイッチング用TF T104のゲート電極が接続されており、1ライン分全ての画素のスイッチング用TF T104を同時にオンの状態にしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

【0093】

なおソース信号線駆動回路とゲート信号線駆動回路の数、構成及びその動作は、本実施例で示した構成に限定されない。本発明のエリアセンサは、公知のソース信号線駆動回路及びゲート信号線駆動回路を用いることが可能である。

10

20

30

40

50

【0094】

次に、センサ部のスイッチング用TFT104及びEL駆動用TFT105を、デジタル方式で駆動させた場合のタイミングチャートを図6に示す。

【0095】

センサ部101の全ての画素が一通り発光するまでの期間を1フレーム期間(F)と呼ぶ。フレーム期間はアドレス期間(Ta)とサステイン期間(Ts)とに分けられる。アドレス期間とは、1フレーム期間中、全ての画素にデジタル信号を入力する期間である。サステイン期間(点灯期間とも呼ぶ)とは、アドレス期間において画素に入力されたデジタル信号によって、EL素子を発光又は非発光の状態にし、表示を行う期間を示している。

【0096】

電源供給線(V1~Vx)の電位は所定の電位(電源電位)に保たれている。

【0097】

まずアドレス期間Taにおいて、EL素子106の対向電極の電位は、電源電位と同じ高さに保たれている。

【0098】

そしてゲート信号線G1に入力されるゲート信号によって、ゲート信号線G1に接続されている全てのスイッチング用TFT104がオンの状態になる。次に、ソース信号線駆動回路120からソース信号線(S1~Sx)にデジタル信号が入力される。ソース信号線(S1~Sx)に入力されたデジタル信号は、オンの状態のスイッチング用TFT104を介してEL駆動用TFT105のゲート電極に入力される。

【0099】

次にゲート信号線G2に入力されるゲート信号によって、ゲート信号線G2に接続されている全てのスイッチング用TFT104がオンの状態になる。次に、ソース信号線駆動回路120からソース信号線(S1~Sx)にデジタル信号が入力される。ソース信号線(S1~Sx)に入力されたデジタル信号は、オンの状態のスイッチング用TFT104を介してEL駆動用TFT105のゲート電極に入力される。

【0100】

上述した動作をゲート信号線Gyまで繰り返し、全ての画素102のEL駆動用TFT105のゲート電極にデジタル信号が入力され、アドレス期間が終了する。

【0101】

アドレス期間Taが終了すると同時にサステイン期間となる。サステイン期間において、全てのスイッチング用TFT104は、オフの状態となる。

【0102】

そしてサステイン期間が開始されると同時に、全てのEL素子の対向電極の電位は、電源電位が画素電極に与えられたときにEL素子が発光する程度に、電源電位との間に電位差を有する高さになる。なお本明細書において、画素電極と対向電極の電位差をEL駆動電圧と呼ぶ。また各画素が有するEL駆動用TFT105のゲート電極に入力されたデジタル信号によってEL駆動用TFT105はオンの状態になっている。よって電源電位がEL素子の画素電極に与えられ、全ての画素が有するEL素子は発光する。

【0103】

サステイン期間が終了すると同時に、1つのフレーム期間が終了する。本発明では、全てのサンプリング期間ST1~STyにおいて画素が発光する必要があり、よって本実施例の駆動方法の場合、サステイン期間内にセンサフレーム期間SFが含まれていることが重要である。

【0104】

なお本実施例では、単色の画像を読み込むエリアセンサの駆動方法について説明したが、カラー画像を読み込む場合も同様である。ただしカラー画像を読み込むエリアセンサの場合、1つのフレーム期間をRGBに対応した3つのサブフレーム期間に分割し、各サブフレーム期間においてアドレス期間とサステイン期間とを設ける。そしてR用のサブフレーム期間のアドレス期間では、Rに対応する画素のEL素子だけ発光するようなデジタル信

10

20

30

40

50

号を全ての画素に入力し、サステイン期間においてRのEL素子だけ発光を行う。G用、B用のサブフレーム期間においても同様に、各サステイン期間において、各色に対応する画素のEL素子のみが発光を行うようにする。

【0105】

そしてカラー画像を読み込むエリアセンサの場合、RGBに対応した3つのサブフレーム期間の各サステイン期間は、R用、G用、B用センサフレーム期間(SFr、SFg、SFb)をそれぞれ含んでいることが重要である。

【0106】

(実施例2)

本実施例では、センサ部101において画像を表示する際の、スイッチング用TF T104及びEL駆動用TF T105の駆動方法について説明する。なおセンサ部の構成は実施の形態で示した構成と同じであるので、図1及び図2を参照する。

【0107】

図7に、本発明のエリアセンサにおいて、デジタル方式でセンサ部101に画像を表示する際のタイミングチャートを示す。

【0108】

まず、1フレーム期間(F)をn個のサブフレーム期間(SF1~SFn)に分割する。階調数が多くなるにつれて1フレーム期間におけるサブフレーム期間の数も増える。なおエリアセンサのセンサ部が画像を表示する場合、1フレーム期間(F)とは、センサ部の全ての画素が1つの画像を表示する期間を指す。

【0109】

本実施例の場合、フレーム期間は1秒間に60以上設けることが好ましい。1秒間に表示される画像の数を60以上にすることで、視覚的にフリッカ等の画像のちらつきを抑えることが可能になる。

【0110】

サブフレーム期間はアドレス期間(Ta)とサステイン期間(Ts)とに分けられる。アドレス期間とは、1サブフレーム期間中、全ての画素にデジタルビデオ信号を入力する期間である。なおデジタルビデオ信号とは、画像情報を有するデジタルの信号である。サステイン期間(点灯期間とも呼ぶ)とは、アドレス期間において画素に入力されたデジタルビデオ信号によって、EL素子を発光又は非発光の状態にし、表示を行う期間を示している。

【0111】

SF1~SFnが有するアドレス期間(Ta)をそれぞれTa1~Tanとする。SF1~SFnが有するサステイン期間(Ts)をそれぞれTs1~Tsnとする。

【0112】

電源供給線(V1~Vx)の電位は所定の電位(電源電位)に保たれている。

【0113】

まずアドレス期間Taにおいて、EL素子106対向電極の電位は、電源電位と同じ高さに保たれている。

【0114】

次にゲート信号線G1に入力されるゲート信号によって、ゲート信号線G1に接続されている全てのスイッチング用TF T104がオンの状態になる。次に、ソース信号線駆動回路102からソース信号線(S1~Sx)にデジタルビデオ信号が入力される。デジタルビデオ信号は「0」または「1」の情報を有しており、「0」と「1」のデジタルビデオ信号は、一方がHi、一方がLoの電圧を有する信号である。

【0115】

そしてソース信号線(S1~Sx)に入力されたデジタルビデオ信号は、オンの状態のスイッチング用TF T104を介して、EL駆動用TF T105のゲート電極に入力される。

【0116】

次にゲート信号線 G 1 に接続されている全てのスイッチング用 T F T 1 0 4 がオフの状態になり、ゲート信号線 G 2 に入力されるゲート信号によって、ゲート信号線 G 2 に接続されている全てのスイッチング用 T F T 1 0 4 がオンの状態になる。次に、ソース信号線駆動回路 1 0 2 からソース信号線 (S 1 ~ S x) にデジタルビデオ信号が入力される。ソース信号線 (S 1 ~ S x) に入力されたデジタルビデオ信号は、オンの状態のスイッチング用 T F T 1 0 4 を介して、E L 駆動用 T F T 1 0 5 のゲート電極に入力される。

【 0 1 1 7 】

上述した動作をゲート信号線 G y まで繰り返し、全ての画素 1 0 2 の E L 駆動用 T F T 1 0 5 のゲート電極にデジタルビデオ信号が入力され、アドレス期間が終了する。

【 0 1 1 8 】

アドレス期間 T a が終了すると同時にサステイン期間 T s となる。サステイン期間において、全てのスイッチング用 T F T 1 0 4 はオフの状態になる。サステイン期間において、全ての E L 素子の対向電極の電位は、電源電位が画素電極に与えられたときに E L 素子が発光する程度に、電源電位との間に電位差を有する高さになる。

【 0 1 1 9 】

本実施例では、デジタルビデオ信号が「 0 」の情報を有していた場合、E L 駆動用 T F T 1 0 5 はオフの状態になる。よって E L 素子の画素電極は対向電極の電位に保たれたままである。その結果、「 0 」の情報を有するデジタルビデオ信号が入力された画素において、E L 素子 1 0 6 は発光しない。

【 0 1 2 0 】

逆にデジタルビデオ信号が「 1 」の情報を有していた場合、E L 駆動用 T F T 1 0 5 はオンの状態になる。よって電源電位が E L 素子 1 0 6 の画素電極に与えられる。その結果、「 1 」の情報を有するデジタルビデオ信号が入力された画素が有する E L 素子 1 0 6 は発光する。

【 0 1 2 1 】

このように、画素に入力されるデジタルビデオ信号の有する情報によって、E L 素子が発光または非発光の状態になり、画素は表示を行う。

【 0 1 2 2 】

サステイン期間が終了すると同時に、1つのサブフレーム期間が終了する。そして次のサブフレーム期間が出現し、再びアドレス期間に入り、全画素にデジタルビデオ信号を入力したら、再びサステイン期間に入る。なお、サブフレーム期間 S F 1 ~ S F n の出現する順序は任意である。

【 0 1 2 3 】

以下、残りのサブフレーム期間においても同様の動作を繰り返し、表示を行う。n 個のサブフレーム期間が全て終了したら、1つの画像が表示され、1フレーム期間が終了する。1フレーム期間が終了すると次のフレーム期間のサブフレーム期間が出現し、上述した動作を繰り返す。

【 0 1 2 4 】

本発明において、n 個のサブフレーム期間がそれぞれ有するアドレス期間 (T a 1 ~ T a n) の長さは全て同じである。また n 個のサステイン期間 T s 1、...、T s n の長さの比は、 $T s 1 : T s 2 : T s 3 : \dots : T s (n - 1) : T s n = 2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ で表される。

【 0 1 2 5 】

各画素の階調は、1フレーム期間においてどのサブフレーム期間を発光させるかによって決まる。例えば、n = 8 のとき、全部のサステイン期間で発光した場合の画素の輝度を 1 0 0 % とすると、T s 1 と T s 2 において画素が発光した場合には 7 5 % の輝度が表現でき、T s 3 と T s 5 と T s 8 を選択した場合には 1 6 % の輝度が表現できる。

【 0 1 2 6 】

なお本実施例は、実施例 1 と自由に組み合わせることが可能である。

【 0 1 2 7 】

(実施例 3)

実施例 1 及び 2 では、アドレス期間において対向電極の電位を電源電位と同じ電位に保っていたため、EL 素子は発光しなかった。しかし本発明はこの構成に限定されない。画素電極に電源電位が与えられたときに EL 素子が発光する程度の電位差を、対向電位と電源電位との間に常に設け、アドレス期間においても表示期間と同様に表示を行うようにしても良い。

【0128】

ただし EL 素子をエリアセンサの光源として用いる実施例 1 と本実施例を組み合わせる場合、単色の画像を読み込むエリアセンサでは、フレーム期間内にセンサフレーム期間 SF が含まれていることが重要である。またカラー画像を読み込むエリアセンサでは、RGB に対応した 3 つのサブフレーム期間が、それぞれ R 用、G 用、B 用のセンサフレーム期間に含まれていることが重要である。

【0129】

またセンサ部に画像を表示する実施例 2 と本実施例を組み合わせる場合、サブフレーム期間全体が実際に表示を行う期間となるので、サブフレーム期間の長さを、 $SF1 : SF2 : SF3 : \dots : SF(n-1) : SFn = 2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ となるように設定する。上記構成により、アドレス期間を発光させない駆動方法に比べて、高い輝度の画像が得られる。

【0130】

(実施例 4)

本実施例では、図 2 に示すところの EL 素子 106 の動作を制御している、スイッチング用 TFT 104 及び EL 駆動用 TFT 105 の駆動方法の、実施例 1 とは異なる例について説明する。なおセンサ部の構成は実施の形態で示した構成と同じであるので、図 1 及び図 2 を参照する。

【0131】

図 8 に本実施例のエリアセンサの上面図を示す。130 はソース信号線駆動回路、132 はゲート信号線駆動回路であり、共にスイッチング用 TFT 104 及び EL 駆動用 TFT 105 の駆動を制御している。また 131 はセンサ用ソース信号線駆動回路、133 はセンサ用ゲート信号線駆動回路であり、共にリセット用 TFT 110、バッファ用 TFT 111 及び選択用 TFT 112 の駆動を制御している。本実施例ではソース信号線駆動回路とゲート信号線駆動回路とを 1 つずつ設けたが、本発明はこの構成に限定されない。ソース信号線駆動回路を 2 つ設けても良い。また、ゲート信号線駆動回路を 2 つ設けても良い。

【0132】

なお本明細書において、ソース信号線駆動回路 130、ゲート信号線駆動回路 132、センサ用ソース信号線駆動回路 131、センサ用ゲート信号線駆動回路 133 を駆動部と呼ぶ。

【0133】

ソース信号線駆動回路 130 は、シフトレジスタ 130a、レベルシフト 130b、サンプリング回路 130c を有している。なおレベルシフトは必要に応じて用いればよく、必ずしも用いなくとも良い。また本実施例においてレベルシフトはシフトレジスタ 130a とサンプリング回路 130c との間に設ける構成としたが、本発明はこの構成に限定されない。またシフトレジスタ 130a の中にレベルシフト 130b が組み込まれている構成にしても良い。

【0134】

クロック信号 (CLK)、スタートパルス信号 (SP) がシフトレジスタ 130a に入力される。シフトレジスタ 130a からアナログの信号 (アナログ信号) をサンプリングするためのサンプリング信号が出力される。出力されたサンプリング信号はレベルシフト 130b に入力され、その電位の振幅が大きくなって出力される。

【0135】

レベルシフト 130b から出力されたサンプリング信号は、サンプリング回路 130c に入力される。そしてサンプリング回路 130c に入力されるアナログ信号がサンプリング信号によってそれぞれサンプリングされ、ソース信号線 S1 ~ Sx に入力される。

【0136】

一方、ゲート信号線駆動回路 132 は、それぞれシフトレジスタ、バッファ（いずれも図示せず）を有している。また場合によっては、ゲート信号線駆動回路 132 が、シフトレジスタ、バッファの他にレベルシフトを有していても良い。

【0137】

ゲート信号線駆動回路 132 において、シフトレジスタ（図示せず）からのゲート信号がバッファ（図示せず）に供給され、対応するゲート信号線に供給される。ゲート信号線 G1 ~ Gy には、それぞれ 1 ライン分の画素のスイッチング用 TFT104 のゲート電極が接続されており、1 ライン分全ての画素のスイッチング用 TFT104 を同時にオンの状態にしなければならないので、バッファは大きな電流を流すことが可能なものが用いられる。

10

【0138】

なおソース信号線駆動回路とゲート信号線駆動回路の数、構成及びその動作は、本実施例で示した構成に限定されない。本発明のエリアセンサは、公知のソース信号線駆動回路及びゲート信号線駆動回路を用いることが可能である。

【0139】

次に、センサ部のスイッチング用 TFT104 及び EL 駆動用 TFT105 を、アナログ方式で駆動させた場合のタイミングチャートを図 9 に示す。センサ部 101 の全ての画素が一通り発光するまでの期間を 1 フレーム期間 F と呼ぶ。1 ライン期間 L は、1 つのゲート信号線が選択されてから、その次に別のゲート信号線が選択されるまでの期間を意味する。図 2 に示したエリアセンサの場合、ゲート信号線は y 本あるので、1 フレーム期間中に y 個のライン期間 L1 ~ Ly が設けられている。

20

【0140】

解像度が高くなるにつれて 1 フレーム期間中のライン期間の数も増え、駆動回路を高い周波数で駆動しなければならない。

【0141】

まず電源電圧線 V1 ~ Vx は一定の電源電位に保たれている。そして EL 素子 106 の対向電極の電位である対向電位も一定の電位に保たれている。電源電位は、電源電位が EL 素子 106 の画素電極に与えられると EL 素子 106 が発光する程度に、対向電位との間に電位差を有している。

30

【0142】

第 1 のライン期間 L1 において、ゲート信号線駆動回路 132 からゲート信号線 G1 に入力されるゲート信号によって、ゲート信号線 G1 に接続された全てのスイッチング用 TFT104 はオンの状態になる。そして、ソース信号線 S1 ~ Sx に順にソース信号線駆動回路 130 からアナログ信号が入力される。ソース信号線 S1 ~ Sx に入力されたアナログ信号は、スイッチング用 TFT104 を介して EL 駆動用 TFT105 のゲート電極に入力される。

40

【0143】

EL 駆動用 TFT105 のチャネル形成領域を流れる電流の大きさは、そのゲート電極に入力される信号の電位の高さ（電圧）によって制御される。よって、EL 素子 106 の画素電極に与えられる電位は、EL 駆動用 TFT105 のゲート電極に入力されたアナログ信号の電位の高さによって決まる。そして EL 素子 105 はアナログ信号の電位に制御されて発光を行う。なお本実施例の場合、全ての画素に入力されるアナログ信号は、同じ高さの電位に保たれている。

【0144】

ソース信号線 S1 ~ Sx へのアナログ信号の入力が終了すると、第 1 のライン期間 L1 が終了する。なお、ソース信号線 S1 ~ Sx へのアナログ信号の入力が終了するまでの期間

50

と水平帰線期間とを合わせて1つのライン期間としても良い。そして次に第2のライン期間L2となり、ゲート信号線G1に接続された全てのスイッチング用TF T104はオフの状態になり、ゲート信号線G2に入力されるゲート信号によって、ゲート信号線G2に接続された全てのスイッチング用TF T104はオンの状態になる。そして第1のライン期間L1と同様に、ソース信号線S1~Sxに順にアナログ信号が入力される。

【0145】

そして上述した動作をゲート信号線Gyまで繰り返し、全てのライン期間L1~Lyが終了する。全てのライン期間L1~Lyが終了すると、1フレーム期間が終了する。1フレーム期間が終了することで、全ての画素が有するEL素子は発光を行う。なお全てのライン期間L1~Lyと垂直帰線期間とを合わせて1フレーム期間としても良い。

10

【0146】

本発明では、全てのサンプリング期間ST1~STyにおいて画素が発光する必要があり、よって本実施例の駆動方法の場合、フレーム期間内にセンサフレーム期間SFが含まれていることが重要である。

【0147】

なお本実施例では、単色の画像を読み込むエリアセンサの駆動方法について説明したが、カラー画像を読み込む場合も同様である。ただしカラー画像を読み込むエリアセンサの場合、1つのフレーム期間をRGBに対応した3つのサブフレーム期間に分割する。そしてR用のサブフレーム期間では、Rに対応する画素のEL素子だけ発光するようなアナログ信号を全ての画素に入力し、RのEL素子だけ発光を行う。G用、B用のサブフレーム期間においても同様に、各色に対応する画素のEL素子のみが発光を行うようにする。

20

【0148】

そしてカラー画像を読み込むエリアセンサの場合、RGBに対応した3つのサブフレーム期間の各サステイン期間は、R用、G用、B用センサフレーム期間(SFr、SFg、SFb)を含んでいることが重要である。

【0149】

なお本実施例の駆動方法において、センサ部101に画像を表示させる場合は、アナログ信号の代わりに画像情報を有するアナログのビデオ信号(アナログビデオ信号)を入力すると、センサ部101に画像を表示することが可能である。

【0150】

30

(実施例5)

本実施例では、本発明のエリアセンサのセンサ部における断面図について説明する。

【0151】

図10に本実施例のエリアセンサの断面図を示す。401はスイッチング用TF T、402はEL駆動用TF T、403はリセット用TF T、404はパッファ用TF T、405は選択用TF Tである。

【0152】

また、406はカソード電極、407は光電変換層、408はアノード電極である。カソード電極406と、光電変換層407と、アノード電極408とによって、フォトダイオード421が形成される。414はセンサ用配線であり、アノード電極408と外部の電源とを接続している。

40

【0153】

また409は画素電極(陰極)、410は発光層、411は正孔注入層、412は対向電極(陽極)である。画素電極(陰極)409と、発光層410と、正孔注入層411と、対向電極(陽極)412とでEL素子422が形成される。なお413はバンクであり、隣り合う画素同士の発光層410を区切っている。

【0154】

423は被写体であり、EL素子422から発せられた光が被写体423上で反射し、フォトダイオード421に照射される。本実施例では、被写体423をセンサ基板430のTF Tが形成されている側に設ける。

50

【 0 1 5 5 】

本実施例において、スイッチング用 T F T 4 0 1、E L 駆動用 T F T 4 0 2、バッファ用 T F T 4 0 4、選択用 T F T 4 0 5 は全て n チャネル型 T F T である。またリセット用 T F T 4 0 3 は p チャネル型 T F T である。なお本発明はこの構成に限定されない。よってスイッチング用 T F T 4 0 1、E L 駆動用 T F T 4 0 2、バッファ用 T F T 4 0 4、選択用 T F T 4 0 5、リセット用 T F T 4 0 3 は、n チャネル型 T F T と p チャネル型 T F T のどちらでも良い。

【 0 1 5 6 】

ただし本実施例のように、E L 駆動用 T F T 4 0 2 のソース領域またはドレイン領域が E L 素子の陰極と電氣的に接続されている場合、E L 駆動用 T F T 4 0 2 は n チャネル型 T F T であることが望ましい。また逆に、E L 駆動用 T F T 4 0 2 のソース領域またはドレイン領域が E L 素子の陽極と電氣的に接続されている場合、E L 駆動用 T F T 4 0 2 は p チャネル型 T F T であることが望ましい。

10

【 0 1 5 7 】

また、本実施例のように、リセット用 T F T 4 0 3 のドレイン領域がフォトダイオード 4 2 1 のカソード電極 4 0 6 と電氣的に接続されている場合、リセット用 T F T 4 0 3 は p チャネル型 T F T、バッファ用 T F T 4 0 4 は n チャネル型 T F T であることが望ましい。逆にリセット用 T F T 4 0 3 のドレイン領域がフォトダイオード 4 2 1 のアノード電極 4 0 8 と電氣的に接続され、センサ用配線 4 1 4 がカソード電極 4 0 6 と接続されている場合、リセット用 T F T 4 0 3 は n チャネル型 T F T、バッファ用 T F T 4 0 4 は p チャネル型 T F T であることが望ましい。

20

【 0 1 5 8 】

なお本実施例は、実施例 1 ~ 実施例 4 と自由に組み合わせることが可能である。

【 0 1 5 9 】

(実施例 6)

本実施例では、本発明のエリアセンサのセンサ部における断面図の、実施例 5 とは異なる例について説明する。

【 0 1 6 0 】

図 1 1 に本実施例のエリアセンサの断面図を示す。5 0 1 はスイッチング用 T F T、5 0 2 は E L 駆動用 T F T、5 0 3 はリセット用 T F T、5 0 4 はバッファ用 T F T、5 0 5 は選択用 T F T である。

30

【 0 1 6 1 】

また、5 0 6 はカソード電極、5 0 7 は光電変換層、5 0 8 はアノード電極である。カソード電極 5 0 6 と、光電変換層 5 0 7 と、アノード電極 5 0 8 とによって、フォトダイオード 5 2 1 が形成される。5 1 4 はセンサ用配線であり、アノード電極 5 0 8 と外部の電源とを電氣的に接続している。また、フォトダイオード 5 2 1 のカソード電極 5 0 6 とリセット用 T F T 5 0 3 のドレイン領域とは電氣的に接続されている。

【 0 1 6 2 】

また 5 0 9 は画素電極 (陽極)、5 1 0 は E L 層、5 1 1 は対向電極 (陰極) である。画素電極 (陽極) 5 0 9 と、E L 層 5 1 0 と、対向電極 (陰極) 5 1 1 とで E L 素子 5 2 2 が形成される。なお 5 1 2 はバンクであり、隣り合う画素同士の E L 層 5 1 0 を区切っている。

40

【 0 1 6 3 】

5 2 3 は被写体であり、E L 素子 5 2 2 から発せられた光が被写体 5 2 3 上で反射し、フォトダイオード 5 2 1 に照射される。本実施例では、実施例 5 と異なり、被写体をセンサ基板 5 3 0 の T F T が形成されていない側に設ける。

【 0 1 6 4 】

本実施例において、スイッチング用 T F T 5 0 1、バッファ用 T F T 5 0 4、選択用 T F T 5 0 5 は全て n チャネル型 T F T である。また E L 駆動用 T F T 5 0 2、リセット用 T F T 5 0 3 は p チャネル型 T F T である。なお本発明はこの構成に限定されない。よって

50

スイッチング用ＴＦＴ５０１、ＥＬ駆動用ＴＦＴ５０２、バッファ用ＴＦＴ５０４、選択用ＴＦＴ５０５、リセット用ＴＦＴ５０３は、ｎチャネル型ＴＦＴとｐチャネル型ＴＦＴのどちらでも良い。

【０１６５】

ただし本実施例のように、ＥＬ駆動用ＴＦＴ５０２のソース領域またはドレイン領域がＥＬ素子５２２の陽極５０９と電氣的に接続されている場合、ＥＬ駆動用ＴＦＴ５０２はｐチャネル型ＴＦＴであることが望ましい。また逆に、ＥＬ駆動用ＴＦＴ５０２のソース領域またはドレイン領域がＥＬ素子５２２の陰極と電氣的に接続されている場合、ＥＬ駆動用ＴＦＴ５０２はｎチャネル型ＴＦＴであることが望ましい。

【０１６６】

また、本実施例のように、リセット用ＴＦＴ５０３のドレイン領域がフォトダイオード５２１のカソード電極５０６と電氣的に接続されている場合、リセット用ＴＦＴ５０３はｐチャネル型ＴＦＴ、バッファ用ＴＦＴ５０４はｎチャネル型ＴＦＴであることが望ましい。逆にリセット用ＴＦＴ５０３のドレイン領域がフォトダイオード５２１のアノード電極５０８と電氣的に接続され、センサ用配線５１４がカソード電極５０６と電氣的に接続されている場合、リセット用ＴＦＴ５０３はｎチャネル型ＴＦＴ、バッファ用ＴＦＴ５０４はｐチャネル型ＴＦＴであることが望ましい。

【０１６７】

なお本実施例のフォトダイオードは他のＴＦＴと同時に形成することができるので、工程数を抑えることができる。

【０１６８】

なお本実施例は、実施例１～実施例４と自由に組み合わせることが可能である。

【０１６９】

（実施例７）

本実施例では、本発明のエリアセンサのセンサ部における断面図の、実施例５、６とは異なる例について説明する。

【０１７０】

図１２に本実施例のエリアセンサの断面図を示す。６０１はスイッチング用ＴＦＴ、６０２はＥＬ駆動用ＴＦＴ、６０３はリセット用ＴＦＴ、６０４はバッファ用ＴＦＴ、６０５は選択用ＴＦＴである。

【０１７１】

また、６０６はカソード電極、６０７は光電変換層、６０８はアノード電極である。カソード電極６０６と、光電変換層６０７と、アノード電極６０８とによって、フォトダイオード６２１が形成される。６１４はセンサ用配線であり、アノード電極６０８と外部の電源とを接続している。また、フォトダイオード６２１のカソード電極６０６とリセット用ＴＦＴ６０３のドレイン領域とは電氣的に接続されている

【０１７２】

また６０９は画素電極（陽極）、６１０はＥＬ層、６１１は対向電極（陰極）である。画素電極（陽極）６０９と、ＥＬ層６１０と、対向電極（陰極）６１１とでＥＬ素子６２２が形成される。なお６１２はバンクであり、隣り合う画素同士のＥＬ層６１０を区切っている。

【０１７３】

６２３は被写体であり、ＥＬ素子６２２から発せられた光が被写体６２３上で反射し、フォトダイオード６２１に照射される。本実施例では、実施例５と異なり、被写体５２３をセンサ基板６３０のＴＦＴが形成されていない側に設ける。

【０１７４】

本実施例において、スイッチング用ＴＦＴ６０１、バッファ用ＴＦＴ６０４、選択用ＴＦＴ６０５は全てｎチャネル型ＴＦＴである。またＥＬ駆動用ＴＦＴ６０２、リセット用ＴＦＴ６０３はｐチャネル型ＴＦＴである。なお本発明はこの構成に限定されない。よってスイッチング用ＴＦＴ６０１、ＥＬ駆動用ＴＦＴ６０２、バッファ用ＴＦＴ６０４、選択

10

20

30

40

50

用 T F T 6 0 5、リセット用 T F T 6 0 3 は、n チャネル型 T F T と p チャネル型 T F T のどちらでも良い。

【 0 1 7 5 】

ただし本実施例のように、E L 駆動用 T F T 6 0 2 のソース領域またはドレイン領域が E L 素子の陽極と電氣的に接続されている場合、E L 駆動用 T F T 6 0 2 は p チャネル型 T F T であることが望ましい。また逆に、E L 駆動用 T F T 6 0 2 のソース領域またはドレイン領域が E L 素子の陰極と電氣的に接続されている場合、E L 駆動用 T F T 6 0 2 は n チャネル型 T F T であることが望ましい。

【 0 1 7 6 】

また、本実施例のように、リセット用 T F T 6 0 3 のドレイン領域がフォトダイオード 6 2 1 のカソード電極 6 0 6 と電氣的に接続されている場合、リセット用 T F T 6 0 3 は p チャネル型 T F T、バッファ用 T F T 6 0 4 は n チャネル型 T F T であることが望ましい。逆にリセット用 T F T 6 0 3 のドレイン領域がフォトダイオード 6 2 1 のアノード電極 6 0 8 と電氣的に接続されていて、センサ用配線 6 1 4 がカソード電極 6 0 6 と接続されている場合、リセット用 T F T 6 0 3 は n チャネル型 T F T、バッファ用 T F T 6 0 4 は p チャネル型 T F T であることが望ましい。

【 0 1 7 7 】

なお本実施例は、実施例 1 ~ 実施例 4 と自由に組み合わせることが可能である。

【 0 1 7 8 】

(実施例 8)

本実施例では、本発明のエリアセンサのセンサ部における断面図の、実施例 5 ~ 7 とは異なる例について説明する。

【 0 1 7 9 】

図 1 3 に本実施例のエリアセンサの断面図を示す。7 0 1 はスイッチング用 T F T、7 0 2 は E L 駆動用 T F T、7 0 3 はリセット用 T F T、7 0 4 はバッファ用 T F T、7 0 5 は選択用 T F T である。

【 0 1 8 0 】

また、7 0 6 はカソード電極、7 0 7 は光電変換層、7 0 8 はアノード電極である。カソード電極 7 0 6 と、光電変換層 7 0 7 と、アノード電極 7 0 8 とによって、フォトダイオード 7 2 1 が形成される。7 1 4 はセンサ用配線であり、カソード電極 7 0 6 と外部の電源とを接続している。また、フォトダイオード 7 2 1 のアノード電極 7 0 8 とリセット用 T F T 7 0 3 のドレイン領域とは電氣的に接続されている

【 0 1 8 1 】

また 7 0 9 は画素電極 (陰極)、7 1 0 は発光層、7 1 1 は正孔注入層、7 1 2 は対向電極 (陽極) である。画素電極 (陰極) 7 0 9 と、発光層 7 1 0 と、正孔注入層 7 1 1 と、対向電極 (陽極) 7 1 2 とで E L 素子 7 2 2 が形成される。なお 7 1 3 はバンクであり、隣り合う画素同士の発光層 7 1 0 を区切っている。

【 0 1 8 2 】

7 2 3 は被写体であり、E L 素子 7 2 2 から発せられた光が被写体 7 2 3 上で反射し、フォトダイオード 7 2 1 に照射される。本実施例では、被写体 7 2 3 をセンサ基板 7 3 0 の T F T が形成されている側に設ける。

【 0 1 8 3 】

本実施例において、スイッチング用 T F T 7 0 1、E L 駆動用 T F T 7 0 2、リセット用 T F T 7 0 3 は全て n チャネル型 T F T である。またバッファ用 T F T 7 0 4、選択用 T F T 7 0 5 は p チャネル型 T F T である。なお本発明はこの構成に限定されない。よってスイッチング用 T F T 7 0 1、E L 駆動用 T F T 7 0 2、バッファ用 T F T 7 0 4、選択用 T F T 7 0 5、リセット用 T F T 7 0 3 は、n チャネル型 T F T と p チャネル型 T F T のどちらでも良い。

【 0 1 8 4 】

ただし本実施例のように、E L 駆動用 T F T 7 0 2 のソース領域またはドレイン領域が E

10

20

30

40

50

Ｌ素子７２２の陰極７０９と電氣的に接続されている場合、ＥＬ駆動用ＴＦＴ７０２はｎチャネル型ＴＦＴであることが望ましい。また逆に、ＥＬ駆動用ＴＦＴ７０２のソース領域またはドレイン領域がＥＬ素子７２２の陽極７１２と電氣的に接続されている場合、ＥＬ駆動用ＴＦＴ７０２はｐチャネル型ＴＦＴであることが望ましい。

【０１８５】

また、本実施例のように、リセット用ＴＦＴ７０３のドレイン領域がフォトダイオード７２１のアノード電極７０８と電氣的に接続されている場合、リセット用ＴＦＴ７０３はｎチャネル型ＴＦＴ、バッファ用ＴＦＴ７０４はｐチャネル型ＴＦＴであることが望ましい。逆にリセット用ＴＦＴ７０３のドレイン領域がフォトダイオード７２１のカソード電極７０６と接続され、センサ用配線７１４がアノード電極７０８と接続されている場合、リセット用ＴＦＴ７０３はｐチャネル型ＴＦＴ、バッファ用ＴＦＴ７０４はｎチャネル型ＴＦＴであることが望ましい。

10

【０１８６】

なお本実施例のフォトダイオード７２１は他のＴＦＴと同時に形成することができるので、工程数を抑えることができる。

【０１８７】

なお本実施例は、実施例１～実施例４と自由に組み合わせることが可能である。

【０１８８】

（実施例９）

本発明のエリアセンサのセンサ部の作製方法について、図１４～図１６を用いて説明する。

20

【０１８９】

まず、図１４（Ａ）に示すように、ガラス基板２００上に下地膜２０１を３００ｎｍの厚さに形成する。本実施例では下地膜２０１として窒化酸化珪素膜を積層して用いる。この時、ガラス基板２００に接する方の窒素濃度を１０～２５ｗｔ％としておくことが良い。また、下地膜２０１に放熱効果を持たせることは有効であり、ＤＬＣ（ダイヤモンドライクカーボン）膜を設けても良い。

【０１９０】

次に下地膜２０１の上に５０ｎｍの厚さの非晶質珪素膜（図示せず）を公知の成膜法で形成する。なお、非晶質珪素膜に限定する必要はなく、非晶質構造を含む半導体膜（微結晶半導体膜を含む）であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。また、膜厚は２０～１００ｎｍの厚さであれば良い。

30

【０１９１】

そして、公知の技術により非晶質珪素膜を結晶化し、結晶質珪素膜（多結晶シリコン膜若しくはポリシリコン膜ともいう）２０２を形成する。公知の結晶化方法としては、電熱炉を使用した熱結晶化方法、レーザー光を用いたレーザーアニール結晶化法、赤外光を用いたランプアニール結晶化法がある。本実施例では、ＸｅＣｌガスをを用いたエキシマレーザー光を用いて結晶化する。

【０１９２】

なお、本実施例では線状に加工したパルス発振型のエキシマレーザー光を用いるが、矩形であっても良いし、連続発振型のアルゴンレーザー光や連続発振型のエキシマレーザー光を用いることもできる。

40

【０１９３】

また、本実施例では結晶質珪素膜をＴＦＴの活性層として用いるが、非晶質珪素膜を用いることも可能である。

【０１９４】

なお、オフ電流を低減する必要があるスイッチング用ＴＦＴの活性層を非晶質珪素膜で形成し、ＥＬ駆動用ＴＦＴの活性層を結晶質珪素膜で形成することは有効である。非晶質珪素膜はキャリア移動度が低いため電流を流しにくくオフ電流が流れにくい。即ち、電流を流しにくい非晶質珪素膜と電流を流しやすい結晶質珪素膜の両者の利点を生かすことがで

50

きる。

【0195】

次に、図14(B)に示すように、結晶質珪素膜202上に酸化珪素膜でなる保護膜203を130nmの厚さに形成する。この厚さは100~200nm(好ましくは130~170nm)の範囲で選べば良い。また、珪素を含む絶縁膜であれば他の膜でも良い。この保護膜203は不純物を添加する際に結晶質珪素膜が直接プラズマに曝されないようにするためと、微妙な濃度制御を可能にするために設ける。

【0196】

そして、その上にレジストマスク204a、204b、204cを形成し、保護膜203を介してn型を付与する不純物元素(以下、n型不純物元素という)を添加する。なお、n型不純物元素としては、代表的には周期表の15族に属する元素、典型的にはリン又は砒素を用いることができる。なお、本実施例ではフォスフィン(PH_3)を質量分離しないでプラズマ励起したプラズマドーピング法を用い、リンを $1 \times 10^{18} \text{atoms/cm}^3$ の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

【0197】

この工程により形成されるn型不純物領域(b)205a、205bには、n型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{19} \text{atoms/cm}^3$ (代表的には $5 \times 10^{17} \sim 5 \times 10^{18} \text{atoms/cm}^3$)の濃度で含まれるようにドーズ量を調節する。

【0198】

次に、図14(C)に示すように、保護膜203、レジストマスク204a、204b、204cを除去し、添加したn型不純物元素の活性化を行う。活性化手段は公知の技術を用いれば良いが、本実施例ではエキシマレーザー光の照射(レーザーアニール)により活性化する。勿論、パルス発振型でも連続発振型でも良いし、エキシマレーザー光に限定する必要はない。但し、添加された不純物元素の活性化が目的であるので、結晶質珪素膜が溶融しない程度のエネルギーで照射することが好ましい。なお、保護膜203をつけたままレーザー光を照射しても良い。

【0199】

なお、このレーザー光による不純物元素の活性化に際して、熱処理(ファーンেসアニール)による活性化を併用しても構わない。熱処理による活性化を行う場合は、基板の耐熱性を考慮して450~550程度の熱処理を行えば良い。

【0200】

この工程によりn型不純物領域(b)205a、205bの端部、即ち、n型不純物領域(b)205a、205bの周囲に存在するn型不純物元素を添加していない領域との境界部(接合部)が明確になる。このことは、後にTFTが完成した時点において、LDD領域とチャネル形成領域とが非常に良好な接合部を形成しうることを意味する。

【0201】

次に、図14(D)に示すように、結晶質珪素膜の不要な部分を除去して、島状の半導体膜(以下、活性層という)206~210を形成する。

【0202】

次に、図15(A)に示すように、活性層206~210を覆ってゲート絶縁膜211を形成する。ゲート絶縁膜211としては、10~200nm、好ましくは50~150nmの厚さの珪素を含む絶縁膜を用いれば良い。これは単層構造でも積層構造でも良い。本実施例では110nm厚の窒化酸化珪素膜を用いる。

【0203】

次に、200~400nm厚の導電膜を形成し、パターニングしてゲート電極212~216を形成する。なお本実施例では、ゲート電極とゲート電極に電氣的に接続された引き回しのための配線(以下、ゲート配線という)とを同一材料で形成している。勿論、ゲート電極と、ゲート配線とを別の材料で形成しても良い。具体的にはゲート電極よりも低抵抗な材料をゲート配線として用いても良い。これは、ゲート電極としては微細加工が可能な材料を用い、ゲート配線には微細加工はできなくとも配線抵抗が小さい材料を用いた

10

20

30

40

50

めである。このような構造とすることでゲート配線の配線抵抗を非常に小さくすることができるため、面積の大きいセンサ部を形成することができる。即ち、画面の大きさが対角10インチ以上（さらには30インチ以上）のセンサ部を有するエリアセンサを実現する上で、上記の画素構造は極めて有効である。

【0204】

また、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極212～216の材料としては公知のあらゆる導電膜を用いることができる。

【0205】

代表的には、アルミニウム（Al）、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）、クロム（Cr）、シリコン（Si）から選ばれた元素でなる膜、または前記元素の窒化物膜（代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜）、または前記元素を組み合わせた合金膜（代表的にはMo-W合金、Mo-Ta合金）、または前記元素のシリサイド膜（代表的にはタングステンシリサイド膜、チタンシリサイド膜）を用いることができる。勿論、単層で用いても積層して用いても良い。

10

【0206】

本実施例では、30nm厚の窒化タングステン（WN）膜と、370nm厚のタングステン（W）膜とでなる積層膜を用いる。これはスパッタ法で形成すれば良い。また、スパッタガスとしてXe、Ne等の不活性ガスを添加すると応力による膜はがれを防止することができる。

20

【0207】

またこの時、ゲート電極213、216はそれぞれn型不純物領域（b）205a、205bの一部とゲート絶縁膜211を介して重なるように形成する。この重なった部分が後にゲート電極と重なったLDD領域となる。

【0208】

次に、図15（B）に示すように、ゲート電極212～216をマスクとして自己整合的にn型不純物元素（本実施例ではリン）を添加する。こうして形成されるn型不純物領域（c）217～224にはn型不純物領域（b）205a、205bの1/2～1/10（代表的には1/3～1/4）の濃度でリンが添加されるように調節する。具体的には、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ （典型的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{ atoms/cm}^3$ ）の濃度が好ましい。

30

【0209】

次に、図15（C）に示すように、ゲート電極212、214、215を覆う形でレジストマスク225a～225cを形成し、n型不純物元素（本実施例ではリン）を添加して高濃度にリンを含むn型不純物領域（a）226～233を形成する。ここでもフォスフィン（ PH_3 ）を用いたイオンドープ法で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ （代表的には $2 \times 10^{20} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ ）となるように調節する。

【0210】

この工程によってnチャネル型TFETのソース領域若しくはドレイン領域が形成される。そしてnチャネル型TFETでは、図15（B）の工程で形成したn型不純物領域217、218、222、223の一部を残す。この残された領域がLDD領域となる。

40

【0211】

次に、図15（D）に示すように、レジストマスク225a～225cを除去し、新たにレジストマスク234a、234bを形成する。そして、p型不純物元素（本実施例ではボロン）を添加し、高濃度にボロンを含むp型不純物領域235、236を形成する。ここではジボラン（ B_2H_6 ）を用いたイオンドープ法により $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ （代表的には $5 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ ）濃度となるようにボロンを添加する。

50

【0212】

なお、不純物領域235、236には既に $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも3倍以上の濃度で添加される。そのため、予め形成されていたn型の不純物領域は完全にp型に反転し、p型の不純物領域として機能する。

【0213】

次に、レジストマスク234a、234bを除去した後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化する。活性化手段としては、ファーネスアニール法、レーザーアニール法、またはランプアニール法で行うことができる。本実施例では電熱炉において窒素雰囲気中、550℃、4時間の熱処理を行う。

10

【0214】

このとき雰囲気中の酸素を極力排除することが重要である。なぜならば酸素が少しでも存在していると露呈したゲート電極の表面が酸化され、抵抗の増加を招くからである。従って、上記活性化工程における処理雰囲気中の酸素濃度は1ppm以下、好ましくは0.1ppm以下とすることが望ましい。

【0215】

次に、図16(A)に示すように、第1層間絶縁膜237を形成する。第1層間絶縁膜237としては、珪素を含む絶縁膜を単層で用いるか、その中で組み合わせた積層膜を用いれば良い。また、膜厚は400nm～1.5μmとすれば良い。本実施例では、200nm厚の窒化酸化珪素膜の上に800nm厚の酸化珪素膜を積層した構造とする。

20

【0216】

さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い水素化処理を行う。この工程は熱的に励起された水素により半導体膜の不對結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0217】

なお、水素化処理は第1層間絶縁膜237を形成する間に入れても良い。即ち、200nm厚の窒化酸化珪素膜を形成した後で上記のように水素化処理を行い、その後で残り800nm厚の酸化珪素膜を形成しても構わない。

【0218】

次に、ゲート絶縁膜211及び第1層間絶縁膜237に対してコンタクトホールを形成し、ソース配線238～242と、ドレイン配線243～247を形成する。なお、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜を300nm、Ti膜150nmをスパッタ法で連続形成した3層構造の積層膜とする。勿論、他の導電膜でも良い。

30

【0219】

次に、50～500nm（代表的には200～300nm）の厚さで第1パッシベーション膜248を形成する。本実施例では第1パッシベーション膜248として300nm厚の窒化酸化珪素膜を用いる。これは窒化珪素膜で代用しても良い。なお、窒化酸化珪素膜の形成に先立ってH₂、NH₃等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が第1層間絶縁膜237に供給され、熱処理を行うことで、第1パッシベーション膜248の膜質が改善される。それと同時に、第1層間絶縁膜237に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

40

【0220】

次に、図16(B)に示すように有機樹脂からなる第2層間絶縁膜249を形成する。有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を使用することができる。特に、第2層間絶縁膜249は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFEによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1～5μm（さらに好ましくは2

50

～ 4 μm) とすれば良い。

【 0 2 2 1 】

次に、第 2 層間絶縁膜 2 4 9 及び第 1 パッシベーション膜 2 4 8 にドレイン配線 2 4 5 に達するコンタクトホールを形成し、ドレイン配線 2 4 5 に接するようにフォトダイオードのカソード電極 2 5 0 を形成する。本実施例では、カソード電極 2 5 0 としてスパッタ法によって形成したアルミニウム膜を用いたが、その他の金属、例えばチタン、タンタル、タングステン、銅を用いることができる。また、チタン、アルミニウム、チタンでなる積層膜を用いてもよい。

【 0 2 2 2 】

次に、水素を含有する非晶質珪素膜を基板全面に成膜した後にパターニングし、光電変換層 2 5 1 を形成する。次に、基板全面に透明導電膜を形成する。本実施例では透明導電膜として厚さ 2 0 0 nm の I T O をスパッタ法で成膜する。透明導電膜をパターニングし、アノード電極 2 5 2 を形成する。(図 1 6 (C))

【 0 2 2 3 】

次に、図 1 7 (A) に示すように第 3 層間絶縁膜 2 5 3 を形成する。第 3 層間絶縁膜 2 5 3 として、ポリイミド、ポリアミド、ポリイミドアミド、アクリル等の樹脂を用いることで、平坦な表面を得ることができる。本実施例では、第 3 層間絶縁膜 2 5 3 として厚さ 0 . 7 μm のポリイミド膜を基板全面に形成した。

【 0 2 2 4 】

次に、第 3 層間絶縁膜 2 5 3 、第 2 層間絶縁膜 2 4 9 及び第 1 パッシベーション膜 2 4 8 にドレイン配線 2 4 7 に達するコンタクトホールを形成し、画素電極 2 5 5 を形成する。また第 3 層間絶縁膜 2 5 3 に、アノード電極 2 5 2 に達するコンタクトホールを形成し、センサ用配線 2 5 4 を形成する。本実施例ではアルミニウム合金膜 (1 $\text{wt}\%$ のチタンを含有したアルミニウム膜) を 3 0 0 nm の厚さに形成し、パターニングを行ってセンサ用配線 2 5 4 及び画素電極 2 5 5 を同時に形成する。

【 0 2 2 5 】

次に、図 1 7 (B) に示すように、樹脂材料でなるバンク 2 5 6 を形成する。バンク 2 5 6 は 1 ～ 2 μm 厚のアクリル膜またはポリイミド膜をパターニングして形成すれば良い。バンク 2 5 6 はソース配線 2 4 1 上に沿って形成しても良いし、ゲート配線 (図示せず) 上に沿って形成しても良い。なおバンク 2 5 6 を形成している樹脂材料に顔料等を混ぜ、バンク 2 5 6 を遮蔽膜として用いても良い。

【 0 2 2 6 】

次に、発光層 2 5 7 を形成する。具体的には、発光層 2 5 7 となる有機 E L 材料をクロロフォルム、ジクロロメタン、キシレン、トルエン、テトラヒドロフラン等の溶媒に溶かして塗布し、その後、熱処理を行うことにより溶媒を揮発させる。こうして有機 E L 材料でなる被膜 (発光層) が形成される。

【 0 2 2 7 】

なお、本実施例では一画素しか図示されていないが、このとき同時に赤色に発光する発光層、緑色に発光する発光層及び青色に発光する発光層が形成される。本実施例では、赤色に発光する発光層としてシアノポリフェニレンビニレン、緑色に発光する発光層としてポリフェニレンビニレン、青色に発光する発光層としてポリアルキルフェニレンを各々 5 0 nm の厚さに形成する。また、溶媒としては 1 , 2 - ジクロロメタンを用い、8 0 ～ 1 5 0 のホットプレートで 1 ～ 5 分の熱処理を行って揮発させる。

【 0 2 2 8 】

次に、正孔注入層 2 5 8 を 2 0 nm の厚さに形成する。正孔注入層 2 5 8 は全ての画素に共通で設ければ良いので、スピンコート法または印刷法を用いて形成すれば良い。本実施例ではポリチオフェン (P E D O T) を水溶液として塗布し、1 0 0 ～ 1 5 0 のホットプレートで 1 ～ 5 分の熱処理を行って水分を揮発させる。この場合、ポリフェニレンビニレンやポリアルキルフェニレンが水に溶けないため、発光層 2 5 7 を溶解させることなく正孔注入層 2 5 8 を形成することが可能である。

10

20

30

40

50

【0229】

なお、正孔注入層258として低分子系有機EL材料を用いることも可能である。その場合は、蒸着法を用いて形成すれば良い。

【0230】

本実施例ではEL層を発光層及び正孔注入層となる2層構造とするが、その他に正孔輸送層、電子注入層、電子輸送層等を設けても構わない。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。

【0231】

発光層257及び正孔注入層258を形成したら、対向電極として透明導電膜となる陽極259を120nmの厚さに形成する。本実施例では、酸化インジウムに10~20wt%の酸化亜鉛を添加した透明導電膜を用いる。成膜方法は、発光層257や正孔注入層258を劣化させないように室温で蒸着法により形成することが好ましい。

10

【0232】

陽極259を形成したら、図17(B)に示すように第4層間絶縁膜260を形成する。第4層間絶縁膜260として、ポリイミド、ポリアミド、ポリイミドアミド、アクリル等の樹脂を用いることで、平坦な表面を得ることができる。本実施例では、第4層間絶縁膜260として厚さ0.7μmのポリイミド膜を基板全面に形成した。

【0233】

こうして図17(B)に示すような構造のセンサ基板が完成する。なお、バンク256を形成した後、第4層間絶縁膜260を形成するまでの工程をマルチチャンバー方式（またはインライン方式）の薄膜形成装置を用いて、大気解放せずに連続的に処理することは有効である。

20

【0234】

270はバッファ用TFET、271は選択用TFET、272はリセット用TFET、273はスイッチング用TFET、274はEL駆動用TFETである。

【0235】

本実施例では、バッファ用TFET270及びスイッチング用TFET273がnチャネル型TFETであり、それぞれソース領域側とドレイン領域側の両方にそれぞれLDD領域281~284を有している。なおこのLDD領域281~284はゲート絶縁膜211を間に介してゲート電極212、215と重なっていない。上記構成により、バッファ用TFET270及びスイッチング用TFET273は、極力ホットキャリア注入を低減させることができる。

30

【0236】

また本実施例では、選択用TFET271及びEL駆動用TFET274がnチャネル型TFETであり、それぞれドレイン領域側にのみそれぞれLDD領域283、286を有している。なおこのLDD領域283、286はゲート絶縁膜211を間に介してゲート電極213、216と重なっている。

【0237】

ドレイン領域側のみにLDD領域283、286を形成しているのは、ホットキャリア注入を低減させ、なおかつ動作速度を落とさないための配慮である。また、この選択用TFET271及びEL駆動用TFET274はオフ電流値をあまり気にする必要はなく、それよりも動作速度を重視した方が良い。従って、LDD領域283、286は完全にゲート電極213、216と重ねてしまい、極力抵抗成分を少なくすることが望ましい。即ち、いわゆるオフセットはなくした方がよい。特に、ソース信号線駆動回路又はゲート信号線駆動回路を15V~20Vで駆動させる場合、本実施例のEL駆動用TFET274の上記構成は、ホットキャリア注入を低減させ、なおかつ動作速度を落とさないのに有効である。

40

【0238】

また本実施例では、リセット用TFET272はpチャネル型TFETであり、LDD領域を有していない。pチャネル型TFETは、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。勿論、nチャネル型TFETと同様にLDD

50

領域を設け、ホットキャリア対策を講じることも可能である。また、リセット用 T F T 272 が n チャネル型 T F T であっても良い。

【0239】

なお、実際には図 17 (B) まで完成したら、さらに外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム (ラミネートフィルム、紫外線硬化樹脂フィルム等) や透光性のシーリング材でパッケージング (封入) することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたリ、内部に吸湿性材料 (例えば酸化バリウム) を配置したりすると E L 素子の信頼性が向上する。

【0240】

また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ (フレキシブルプリントサーキット: F P C) を取り付けて製品として完成する。このような出荷できる状態にまでした状態を本明細書中ではエリアセンサという。

【0241】

なお、本発明は上述した作製方法に限定されず、公知の方法を用いて作製することが可能である。なお本実施例は、実施例 1 ~ 実施例 4 と自由に組み合わせることが可能である。

【0242】

(実施例 10)

本発明を用いたエリアセンサの作製方法について、図 18 ~ 図 21 を用いて説明する。

【0243】

図 18 において、基板 300 には、例えばコーニング社の 1737 ガラス基板に代表される無アルカリガラス基板を用いた。そして、基板 300 の T F T が形成される表面に、下地膜 301 をプラズマ C V D 法やスパッタ法で形成した。下地膜 301 は図示していないが、窒化珪素膜を 25 ~ 100 nm (ここでは 50 nm の厚さ) と、酸化シリコン膜を 50 ~ 300 nm (ここでは 150 nm の厚さ) とを形成した。また、下地膜 301 は、窒化珪素膜や窒化酸化シリコン膜のみを用いても良い。

【0244】

次に、この下地膜 301 の上に 50 nm の厚さの、非晶質珪素膜をプラズマ C V D 法で形成した。非晶質珪素膜は含有水素量にもよるが、好ましくは 400 ~ 550 で数時間加熱して脱水素処理を行い、含有水素量を 5 atom% 以下として、結晶化の工程を行うことが望ましい。また、非晶質珪素膜をスパッタ法や蒸着法などの他の作製方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素を十分低減させておくことが望ましい。

【0245】

ここで、下地膜と非晶質珪素膜とはいずれもプラズマ C V D 法で作製されるものであり、このとき下地膜と非晶質珪素膜を真空中で連続して形成しても良い。下地膜 301 を形成後、一旦大気雰囲気さらされない工程にすることにより、表面の汚染を防ぐことが可能となり、作製される T F T の特性バラツキを低減させることができた。

【0246】

そして、公知の技術により非晶質珪素膜を結晶化し、結晶質珪素膜 (多結晶シリコン膜若しくはポリシリコン膜ともいう) 302 を形成する。(図 18 (A)) 公知の結晶化方法としては、電熱炉を使用した熱結晶化方法、レーザー光を用いたレーザーアニール結晶化法、赤外光を用いたランプアニール結晶化法がある。本実施例では、XeCl ガスを用いたエキシマレーザー光を用いて結晶化する。

【0247】

なお、本実施例では線状に加工したパルス発振型のエキシマレーザー光を用いるが、矩形であっても良いし、連続発振型のアルゴンレーザー光や連続発振型のエキシマレーザー光を用いることもできる。

【0248】

また、本実施例では結晶質珪素膜 302 を T F T の活性層として用いるが、非晶質珪素膜

10

20

30

40

50

を活性層として用いることも可能である。

【0249】

なお、オフ電流を低減する必要があるスイッチング用TFTの活性層を非晶質珪素膜で形成し、EL駆動用TFTの活性層を結晶質珪素膜で形成することは有効である。非晶質珪素膜はキャリア移動度が低いため電流を流しにくくオフ電流が流れにくい。即ち、電流を流しにくい非晶質珪素膜と電流を流しやすい結晶質珪素膜の両者の利点を生かすことができる。

【0250】

こうして形成された結晶質珪素膜302をパターニングして、島状の半導体層（以下、活性層という）303～308を形成した。

10

【0251】

次に、活性層303～308を覆って、酸化シリコンまたは窒化珪素を主成分とするゲート絶縁膜309を形成した。ゲート絶縁膜309は、プラズマCVD法で N_2O と SiH_4 を原料とした窒化酸化シリコン膜を10～200nm、好ましくは50～150nmの厚さで形成すれば良い。ここでは100nmの厚さに形成した。（図18（B））

【0252】

そして、ゲート絶縁膜309の表面に第1のゲート電極となる第1の導電膜310と、第2のゲート電極となる第2の導電膜311とを形成した。第1の導電膜310はSi、Geから選ばれた一種の元素、またはこれらの元素を主成分とする半導体膜で形成すれば良い。また、第1の導電膜310の厚さは5～500nm、好ましくは10～30nmとする必要がある。ここでは、20nmの厚さでSi膜を形成した。

20

【0253】

第1の導電膜310として使用する半導体膜にはn型あるいはp型の導電型を付与する不純物元素が添加されていても良い。この半導体膜の作製法は公知の方法に従えば良く、例えば、減圧CVD法で基板温度を450～500℃として、ジシラン（ Si_2H_6 ）を250SCCM、ヘリウム（He）を300SCCM導入して作製することができる。このとき同時に、 Si_2H_6 に対して PH_3 を0.1～2%混入させてn型の半導体膜を形成しても良い。

【0254】

第2のゲート電極となる第2の導電膜311は、Ti、Ta、W、Moから選ばれた元素、あるいはこれらの元素を主成分とする化合物で形成すれば良い。これはゲート電極の電気抵抗を下げるために考慮されるものであり、例えば、Mo-W化合物を用いても良い。ここでは、Taを使用し、スパッタ法で、200～1000nm、代表的には400nmの厚さに形成した。（図18（C））

30

【0255】

次に公知のパターニング技術を使ってレジストマスクを形成し、第2の導電膜311をエッチングして第2のゲート電極312～317を形成する工程を行った。第2の導電膜311はTa膜で形成されているので、ドライエッチング法により行った。ドライエッチングの条件として、 Cl_2 を80SCCM導入して100mTorr、で500Wの高周波電力を投入して行った。そして、図18（D）に示すように第2のゲート電極312～317を形成した。

40

【0256】

エッチング後わずかに残さが確認されても、SPX洗浄液やEKCなどの溶液で洗浄することにより除去することができる。

【0257】

また、第2の導電膜311はウエットエッチング法で除去することもできた。例えば、Taの場合、フッ酸系のエッチング液で容易に除去することができた。

【0258】

そして、n型の不純物元素を添加する工程を行った。この工程はLDD領域を形成するための工程であった。ここでは、フォスフィン（ PH_3 ）を用いたイオンドープ法で行った

50

。この工程では、ゲート絶縁膜 309 と第 1 の導電膜 310 を通してその下の活性層 303 ~ 308 にリンを添加するために、加速電圧は 80 keV と高めに設定した。活性層 303 ~ 308 に添加されるリンの濃度は、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{atoms/cm}^3$ の範囲にするのが好ましく、ここでは $1 \times 10^{18} \text{atoms/cm}^3$ とした。そして、活性層にリンが上記濃度で添加された領域 (n⁻領域) 320 ~ 331 が形成された。(図 18 (D))

【0259】

このとき、第 1 の導電膜 310 の、第 2 のゲート電極 312 ~ 317 と重ならない領域にもリンが添加された。この領域のリン濃度は特に規定されるものではないが、第 1 の導電膜 310 の抵抗率を下げる効果が得られた。

【0260】

次に n チャネル型 TFT が形成される領域をレジストマスク 332、334 で覆って、第 1 の導電膜 310 の一部を除去する工程を行った。ここでは、ドライエッチング法により行った。第 1 の導電膜 310 は Si であり、ドライエッチングの条件として、CF₄ を 50 SCCM、O₂ を 45 SCCM 導入して 50 mTorr で 200 W の高周波電力を投入して行った。その結果、第 1 の導電膜の一部 336、338 及び第 1 のゲート電極 337、339 が残った。

【0261】

そして、p チャネル型 TFT が形成される領域に、p 型の不純物元素を添加する工程を行った。ここではジボラン (B₂H₆) を用いてイオンドープ法で添加した。ここでも加速電圧を 80 keV とし、 $2 \times 10^{20} \text{atoms/cm}^3$ の濃度にボロンを添加した。そして、図 19 (A) に示すようにボロンが高濃度に添加された不純物領域 (p⁺領域) 340 ~ 343 が形成された。

【0262】

さらに、レジストマスク 332、334 を完全に除去して、再度レジストマスク 348 ~ 353 を形成した。そして、レジストマスク 348、349、351、352 を用い、第 1 の導電膜の一部 336、338 をエッチングし、新たに第 1 の導電膜の一部 354、355、357 及び第 1 のゲート電極 356 を形成した。

【0263】

そして、n 型の不純物元素を添加する工程を行った。ここでは、フォスフィン (PH₃) を用いたイオンドープ法で行った。この工程でも、ゲート絶縁膜 309 を通してその下の活性層にリンを添加するため、加速電圧は 80 keV と高めに設定した。そして、リンが添加された領域 (n⁺領域) 358 ~ 365 が形成された。この領域のリンの濃度は n 領域と比較して高濃度であり、 $1 \times 10^{19} \sim 1 \times 10^{21} \text{atoms/cm}^3$ とするのが好ましく、ここでは $1 \times 10^{20} \text{atoms/cm}^3$ とした (図 19 (B))。本工程で、n 領域 320、321、322、323、328、329 のレジストマスク 348、349、352 で覆われた領域が、LDD 領域として確定した。

【0264】

さらに、レジストマスク 348 ~ 353 を除去して新たにレジストマスク 366 ~ 371 を形成した。レジストマスク 366、367、370 は第 1 の導電膜の一部 354、355、357 から第 1 のゲート電極を形成する目的で設けられるものであり、このレジストマスクの長さにより、LDD 領域がゲート絶縁膜 309 を間に介して第 1 のゲート電極と重なる領域と、重ならない領域をある範囲で自由に決めることができた。この工程において、n チャネル型 TFT に形成されるレジストマスク 366、367、370 のチャンネル長方向の長さは TFT のチャンネル形成領域の構造を決める上で重要であった (図 19 (C))。

【0265】

そして図 20 (A) に示すように第 1 のゲート電極 372、373、359、374 が形成された。

【0266】

次に、レジストマスク 366 ~ 371 を除去し、絶縁膜 375、第 1 層間絶縁膜 376 を

10

20

30

40

50

形成する工程を行った。最初に窒化珪素からなる絶縁膜 375 を 50 nm の厚さに成膜した。絶縁膜 375 はプラズマ CVD 法で形成され、 SiH_4 を 5 SCCM、 NH_3 を 40 SCCM、 N_2 を 100 SCCM 導入して 0.7 Torr、300 W の高周波電力を投入した。そして、続いて第 1 層間絶縁膜 376 として酸化シリコン膜を、TEOS を 500 SCCM、 O_2 を 50 SCCM 導入し 1 Torr、200 W の高周波電力を投入して 950 nm の厚さに成膜した。

【0267】

そして、熱処理の工程を行った。熱処理の工程は、それぞれの濃度で添加された n 型または p 型を付与する不純物元素を活性化するために行う必要があった。この工程は、電気加熱炉を用いた熱アニール法や、前述のエキシマレーザーを用いたレーザーアニール法や、ハロゲンランプを用いたラビットサーマルアニール法 (RTA 法) で行えば良い。ここでは熱アニール法で活性化の工程を行った。加熱処理は、窒素雰囲気中において 300 ~ 700、好ましくは 350 ~ 550、ここでは 450、2 時間の処理を行った。

【0268】

次に、第 1 層間絶縁膜 376 と絶縁膜 375 に、それぞれの TFT のソース領域と、ドレイン領域に達するコンタクトホールを形成し、ソース配線 377 ~ 382 とドレイン配線 383 ~ 388 を形成した。図示していないが、本実施例ではこの電極を、Ti 膜を 100 nm、Ti を含む Al 膜 300 nm、Ti 膜 150 nm をスパッタ法で連続して形成した 3 層構造の電極として用いた (図 20 (B))。

【0269】

そして、ソース配線 377 ~ 382 と、ドレイン配線 383 ~ 388 と、第 1 層間絶縁膜 376 を覆ってパッシベーション膜 390 を形成した。パッシベーション膜 390 は、窒化珪素膜で 50 nm の厚さで形成した。さらに、有機樹脂からなる第 2 層間絶縁膜 391 を約 1000 nm の厚さに形成した。有機樹脂膜としては、ポリイミド、アクリル、ポリイミドアミド等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜を用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300 で焼成して形成した (図 20 (C))。

【0270】

次に、第 2 層間絶縁膜 391 及びパッシベーション膜 390 に、ドレイン配線 388、386 に達するコンタクトホールを形成し、画素電極 392、センサ用配線 393 を形成する。本実施例では酸化インジウム・スズ (ITO) 膜を 110 nm の厚さに形成し、パターンニングを行ってセンサ用配線 393 及び画素電極 392 を同時に形成する。また、酸化インジウムに 2 ~ 20 % の酸化亜鉛 (ZnO) を混合した透明導電膜を用いても良い。この画素電極 392 が EL 素子の陽極となる (図 21 (A))。

【0271】

次に、樹脂材料でなるバンク 394 を形成する。バンク 394 は 1 ~ 2 μm 厚のアクリル膜またはポリイミド膜をパターンニングして形成すれば良い。このバンク 394 は画素と画素との間にストライプ状に形成される。バンク 394 はソース配線 381 上に沿って形成しても良いし、ゲート配線 (図示せず) 上に沿って形成しても良い。なおバンク 394 を形成している樹脂材料に顔料等を混ぜ、バンク 394 を遮蔽膜として用いても良い。

【0272】

次に、EL 層 395 及び陰極 (MgAg 電極) 396 を、真空蒸着法を用いて大気解放しないで連続形成する。なお、EL 層 395 の膜厚は 80 ~ 200 nm (典型的には 100 ~ 120 nm)、陰極 396 の厚さは 180 ~ 300 nm (典型的には 200 ~ 250 nm) とすれば良い。なお、本実施例では一画素しか図示されていないが、このとき同時に赤色に発光する EL 層、緑色に発光する EL 層及び青色に発光する EL 層が形成される。

【0273】

この工程では、赤色に対応する画素、緑色に対応する画素及び青色に対応する画素に対し

10

20

30

40

50

て順次 E L 層 3 9 5 及び陰極 3 9 6 を形成する。但し、E L 層 3 9 5 は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的に E L 層 3 9 5 及び陰極 3 9 6 を形成するのが好ましい。

【 0 2 7 4 】

即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光の E L 層及び陰極を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光の E L 層及び陰極を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光の E L 層及び陰極を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。また、全画素に E L 層及び陰極を形成するまで真空を破らずに処理することが好ましい。

10

【 0 2 7 5 】

なお、本実施例では E L 層 3 9 5 を発光層のみからなる単層構造とするが、E L 層は発光層の他に正孔輸送層、正孔注入層、電子輸送層、電子注入層等を有していても構わない。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。E L 層 3 9 5 としては公知の材料を用いることができる。公知の材料としては、E L 駆動電圧を考慮すると有機材料を用いるのが好ましい。また、本実施例では E L 素子の陰極として M g A g 電極を用いた例を示すが、公知の他の材料を用いることが可能である。

20

【 0 2 7 6 】

こうして図 2 1 (B) に示すような構造のセンサ基板が完成する。なお、バンク 3 9 4 を形成した後、陰極 3 9 6 を形成するまでの工程をマルチチャンバー方式（またはインライン方式）の薄膜形成装置を用いて、大気解放せずに連続的に処理することは有効である。

【 0 2 7 7 】

なお本実施例ではセンサ部が有する T F T の作製工程について説明したが、駆動部が有する T F T も上述したプロセスを参照して、同時に基板上に形成しても良い。

【 0 2 7 8 】

4 9 1 はバッファ用 T F T、4 9 2 は選択用 T F T、4 9 3 はリセット用 T F T、4 9 4 はフォトダイオード T F T、4 9 5 はスイッチング用 T F T、4 9 6 は E L 駆動用 T F T に相当する。

30

【 0 2 7 9 】

本実施例ではスイッチング用 T F T 4 9 5 をシングルゲート構造としているが、ダブルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。スイッチング用 T F T 4 9 5 をダブルゲート構造とすることで、実質的に二つの T F T が直列された構造となり、オフ電流値を低減することができるという利点がある。

【 0 2 8 0 】

なお本実施例においてフォトダイオード 4 9 4 上に設けられている第 1 のゲート電極 3 5 6 及び第 2 のゲート電極 3 1 5 は、フォトダイオード 4 9 4 に光が照射されていない時に、アノード電極 4 9 8 とカソード電極 4 9 9 の間に設けられた光電変換層 4 9 7 に電流が流れないような電位に保たれている。

40

【 0 2 8 1 】

また本実施例の場合、全ての T F T において L D D 領域がゲート電極と重なっていない。ソース信号線駆動回路又はゲート信号線駆動回路を 1 0 V 以下で駆動させる場合、ホットキャリア注入をさほど気にする必要がなく、そのため本実施例の T F T の構成は有効である。

【 0 2 8 2 】

なお、実際には図 2 1 (B) まで完成したら、さらに外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）や

50

透光性のシーリング材でパッケージング（封入）することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料（例えば酸化バリウム）を配置したりするとＥＬ素子の信頼性が向上する。

【０２８３】

また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ（フレキシブルプリントサーキット：ＦＰＣ）を取り付けて製品として完成する。このような出荷できるまでした状態を本明細書中ではエリアセンサという。

【０２８４】

なお、本発明は上述した作製方法に限定されず、公知の方法を用いて作製することが可能である。また本実施例は、実施例１～実施例４と自由に組み合わせることが可能である。

【０２８５】

（実施例１１）

本発明のエリアセンサの一例として、携帯型ハンドスキャナーについて図２２を用いて説明する。

【０２８６】

図２２（ａ）は携帯型ハンドスキャナーであり、本体９０１、センサ部９０２、上部カバー９０３、外部接続ポート９０４、操作スイッチ９０５で構成されている。図２２（ｂ）は図２２（ａ）と同じ携帯型ハンドスキャナーの上部カバー９０３を閉じた図である。

【０２８７】

本発明のエリアセンサは、読み込んだ画像をセンサ部９０２において表示することが可能であり、新たに電子ディスプレイをエリアセンサに設けなくとも、その場で読み込んだ画像を確認することができる。

【０２８８】

またエリアセンサ９０２で読み込んだ画像信号を、外部接続ポート９０４から携帯型ハンドスキャナーの外部に接続されている電子機器に送り、ソフト上で画像を補正、合成、編集等を行うことも可能である。

【０２８９】

なお本実施例は、実施例１～実施例１０と自由に組み合わせることが可能である。

【０２９０】

（実施例１２）

本発明のエリアセンサの一例として、実施例１１とは別の携帯型ハンドスキャナーについて、図２３を用いて説明する。

【０２９１】

８０１はセンサ基板、８０２はセンサ部、８０３はタッチパネル、８０４はタッチペンである。タッチパネル８０３は透光性を有しており、センサ部８０２から発せられる光及び、センサ部８０２に入射する光を透過することができ、タッチパネル８０３を通して被写体上の画像を読み込むことができる。またセンサ部８０２に画像が表示されている場合にも、タッチパネル８０３を通して、センサ部８０２上の画像を見ることが可能である。

【０２９２】

タッチペン８０４がタッチパネル８０３に触れると、タッチペン８０４とタッチパネル８０３とが接している部分の位置の情報を、電気信号としてエリアセンサに取り込むことができる。本実施例で用いられるタッチパネル８０３及びタッチペン８０４は、タッチパネル８０３が透光性を有していて、なおかつタッチペン８０４とタッチパネル８０３とが接している部分の位置の情報を、電気信号としてエリアセンサに取り込むことができるものならば、公知のものを用いることができる。

【０２９３】

上記構成を有する本発明のエリアセンサは、画像を読み込んで、センサ部６０２に読み込んだ画像を表示し、取り込んだ画像にタッチペン８０４で書き込みを行うことができる。そして本発明のエリアセンサは、画像の読み込み、画像の表示、画像への書き込みを、全

10

20

30

40

50

てセンサ部 802 において行うことができる。よってエリアセンサ自体の大きさを抑え、なおかつ様々な機能をエリアセンサに持たせることができる。

【0294】

なお本実施例は、実施例 1 ~ 実施例 10 と自由に組み合わせることが可能である。

【0295】

(実施例 13)

本実施例では、エリアセンサのセンサ部の構造が、図 1 とは異なる例について説明する。

【0296】

図 25 に本実施例のエリアセンサのセンサ部の回路図を示す。センサ部 1001 はソース信号線 S1 ~ Sx、電源供給線 V1 ~ Vx、ゲート信号線 G1 ~ Gy、リセット用ゲート信号線 RG1 ~ RGy、センサ出力配線 SS1 ~ SSx、センサ用電源線 VB が設けられている。

10

【0297】

センサ部 1001 は複数の画素 1002 を有している。画素 1002 は、ソース信号線 S1 ~ Sx のいずれか 1 つと、電源供給線 V1 ~ Vx のいずれか 1 つと、ゲート信号線 G1 ~ Gy のいずれか 1 つと、リセット用ゲート信号線 RG1 ~ RGy のいずれか 1 つと、センサ出力配線 SS1 ~ SSx のいずれか 1 つと、センサ用電源線 VB とを有している。

【0298】

センサ出力配線 SS1 ~ SSx はそれぞれ定電流電源 1003__1 ~ 1003__x に接続されている。

20

【0299】

画素 1002 はスイッチング用 TFT1004、EL 駆動用 TFT1005、EL 素子 1006 を有している。また図 25 では画素 1002 にコンデンサ 1007 が設けられているが、コンデンサ 1007 を設けなくとも良い。さらに画素 1002 は、リセット用 TFT1010、バッファ用 TFT1011、選択用 TFT1012、フォトダイオード 1013 を有している。

【0300】

EL 素子 1006 は陽極と陰極と、陽極と陰極との間に設けられた EL 層とからなる。陽極が EL 駆動用 TFT1005 のソース領域またはドレイン領域と接続している場合、陽極が画素電極、陰極が対向電極となる。逆に陰極が EL 駆動用 TFT1005 のソース領域またはドレイン領域と接続している場合、陽極が対向電極、陰極が画素電極である。

30

【0301】

スイッチング用 TFT1004 のゲート電極はゲート信号線 (G1 ~ Gy) に接続されている。そしてスイッチング用 TFT1004 のソース領域とドレイン領域は、一方がソース信号線 S に、もう一方が EL 駆動用 TFT1005 のゲート電極に接続されている。

【0302】

EL 駆動用 TFT1005 のソース領域とドレイン領域は、一方が電源供給線 (V1 ~ Vx) に、もう一方が EL 素子 1006 に接続されている。コンデンサ 1007 は EL 駆動用 TFT1005 のゲート電極と電源供給線 (V1 ~ Vx) とに接続して設けられている。

40

【0303】

リセット用 TFT1010 のゲート電極はリセット用ゲート信号線 (RG1 ~ RGx) に接続されている。リセット用 TFT1010 のソース領域はセンサ用電源線 VB に接続されている。センサ用電源線 VB は常に一定の電位 (基準電位) に保たれている。またリセット用 TFT1010 のドレイン領域はフォトダイオード 1013 及びバッファ用 TFT1011 のゲート電極に接続されている。

【0304】

図示しないが、フォトダイオード 1013 はカソード電極と、アノード電極と、カソード電極とアノード電極の間に設けられた光電変換層とを有している。リセット用 TFT1010 のドレイン領域は、具体的にはフォトダイオード 1013 のアノード電極又はカソー

50

ド電極に接続されている。

【0305】

バッファ用TF T 1 0 1 1のドレイン領域はセンサ用電源線VBに接続されており、常に一定の基準電位に保たれている。そしてバッファ用TF T 1 0 1 1のソース領域は選択用TF T 1 0 1 2のソース領域又はドレイン領域に接続されている。

【0306】

選択用TF T 1 0 1 2のゲート電極はゲート信号線(G 1 ~ G x)に接続されている。そして選択用TF T 1 0 1 2のソース領域とドレイン領域は、一方は上述したとおりバッファ用TF T 1 0 1 1のソース領域に接続されており、もう一方はセンサ出力配線(SS 1 ~ SS x)に接続されている。センサ出力配線(SS 1 ~ SS x)は定電流電源1 0 0 3 (定電流電源1 0 0 3 _ 1 ~ 1 0 0 3 _ x)にそれぞれ接続されており、常に一定の電流が流れている。

10

【0307】

本実施例において、スイッチング用TF T 1 0 0 4及び選択用TF T 1 0 1 2の極性は同じである。つまり、スイッチング用TF T 1 0 0 4がnチャネル型TF Tの場合、選択用TF T 1 0 1 2もnチャネル型TF Tである。またスイッチング用TF T 1 0 0 4がpチャネル型TF Tの場合、選択用TF T 1 0 1 2もpチャネル型TF Tである。

【0308】

そして本実施例のエリアセンサのセンサ部は、図1に示したエリアセンサと異なり、スイッチング用TF T 1 0 0 4のゲート電極と、選択用TF T 1 0 1 2のゲート電極が、共にゲート信号線(G 1 ~ G x)に接続されていることである。よって本実施例のエリアセンサの場合、各画素の有するEL素子1 0 0 6の発光する期間は、サンプリング期間(ST 1 ~ ST n)と同じ長さである。上記構成によって、本実施例のエリアセンサは配線の数を図1の場合に比べて少なくすることができる。

20

【0309】

なお本実施例のエリアセンサも、センサ部1 0 0 1に画像を表示することは可能である。

【0310】

本実施例の構成は、実施例3 ~ 実施例1 2と自由に組み合わせることが可能である。

【0311】

(実施例1 4)

本実施例では、図5に示したセンサ用ソース信号線駆動回路1 2 1と、センサ用ゲート信号線駆動回路の詳しい構成について説明する。

30

【0312】

図2 6 (A) にセンサ用ソース信号線駆動回路1 2 1の構成を示す。センサ用ソース信号線駆動回路1 2 1は、バイアス用回路1 2 1 a、信号処理回路1 2 1 b、信号出力線用駆動回路1 2 1 cを有している。

【0313】

バイアス用回路1 2 1 aは定電流源を有しており、各画素のバッファ用TF T 1 1 1と対になって、ソースフォロウ回路を形成する。そして、各センサ出力配線SSに入力された信号をサンプリングし、後段の信号処理回路1 2 1 bに入力する。

40

【0314】

信号処理回路1 2 1 bでは、入力された信号をいったん記憶して保持したり、アナログ・デジタル変換を行ったり、雑音を低減したりするための回路などが配置されている。信号処理回路1 2 1 bにおいて処理された信号は、信号出力線用駆動回路1 2 1 cから出力される信号にしたがって、順に出力増幅回路1 2 1 dに出力される。

【0315】

そして、出力増幅回路1 2 1 dは、信号処理回路1 2 1 bから出力された信号を増幅している。信号を増幅しない場合は不必要であるが、現状では配置される場合が多い。

【0316】

出力増幅回路1 2 1 dから出力された信号は、CPU (図示せず) などに取り込まれる。

50

【 0 3 1 7 】

図 2 6 (B) にセンサ用ゲート信号線駆動回路 1 2 3 の構成を示す。センサ用ゲート信号線駆動回路 1 2 3 は選択信号線用駆動回路 1 2 3 a と、リセット信号線用駆動回路 1 2 3 b を有している。

【 0 3 1 8 】

選択信号線用駆動回路 1 2 3 a は、選択信号線にゲート電極が接続されている全ての選択用 T F T 1 1 2 をオンにするような信号を、各選択信号線に順に入力している。また、リセット信号線用駆動回路 1 2 3 b は、リセット用ゲート信号線にゲート電極が接続されている全てのリセット用 T F T 1 1 0 をオンにするような信号を、各リセット用ゲート信号線に順に入力している。

10

【 0 3 1 9 】

なお本実施例では、図 5 に示したセンサ用ソース信号線駆動回路 1 2 1 とセンサ用ゲート信号線駆動回路 1 2 3 について説明したが、図 8 に示したセンサ用ソース信号線駆動回路 1 3 1 とセンサ用ゲート信号線駆動回路 1 3 3 も本実施例で示した構成を有していても良い。

【 0 3 2 0 】

本実施例は、実施例 1 ~ 実施例 1 3 と自由に組み合わせて実施することが可能である。

【 0 3 2 1 】

【 発明の効果 】

本発明は上記構成によって光が被写体に均一に照射されるため、読み込んだ画像の明るさにむらが生じることはない。そしてバックライトと光散乱板とをセンサ基板と別個に設ける必要はないため、従来例と異なり、バックライト、光散乱板、センサ基板及び被写体の位置を精密に調整したりする必要がなく、エリアセンサ自体の機械的強度が増す。またエリアセンサ自体の小型化、薄型化、軽量化が実現される。

20

【 0 3 2 2 】

また本発明のエリアセンサは、E L 素子を用いてセンサ部に画像を表示することが可能である。そのため、新たに電子ディスプレイをエリアセンサに設けなくとも、センサ部で読み込んだ画像をセンサ部に表示させることが可能であり、その場で読み込んだ画像を確認することができる。

【 図面の簡単な説明 】

30

【 図 1 】 センサ部の回路図。

【 図 2 】 画素の回路図。

【 図 3 】 センサ部の画像の読み取りのタイミングチャート。

【 図 4 】 センサ部のカラー画像の読み取りのタイミングチャート。

【 図 5 】 デジタル駆動のエリアセンサ上面図。

【 図 6 】 画像の読み取りの際の、E L 素子の発光のタイミングチャート。

【 図 7 】 画像の表示の際の、E L 素子の発光のタイミングチャート。

【 図 8 】 アナログ駆動のエリアセンサ上面図。

【 図 9 】 画像の読み取りの際の、E L 素子の発光のタイミングチャート。

【 図 1 0 】 センサ部の断面図。

40

【 図 1 1 】 センサ部の断面図。

【 図 1 2 】 センサ部の断面図。

【 図 1 3 】 センサ部の断面図。

【 図 1 4 】 センサ部の作製工程図。

【 図 1 5 】 センサ部の作製工程図。

【 図 1 6 】 センサ部の作製工程図。

【 図 1 7 】 センサ部の作製工程図。

【 図 1 8 】 センサ部の作製工程図。

【 図 1 9 】 センサ部の作製工程図。

【 図 2 0 】 センサ部の作製工程図。

50

【図 2 1】 センサ部の作製工程図。

【図 2 2】 本発明のエリアセンサの一例である携帯ハンスキャナーの外観図。

【図 2 3】 本発明のエリアセンサの一例であるタッチパネル付エリアセンサの外観図。

【図 2 4】 従来のエリアセンサの斜視図及び断面図。

【図 2 5】 センサ部の回路図。

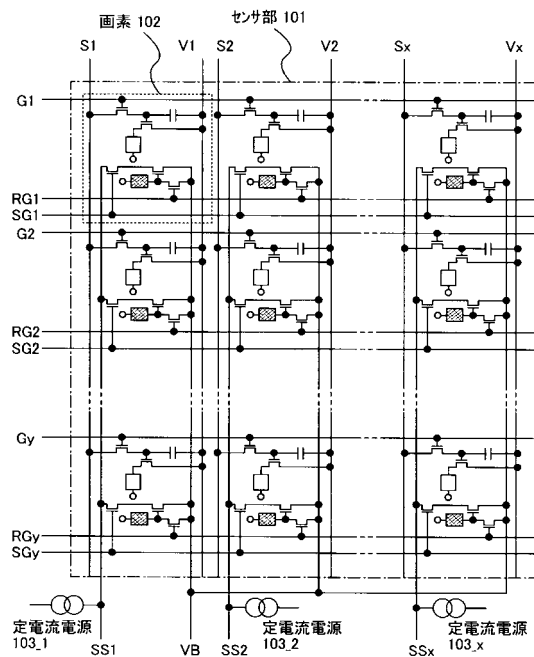
【図 2 6】 センサ用駆動回路のブロック図。

【符号の説明】

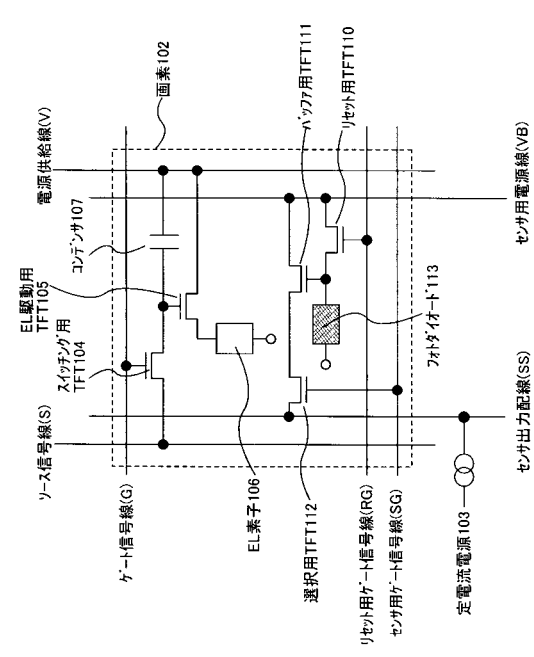
- 1 0 1 センサ部
- 1 0 2 画素
- 1 0 3 定電流電源
- 1 0 4 スイッチング用 T F T
- 1 0 5 E L 駆動用 T F T
- 1 0 6 E L 素子
- 1 0 7 コンデンサ
- 1 1 0 リセット用 T F T
- 1 1 1 バッファ用 T F T
- 1 1 2 選択用 T F T
- 1 1 3 フォトダイオード

10

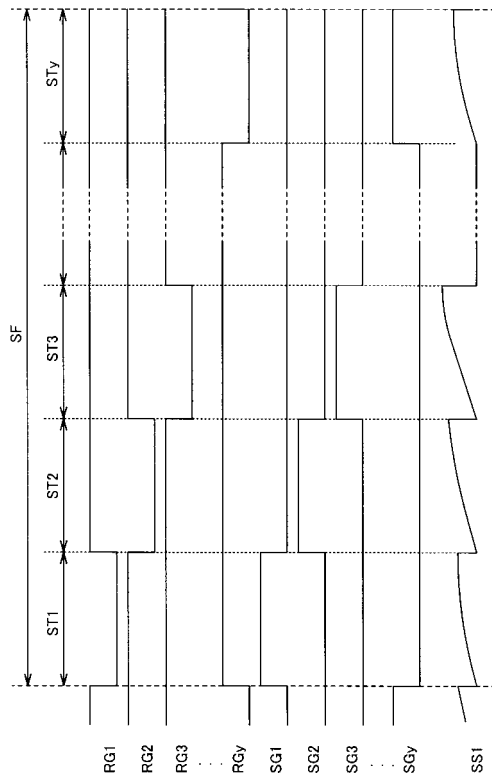
【図 1】



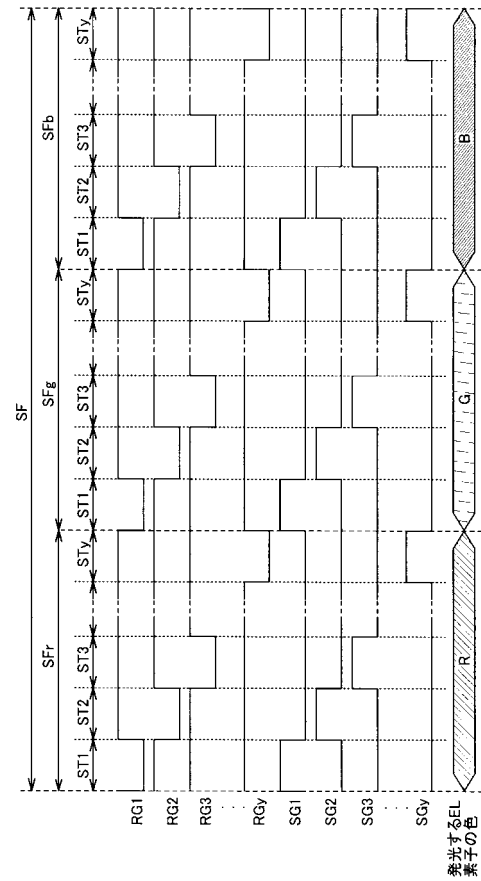
【図 2】



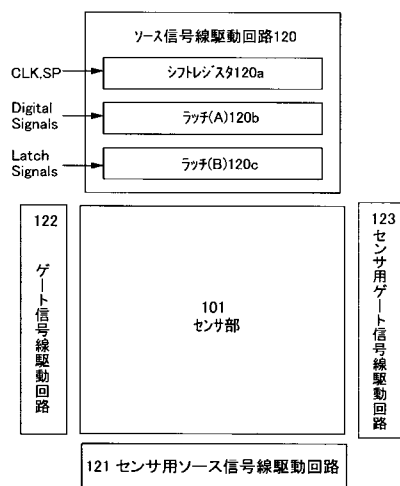
【図 3】



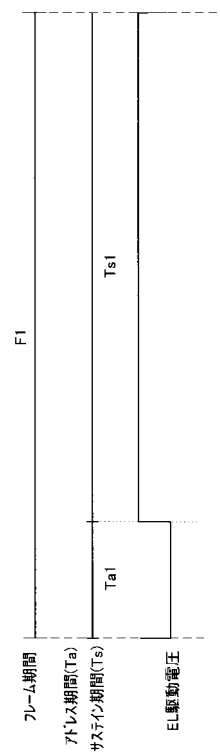
【図 4】



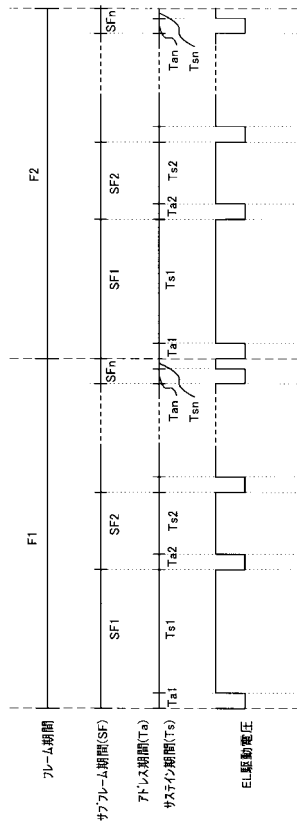
【図 5】



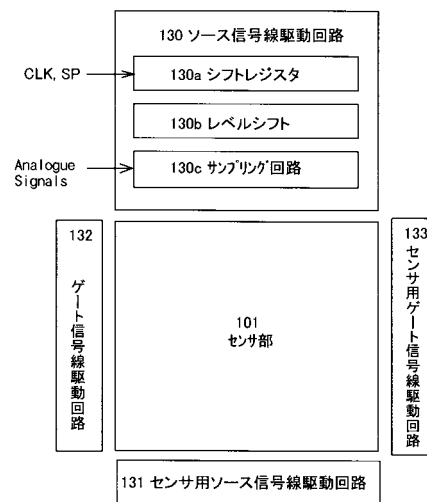
【図 6】



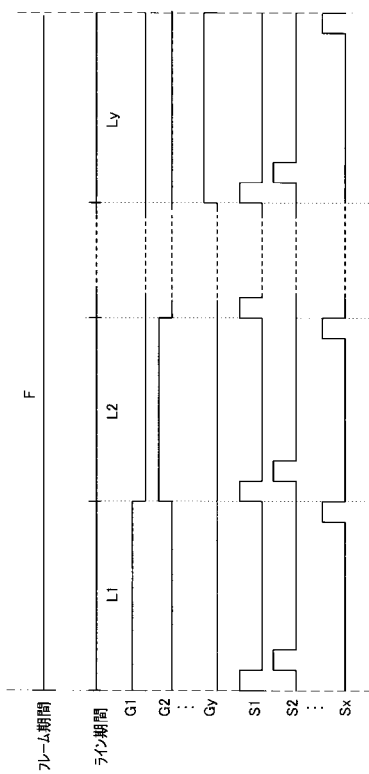
【図 7】



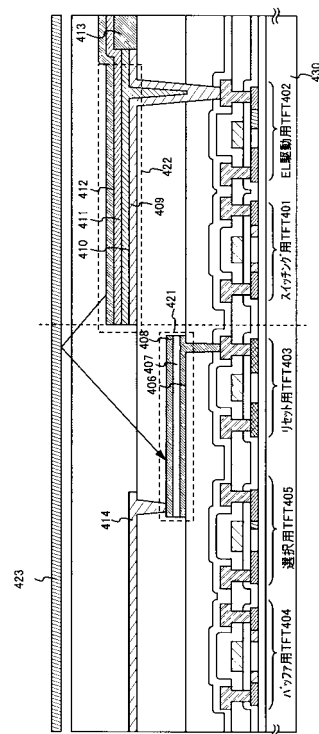
【図 8】



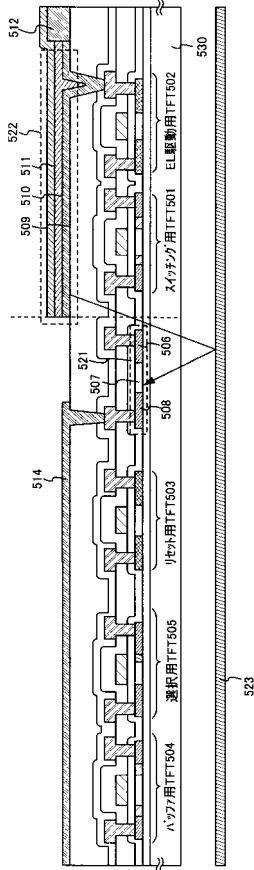
【図 9】



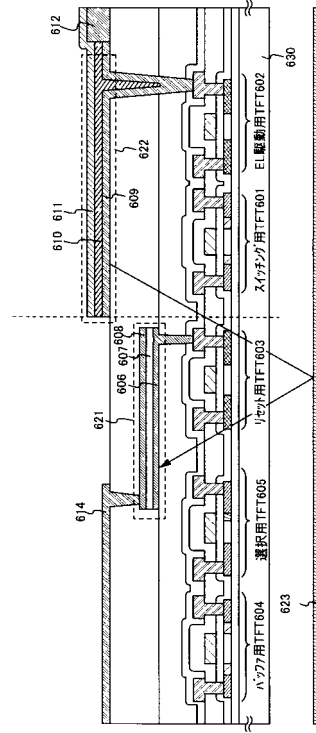
【図 10】



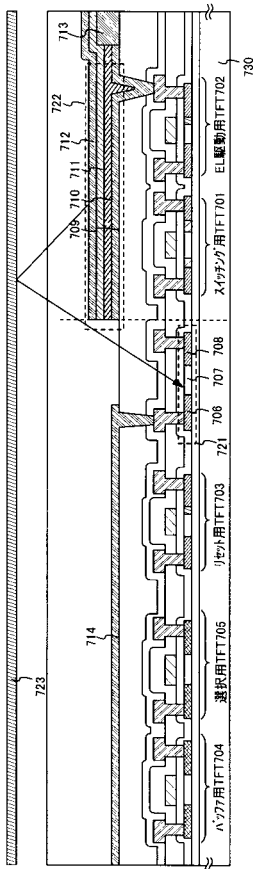
【図 1 1】



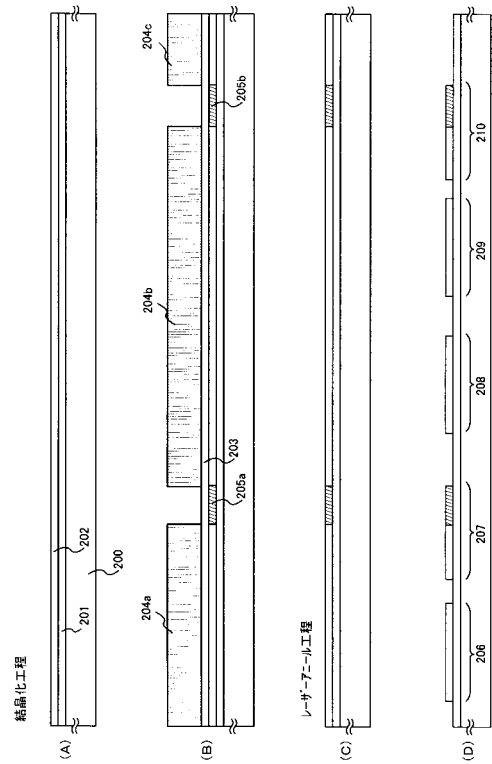
【図 1 2】



【図 1 3】

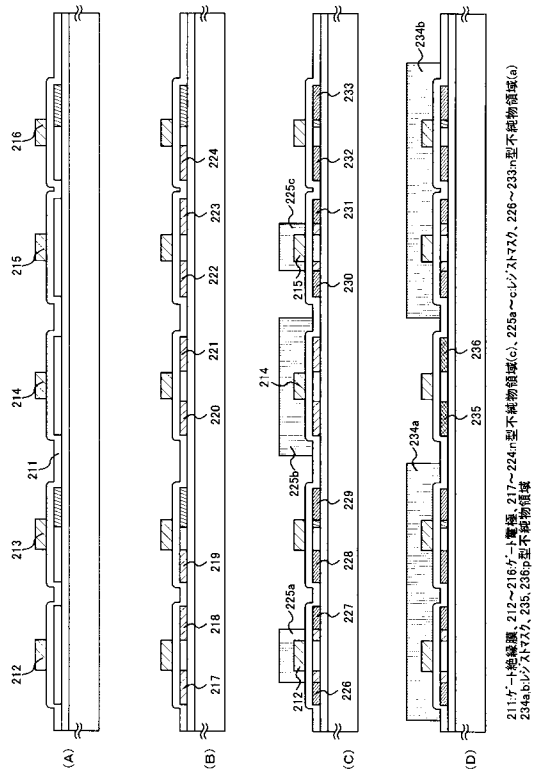


【図 1 4】

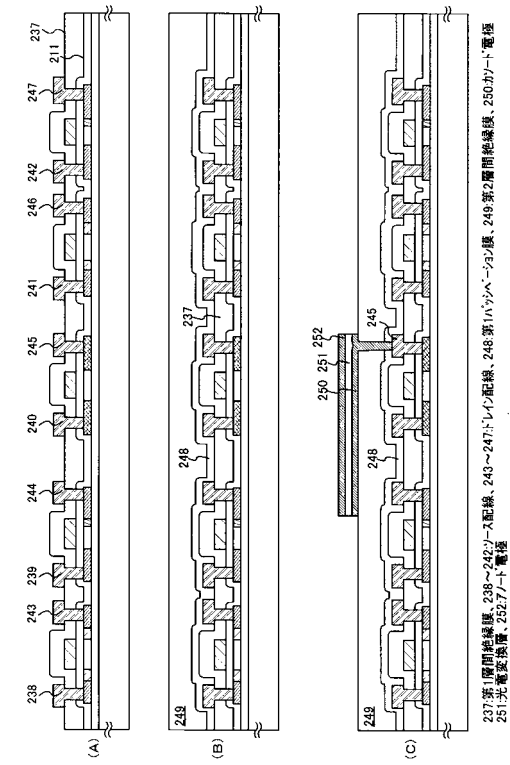


200:ガラス基板、201:下地膜、202:結晶質珪素膜、203:保護膜、204a~c:レジスト、205a、b:n型不純物領域(b)、206~210:活性層

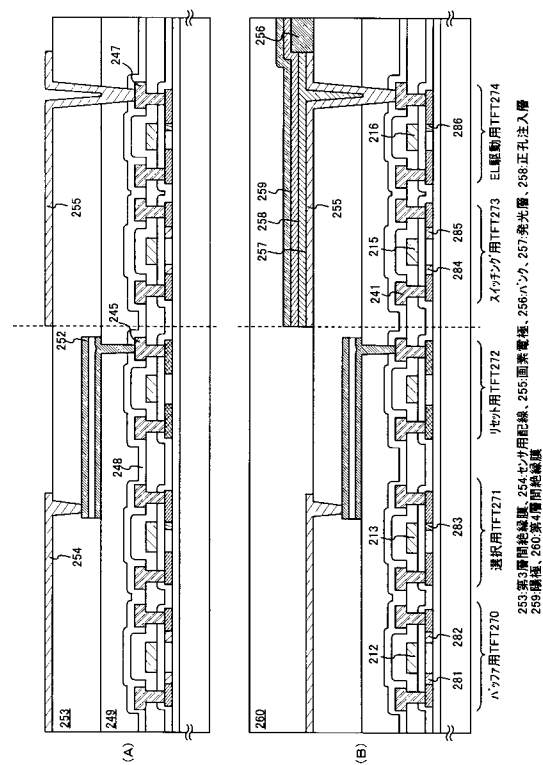
【図15】



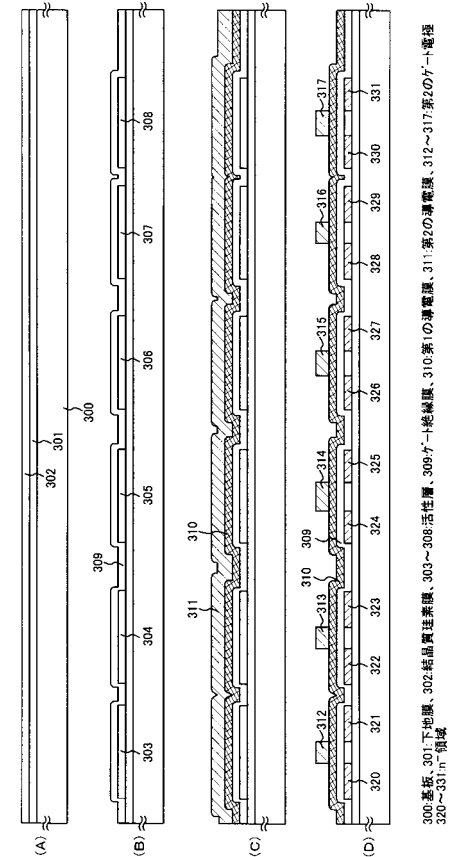
【図16】



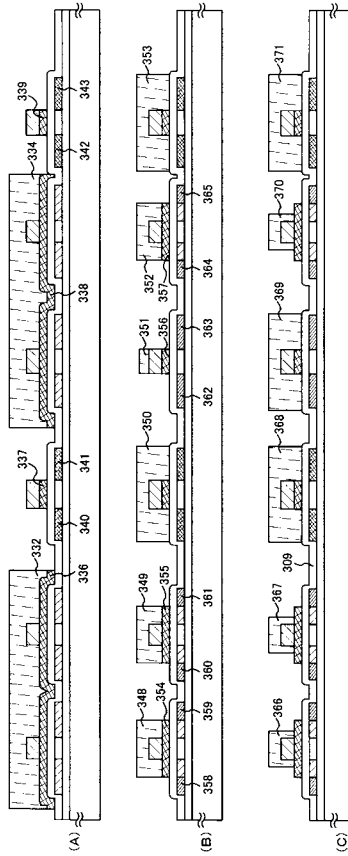
【図17】



【図18】

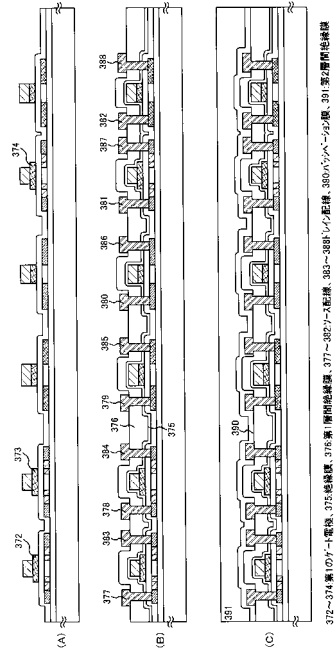


【図 19】



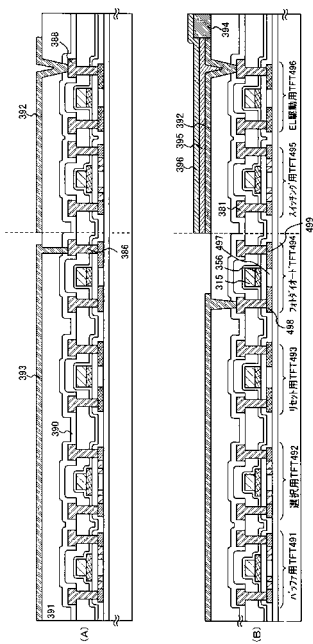
332, 335, 336, 338, 339, 340, 341, 342, 343, 344, 345, 346, 347, 348, 349, 350, 351, 352, 353, 354, 355, 356, 357, 358, 359, 360, 361, 362, 363, 364, 365, 366, 367, 368, 369, 370, 371

【図 20】



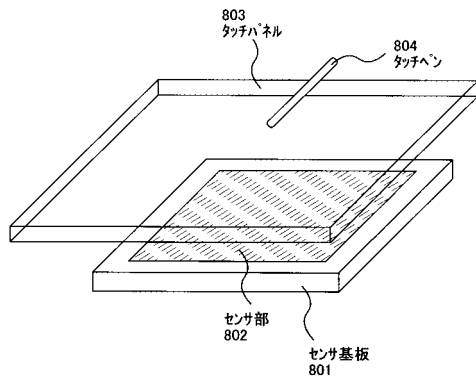
372, 373, 374, 375, 376, 377, 378, 379, 380, 381, 382, 383, 384, 385, 386, 387, 388, 389, 390, 391, 392, 393, 394, 395, 396, 397, 398, 399, 400, 401, 402, 403, 404, 405, 406, 407, 408, 409, 410, 411, 412, 413, 414, 415, 416, 417, 418, 419, 420, 421, 422, 423, 424, 425, 426, 427, 428, 429, 430, 431, 432, 433, 434, 435, 436, 437, 438, 439, 440, 441, 442, 443, 444, 445, 446, 447, 448, 449, 450, 451, 452, 453, 454, 455, 456, 457, 458, 459, 460, 461, 462, 463, 464, 465, 466, 467, 468, 469, 470, 471, 472, 473, 474, 475, 476, 477, 478, 479, 480, 481, 482, 483, 484, 485, 486, 487, 488, 489, 490, 491, 492, 493, 494, 495, 496, 497, 498, 499, 500, 501, 502, 503, 504, 505, 506, 507, 508, 509, 510, 511, 512, 513, 514, 515, 516, 517, 518, 519, 520, 521, 522, 523, 524, 525, 526, 527, 528, 529, 530, 531, 532, 533, 534, 535, 536, 537, 538, 539, 540, 541, 542, 543, 544, 545, 546, 547, 548, 549, 550, 551, 552, 553, 554, 555, 556, 557, 558, 559, 560, 561, 562, 563, 564, 565, 566, 567, 568, 569, 570, 571, 572, 573, 574, 575, 576, 577, 578, 579, 580, 581, 582, 583, 584, 585, 586, 587, 588, 589, 590, 591, 592, 593, 594, 595, 596, 597, 598, 599, 600, 601, 602, 603, 604, 605, 606, 607, 608, 609, 610, 611, 612, 613, 614, 615, 616, 617, 618, 619, 620, 621, 622, 623, 624, 625, 626, 627, 628, 629, 630, 631, 632, 633, 634, 635, 636, 637, 638, 639, 640, 641, 642, 643, 644, 645, 646, 647, 648, 649, 650, 651, 652, 653, 654, 655, 656, 657, 658, 659, 660, 661, 662, 663, 664, 665, 666, 667, 668, 669, 670, 671, 672, 673, 674, 675, 676, 677, 678, 679, 680, 681, 682, 683, 684, 685, 686, 687, 688, 689, 690, 691, 692, 693, 694, 695, 696, 697, 698, 699, 700, 701, 702, 703, 704, 705, 706, 707, 708, 709, 710, 711, 712, 713, 714, 715, 716, 717, 718, 719, 720, 721, 722, 723, 724, 725, 726, 727, 728, 729, 730, 731, 732, 733, 734, 735, 736, 737, 738, 739, 740, 741, 742, 743, 744, 745, 746, 747, 748, 749, 750, 751, 752, 753, 754, 755, 756, 757, 758, 759, 760, 761, 762, 763, 764, 765, 766, 767, 768, 769, 770, 771, 772, 773, 774, 775, 776, 777, 778, 779, 780, 781, 782, 783, 784, 785, 786, 787, 788, 789, 790, 791, 792, 793, 794, 795, 796, 797, 798, 799, 800, 801, 802, 803, 804, 805, 806, 807, 808, 809, 810, 811, 812, 813, 814, 815, 816, 817, 818, 819, 820, 821, 822, 823, 824, 825, 826, 827, 828, 829, 830, 831, 832, 833, 834, 835, 836, 837, 838, 839, 840, 841, 842, 843, 844, 845, 846, 847, 848, 849, 850, 851, 852, 853, 854, 855, 856, 857, 858, 859, 860, 861, 862, 863, 864, 865, 866, 867, 868, 869, 870, 871, 872, 873, 874, 875, 876, 877, 878, 879, 880, 881, 882, 883, 884, 885, 886, 887, 888, 889, 890, 891, 892, 893, 894, 895, 896, 897, 898, 899, 900, 901, 902, 903, 904, 905, 906, 907, 908, 909, 910, 911, 912, 913, 914, 915, 916, 917, 918, 919, 920, 921, 922, 923, 924, 925, 926, 927, 928, 929, 930, 931, 932, 933, 934, 935, 936, 937, 938, 939, 940, 941, 942, 943, 944, 945, 946, 947, 948, 949, 950, 951, 952, 953, 954, 955, 956, 957, 958, 959, 960, 961, 962, 963, 964, 965, 966, 967, 968, 969, 970, 971, 972, 973, 974, 975, 976, 977, 978, 979, 980, 981, 982, 983, 984, 985, 986, 987, 988, 989, 990, 991, 992, 993, 994, 995, 996, 997, 998, 999, 1000.

【図 21】

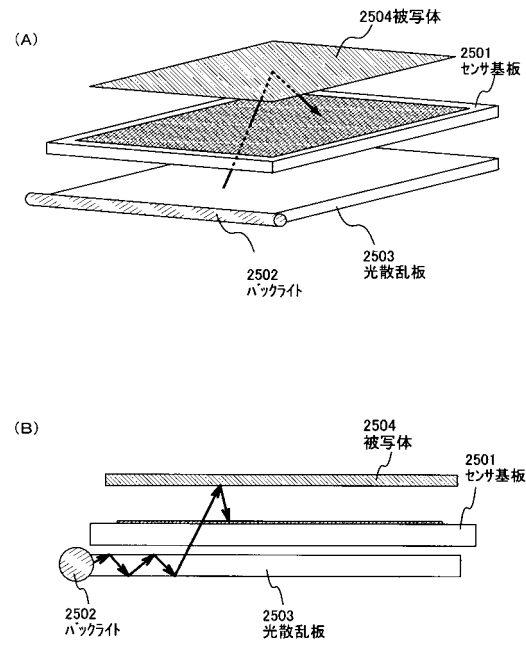


302, 303, 304, 305, 306, 307, 308, 309, 310, 311, 312, 313, 314, 315, 316, 317, 318, 319, 320, 321, 322, 323, 324, 325, 326, 327, 328, 329, 330, 331, 332, 333, 334, 335, 336, 337, 338, 339, 340, 341, 342, 343, 344, 345, 346, 347, 348, 349, 350, 351, 352, 353, 354, 355, 356, 357, 358, 359, 360, 361, 362, 363, 364, 365, 366, 367, 368, 369, 370, 371, 372, 373, 374, 375, 376, 377, 378, 379, 380, 381, 382, 383, 384, 385, 386, 387, 388, 389, 390, 391, 392, 393, 394, 395, 396, 397, 398, 399, 400, 401, 402, 403, 404, 405, 406, 407, 408, 409, 410, 411, 412, 413, 414, 415, 416, 417, 418, 419, 420, 421, 422, 423, 424, 425, 426, 427, 428, 429, 430, 431, 432, 433, 434, 435, 436, 437, 438, 439, 440, 441, 442, 443, 444, 445, 446, 447, 448, 449, 450, 451, 452, 453, 454, 455, 456, 457, 458, 459, 460, 461, 462, 463, 464, 465, 466, 467, 468, 469, 470, 471, 472, 473, 474, 475, 476, 477, 478, 479, 480, 481, 482, 483, 484, 485, 486, 487, 488, 489, 490, 491, 492, 493, 494, 495, 496, 497, 498, 499, 500, 501, 502, 503, 504, 505, 506, 507, 508, 509, 510, 511, 512, 513, 514, 515, 516, 517, 518, 519, 520, 521, 522, 523, 524, 525, 526, 527, 528, 529, 530, 531, 532, 533, 534, 535, 536, 537, 538, 539, 540, 541, 542, 543, 544, 545, 546, 547, 548, 549, 550, 551, 552, 553, 554, 555, 556, 557, 558, 559, 560, 561, 562, 563, 564, 565, 566, 567, 568, 569, 570, 571, 572, 573, 574, 575, 576, 577, 5

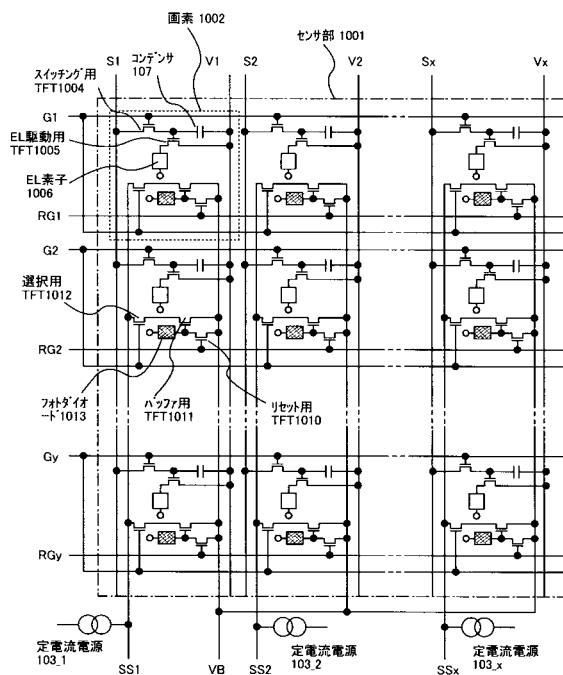
【図 23】



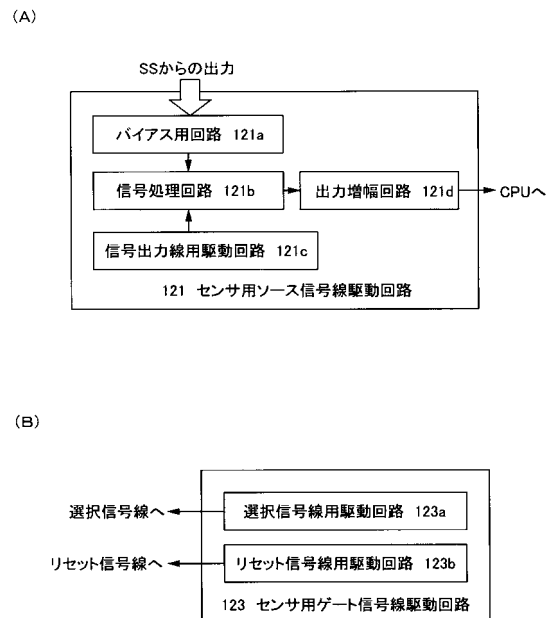
【図 24】



【図 25】



【図 26】



 フロントページの続き

(51)Int.Cl.		F I		
G 0 9 G	3/30	(2006.01)	G 0 9 G	3/20 6 4 1 E
			G 0 9 G	3/20 6 8 0 H
			G 0 9 G	3/20 6 9 1 B
			G 0 9 G	3/20 6 9 1 D
			G 0 9 G	3/20 6 9 1 E
			G 0 9 G	3/30 J

(56)参考文献 特開平 0 7 - 1 3 0 9 7 4 (J P , A)
 特開平 1 1 - 0 7 5 1 1 5 (J P , A)
 特開平 0 8 - 1 1 1 5 1 6 (J P , A)
 特開昭 6 2 - 1 8 6 3 2 0 (J P , A)
 特開平 0 8 - 2 9 3 6 2 0 (J P , A)
 特開平 1 0 - 0 9 3 7 8 5 (J P , A)
 特開平 0 5 - 2 1 9 3 0 1 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
 H04N 1/024
 H01L 27/14,29/76
 G09F 9/30-9/46