

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4112184号
(P4112184)

(45) 発行日 平成20年7月2日(2008.7.2)

(24) 登録日 平成20年4月18日(2008.4.18)

(51) Int.Cl.

F 1

H04N	1/028	(2006.01)	H04N	1/028	Z
G09F	9/00	(2006.01)	G09F	9/00	366A
G09F	9/30	(2006.01)	G09F	9/30	338
H01L	27/32	(2006.01)	G09F	9/30	365Z
G09G	3/20	(2006.01)	G09G	3/20	624B

請求項の数 19 (全 49 頁) 最終頁に続く

(21) 出願番号 特願2001-19635 (P2001-19635)
 (22) 出願日 平成13年1月29日 (2001.1.29)
 (65) 公開番号 特開2001-292276 (P2001-292276A)
 (43) 公開日 平成13年10月19日 (2001.10.19)
 審査請求日 平成16年10月5日 (2004.10.5)
 (31) 優先権主張番号 特願2000-22762 (P2000-22762)
 (32) 優先日 平成12年1月31日 (2000.1.31)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 小山 潤
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 飯田 清司

最終頁に続く

(54) 【発明の名称】 エリアセンサ及び表示装置

(57) 【特許請求の範囲】

【請求項 1】

基板上に複数の画素を有するセンサ部が設けられ、

前記複数の画素は、光電変換素子と、EL素子と、スイッチング用TFTと、EL駆動用TFTと、リセット用TFTと、バッファ用TFTと、選択用TFTと、ソース信号線と、ゲート信号線と、電源供給線と、リセット用ゲート信号線と、定電流電源と、センサ出力配線と、センサ用電源線とを有しており、

前記スイッチング用TFTのゲート電極は前記ゲート信号線に接続されており、

前記スイッチング用TFTのソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記EL駆動用TFTのゲート電極に接続されており、

前記EL駆動用TFTのソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記EL素子に接続されており、

前記リセット用TFTのゲート電極は前記リセット用ゲート信号線に接続されており、

前記リセット用TFTのソース領域は前記センサ用電源線に接続されており、

前記リセット用TFTのドレイン領域は、前記バッファ用TFTのゲート電極及び前記光電変換素子のアノードまたはカソードのいずれか一方に接続されており、

前記バッファ用TFTのドレイン領域は前記センサ用電源線に接続されており、

前記選択用TFTのソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一方は前記バッファ用TFTのソース領域に接続されており、

前記選択用TFTのゲート電極は前記ゲート信号線に接続されていることを特徴とする

10

20

エリアセンサ。

【請求項 2】

基板上に複数の画素を有するセンサ部が設けられ、

前記複数の画素は、光電変換素子と、EL素子と、スイッチング用TFTと、EL駆動用TFTと、リセット用TFTと、バッファ用TFTと、選択用TFTと、ソース信号線と、ゲート信号線と、電源供給線と、リセット用ゲート信号線と、センサ用ゲート信号線と、定電流電源と、センサ出力配線と、センサ用電源線とを有しており、

前記スイッチング用TFTのゲート電極は前記ゲート信号線に接続されており、

前記スイッチング用TFTのソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記EL駆動用TFTのゲート電極に接続されており、

前記EL駆動用TFTのソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記EL素子に接続されており、

前記リセット用TFTのゲート電極は前記リセット用ゲート信号線に接続されており、

前記リセット用TFTのソース領域は前記センサ用電源線に接続されており、

前記リセット用TFTのドレイン領域は、前記バッファ用TFTのゲート電極及び前記光電変換素子のアノードまたはカソードのいずれか一方に接続されており、

前記バッファ用TFTのドレイン領域は前記センサ用電源線に接続されており、

前記選択用TFTのソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一方は前記バッファ用TFTのソース領域に接続されており、

前記選択用TFTのゲート電極は前記センサ用ゲート信号線に接続されていることを特徴とするエリアセンサ。

【請求項 3】

基板上に複数の画素を有するセンサ部が設けられ、

前記複数の画素は、光電変換素子と、EL素子と、スイッチング用TFTと、EL駆動用TFTと、リセット用TFTと、バッファ用TFTと、選択用TFTと、ソース信号線と、ゲート信号線と、電源供給線と、リセット用ゲート信号線と、センサ用ゲート信号線と、定電流電源と、センサ出力配線と、センサ用電源線とを有しており、

前記スイッチング用TFTのゲート電極は前記ゲート信号線に接続されており、

前記スイッチング用TFTのソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記EL駆動用TFTのゲート電極に接続されており、

前記EL駆動用TFTのソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記EL素子に接続されており、

前記リセット用TFTのゲート電極は前記リセット用ゲート信号線に接続されており、

前記リセット用TFTのソース領域は前記センサ用電源線に接続されており、

前記リセット用TFTのドレイン領域は、前記バッファ用TFTのゲート電極及び前記光電変換素子に接続されており、

前記バッファ用TFTのドレイン領域は前記センサ用電源線に接続されており、

前記選択用TFTのソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一方は前記バッファ用TFTのソース領域に接続されており、

前記選択用TFTのゲート電極は前記ゲート信号線に接続されており、

前記スイッチング用TFTと前記選択用TFTの極性は同じであることを特徴とするエリアセンサ。

【請求項 4】

基板上に複数の画素を有するセンサ部が設けられ、

前記複数の画素は、光電変換素子と、EL素子と、スイッチング用TFTと、EL駆動用TFTと、リセット用TFTと、バッファ用TFTと、選択用TFTと、ソース信号線と、ゲート信号線と、電源供給線と、リセット用ゲート信号線と、センサ用ゲート信号線と、定電流電源と、センサ出力配線と、センサ用電源線とを有しており、

前記スイッチング用TFTのゲート電極は前記ゲート信号線に接続されており、

前記スイッチング用TFTのソース領域とドレイン領域は、一方は前記ソース信号線に

10

20

30

40

50

、もう一方は前記 E L 駆動用 TFT のゲート電極に接続されており、

前記 E L 駆動用 TFT のソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記 E L 素子に接続されており、

前記リセット用 TFT のゲート電極は前記リセット用ゲート信号線に接続されており、

前記リセット用 TFT のソース領域は前記センサ用電源線に接続されており、

前記リセット用 TFT のドレイン領域は、前記バッファ用 TFT のゲート電極及び前記光電変換素子のアノードまたはカソードのいずれか一方に接続されており、

前記バッファ用 TFT のドレイン領域は前記センサ用電源線に接続されており、

前記選択用 TFT のソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一方は前記バッファ用 TFT のソース領域に接続されており、

前記選択用 TFT のゲート電極は前記センサ用ゲート信号線に接続されており、

前記リセット用ゲート信号線と前記センサ用ゲート信号線とに入力される信号によって前記リセット用 TFT と前記選択用 TFT はオンからオフの状態、またはオフからオンの状態に同時に切り替わり、

前記リセット用 TFT と前記選択用 TFT は、一方がオンの状態の時、もう一方はオフの状態であることを特徴とするエリアセンサ。

【請求項 5】

基板上に複数の画素を有するセンサ部が設けられ、

前記複数の画素は、光電変換素子と、E L 素子と、スイッチング用 TFT と、E L 駆動用 TFT と、リセット用 TFT と、バッファ用 TFT と、選択用 TFT と、ソース信号線と、ゲート信号線と、電源供給線と、リセット用ゲート信号線と、センサ用ゲート信号線と、定電流電源と、センサ出力配線と、センサ用電源線とを有しております、

前記スイッチング用 TFT のゲート電極は前記ゲート信号線に接続されており、

前記スイッチング用 TFT のソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記 E L 駆動用 TFT のゲート電極に接続されており、

前記 E L 駆動用 TFT のソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記 E L 素子に接続されており、

前記リセット用 TFT のゲート電極は前記リセット用ゲート信号線に接続されており、

前記リセット用 TFT のソース領域は前記センサ用電源線に接続されており、

前記リセット用 TFT のドレイン領域は、前記バッファ用 TFT のゲート電極及び前記光電変換素子のアノードまたはカソードのいずれか一方に接続されており、

前記バッファ用 TFT のドレイン領域は前記センサ用電源線に接続されており、

前記選択用 TFT のソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一方は前記バッファ用 TFT のソース領域に接続されており、

前記選択用 TFT のゲート電極は前記センサ用ゲート信号線に接続されており、

前記スイッチング用 TFT と前記選択用 TFT の極性は同じであり、

前記リセット用ゲート信号線と前記センサ用ゲート信号線とに入力される信号によって前記リセット用 TFT と前記選択用 TFT はオンからオフの状態、またはオフからオンの状態に同時に切り替わり、

前記リセット用 TFT と前記選択用 TFT は、一方がオンの状態の時、もう一方はオフの状態であることを特徴とするエリアセンサ。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか 1 項において、前記スイッチング用 TFT 、前記 E L 駆動用 TFT 、前記リセット用 TFT 、前記バッファ用 TFT 及び前記選択用 TFT の半導体膜は結晶質珪素膜または非晶質珪素膜であることを特徴とするエリアセンサ。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか 1 項において、前記スイッチング用 TFT 、前記 E L 駆動用 TFT 、前記リセット用 TFT 、前記バッファ用 TFT 及び前記選択用 TFT は p チャネル型 TFT または n チャネル型 TFT であることを特徴とするエリアセンサ。

【請求項 8】

10

20

30

40

50

請求項 1 乃至請求項 7 のいずれか 1 項において、前記 E L 素子は陽極、陰極及び前記陽極と前記陰極の間に設けられた有機 E L 層を有していることを特徴とするエリアセンサ。

【請求項 9】

請求項 1 乃至請求項 8 のいずれか 1 項において、前記 E L 素子の陽極は前記 E L 駆動用 TFT のソース領域又はドレイン領域に接続され、前記 E L 駆動用 TFT は p チャネル型 TFT であることを特徴とするエリアセンサ。

【請求項 10】

請求項 1 乃至請求項 9 のいずれか 1 項において、前記 E L 素子の陰極は前記 E L 駆動用 TFT のソース領域又はドレイン領域に接続され、前記 E L 駆動用 TFT は n チャネル型 TFT であることを特徴とするエリアセンサ。 10

【請求項 11】

請求項 1 乃至請求項 10 のいずれか 1 項において、前記光電変換素子のアノードは前記リセット用 TFT のドレイン領域に接続され、前記リセット用 TFT は n チャネル型 TFT であり、前記バッファ用 TFT は p チャネル型 TFT であることを特徴とするエリアセンサ。

【請求項 12】

請求項 1 乃至請求項 11 のいずれか 1 項において、前記光電変換素子のカソードは前記リセット用 TFT のドレイン領域に接続され、前記リセット用 TFT は p チャネル型 TFT であり、前記バッファ用 TFT は n チャネル型 TFT であることを特徴とするエリアセンサ。 20

【請求項 13】

請求項 1 乃至請求項 12 のいずれか 1 項において、前記光電変換素子はカソード、アノード及び前記カソードと前記アノードの間に設けられた光電変換層を有していることを特徴とするエリアセンサ。

【請求項 14】

請求項 1 乃至請求項 13 のいずれか 1 項において、前記光電変換素子の光電変換層は結晶質珪素膜または非晶質珪素膜であることを特徴とするエリアセンサ。

【請求項 15】

請求項 1 乃至請求項 14 のいずれか 1 項において、前記光電変換素子の光電変換層上に絶縁膜を介して電極が設けられていることを特徴とするエリアセンサ。 30

【請求項 16】

請求項 1 乃至請求項 15 のいずれか 1 項において、前記光電変換素子のカソードは n 型の不純物が添加された半導体膜であることを特徴とするエリアセンサ。

【請求項 17】

請求項 1 乃至請求項 16 のいずれか 1 項において、前記光電変換素子のアノードは n 型の不純物が添加された半導体膜であることを特徴とするエリアセンサ。

【請求項 18】

請求項 1 乃至請求項 17 のいずれか 1 項に記載のエリアセンサの E L 素子を発光素子として用いる表示装置。

【請求項 19】

請求項 18 において、タッチペン及びタッチパネルを有していることを特徴とする表示装置。 40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、イメージセンサ機能を有する密着型エリアセンサに関する。特に、E L 素子を光源として有し、マトリクス状に配置された複数の薄膜トランジスタ(TFT)によって構成される密着型エリアセンサに関する。また密着型エリアセンサを兼ねた表示装置に関する。

【0002】

【従来の技術】

近年、紙面上の文字・図画情報や、映像情報等の光信号から、画像情報を有する電気信号を読み出すダイオード、CCD等の光電変換素子を有する固体撮像装置が用いられるようになってきた。この固体撮像装置は、スキャナーやデジタルカメラ等に用いられている。

【0003】

光電変換素子を有する固体撮像装置には、ラインセンサと、エリアセンサがある。ラインセンサは、線状に設けられた光電変換素子を被写体上でスキャンし、画像を電気信号として取り込んでいる。

【0004】

それに対しエリアセンサは、密着型エリアセンサとも呼ばれており、平面に設けられた光電変換素子を被写体上に配置し、画像を電気信号として取り込んでいる。エリアセンサはラインセンサと異なり光電変換素子をスキャンする必要がないことから、スキャンするためのモーター等が不要である。10

【0005】

図24に従来のエリアセンサの構成を示す。図24(A)に示すのはエリアセンサの斜視図であり、図24(B)に示すのはその断面図である。光電変換素子が設けられたセンサ基板2501、バックライト2502、光散乱板2503が図に示すように設けられている。

【0006】

光源としてのバックライト2502からの光は、光散乱板2503内で屈折し、被写体2504に照射される。照射された光は被写体2504上で反射し、センサ基板2501上に設けられた光電変換素子に照射される。光電変換素子に光が照射されると、光の輝度に応じた大きさの電流が光電変換素子内で生じ、被写体2504の画像情報が電気信号としてエリアセンサ内に取り込まれる。20

【0007】

【発明が解決しようとする課題】

上述したエリアセンサは、バックライト2502からの光が被写体2504に均一に照射されないと、読み込んだ画像が部分的に明るくなったり暗くなったりしてむらが生じてしまう。そのため光が均一に被写体2504に照射するように、光散乱板2503の構造に工夫をこらしたり、バックライト2502、光散乱板2503、センサ基板2501、被写体2504の位置を精密に調整したりする必要が生じる。30

【0008】

またバックライト2502及び光散乱板2503のサイズを抑えることは難しく、そのためエリアセンサ自体の小型化、薄型化、軽量化が妨げられている。

【0009】

本発明は上記の実情を鑑みてなされたもので、小型、薄型、軽量であり、かつ読み込んだ画像に明るさのむらが生じない密着型エリアセンサを提供することを目的とする。

【0010】

【課題を解決するための手段】

本発明のエリアセンサは、光電変換素子としてフォトダイオードを用いる。また光源としてEL(エレクトロルミネッセンス)素子を用いる。40

【0011】

本明細書においてフォトダイオードとは、カソード電極と、アノード電極と、カソード電極とアノード電極の間に設けられた光電変換層とを有している。そして光電変換層に光が照射されると、光起電力効果により電流が生じる。

【0012】

またEL素子とは自発光型素子であり、主にELディスプレイに用いられている。ELディスプレイとは有機ELディスプレイ(OLED:Organic EL Display)又は有機ライトエミッティングダイオード(OLED:Organic Light Emitting Diode)とも言う。

【0013】

50

E L 素子は一対の電極（陽極と陰極）の間に有機化合物を含む層（以下、E L 層と記す）が挟まれた構造となっているが、E L 層は通常、積層構造となっている。代表的には、コダック・イーストマン・カンパニーのTangらが提案した「正孔輸送層／発光層／電子輸送層」という積層構造が挙げられる。この構造は非常に発光効率が高く、現在、研究開発が進められているE L ディスプレイは殆どこの構造を採用している。

【0014】

E L 素子は、電場を加えることで発生するルミネッセンス（Electro Luminescence）が得られると、陽極層と、E L 層と、陰極層とを有する。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とがあるが、本発明のエリアセンサは、どちらの発光を用いていても良い。10

【0015】

また他にも、電極上に正孔注入層／正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

【0016】

本明細書において一対の電極間に設けられる全ての層を総称してE L 層と呼ぶ。よって上述した正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等は、全てE L 層に含まれる。

【0017】

フォトダイオードとE L 素子とは同じセンサ基板上にマトリクス状に設けられる。そして同じくマトリクス状に基板上に設けられた薄膜トランジスタ（TFT）を用いて、フォトダイオードとE L 素子のそれぞれの動作を制御する。20

【0018】

E L 素子から発せられた光は被写体上で反射し、フォトダイオードに照射される。フォトダイオードに照射された光によって電流が生じ、被写体の画像情報を有する電気信号（画像信号）がエリアセンサに取り込まれる。

【0019】

本発明は上記構成によって光が被写体に均一に照射されるため、読み込んだ画像の明るさにむらが生じることはない。そしてバックライトと光散乱板を、センサ基板と別個に設ける必要はないため、従来例と異なり、バックライト、光散乱板、センサ基板及び被写体の位置を精密に調整したりする必要がなく、エリアセンサ自体の小型化、薄型化、軽量化が実現される。またエリアセンサ自体の機械的強度が増す。30

【0020】

また本発明のエリアセンサは、前記E L 素子を用いてエリアセンサに画像を表示させることが可能である。本発明においてE L 素子は、画像を読み込む際の光源としての機能と、画像を表示するための光源としての機能を併せ持つ。そのため、エリアセンサに別途電子ディスプレイを設けなくとも、画像を表示させることができる。

【0021】

以下に、本発明の構成を示す。40

【0022】

本発明は上記構成によって、

センサ基板上に複数の画素を有するセンサ部が設けられた密着型エリアセンサであって、前記複数の画素は、フォトダイオードと、E L 素子と、複数の薄膜トランジスタとを有していることを特徴とする密着型エリアセンサが提供される。

【0023】

本発明は上記構成によって、

センサ基板上に複数の画素を有するセンサ部が設けられた密着型エリアセンサであって、前記複数の画素は、フォトダイオードと、E L 素子と、スイッチング用TFTと、E L 駆動用TFTと、リセット用TFTと、バッファ用TFTと、選択用TFTとを有しており50

、
前記スイッチング用TFT及び前記EL駆動用TFTは、前記EL素子の発光を制御しており、

前記EL素子から発せられた光は、被写体上で反射して前記フォトダイオードに照射され、

前記フォトダイオード、前記リセット用TFT、前記バッファ用TFT及び選択用TFTは、前記フォトダイオードに照射された光から画像信号を生成することを特徴とする密着型エリアセンサが提供される。

【0024】

本発明は上記構成によって、

センサ基板上に複数の画素を有するセンサ部が設けられた密着型エリアセンサであって、前記複数の画素は、フォトダイオードと、EL素子と、スイッチング用TFTと、EL駆動用TFTと、リセット用TFTと、バッファ用TFTと、選択用TFTと、ソース信号線と、ゲート信号線と、一定の電位に保たれた電源供給線と、リセット用ゲート信号線と、センサ用ゲート信号線と、定電流電源に接続されたセンサ出力配線と、一定の電位に保たれたセンサ用電源線とを有しております、

前記スイッチング用TFTのゲート電極は前記ゲート信号線に接続されており、

前記スイッチング用TFTのソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記EL駆動用TFTのゲート電極に接続されており、

前記EL駆動用TFTのソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記EL素子に接続されており、

前記リセット用TFTのソース領域は前記センサ用電源線に接続されており、

前記リセット用TFTのドレイン領域は、前記バッファ用TFTのゲート電極及び前記フォトダイオードに接続されており、

前記バッファ用TFTのドレイン領域は前記センサ用電源線に接続されており、

前記選択用TFTのソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一方は前記バッファ用TFTのソース領域に接続されており、

前記選択用TFTのゲート電極は前記センサ用ゲート信号線に接続されており、

前記EL素子から発せられた光は、被写体上で反射して前記フォトダイオードに照射され、

前記フォトダイオードに照射された光から生成された画像信号が、前記センサ出力配線に入力されることを特徴とする密着型エリアセンサが提供される。

【0025】

本発明は上記構成によって、

センサ基板上に複数の画素を有するセンサ部が設けられた密着型エリアセンサであって、前記複数の画素は、フォトダイオードと、EL素子と、スイッチング用TFTと、EL駆動用TFTと、リセット用TFTと、バッファ用TFTと、選択用TFTと、ソース信号線と、ゲート信号線と、一定の電位に保たれた電源供給線と、リセット用ゲート信号線と、センサ用ゲート信号線と、定電流電源に接続されたセンサ出力配線と、一定の電位に保たれたセンサ用電源線とを有しております、

前記スイッチング用TFTのゲート電極は前記ゲート信号線に接続されており、

前記スイッチング用TFTのソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記EL駆動用TFTのゲート電極に接続されており、

前記EL駆動用TFTのソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記EL素子に接続されており、

前記リセット用TFTのソース領域は前記センサ用電源線に接続されており、前記リセット用TFTのドレイン領域は、前記バッファ用TFTのゲート電極及び前記フォトダイオードに接続されており、

前記バッファ用TFTのドレイン領域は前記センサ用電源線に接続されており、

前記選択用TFTのソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一

10

20

30

40

50

方は前記バッファ用TFTのソース領域に接続されており、
 前記選択用TFTのゲート電極は前記ゲート信号線に接続されており、
 前記スイッチング用TFTと前記選択用TFTの極性は同じであり、
 前記EL素子から発せられた光は、被写体上で反射して前記フォトダイオードに照射され
 、
 前記フォトダイオードに照射された光から生成された画像信号が、前記センサ出力配線に
 入力されることを特徴とする密着型エリアセンサが提供される。

【0026】

本発明は上記構成によって、

センサ基板上に複数の画素を有するセンサ部が設けられた密着型エリアセンサであって、
 前記複数の画素は、フォトダイオードと、EL素子と、スイッチング用TFTと、EL駆
 動用TFTと、リセット用TFTと、バッファ用TFTと、選択用TFTと、ソース信号
 線と、ゲート信号線と、一定の電位に保たれた電源供給線と、リセット用ゲート信号線と
 、センサ用ゲート信号線と、定電流電源に接続されたセンサ出力配線と、一定の電位に保
 たれたセンサ用電源線とを有しており、

10

前記スイッチング用TFTのゲート電極は前記ゲート信号線に接続されており、

前記スイッチング用TFTのソース領域とドレイン領域は、一方は前記ソース信号線に、
 もう一方は前記EL駆動用TFTのゲート電極に接続されており、

前記EL駆動用TFTのソース領域とドレイン領域は、一方は前記電源供給線に、もう一
 方は前記EL素子に接続されており、

20

前記リセット用TFTのソース領域は前記センサ用電源線に接続されており、前記リセッ
 ト用TFTのドレイン領域は、前記バッファ用TFTのゲート電極及び前記フォトダイオ
 ードに接続されており、

前記バッファ用TFTのドレイン領域は前記センサ用電源線に接続されており、

前記選択用TFTのソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一
 方は前記バッファ用TFTのソース領域に接続されており、

前記選択用TFTのゲート電極は前記センサ用ゲート信号線に接続されており、

前記リセット用ゲート信号線と前記センサ用ゲート信号線とに入力される信号によって前
 記リセット用TFTと前記選択用TFTはオンからオフの状態、またはオフからオンの状
 態に同時に切り替わり、

30

前記リセット用TFTと前記選択用TFTは、一方がオンの状態の時、もう一方はオフの
 状態であり、

前記EL素子から発せられた光は、被写体上で反射して前記フォトダイオードに照射され
 、

前記フォトダイオードに照射された光から生成された画像信号が、前記センサ出力配線に
 入力されることを特徴とする密着型エリアセンサが提供される。

【0027】

本発明は上記構成によって、

センサ基板上に複数の画素を有するセンサ部が設けられた密着型エリアセンサであって、
 前記複数の画素は、フォトダイオードと、EL素子と、スイッチング用TFTと、EL駆
 動用TFTと、リセット用TFTと、バッファ用TFTと、選択用TFTと、ソース信号
 線と、ゲート信号線と、一定の電位に保たれた電源供給線と、リセット用ゲート信号線と
 、センサ用ゲート信号線と、定電流電源に接続されたセンサ出力配線と、一定の電位に保
 たれたセンサ用電源線とを有しており、

40

前記スイッチング用TFTのゲート電極は前記ゲート信号線に接続されており、

前記スイッチング用TFTのソース領域とドレイン領域は、一方は前記ソース信号線に、
 もう一方は前記EL駆動用TFTのゲート電極に接続されており、

前記EL駆動用TFTのソース領域とドレイン領域は、一方は前記電源供給線に、もう一
 方は前記EL素子に接続されており、

前記リセット用TFTのソース領域は前記センサ用電源線に接続されており、

50

前記リセット用 TFT のドレイン領域は、前記バッファ用 TFT のゲート電極及び前記フォトダイオードに接続されており、

前記バッファ用 TFT のドレイン領域は前記センサ用電源線に接続されており、

前記選択用 TFT のソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一方は前記バッファ用 TFT のソース領域に接続されており、

前記選択用 TFT のゲート電極は前記ゲート信号線に接続されており、

前記スイッチング用 TFT と前記選択用 TFT の極性は同じであり、

前記リセット用ゲート信号線と前記センサ用ゲート信号線とに入力される信号によって前記リセット用 TFT と前記選択用 TFT はオンからオフの状態、またはオフからオンの状態に同時に切り替わり、

10

前記リセット用 TFT と前記選択用 TFT は、一方がオンの状態の時、もう一方はオフの状態であり、

前記 E L 素子から発せられた光は、被写体上で反射して前記フォトダイオードに照射され、

前記フォトダイオードに照射された光から生成された画像信号が、前記センサ出力配線に入力されることを特徴とする密着型エリアセンサが提供される。

【 0028 】

本発明は上記構成によって、

センサ基板上に複数の画素を有するセンサ部が設けられた表示装置であって、前記複数の画素は、フォトダイオードと、E L 素子と、スイッチング用 TFT と、E L 駆動用 TFT と、リセット用 TFT と、バッファ用 TFT と、選択用 TFT とを有しており、

20

前記スイッチング用 TFT 及び前記 E L 駆動用 TFT によって前記 E L 素子の発光が制御され、

前記センサ部は、前記 E L 素子から発せられた光により画像を表示するか、もしくは前記 E L 素子から発せられた光を被写体上で反射させることで前記フォトダイオードに照射し、前記フォトダイオード、前記リセット用 TFT 、前記バッファ用 TFT 及び選択用 TFT によって前記フォトダイオードに照射された光から画像信号を生成することを特徴とする表示装置が提供される。

【 0029 】

本発明は上記構成によって、

30

センサ基板上に複数の画素を有するセンサ部が設けられた表示装置であって、前記複数の画素は、フォトダイオードと、E L 素子と、スイッチング用 TFT と、E L 駆動用 TFT と、リセット用 TFT と、バッファ用 TFT と、選択用 TFT と、ソース信号線と、ゲート信号線と、一定の電位に保たれた電源供給線と、リセット用ゲート信号線と、センサ用ゲート信号線と、定電流電源に接続されたセンサ出力配線と、一定の電位に保たれたセンサ用電源線とを有しており、

前記スイッチング用 TFT のゲート電極は前記ゲート信号線に接続されており、

前記スイッチング用 TFT のソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記 E L 駆動用 TFT のゲート電極に接続されており、

前記 E L 駆動用 TFT のソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記 E L 素子に接続されており、

40

前記リセット用 TFT のソース領域は前記センサ用電源線に接続されており、前記リセット用 TFT のドレイン領域は、前記バッファ用 TFT のゲート電極及び前記フォトダイオードに接続されており、

前記バッファ用 TFT のドレイン領域は前記センサ用電源線に接続されており、

前記選択用 TFT のソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一方は前記バッファ用 TFT のソース領域に接続されており、

前記選択用 TFT のゲート電極は前記センサ用ゲート信号線に接続されており、

前記スイッチング用 TFT 及び前記 E L 駆動用 TFT によって前記 E L 素子の発光が制御され、

50

前記センサ部は、前記E L素子から発せられた光により画像を表示するか、もしくは前記E L素子から発せられた光を被写体上で反射させることで前記フォトダイオードに照射し、前記フォトダイオード、前記リセット用TFT、前記バッファ用TFT及び選択用TFTによって前記フォトダイオードに照射された光から画像信号を生成することを特徴とする表示装置が提供される。

【0030】

本発明は上記構成によって、

センサ基板上に複数の画素を有するセンサ部が設けられた表示装置であって、前記複数の画素は、フォトダイオードと、E L素子と、スイッチング用TFTと、E L駆動用TFTと、リセット用TFTと、バッファ用TFTと、選択用TFTと、ソース信号線と、ゲート信号線と、一定の電位に保たれた電源供給線と、リセット用ゲート信号線と、センサ用ゲート信号線と、定電流電源に接続されたセンサ出力配線と、一定の電位に保たれたセンサ用電源線とを有しており、

前記スイッチング用TFTのゲート電極は前記ゲート信号線に接続されており、

前記スイッチング用TFTのソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記E L駆動用TFTのゲート電極に接続されており、

前記E L駆動用TFTのソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記E L素子に接続されており、

前記リセット用TFTのソース領域は前記センサ用電源線に接続されており、前記リセット用TFTのドレイン領域は、前記バッファ用TFTのゲート電極及び前記フォトダイオードに接続されており、

前記バッファ用TFTのドレイン領域は前記センサ用電源線に接続されており、

前記選択用TFTのソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一方は前記バッファ用TFTのソース領域に接続されており、

前記選択用TFTのゲート電極は前記センサ用ゲート信号線に接続されており、

前記リセット用ゲート信号線と前記センサ用ゲート信号線とに入力される信号によって前記リセット用TFTと前記選択用TFTはオンからオフの状態、またはオフからオンの状態に同時に切り替わり、

前記リセット用TFTと前記選択用TFTは、一方がオンの状態の時、もう一方はオフの状態であり、

前記スイッチング用TFT及び前記E L駆動用TFTによって前記E L素子の発光が制御され、

前記センサ部は、前記E L素子から発せられた光により画像を表示するか、もしくは前記E L素子から発せられた光を被写体上で反射させることで前記フォトダイオードに照射し、前記フォトダイオード、前記リセット用TFT、前記バッファ用TFT及び選択用TFTによって前記フォトダイオードに照射された光から画像信号を生成することを特徴とする表示装置が提供される。

【0031】

本発明は上記構成によって、

センサ基板上に複数の画素を有するセンサ部が設けられた表示装置であって、前記複数の画素は、フォトダイオードと、E L素子と、スイッチング用TFTと、E L駆動用TFTと、リセット用TFTと、バッファ用TFTと、選択用TFTと、ソース信号線と、ゲート信号線と、一定の電位に保たれた電源供給線と、リセット用ゲート信号線と、センサ用ゲート信号線と、定電流電源に接続されたセンサ出力配線と、一定の電位に保たれたセンサ用電源線とを有しており、

前記スイッチング用TFTのゲート電極は前記ゲート信号線に接続されており、

前記スイッチング用TFTのソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記E L駆動用TFTのゲート電極に接続されており、

前記E L駆動用TFTのソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記E L素子に接続されており、

10

20

30

40

50

前記リセット用TFTのソース領域は前記センサ用電源線に接続されており、
前記リセット用TFTのドレイン領域は、前記バッファ用TFTのゲート電極及び前記フォトダイオードに接続されており、

前記バッファ用TFTのドレイン領域は前記センサ用電源線に接続されており、
前記選択用TFTのソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一方は前記バッファ用TFTのソース領域に接続されており、

前記選択用TFTのゲート電極は前記ゲート信号線に接続されており、

前記スイッチング用TFTと前記選択用TFTの極性は同じであり、

前記スイッチング用TFT及び前記EL駆動用TFTによって前記EL素子の発光が制御され、

前記センサ部は、前記EL素子から発せられた光により画像を表示するか、もしくは前記EL素子から発せられた光を被写体上で反射させることで前記フォトダイオードに照射し、前記フォトダイオード、前記リセット用TFT、前記バッファ用TFT及び選択用TFTによって前記フォトダイオードに照射された光から画像信号を生成することを特徴とする表示装置が提供される。

【0032】

本発明は上記構成によって、

センサ基板上に複数の画素を有するセンサ部が設けられた表示装置であって、前記複数の画素は、フォトダイオードと、EL素子と、スイッチング用TFTと、EL駆動用TFTと、リセット用TFTと、バッファ用TFTと、選択用TFTと、ソース信号線と、ゲート信号線と、一定の電位に保たれた電源供給線と、リセット用ゲート信号線と、センサ用ゲート信号線と、定電流電源に接続されたセンサ出力配線と、一定の電位に保たれたセンサ用電源線とを有しており、

前記スイッチング用TFTのゲート電極は前記ゲート信号線に接続されており、

前記スイッチング用TFTのソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記EL駆動用TFTのゲート電極に接続されており、

前記EL駆動用TFTのソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記EL素子に接続されており、

前記リセット用TFTのソース領域は前記センサ用電源線に接続されており、前記リセット用TFTのドレイン領域は、前記バッファ用TFTのゲート電極及び前記フォトダイオードに接続されており、

前記バッファ用TFTのドレイン領域は前記センサ用電源線に接続されており、

前記選択用TFTのソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一方は前記バッファ用TFTのソース領域に接続されており、

前記選択用TFTのゲート電極は前記ゲート信号線に接続されており、

前記スイッチング用TFTと前記選択用TFTの極性は同じであり、

前記リセット用ゲート信号線と前記センサ用ゲート信号線とに入力される信号によって前記リセット用TFTと前記選択用TFTはオンからオフの状態、またはオフからオンの状態に同時に切り替わり、

前記リセット用TFTと前記選択用TFTは、一方がオンの状態の時、もう一方はオフの状態であり、

前記スイッチング用TFT及び前記EL駆動用TFTによって前記EL素子の発光が制御され、

前記センサ部は、前記EL素子から発せられた光により画像を表示するか、もしくは前記EL素子から発せられた光を被写体上で反射させることで前記フォトダイオードに照射し、前記フォトダイオード、前記リセット用TFT、前記バッファ用TFT及び選択用TFTによって前記フォトダイオードに照射された光から画像信号を生成することを特徴とする表示装置が提供される。

【0033】

前記EL素子は陽極、陰極及び陽極と陰極の間に設けられたEL層を有していても良い。

10

20

30

40

50

【 0 0 3 4 】

前記 E L 素子の有する陽極が前記 E L 駆動用 T F T のソース領域又はドレイン領域に接続されているとき、前記 E L 駆動用 T F T は p チャネル型 T F T であっても良い。

【 0 0 3 5 】

前記 E L 素子の有する陰極が前記 E L 駆動用 T F T のソース領域又はドレイン領域に接続されているとき、前記 E L 駆動用 T F T は n チャネル型 T F T であっても良い。

【 0 0 3 6 】

前記フォトダイオードはカソード電極、アノード電極及びカソード電極とアノード電極の間に設けられた光電変換層を有していても良い。

【 0 0 3 7 】

前記フォトダイオードの有するアノード電極が前記リセット用 T F T のドレイン領域に接続されているとき、前記リセット用 T F T は n チャネル型 T F T であり、前記バッファ用 T F T は p チャネル型 T F T であっても良い。

10

【 0 0 3 8 】

前記フォトダイオードの有するカソード電極が前記リセット用 T F T のドレイン領域に接続されているとき、前記リセット用 T F T は p チャネル型 T F T であり、前記バッファ用 T F T は n チャネル型 T F T であっても良い。

【 0 0 3 9 】

前記表示装置は、タッチペン及びタッチパネルを有していても良い。

【 0 0 4 0 】

20

【発明の実施の形態】

以下に、本発明のエリアセンサの構成を詳しく説明する。本発明のエリアセンサは画像の読み取りを行うセンサ部と、センサ部の駆動を制御する駆動部とを有している。図 1 に本発明のセンサ部の回路図を示す。

【 0 0 4 1 】

センサ部 1 0 1 はソース信号線 S 1 ~ S x 、電源供給線 V 1 ~ V x 、ゲート信号線 G 1 ~ G y 、リセット用ゲート信号線 R G 1 ~ R G y 、センサ用ゲート信号線 S G 1 ~ S G y 、センサ出力配線 S S 1 ~ S S x 、センサ用電源線 V B が設けられている。

【 0 0 4 2 】

センサ部 1 0 1 は複数の画素 1 0 2 を有している。画素 1 0 2 は、ソース信号線 S 1 ~ S x のいずれか 1 つと、電源供給線 V 1 ~ V x のいずれか 1 つと、ゲート信号線 G 1 ~ G y のいずれか 1 つと、リセット用ゲート信号線 R G 1 ~ R G y のいずれか 1 つと、センサ用ゲート信号線 S G 1 ~ S G y のいずれか 1 つと、センサ出力配線 S S 1 ~ S S x のいずれか 1 つと、センサ用電源線 V B とを有している。

30

【 0 0 4 3 】

センサ出力配線 S S 1 ~ S S x はそれぞれ定電流電源 1 0 3 _ 1 ~ 1 0 3 _ x に接続されている。

【 0 0 4 4 】

図 2 に画素 1 0 2 の詳しい構成を示す。点線で囲まれた領域が画素 1 0 2 である。なお、ソース信号線 S は、ソース信号線 S 1 ~ S x のいずれか 1 つを意味する。また電源供給線 V は電源供給線 V 1 ~ V x のいずれか 1 つを意味する。またゲート信号線 G はゲート信号線 G 1 ~ G y のいずれか 1 つを意味する。またリセット用ゲート信号線 R G はリセット用ゲート信号線 R G 1 ~ R G y のいずれか 1 つを意味する。またセンサ用ゲート信号線 S G は、センサ用ゲート信号線 S G 1 ~ S G y のいずれか 1 つを意味する。またセンサ出力配線 S S はセンサ出力配線 S S 1 ~ S S x のいずれか 1 つを意味する。

40

【 0 0 4 5 】

画素 1 0 2 はスイッチング用 T F T 1 0 4 、 E L 駆動用 T F T 1 0 5 、 E L 素子 1 0 6 を有している。また図 2 では画素 1 0 2 にコンデンサ 1 0 7 が設けられているが、コンデンサ 1 0 7 を設けなくとも良い。

【 0 0 4 6 】

50

E L 素子 106 は陽極と陰極と、陽極と陰極との間に設けられた E L 層とからなる。陽極が E L 駆動用 TFT105 のソース領域またはドレイン領域と接続している場合、陽極が画素電極、陰極が対向電極となる。逆に陰極が E L 駆動用 TFT105 のソース領域またはドレイン領域と接続している場合、陽極が対向電極、陰極が画素電極である。

【0047】

スイッチング用 TFT104 のゲート電極はゲート信号線 G に接続されている。そしてスイッチング用 TFT104 のソース領域とドレイン領域は、一方がソース信号線 S に、もう一方が E L 駆動用 TFT105 のゲート電極に接続されている。

【0048】

E L 駆動用 TFT105 のソース領域とドレイン領域は、一方が電源供給線 V に、もう一方が E L 素子 106 に接続されている。コンデンサ 107 は E L 駆動用 TFT105 のゲート電極と電源供給線 V とに接続して設けられている。10

【0049】

さらに画素 102 は、リセット用 TFT110、バッファ用 TFT111、選択用 TFT112、フォトダイオード 113 を有している。

【0050】

リセット用 TFT110 のゲート電極はリセット用ゲート信号線 R G に接続されている。リセット用 TFT110 のソース領域はセンサ用電源線 V B に接続されている。センサ用電源線 V B は常に一定の電位（基準電位）に保たれている。またリセット用 TFT110 のドレイン領域はフォトダイオード 113 及びバッファ用 TFT111 のゲート電極に接続されている。20

【0051】

図示しないが、フォトダイオード 113 はカソード電極と、アノード電極と、カソード電極とアノード電極の間に設けられた光電変換層とを有している。リセット用 TFT110 のドレイン領域は、具体的にはフォトダイオード 113 のアノード電極又はカソード電極に接続されている。

【0052】

バッファ用 TFT111 のドレイン領域はセンサ用電源線 V B に接続されており、常に一定の基準電位に保たれている。そしてバッファ用 TFT111 のソース領域は選択用 TFT112 のソース領域又はドレイン領域に接続されている。30

【0053】

選択用 TFT112 のゲート電極はセンサ用ゲート信号線 S G に接続されている。そして選択用 TFT112 のソース領域とドレイン領域は、一方は上述したとおりバッファ用 TFT111 のソース領域に接続されており、もう一方はセンサ出力配線 S S に接続されている。センサ出力配線 S S は定電流電源 103（定電流電源 103—1 ~ 103—x のいずれか 1 つ）に接続されており、常に一定の電流が流れている。

【0054】

次に本発明のエリアセンサの駆動の仕方について、図 1 及び図 2 を用いて説明する。

【0055】

画素 102 が有する E L 素子 106 はエリアセンサの光源として機能しており、スイッチング用 TFT104、E L 駆動用 TFT105 及びコンデンサ 107 は、光源としての E L 素子 106 の動作を制御している。40

【0056】

E L 素子から発せられる光は被写体上で反射し、画素 102 が有するフォトダイオード 113 に照射される。フォトダイオード 113 は、照射された光を、画像情報を有する電気信号に変換する。そしてフォトダイオード 113 で発生した画像情報を有する電気信号は、リセット用 TFT110、バッファ用 TFT111 及び選択用 TFT112 により画像信号としてエリアセンサ内に取り込まれる。

【0057】

図 3 は、リセット用 TFT110、バッファ用 TFT111 及び選択用 TFT112 の動50

作を示すタイミングチャートである。なおここでは、リセット用 TFT110 が n チャネル型 TFT、バッファ用 TFT111 が p チャネル型 TFT、選択用 TFT112 が n チャネル型 TFT の場合のタイミングチャートを示す。本発明においてリセット用 TFT110、バッファ用 TFT111 及び選択用 TFT112 は、n チャネル型 TFT と p チャネル型 TFT のどちらでも良い。ただし、リセット用 TFT110 とバッファ用 TFT111 の極性は逆の方が好ましい。

【 0 0 5 8 】

まずリセット用ゲート信号線 RG1 に入力されているリセット信号によって、RG1 に接続されている 1 ライン目の画素のリセット用 TFT110 はオンの状態にある。よってセンサ用電源線 VB の基準電位がバッファ用 TFT111 のゲート電極に与えられる。

10

【 0 0 5 9 】

またセンサ用ゲート信号線 SG1 に入力されているセンサ信号によって、センサ用ゲート信号線 SG1 に接続されている 1 ライン目の画素の選択用 TFT112 がオフの状態にある。よってバッファ用 TFT111 のソース領域は、基準電位からバッファ用 TFT111 のソース領域とゲート電極の電位差 V_{GS} を差し引いた電位に保たれている。なお本明細書では、リセット用 TFT110 がオンの状態である期間をリセット期間と呼ぶ。

【 0 0 6 0 】

そしてリセット用ゲート信号線 RG1 に入力されたリセット信号の電位が変化して、1 ライン目の画素のリセット用 TFT110 が全てオフの状態になる。よってセンサ用電源線 VB の基準電位は、1 ライン目の画素のバッファ用 TFT111 のゲート電極に与えられなくなる。なお、リセット用 TFT110 がオフの状態にある期間を、本明細書ではサンプル期間 ST と呼ぶ。特に 1 ライン目の画素のリセット用 TFT110 がオフの状態にある期間をサンプル期間 ST1 と呼ぶ。

20

【 0 0 6 1 】

サンプル期間 ST1 では、センサ用ゲート信号線 SG1 に入力されたセンサ信号の電位が変化して、1 ライン目の画素の選択用 TFT112 がオンの状態になる。よって 1 ライン目の画素のバッファ用 TFT111 のソース領域は、選択用 TFT112 を介してセンサ出力配線 SS1 に電気的に接続される。センサ出力配線 SS1 は定電流電源 103_1 に接続されており、そのためバッファ用 TFT111 はソースフォロワ (source follower) として機能し、ソース領域とゲート電極の電位差 V_{GS} は一定となる。

30

【 0 0 6 2 】

サンプル期間 ST1 において、EL 素子 106 からの光が被写体上で反射してフォトダイオード 113 に照射されると、フォトダイオード 113 に電流が流れる。そのため、リセット期間において基準電位に保たれていたバッファ用 TFT111 のゲート電極の電位は、フォトダイオード 113 で発生する電流の大きさに応じて高くなる。

【 0 0 6 3 】

フォトダイオード 113 に流れる電流は、フォトダイオード 113 に照射される光の強さに比例するため、被写体上の画像は、フォトダイオード 113 においてそのまま電気信号に変換される。フォトダイオード 113 において生成された電気信号は、バッファ用 TFT111 のゲート電極に入力される。

40

【 0 0 6 4 】

バッファ用 TFT111 のソース領域とゲート電極の電位差 V_{GS} は常に一定であるので、バッファ用 TFT111 のソース領域は、バッファ用 TFT111 のゲート電極の電位から V_{GS} を差し引いた電位に保たれている。そのためバッファ用 TFT111 のゲート電極の電位が変化すると、それに伴ってバッファ用 TFT111 のソース領域の電位も変化する。

【 0 0 6 5 】

バッファ用 TFT111 のソース領域の電位は、画像信号として選択用 TFT112 を介してセンサ出力配線 SS1 に入力される。

【 0 0 6 6 】

50

次に、リセット用ゲート信号線 R G 1 に入力されているリセット信号によって、R G 1 に接続されている 1 ライン目の画素のリセット用 T F T 1 1 0 はオンの状態になり、再びリセット期間になる。それと同時にリセット用ゲート信号線 R G 2 に入力されているリセット信号によって、R G 2 に接続されている 2 ライン目の画素のリセット用 T F T 1 1 0 はオフの状態になり、サンプリング期間 S T 2 が開始する。

【 0 0 6 7 】

サンプリング期間 S T 2 では、サンプリング期間 S T 1 と同様に、フォトダイオードにおいて画像情報を有する電気信号が生成し、画像信号がセンサ出力配線 S S 2 に入力される。

【 0 0 6 8 】

上記動作を繰り返し、サンプリング期間 S T y が終了すると、1つの画像を画像信号として読み込むことができる。なお本明細書では、サンプリング期間 S T 1 ~ S T y の全てが出現するまでの期間をセンサフレーム期間 S F と呼ぶ。

10

【 0 0 6 9 】

また各サンプリング期間において、各画素が有する E L 素子を常に発光させておく必要がある。例えば 1 ライン目の画素が有する E L 素子は、最低でもサンプリング期間 S T 1 の間発光していることが重要である。なお全ての画素がセンサフレーム期間 S F の間、常に発光していても良い。

【 0 0 7 0 】

なおカラー画像を読み込むエリアセンサの場合、センサ部は R (赤) G (緑) B (青) の各色に対応した画素を有している。R G B の各色に対応した画素は、R G B に対応した三種類の E L 素子を有しているか、または白色発光の E L 素子と R G B の三種類のカラーフィルターを有しているか、または青色又は青緑発光の E L 素子と蛍光体 (蛍光性の色変換層 : C C M) を有している。

20

【 0 0 7 1 】

R G B の各色に対応した画素から発せられる R G B の各色の光は、被写体に順に照射される。そして被写体上で反射された R G B の各色の光が、画素の有するフォトダイオードに照射され、R G B 各色に対応する画像信号がエリアセンサに取り込まれる。

【 0 0 7 2 】

図 4 は、カラー画像を読み込むエリアセンサのリセット用 T F T 1 1 0 、バッファ用 T F T 1 1 1 及び選択用 T F T 1 1 2 の動作を示すタイミングチャートである。なおここでは、リセット用 T F T 1 1 0 が n チャネル型 T F T 、バッファ用 T F T 1 1 1 が p チャネル型 T F T 、選択用 T F T 1 1 2 が n チャネル型 T F T の場合のタイミングチャートを示す。

30

【 0 0 7 3 】

R に対応する画素の E L 素子が発光している期間内に、サンプル期間 S T 1 ~ S T y の全てが出現する。この R に対応する画素の E L 素子が発光している期間内において、サンプリング期間 S T 1 ~ S T y の全てが出現するまでの期間を R 用センサフレーム期間 S F r と呼ぶ。R 用センサフレーム期間 S F r において R に対応する画像信号がエリアセンサ内に取り込まれる。なお R 用センサフレーム期間 S F r において、G、B に対応する画素は発光を行わない。

40

【 0 0 7 4 】

次に、G に対応する画素の E L 素子が発光している期間内に、サンプル期間 S T 1 ~ S T y の全てが出現する。この G に対応する画素の E L 素子が発光している期間内において、サンプリング期間 S T 1 ~ S T y の全てが出現するまでの期間を G 用センサフレーム期間 S F g と呼ぶ。G 用センサフレーム期間 S F g において G に対応する画像信号がエリアセンサ内に取り込まれる。なお G 用センサフレーム期間 S F g において、R、B に対応する画素は発光を行わない。

【 0 0 7 5 】

次に、B に対応する画素の E L 素子が発光している期間内に、サンプル期間 S T 1 ~ S T

50

y の全てが出現する。この B に対応する画素の E L 素子が発光している期間内において、サンプリング期間 S T 1 ~ S T y の全てが出現するまでの期間を B 用センサフレーム期間 S F b と呼ぶ。B 用センサフレーム期間 S F b において B に対応する画像信号がエリアセンサ内に取り込まれる。B 用センサフレーム期間 S F b において、R、G に対応する画素は発光を行わない。

【 0 0 7 6 】

R 用センサフレーム期間 S F r と、G 用センサフレーム期間 S F g と、B 用センサフレーム期間 S F b の全てが出現するまでの期間がセンサフレーム期間 S F である。センサフレーム期間 S F が終了すると 1 つのカラー画像を画像信号として読み込むことができる。

【 0 0 7 7 】

また各サンプリング期間において、各色に対応する画素の E L 素子を常に発光させておく必要がある。例えば B 用センサフレーム期間内のサンプリング期間 S T 1 においては、1 ライン目の画素のうち B に対応する画素の E L 素子は常に発光していることが重要である。また R 用、G 用、B 用センサフレーム期間 (S F r 、 S F g 、 S F b) のそれぞれにおいて、各色に対応する画素が常に発光していても良い。

【 0 0 7 8 】

本発明は上記構成によって光が被写体に均一に照射されるため、読み込んだ画像の明るさにむらが生じることはない。そしてバックライトと光散乱板とを、センサ基板と別個に設ける必要はないため、従来例と異なり、バックライト、光散乱板、センサ基板及び被写体の位置を精密に調整したりする必要がなく、エリアセンサ自体の小型化、薄型化、軽量化が実現される。またエリアセンサ自体の機械的強度が増す。

【 0 0 7 9 】

また本発明のエリアセンサは、E L 素子を用いてセンサ部に画像を表示することが可能である。そのため、新たに電子ディスプレイをエリアセンサに設けなくとも、センサ部で読み込んだ画像をセンサ部に表示させることができ、その場で読み込んだ画像を確認することができる。

【 0 0 8 0 】

【 実施例 】

以下に、本発明の実施例について説明する。

【 0 0 8 1 】

(実施例 1)

本実施例では、図 2 に示すところの E L 素子 106 の動作を制御している、スイッチング用 TFT 104 及び E L 駆動用 TFT 105 の駆動方法について説明する。なおセンサ部の構成は実施の形態で示した構成と同じであるので、図 1 及び図 2 を参照する。

【 0 0 8 2 】

図 5 に本実施例のエリアセンサの上面図を示す。120 はソース信号線駆動回路、122 はゲート信号線駆動回路であり、共にスイッチング用 TFT 104 及び E L 駆動用 TFT 105 の駆動を制御している。また 121 はセンサ用ソース信号線駆動回路、123 はセンサ用ゲート信号線駆動回路であり、共にリセット用 TFT 110 、バッファ用 TFT 111 及び選択用 TFT 112 の駆動を制御している。なお本明細書において、ソース信号線駆動回路 120 、ゲート信号線駆動回路 122 、センサ用ソース信号線駆動回路 121 、センサ用ゲート信号線駆動回路 123 を駆動部と呼ぶ。

【 0 0 8 3 】

ソース信号線駆動回路 120 は、シフトレジスタ 120a 、ラッチ (A) 120b 、ラッチ (B) 120c を有している。ソース信号線駆動回路 120 において、シフトレジスタ 120a にクロック信号 (CLK) およびスタートパルス (SP) が入力される。シフトレジスタ 120a は、これらのクロック信号 (CLK) およびスタートパルス (SP) に基づきタイミング信号を順に発生させ、後段の回路へタイミング信号を順次供給する。

【 0 0 8 4 】

なおシフトレジスタ 120a からのタイミング信号を、バッファ等 (図示せず) によって

10

20

30

40

50

緩衝増幅し、後段の回路へ緩衝増幅したタイミング信号を順次供給しても良い。タイミング信号が供給される配線には、多くの回路あるいは素子が接続されているために負荷容量（寄生容量）が大きい。この負荷容量が大きいために生ずるタイミング信号の立ち上がりまたは立ち下がりの”鈍り”を防ぐために、このバッファが設けられる。

【0085】

シフトレジスタ120aからのタイミング信号は、ラッチ(A)120bに供給される。ラッチ(A)120bは、デジタル信号(digital signals)を処理する複数のステージのラッチを有している。ラッチ(A)120bは、前記タイミング信号が入力されると同時に、デジタル信号を順次書き込み、保持する。

【0086】

なお、ラッチ(A)120bにデジタル信号を取り込む際に、ラッチ(A)120bが有する複数のステージのラッチに、順にデジタル信号を入力しても良い。しかし本発明はこの構成に限定されない。ラッチ(A)120bが有する複数のステージのラッチをいくつかのグループに分け、各グループごとに並行して同時にデジタル信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば4つのステージごとにラッチをグループに分けた場合、4分割で分割駆動すると言う。

10

【0087】

ラッチ(A)120bの全ステージのラッチへのデジタル信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。すなわち、ラッチ(A)120b中で一番左側のステージのラッチにデジタル信号の書き込みが開始される時点から、一番右側のステージのラッチにデジタル信号の書き込みが終了する時点までの時間間隔がライン期間である。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

20

【0088】

1ライン期間が終了すると、ラッチ(B)120cにラッチシグナル(Latch Signal)が供給される。この瞬間、ラッチ(A)120bに書き込まれ保持されているデジタル信号は、ラッチ(B)120cに一斉に送出され、ラッチ(B)120cの全ステージのラッチに書き込まれ、保持される。

【0089】

デジタル信号をラッチ(B)120cに送出し終えたラッチ(A)120bは、シフトレジスタ120aからのタイミング信号に基づき、再びデジタル信号の書き込みを順次行う。

30

【0090】

この2順目の1ライン期間中には、ラッチ(B)120cに書き込まれ、保持されているデジタル信号がソース信号線S1～Sxに入力される。

【0091】

一方、ゲート信号線駆動回路122は、それぞれシフトレジスタ、バッファ（いずれも図示せず）を有している。また場合によっては、ゲート信号線駆動回路122が、シフトレジスタ、バッファの他にレベルシフトを有していても良い。

【0092】

ゲート信号線駆動回路122において、シフトレジスタ（図示せず）からのゲート信号がバッファ（図示せず）に供給され、対応するゲート信号線に供給される。ゲート信号線G1～Gyには、それぞれ1ライン分の画素のスイッチング用TFT104のゲート電極が接続されており、1ライン分全ての画素のスイッチング用TFT104を同時にオンの状態にしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

40

【0093】

なおソース信号線駆動回路とゲート信号線駆動回路の数、構成及びその動作は、本実施例で示した構成に限定されない。本発明のエリアセンサは、公知のソース信号線駆動回路及びゲート信号線駆動回路を用いることが可能である。

50

【 0 0 9 4 】

次に、センサ部のスイッチング用 T F T 1 0 4 及び E L 駆動用 T F T 1 0 5 を、デジタル方式で駆動させた場合のタイミングチャートを図 6 に示す。

【 0 0 9 5 】

センサ部 1 0 1 の全ての画素が一通り発光するまでの期間を 1 フレーム期間 (F) と呼ぶ。フレーム期間はアドレス期間 (T a) とサステイン期間 (T s) とに分けられる。アドレス期間とは、1 フレーム期間中、全ての画素にデジタル信号を入力する期間である。サステイン期間 (点灯期間とも呼ぶ) とは、アドレス期間において画素に入力されたデジタル信号によって、E L 素子を発光又は非発光の状態にし、表示を行う期間を示している。

【 0 0 9 6 】

電源供給線 (V 1 ~ V x) の電位は所定の電位 (電源電位) に保たれている。

【 0 0 9 7 】

まずアドレス期間 T a において、E L 素子 1 0 6 の対向電極の電位は、電源電位と同じ高さに保たれている。

【 0 0 9 8 】

そしてゲート信号線 G 1 に入力されるゲート信号によって、ゲート信号線 G 1 に接続されている全てのスイッチング用 T F T 1 0 4 がオンの状態になる。次に、ソース信号線駆動回路 1 2 0 からソース信号線 (S 1 ~ S x) にデジタル信号が入力される。ソース信号線 (S 1 ~ S x) に入力されたデジタル信号は、オンの状態のスイッチング用 T F T 1 0 4 を介して E L 駆動用 T F T 1 0 5 のゲート電極に入力される。

【 0 0 9 9 】

次にゲート信号線 G 2 に入力されるゲート信号によって、ゲート信号線 G 2 に接続されている全てのスイッチング用 T F T 1 0 4 がオンの状態になる。次に、ソース信号線駆動回路 1 2 0 からソース信号線 (S 1 ~ S x) にデジタル信号が入力される。ソース信号線 (S 1 ~ S x) に入力されたデジタル信号は、オンの状態のスイッチング用 T F T 1 0 4 を介して E L 駆動用 T F T 1 0 5 のゲート電極に入力される。

【 0 1 0 0 】

上述した動作をゲート信号線 G y まで繰り返し、全ての画素 1 0 2 の E L 駆動用 T F T 1 0 5 のゲート電極にデジタル信号が入力され、アドレス期間が終了する。

【 0 1 0 1 】

アドレス期間 T a が終了すると同時にサステイン期間となる。サステイン期間において、全てのスイッチング用 T F T 1 0 4 は、オフの状態となる。

【 0 1 0 2 】

そしてサステイン期間が開始されると同時に、全ての E L 素子の対向電極の電位は、電源電位が画素電極に与えられたときに E L 素子が発光する程度に、電源電位との間に電位差を有する高さになる。なお本明細書において、画素電極と対向電極の電位差を E L 駆動電圧と呼ぶ。また各画素が有する E L 駆動用 T F T 1 0 5 のゲート電極に入力されたデジタル信号によって E L 駆動用 T F T 1 0 5 はオンの状態になっている。よって電源電位が E L 素子の画素電極に与えられ、全ての画素が有する E L 素子は発光する。

【 0 1 0 3 】

サステイン期間が終了すると同時に、1 つのフレーム期間が終了する。本発明では、全てのサンプリング期間 S T 1 ~ S T y において画素が発光する必要があり、よって本実施例の駆動方法の場合、サステイン期間内にセンサフレーム期間 S F が含まれていることが重要である。

【 0 1 0 4 】

なお本実施例では、単色の画像を読み込むエリアセンサの駆動方法について説明したが、カラー画像を読み込む場合も同様である。ただしカラー画像を読み込むエリアセンサの場合、1 つのフレーム期間を R G B に対応した 3 つのサブフレーム期間に分割し、各サブフレーム期間においてアドレス期間とサステイン期間とを設ける。そして R 用のサブフレーム期間のアドレス期間では、R に対応する画素の E L 素子だけ発光するようなデジタル信

10

20

30

40

50

号を全ての画素に入力し、サステイン期間において R の E L 素子だけ発光を行う。G 用、B 用のサブフレーム期間においても同様に、各サステイン期間において、各色に対応する画素の E L 素子のみが発光を行うようとする。

【 0 1 0 5 】

そしてカラー画像を読み込むエリアセンサの場合、R G B に対応した 3 つのサブフレーム期間の各サステイン期間は、R 用、G 用、B 用センサフレーム期間 (S F r 、 S F g 、 S F b) をそれぞれ含んでいることが重要である。

【 0 1 0 6 】

(実施例 2)

本実施例では、センサ部 1 0 1 において画像を表示する際の、スイッチング用 T F T 1 0 10 及び E L 駆動用 T F T 1 0 5 の駆動方法について説明する。なおセンサ部の構成は実施の形態で示した構成と同じであるので、図 1 及び図 2 を参照する。

【 0 1 0 7 】

図 7 に、本発明のエリアセンサにおいて、デジタル方式でセンサ部 1 0 1 に画像を表示する際のタイミングチャートを示す。

【 0 1 0 8 】

まず、1 フレーム期間 (F) を n 個のサブフレーム期間 (S F 1 ~ S F n) に分割する。階調数が多くなるにつれて 1 フレーム期間におけるサブフレーム期間の数も増える。なおエリアセンサのセンサ部が画像を表示する場合、1 フレーム期間 (F) とは、センサ部の全ての画素が 1 つの画像を表示する期間を指す。 20

【 0 1 0 9 】

本実施例の場合、フレーム期間は 1 秒間に 6 0 以上設けることが好ましい。1 秒間に表示される画像の数を 6 0 以上にすることで、視覚的にフリッカ等の画像のちらつきを抑えることが可能になる。

【 0 1 1 0 】

サブフレーム期間はアドレス期間 (T a) とサステイン期間 (T s) とに分けられる。アドレス期間とは、1 サブフレーム期間中、全ての画素にデジタルビデオ信号を入力する期間である。なおデジタルビデオ信号とは、画像情報を有するデジタルの信号である。サステイン期間（点灯期間とも呼ぶ）とは、アドレス期間において画素に入力されたデジタルビデオ信号によって、E L 素子を発光又は非発光の状態にし、表示を行う期間を示している。なおデジタルビデオ信号とは、画像情報を有するデジタル信号を意味する。 30

【 0 1 1 1 】

S F 1 ~ S F n が有するアドレス期間 (T a) をそれぞれ T a 1 ~ T a n とする。S F 1 ~ S F n が有するサステイン期間 (T s) をそれぞれ T s 1 ~ T s n とする。

【 0 1 1 2 】

電源供給線 (V 1 ~ V x) の電位は所定の電位（電源電位）に保たれている。

【 0 1 1 3 】

まずアドレス期間 T a において、E L 素子 1 0 6 対向電極の電位は、電源電位と同じ高さに保たれている。

【 0 1 1 4 】

次にゲート信号線 G 1 に入力されるゲート信号によって、ゲート信号線 G 1 に接続されている全てのスイッチング用 T F T 1 0 4 がオンの状態になる。次に、ソース信号線駆動回路 1 0 2 からソース信号線 (S 1 ~ S x) にデジタルビデオ信号が入力される。デジタルビデオ信号は「 0 」または「 1 」の情報を有しており、「 0 」と「 1 」のデジタルビデオ信号は、一方が H i 、一方が L o の電圧を有する信号である。 40

【 0 1 1 5 】

そしてソース信号線 (S 1 ~ S x) に入力されたデジタルビデオ信号は、オンの状態のスイッチング用 T F T 1 0 4 を介して、E L 駆動用 T F T 1 0 5 のゲート電極に入力される。

【 0 1 1 6 】

10

20

30

40

50

次にゲート信号線 G 1 に接続されている全てのスイッチング用 TFT104 がオフの状態になり、ゲート信号線 G 2 に入力されるゲート信号によって、ゲート信号線 G 2 に接続されている全てのスイッチング用 TFT104 がオンの状態になる。次に、ソース信号線駆動回路 102 からソース信号線 (S1 ~ Sx) にデジタルビデオ信号が入力される。ソース信号線 (S1 ~ Sx) に入力されたデジタルビデオ信号は、オンの状態のスイッチング用 TFT104 を介して、EL 駆動用 TFT105 のゲート電極に入力される。

【0117】

上述した動作をゲート信号線 Gy まで繰り返し、全ての画素 102 の EL 駆動用 TFT105 のゲート電極にデジタルビデオ信号が入力され、アドレス期間が終了する。

【0118】

アドレス期間 Ta が終了すると同時にサステイン期間 Ts となる。サステイン期間において、全てのスイッチング用 TFT104 はオフの状態になる。サステイン期間において、全ての EL 素子の対向電極の電位は、電源電位が画素電極に与えられたときに EL 素子が発光する程度に、電源電位との間に電位差を有する高さになる。

【0119】

本実施例では、デジタルビデオ信号が「0」の情報を有していた場合、EL 駆動用 TFT105 はオフの状態になる。よって EL 素子の画素電極は対向電極の電位に保たれたままである。その結果、「0」の情報を有するデジタルビデオ信号が入力された画素において、EL 素子 106 は発光しない。

【0120】

逆にデジタルビデオ信号が「1」の情報を有していた場合、EL 駆動用 TFT105 はオンの状態になる。よって電源電位が EL 素子 106 の画素電極に与えられる。その結果、「1」の情報を有するデジタルビデオ信号が入力された画素が有する EL 素子 106 は発光する。

【0121】

このように、画素に入力されるデジタルビデオ信号の有する情報によって、EL 素子が発光または非発光の状態になり、画素は表示を行う。

【0122】

サステイン期間が終了すると同時に、1つのサブフレーム期間が終了する。そして次のサブフレーム期間が出現し、再びアドレス期間に入り、全画素にデジタルビデオ信号を入力したら、再びサステイン期間に入る。なお、サブフレーム期間 SF1 ~ SFn の出現する順序は任意である。

【0123】

以下、残りのサブフレーム期間においても同様の動作を繰り返し、表示を行う。n 個のサブフレーム期間が全て終了したら、1つの画像が表示され、1フレーム期間が終了する。1フレーム期間が終了すると次のフレーム期間のサブフレーム期間が出現し、上述した動作を繰り返す。

【0124】

本発明において、n 個のサブフレーム期間がそれぞれ有するアドレス期間 (Ta1 ~ Tan) の長さは全て同じである。また n 個のサステイン期間 Ts1, ..., Tsn の長さの比は、 $Ts1 : Ts2 : Ts3 : \dots : Ts(n-1) : Ts_n = 2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ で表される。

【0125】

各画素の階調は、1フレーム期間においてどのサブフレーム期間を発光させるかによって決まる。例えば、n = 8 のとき、全部のサステイン期間で発光した場合の画素の輝度を 100% とすると、Ts1 と Ts2 において画素が発光した場合には 75% の輝度が表現でき、Ts3 と Ts5 と Ts8 を選択した場合には 16% の輝度が表現できる。

【0126】

なお本実施例は、実施例 1 と自由に組み合わせることが可能である。

【0127】

10

20

30

40

50

(実施例3)

実施例1及び2では、アドレス期間において対向電極の電位を電源電位と同じ電位に保っていたため、EL素子は発光しなかった。しかし本発明はこの構成に限定されない。画素電極に電源電位が与えられたときにEL素子が発光する程度の電位差を、対向電位と電源電位との間に常に設け、アドレス期間においても表示期間と同様に表示を行うようにしても良い。

【0128】

ただしEL素子をエリアセンサの光源として用いる実施例1と本実施例を組み合わせる場合、単色の画像を読み込むエリアセンサでは、フレーム期間内にセンサフレーム期間SFが含まれていることが重要である。またカラー画像を読み込むエリアセンサでは、RGBに対応した3つのサブフレーム期間が、それぞれR用、G用、B用のセンサフレーム期間に含まれていることが重要である。10

【0129】

またセンサ部に画像を表示する実施例2と本実施例を組み合わせる場合、サブフレーム期間全体が実際に表示を行う期間となるので、サブフレーム期間の長さを、 $SF_1 : SF_2 : SF_3 : \dots : SF_{(n-1)} : SF_n = 2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ となるように設定する。上記構成により、アドレス期間を発光させない駆動方法に比べて、高い輝度の画像が得られる。

【0130】

(実施例4)20
本実施例では、図2に示すところのEL素子106の動作を制御している、スイッチング用TFT104及びEL駆動用TFT105の駆動方法の、実施例1とは異なる例について説明する。なおセンサ部の構成は実施の形態で示した構成と同じであるので、図1及び図2を参照する。

【0131】

図8に本実施例のエリアセンサの上面図を示す。130はソース信号線駆動回路、132はゲート信号線駆動回路であり、共にスイッチング用TFT104及びEL駆動用TFT105の駆動を制御している。また131はセンサ用ソース信号線駆動回路、133はセンサ用ゲート信号線駆動回路であり、共にリセット用TFT110、バッファ用TFT111及び選択用TFT112の駆動を制御している。本実施例ではソース信号線駆動回路とゲート信号線駆動回路とを1つづつ設けたが、本発明はこの構成に限定されない。ソース信号線駆動回路を2つ設けても良い。また、ゲート信号線駆動回路を2つ設けても良い。30

【0132】

なお本明細書において、ソース信号線駆動回路130、ゲート信号線駆動回路132、センサ用ソース信号線駆動回路131、センサ用ゲート信号線駆動回路133を駆動部と呼ぶ。

【0133】

ソース信号線駆動回路130は、シフトレジスタ130a、レベルシフト130b、サンプリング回路130cを有している。なおレベルシフトは必要に応じて用いればよく、必ずしも用いなくとも良い。また本実施例においてレベルシフトはシフトレジスタ130aとサンプリング回路130cとの間に設ける構成としたが、本発明はこの構成に限定されない。またシフトレジスタ130aの中にレベルシフト130bが組み込まれている構成にしても良い。40

【0134】

クロック信号(CLK)、スタートパルス信号(SP)がシフトレジスタ130aに入力される。シフトレジスタ130aからアナログの信号(アナログ信号)をサンプリングするためのサンプリング信号が出力される。出力されたサンプリング信号はレベルシフト130bに入力され、その電位の振幅が大きくなって出力される。

【0135】

10

20

30

40

50

レベルシフト 130b から出力されたサンプリング信号は、サンプリング回路 130c に入力される。そしてサンプリング回路 130c に入力されるアナログ信号がサンプリング信号によってそれぞれサンプリングされ、ソース信号線 S1 ~ Sx に入力される。

【0136】

一方、ゲート信号線駆動回路 132 は、それぞれシフトレジスタ、バッファ（いずれも図示せず）を有している。また場合によっては、ゲート信号線駆動回路 132 が、シフトレジスタ、バッファの他にレベルシフトを有していても良い。

【0137】

ゲート信号線駆動回路 132において、シフトレジスタ（図示せず）からのゲート信号がバッファ（図示せず）に供給され、対応するゲート信号線に供給される。ゲート信号線 G1 ~ Gy には、それぞれ 1 ライン分の画素のスイッチング用 TFT104 のゲート電極が接続されており、1 ライン分全ての画素のスイッチング用 TFT104 を同時にオンの状態にしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

【0138】

なおソース信号線駆動回路とゲート信号線駆動回路の数、構成及びその動作は、本実施例で示した構成に限定されない。本発明のエリアセンサは、公知のソース信号線駆動回路及びゲート信号線駆動回路を用いることが可能である。

【0139】

次に、センサ部のスイッチング用 TFT104 及び EL 駆動用 TFT105 を、アナログ方式で駆動させた場合のタイミングチャートを図 9 に示す。センサ部 101 の全ての画素が一通り発光するまでの期間を 1 フレーム期間 F と呼ぶ。1 ライン期間 L は、1 つのゲート信号線が選択されてから、その次に別のゲート信号線が選択されるまでの期間を意味する。図 2 に示したエリアセンサの場合、ゲート信号線は y 本あるので、1 フレーム期間中に y 個のライン期間 L1 ~ Ly が設けられている。

【0140】

解像度が高くなるにつれて 1 フレーム期間中のライン期間の数も増え、駆動回路を高い周波数で駆動しなければならなくなる。

【0141】

まず電源電圧線 V1 ~ Vx は一定の電源電位に保たれている。そして EL 素子 106 の対向電極の電位である対向電位も一定の電位に保たれている。電源電位は、電源電位が EL 素子 106 の画素電極に与えられると EL 素子 106 が発光する程度に、対向電位との間に電位差を有している。

【0142】

第 1 のライン期間 L1 において、ゲート信号線駆動回路 132 からゲート信号線 G1 に入力されるゲート信号によって、ゲート信号線 G1 に接続された全てのスイッチング用 TFT104 はオンの状態になる。そして、ソース信号線 S1 ~ Sx に順にソース信号線駆動回路 130 からアナログ信号が入力される。ソース信号線 S1 ~ Sx に入力されたアナログ信号は、スイッチング用 TFT104 を介して EL 駆動用 TFT105 のゲート電極に入力される。

【0143】

EL 駆動用 TFT105 のチャネル形成領域を流れる電流の大きさは、そのゲート電極に入力される信号の電位の高さ（電圧）によって制御される。よって、EL 素子 106 の画素電極に与えられる電位は、EL 駆動用 TFT105 のゲート電極に入力されたアナログ信号の電位の高さによって決まる。そして EL 素子 105 はアナログ信号の電位に制御されて発光を行う。なお本実施例の場合、全ての画素に入力されるアナログ信号は、同じ高さの電位に保たれている。

【0144】

ソース信号線 S1 ~ Sx へのアナログ信号の入力が終了すると、第 1 のライン期間 L1 が終了する。なお、ソース信号線 S1 ~ Sx へのアナログ信号の入力が終了するまでの期間

10

20

30

40

50

と水平帰線期間とを合わせて1つのライン期間としても良い。そして次に第2のライン期間L2となり、ゲート信号線G1に接続された全てのスイッチング用TFT104はオフの状態になり、ゲート信号線G2に入力されるゲート信号によって、ゲート信号線G2に接続された全てのスイッチング用TFT104はオンの状態になる。そして第1のライン期間L1と同様に、ソース信号線S1～Sxに順にアナログ信号が入力される。

【0145】

そして上述した動作をゲート信号線Gyまで繰り返し、全てのライン期間L1～Lyが終了する。全てのライン期間L1～Lyが終了すると、1フレーム期間が終了する。1フレーム期間が終了することで、全ての画素が有するEL素子は発光を行う。なお全てのライン期間L1～Lyと垂直帰線期間とを合わせて1フレーム期間としても良い。

10

【0146】

本発明では、全てのサンプリング期間ST1～STyにおいて画素が発光する必要があり、よって本実施例の駆動方法の場合、フレーム期間内にセンサフレーム期間SFが含まれていることが重要である。

【0147】

なお本実施例では、単色の画像を読み込むエリアセンサの駆動方法について説明したが、カラー画像を読み込む場合も同様である。ただしカラー画像を読み込むエリアセンサの場合、1つのフレーム期間をRGBに対応した3つのサブフレーム期間に分割する。そしてR用のサブフレーム期間では、Rに対応する画素のEL素子だけ発光するようなアナログ信号を全ての画素に入力し、RのEL素子だけ発光を行う。G用、B用のサブフレーム期間においても同様に、各色に対応する画素のEL素子のみが発光を行うようとする。

20

【0148】

そしてカラー画像を読み込むエリアセンサの場合、RGBに対応した3つのサブフレーム期間の各サステイン期間は、R用、G用、B用センサフレーム期間(SFr、SFG、SFB)を含んでいることが重要である。

【0149】

なお本実施例の駆動方法において、センサ部101に画像を表示させる場合は、アナログ信号の代わりに画像情報を有するアナログのビデオ信号(アナログビデオ信号)を入力すると、センサ部101に画像を表示することが可能である。

【0150】

30

(実施例5)

本実施例では、本発明のエリアセンサのセンサ部における断面図について説明する。

【0151】

図10に本実施例のエリアセンサの断面図を示す。401はスイッチング用TFT、402はEL駆動用TFT、403はリセット用TFT、404はバッファ用TFT、405は選択用TFTである。

【0152】

また、406はカソード電極、407は光電変換層、408はアノード電極である。カソード電極406と、光電変換層407と、アノード電極408とによって、フォトダイオード421が形成される。414はセンサ用配線であり、アノード電極408と外部の電源とを接続している。

40

【0153】

また409は画素電極(陰極)、410は発光層、411は正孔注入層、412は対向電極(陽極)である。画素電極(陰極)409と、発光層410と、正孔注入層411と、対向電極(陽極)412とでEL素子422が形成される。なお413はバンクであり、隣り合う画素同士の発光層410を区切っている。

【0154】

423は被写体であり、EL素子422から発せられた光が被写体423上で反射し、フォトダイオード421に照射される。本実施例では、被写体423をセンサ基板430のTFTが形成されている側に設ける。

50

【0155】

本実施例において、スイッチング用TFT401、EL駆動用TFT402、バッファ用TFT404、選択用TFT405は全てnチャネル型TFTである。またリセット用TFT403はpチャネル型TFTである。なお本発明はこの構成に限定されない。よってスイッチング用TFT401、EL駆動用TFT402、バッファ用TFT404、選択用TFT405、リセット用TFT403は、nチャネル型TFTとpチャネル型TFTのどちらでも良い。

【0156】

ただし本実施例のように、EL駆動用TFT402のソース領域またはドレイン領域がEL素子の陰極と電気的に接続されている場合、EL駆動用TFT402はnチャネル型TFTであることが望ましい。また逆に、EL駆動用TFT402のソース領域またはドレイン領域がEL素子の陽極と電気的に接続されている場合、EL駆動用TFT402はpチャネル型TFTであることが望ましい。10

【0157】

また、本実施例のように、リセット用TFT403のドレイン領域がフォトダイオード421のカソード電極406とが電気的に接続されている場合、リセット用TFT403はpチャネル型TFT、バッファ用TFT404はnチャネル型TFTであることが望ましい。逆にリセット用TFT403のドレイン領域がフォトダイオード421のアノード電極408と電気的に接続され、センサ用配線414がカソード電極406と接続されている場合、リセット用TFT403はnチャネル型TFT、バッファ用TFT404はpチャネル型TFTであることが望ましい。20

【0158】

なお本実施例は、実施例1～実施例4と自由に組み合わせることが可能である。

【0159】**(実施例6)**

本実施例では、本発明のエリアセンサのセンサ部における断面図の、実施例5とは異なる例について説明する。

【0160】

図11に本実施例のエリアセンサの断面図を示す。501はスイッチング用TFT、502はEL駆動用TFT、503はリセット用TFT、504はバッファ用TFT、505は選択用TFTである。30

【0161】

また、506はカソード電極、507は光電変換層、508はアノード電極である。カソード電極506と、光電変換層507と、アノード電極508とによって、フォトダイオード521が形成される。514はセンサ用配線であり、アノード電極508と外部の電源とを電気的に接続している。また、フォトダイオード521のカソード電極506とリセット用TFT503のドレイン領域とは電気的に接続されている。

【0162】

また509は画素電極(陽極)、510はEL層、511は対向電極(陰極)である。画素電極(陽極)509と、EL層510と、対向電極(陰極)511とでEL素子522が形成される。なお512はバンクであり、隣り合う画素同士のEL層510を区切っている。40

【0163】

523は被写体であり、EL素子522から発せられた光が被写体523上で反射し、フォトダイオード521に照射される。本実施例では、実施例5と異なり、被写体をセンサ基板530のTFTが形成されていない側に設ける。

【0164】

本実施例において、スイッチング用TFT501、バッファ用TFT504、選択用TFT505は全てnチャネル型TFTである。またEL駆動用TFT502、リセット用TFT503はpチャネル型TFTである。なお本発明はこの構成に限定されない。よって50

スイッチング用 TFT501、EL駆動用 TFT502、バッファ用 TFT504、選択用 TFT505、リセット用 TFT503は、nチャネル型TFTとpチャネル型TFTのどちらでも良い。

【0165】

ただし本実施例のように、EL駆動用 TFT502 のソース領域またはドレイン領域が EL 素子 522 の陽極 509 と電気的に接続されている場合、EL 駆動用 TFT502 は p チャネル型 TFT であることが望ましい。また逆に、EL 駆動用 TFT502 のソース領域またはドレイン領域が EL 素子 522 の陰極と電気的に接続されている場合、EL 駆動用 TFT502 は n チャネル型 TFT であることが望ましい。

【0166】

また、本実施例のように、リセット用 TFT503 のドレイン領域がフォトダイオード 521 のカソード電極 506 と電気的に接続されている場合、リセット用 TFT503 は p チャネル型 TFT、バッファ用 TFT504 は n チャネル型 TFT であることが望ましい。逆にリセット用 TFT503 のドレイン領域がフォトダイオード 521 のアノード電極 508 と電気的に接続され、センサ用配線 514 がカソード電極 506 と電気的に接続されている場合、リセット用 TFT503 は n チャネル型 TFT、バッファ用 TFT504 は p チャネル型 TFT であることが望ましい。

【0167】

なお本実施例のフォトダイオードは他の TFT と同時に形成することができるので、工程数を抑えることができる。

【0168】

なお本実施例は、実施例 1 ~ 実施例 4 と自由に組み合わせることが可能である。

【0169】

(実施例 7)

本実施例では、本発明のエリアセンサのセンサ部における断面図の、実施例 5、6 とは異なる例について説明する。

【0170】

図 12 に本実施例のエリアセンサの断面図を示す。601 はスイッチング用 TFT、602 は EL 駆動用 TFT、603 はリセット用 TFT、604 はバッファ用 TFT、605 は選択用 TFT である。

【0171】

また、606 はカソード電極、607 は光電変換層、608 はアノード電極である。カソード電極 606 と、光電変換層 607 と、アノード電極 608 とによって、フォトダイオード 621 が形成される。614 はセンサ用配線であり、アノード電極 608 と外部の電源とを接続している。また、フォトダイオード 621 のカソード電極 606 とリセット用 TFT 603 のドレイン領域とは電気的に接続されている

【0172】

また 609 は画素電極（陽極）、610 は EL 層、611 は対向電極（陰極）である。画素電極（陽極）609 と、EL 層 610 と、対向電極（陰極）611 とで EL 素子 622 が形成される。なお 612 はバンクであり、隣り合う画素同士の EL 層 610 を区切っている。

【0173】

623 は被写体であり、EL 素子 622 から発せられた光が被写体 623 上で反射し、フォトダイオード 621 に照射される。本実施例では、実施例 5 と異なり、被写体 523 をセンサ基板 630 の TFT が形成されていない側に設ける。

【0174】

本実施例において、スイッチング用 TFT601、バッファ用 TFT604、選択用 TFT605 は全て n チャネル型 TFT である。また EL 駆動用 TFT602、リセット用 TFT603 は p チャネル型 TFT である。なお本発明はこの構成に限定されない。よってスイッチング用 TFT601、EL 駆動用 TFT602、バッファ用 TFT604、選択

10

20

30

40

50

用TFT605、リセット用TFT603は、nチャネル型TFTとpチャネル型TFTのどちらでも良い。

【0175】

ただし本実施例のように、EL駆動用TFT602のソース領域またはドレイン領域がEL素子の陽極と電気的に接続されている場合、EL駆動用TFT602はpチャネル型TFTであることが望ましい。また逆に、EL駆動用TFT602のソース領域またはドレイン領域がEL素子の陰極と電気的に接続されている場合、EL駆動用TFT602はnチャネル型TFTであることが望ましい。

【0176】

また、本実施例のように、リセット用TFT603のドレイン領域がフォトダイオード621のカソード電極606と電気的に接続されている場合、リセット用TFT603はpチャネル型TFT、バッファ用TFT604はnチャネル型TFTであることが望ましい。逆にリセット用TFT603のドレイン領域がフォトダイオード621のアノード電極608と電気的に接続されていて、センサ用配線614がカソード電極606と接続されている場合、リセット用TFT603はnチャネル型TFT、バッファ用TFT604はpチャネル型TFTであることが望ましい。

【0177】

なお本実施例は、実施例1～実施例4と自由に組み合わせることが可能である。

【0178】

(実施例8)

20

本実施例では、本発明のエリアセンサのセンサ部における断面図の、実施例5～7とは異なる例について説明する。

【0179】

図13に本実施例のエリアセンサの断面図を示す。701はスイッチング用TFT、702はEL駆動用TFT、703はリセット用TFT、704はバッファ用TFT、705は選択用TFTである。

【0180】

また、706はカソード電極、707は光電変換層、708はアノード電極である。カソード電極706と、光電変換層707と、アノード電極708とによって、フォトダイオード721が形成される。714はセンサ用配線であり、カソード電極706と外部の電源とを接続している。また、フォトダイオード721のアノード電極708とリセット用TFT703のドレイン領域とは電気的に接続されている

30

【0181】

また709は画素電極(陰極)、710は発光層、711は正孔注入層、712は対向電極(陽極)である。画素電極(陰極)709と、発光層710と、正孔注入層711と、対向電極(陽極)712とでEL素子722が形成される。なお713はバンクであり、隣り合う画素同士の発光層710を区切っている。

【0182】

723は被写体であり、EL素子722から発せられた光が被写体723上で反射し、フォトダイオード721に照射される。本実施例では、被写体723をセンサ基板730のTFTが形成されている側に設ける。

40

【0183】

本実施例において、スイッチング用TFT701、EL駆動用TFT702、リセット用TFT703は全てnチャネル型TFTである。またバッファ用TFT704、選択用TFT705はpチャネル型TFTである。なお本発明はこの構成に限定されない。よってスイッチング用TFT701、EL駆動用TFT702、バッファ用TFT704、選択用TFT705、リセット用TFT703は、nチャネル型TFTとpチャネル型TFTのどちらでも良い。

【0184】

ただし本実施例のように、EL駆動用TFT702のソース領域またはドレイン領域がE

50

L素子722の陰極709と電気的に接続されている場合、EL駆動用TFT702はnチャネル型TFTであることが望ましい。また逆に、EL駆動用TFT702のソース領域またはドレイン領域がEL素子722の陽極712と電気的に接続されている場合、EL駆動用TFT702はpチャネル型TFTであることが望ましい。

【0185】

また、本実施例のように、リセット用TFT703のドレイン領域がフォトダイオード721のアノード電極708と電気的に接続されている場合、リセット用TFT703はnチャネル型TFT、バッファ用TFT704はpチャネル型TFTであることが望ましい。逆にリセット用TFT703のドレイン領域がフォトダイオード721のカソード電極706と接続され、センサ用配線714がアノード電極708と接続されている場合、リセット用TFT703はpチャネル型TFT、バッファ用TFT704はnチャネル型TFTであることが望ましい。10

【0186】

なお本実施例のフォトダイオード721は他のTFTと同時に形成することができるので、工程数を抑えることができる。

【0187】

なお本実施例は、実施例1～実施例4と自由に組み合わせることが可能である。

【0188】

(実施例9)

本発明のエリアセンサのセンサ部の作製方法について、図14～図16を用いて説明する20。

【0189】

まず、図14(A)に示すように、ガラス基板200上に下地膜201を300nmの厚さに形成する。本実施例では下地膜201として窒化酸化珪素膜を積層して用いる。この時、ガラス基板200に接する方の窒素濃度を10～25wt%としておくと良い。また、下地膜201に放熱効果を持たせることは有効であり、DLC(ダイヤモンドライクカーボン)膜を設けても良い。

【0190】

次に下地膜201の上に50nmの厚さの非晶質珪素膜(図示せず)を公知の成膜法で形成する。なお、非晶質珪素膜に限定する必要はなく、非晶質構造を含む半導体膜(微結晶半導体膜を含む)であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。また、膜厚は20～100nmの厚さであれば良い。30

【0191】

そして、公知の技術により非晶質珪素膜を結晶化し、結晶質珪素膜(多結晶シリコン膜若しくはポリシリコン膜ともいう)202を形成する。公知の結晶化方法としては、電熱炉を使用した熱結晶化方法、レーザー光を用いたレーザーアニール結晶化法、赤外光を用いたランプアニール結晶化法がある。本実施例では、XeClガスを用いたエキシマレーザー光を用いて結晶化する。

【0192】

なお、本実施例では線状に加工したパルス発振型のエキシマレーザー光を用いるが、矩形であっても良いし、連続発振型のアルゴンレーザー光や連続発振型のエキシマレーザー光を用いることもできる。40

【0193】

また、本実施例では結晶質珪素膜をTFTの活性層として用いるが、非晶質珪素膜を用いることも可能である。

【0194】

なお、オフ電流を低減する必要のあるスイッチング用TFTの活性層を非晶質珪素膜で形成し、EL駆動用TFTの活性層を結晶質珪素膜で形成することは有効である。非晶質珪素膜はキャリア移動度が低いため電流を流しにくくオフ電流が流れにくい。即ち、電流を流しにくい非晶質珪素膜と電流を流しやすい結晶質珪素膜の両者の利点を生かすことがで50

きる。

【0195】

次に、図14(B)に示すように、結晶質珪素膜202上に酸化珪素膜でなる保護膜203を130nmの厚さに形成する。この厚さは100~200nm(好ましくは130~170nm)の範囲で選べば良い。また、珪素を含む絶縁膜であれば他の膜でも良い。この保護膜203は不純物を添加する際に結晶質珪素膜が直接プラズマに曝されないようにするためにと、微妙な濃度制御を可能にするために設ける。

【0196】

そして、その上にレジストマスク204a、204b、204cを形成し、保護膜203を介してn型を付与する不純物元素(以下、n型不純物元素という)を添加する。なお、n型不純物元素としては、代表的には周期表の15族に属する元素、典型的にはリン又は砒素を用いることができる。なお、本実施例ではフォスフィン(PH₃)を質量分離しないでプラズマ励起したプラズマドーピング法を用い、リンを1×10¹⁸atoms/cm³の濃度で添加する。勿論、質量分離を行いうイオンインプランテーション法を用いても良い。

10

【0197】

この工程により形成されるn型不純物領域(b)205a、205bには、n型不純物元素が2×10¹⁶~5×10¹⁹atoms/cm³(代表的には5×10¹⁷~5×10¹⁸atoms/cm³)の濃度で含まれるようにドーズ量を調節する。

【0198】

次に、図14(C)に示すように、保護膜203、レジストマスク204a、204b、204cを除去し、添加したn型不純物元素の活性化を行う。活性化手段は公知の技術を用いれば良いが、本実施例ではエキシマレーザー光の照射(レーザーアニール)により活性化する。勿論、パルス発振型でも連続発振型でも良いし、エキシマレーザー光に限定する必要はない。但し、添加された不純物元素の活性化が目的であるので、結晶質珪素膜が溶融しない程度のエネルギーで照射することが好ましい。なお、保護膜203をつけたままレーザー光を照射しても良い。

20

【0199】

なお、このレーザー光による不純物元素の活性化に際して、熱処理(ファーネスアニール)による活性化を併用しても構わない。熱処理による活性化を行う場合は、基板の耐熱性を考慮して450~550程度の熱処理を行えば良い。

30

【0200】

この工程によりn型不純物領域(b)205a、205bの端部、即ち、n型不純物領域(b)205a、205bの周囲に存在するn型不純物元素を添加していない領域との境界部(接合部)が明確になる。このことは、後にTFTが完成した時点において、LDD領域とチャネル形成領域とが非常に良好な接合部を形成しうることを意味する。

【0201】

次に、図14(D)に示すように、結晶質珪素膜の不要な部分を除去して、島状の半導体膜(以下、活性層という)206~210を形成する。

【0202】

次に、図15(A)に示すように、活性層206~210を覆ってゲート絶縁膜211を形成する。ゲート絶縁膜211としては、10~200nm、好ましくは50~150nmの厚さの珪素を含む絶縁膜を用いれば良い。これは単層構造でも積層構造でも良い。本実施例では110nm厚の窒化酸化珪素膜を用いる。

40

【0203】

次に、200~400nm厚の導電膜を形成し、パターニングしてゲート電極212~216を形成する。なお本実施例では、ゲート電極とゲート電極に電気的に接続された引き回しのための配線(以下、ゲート配線という)とを同一材料で形成している。勿論、ゲート電極と、ゲート配線とを別の材料で形成しても良い。具体的にはゲート電極よりも低抵抗な材料をゲート配線として用いても良い。これは、ゲート電極としては微細加工が可能な材料を用い、ゲート配線には微細加工はできなくとも配線抵抗が小さい材料を用いるた

50

めである。このような構造とすることでゲート配線の配線抵抗を非常に小さくすることができるため、面積の大きいセンサ部を形成することができる。即ち、画面の大きさが対角10インチ以上（さらには30インチ以上）のセンサ部を有するエリアセンサを実現する上で、上記の画素構造は極めて有効である。

【0204】

また、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極212～216の材料としては公知のあらゆる導電膜を用いることができる。

【0205】

代表的には、アルミニウム（Al）、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）、クロム（Cr）、シリコン（Si）から選ばれた元素でなる膜、または前記元素の窒化物膜（代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜）、または前記元素を組み合わせた合金膜（代表的にはMo-W合金、Mo-Ta合金）、または前記元素のシリサイド膜（代表的にはタングステンシリサイド膜、チタンシリサイド膜）を用いることができる。勿論、単層で用いても積層して用いても良い。

【0206】

本実施例では、30nm厚の窒化タングステン（WN）膜と、370nm厚のタングステン（W）膜とでなる積層膜を用いる。これはスパッタ法で形成すれば良い。また、スパッタガスとしてXe、Ne等の不活性ガスを添加すると応力による膜はがれを防止することができる。

【0207】

またこの時、ゲート電極213、216はそれぞれn型不純物領域（b）205a、205bの一部とゲート絶縁膜211を介して重なるように形成する。この重なった部分が後にゲート電極と重なったLDD領域となる。

【0208】

次に、図15（B）に示すように、ゲート電極212～216をマスクとして自己整合的にn型不純物元素（本実施例ではリン）を添加する。こうして形成されるn型不純物領域（c）217～224にはn型不純物領域（b）205a、205bの1/2～1/10（代表的には1/3～1/4）の濃度でリンが添加されるように調節する。具体的には、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{atoms/cm}^3$ （典型的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{atoms/cm}^3$ ）の濃度が好ましい。

【0209】

次に、図15（C）に示すように、ゲート電極212、214、215を覆う形でレジストマスク225a～225cを形成し、n型不純物元素（本実施例ではリン）を添加して高濃度にリンを含むn型不純物領域（a）226～233を形成する。ここでもfosfain（PH₃）を用いたイオンドープ法を行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ （代表的には $2 \times 10^{20} \sim 5 \times 10^{21} \text{atoms/cm}^3$ ）となるように調節する。

【0210】

この工程によってnチャネル型TFTのソース領域若しくはドレイン領域が形成される。そしてnチャネル型TFTでは、図15（B）の工程で形成したn型不純物領域217、218、222、223の一部を残す。この残された領域がLDD領域となる。

【0211】

次に、図15（D）に示すように、レジストマスク225a～225cを除去し、新たにレジストマスク234a、234bを形成する。そして、p型不純物元素（本実施例ではボロン）を添加し、高濃度にボロンを含むp型不純物領域235、236を形成する。ここではジボラン（B₂H₆）を用いたイオンドープ法により $3 \times 10^{20} \sim 3 \times 10^{21} \text{atoms/cm}^3$ （代表的には $5 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ ）濃度となるようにボロンを添加する。

10

20

30

40

50

【0212】

なお、不純物領域 235、236 には既に $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³ の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも 3 倍以上の濃度で添加される。そのため、予め形成されていた n 型の不純物領域は完全に p 型に反転し、p 型の不純物領域として機能する。

【0213】

次に、レジストマスク 234a、234b を除去した後、それぞれの濃度で添加された n 型または p 型不純物元素を活性化する。活性化手段としては、ファーネスアニール法、レーザーアニール法、またはランプアニール法で行うことができる。本実施例では電熱炉において窒素雰囲気中、550 、4 時間の熱処理を行う。

10

【0214】

このとき雰囲気中の酸素を極力排除することが重要である。なぜならば酸素が少しでも存在していると露呈したゲート電極の表面が酸化され、抵抗の増加を招くからである。従つて、上記活性化工程における処理雰囲気中の酸素濃度は 1 ppm 以下、好ましくは 0.1 ppm 以下とすることが望ましい。

【0215】

次に、図 16 (A) に示すように、第 1 層間絶縁膜 237 を形成する。第 1 層間絶縁膜 237 としては、珪素を含む絶縁膜を単層で用いるか、その中で組み合わせた積層膜を用いれば良い。また、膜厚は 400 nm ~ 1.5 μm とすれば良い。本実施例では、200 nm 厚の窒化酸化珪素膜の上に 800 nm 厚の酸化珪素膜を積層した構造とする。

20

【0216】

さらに、3 ~ 100 % の水素を含む雰囲気中で、300 ~ 450 で 1 ~ 12 時間の熱処理を行い水素化処理を行う。この工程は熱的に励起された水素により半導体膜の不対結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0217】

なお、水素化処理は第 1 層間絶縁膜 237 を形成する間に入れても良い。即ち、200 nm 厚の窒化酸化珪素膜を形成した後で上記のように水素化処理を行い、その後で残り 800 nm 厚の酸化珪素膜を形成しても構わない。

【0218】

次に、ゲート絶縁膜 211 及び第 1 層間絶縁膜 237 に対してコンタクトホールを形成し、ソース配線 238 ~ 242 と、ドレイン配線 243 ~ 247 を形成する。なお、本実施例ではこの電極を、Ti 膜を 100 nm、Ti を含むアルミニウム膜を 300 nm、Ti 膜 150 nm をスパッタ法で連続形成した 3 層構造の積層膜とする。勿論、他の導電膜でも良い。

30

【0219】

次に、50 ~ 500 nm（代表的には 200 ~ 300 nm）の厚さで第 1 パッシベーション膜 248 を形成する。本実施例では第 1 パッシベーション膜 248 として 300 nm 厚の窒化酸化珪素膜を用いる。これは窒化珪素膜で代用しても良い。なお、窒化酸化珪素膜の形成に先立って H₂、NH₃ 等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が第 1 層間絶縁膜 237 に供給され、熱処理を行うことで、第 1 パッシベーション膜 248 の膜質が改善される。それと同時に、第 1 層間絶縁膜 237 に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

40

【0220】

次に、図 16 (B) に示すように有機樹脂からなる第 2 層間絶縁膜 249 を形成する。有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を使用することができる。特に、第 2 層間絶縁膜 249 は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例では TFT によって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは 1 ~ 5 μm（さらに好ましくは 2

50

~ 4 μm) とすれば良い。

【 0 2 2 1 】

次に、第2層間絶縁膜249及び第1パッシベーション膜248にドレイン配線245に達するコンタクトホールを形成し、ドレイン配線245に接するようにフォトダイオードのカソード電極250を形成する。本実施例では、カソード電極250としてスパッタ法によって形成したアルミニウム膜を用いたが、その他の金属、例えばチタン、タンタル、タンゲステン、銅を用いることができる。また、チタン、アルミニウム、チタンでなる積層膜を用いてもよい。

【 0 2 2 2 】

次に、水素を含有する非晶質珪素膜を基板全面に成膜した後にパターニングし、光電変換層251を形成する。次に、基板全面に透明導電膜を形成する。本実施例では透明導電膜として厚さ200nmのITOをスパッタ法で成膜する。透明導電膜をパターニングし、アノード電極252を形成する。(図16(C))

10

【 0 2 2 3 】

次に、図17(A)に示すように第3層間絶縁膜253を形成する。第3層間絶縁膜253として、ポリイミド、ポリアミド、ポリイミドアミド、アクリル等の樹脂を用いることで、平坦な表面を得ることができる。本実施例では、第3層間絶縁膜253として厚さ0.7μmのポリイミド膜を基板全面に形成した。

【 0 2 2 4 】

次に、第3層間絶縁膜253、第2層間絶縁膜249及び第1パッシベーション膜248にドレイン配線247に達するコンタクトホールを形成し、画素電極255を形成する。また第3層間絶縁膜253に、アノード電極252に達するコンタクトホールを形成し、センサ用配線254を形成する。本実施例ではアルミニウム合金膜(1wt%のチタンを含有したアルミニウム膜)を300nmの厚さに形成し、パターニングを行ってセンサ用配線254及び画素電極255を同時に形成する。

20

【 0 2 2 5 】

次に、図17(B)に示すように、樹脂材料でなるバンク256を形成する。バンク256は1~2μm厚のアクリル膜またはポリイミド膜をパターニングして形成すれば良い。バンク256はソース配線241上に沿って形成しても良いし、ゲート配線(図示せず)上に沿って形成しても良い。なおバンク256を形成している樹脂材料に顔料等を混ぜ、バンク256を遮蔽膜として用いても良い。

30

【 0 2 2 6 】

次に、発光層257を形成する。具体的には、発光層257となる有機EL材料をクロロフォルム、ジクロロメタン、キシレン、トルエン、テトラヒドロフラン等の溶媒に溶かして塗布し、その後、熱処理を行うことにより溶媒を揮発させる。こうして有機EL材料でなる被膜(発光層)が形成される。

【 0 2 2 7 】

なお、本実施例では一画素しか図示されていないが、このとき同時に赤色に発光する発光層、緑色に発光する発光層及び青色に発光する発光層が形成される。本実施例では、赤色に発光する発光層としてシアノポリフェニレンビニレン、緑色に発光する発光層としてポリフェニレンビニレン、青色に発光する発光層としてポリアルキルフェニレンを各々50nmの厚さに形成する。また、溶媒としては1,2-ジクロロメタンを用い、80~150のホットプレートで1~5分の熱処理を行って揮発させる。

40

【 0 2 2 8 】

次に、正孔注入層258を20nmの厚さに形成する。正孔注入層258は全ての画素に共通で設ければ良いので、スピンドル法または印刷法を用いて形成すれば良い。本実施例ではポリチオフェン(PEDOT)を水溶液として塗布し、100~150のホットプレートで1~5分の熱処理を行って水分を揮発させる。この場合、ポリフェニレンビニレンやポリアルキルフェニレンが水に溶けないため、発光層257を溶解させることなく正孔注入層258を形成することが可能である。

50

【0229】

なお、正孔注入層 258 として低分子系有機 EL 材料を用いることも可能である。その場合は、蒸着法を用いて形成すれば良い。

【0230】

本実施例では EL 層を発光層及び正孔注入層でなる 2 層構造とするが、その他に正孔輸送層、電子注入層、電子輸送層等を設けても構わない。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。

【0231】

発光層 257 及び正孔注入層 258 を形成したら、対向電極として透明導電膜でなる陽極 259 を 120 nm の厚さに形成する。本実施例では、酸化インジウムに 10 ~ 20 wt % の酸化亜鉛を添加した透明導電膜を用いる。成膜方法は、発光層 257 や正孔注入層 258 を劣化させないように室温で蒸着法により形成することが好ましい。10

【0232】

陽極 259 を形成したら、図 17 (B) に示すように第 4 層間絶縁膜 260 を形成する。第 4 層間絶縁膜 260 として、ポリイミド、ポリアミド、ポリイミドアミド、アクリル等の樹脂を用いることで、平坦な表面を得ることができる。本実施例では、第 4 層間絶縁膜 260 として厚さ 0.7 μm のポリイミド膜を基板全面に形成した。

【0233】

こうして図 17 (B) に示すような構造のセンサ基板が完成する。なお、バンク 256 を形成した後、第 4 層間絶縁膜 260 を形成するまでの工程をマルチチャンバー方式（またはインライン方式）の薄膜形成装置を用いて、大気解放せずに連続的に処理することは有効である。20

【0234】

270 はバッファ用 TFT、271 は選択用 TFT、272 はリセット用 TFT、273 はスイッチング用 TFT、274 は EL 駆動用 TFT である。

【0235】

本実施例では、バッファ用 TFT 270 及びスイッチング用 TFT 273 が n チャネル型 TFT であり、それぞれソース領域側とドレイン領域側の両方にそれぞれ LDD 領域 281 ~ 284 を有している。なおこの LDD 領域 281 ~ 284 はゲート絶縁膜 211 を間に介してゲート電極 212、215 と重なっていない。上記構成により、バッファ用 TFT 270 及びスイッチング用 TFT 273 は、極力ホットキャリア注入を低減させることができる。30

【0236】

また本実施例では、選択用 TFT 271 及び EL 駆動用 TFT 274 が n チャネル型 TFT であり、それぞれドレイン領域側にのみそれぞれ LDD 領域 283、286 を有している。なおこの LDD 領域 283、286 はゲート絶縁膜 211 を間に介してゲート電極 213、216 と重なっている。

【0237】

ドレイン領域側のみに LDD 領域 283、286 を形成しているのは、ホットキャリア注入を低減させ、なおかつ動作速度を落とさないための配慮である。また、この選択用 TFT 271 及び EL 駆動用 TFT 274 はオフ電流値をあまり気にする必要はなく、それよりも動作速度を重視した方が良い。従って、LDD 領域 283、286 は完全にゲート電極 213、216 と重ねてしまい、極力抵抗成分を少なくすることが望ましい。即ち、いわゆるオフセットはなくした方がよい。特に、ソース信号線駆動回路又はゲート信号線駆動回路を 15 V ~ 20 V で駆動させる場合、本実施例の EL 駆動用 TFT 274 の上記構成は、ホットキャリア注入を低減させ、なおかつ動作速度を落とさないのに有効である。40

【0238】

また本実施例では、リセット用 TFT 272 は p チャネル型 TFT であり、LDD 領域を有していない。p チャネル型 TFT は、ホットキャリア注入による劣化が殆ど気にならないので、特に LDD 領域を設けなくても良い。勿論、n チャネル型 TFT と同様に LDD を50

領域を設け、ホットキャリア対策を講じることも可能である。また、リセット用 TFT 272 が n チャネル型 TFT であっても良い。

【 0 2 3 9 】

なお、実際には図 17 (B)まで完成したら、さらに外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）や透光性のシーリング材でパッケージング（封入）することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料（例えば酸化バリウム）を配置したりすると E L 素子の信頼性が向上する。

【 0 2 4 0 】

また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクター（フレキシブルプリントサーキット：FPC）を取り付けて製品として完成する。このような出荷できる状態にまでした状態を本明細書中ではエリアセンサという。

【 0 2 4 1 】

なお、本発明は上述した作製方法に限定されず、公知の方法を用いて作製することが可能である。なお本実施例は、実施例 1 ~ 実施例 4 と自由に組み合わせることが可能である。

【 0 2 4 2 】

(実施例 1 0)

本発明を用いたエリアセンサの作製方法について、図 18 ~ 図 21 を用いて説明する。

【 0 2 4 3 】

図 18において、基板 300 には、例えばコーニング社の 1737 ガラス基板に代表される無アルカリガラス基板を用いた。そして、基板 300 の TFT が形成される表面に、下地膜 301 をプラズマ CVD 法やスパッタ法で形成した。下地膜 301 は図示していないが、窒化珪素膜を 25 ~ 100 nm（ここでは 50 nm の厚さ）と、酸化シリコン膜を 50 ~ 300 nm（ここでは 150 nm の厚さ）とを形成した。また、下地膜 301 は、窒化珪素膜や窒化酸化シリコン膜のみを用いても良い。

【 0 2 4 4 】

次に、この下地膜 301 の上に 50 nm の厚さの、非晶質珪素膜をプラズマ CVD 法で形成した。非晶質珪素膜は含有水素量にもよるが、好ましくは 400 ~ 550 で数時間加熱して脱水素処理を行い、含有水素量を 5 atom% 以下として、結晶化の工程を行うことが望ましい。また、非晶質珪素膜をスパッタ法や蒸着法などの他の作製方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素を十分低減させておくことが望ましい。

【 0 2 4 5 】

ここで、下地膜と非晶質珪素膜とはいez もプラズマ CVD 法で作製されるものであり、このとき下地膜と非晶質珪素膜を真空中で連続して形成しても良い。下地膜 301 を形成後、一旦大気雰囲気にさらされない工程にすることにより、表面の汚染を防ぐことが可能となり、作製される TFT の特性バラツキを低減させることができた。

【 0 2 4 6 】

そして、公知の技術により非晶質珪素膜を結晶化し、結晶質珪素膜（多結晶シリコン膜若しくはポリシリコン膜ともいう）302 を形成する。（図 18 (A)）公知の結晶化方法としては、電熱炉を使用した熱結晶化方法、レーザー光を用いたレーザーアニール結晶化法、赤外光を用いたランプアニール結晶化法がある。本実施例では、XeCl ガスを用いたエキシマレーザー光を用いて結晶化する。

【 0 2 4 7 】

なお、本実施例では線状に加工したパルス発振型のエキシマレーザー光を用いるが、矩形であっても良いし、連続発振型のアルゴンレーザー光や連続発振型のエキシマレーザー光を用いることもできる。

【 0 2 4 8 】

また、本実施例では結晶質珪素膜 302 を TFT の活性層として用いるが、非晶質珪素膜

10

20

30

40

50

を活性層として用いることも可能である。

【0249】

なお、オフ電流を低減する必要のあるスイッチング用TFTの活性層を非晶質珪素膜で形成し、EL駆動用TFTの活性層を結晶質珪素膜で形成することは有効である。非晶質珪素膜はキャリア移動度が低いため電流を流しにくくオフ電流が流れにくい。即ち、電流を流しにくい非晶質珪素膜と電流を流しやすい結晶質珪素膜の両者の利点を生かすことができる。

【0250】

こうして形成された結晶質珪素膜302をパターニングして、島状の半導体層（以下、活性層という）303～308を形成した。

10

【0251】

次に、活性層303～308を覆って、酸化シリコンまたは窒化珪素を主成分とするゲート絶縁膜309を形成した。ゲート絶縁膜309は、プラズマCVD法でN₂OとSiH₄を原料とした窒化酸化シリコン膜を10～200nm、好ましくは50～150nmの厚さで形成すれば良い。ここでは100nmの厚さに形成した。（図18（B））

【0252】

そして、ゲート絶縁膜309の表面に第1のゲート電極となる第1の導電膜310と、第2のゲート電極となる第2の導電膜311とを形成した。第1の導電膜310はSi、Geから選ばれた一種の元素、またはこれらの元素を主成分とする半導体膜で形成すれば良い。また、第1の導電膜310の厚さは5～500nm、好ましくは10～30nmとする必要がある。ここでは、20nmの厚さでSi膜を形成した。

20

【0253】

第1の導電膜310として使用する半導体膜にはn型あるいはp型の導電型を付与する不純物元素が添加されていても良い。この半導体膜の作製法は公知の方法に従えば良く、例えば、減圧CVD法で基板温度を450～500として、ジシラン（Si₂H₆）を250SCCM、ヘリウム（He）を300SCCM導入して作製することができる。このとき同時に、Si₂H₆に対してPH₃を0.1～2%混入させてn型の半導体膜を形成しても良い。

【0254】

第2のゲート電極となる第2の導電膜311は、Ti、Ta、W、Moから選ばれた元素、あるいはこれらの元素を主成分とする化合物で形成すれば良い。これはゲート電極の電気抵抗を下げるために考慮されるものであり、例えば、Mo-W化合物を用いても良い。ここでは、Taを使用し、スパッタ法で、200～1000nm、代表的には400nmの厚さに形成した。（図18（C））

30

【0255】

次に公知のパターニング技術を使ってレジストマスクを形成し、第2の導電膜311をエッチングして第2のゲート電極312～317を形成する工程を行った。第2の導電膜311はTa膜で形成されているので、ドライエッチング法により行った。ドライエッチングの条件として、Cl₂を80SCCM導入して100mTorr、で500Wの高周波電力を投入して行った。そして、図18（D）に示すように第2のゲート電極312～317を形成した。

40

【0256】

エッチング後わずかに残さが確認されても、SPX洗浄液やEKCなどの溶液で洗浄することにより除去することができる。

【0257】

また、第2の導電膜311はウエットエッチング法で除去することもできた。例えば、Taの場合、フッ酸系のエッチング液で容易に除去することができた。

【0258】

そして、n型の不純物元素を添加する工程を行った。この工程はLDD領域を形成するための工程であった。ここでは、フォスフィン（PH₃）を用いたイオンドープ法で行った

50

。この工程では、ゲート絶縁膜309と第1の導電膜310を通してその下の活性層303～308にリンを添加するために、加速電圧は80keVと高めに設定した。活性層303～308に添加されるリンの濃度は、 $1 \times 10^{16} \sim 1 \times 10^{19}$ atoms/cm³の範囲にするのが好ましく、ここでは 1×10^{18} atoms/cm³とした。そして、活性層にリンが上記濃度で添加された領域(n^- 領域)320～331が形成された。(図18(D))

【0259】

このとき、第1の導電膜310の、第2のゲート電極312～317と重ならない領域にもリンが添加された。この領域のリン濃度は特に規定されるものではないが、第1の導電膜310の抵抗率を下げる効果が得られた。

【0260】

次に n チャネル型TFTが形成される領域をレジストマスク332、334で覆って、第1の導電膜310の一部を除去する工程を行った。ここでは、ドライエッチング法により行った。第1の導電膜310はSiであり、ドライエッチングの条件として、CF₄を50SCCM、O₂を45SCCM導入して50mTorrで200Wの高周波電力を投入して行った。その結果、第1の導電膜の一部336、338及び第1のゲート電極337、339が残った。

【0261】

そして、 p チャネル型TFTが形成される領域に、 p 型の不純物元素を添加する工程を行った。ここではジボラン(B₂H₆)を用いてイオンドープ法で添加した。ここでも加速電圧を80keVとして、 2×10^{20} atoms/cm³の濃度にボロンを添加した。そして、図19(A)に示すようにボロンが高濃度に添加された不純物領域(p^+ 領域)340～343が形成された。

【0262】

さらに、レジストマスク332、334を完全に除去して、再度レジストマスク348～353を形成した。そして、レジストマスク348、349、351、352を用い、第1の導電膜の一部336、338をエッティングし、新たに第1の導電膜の一部354、355、357及び第1のゲート電極356を形成した。

【0263】

そして、 n 型の不純物元素を添加する工程を行った。ここでは、フォスフィン(PH₃)を用いたイオンドープ法で行った。この工程でも、ゲート絶縁膜309を通してその下の活性層にリンを添加するため、加速電圧は80keVと高めに設定した。そして、リンが添加された領域(n^+ 領域)358～365が形成された。この領域のリンの濃度は n 領域と比較して高濃度であり、 $1 \times 10^{19} \sim 1 \times 10^{21}$ atoms/cm³とするのが好ましく、ここでは 1×10^{20} atoms/cm³とした(図19(B))。本工程で、 n^- 領域320、321、322、323、328、329のレジストマスク348、349、352で覆われた領域が、LDD領域として確定した。

【0264】

さらに、レジストマスク348～353を除去して新たにレジストマスク366～371を形成した。レジストマスク366、367、370は第1の導電膜の一部354、355、357から第1のゲート電極を形成する目的で設けられるものであり、このレジストマスクの長さにより、LDD領域がゲート絶縁膜309を間に介して第1のゲート電極と重なる領域と、重ならない領域がある範囲で自由に決めることができた。この工程において、 n チャネル型TFTに形成されるレジストマスク366、367、370のチャネル長方向の長さはTFTのチャネル形成領域の構造を決める上で重要であった(図19(C))。

【0265】

そして図20(A)に示すように第1のゲート電極372、373、359、374が形成された。

【0266】

次に、レジストマスク366～371を除去し、絶縁膜375、第1層間絶縁膜376を

10

20

30

40

50

形成する工程を行った。最初に窒化珪素からなる絶縁膜375を50nmの厚さに成膜した。絶縁膜375はプラズマCVD法で形成され、SiH₄を5SCCM、NH₃を40SCCM、N₂を100SCCM導入して0.7Torr、300Wの高周波電力を投入した。そして、続いて第1層間絶縁膜376として酸化シリコン膜を、TEOSを500SCCM、O₂を50SCCM導入し1Torr、200Wの高周波電力を投入して950nmの厚さに成膜した。

【0267】

そして、熱処理の工程を行った。熱処理の工程は、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために行う必要があった。この工程は、電気加熱炉を用いた熱アニール法や、前述のエキシマレーザーを用いたレーザーアニール法や、ハロゲンランプを用いたラピットサーマルアニール法(RTA法)で行えば良い。ここでは熱アニール法で活性化の工程を行った。加熱処理は、窒素雰囲気中において300~700、好ましくは350~550、ここでは450、2時間の処理を行った。

【0268】

次に、第1層間絶縁膜376と絶縁膜375に、それぞれの TFT のソース領域と、ドレイン領域に達するコンタクトホールを形成し、ソース配線377~382とドレイン配線383~388を形成した。図示していないが、本実施例ではこの電極を、Ti膜を100nm、Tiを含むAl膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の電極として用いた(図20(B))。

【0269】

そして、ソース配線377~382と、ドレイン配線383~388と、第1層間絶縁膜376を覆ってパッシベーション膜390を形成した。パッシベーション膜390は、窒化珪素膜で50nmの厚さで形成した。さらに、有機樹脂からなる第2層間絶縁膜391を約1000nmの厚さに形成した。有機樹脂膜としては、ポリイミド、アクリル、ポリイミドアミド等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜を用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300で焼成して形成した(図20(C))。

【0270】

次に、第2層間絶縁膜391及びパッシベーション膜390に、ドレイン配線388、386に達するコンタクトホールを形成し、画素電極392、センサ用配線393を形成する。本実施例では酸化インジウム・スズ(ITO)膜を110nmの厚さに形成し、パターニングを行ってセンサ用配線393及び画素電極392を同時に形成する。また、酸化インジウムに2~20%の酸化亜鉛(ZnO)を混合した透明導電膜を用いても良い。この画素電極392がEL素子の陽極となる(図21(A))。

【0271】

次に、樹脂材料でなるバンク394を形成する。バンク394は1~2μm厚のアクリル膜またはポリイミド膜をパターニングして形成すれば良い。このバンク394は画素と画素との間にストライプ状に形成される。バンク394はソース配線381上に沿って形成しても良いし、ゲート配線(図示せず)上に沿って形成しても良い。なおバンク394を形成している樹脂材料に顔料等を混ぜ、バンク394を遮蔽膜として用いても良い。

【0272】

次に、EL層395及び陰極(MgAg電極)396を、真空蒸着法を用いて大気解放しないで連続形成する。なお、EL層395の膜厚は80~200nm(典型的には100~120nm)、陰極396の厚さは180~300nm(典型的には200~250nm)とすれば良い。なお、本実施例では一画素しか図示されていないが、このとき同時に赤色に発光するEL層、緑色に発光するEL層及び青色に発光するEL層が形成される。

【0273】

この工程では、赤色に対応する画素、緑色に対応する画素及び青色に対応する画素に対し

10

20

30

40

50

て順次 E L 層 3 9 5 及び陰極 3 9 6 を形成する。但し、E L 層 3 9 5 は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的に E L 層 3 9 5 及び陰極 3 9 6 を形成するのが好ましい。

【 0 2 7 4 】

即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光の E L 層及び陰極を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光の E L 層及び陰極を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光の E L 層及び陰極を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。また、全画素に E L 層及び陰極を形成するまで真空を破らずに処理することが好ましい。10

【 0 2 7 5 】

なお、本実施例では E L 層 3 9 5 を発光層のみからなる単層構造とするが、E L 層は発光層の他に正孔輸送層、正孔注入層、電子輸送層、電子注入層等を有していても構わない。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。E L 層 3 9 5 としては公知の材料を用いることができる。公知の材料としては、E L 駆動電圧を考慮すると有機材料を用いるのが好ましい。また、本実施例では E L 素子の陰極として M g A g 電極を用いた例を示すが、公知の他の材料を用いることが可能である。20

【 0 2 7 6 】

こうして図 2 1 (B) に示すような構造のセンサ基板が完成する。なお、バンク 3 9 4 を形成した後、陰極 3 9 6 を形成するまでの工程をマルチチャンバー方式（またはインライン方式）の薄膜形成装置を用いて、大気解放せずに連続的に処理することは有効である。

【 0 2 7 7 】

なお本実施例ではセンサ部が有する T F T の作製工程について説明したが、駆動部が有する T F T も上述したプロセスを参照して、同時に基板上に形成しても良い。

【 0 2 7 8 】

4 9 1 はバッファ用 T F T 、 4 9 2 は選択用 T F T 、 4 9 3 はリセット用 T F T 、 4 9 4 はフォトダイオード T F T 、 4 9 5 はスイッチング用 T F T 、 4 9 6 は E L 駆動用 T F T に相当する。30

【 0 2 7 9 】

本実施例ではスイッチング用 T F T 4 9 5 をシングルゲート構造としているが、ダブルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。スイッチング用 T F T 4 9 5 をダブルゲート構造とすることで、実質的に二つの T F T が直列された構造となり、オフ電流値を低減することができるという利点がある。

【 0 2 8 0 】

なお本実施例においてフォトダイオード 4 9 4 上に設けられている第 1 のゲート電極 3 5 6 及び第 2 のゲート電極 3 1 5 は、フォトダイオード 4 9 4 に光が照射されていない時に、アノード電極 4 9 8 とカソード電極 4 9 9 の間に設けられた光電変換層 4 9 7 に電流が流れないような電位に保たれている。40

【 0 2 8 1 】

また本実施例の場合、全ての T F T において L D D 領域がゲート電極と重なっていない。ソース信号線駆動回路又はゲート信号線駆動回路を 1 0 V 以下で駆動させる場合、ホットキャリア注入をさほど気にする必要がなく、そのため本実施例の T F T の構成は有効である。

【 0 2 8 2 】

なお、実際には図 2 1 (B) まで完成したら、さらに外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）や50

透光性のシーリング材でパッケージング(封入)することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料(例えば酸化バリウム)を配置したりするとEL素子の信頼性が向上する。

【0283】

また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクター(フレキシブルプリントサーキット: FPC)を取り付けて製品として完成する。このような出荷できるまでした状態を本明細書中ではエリアセンサという。

【0284】

なお、本発明は上述した作製方法に限定されず、公知の方法を用いて作製することが可能である。また本実施例は、実施例1～実施例4と自由に組み合わせることが可能である。 10

【0285】

(実施例11)

本発明のエリアセンサの一例として、携帯型ハンドスキャナーについて図22を用いて説明する。

【0286】

図22(a)は携帯型ハンドスキャナーであり、本体901、センサ部902、上部カバー903、外部接続ポート904、操作スイッチ905で構成されている。図22(b)は図22(a)と同じ携帯型ハンドスキャナーの上部カバー903を閉じた図である。

【0287】

本発明のエリアセンサは、読み込んだ画像をセンサ部902において表示することが可能であり、新たに電子ディスプレイをエリアセンサに設けなくとも、その場で読み込んだ画像を確認することができる。 20

【0288】

またエリアセンサ902で読み込んだ画像信号を、外部接続ポート904から携帯型ハンドスキャナーの外部に接続されている電子機器に送り、ソフト上で画像を補正、合成、編集等を行うことも可能である。

【0289】

なお本実施例は、実施例1～実施例10と自由に組み合わせることが可能である。

【0290】

(実施例12)

本発明のエリアセンサの一例として、実施例11とは別の携帯型ハンドスキャナーについて、図23を用いて説明する。

【0291】

801はセンサ基板、802はセンサ部、803はタッチパネル、804はタッチペンである。タッチパネル803は透光性を有しており、センサ部802から発せられる光及び、センサ部802に入射する光を透過することができ、タッチパネル803を通して被写体上の画像を読み込むことができる。またセンサ部802に画像が表示されている場合にも、タッチパネル803を通して、センサ部802上の画像を見ることが可能である。 40

【0292】

タッチペン804がタッチパネル803に触れると、タッチペン804とタッチパネル803とが接している部分の位置の情報を、電気信号としてエリアセンサに取り込むことができる。本実施例で用いられるタッチパネル803及びタッチペン804は、タッチパネル803が透光性を有していて、なおかつタッチペン804とタッチパネル803とが接している部分の位置の情報を、電気信号としてエリアセンサに取り込むことができるものならば、公知のものを用いることができる。

【0293】

上記構成を有する本発明のエリアセンサは、画像を読み込んで、センサ部602に読み込んだ画像を表示し、取り込んだ画像にタッチペン804で書き込みを行うことができる。そして本発明のエリアセンサは、画像の読み込み、画像の表示、画像への書き込みを、全 50

てセンサ部 802において行うことができる。よってエリアセンサ自体の大きさを抑え、なおかつ様々な機能をエリアセンサに持たせることができる。

【0294】

なお本実施例は、実施例 1 ~ 実施例 10 と自由に組み合わせることが可能である。

【0295】

(実施例 13)

本実施例では、エリアセンサのセンサ部の構造が、図 1 とは異なる例について説明する。

【0296】

図 25 に本実施例のエリアセンサのセンサ部の回路図を示す。センサ部 1001 はソース信号線 S1 ~ SX、電源供給線 V1 ~ VX、ゲート信号線 G1 ~ Gy、リセット用ゲート信号線 RG1 ~ RGy、センサ出力配線 SS1 ~ SSSX、センサ用電源線 VB が設けられている。
10

【0297】

センサ部 1001 は複数の画素 1002 を有している。画素 1002 は、ソース信号線 S1 ~ SX のいずれか 1 つと、電源供給線 V1 ~ VX のいずれか 1 つと、ゲート信号線 G1 ~ Gy のいずれか 1 つと、リセット用ゲート信号線 RG1 ~ RGy のいずれか 1 つと、センサ出力配線 SS1 ~ SSSX のいずれか 1 つと、センサ用電源線 VB とを有している。

【0298】

センサ出力配線 SS1 ~ SSSX はそれぞれ定電流電源 1003_1 ~ 1003_X に接続されている。
20

【0299】

画素 1002 はスイッチング用 TFT1004、EL 駆動用 TFT1005、EL 素子 1006 を有している。また図 25 では画素 1002 にコンデンサ 1007 が設けられているが、コンデンサ 1007 を設けなくとも良い。さらに画素 1002 は、リセット用 TFT1010、バッファ用 TFT1011、選択用 TFT1012、フォトダイオード 1013 を有している。

【0300】

EL 素子 1006 は陽極と陰極と、陽極と陰極との間に設けられた EL 層とからなる。陽極が EL 駆動用 TFT1005 のソース領域またはドレイン領域と接続している場合、陽極が画素電極、陰極が対向電極となる。逆に陰極が EL 駆動用 TFT1005 のソース領域またはドレイン領域と接続している場合、陽極が対向電極、陰極が画素電極である。
30

【0301】

スイッチング用 TFT1004 のゲート電極はゲート信号線 (G1 ~ Gy) に接続されている。そしてスイッチング用 TFT1004 のソース領域とドレイン領域は、一方がソース信号線 S に、もう一方が EL 駆動用 TFT1005 のゲート電極に接続されている。

【0302】

EL 駆動用 TFT1005 のソース領域とドレイン領域は、一方が電源供給線 (V1 ~ VX) に、もう一方が EL 素子 1006 に接続されている。コンデンサ 1007 は EL 駆動用 TFT1005 のゲート電極と電源供給線 (V1 ~ VX) とに接続して設けられている。
40

【0303】

リセット用 TFT1010 のゲート電極はリセット用ゲート信号線 (RG1 ~ RGx) に接続されている。リセット用 TFT1010 のソース領域はセンサ用電源線 VB に接続されている。センサ用電源線 VB は常に一定の電位 (基準電位) に保たれている。またリセット用 TFT1010 のドレイン領域はフォトダイオード 1013 及びバッファ用 TFT1011 のゲート電極に接続されている。

【0304】

図示しないが、フォトダイオード 1013 はカソード電極と、アノード電極と、カソード電極とアノード電極の間に設けられた光電変換層とを有している。リセット用 TFT1010 のドレイン領域は、具体的にはフォトダイオード 1013 のアノード電極又はカソー
50

ド電極に接続されている。

【0305】

バッファ用 TFT1011 のドレイン領域はセンサ用電源線 V_B に接続されており、常に一定の基準電位に保たれている。そしてバッファ用 TFT1011 のソース領域は選択用 TFT1012 のソース領域又はドレイン領域に接続されている。

【0306】

選択用 TFT1012 のゲート電極はゲート信号線 (G1 ~ Gx) に接続されている。そして選択用 TFT1012 のソース領域とドレイン領域は、一方は上述したとおりバッファ用 TFT1011 のソース領域に接続されており、もう一方はセンサ出力配線 (SS1 ~ SSx) に接続されている。センサ出力配線 (SS1 ~ SSx) は定電流電源 1003 (定電流電源 1003_1 ~ 1003_x) にそれぞれ接続されており、常に一定の電流が流れている。10

【0307】

本実施例において、スイッチング用 TFT1004 及び選択用 TFT1012 の極性は同じである。つまり、スイッチング用 TFT1004 がnチャネル型 TFT の場合、選択用 TFT1012 もnチャネル型 TFT である。またスイッチング用 TFT1004 がpチャネル型 TFT の場合、選択用 TFT1012 もpチャネル型 TFT である。

【0308】

そして本実施例のエリアセンサのセンサ部は、図 1 に示したエリアセンサと異なり、スイッチング用 TFT1004 のゲート電極と、選択用 TFT1012 のゲート電極が、共にゲート信号線 (G1 ~ Gx) に接続されていることである。よって本実施例のエリアセンサの場合、各画素の有する EL 素子 1006 の発光する期間は、サンプリング期間 (ST1 ~ STn) と同じ長さである。上記構成によって、本実施例のエリアセンサは配線の数を図 1 の場合に比べて少なくすることができます。20

【0309】

なお本実施例のエリアセンサも、センサ部 1001 に画像を表示することは可能である。

【0310】

本実施例の構成は、実施例 3 ~ 実施例 12 と自由に組み合わせることが可能である。

【0311】

(実施例 14)

本実施例では、図 5 に示したセンサ用ソース信号線駆動回路 121 と、センサ用ゲート信号線駆動回路の詳しい構成について説明する。30

【0312】

図 26 (A) にセンサ用ソース信号線駆動回路 121 の構成を示す。センサ用ソース信号線駆動回路 121 は、バイアス用回路 121a、信号処理回路 121b、信号出力線用駆動回路 121c を有している。

【0313】

バイアス用回路 121a は定電流源を有しており、各画素のバッファ用 TFT111 と対になって、ソースフォロワ回路を形成する。そして、各センサ出力配線 SS に入力された信号をサンプリングし、後段の信号処理回路 121b に入力する。40

【0314】

信号処理回路 121b では、入力された信号をいったん記憶して保持したり、アナログ・デジタル変換を行ったり、雑音を低減したりするための回路などが配置されている。信号処理回路 121b において処理された信号は、信号出力線用駆動回路 121c から出力される信号にしたがって、順に出力增幅回路 121d に出力される。

【0315】

そして、出力增幅回路 121d は、信号処理回路 121b から出力された信号を増幅している。信号を増幅しない場合は不必要であるが、現状では配置される場合が多い。

【0316】

出力增幅回路 121d から出力された信号は、CPU (図示せず) などに取り込まれる。

50

【0317】

図26(B)にセンサ用ゲート信号線駆動回路123の構成を示す。センサ用ゲート信号線駆動回路123は選択信号線用駆動回路123aと、リセット信号線用駆動回路123bを有している。

【0318】

選択信号線用駆動回路123aは、選択信号線にゲート電極が接続されている全ての選択用TFT112をオンにするような信号を、各選択信号線に順に入力している。また、リセット信号線用駆動回路123bは、リセット用ゲート信号線にゲート電極が接続されている全てのリセット用TFT110をオンにするような信号を、各リセット用ゲート信号線に順に入力している。

10

【0319】

なお本実施例では、図5に示したセンサ用ソース信号線駆動回路121とセンサ用ゲート信号線駆動回路123について説明したが、図8に示したセンサ用ソース信号線駆動回路131とセンサ用ゲート信号線駆動回路133も本実施例で示した構成を有していても良い。

【0320】

本実施例は、実施例1～実施例13と自由に組み合わせて実施することが可能である。

【0321】**【発明の効果】**

本発明は上記構成によって光が被写体に均一に照射されるため、読み込んだ画像の明るさにむらが生じることはない。そしてバックライトと光散乱板とをセンサ基板と別個に設ける必要はないため、従来例と異なり、バックライト、光散乱板、センサ基板及び被写体の位置を精密に調整したりする必要がなく、エリアセンサ自体の機械的強度が増す。またエリアセンサ自体の小型化、薄型化、軽量化が実現される。

20

【0322】

また本発明のエリアセンサは、EL素子を用いてセンサ部に画像を表示することが可能である。そのため、新たに電子ディスプレイをエリアセンサに設けなくとも、センサ部で読み込んだ画像をセンサ部に表示させることができ、その場で読み込んだ画像を確認することができる。

【図面の簡単な説明】

30

【図1】 センサ部の回路図。

【図2】 画素の回路図。

【図3】 センサ部の画像の読み取りのタイミングチャート。

【図4】 センサ部のカラー画像の読み取りのタイミングチャート。

【図5】 デジタル駆動のエリアセンサ上面図。

【図6】 画像の読み取りの際の、EL素子の発光のタイミングチャート。

【図7】 画像の表示の際の、EL素子の発光のタイミングチャート。

【図8】 アナログ駆動のエリアセンサ上面図。

【図9】 画像の読み取りの際の、EL素子の発光のタイミングチャート。

【図10】 センサ部の断面図。

40

【図11】 センサ部の断面図。

【図12】 センサ部の断面図。

【図13】 センサ部の断面図。

【図14】 センサ部の作製工程図。

【図15】 センサ部の作製工程図。

【図16】 センサ部の作製工程図。

【図17】 センサ部の作製工程図。

【図18】 センサ部の作製工程図。

【図19】 センサ部の作製工程図。

【図20】 センサ部の作製工程図。

50

【図21】 センサ部の作製工程図。

【図22】 本発明のエリアセンサの一例である携帯ハンドスキャナーの外観図。

【図23】 本発明のエリアセンサの一例であるタッチパネル付エリアセンサの外観図。

【図24】 従来のエリアセンサの斜視図及び断面図。

【図25】 センサ部の回路図。

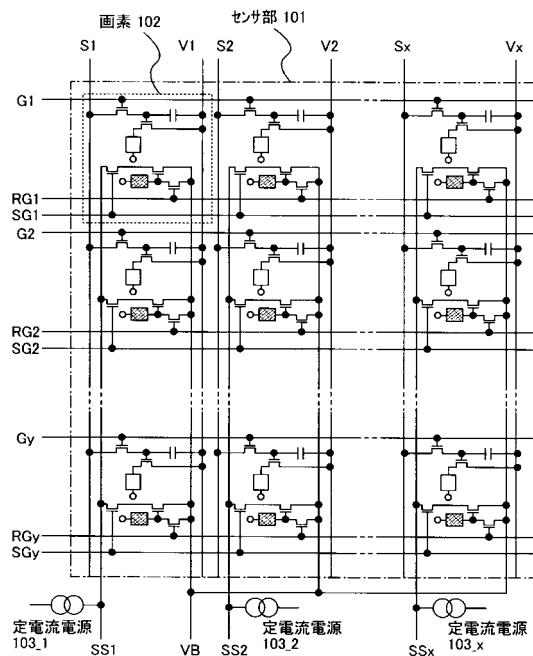
【図26】 センサ用駆動回路のブロック図。

【符号の説明】

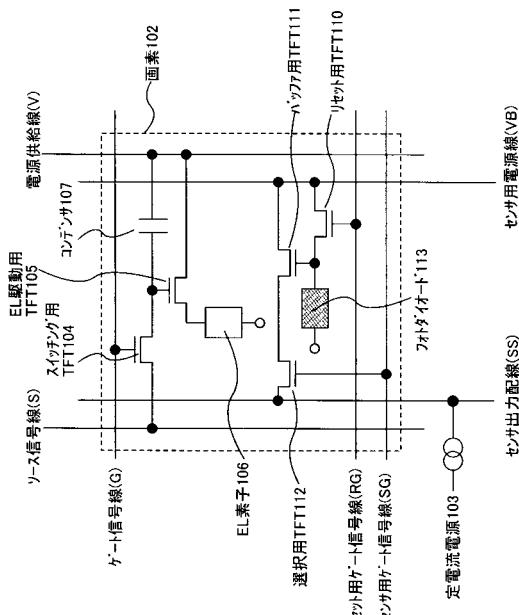
101	センサ部
102	画素
103	定電流電源
104	スイッチング用TFT
105	EL駆動用TFT
106	EL素子
107	コンデンサ
110	リセット用TFT
111	バッファ用TFT
112	選択用TFT
113	フォトダイオード

10

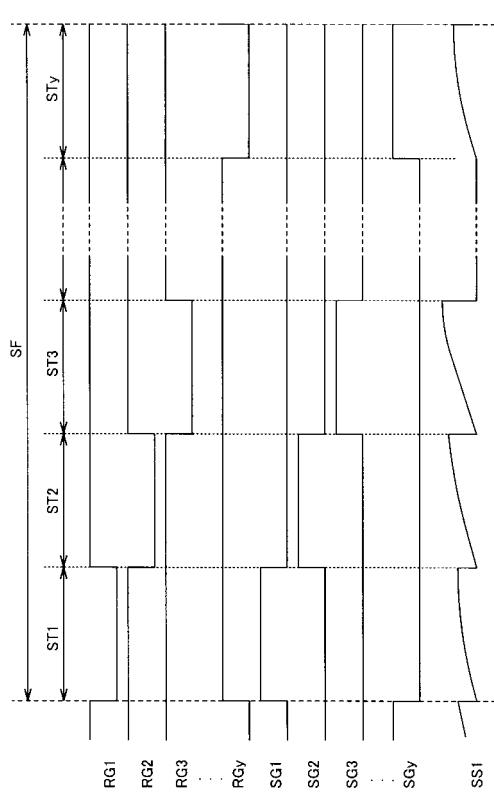
【図1】



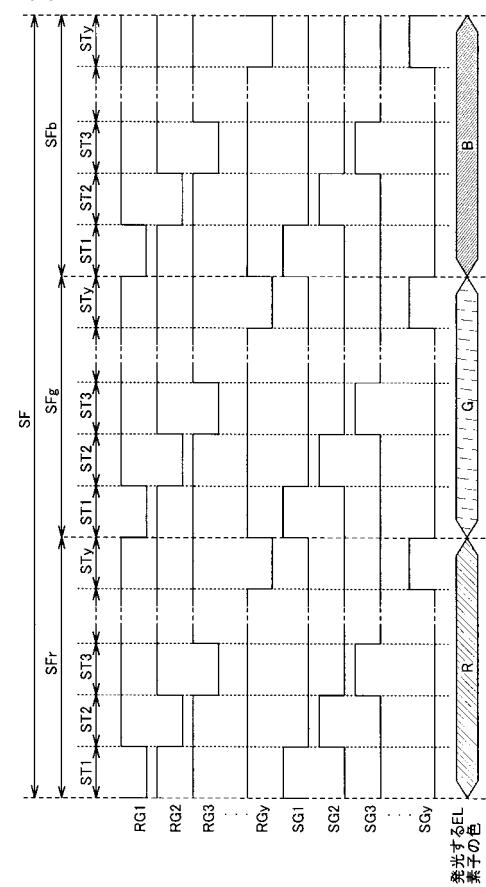
【図2】



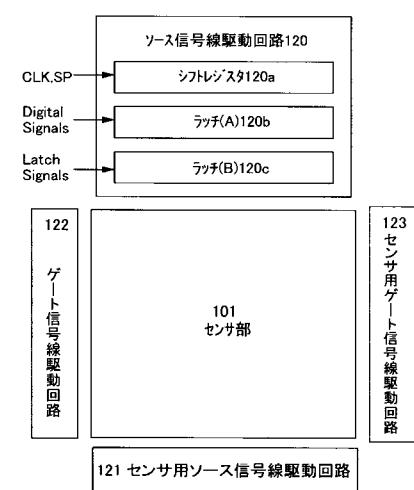
【図3】



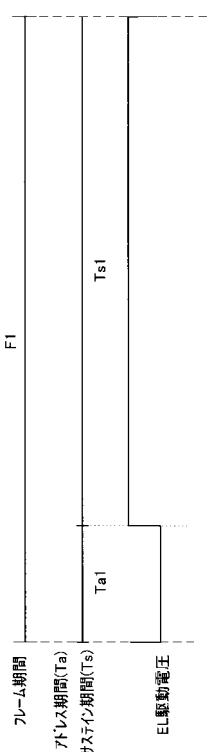
【図4】



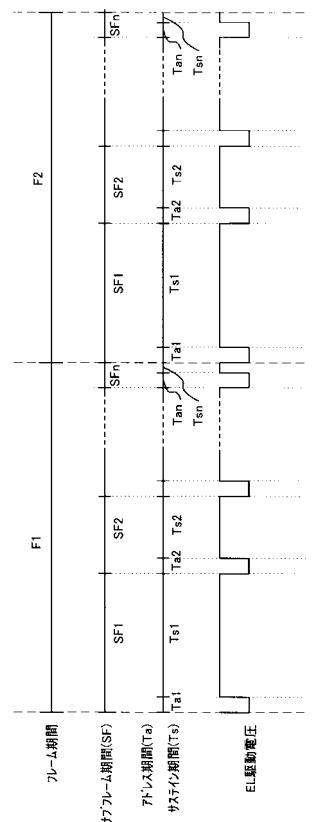
【図5】



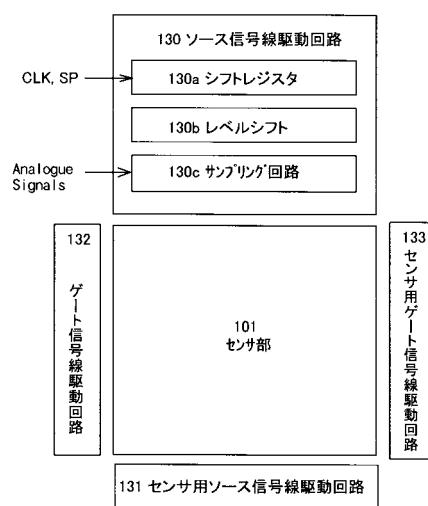
【図6】



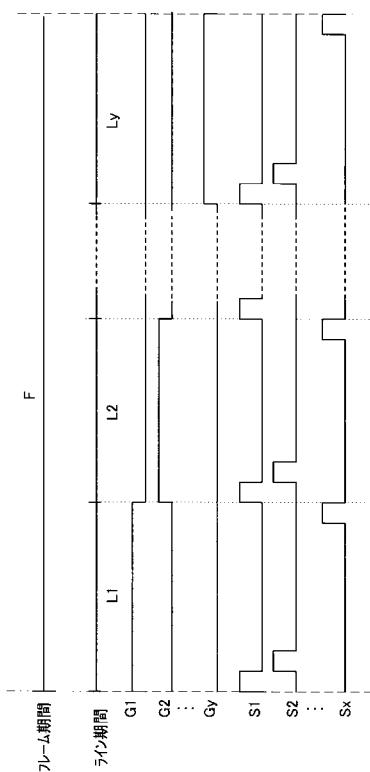
【図7】



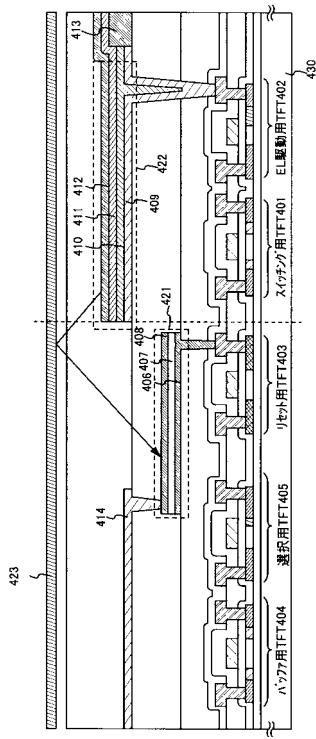
【 図 8 】



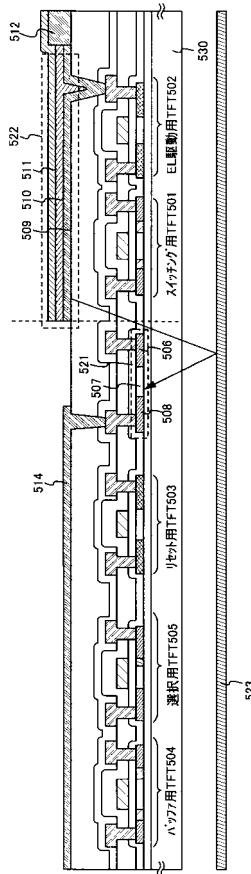
【図9】



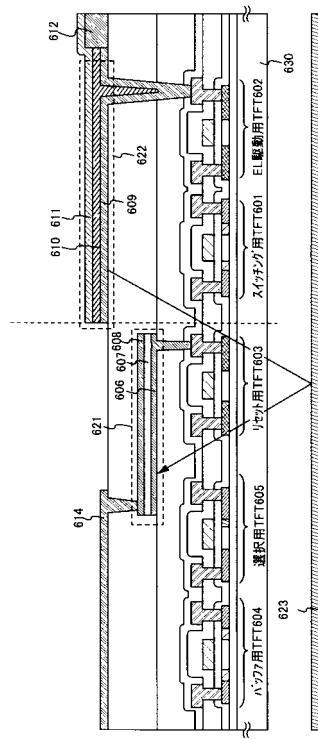
【図10】



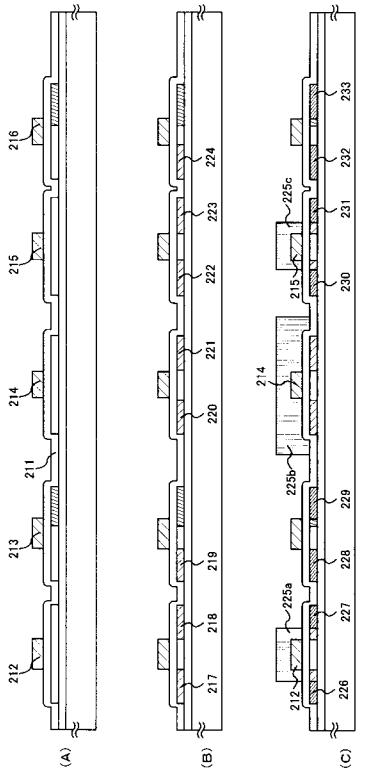
【図11】



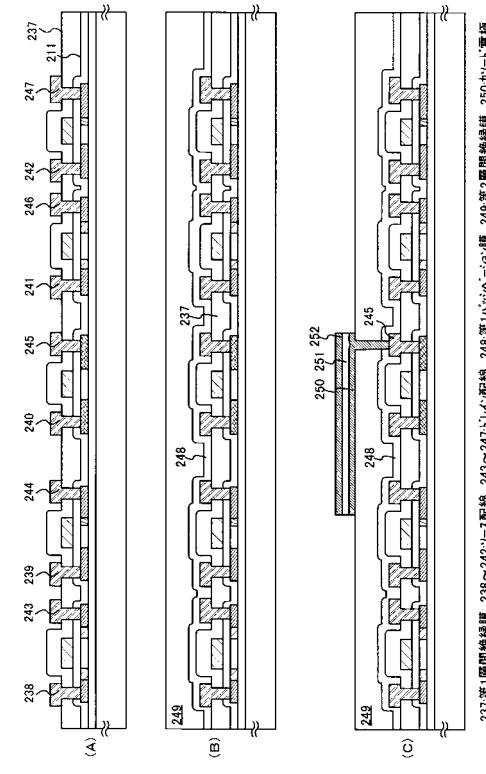
【図12】



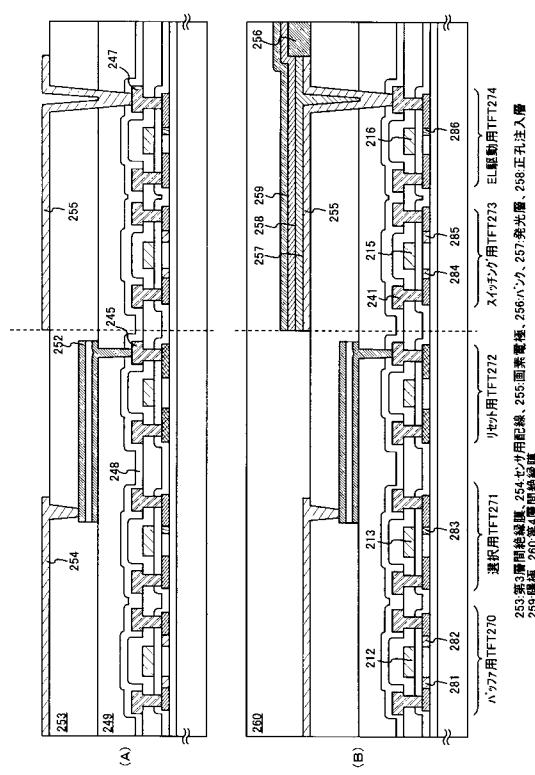
【図15】



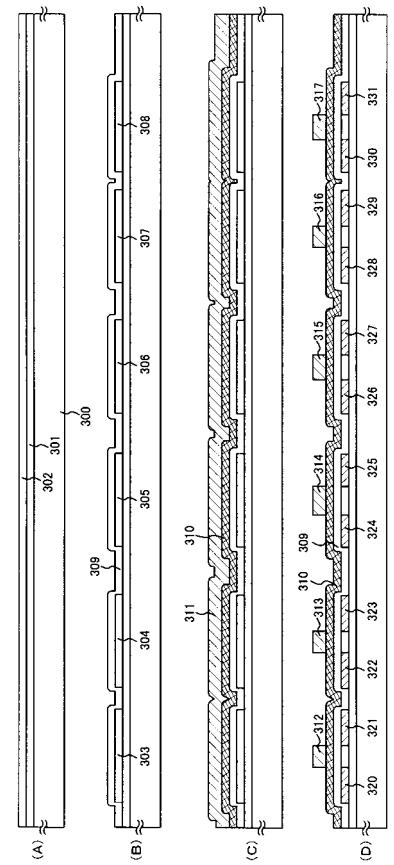
【 図 1 6 】



【 図 1 7 】



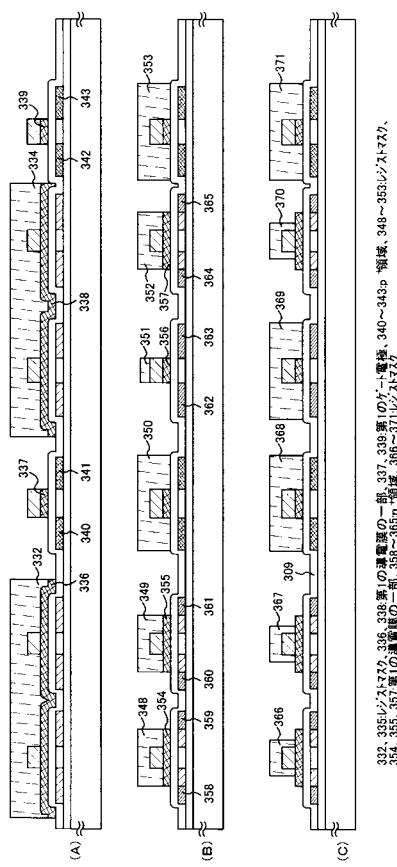
【図18】



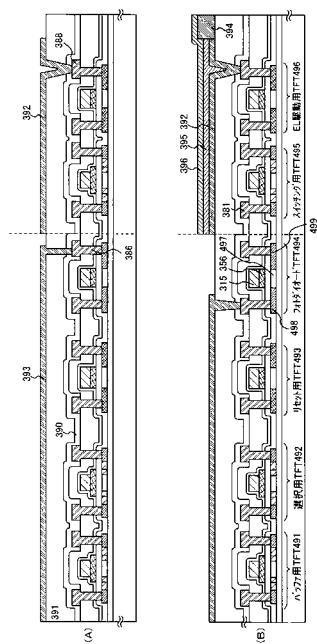
300-基板、301-下地膜、302-結晶質连接素膜、303～308活性層、309-“トネル膜、310-第1の導電層、311-第2の導電層、312～317第2のゲート電極
320～331-領域

237第1層間地縁壁、238～242スリース配線、243～247：「イン配線、248：第1ハシバ～321屢、249：第2層間地縁壁、250：ガード電板
251：光ファイバ配線、252～257：「トラン

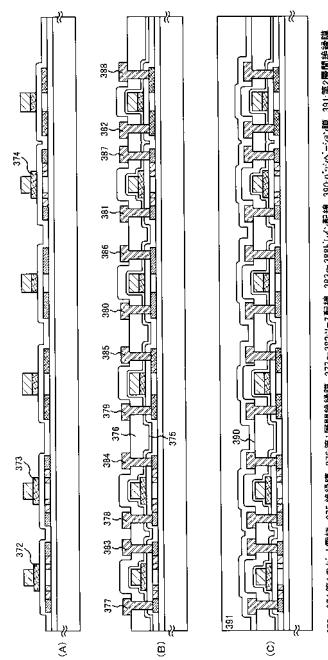
【図19】



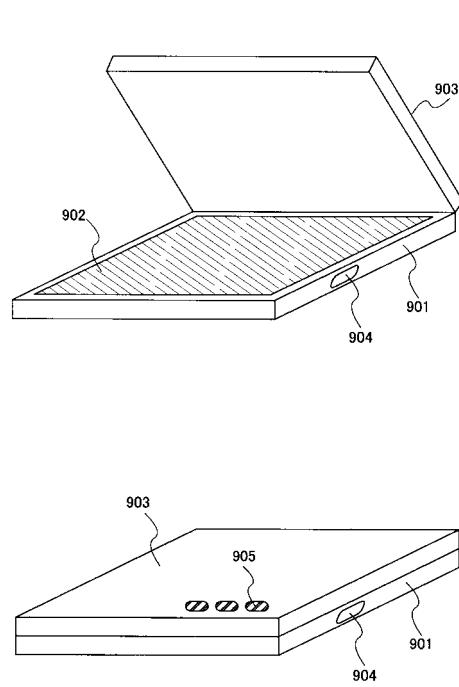
【図21】



【図20】

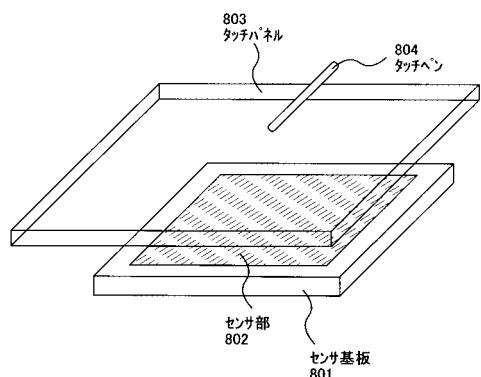


【図22】

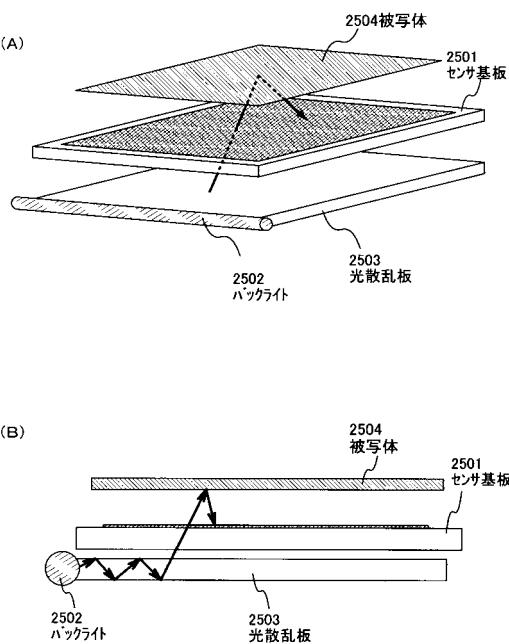


901:本体
902:センサ部
903:上部カバー
904:外部接続ポート
905:操作スイッチ

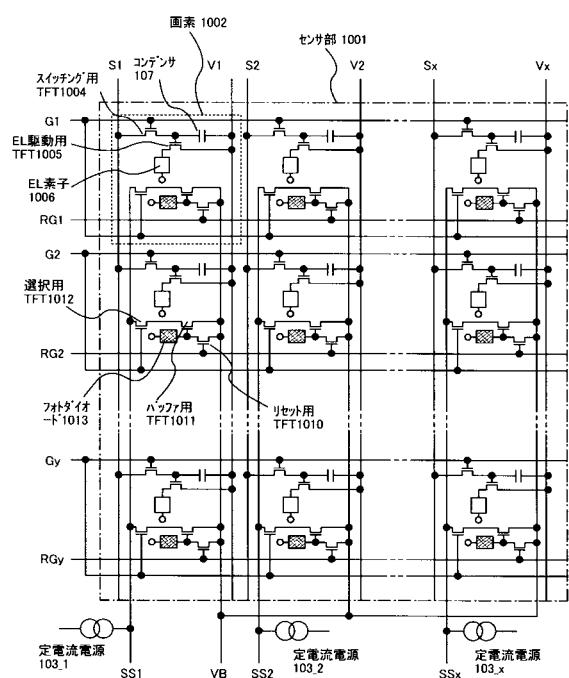
【図23】



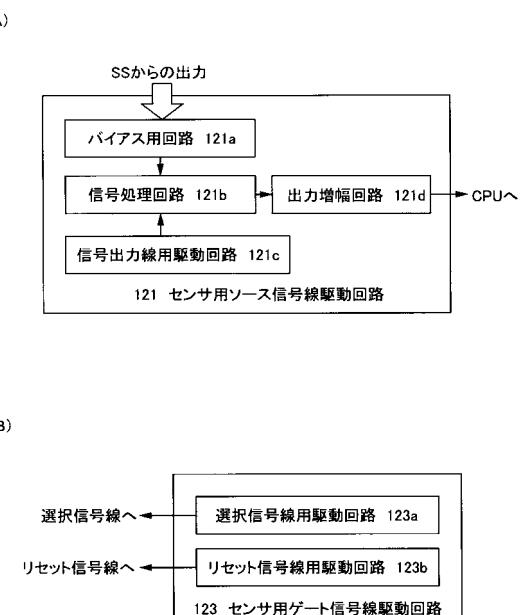
【図24】



【図25】



【図26】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/30 (2006.01) G 0 9 G 3/20 6 4 1 E
G 0 9 G 3/20 6 8 0 H
G 0 9 G 3/20 6 9 1 B
G 0 9 G 3/20 6 9 1 D
G 0 9 G 3/20 6 9 1 E
G 0 9 G 3/30 J

(56)参考文献 特開平07-130974(JP,A)
特開平11-075115(JP,A)
特開平08-111516(JP,A)
特開昭62-186320(JP,A)
特開平08-293620(JP,A)
特開平10-093785(JP,A)
特開平05-219301(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 1/024
H01L 27/14,29/76
G09F 9/30-9/46