

發明專利說明書 200540705

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94105113

※申請日期：94.2.18

※IPC 分類：G06F 9/46

一、發明名稱：(中文/英文)

在多處理器系統中用於處理器任務移動之方法與裝置

METHODS AND APPARATUS FOR PROCESSOR TASK MIGRATION
IN A MULTI-PROCESSOR SYSTEM

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商新力電腦娛樂股份有限公司

SONY COMPUTER ENTERTAINMENT INC.

代表人：(中文/英文)

久多良木 健

KUTARAGI, KEN

住居所或營業所地址：(中文/英文)

日本國東京都港區南青山2-6-21

2-6-21, MINAMI-AOYAMA, MINATO-KU, TOKYO 107-0062, JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 井上 敬介
INOUE, KEISUKE
2. 岩本 達也
IWAMOTO, TATSUYA

國 籍：(中文/英文)

- 1.2.均日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2004年02月20日；10/783,238

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於在多處理系統中管理處理器工作之方法及裝置，並且具體而言，係關於以實質上自治為基礎來排程及執行多處理系統的副處理單元中的處理器工作之方法及裝置。

【先前技術】

即時、多媒體應用程式愈來愈重要。這些應用程式需要極快速的處理速度，例如，每秒數千兆位元資料。雖然單一處理單元具備快速處理速度之能力，但是卻無法匹配多處理器架構的處理速度。在多處理系統中，複數個副處理器的確可以平行(或至少協調地)運作以達成所要的處理結果。

可採用多處理技術的電腦及運算裝置類型包羅萬象。除了個人電腦(PC)和伺服器以外，這些運算裝置包括行動電話、行動電腦、個人數位助理(PDA)、視訊轉換器、數位電視等等。

即時、多媒體軟體應用程式係由處理程式碼(例如，處理指令及資料)所建構而成。一由至少某些處理指令及/或處理資料所組成的集合可稱為一處理器工作。雖然可以連續執行一處理器工作內的程式陳述，但是在多處理器系統中，可以在不同處理器上平行執行不同的處理器工作。因此，軟體應用程式可被視為包含要被該多處理系統執行的處理器工作。

在多處理系統中的一項設計考量，是如何管理哪個該系統的多個副處理單元來執行哪些處理器工作。在某些多處理系統中，該等處理器工作指定該等副處理單元中哪些副處理單元進行執行作業。這些做法的缺點在於，程式設計人員可能沒有最佳化該等副處理單元中的處理器工作配置。例如，一或多個處理器工作可能同時指定相同的副處理單元。這表示該等處理器工作中的某些處理器工作被置入擱置狀態，直到指定的副處理單元變成可用狀態，因此而延遲執行作業。不幸地，這也會導致關於該等處理器工作執行作業的無法預期之延時。

其它系統思忖一管理元件與該等副處理單元通信且排程該等副處理單元中的處理器工作。因此，一通信協定必須適用才能促進此類通信。不幸地，通信協定通常會導致介於該管理元件與該等副處理單元之間的訊息延遲。此類協定的確要求使用一記憶體對應的I/O空間(使用記憶體對應的暫存器)，這通常緩慢費時。另外，該等管理元件(其本身可能是系統的處理器)可採用多分割域(multiple partition domain)，這需要顯著的時間進行變更(例如，700微秒)。這些特性也延遲該等處理器工作執行作業且導致無法預期之延時。因此，該多處理系統的整體處理器總通量及效率被犧牲，這會導致顯著影響系統使用者的即時及/或多媒體體驗。

因此，此項技術需要達成高效率多處理之新方法及裝

置，藉以減少硬處理器錯誤之不良影響。

【發明內容】

根據本發明一或多項態樣，思忖一種在多處理器電腦系統上執行處理器工作之方法。該多處理系統包括可存取一共用記憶體之複數個副處理單元及一主處理單元。每個副處理單元各包括一與共用記憶體分開的晶片上局域記憶體。該方法包括：規定從該共用記憶體複製至該等處理器工作至該等副處理單元的局域記憶體，以便執行該等處理器工作，並且禁止從該共用記憶體執行該等處理器工作；以及將至少一處理器工作從該等副處理單元之一遷移至該等副處理單元中之另一副處理單元。

遷移至少一處理器工作較佳係以一條件為基礎。該條件可能係以相關聯於該等處理器工作的各自優先權層級為基礎。

在本發明一或多項具體實施例中，滿足該條件及起始該遷移不是以先佔式動作為基礎。較佳方式為，該方法進一步包括要求該等副處理單元依據該等處理器工作的優先權層級，從該共用記憶體選擇所要執行的處理器工作。該方法也可包括：要求該等副處理單元從該共用記憶體先選擇一較高優先權之處理工作，之後才選擇一較低優先權之處理工作。

較佳方式為，該方法進一步包括由一第一副處理單元可從該共用記憶體選擇所要執行的一第一優先權層級之第一

處理器工作；由一第二副處理單元可從該共用記憶體選擇所要執行的一第二優先權層級之第二處理器工作；以及將該第一副處理單元讓出給一第三優先權層級之第三處理器工作，原因在於該第三處理器工作的優先權層級高於任何已備妥要被執行之其它處理器工作，因而選擇該第三處理器工作。

該方法也可包括：將該第一處理器工作從該第一副處理單元的該局域記憶體寫回至該共用記憶體。較佳方式為，該方法包括：將該第二副處理單元讓出給該第一處理器工作，原因在於該第一處理器工作的優先權層級高於該共用記憶體中任何已備妥要被執行之其它處理器工作，藉此將該第一處理器工作以非佔先方式從該第一副處理單元遷移至該第二副處理單元。該方法也可包括：將該第二處理器工作從該第二副處理單元的該局域記憶體寫回至該共用記憶體。

該方法也思忖：在該等副處理單元之一上執行的一較低優先權之處理器工作，可被一較高優先權之處理器工作以先佔方式予以取代。該方法也可包括：要求該等副處理單元從該共用記憶體先選擇一較高優先權之處理工作，之後才選擇一較低優先權之處理工作。

較佳方式為，該方法進一步包括：由數個副處理單元從該共用記憶體選擇所要執行的複數個相關聯優先權層級之處理器工作；促使從該共用記憶體中的一第n個處理器工作

具有一給定優先權層級，藉此變成已備妥被執行；以及決定該給定優先權層級是否高於該複數個處理器工作的任何優先權層級。較佳方式為，該等副處理單元中之至少一子副處理單元可運作以執行該決定作業。該方法也可包括：以該第 n 個處理器工作以先佔方式取代該複數個處理器工作中之一低於該給定優先權層級的較低優先權層級之處理器工作。

該等副處理單元中之一或多個副處理單元可運作成用以：至少起始該取代作業，並且迫使該複數個副處理單元之一放棄執行該較低優先權層級之處理器工作。該方法可包括規定該起始之副處理單元發出一中斷至該放棄執行之副處理單元，以便起始取代該較低優先權層級之處理器工作。較佳方式為，該方法也包括：規定該放棄執行之副處理單元將該較低優先權層級之處理器工作從其局域記憶體寫回至該共用記憶體中。

根據本發明一或多項進一步態樣，該方法較佳包括：規定該等副處理單元可決定，該共用記憶體中具有一給定優先權層級的一第 n 個處理器工作是否高於該複數個處理器工作的任何優先權層級。

較佳方式為，該等副處理單元在決定該第 n 個處理器工作是否屬於高於該複數個處理器工作的一較高優先權層級過程中，使用一共用工作優先權表。該共用工作優先權表可包括用於副處理單元識別項及處理器工作優先權識別項的

項目；以及每筆項目可包括一成對的副處理單元識別項與優先權識別項，用於指示在一相關聯之副處理單元上執行之一給定處理器工作的優先權層級。

正在試圖決定該第n個處理器工作是否屬於高於該複數個處理器工作的一較高優先權層級的一副處理單元，可搜尋該共用工作優先權表，以便尋找一指示一較低優先權層級的項目對。較佳方式為，該較低優先權層級是該共用工作優先權表的最低優先權層級。該等副處理單元較佳修改該共用工作優先權表，促使該等項目對是最新的。

根據本發明一或多項進一步態樣，一種方法包括：規定從該共用記憶體複製至該等處理器工作至該等副處理單元的局域記憶體，以便執行該等處理器工作，並且禁止從該共用記憶體執行該等處理器工作；規定該等副處理單元依據處理器工作的優先權層級，從該共用記憶體選擇所要執行的處理器工作；以及將在該等副處理單元之一給定副處理單元上執行的一較高優先權之處理器工作，遷移至該等副處理單元中正在執行一較低優先權之處理器工作的另一副處理單元，藉此回應該給定副處理單元所接收到的一中斷。

該方法也可包括：從該共用記憶體選擇複數個相關聯優先權層級之處理器工作，以由數個副處理單元予以執行；在該給定副處理單元接收該中斷；以及決定正在該等數個副處理單元上執行的該複數個處理器工作中哪一個處理器

工作具有一最低優先權層級，該最低優先權層級低於正在該給定副處理單元上執行之處理器工作的優先權層級。該給定副處理單元可運作以執行該決定作業。

該方法較佳進一步包括：將該給定處理器工作遷移至正在執行該最低優先權層級處理器工作的副處理單元並取代該處理器工作。該給定副處理單元可運作成用以：至少起始該遷移作業，並且迫使正在執行該最低優先權層級處理器工作的副處理單元將執行作業讓出給較高優先權層級之處理器工作。該給定副處理單元較佳發出一中斷至該放棄執行之副處理單元，以便起始取代該最低優先權層級之處理器工作。

該放棄執行之副處理單元可將該較低優先權層級之處理器工作從其局域記憶體寫回至該共用記憶體中。該放棄執行之副處理單元也可將較高優先權層級之該給定處理器工作從該給定副處理單元之局域記憶體寫回至自己的局域記憶體，以供執行。

該給定副處理單元在決定執行中哪一個處理器工作屬於該最低優先權層級過程中，較佳使用一共用的工作優先權表。該共用工作優先權表可包括用於副處理單元識別項及處理器工作優先權識別項的項目；以及每筆項目可包括一成對的副處理單元識別項與優先權識別項，用於指示在一相關聯之副處理單元上執行之一給定處理器工作的優先權層級。該給定副處理單元可搜尋該共用工作優先權表，以

便尋找一指示一最低優先權層級的項目對。該等副處理單元較佳修改該共用工作優先權表，促使該等項目對是最新的。

根據本發明一或多項進一步態樣，一種多處理器裝置包括：複數個副處理單元，每個副處理單元各包括一用於執行處理器工作的晶片上局域記憶體；以及一共用記憶體，其可運作成用以儲存已備妥要被執行的處理器工作。從該共用記憶體複製至該等處理器工作至該等副處理單元的局域記憶體，以便執行該等處理器工作，並且不是從該共用記憶體執行該等處理器工作，以及將至少一處理器工作從該等副處理單元之一遷移至該等副處理單元中之另一副處理單元。

根據本發明一或多項進一步態樣，該裝置的該等副處理單元可運作成用以執行如上文所述的該等方法步驟。熟悉此項技術者從配合附圖說明的實施方式，將可明白本發明的其它態樣、特色及優點。

【實施方式】

請參閱附圖，圖式中相像的數字標示相像的元件，圖1繪示根據本發明一或多項態樣之多處理系統100。該多處理系統100包括透過一匯流排108而耦接至一共用記憶體106的複數個處理器102(可使用任何數量處理器)。請注意，該共用記憶體106不需要就是一DRAM；確實，可使用任何已知或下文開發之技術來形成該共用記憶體。

該等處理器102之一較佳是一主處理單元，例如，處理單元102A。其它處理單元102較佳是副處理單元(SPU)，例如，處理單元102B、102C、102D等等。可使用任何已知或下文開發之電腦架構來實施該等副處理單元102。所有該等副處理單元102不需要使用相同架構來實施；的確，該等副處理單元可能屬於異質或同質組態。請注意，可以用相對於該等副處理單元102B-D的局域方式來設置該主處理單元102A，例如，設置在相同晶片中、設置在相同封裝中、設置在相同電路板上、設置在相同產品中等等。替代做法為，該主處理單元102A可被置放在遠離該等副處理單元102B-D之處，例如，設置在不同產品中，可以透過一匯流排、一通信網路(例如，網際網路)或類似物來耦接該主處理單元。同樣地，該等副處理單元102B-D可被置放在互相局域或遠離之處。

該主處理單元102A可被用來排程及精心安排由該等副處理單元102B-D來處理資料及應用程式，促使等副處理單元102B-D以平行且獨立方式來處理彼等資料及應用程式。但是，根據本發明某些態樣，在排程該等副處理單元中執行處理器工作過程中，該主處理單元102A不承擔中央角色。而是，此類排程作業較佳是委由該等SPU本身進行。

對圖1中之處理器102之角色與功能的指派有所彈性。例如，該等處理器102中之任一處理器都可能是主處理單元或一副處理單元。

請參考圖2，該主處理單元102A較佳承擔該等SPU 102B-F之服務處理器的角色，尤其是當該主處理單元進行排程及管理該等SPU中的處理器工作。根據本發明某些態樣，該主處理單元102A可評估一軟體應用程式中所包含的處理器工作，並且參與該共用記憶體106之配置、該等SPUs之配置以及在該共用記憶體106內起始儲存該等處理器工作110。關於該共用記憶體106之配置，該主處理單元102A較佳決定應配置給一給定數目之處理器工作110的記憶體空間。就這一點而言，該主處理單元102A可配置該共用記憶體106的一第一區域106A來儲存某些處理器工作110，並且可配置該共用記憶體106的一第二區域106B來儲存其它處理器工作110。該主處理單元102A還可建置關於該共用記憶體106之各自區域106A和106B內的資料同步化之規則。

根據本發明一或多項進一步態樣，該共用記憶體106之各自區域106A和106B僅能被指定數量的副處理單元102(例如，配置用於執行該共用記憶體106內之一給定區域內所儲存之特定處理器工作110的副處理單元102)予以存取。例如，副處理單元102B-D較佳是僅限於被允許存取該共用記憶體106之該第一區域106A內處理器工作110的SPU。同樣地，副處理單元102E-F較佳是僅限於被允許存取該共用記憶體106之該第二區域106B內處理器工作110的SPU。如需關於保護該共用記憶體106之各自區域106A和106B內的技術之詳細資訊，請參閱美國專利案第6,526,491號，標題為

「MEMORY PROTECTION SYSTEM AND METHOD FOR COMPUTER ARCHITECTURE FOR BROADBAND NETWORKS」，該案專利以引用方式全文併入本文中。

根據本發明一或多項進一步態樣，一旦該等處理器工作110被佈置在該共用記憶體106內且該等副處理單元102被配置為執行該等工作，則該主處理單元102A較佳不參與排程及管理該等處理器工作110之執行。而是，由涉入的特定副處理單元102來負責排程及管理。

在論述關於本發明各項具體實施例之處理器工作管理功能的進一步詳細資訊之前，將先論述用於實施多處理系統的較佳電腦架構。就這一點而言，現在請參閱圖3，圖中繪示基本處理模組或處理器元件(PE)200的方塊圖。根據此項電腦架構，多處理電腦系統的所有副處理器皆是從一通用運算模組(或片段(cell))所建構而成。此通用運算模組具有一致性結構，並且較佳採用相同的指令集架構。在本發明替代具體實施例中，該等副處理單元可屬於異質組態。多處理電腦系統可能係由用戶端、伺服器、個人電腦(PC)、行動電腦、遊戲機器、個人數位助理(PDA)、視訊轉換器、設備、數位電視及使用電腦處理器的其他裝置所組成。

基本處理模組是一個處理器元件(PE)。如圖3所示，PE 200包括一I/O介面202、一處理單元(PU)204、一直接記憶體存取控制器(DMAC)206及複數個副處理單元208(即，副處理單元208A、副處理單元208B、副處理單元208C及副處

理單元208D)。一局域(或內部)PE匯流排212在PU 204、該等副處理單元208、DMAC 206及一記憶體介面210之間傳輸資料和應用程式。例如，該局域PE匯流排212可具有習知架構或被實施成封包交換式網路。雖然實施成封包交換式網路需要更多硬體，但是可增加可用的頻寬。

可使用實施數位邏輯的各種方法來建構PE 200。但是，PE 200最好被建構成在矽基板上採用互補金屬氧化物半導體(CMOS)的單一積體電路。基板的替代材料包括砷化鎵、砷化鎵鋁及採用各種摻雜物之其他所謂的III-B合成物。也可能使用超導電材料(例如，迅速單流井(rapid single-flux-quantum；RSFQ)邏輯)來實施PE 200。

透過高速頻寬記憶體連接216，使PE 200密切相關聯於動態隨機存取記憶體(DRAM)214。DRAM 214係當作PE 200的主(或共用)記憶體。雖然DRAM 214最好是動態隨機存取記憶體，但是也可使用其他裝置來實施DRAM 214，例如，靜態隨機存取記憶體(SRAM)、磁性隨機存取記憶體(MRAM)、光學記憶體、全像式記憶體等等。該DMAC 206及該記憶體介面210促進介於該DRAM 214與該PE 200之該等副處理單元208和該PU 204之間的資料傳輸。請注意，該DMAC 206及/或該記憶體介面210可能以相對於該等副處理單元208和該PU 204之整合或分開方式予以佈置。的確，除了如圖所示之分開式組態以外，該DMAC 206功能及/或該記憶體介面210功能可與該等副處理單元208和該PU 204

中之一或多個以上(較佳為全部)整合在一起。

例如，PU 204可能是能夠獨立處理資料和應用程式的標準處理器。該等副處理單元208較佳是單指令多重資料(SIMD)處理器。該等副處理單元208較佳以平行且獨立方式來執行資料和應用程式之處理作業。DMAC 206控制該PU 204與該等副處理單元208存取儲存於該共用DRAM 214中的資料與應用程式(例如，該等處理器工作110)。請注意，該PU 204可能係由該等副處理單元208中之一承擔主處理單元角色的副處理單元予以實施。

根據這項模組化結構，一特定電腦系統採用的PE 200數量係以該系統所需的處理能力為基礎。例如，伺服器可採用四個PE 200、工作站可採用兩個PE 200，而PDA可採用一個PE 200。指派用以處理特定軟體片段(software cell)之PE 200的副處理單元數量取決定該軟體片段內之程式和資料的複雜度及數量。

圖4繪示副處理單元208的較佳結構及功能。該副處理單元208包括局域記憶體250、多個暫存器252、一或多個浮點運算單元254及或多個整數運算單元256。再者，但是可視所需的處理能力而定，可採用較多或較少數量的浮點運算單元254及整數運算單元256。該浮點運算單元254的運作速度較佳是每秒320億浮點運算(32 GFLOPS)，而該整數運算單元256的運作速度較佳是每秒320億運算(32 GOPS)。

在一項較佳具體實施例中，該局域記憶體250包括256千

位元組儲存空間，而該等暫存器252容量為128 X 128位元。請注意，不是使用該214來執行該等處理器工作110。而是，將該等工作複製至一給定副處理單元208的局域記憶體250且以局域方式予以執行。

該局域記憶體250可能是或不是快取記憶體。該局域記憶體250較佳係由一靜態隨機存取記憶體(SRAM)所建構而成。PU 204可能需要支援PU 204所起始之直接記憶體存取的快取相干性。但是，針對該等副處理單元208起始的直接記憶體存取或從外部裝置進行存取或存取至外部裝置，則不需要快取相干性支援。

該等副處理單元208進一步包括一匯流排介面(I/F)258，用以在該等副處理單元208之間來回傳輸應用程式和資料。在一項較佳具體實施例中，該匯流排I/F 258被耦接至一DMAC 206，圖式中以虛線來繪示該DMAC 206，藉此指示出該DMAC 206可被整合地佈置在該副處理單元208內(如圖所示)，或可被佈置在外部(如圖3所示)。一對匯流排268A、268B互連介於該匯流排I/F 258與該局域記憶體250之間的該DMAC 206。該等匯流排268A、268B較佳寬度為256位位元。

該等副處理單元208進一步包括內部匯流排260、262和264。在一項較佳具體實施例中，在較佳具體實施例中，該匯流排260的寬度為256位位元，並且提供介於該局域記憶體250與該等暫存器252之間的通訊。該等匯流排262和264

提供分別介於該等暫存器252與該等浮點運算單元254之間的通訊，及介於該等暫存器252與該等整數運算單元256之間的通訊。在一項較佳具體實施例中，該等匯流排264和262之從該等暫存器252至該等浮點運算單元或該等整數運算單元的寬度為384位位元，該等匯流排264和262之從該等浮點運算單元或該等整數運算單元254、256至該等暫存器254的寬度為128位位元。該等匯流排中之從該等暫存器252至該等浮點運算單元或該等整數運算單元254、256的寬度寬於從該等浮點運算單元或該等整數運算單元至該等暫存器252的寬度，以適應於處理期間來自於該等暫存器252的較大資料流量。每項計算均需要三個字組的最大值。但是，每項計算的結果通常只是一個字組。

接著再次說明本發明之各項處理器工作管理功能，並且請參閱圖2，較佳方式為，該等副處理單元102利用一工作表，以便決定應從該共用記憶體106複製該等處理器工作110中之哪些處理器工作，並且複製至該等SPU 102的局域記憶體之一中，以供執行。就這一點而言，現在請參閱圖5，圖中繪示根據本發明各項態樣之可運用之工作表280的概念圖。該工作表280較佳被儲存在該共用記憶體106中(下文將論述如何初始化該工作表280的細節)。該工作表280較佳包括複數筆工作表項目T1、T2、T3等等。每筆工作表項目較佳係相關聯於該等處理器工作110(圖2)之一，例如，藉由關聯定址(associative addressing)或用於使該等工作表項目

與該等處理器工作110相關聯的某些其它手段。

在一項較佳具體實施例中，每筆該等工作表項目可各包括一狀態指示(STAT)、一優先權指示(PRI)及一對指標(PREV, NEXT)。該STAT較佳提供關於該給定工作表項目所相關聯之處理器工作是否READY(備妥)被該等副處理單元中之一或多個副處理單元予以執行(或RUNNING(執行中)處於有效狀態)的一指示。該PRI較佳提供關於該相關聯處理器工作110之一優先權層級的一指示。可能有相關聯於該等處理器工作110的任何數量之優先權層級，並且可由軟體程式設計人員予以建置，或可在以後透過軟體應用程式執行予以建置。無論如何，可以利用該等處理器工作110的優先權層級來建置該等處理器工作的執行順序。該PREV較佳是指向一已定序之連結後工作表項目清單(或處理器工作清單)中一前一工作表項目(或指向一前一處理器工作110)的一指標。該NEXT較佳是指向該已定序之連結後工作表項目(或處理器工作)清單中一下一工作表項目(或處理器工作)的一指標。

根據本發明一或多項態樣，該工作表280較佳被該等副處理單元副處理單元102利用，以便決定應從該共用記憶體106複製該等處理器工作110的順序，以供執行。例如，為了在多處理系統100或200上適當執行一軟體應用程式，必須以特定順序，或至少就一般順序(即T1、T8、T6和T9)而論來執行特定處理器工作110。為了反映出此例證實例性處

理器工作順序，該工作表280較佳在用於建立一連結後工作表項目清單(並且按副檔名處理器工作)的該等工作表項目之各自PREV及NEXT部分中包含指標。依據前文實例的特性，該工作表項目T1包括一指向工作表項目T8的NEXT值。工作表項目T8包括一指向工作表項目T1的PREV值，並且包括一指向工作表項目T6的NEXT值。工作表項目T6包括一指向工作表項目T8的PREV值，以及一指向工作表項目T9的NEXT值。工作表項目T9包括一指向工作表項目T6的PREV值。

請參考圖6，前文實例的該連結後工作表項目清單可被概念上繪示為一狀態圖，其中從相關聯於工作表項目T1之一特定處理器工作的轉變，導致選擇並執行相關聯於工作表項目T8的另一處理器工作。從相關聯於工作表項目T8之處理器工作的轉變，導致選擇並執行相關聯於工作表項目T6的一處理器工作，以此類推。可以獲得該等工作表項目(及/或處理器工作本身)的一循環式關聯性之方式為：確保第一或頭端工作表項目T1包括一指向工作表項目T9的PREV值，並且確保工作表項目T9包括一指向工作表項目T1的NEXT值。

運作期間，經配置用以執行該共用記憶體106之處理器工作110集區(較佳在一給定區域106A或106B內)的各自副處理單元102先存取該工作表280，以便決定應接著開始執行的處理器工作110。為了輔助識別該連結後清單的第一(或

頭端)項目，該等副處理單元102較佳也具有一工作佇列282(圖7中概念上繪示出該工作佇列)的存取權。該工作佇列282較佳包括關於該等相關聯處理器工作110之每個優先權層級的一項目。每筆項目較佳各包括一HEAD指標及一TAIL指標中之至少一項。

請進一步參考圖6，圖中繪示之該實例性連結後清單的狀態圖是具有優先權層級1的處理器工作110之表示。的確，項目T1、T8、T6和T9的每個工作表項目(圖5)都包括PRI值1。

相關聯於優先權層級1之工作佇列項目的HEAD指標及TAIL指標包含分別指向工作表項目T1及工作表項目T9的指標。該工作佇列282的其它項目相關聯於其它連結後清單之其它優先權層級的HEAD指標及TAIL指標。以此方式，思忖本發明各項具體實施例可包括多個連結後工作表項目清單(並且按副檔名處理器工作)，其中每個連結後清單各包含相同或至少相似優先權層級的項目。各自副處理單元102較佳運用該工作表280及該工作佇列282來決定應從該共用記憶體複製哪些處理器工作110以供執行。假如各自連結後清單已被適當建立及維護，就可以按適當順序來執行該等處理器工作110，以便在執行整個軟體應用程式時達成所要的結果。

根據本發明各項態樣，在執行軟體應用程式期間，該等副處理單元102維護且修改該工作表280及該工作佇列282。就這一點而言，現在請參閱圖8至10，圖中繪示用於

解說適用於達成本發明一或多項所要功能之程序步驟的流程圖。在步驟300，一特定副處理單元102被呼叫，以起始從該共用記憶體106複製一處理器工作110至該特定副處理單元102的局域記憶體。在步驟302，該副處理單元102鎖定且複製該工作佇列282至其局域記憶體中。之後，搜尋該工作佇列282以尋找出一最高優先權備妥之工作(步驟304)。使用圖7所示之實施，該工作佇列282包括一指向工作佇列項目T1的HEAD指標，該工作佇列項目T1相關聯於一最高優先權(例如，優先權層級1)的處理器工作。由於相關聯於該工作佇列項目T1的處理器工作被鎖定為執行目標，所以該副處理單元102較佳修改該工作佇列282，以便移除對該處理器工作之參照(步驟306)。依據一項較佳具體實施例，這需要將指向工作佇列項目T1的HEAD指標修改為指向將成為一新第一(或頭端)工作表項目的另一工作表項目，用以便指示應開始執行的下一處理器工作。具體而言，該工作表項目T1的NEXT指標可被用作優先權層級1的新HEAD指標。的確，如圖6所示，一旦相關聯於該工作表項目T1之處理器工作正被執行中(或RUNNING)，就不再處於READY狀態，並且應從狀態圖予以移除。這應使工作表項目T8成為狀態圖的頭端項目。由於工作表項目T1不再屬於READY狀態圖部分，所以工作表項目T8的PREV指標應被修改成指向工作表項目T9。因此，在步驟308，工作表被標記且被複製至SPU 102的局域記憶體中，促使可以修改該工作表。同樣

地，工作表項目 T9 的 NEXT 指標應可修改成指向工作表項目 T8。

根據本發明較佳態樣，該 SPU 102 較佳將工作表項目 T1 的 STAT 值從 READY 修改為 RUNNING (圖 9 中的步驟 310)。在步驟 312，較佳決定在該 SPU 102 被呼叫 (步驟 300) 以叫用一下一工作時是否正在執行一前一工作。當正在該 SPU 102 上執行的一前一工作讓於給另一工作時，就會發生此狀況。基於本實例之目的，假設一前一工作不會讓於給下一處理器工作 110，也不會被下一處理器工作 110 篡奪，並且假設步驟 312 的決定結果為否定。據此，程序流程較佳進展至步驟 318，在此步驟，SPU 副處理單元 102 將修改後工作佇列 282 及修改後工作表 280 寫回至該共用記憶體 106 中。此時，該工作表 280 及該工作佇列 282 已被更新，並且 (依照較佳同步化技術) 已被解除鎖定，促使可被其它副處理單元 102 予以複製及修改。

如果步驟 312 的決定結果為肯定，例如，可能是一前一處理器工作 110 讓於給要執行的下一處理器工作 110，則程序流程較佳進展至步驟 314。在此步驟，SPU 較佳將該讓出之處理器工作的工作表項目之 STAT 值從 RUNNING 修改為 READY。另外，SPU 較佳接著修改各項工作表項目 (包括相關聯於該讓出之處理器工作的工作表項目) 的 PREV 和 NEXT 指標，以便將該讓出之處理器工作重新引回至適當的連結後清單。較佳方式為，達成此目的的方式為，按照該

相關聯之工作表項目的PRI值中的反映，來參照該讓出之處理器工作110的優先權層級。在步驟316，該讓出之處理器工作可被寫回至該共用記憶體106中，促使在之後的時間可以開始進行該讓出之處理器工作。之後，程序流程進展至步驟318，在此步驟，該工作佇列282及該工作表280被寫回至該共用記憶體106中。

在步驟320(圖10)，該副處理單元102將下一處理器工作110(例如，相關聯於工作表項目T8之處理器工作)從該共用記憶體106複製至其局域記憶體。在步驟322，該副處理單元102較佳復原及/或更新其暫存器(例如，使用相關聯於新處理器工作的任何資料)，以便在執行該新處理器工作時使用。最後，在步驟324，該新處理器工作110被該副處理單元102予以執行。

請注意，前文的步驟順序僅藉由舉例予以呈現，並且熟悉此項技術者應明白，可以修改該等步驟之順序，而不會脫離本發明的精神及範疇。例如，如本份說明書之下文中的論述，從該共用記憶體106複製處理器工作及將處理器工作寫回至該共用記憶體106的順序，以及利用工作表及工作佇列282的順序，皆可予以修改以達成所要的結果。

如上文所述，較佳在系統初始化階段期間利用該主處理單元102A，以便使該系統處於可以藉由該等副處理單元102來處置該等處理器工作110之執行和管理的狀態。該等副處理單元102較佳也導引一初始化常式，以便首先建立該工作

表280及該工作佇列282。圖11中的流程圖繪示彼等初始化程序。

在步驟350，服務處理器(例如，主處理單元102)評估要在該系統上執行的軟體應用程式，並且配置數個副處理單元102來執行該等處理器工作110。程序流程較佳進展至步驟352，在此步驟，該服務處理器評估軟體應用程式，並且配置該共用記憶體106的一或多個部分以接收該等處理器工作110。在步驟354，依據在步驟352所執行的任何記憶體配置，將該等處理器工作110載入至該共用記憶體106中。在初始化程序的此階段，該服務處理器較佳不再參與維護及/或配置該等副處理單元102中的處理器工作。

程序流程較佳進展至步驟356，在此步驟，該等副處理單元102彼此初始化，以便決定哪個SPU首先負責準備該工作表280及該工作佇列282。在步驟358，負責建立該工作表280及該工作佇列282的副處理單元102準備此類資訊並且在該共用記憶體106中儲存該資訊。舉例而言，較佳藉由使每個SPU核心執行一起始工作，來執行該工作表280及該工作佇列282之初始化。下面重現的程式init.c是每個SPU所執行之起始工作的較佳實例：

```
#include <spurs.h>

#include "task_instance.h"

int

main()
```

```

{
    spurs_beggin_init();
    if(spurs_get_spu_id()== 0){
        spurs_create_task(melchior);
        spurs_create_task(balthasar);
        spurs_create_task(caspar);
        spurs_start_task(melchior);
        spurs_start_task(balthasar);
        spurs_start_task(caspar);
    }

    spurs_end_init();
    return 0;
}

```

在此程式中，'melchior'、'balthasar'及'caspar'就是開端工作的名稱，通常是啟動工作。所有SPU核心都執行此起始工作init.c，但是僅一個SPU(具有ID0的SPU)執行如程式碼if(spurs_get_spu_id()== 0)所指定的工作。所有其它SPU(例如，具有一不同ID的SPU)在spurs_end_init()等待。因此，每個SPU核心都執行此起始工作，並且在此起始工作完成之後，該等SPU核心僅開始尋找下一工作，如本文所述。

請注意，該主處理單元102(當做一服務處理器，如上文所述)可將該等處理器工作110中一或多個處理器工作指定為屬於一群組內。此較佳係在初始化階段期間予以執行。例如，兩個或兩個以上處理器工作110也可必須互相密切通

信，因此如果該等處理器工作被一起聚集在一工作群組中，則可以更高效率地予以執行。加密程式是一可包含多個處理器工作的應用程式實例，其中所包含該等的處理器工作密切通信且如果被形成在一或多組工作群組中將更高效率地予以執行。

可以利用本發明的處理器工作管理功能，藉此輔助該主處理單元102A卸載一裝置驅動程式至一特定副處理單元102或一組副處理單元102。舉例而言，一網路介面(例如，Gigabit Ethernet(十億位元乙太網路)處理常式(handler))可利用至多80% CPU能力。如果該網路介面僅被該主處理單元102A予以執行，則該主處理單元102A可能無法用於進行其它服務導向式處理工作。據此，可能有利的做法是，一主處理單元102A卸載該網路介面程式至該等副處理單元102中的一或多個副處理單元。該主處理單元102A可達成此結果的方式為，將該網路介面的處理工作置放至該共用記憶體106中，並且配置一或多個副處理單元102來執行該網路介面的處理工作。回應做法是，該等SPU可形成適用於管理及排程此等處理器工作之執行的一工作表280及一工作佇列282。有利的做法是，因此該主處理單元102A可使更多CPU能力專用於執行其它工作。該主處理單元102A也可卸載其它裝置驅動程式，例如，數位電視裝置驅動程式。屬於卸載至SPU的適當候選者的其它裝置驅動程式是具有大量協定堆疊的裝置驅動程式。例如，用於即時高速存取

裝置(例如，用於HDD記錄器)的驅動程式可被有利地卸載。其它可被卸載之工作的實例包括：用於虛擬私用網路(Virtual Private Network)及IP上多媒體(例如，VoIP)應用程式的網路封包加密/解密工作。

現在請參考圖12，圖中繪示處理器工作狀態的狀態實例。該等工作狀態可被分類成五種類別。RUNNING(執行中)狀態、READY(備妥)狀態、BLOCKED(被封鎖)狀態、DORMANT(休眠)狀態及NON-EXISTENT(不存在)狀態。當一處理器工作目前正被執行中時，即處於RUNNING狀態。在某些情況下，一處理器工作甚至可在無工作內容(例如，在中斷期間)情況下維持RUNNING狀態。一處理器工作在已備妥被執行時係處於READY狀態，但是因為一或多個較高優先順序之處理器工作已正在執行中且無法取得一副處理單元來開始進行該工作而無法予以執行。一旦該READY狀態之處理器工作的優先權層級在該共用記憶體106之READY狀態工作集區之中足夠高，一副處理單元可開始進行且執行該處理器工作。因此，當一處理器工作被分派時，該工作的狀態可從READY狀態變更為RUNNING狀態。反之，當一RUNNING狀態之工作在其執行期間被佔用或否則被篡奪，則該工作的工作狀態可變更為READY狀態。前文已配合一處理器工作讓出給另一處理器工作方式來論述處理器工作先佔式作業之實例。

BLOCKED狀態類別可包括WAITING(等待中)狀態、

SUSPENDED(暫止)狀態及 WAITING-SUSPENDED(等待中-暫止)狀態。當一處理器工作之執行作業由於一指定在繼續執行該工作之前必須先滿足特定條件的服務呼叫之引動過程(invocation)而被封鎖時，該工作就處於 WAITING 狀態。因此，一 RUNNING 工作的狀態可在引動一服務呼叫後隨即變更為 WAITING 狀態。一處於 WAITING 狀態的處理器工作可在滿足指定條件時釋放回 READY 狀態，藉此促使之後一副處理單元 102 可開始進行該處理工作。當一處理器工作被強迫暫止(該工作本身可叫用)時，可從 RUNNING 狀態進入 SUSPENDED 狀態。同樣地，可透過強制動作使一處於 READY 狀態的處理器工作進入 SUSPENDED 狀態。當強迫暫止的一 SUSPENDED 狀態處理器工作被釋放時，該處理器工作可繼續進行且進入 READY 狀態。當一處理器工作正等待滿足一條件且已被強迫暫止時，該工作處於 WAITING-SUSPENDED 狀態。因此，當強迫暫止的一 WAITING-SUSPENDED 狀態處理器工作被釋放時，該處理器工作可進入 WAITING 狀態，其中該處理器工作將等待？足該條件。

當一處理器工作尚未正被執行或已完成其執行作業時，則該工作處於 DORMANT 狀態。一處於 DORMANT 狀態的處理器工作可在適當狀況下進入 READY 狀態。NON-EXISTENT 狀態是一種所謂的虛擬狀態，其中該工作不存在於該系統中，例如，因為該工作尚未被建立或因為

已被刪除。

如果一已移至READY狀態之工作的優先順序(或優先權)高於一處於RUNNING狀態之工作的優先順序(或優先權)，則該較低優先順序工作較佳被移至READY狀態，並且該較高優先順序工作較佳被分派且被移至RUNNING狀態。在此情況下，該較低優先權工作已被該較高優先權工作所佔用。

非先佔式、以優先權為基礎的工作排程作業係依據指派給處理器工作的優先權予以實行。如果有數個處理器工作的優先權相同，則排程作業係以先到先伺候(first-come, first-served; FCFS)為基礎予以實行。可依據工作優先權來使用工作之間的優先順序來定義此工作排程作業規則。如果一可執行之工作存在，至多相同於經配置之副處理單元102數量的高優先順序工作將處於RUNNING狀態。其餘可執行之工作將處於READY狀態。在具有不同優先權之工作中，在此情況下，具有較高優先權的工作具有較高的優先順序。在相同優先權之工作中，已進入可執行(執行中或備妥)狀態之處理器工作最早具有較高優先順序。但是，相同優先權之工作間的優先順序可由於某些服務呼叫之引動過程而變更。當一處理器工作被給定優於其它處理器的優先順序時，較佳方式為，一分派作業立即發行，並且該工作被移至RUNNING狀態。

現在請參考圖13至14，圖中繪示依據本發明特定態樣之特定先佔式功能。如上文所述，一處於RUNNING狀態之處

理器工作(例如，工作A)可能被佔用或否則讓出給另一處於READY狀態之處理器工作(例如，工作B)。如圖13及圖14所示，工作A正在副處理單元102上執行，直到讓出點。此刻，SPU的核心運作成用以將工作A複製回該共用記憶體106(儲存工作A)。之後，從該共用記憶體106複製工作B至該給定SPU的局域記憶體(復原工作B)。接著，SPU執行工作B。雖然此項技術享有關於局域記憶體利用率及高頻寬的相對高效率，但是有從該讓出點至執行工作B之未最佳佳的工作執行延時。

請參考圖15至16，圖中繪示依據本發明進一步態樣之替代做法。在此案例中，可在將工作A從該副處理單元102的局域記憶體複製至該共用記憶體106之前，先將工作B從該共用記憶體106複製至該局域記憶體。就這一點而言，該副處理單元102可執行工作A，同時進行從該共用記憶體106識別及擷取工作B之步驟。這需要將該工作表280及該工作佇列282從該共用記憶體106複製至該副處理單元102的局域記憶體，並且該工作表280及該工作佇列282來識別下一工作(即，工作B)。在該讓出點，該副處理單元102的核心將工作A從該局域記憶體複製至該共用記憶體106，這需要修改工作表280及該工作佇列282，如上文所述。之後，該副處理單元102可開始執行工作B。相較於圖13至14所說明的技術，這項技術顯著縮短介於讓出與工作B之執行之間的延時。

請參考圖17及圖18，根據本發明一或多項進一步態樣，能夠進一步縮短介於讓出與工作B之執行之間的延時。具體而言，該副處理單元102能以類似於前文參考圖15及16所論述之方式運作，直到該讓出點為止。但是，在該讓出點之後，該副處理單元102較佳起始執行工作B。實質上同時，該副處理單元102的核心較佳運作成用以將工作A從該副處理單元102的局域記憶體複製至該共用記憶體106。由於在該讓出點之後極立即執行工作B，所以相較於圖14至16所說明的做法已顯著縮短延時。

根據本發明一或多項進一步態樣，該副處理單元102可在局域記憶體中維護多個處理器工作以供執行。圖19中繪示這個情況。該局域記憶體包括複數個頁面以及一頁面表，以便執行多個處理器工作的執行作業。這項做法的優點在於可進一步縮短延時，然而缺點在於，該局域記憶體內的顯著更多空間被處理工作執行所獨佔。

現在請參考圖20至22，圖中繪示依據本發明特定態樣之處理器工作遷移。彼等圖式繪示一處理器工作(例如，工作B)如何可從一副處理單元SPU1遷移至另一副處理單元SPU2。遷移作業可能係以某條件為基礎，例如，相關聯於各自處理器工作的各自優先權層級。根據本發明某些態樣，從一副處理單元至另副處理單元的處理器工作遷移作業不可能是先佔式。換言之，處理器工作遷移作業會由於優先權條件及時序而自然進展，但是不是以造成遷移作業

之某決策為基礎。

可藉由下列實例來說明此非先佔式遷移作業。假設使用指定已備妥要被執行之處理器工作之優先權順序的工作表，從該共用記憶體106選擇處理器工作B。工作B正在副處理單元SPU1上執行。同樣地，假設依據該工作表而從該共用記憶體106選擇處理器工作C且正在副處理單元SPU2上執行。此時處理器工作B及處理器工作C已被選擇，假設一較高優先權層級之處理器工作A未備妥要被執行，且因此未被選擇以供執行。但是，當處理器工作B及處理器工作C正在執行中時，假設處理器工作A變成備妥要被執行。

請參考圖21，處理器工作B可讓出副處理單元SPU1。由於程式設計人員已決定讓出動作會對整個軟體應用程式執行有所助益，而發生此項由處理器工作B進行的讓出動作。無論如何，副處理單元SPU1回應該讓出動作方式為，將處理器工作B寫回至該共用記憶體106且更新該工作表。該副處理單元SPU1也存取該工作表，藉此決定該共用記憶體106中的該複數個處理器工作中之哪些處理器工作應被複製及執行。在此實例中，依據該工作表，處理器工作A具有最高優先權，因此該副處理單元SPU1將處理器工作A從該共用記憶體106複製至其局域記憶體，以供執行。此刻，副處理單元SPU1執行處理器工作A，並且副處理單元SPU2繼續執行處理器工作C。

請進一步參考圖22，處理器工作C可讓出副處理單元

SPU2給另一處理器工作。再次，可透過處理器工作C的程式指令及/或條件來叫用該讓出作業。無論如何，副處理單元SPU2將處理器工作C寫回至該共用記憶體106且據此更新該工作表。該副處理單元SPU2也存取該工作表，藉此決定已備妥要被執行之該等處理器工作中之哪些處理器工作應被複製。在此實例中，處理器工作B已備妥要被執行，且在已備妥要被執行之該等處理器工作中具有最高優先權。據此，該副處理單元SPU2從該共用記憶體106複製該處理器工作B至其局域記憶體，以供執行。

圖20所示之處理條件與圖22所示之處理條件的比較結果展現出，處理器工作B已從該副處理單元SPU1遷移至該副處理單元SPU2。

現在請參考圖23至24，圖中繪示本發明之先佔式多工作作業態樣。本發明之彼等態樣規定：在該等副處理單元之一(例如，副處理單元SPU2)上執行的一較低優先權之處理器工作，可能被一較高優先權之處理器工作(例如，處理器工作A)以先佔方式取代。具體而言，處理器工作B可能在副處理單元SPU1上執行，而具體而言，處理器工作C可能在副處理單元SPU2上執行(圖23)。之後，一較高優先權之工作(工作A)可能變成備妥以供執行。這可能是由於該系統的另一副處理單元的某動作所導致發生。

基於論述之目的，假設副處理單元SPU1將處理器工作A的狀態變更為RUNNING，例如，由於執行處理器工作B。

結果，該副處理單元SPU1較佳決定該處理器工作A的優先權層級是否高於在其它副處理單元上執行之處理器工作的任何優先權層級。在此簡化案例中，該副處理單元SPU1決定該處理器工作A的優先權層級是否高於該處理器工作C的優先權層級。若是，則該副處理單元SPU1至少起始以該處理器工作A來取代該處理器工作C。換言之，該副處理單元SPU1較佳促使該處理器工作C將該副處理單元SPU2讓出給該行處理器工作A。就這一點而言，該副處理單元SPU1的核心可發出一中斷至該副處理單元SPU2的核心。該副處理單元SPU2回應該中斷，而將該處理器工作C寫回至該共用記憶體106且更新該工作表(圖24)。該副處理單元SPU2也從該共用記憶體106複製該處理器工作A至其局域記憶體，以供執行。

現在請參考圖25至26，圖中繪示本發明之特定直接遷移態樣。彼等態樣規定：在該等副處理單元之一上執行的一較高優先權之處理器工作，可遷移至該等副處理單元中正在執行一較低優先權之處理器工作的另一副處理單元。此項遷移作業可能是回應正在執行該較高優先權之處理器工作的該副處理單元所接收到的一直接中斷。請參考圖25，該副處理單元SPU1可接收一指示其必須執行某其它工作的中斷。該中斷也會促使該副處理單元SPU1決定該系統的任何其它副處理單元是否正在執行較低優先權的處理工作。若是，則此等副處理單元可被迫放棄執行該處理器工

作，以便支援該較高優先權之處理工作。具體而言，如果該副處理單元SPU1決定該副處理單元SPU2正在執行優先權低於該處理器工作A的一較低優先權的處理器工作(例如，處理器工作B)，則該副處理單元SPU1的核心較佳決定發出一中斷至該副處理單元SPU2的核心。該副處理單元SPU2回應該中斷，而較佳將該處理器工作B從其局域記憶體寫回至該共用記憶體106且更新該工作表。該副處理單元SPU2也較佳從該副處理單元SPU1的局域記憶體複製(或移動)該處理器工作A至其局域記憶體，以供執行。

圖27繪示根據本發明一或多項態樣，一處理單元(PU)如何可處置一中斷。在第一步驟，PU接收一中斷。接著，該PU決定哪一個副處理單元(在此情況下，從由SPU0、SPU1及SPU2組成的群組中決定)具有最低優先權。然後，該PU傳送該中斷至該具有最低優先權的SPU。在圖27所示之情況中，SPU2具有最低優先權，所以該PU將傳送一中斷至該SPU2。

根據本發明一或多項進一步態樣，可用數種方式來處置從該等副處理單元之一至該等副處理單元中另一副處理單元的中斷。現在請參考圖28，圖中繪示本發明一項具體實施例中，如何可以指定一副處理單元來管理傳至該系統中任何其它副處理單元的中斷。該指定之副處理單元接收所有此類工作遷移中斷，並且自行處置該等中斷，或決定是否傳送中斷至另一副處理單元。例如，如果該中斷係預定

給該指定之副處理單元，則該指定之副處理單元可自行處置該中斷。替代做法為，如果該中斷不是預定給該指定之副處理單元，則該指定之副處理單元可傳送該中斷至該群組中正在執行一最低優先權之處理器工作的副處理單元。

圖29繪示一種可採用分散式中斷處置方案的做法。根據此項技術，各自中斷被指派給每個副處理單元，例如，中斷A可被指派給副處理單元SPU0。中斷B、C可被指派給副處理單元SPU1，以及中斷D、E、F可被指派給副處理單元SPU2。

前文關於圖23至26之論述需要該等副處理單元能夠決定系統中其它副處理單元上執行之處理器工作的優先權層級。根據本發明一項具體實施例，該等副處理單元在決定執行中之處理器工作的優先權層級過程中，可以利用一共用的工作優先權表。該共用工作優先權表可能位於該共用記憶體中，並且可以包括用於副處理單元識別項及處理器工作優先權識別項的複數筆項目。例如，該等副處理單元識別項可能是屬於該等副處理單元所唯一的數字及/或文數字代碼。處理器工作優先權識別項較佳指示出執行之特定處理器工作的優先權層級。該共用工作優先權表中的每筆項目較佳包括一對：一副處理單元識別項與一優先權識別項，用於指示在一相關聯之副處理單元上執行之一給定處理器工作的優先權層級。因此，一正在試圖決定該執行中處理器工作之優先權層級的副處理單元，可存取該共用

工作優先權表，以便尋找一正在執行一較低優先權處理器工作的副處理單元。較佳方式為，該正在執行一較低優先權處理器工作的副處理單元被識別，以便讓出給該較高優先權層級處理器工作。

本發明其它具體實施例可規定：該等副處理單元利用一共用變數，該共用變數指示出哪一個副處理單元正在執行一較低優先權處理器工作。較佳藉由不可部分完成的(atomic)更新程序，促使確保精確指示優先權層級，藉以達成使用一共用變數。一項替代做法可利用一以序列方式從某副處理單元傳輸至另一副處理單元的序列化訊息。可使用較低優先權層級處理器工作的優先權層級及副處理單元識別項來更新該訊息。

請參考圖30，本發明替代具體實施例思忖，藉由將數個處理器元件200聯結(join)在一起，得以增加配置用以執行該等處理器工作110的副處理單元208數量，藉此提供增加的處理能力。例如，例如，可以在一個或一個以上晶片封裝內，將兩個或兩個以上處理器元件200A、200B封裝或聯結在一起，藉以形成一組多處理器單元。這項組態被稱為寬頻引擎(BE)。寬頻引擎290包含該等兩個處理器元件200A、200B，該等處理器元件係透過一匯流排212互連，以供資料傳輸。較佳提供一額外資料匯流排216，藉以准許介於該等處理器元件200A、200B與該共用DRAM 214之間的通信。一或多個輸入/輸出(I/O)介面202A和202B及外部匯

流排(圖中未繪示)提供介於該寬頻引擎290與任何外部元件之間的通信。該寬頻引擎290的每個該等處理器元件200A、200B都是以平行且獨立方式來執行資料和應用程式之處理，類似於前文參考圖3所論述之該等副處理單元208以平行且獨立方式來執行資料和應用程式之處理。根據本發明各項態樣，該BE可包括一單一處理器元件或多個處理元件。另外，一BE可能係由多處理型BE所構成。

現在請參考圖31。此處，該等獨立多處理型元件208或BE 290(多組之多處理型元件)可被分散於複數個產品中，藉以構成一多處理系統500。該系統500的元件或成員(實施為電腦及/或運算裝置)較佳係透過一網路504通信。該網路504可能是區域網路(LAN)、如網際網路之類的全球性網路或任何其他電腦網路。

例如，連接至該網路504的該等成員包括用戶端電腦506、伺服器電腦508、個人數位助理(PDA)510、數位電視(DTV)512及其他有線或無線電腦和運算裝置。例如，用戶端506A可能係一由一或多個PE 200或其它適合的多處理系統所構成的膝上型電腦。用戶端506B可能係由一或多個PE 200或其它適合的多處理系統所構成的桌上型電腦(或視訊轉換器)。另外，伺服器506A可能是一管理實體(採用資料庫能力)，其較佳也是由一或多個PE 200所構成。以此類推。

因此，該多處理系統500可處理能力依賴於局域設置(例如，一個產品)或遠端設置(例如，在多個產品大)的複數個

處理器元件200。就這一點而言，請參閱圖32，圖中繪示根據本發明一或多項態樣之整體電腦網路的方塊圖。再次，可使用該等PE 200及/或寬頻引擎290(由多個PE所製成)來實施該電腦系統500的整體分散式架構。

由於該系統500的該等伺服器508執行的資料和應用程式之處理多於用戶端506，所以伺服器508包含的運算模組(例如，PE 200)多於用戶端506。另一方面，在此實例中，該等PDA 510執行最少處理量。因此，該等PDA 510包含最小數量的PE 200，例如，單一PE 200。DTV 512執行的處理層級實質上介於用戶端506處理層級與伺服器508處理層級之間。因此，DTV 512包含的處理器元件數量係介於用戶端506的處理器元件數量與伺服器508的處理器元件數量之間。

現在提供關於該分散式多處理系統500的進一步詳細說明。該系統500的同質組態促進適應性、處理速度及處理效率。因為該系統500的每個成員均使用一或多個(或某分段)同一運算模組(例如，處理器元件200)來執行處理，所以正在執行資料和應用程式處理的特定電腦或運算裝置並不重要，原因在於此類資料和應用程式處理會在網路成員中予多分擔。藉由唯一識別包含該系統500所處理之資料和應用程式的軟體片段，可將處理結果傳輸至要求處理的電腦或運算裝置，而不論這項處理發生於何處。因為執行這項處理的模組具有通用結構並且採用通用指令集架構，所以可避免為了達成處理器之間的相容性所需的軟體附加層的運

算負荷。這種架構及程式設計模組促進執行(例如)即時、多媒體應用程式所需的處理速度。

為了進一步利用該系統500所促進的處理速度及效率，可將此系統處理的資料和應用程式封裝成唯一識別、制式格式化的軟體片段502。每個軟體片段502均包含或可包含應用程式和資料。每個軟體片段也包含一ID用以在整個該網路504和該系統500中全域識別軟體片段。軟體片段的制式性結構，以及整個網路之軟體片段的唯一識別，促進在該網路504的任何電腦或運算裝置上處理應用程式和資料。例如，例如，一用戶端506可用公式表示軟體片段502，但是因為用戶端506的處理能力有限，所以會將該軟體片段502傳輸至一伺服器508，以利用伺服器處理軟體片段。因此，以該網路504上處理資源的可用性為基礎，可在整個網路504遷移軟體片段502以利處理。

該系統500之處理器及軟體片段502的同質結構也避免現今異質網路的許多問題。例如，避免任何無效率的程式設計模組，這些無效率的程式設計模組試圖使用任何指令集(例如，Java虛擬機器之類的虛擬機器)，以准許在任何ISA上處理應用程式。因此，該系統500所實施的寬頻處理比習知網路的寬頻處理更具高效率且有效。

共同讓渡之美國專利申請案第10/783,238號，標題為「METHODS AND APPARATUS FOR TASK MANAGEMENT IN A MULTI-PROCESSOR SYSTEM」(法定代理人檔案號碼

SCEI 1.0-186)，並且與此份專利申請案同一天向美國專利暨商標局提出申請，以引用方式整份併入本文中。

雖然本文中已參考特定具體實施例來說明本發明，但是應明白，這些具體實施例僅僅是解說本發明的原理及應用。因此，應知道解說的具體實施例能夠進行許多變更並且可設計出其他排列，而不會脫離如隨附的申請專利範圍中定義的本發明範疇及精神。

產業應用性

本發明適用於一種排程及執行多處理系統的副處理單元中的處理器工作之技術。

【圖式簡單說明】

基於解說目的，圖式中繪示目前較佳形式，但是，應明白，本發明不限定於如圖所示的精確配置及機構。

圖1繪示根據本發明一或多項態樣之多處理系統結構的圖式。

圖2繪示在一共用記憶體中儲存處理器工作的方塊圖。

圖3繪示根據本發明之處理器元件(PE)較佳結構的圖式。

圖4繪示根據本發明之示範性副處理單元(SPU)結構的圖式。

圖5繪示根據本發明一或多項態樣之可運用之處理器工作表實例的圖式。

圖6繪示圖5所示之工作表所建置的一連結後處理器工作清單的狀態圖。

圖7繪示可結合圖5所示之工作表運用之工作佇列實例的圖式。

圖8繪示根據本發明一或多項態樣之多處理系統可實行之程序步驟的流程圖。

圖9繪示根據本發明之多處理系統可實行之進一步程序步驟的流程圖。

圖10繪示根據本發明之多處理系統可實行之更進一步程序步驟的流程圖。

圖11繪示用於在共用記憶體中初始化處理器工作之程序步驟的流程圖，並且根據本發明一或多項態樣之多處理系統可實行該等程序步驟。

圖12繪示用於解說根據本發明一或多項態樣之處理器工作不同狀態的狀態圖。

圖13繪示用於解說根據本發明一或多項態樣如何從共用記憶體複製處理器工作及將處理器工作寫回至共用記憶體的方塊圖。

圖14繪示用於解說圖13之複製及寫回技術相關聯之處理延時的時序圖。

圖15繪示用於解說根據本發明一或多項進一步態樣如何從共用記憶體複製處理器工作及將處理器工作寫回至共用記憶體的方塊圖。

圖16繪示用於解說圖15之複製及寫回技術相關聯之處理延時的時序圖。

圖 17 繪示用於解說根據本發明一或多項更進一步態樣如何從共用記憶體複製處理器工作及將處理器工作寫回至共用記憶體的方塊圖。

圖 18 繪示用於解說圖 17 之複製及寫回技術相關聯之處理延時的時序圖。

圖 19 繪示用於解說根據本發明一或多項更進一步態樣如何從共用記憶體複製處理器工作及將處理器工作寫回至共用記憶體的方塊圖。

圖 20 繪示用於解說本發明特定態樣之非先佔式處理器工作遷移功能的方塊圖。

圖 21 繪示用於解說本發明特定態樣之進一步非先佔式處理器工作遷移功能的方塊圖。

圖 22 繪示用於解說本發明特定態樣之更進一步非先佔式處理器工作遷移功能的方塊圖。

圖 23 繪示用於解說本發明特定態樣之先佔式多工作作業功能的方塊圖。

圖 24 繪示用於解說本發明特定態樣之進一步先佔式多工作作業功能的方塊圖。

圖 25 繪示用於解說本發明特定態樣之先佔式處理器工作遷移功能的方塊圖。

圖 26 繪示用於解說本發明特定態樣之進一步先佔式處理器工作遷移功能的方塊圖。

圖 27 繪示用於解說根據本發明一或多項態樣之特定處理

器中斷技術的局部方塊圖及局部流程圖。

圖 28 繪示用於解說根據本發明一或多項態樣之進一步處理器中斷技術的局部方塊圖及局部流程圖。

圖 29 繪示用於解說根據本發明一或多項態樣之更進一步處理器中斷技術的局部方塊圖及局部流程圖。

圖 30 繪示根據本發明一或多項進一步態樣之處理系統結構的圖式，該處理系統包括一個以上副處理單元。

圖 31 繪示根據本發明一或多項態樣之分散式多處理系統的系統圖。

圖 32 繪示可結根據本發明之多處理系統運用之軟體片段 (software cell) 功能的方塊圖。

【主要元件符號說明】

100	多處理系統
102	處理器(處理單元，副處理單元)
106	共用記憶體
108	匯流排
110	處理器工作
200	基本處理模組或處理器元件(PE)
202	I/O 介面
204	處理單元(PU)
206	直接記憶體存取控制器(DMAC)

208	副處理單元
210	記憶體介面
212	局域PE匯流排
214	動態隨機存取記憶體(DRAM)
216	高速頻寬記憶體連接
250	局域記憶體
252	暫存器
254	浮點運算單元
256	整數運算單元
258	匯流排介面(I/F)
260, 262, 264	內部匯流排
268A, 268B	匯流排
280	工作表
282	工作佇列
290	寬頻引擎
212	匯流排(圖30)
216	額外資料匯流排(圖30)
500	多處理系統
502	軟體片段

504	網路
506	用戶端電腦
508	伺服器電腦
510	個人數位助理(PDA)
512	數位電視(DTV)
T1, T2, T3	工作表項目
STAT	狀態指示
PRI	優先順序指示
PREV, NEXT	指標

五、中文發明摘要：

本發明揭示在多處理系統上執行處理器工作之方法及裝置。該多處理系統包括可存取一共用記憶體之複數個副處理單元及一主處理單元。每個副處理單元各包括一與共用記憶體分開的晶片上局域記憶體。本發明之方法及裝置思忖：提供從該共用記憶體複製至該等處理器工作至該等副處理單元的局域記憶體，以便執行該等處理器工作，並且禁止從該共用記憶體執行該等處理器工作；以及將至少一處理器工作從該等副處理單元之一遷移至該等副處理單元中之另一副處理單元。

六、英文發明摘要：

十、申請專利範圍：

1. 一種在多處理系統上執行處理器工作之方法，該多處理系統包括可存取一共用記憶體之複數個處理單元，該方法包括：

提供從該共用記憶體複製多個所選之處理器工作，並且由該等處理單元中之一或多個處理單元予以執行；以及

將至少一處理器工作從該等處理單元之一遷移至該等處理單元中之另一處理單元。

2. 如請求項1之方法，進一步包括禁止從該共用記憶體執行該處理器工作。

3. 如請求項1之方法，其中該複數個處理單元包括一主處理單元及複數個副處理單元，每個該複數個處理單元各具有一局域記憶體，以及其中該等副處理單元被複製至該局域記憶體中並且在局域記憶體中予以執行。

4. 如請求項1之方法，其中遷移該至少一處理器工作係以一條件為基礎。

5. 如請求項4之方法，其中該條件係以相關聯於該等處理器工作的各自優先權層級為基礎。

6. 如請求項5之方法，其中滿足該條件及起始該遷移不是以先佔式動作為基礎。

7. 如請求項5之方法，進一步包括：

要求該等副處理單元依據處理器工作的優先權層級，從該共用記憶體選擇所要執行的處理器工作。

8. 如請求項3之方法，進一步包括：

要求該等副處理單元從該共用記憶體先選擇一較高優先權之處理工作，之後才選擇一較低優先權之處理工作。

9. 如請求項3之方法，進一步包括：

由一第一副處理單元可從該共用記憶體選擇所要執行的一第一優先權層級之第一處理器工作；

由一第二副處理單元可從該共用記憶體選擇所要執行的一第二優先權層級之第二處理器工作；以及

將該第一副處理單元讓出給一第三優先權層級之第三處理器工作，原因在於該第三處理器工作的優先權層級高於任何已備妥要被執行之其它處理器工作，因而選擇該第三處理器工作。

10. 一種在多處理系統上執行處理器工作之方法，該多處理系統包括可存取一共用記憶體的複數個處理單元，該方法包括：

提供從該共用記憶體複製多個所選之處理器工作，並且由該等處理單元中之一或多個處理單元予以執行；

提供該等處理單元依據該等處理器工作的優先權層級，從該共用記憶體選擇所要執行的處理器工作；以及

提供在該等處理單元之一上執行的一較低優先權之處理器工作，可被一較高優先權之處理器工作以先佔方式予以取代。

11. 如請求項10之方法，進一步包括禁止從該共用記憶體執行該處理器工作。

12. 如請求項10之方法，其中該複數個處理單元包括一主處

理單元及複數個副處理單元，每個該複數個處理單元各具有一局域記憶體，以及其中該等副處理單元被複製至該局域記憶體中並且在局域記憶體中予以執行。

13. 如請求項12之方法，進一步包括：要求該等副處理單元從該共用記憶體先選擇一較高優先權之處理工作，之後才選擇一較低優先權之處理工作。

14. 如請求項12之方法，進一步包括：

從該共用記憶體選擇複數個相關聯優先權層級之處理器工作，以由數個副處理單元予以執行；

促使從該共用記憶體中的一第n個處理器工作具有一給定優先權層級，以成為備妥而供執行；以及

決定該給定優先權層級是否高於該複數個處理器工作的任何優先權層級。

15. 如請求項14之方法，其中該等副處理單元中之至少一子副處理單元可運作以執行該決定。

16. 如請求項14之方法，進一步包括：

以該第n個處理器工作以先佔方式取代該複數個處理器工作中之一低於該給定優先權層級的較低優先權層級之處理器工作。

17. 如請求項16之方法，其中該等副處理單元中之一或多個副處理單元可運作成用以：至少起始該取代作業，並且致使該複數個副處理單元之一放棄執行該較低優先權層級之處理器工作。

18. 如請求項17之方法，進一步包括：提供該起始之副處理

單元發出一中斷至該放棄執行之副處理單元，以便起始該較低優先權層級之處理器工作的取代。

19. 如請求項17之方法，進一步包括：提供該放棄執行之副處理單元將該較低優先權層級之處理器工作從其局域記憶體寫回至該共用記憶體中。

20. 如請求項17之方法，進一步包括：規定該放棄執行之副處理單元將較高優先權之該第n個處理器工作從該共用記憶體複製至其局域記憶體中，以供執行。

21. 一種在多處理系統上執行處理器工作之方法，該多處理系統包括可存取一共用記憶體的複數個副處理單元及一主處理單元，每個副處理單元各包括一與該共用記憶體分開的晶片上局域記憶體，該方法包括：

提供從該共用記憶體複製至該等處理器工作至該等副處理單元的局域記憶體，以便執行該等處理器工作，並且禁止從該共用記憶體執行該等處理器工作；

從該共用記憶體選擇複數個相關聯優先權層級之處理器工作，以由數個副處理單元予以執行；

提供該等副處理單元可決定，該共用記憶體中具有一給定優先權層級的一第n個處理器工作是否高於該複數個處理器工作的任何優先權層級。

22. 如請求項21之方法，進一步包括：提供在該等副處理單元之一上執行的一較低優先權之處理器工作，可被一較高優先權之處理器工作以先佔方式予以取代。

23. 如請求項21之方法，進一步包括：提供該等副處理單元

在決定該第 n 個處理器工作是否屬於高於該複數個處理器工作的一較高優先權層級過程中，使用一共用工作優先權表。

24. 如請求項23之方法，其中：

該共用工作優先權表包括用於副處理單元識別項及處理器工作優先權識別項的項目；以及

每筆項目包括一成對的副處理單元識別項與優先權識別項，用於指示在一相關聯之副處理單元上執行之一給定處理器工作的優先權層級。

25. 如請求項21之方法，進一步包括：提供正在試圖決定該第 n 個處理器工作是否屬於高於該複數個處理器工作的一較高優先權層級的一副處理單元，搜尋該共用工作優先權表，以便尋找一指示一較低優先權層級的項目對。

26. 一種在多處理系統上執行處理器工作之方法，該多處理系統包括可存取一共用記憶體之複數個副處理單元及一主處理單元，每個副處理單元各包括一與該共用記憶體分開的晶片上局域記憶體，該方法包括：

提供從該共用記憶體複製至該等處理器工作至該等副處理單元的局域記憶體，以便執行該等處理器工作，並且禁止從該共用記憶體執行該等處理器工作；

提供該等副處理單元依據處理器工作的優先權層級，從該共用記憶體選擇所要執行的處理器工作；以及

將在該等副處理單元之一給定副處理單元上執行的一較高優先權之處理器工作，遷移至該等副處理單元中正

在執行一較低優先權之處理器工作的另一副處理單元，藉此回應該給定副處理單元所接收到的一中斷。

27. 一種多處理器裝置，包括：

複數個處理單元，每個處理單元各包括用於執行處理器工作的局域記憶體；以及

一共用記憶體，其可運作成用以儲存已備妥以供執行的處理器工作，其中：

從該共用記憶體複製該等處理器工作至該等處理單元的局域記憶體，以便執行該等處理器工作，以及

將至少一處理器工作從該等處理單元之一遷移至該等處理單元中之另一處理單元。

28. 如請求項27之裝置，進一步包括禁止從該共用記憶體執行該處理器工作。

29. 如請求項27之裝置，其中該複數個處理單元包括一主處理單元及複數個副處理單元，每個該複數個處理單元各具有一局域記憶體，以及其中該等副處理單元被複製至該局域記憶體中並且在局域記憶體中予以執行。

30. 如請求項29之裝置，其中遷移該至少一處理器工作係以一條件為基礎。

31. 如請求項30之裝置，其中該條件係以相關聯於該等處理器工作的各自優先權層級為基礎。

32. 如請求項31之裝置，其中滿足該條件及起始該遷移不是以先佔式動作為基礎。

33. 如請求項31之裝置，其中該等副處理單元可運作成用

以：依據處理器工作的優先權層級，從該共用記憶體選擇所要執行的處理器工作。

34. 如請求項29之裝置，其中該等副處理單元可運作成用以：從該共用記憶體先選擇一較高優先權之處理工作，之後才選擇一較低優先權之處理工作。

35. 如請求項29之裝置，其中：

一第一副處理單元可運作成用以從該共用記憶體選擇所要執行的一第一優先權層級之第一處理器工作；

一第二副處理單元可運作成用以從該共用記憶體選擇所要執行的一第二優先權層級之第二處理器工作；以及

該第一副處理單元可運作成讓出給一第三優先權層級之第三處理器工作，原因在於該第三處理器工作的優先權層級高於任何已備妥以供執行之其它處理器工作，因而選擇該第三處理器工作。

36. 如請求項29之裝置，其中該等副處理單元可運作成用以：

從該共用記憶體選擇複數個相關聯優先權層級之處理器工作，以供執行；以及

決定該共用記憶體中已變成備妥以供執行的具有一給定優先權層級之一第n個處理器工作，是否具有高於該複數個處理器工作之任何優先權層級的較高優先權層級。

37. 如請求項36之裝置，其中該等副處理單元中之至少一子副處理單元可運作以執行該決定作業。

38. 如請求項36之裝置，其中該等副處理單元中之至少一副處理單元可運作成用以：以該第n個處理器工作以先佔方

式取代該複數個處理器工作中之一低於該給定優先權層級的較低優先權層級之處理器工作。

39. 如請求項38之裝置，其中該等副處理單元中之一或多個副處理單元可運作成用以：至少起始該取代作業，並且致使該複數個副處理單元之一放棄執行該較低優先權層級之處理器工作。

40. 如請求項39之裝置，其中該起始之副處理單元可運作成用以：發出一中斷至該放棄執行之副處理單元，以便起始該較低優先權層級之處理器工作的取代。

41. 如請求項39之裝置，其中該放棄執行之副處理單元可運作成用以：將該較低優先權層級之處理器工作從其局域記憶體寫回至該共用記憶體中。

42. 如請求項39之裝置，其中該放棄執行之副處理單元可運作成用以：將較高優先權之該第n個處理器工作從該共用記憶體複製至其局域記憶體中，以供執行。

43. 一種多處理器裝置，包括：

複數個副處理單元，每個副處理單元各包括一用於執行處理器工作的晶片上局域記憶體；以及

一共用記憶體，其可運作成用以儲存已備妥以供執行的處理器工作，其中：

從該共用記憶體複製至該等處理器工作至該等副處理單元的局域記憶體，以便執行該等處理器工作，並且不是從該共用記憶體執行該等處理器工作，

該等處理單元可運作成用以：依據該等處理器工作的

優先權層級，從該共用記憶體選擇所要執行的處理器工作；以及

該等副處理單元中之至少一副處理單元可運作成用以：將在該等副處理單元之一給定副處理單元上執行的一較高優先權之處理器工作，遷移至該等副處理單元中正在執行一較低優先權之處理器工作的另一副處理單元，藉此回應該給定副處理單元所接收到的一中斷。

44. 如請求項43之裝置，其中該等副處理單元可運作成用以：從該共用記憶體選擇一較低優先權之處理工作之前，選擇一較高優先權之處理工作。

45. 如請求項43之裝置，其中該等副處理單元可運作成用以：從該共用記憶體選擇複數個相關聯優先權層級之處理器工作，以供執行；以及

決定正在該等副處理單元上執行的該複數個處理器工作中哪一個處理器工作具有一最低優先權層級，該最低優先權層級低於正在該給定副處理單元上執行之處理器工作的優先權層級。

46. 如請求項45之裝置，其中該給定副處理單元可運作以執行該決定。

47. 如請求項45之裝置，其中將該給定處理器工作遷移至正在執行該最低優先權層級處理器工作的副處理單元並取代該處理器工作。

48. 如請求項47之裝置，其中該給定副處理單元可運作成用以：至少起始該遷移作業，並且致使正在執行該最低優

先權層級處理器工作的副處理單元將執行作業讓出給較高優先權層級之處理器工作。

49. 如請求項48之裝置，其中該給定副處理單元可運作成用以：發出一中斷至該放棄執行之副處理單元，以便起始取代該最低優先權層級之處理器工作。

50. 如請求項48之裝置，其中該放棄執行之副處理單元可運作成用以：將該較低優先權層級之處理器工作從其局域記憶體寫回至該共用記憶體中。

51. 如請求項45之裝置，其中該放棄執行之副處理單元可運作成用以：將較高優先權層級之該給定處理器工作從該給定副處理單元之局域記憶體寫回至自己的局域記憶體，以供執行。

52. 如請求項43之裝置，其中該給定副處理單元可運作成用以：在決定執行中哪一個處理器工作屬於該最低優先權層級過程中，使用一共用的工作優先權表。

53. 如請求項52之裝置，其中：

該共用工作優先權表包括用於副處理單元識別項及處理器工作優先權識別項的項目；以及

每筆項目包括一成對的副處理單元識別項與優先權識別項，用於指示在一相關聯之副處理單元上執行之一給定處理器工作的優先權層級。

54. 如請求項53之裝置，其中該給定副處理單元可運作成用以：搜尋該共用工作優先權表，以便尋找一指示一最低優先權層級的項目對。

55. 如請求項53之裝置，其中該等副處理單元可運作成用以：修改該共用工作優先權表，促使該等項目對是最新的。

十一、圖式：

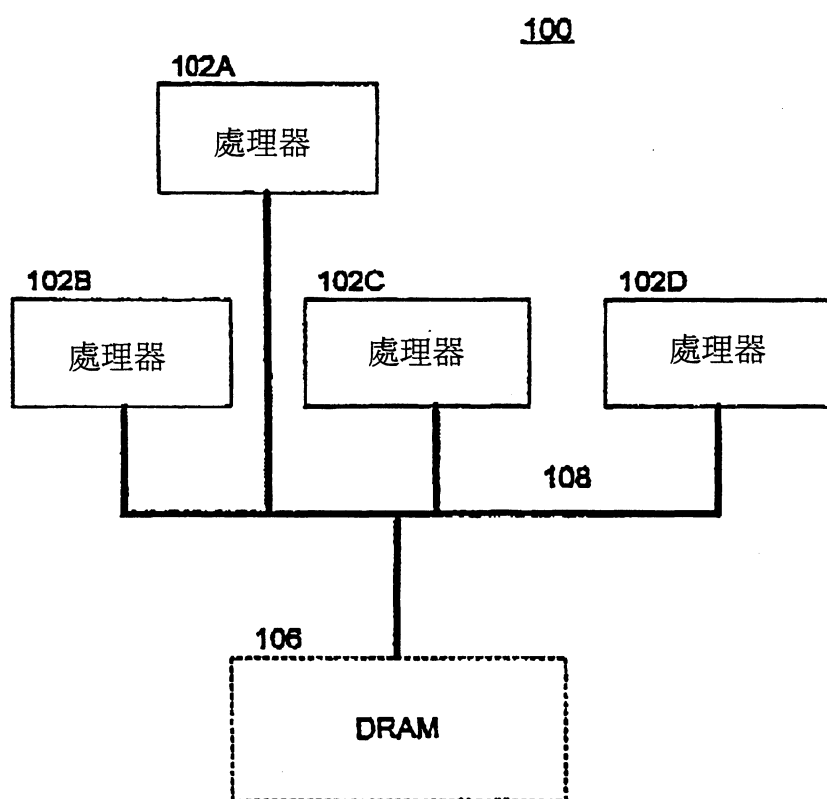


圖 1

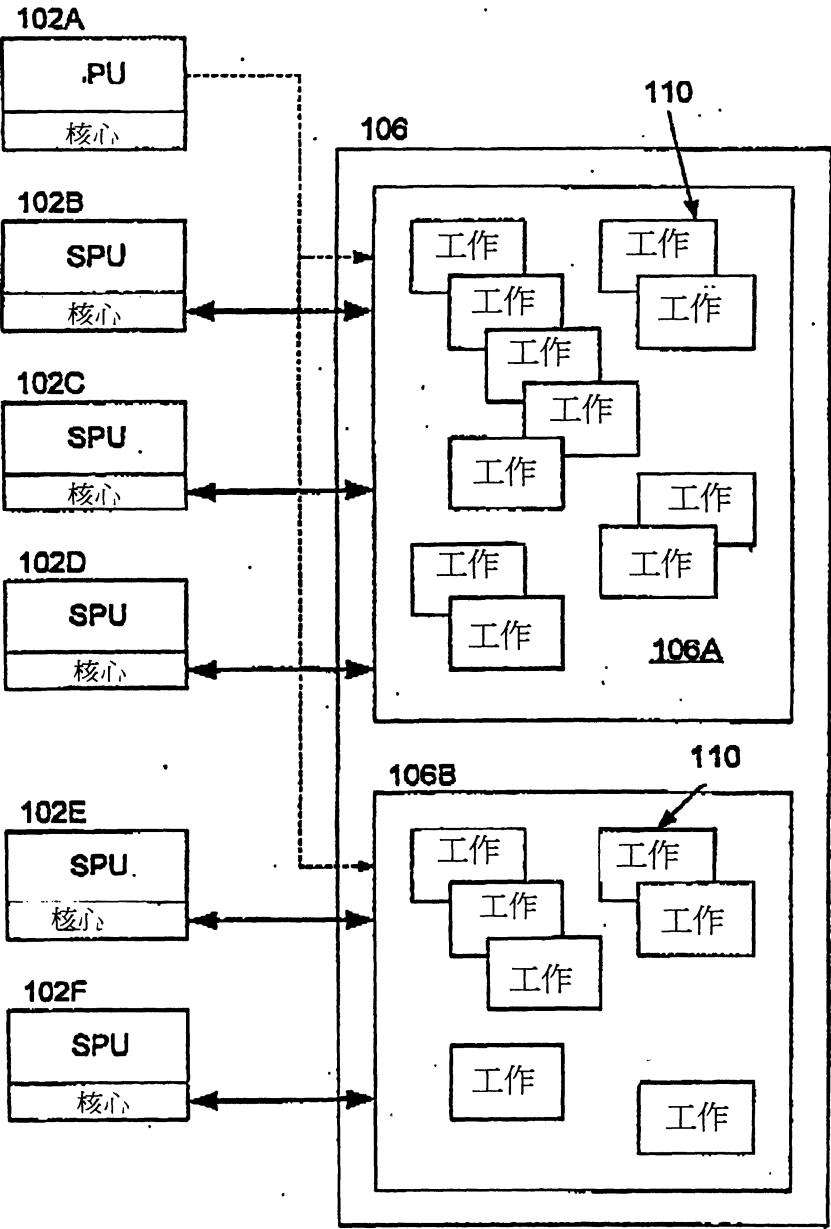


圖 2

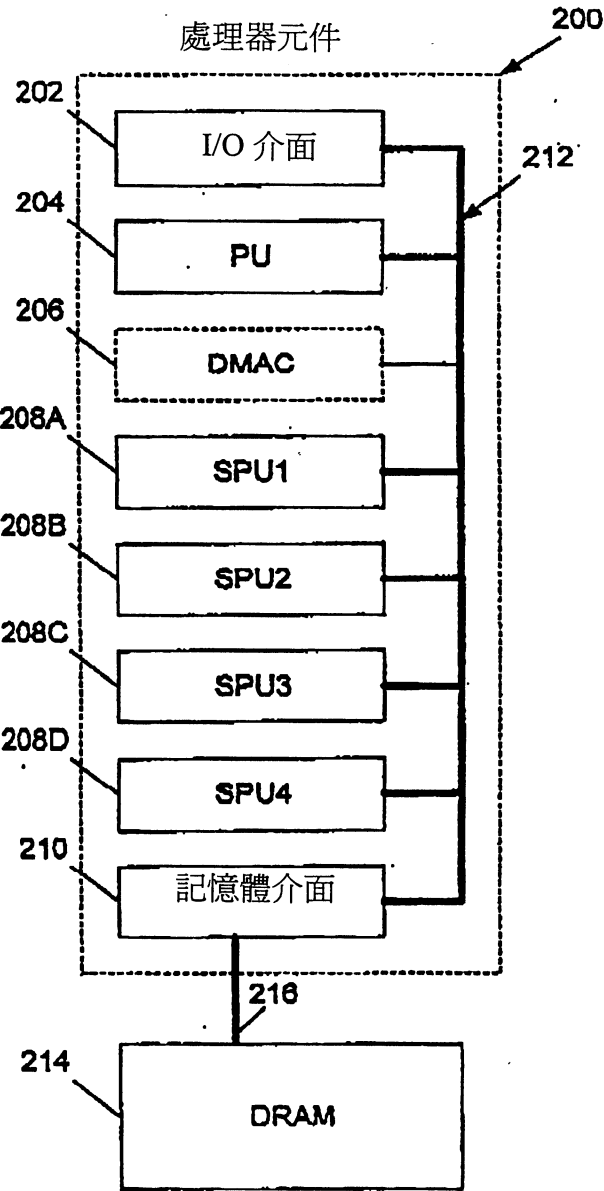


圖 3

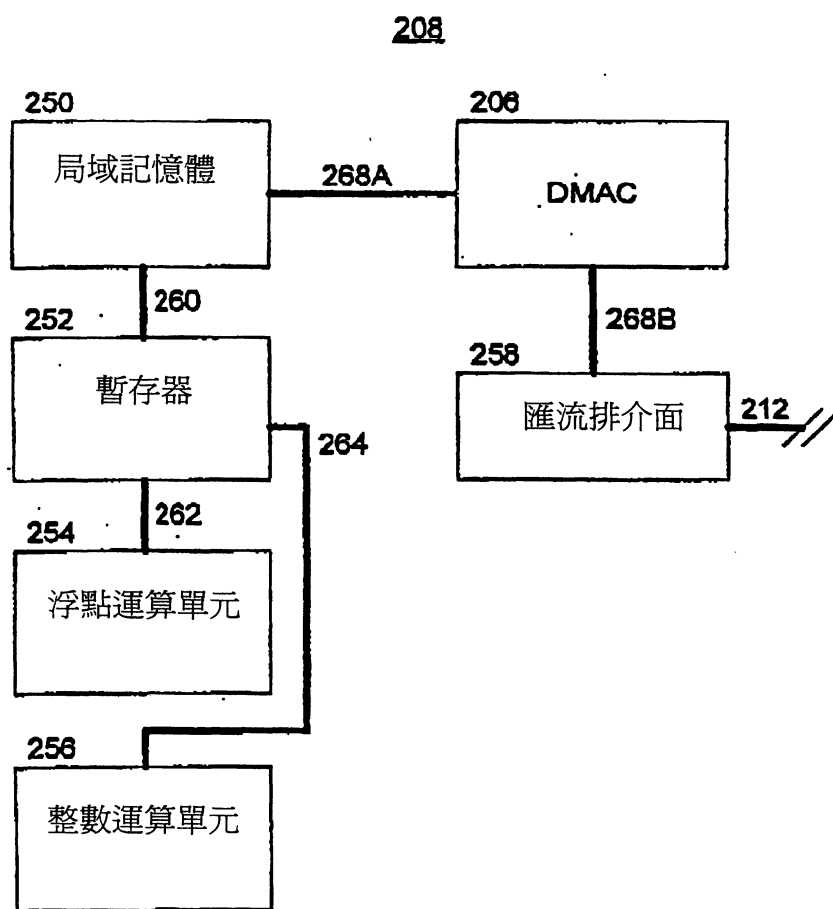


圖 4

280

工作表

T1		T2		T3		T4	
PREV T9	NEXT T8	PREV T4	NEXT T10	PREV T5	NEXT T7	PREV T10	NEXT T2
STAT ready	PRI 1	STAT ready	PRI 2	STAT ready	PRI 3	STAT ready	PRI 2
T5		T6		T7		T8	
PREV T7	NEXT T3	PREV T8	NEXT T9	PREV T3	NEXT T5	PREV T1	NEXT T6
STAT ready	PRI 3	STAT ready	PRI 1	STAT ready	PRI 3	STAT ready	PRI 1
T9		T10					
PREV T6	NEXT T1	PREV T2	NEXT T4				
STAT ready	PRI 1	STAT ready	PRI 2				

圖 5

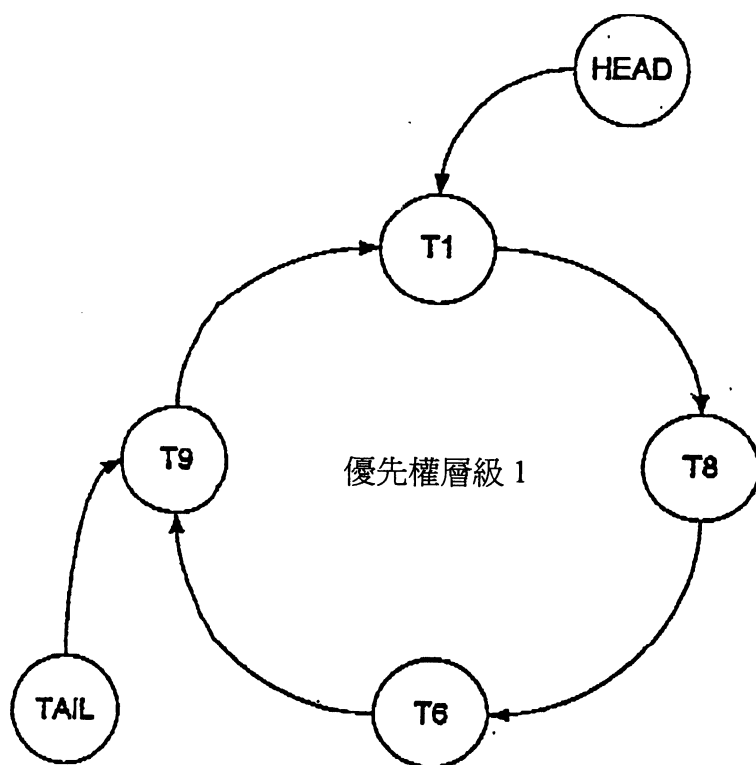


圖 6

工作佇列

282

優先權	HEAD	TAIL
1	T1	T9
2	T10	T2
3	T7	T3
4	—	—
5	—	—
6	—	—
7	—	—
8	—	—
.		
.		
.		
n	—	—

圖 7

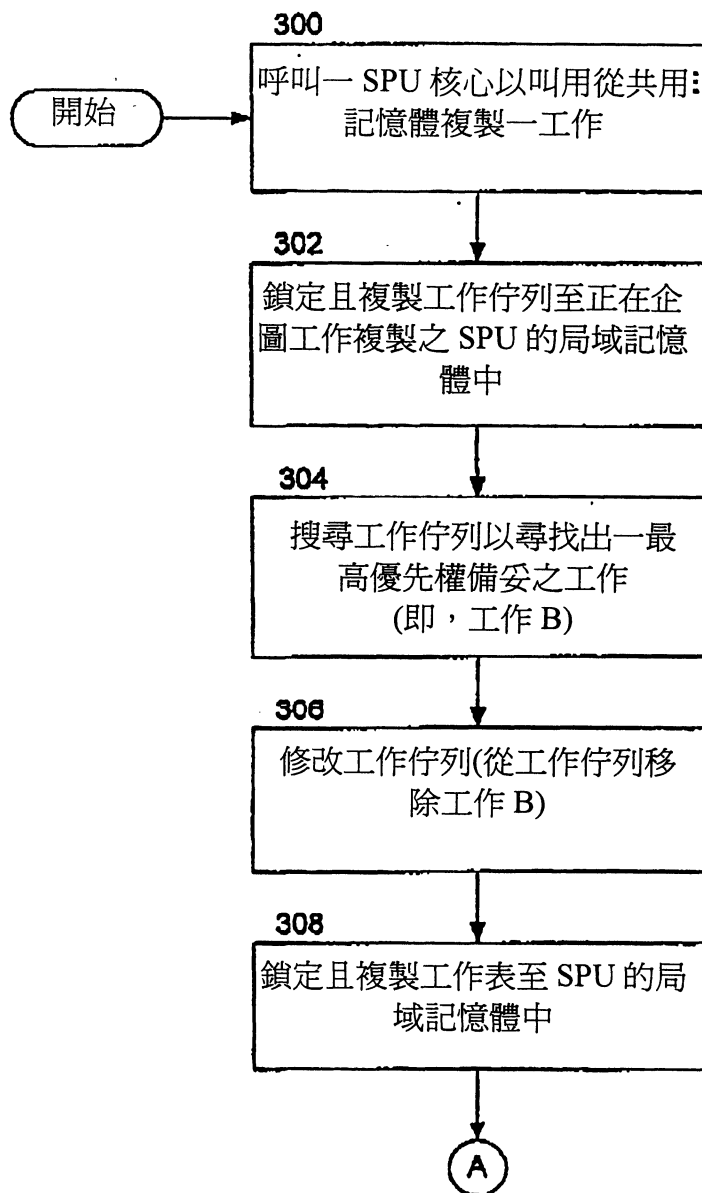


圖 8

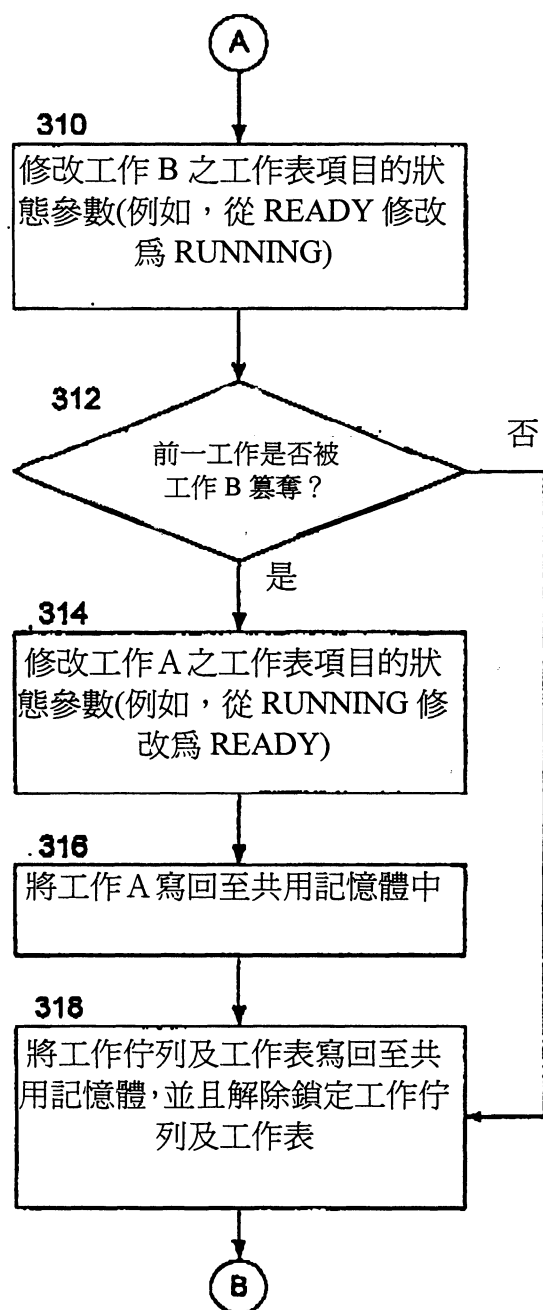


圖 9

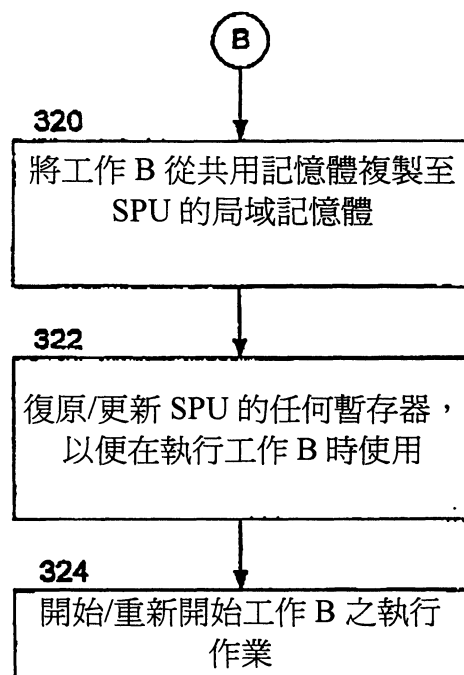


圖 10

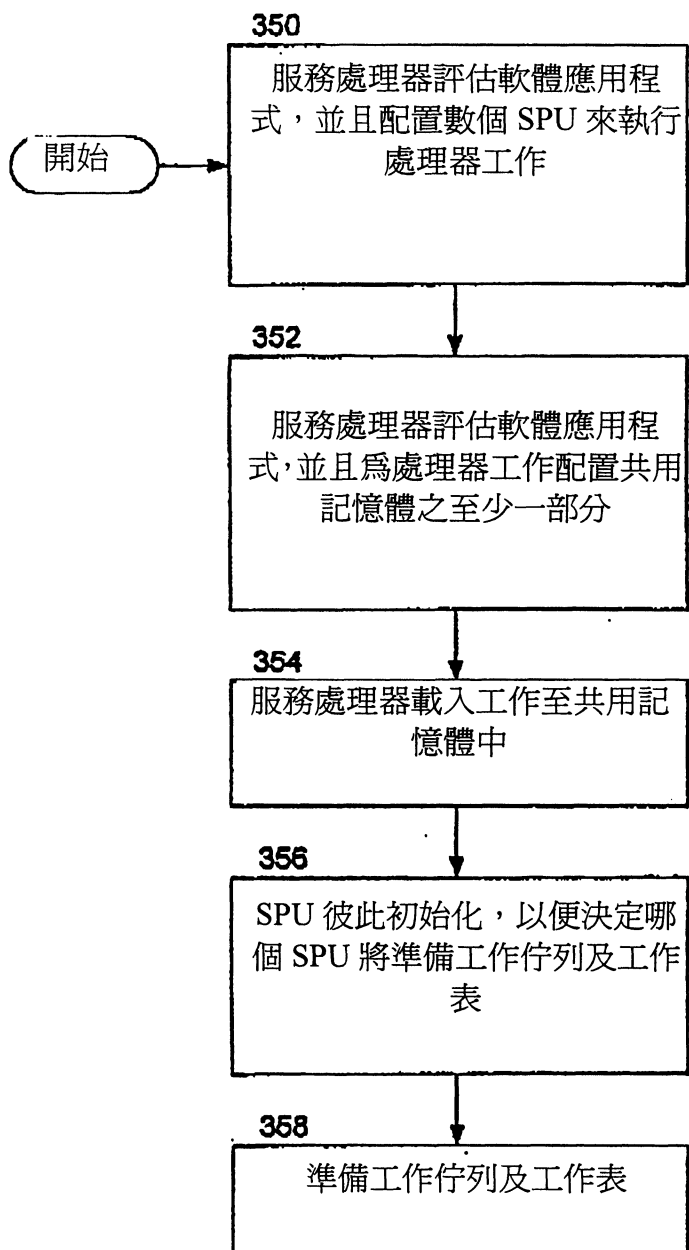


圖 11

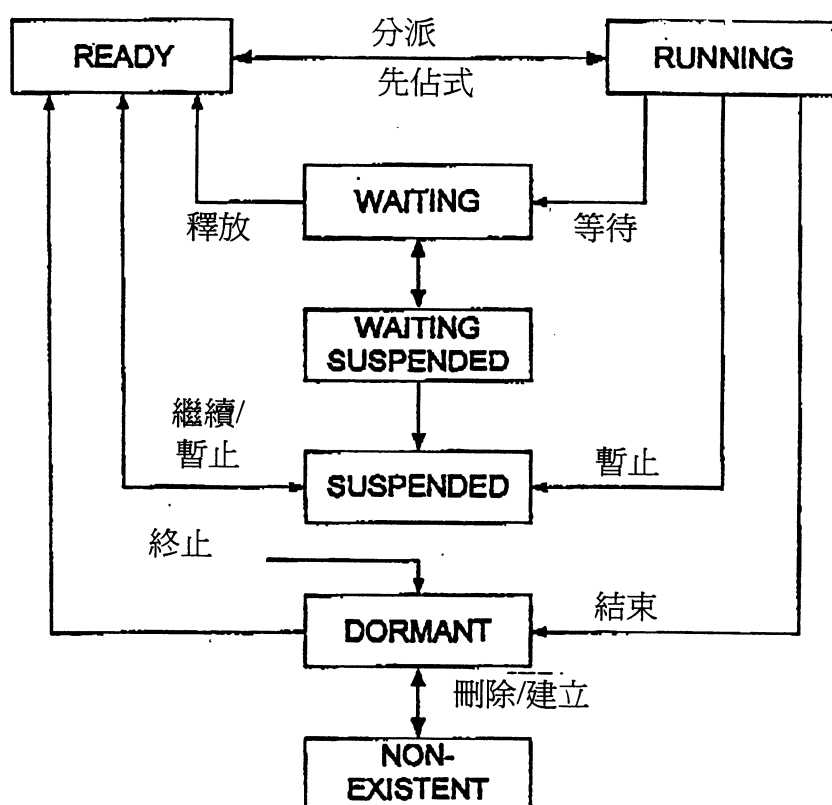


圖 12

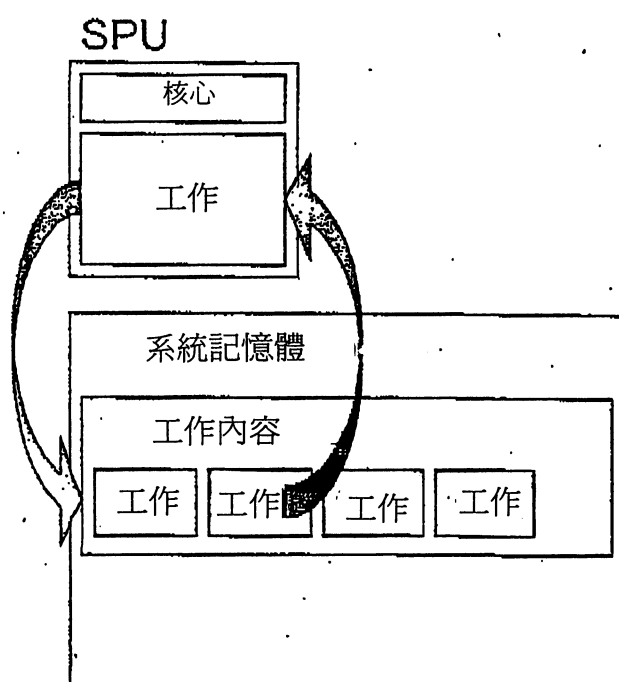


圖 13

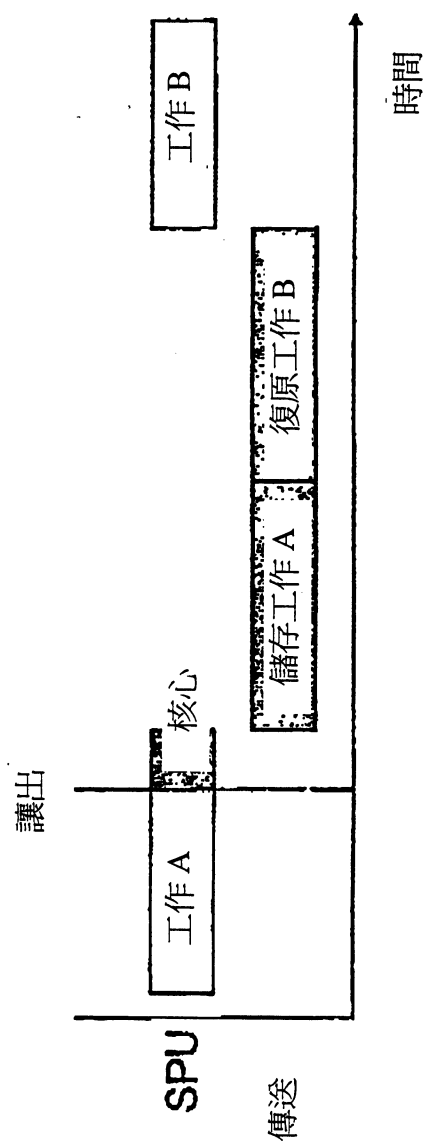


圖 14

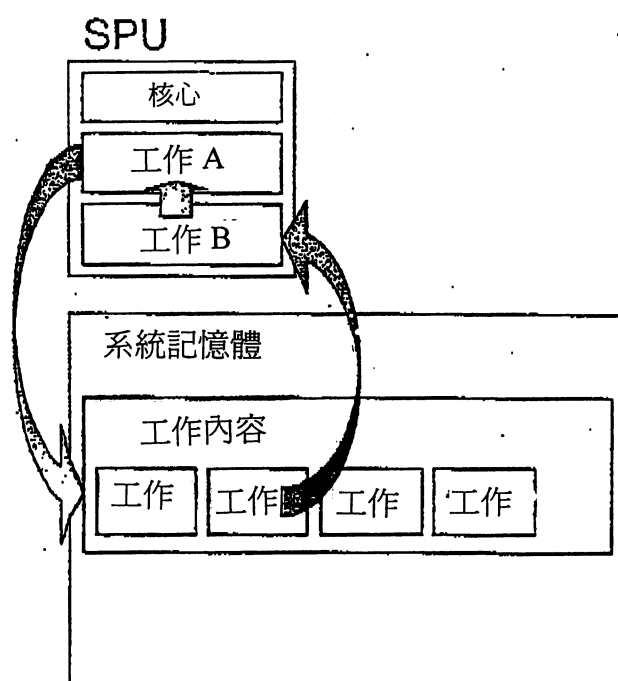


圖 15

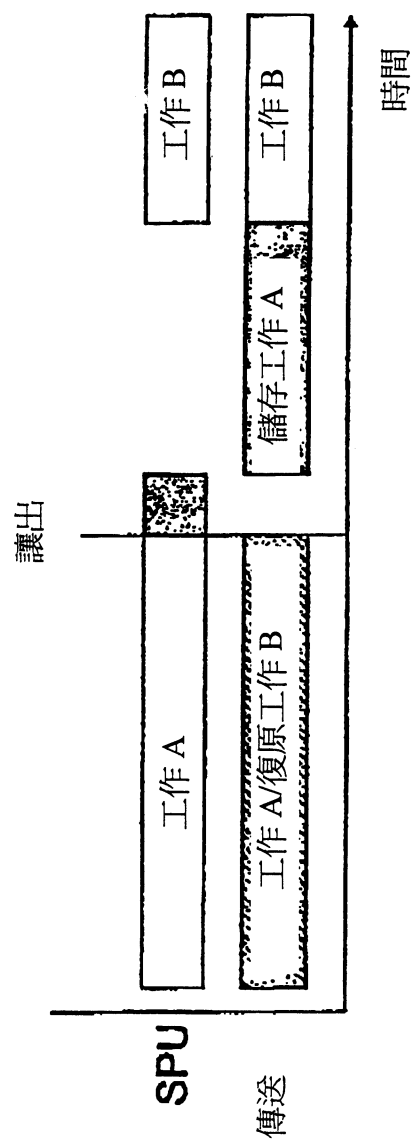


圖 16

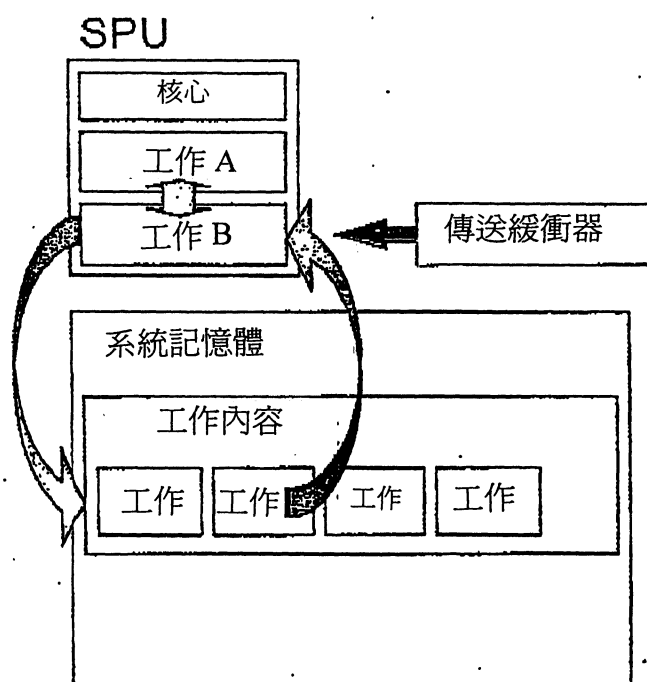


圖 17

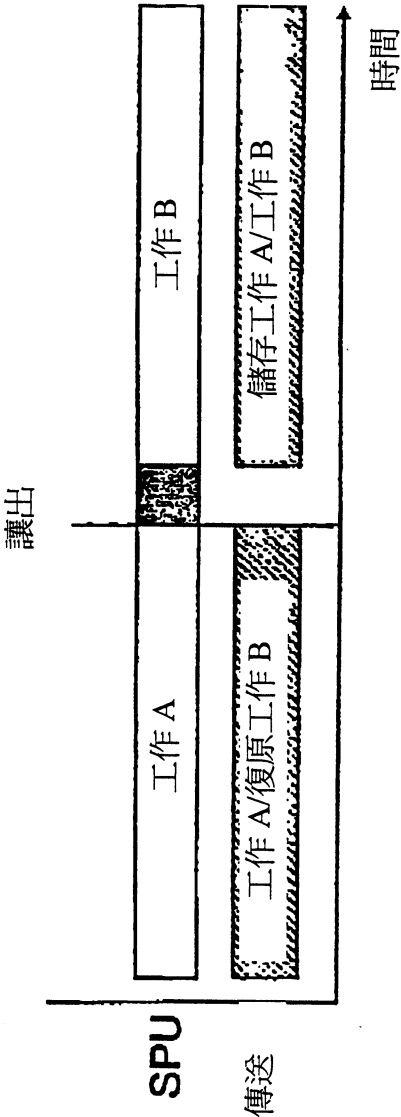


圖 18

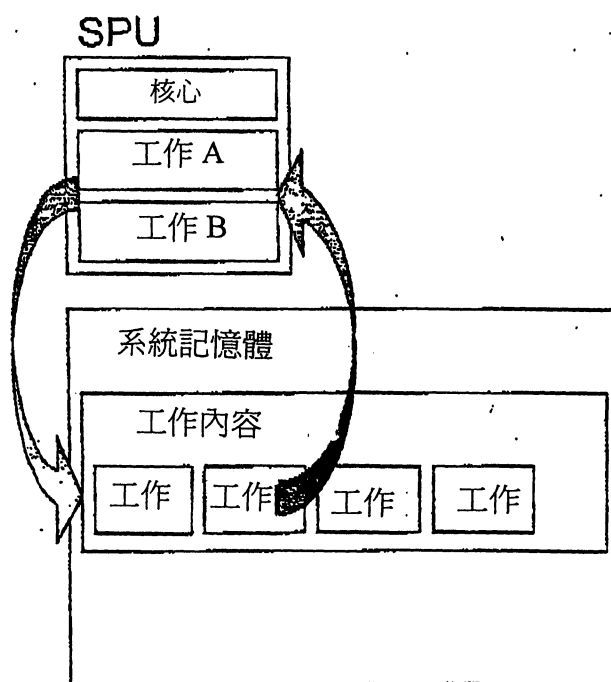


圖 19

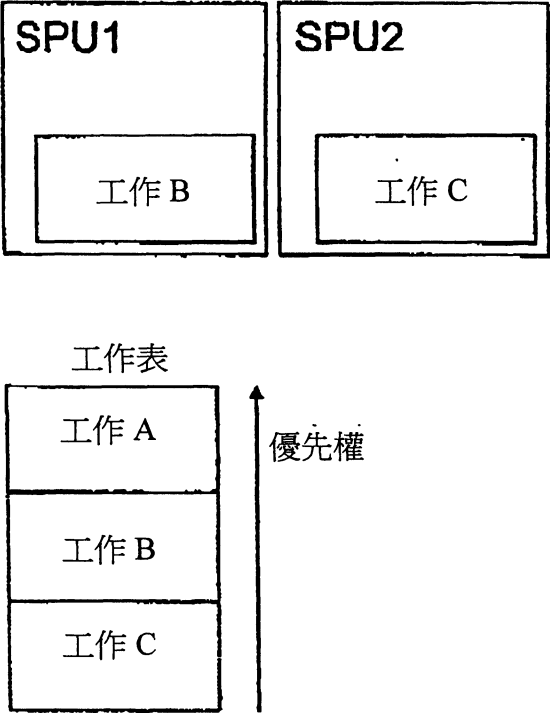


圖 20

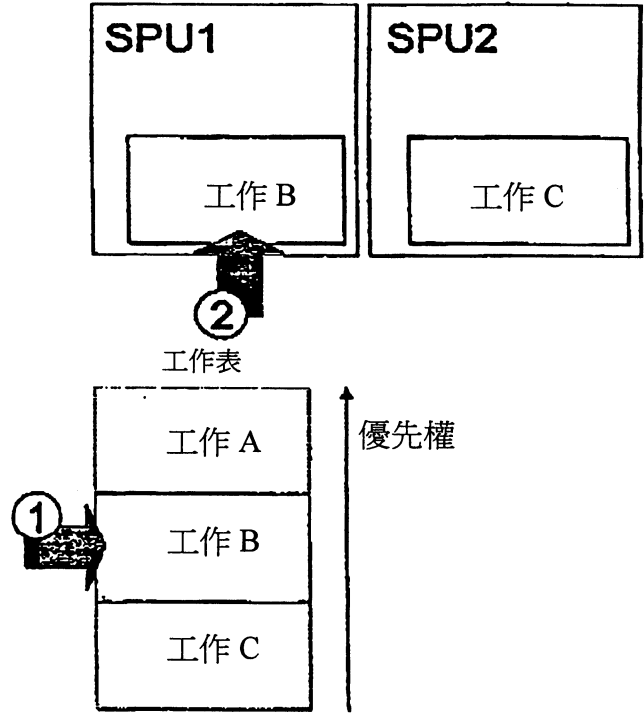


圖 21

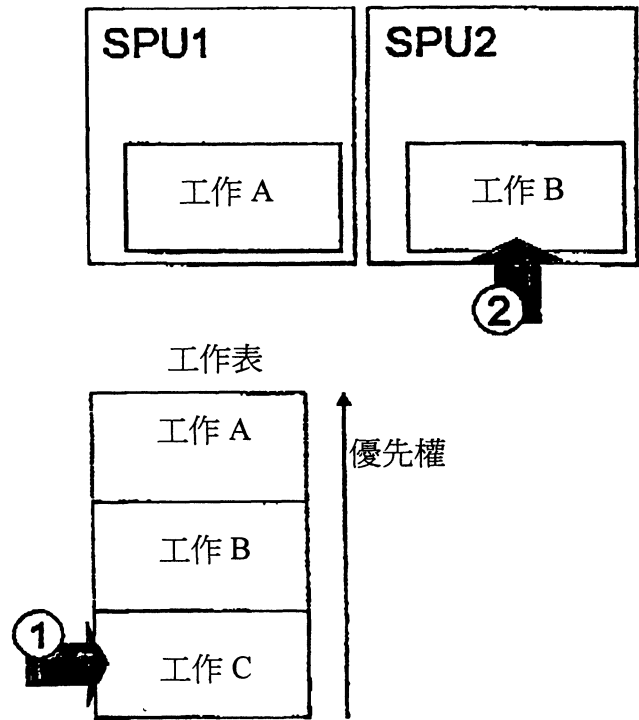


圖 22

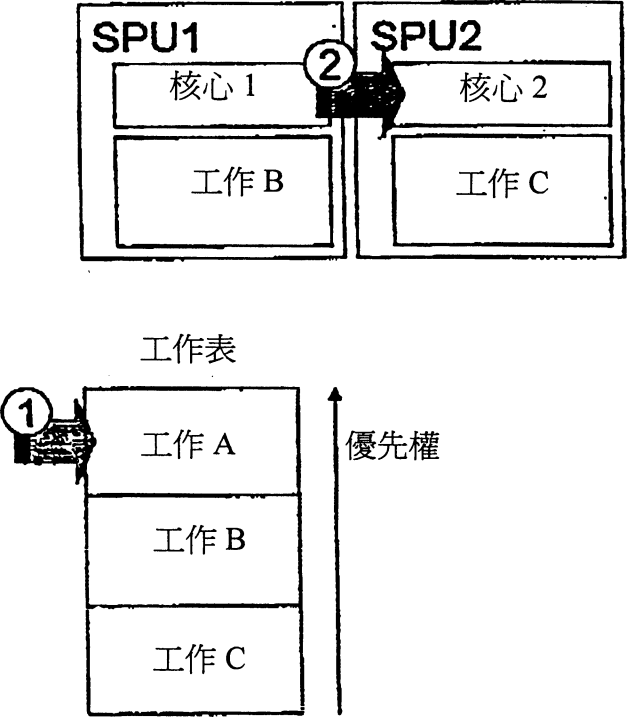


圖 23

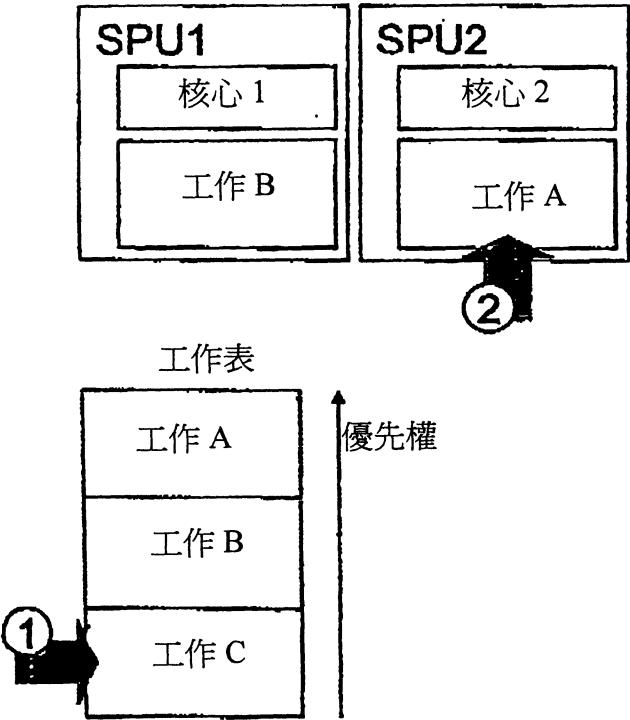


圖 24

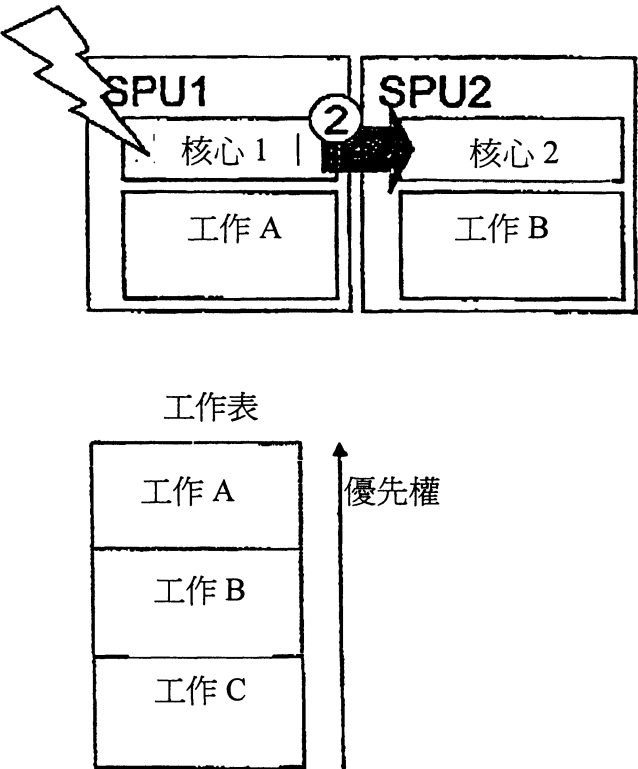


圖 25

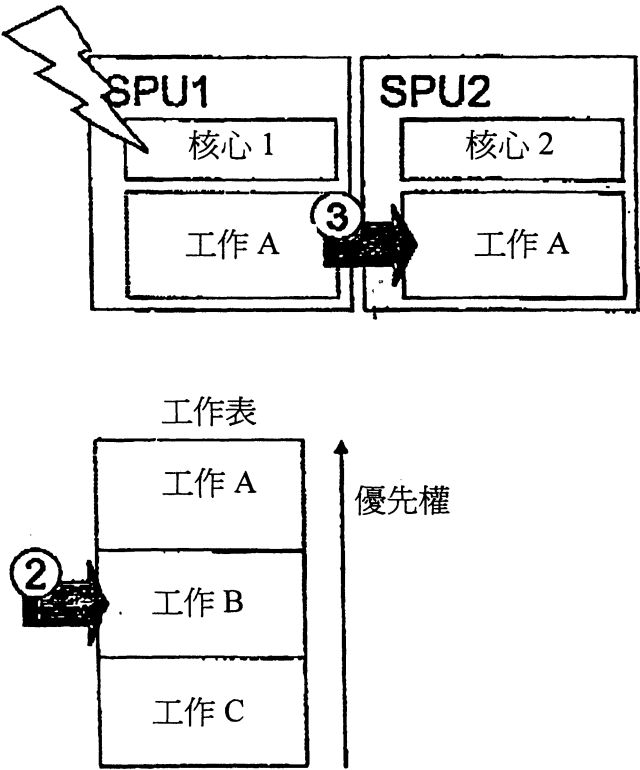


圖 26

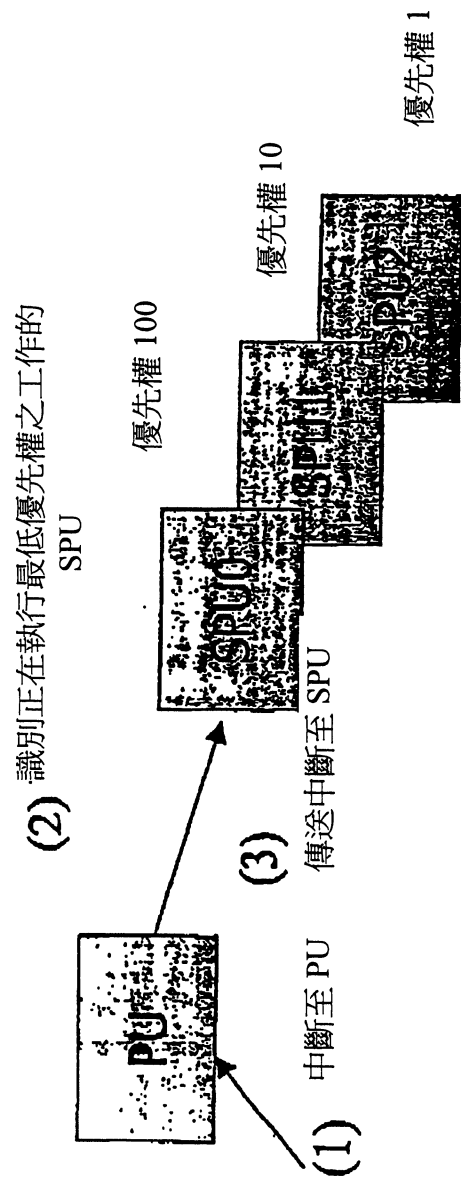


圖 27

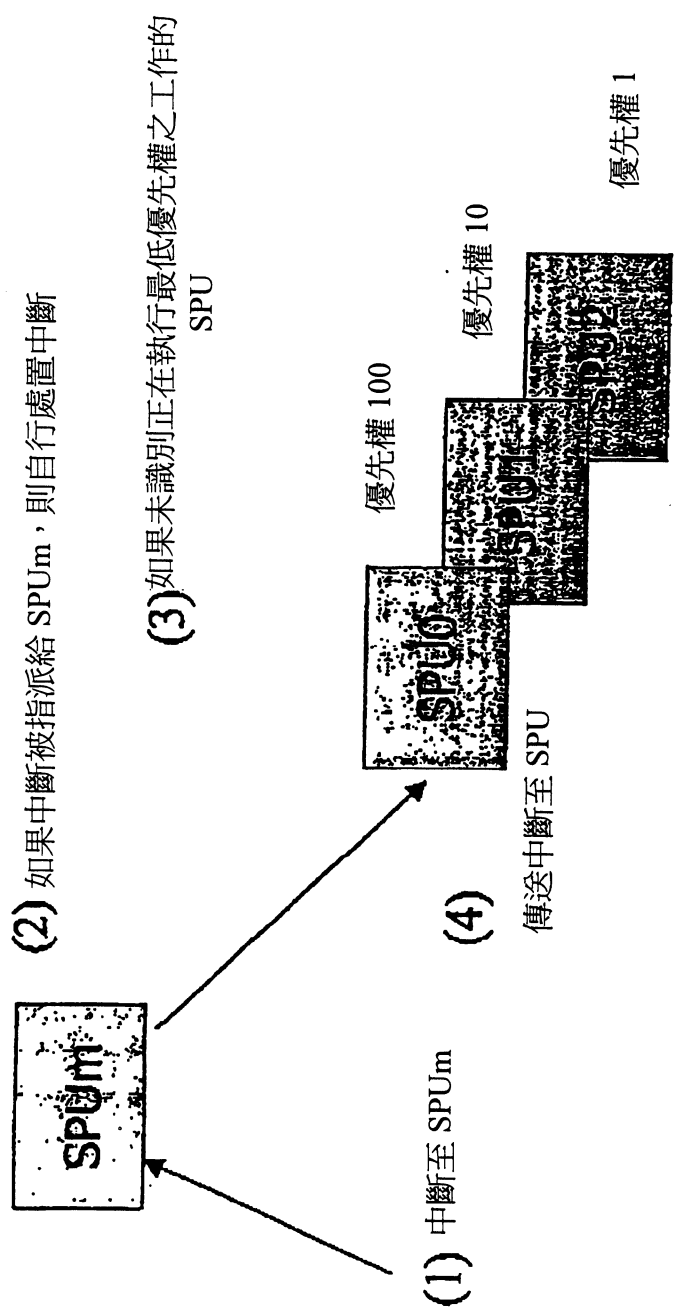


圖 28

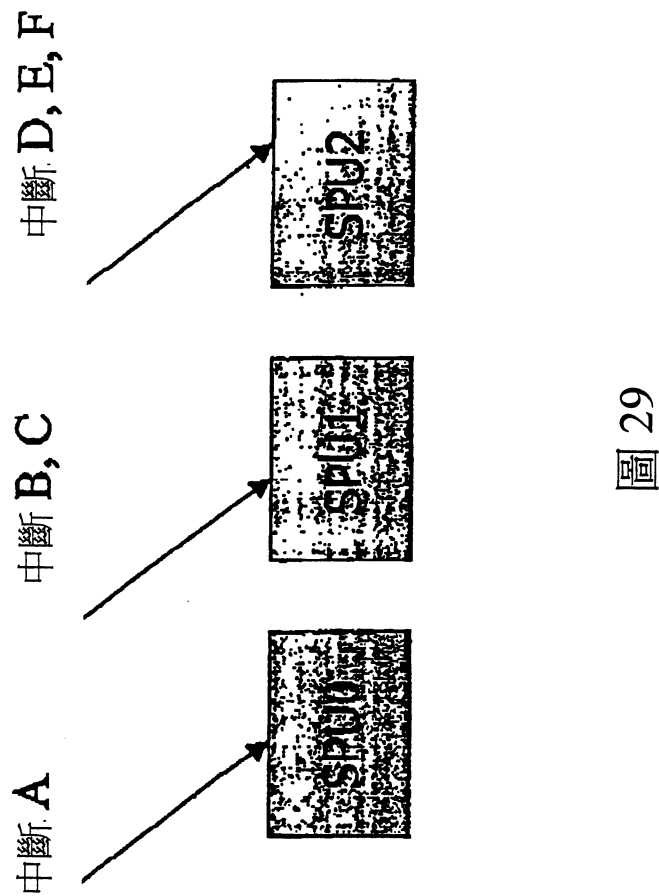


圖 29

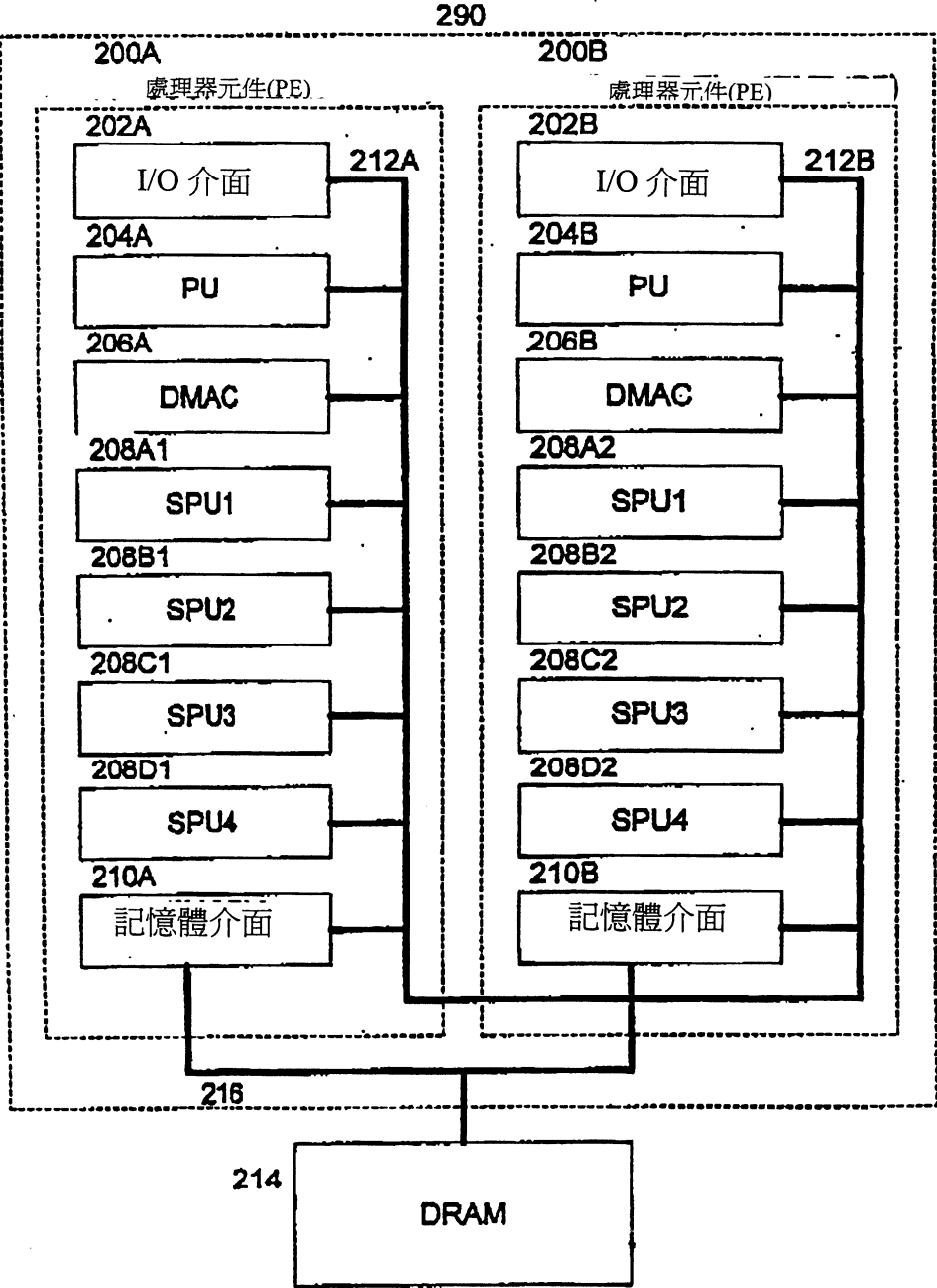


圖 30

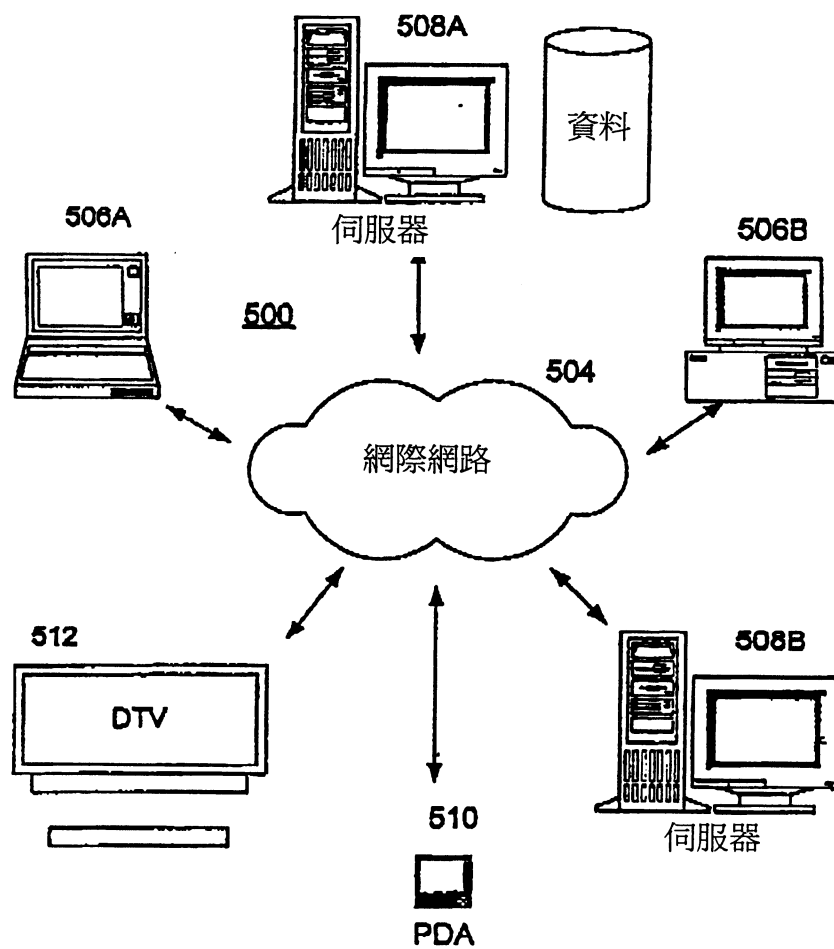


圖 31

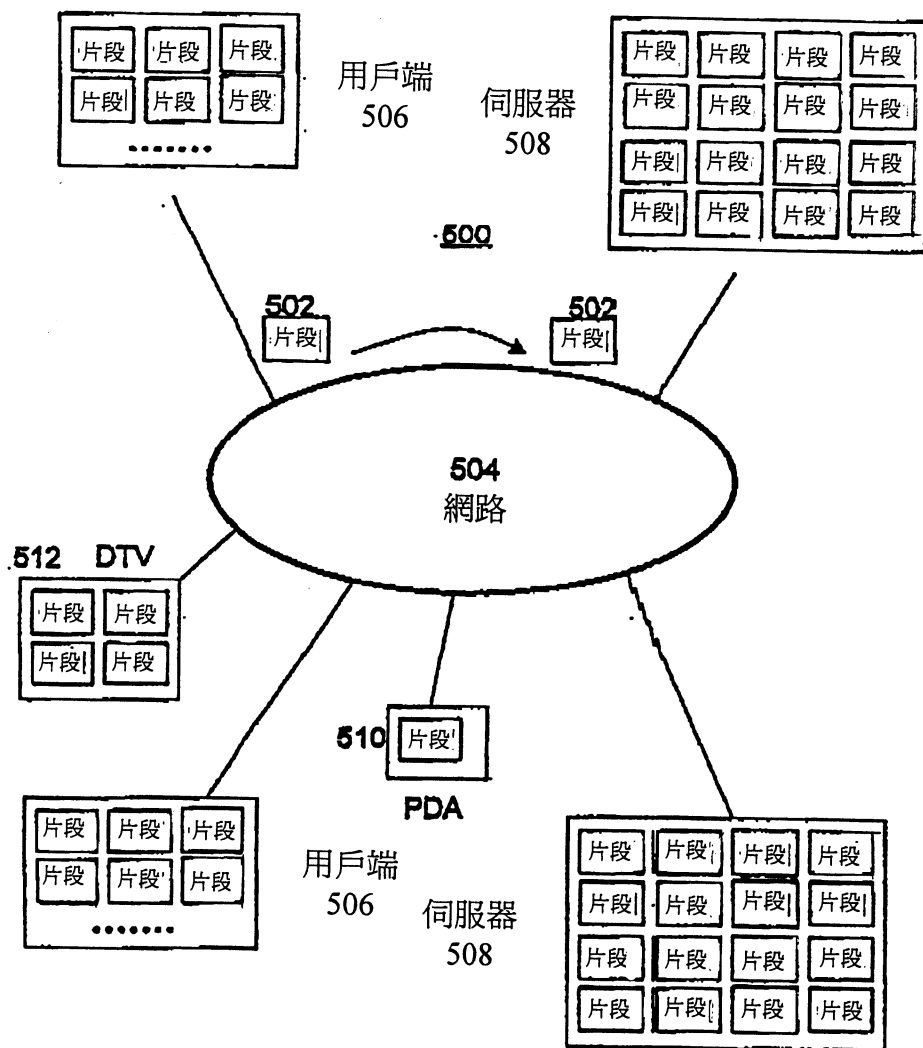


圖 32

七、指定代表圖：

(一)本案指定代表圖為：第 (25) 圖。

(二)本代表圖之元件符號簡單說明：

(無 元件代表符號說明)

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)