



(12) 发明专利

(10) 授权公告号 CN 109683082 B

(45) 授权公告日 2021.06.29

(21) 申请号 201811597651.8

(22) 申请日 2018.12.26

(65) 同一申请的已公布的文献号

申请公布号 CN 109683082 A

(43) 申请公布日 2019.04.26

(73) 专利权人 上海先方半导体有限公司

地址 200000 上海市浦东新区自由贸易试
验区创新西路778号

(72) 发明人 薛海韵

(74) 专利代理机构 上海智晟知识产权代理事务
所(特殊普通合伙) 31313

代理人 张东梅

(51) Int. Cl.

G01R 31/28 (2006.01)

G01M 11/00 (2006.01)

G01N 21/84 (2006.01)

G02B 21/00 (2006.01)

(56) 对比文件

CN 105739015 A, 2016.07.06

CN 1760706 A, 2006.04.19

CN 107942451 A, 2018.04.20

CN 107946282 A, 2018.04.20

CN 101697024 A, 2010.04.21

CN 107942530 A, 2018.04.20

CN 105301698 A, 2016.02.03

CN 102540349 A, 2012.07.04

CN 108701962 A, 2018.10.23

CN 206848526 U, 2018.01.05

US 2017261704 A1, 2017.09.14

CN 106932866 A, 2017.07.07

US 2017160469 A1, 2017.06.08

JP H02186282 A, 1990.07.20

CN 103217740 A, 2013.07.24

陈少武 等. 大功率半导体激光器光纤耦合
模块的耦合光学系统.《半导体学报》.2001, 第22
卷(第12期), 第1572-1576页.

孙瑜, 刘丰满, 薛海韵. 高速高密度光电共封
装技术.《中兴通讯技术》.2018, 第24卷(第4期),
第27-32页.

邹静慧. 用于硅基光集成芯片与光纤耦合的
光栅耦合器.《中国博士学位论文全文数据库 信
息科技辑》.2018, (第10期), I135-90.

审查员 刘钰薇

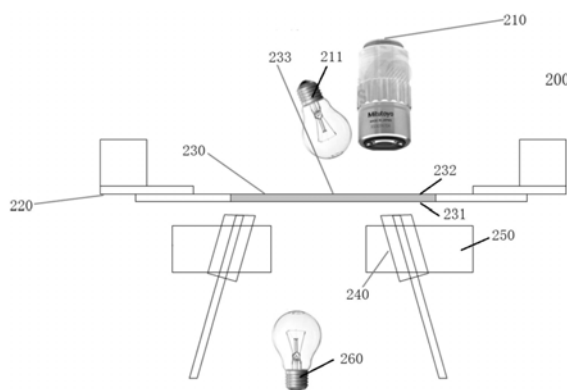
权利要求书1页 说明书4页 附图3页

(54) 发明名称

一种用于光学芯片的测试系统及测试方法

(57) 摘要

本发明公开了一种用于光学芯片的测试系
统, 包括: 显微镜, 所述显微镜具有物镜; 芯片夹
具, 所述芯片夹具位于所述物镜的下方; 光纤耦
合块, 所述光纤耦合块位于所述芯片夹具的下
方; 位置调节结构, 其中所述光纤耦合块固定在
所述位置调节结构上, 通过调整所述位置调节结
构调整所述光纤耦合块的位置和角度. 通过本发
明公开的实施例, 可以实现光芯片光栅区同时完
成多通道光学耦合, 可以实现接收端和发送端单
独测试, 芯片测试方便更换, 多通道光纤可以循
环利用, 通道一次组装成型, 可以实现批量组装,
工艺可重复性较高。



1. 一种用于光学芯片的测试系统,包括:
显微镜,所述显微镜具有物镜;
芯片夹具,所述芯片夹具位于所述物镜的下方;
光纤耦合块,所述光纤耦合块位于所述芯片夹具的下方;
位置调节结构,其中所述光纤耦合块固定在所述位置调节结构上,通过调整所述位置调节结构调整所述光纤耦合块的位置和角度,
其中待测芯片固定在所述芯片夹具上,其中待测芯片的背面面对显微镜的物镜;待测芯片的正面朝下并且包含对准标记和光栅区。
2. 如权利要求1所述的用于光学芯片的测试系统,其特征在于,还包括位于待测芯片背面一侧的第一光源和位于待测芯片背面一侧的第二光源。
3. 如权利要求1所述的用于光学芯片的测试系统,其特征在于,所述芯片夹具包括调节单元,用于调节待测芯片的位置。
4. 如权利要求1所述的用于光学芯片的测试系统,其特征在于,所述待测芯片的背面具有背面电极,所述背面电极通过TSV导电孔与正面电极形成电连接。
5. 如权利要求4所述的用于光学芯片的测试系统,其特征在于,所述芯片夹具包括电学探针调节夹,电学探针调节夹与所述背面电极电连接。
6. 如权利要求1所述的用于光学芯片的测试系统,其特征在于,所述光栅区在10至60微米的范围内。
7. 如权利要求1所述的用于光学芯片的测试系统,其特征在于,所述位置调节结构是五维位置调整结构。
8. 如权利要求1所述的用于光学芯片的测试系统,其特征在于,所述光纤耦合块是V型槽多通道光纤耦合块。
9. 一种使用权利要求1至8中任一项所述的测试系统测试光学芯片的方法,包括:
将待测芯片安装到芯片夹具,所述待测芯片的背面面对显微镜的物镜,待测芯片的正面面对光纤耦合块,并且所述正面包含对准标记和光栅区;
通过显微镜从芯片背面穿透芯片,看到对准标记;
通过位置调节结构调整光纤耦合块的位置和角度,实现光纤与光栅区的对准。

一种用于光学芯片的测试系统及测试方法

技术领域

[0001] 本发明涉及光学芯片的封装测试技术领域。具体而言,本发明涉及一种用于光学芯片的测试系统及测试方法。

背景技术

[0002] 近年来,由于数据中心、云计算等飞速发展,带来了海量的数据需要实现存储和交换。硅基光子学由于其兼容CMOS工艺、成本低等独特的先天优势,成为了解决该问题的优选方案。一方面,经过各企业和研究所的持续研发,探测器、调制器、波导、光栅等越来越多的硅基光子器件实现了快速、高效的发展,不管是分离器件还是单片集成芯片,其性能基本上可以满足目前的应用需求,但是,芯片无损测试成为了一个亟待解决的问题。

[0003] 实现硅光芯片的光学耦合,目前用的最多的就是光栅耦合器,因为其可以有较大的耦合区域来更好匹配单模光纤的数值孔径。图1示出根据现有技术的光芯片测试系统的示意图。如图1所示,V型槽光纤块通过紫外胶固定到芯片正面的光栅区。但是由于光栅区域在芯片正面,通常耦合平台显微镜、硅光器件的电极都在同一面,这就导致了在耦合时候的实际操作难度大,而且由于耦合后期固化极大地限制了集成密度和测试效率。

[0004] 目前对于此类应用,业内是通过有源对准的方式来实现光纤阵列的光学耦合,然后使用紫外点胶固化,不具备通道可拓展性。特别地,对于只是前期用来测试的光芯片,光纤耦合块和光芯片都不可重复利用,存在芯片不易更换等技术难题,组装难度较大且不够稳定、重复性不高,电互连制约较多。

发明内容

[0005] 本发明旨在解决硅基光电子芯片的高精度测试、光信号到硅光芯片入/出耦合难度大的问题。通过本发明提供的核心结构及耦合方案,可以实现多通道硅光子芯片的测试和光耦合封装。

[0006] 针对现有技术中存在的问题,根据本发明的一个方面,提供一种用于光学芯片的测试系统,包括:

[0007] 显微镜,所述显微镜具有物镜;

[0008] 芯片夹具,所述芯片夹具位于所述物镜的下方;

[0009] 光纤耦合块,所述光纤耦合块位于所述芯片夹具的下方;

[0010] 位置调节结构,其中所述光纤耦合块固定在所述位置调节结构上,通过调整所述位置调节结构调整所述光纤耦合块的位置和角度。

[0011] 在本发明的一个实施例中,待测芯片固定在所述芯片夹具上,其中待测芯片的背面对显微镜的物镜;待测芯片的正面朝下并且包含对准标记和光栅区。

[0012] 在本发明的一个实施例中,用于光学芯片的测试系统还包括位于待测芯片背面一侧的第一光源和位于待测芯片背面一侧的第二光源。

[0013] 在本发明的一个实施例中,所述芯片夹具包括调节单元,用于调节待测芯片的位

置。

[0014] 在本发明的一个实施例中,所述待测芯片的背面具有背面电极,所述背面电极通过TSV导电孔与正面电极形成电连接。

[0015] 在本发明的一个实施例中,所述芯片夹具包括电学探针调节夹,电学探针调节夹与所述背面电极电连接。

[0016] 在本发明的一个实施例中,所述光栅区在10至60微米的范围内。

[0017] 在本发明的一个实施例中,所述位置调节结构是五维位置调整结构。

[0018] 在本发明的一个实施例中,所述光纤耦合块是V型槽多通道光纤耦合块。

[0019] 根据本发明的另一个方面,提供一种利用测试系统测试光学芯片的方法,包括:

[0020] 将待测芯片安装到芯片夹具,所述待测芯片的背面面对显微镜的物镜,待测芯片的正面面对光纤耦合块,并且所述正面包含对准标记和光栅区;

[0021] 通过显微镜从芯片背面穿透芯片,看到对准标记;

[0022] 通过位置调节结构调整光纤耦合块的位置和角度,实现光纤与光栅区的对准。

[0023] 本专利用于光学芯片的测试系统及测试方法,可以实现光芯片的光栅区同时完成多通道光学耦合,可以实现接收端和发送端单独测试,芯片测试方便更换,多通道光纤可以循环利用,通道一次组装成型,可以实现批量组装,工艺可重复性较高。更适合更高密度的光/电收发模块,可以为大型数据中心、超算中心等提供更高带宽和更长距离的应用需求。

附图说明

[0024] 为了进一步阐明本发明的各实施例的以上和其它优点和特征,将参考附图来呈现本发明的各实施例的更具体的描述。可以理解,这些附图只描绘本发明的典型实施例,因此将不被认为是对其范围的限制。在附图中,为了清楚明了,相同或相应的部件将用相同或类似的标记表示。

[0025] 图1示出根据现有技术的光芯片测试系统的示意图。

[0026] 图2示出根据本发明的一个实施例的光学芯片的测试系统200的示意图。

[0027] 图3示出根据本发明的一个实施例的光芯片测试区域的示意图。

[0028] 图4示出根据本发明的另一个实施例的光芯片测试区域的示意图。

[0029] 图5示出根据本发明的另一个实施例的光学芯片的测试系统500的示意图。

具体实施方式

[0030] 在以下的描述中,参考各实施例对本发明进行描述。然而,本领域的技术人员将认识到可在没有或多个特定细节的情况下或者与其它替换和/或附加方法、材料或组件一起实施各实施例。在其它情形中,未示出或未详细描述公知的结构、材料或操作以免使本发明的各实施例的诸方面晦涩。类似地,为了解释的目的,阐述了特定数量、材料和配置,以便提供对本发明的实施例的全面理解。然而,本发明可在没有特定细节的情况下实施。此外,应理解附图中示出的各实施例是说明性表示且不一定按比例绘制。

[0031] 在本说明书中,对“一个实施例”或“该实施例”的引用意味着结合该实施例描述的特定特征、结构或特性被包括在本发明的至少一个实施例中。在本说明书各处中出现的短语“在一个实施例中”并不一定全部指代同一实施例。

[0032] 本专利用于光学芯片的测试系统及测试方法,可以实现光芯片的光栅区同时完成多通道光学耦合,可以实现接收端和发送端单独测试,芯片测试方便更换,多通道光纤可以循环利用,通道一次组装成型,可以实现批量组装,工艺可重复性较高。更适合更高密度的光/电收发模块,可以为大型数据中心、超算中心等提供更高带宽和更长距离的应用需求。

[0033] 图2示出根据本发明的一个实施例的光学芯片的测试系统200的示意图。如图2所示,光学芯片的测试系统200可包括显微镜210、芯片夹具220、待测芯片230、光纤耦合块240、光纤耦合块240的位置调节结构250。

[0034] 显微镜210可以是IR显微镜。为了便于观察,可在显微镜210的物镜附近设置光源211。芯片夹具220位于显微镜210的物镜的下方。待测芯片230固定在芯片夹具上,其中待测芯片230的背面面对显微镜210的物镜;待测芯片230的正面朝下并且包含对准标记和光栅。芯片夹具210还可包括位置调节结构,以便调节芯片的位置。在本发明的一个实施例中,待测芯片230可以还是硅光芯片、锗硅光芯片或其他半导体材料的光芯片。

[0035] 光纤耦合块240处于待测芯片230的下方。光纤耦合块240固定在位置调节结构250上。光纤耦合块240可以是带V型槽的多通道光纤耦合块。位置调节结构250可以是五维调节结构。通过调节位置调节结构250,使光纤耦合块240中光纤与待测芯片的特定光栅区对准。

[0036] 为了便于对准和观察,可在待测芯片的正面一侧设置第二光源260。

[0037] 在利用图2所示结构进行光芯片测试的过程中,光芯片正面上设置有金属的对准标记,显微镜从芯片背面穿透硅材料,看到对准标记,可以实现快速对准。对于输入和输出这两部分的光纤耦合块,可以通过两个独立的五维调节架移动和实现光纤与光栅区的对准,待一颗光芯片测试完毕后,后续光芯片可以快速更换。可以根据光芯片通道数增加带V型槽的多通道光纤耦合块,实现多通道耦合。

[0038] 在本发明的其他实施例中,显微镜可以在芯片的正面进行观察和对齐。

[0039] 图3示出根据本发明的一个实施例的光芯片测试区域的示意图。

[0040] 如图3所示,光芯片测试区域可包括对准标记310。对准标记310为易识别的金属标记。光栅区320位于对准标记310内。使用全部8个光纤通道。所有波导都是相同的长度。所有波导曲率半径都相同。发射通道330和接收通道340相邻。

[0041] 光栅耦合区在10-60微米的范围内,可匹配数值孔径 $NA=1.7$ 的单模光纤。

[0042] 波导尺寸大约为 $0.5\mu\text{m} \times 0.5\mu\text{m} \times 1\text{cm}$,曲率半径大约为 $125\mu\text{m}$,光纤间距大约为 $250\mu\text{m}$ 。

[0043] 图4示出根据本发明的另一个实施例的光芯片测试区域的示意图。

[0044] 如图4所示,光芯片测试区域可包括对准标记410。对准标记410为易识别的金属标记。光栅区420位于对准标记410内。使用全部8个光纤通道。波导的长度不完全相同。波导曲率半径相差三倍。发射通道430和接收通道440可以相邻或不相邻。

[0045] 光栅耦合区在10-60微米的范围内,可匹配数值孔径 $NA=1.7$ 的单模光纤。

[0046] 波导尺寸大约为 $0.5\mu\text{m} \times 0.5\mu\text{m} \times 1\mu\text{m}$,曲率半径大约为 $125\mu\text{m}$ 和 $375\mu\text{m}$,光纤间距大约为 $250\mu\text{m}$ 和 $750\mu\text{m}$ 。

[0047] 图5示出根据本发明的另一个实施例的光学芯片的测试系统500的示意图。如图5所示,光学芯片的测试系统500可包括显微镜510、芯片夹具520、待测芯片530、光纤耦合块540、光纤耦合块540的位置调节结构550。

[0048] 显微镜510可以是IR显微镜。为了便于观察,可在显微镜510的物镜附近设置光源511。芯片夹具520位于显微镜510的物镜的下方。待测芯片530固定在芯片夹具上,其中待测芯片530的背面532面对显微镜510的物镜;待测芯片530的正面531朝下并且包含对准标记、光栅和电极。在待测芯片530的电极的位置打孔,通过TSV实现电气互连,从而在待测芯片530的背面形成电极533。芯片夹具具有电学探针调节夹,可以实现芯片带电测试。芯片夹具510还可包括位置调节结构,以便调节芯片的位置。在本发明的一个实施例中,待测芯片530可以可以还是硅光芯片、锗硅光芯片或其他半导体材料的光芯片。

[0049] 光纤耦合块540处于待测芯片530的下方。光纤耦合块540固定在位置调节结构550上。光纤耦合块540可以是带V型槽的多通道光纤耦合块。位置调节结构550可以是五维调节结构。通过调节位置调节结构550,使光纤耦合块540中光纤与待测芯片的特定光栅区对准。

[0050] 为了便于对准和观察,可在待测芯片的正面一侧设置第二光源560。

[0051] 尽管上文描述了本发明的各实施例,但是,应该理解,它们只是作为示例来呈现的,而不作为限制。对于相关领域的技术人员显而易见的是,可以对其做出各种组合、变型和改变而不背离本发明的精神和范围。因此,此处所公开的本发明的宽度和范围不应被上述所公开的示例性实施例所限制,而应当仅根据所附权利要求书及其等同替换来定义。

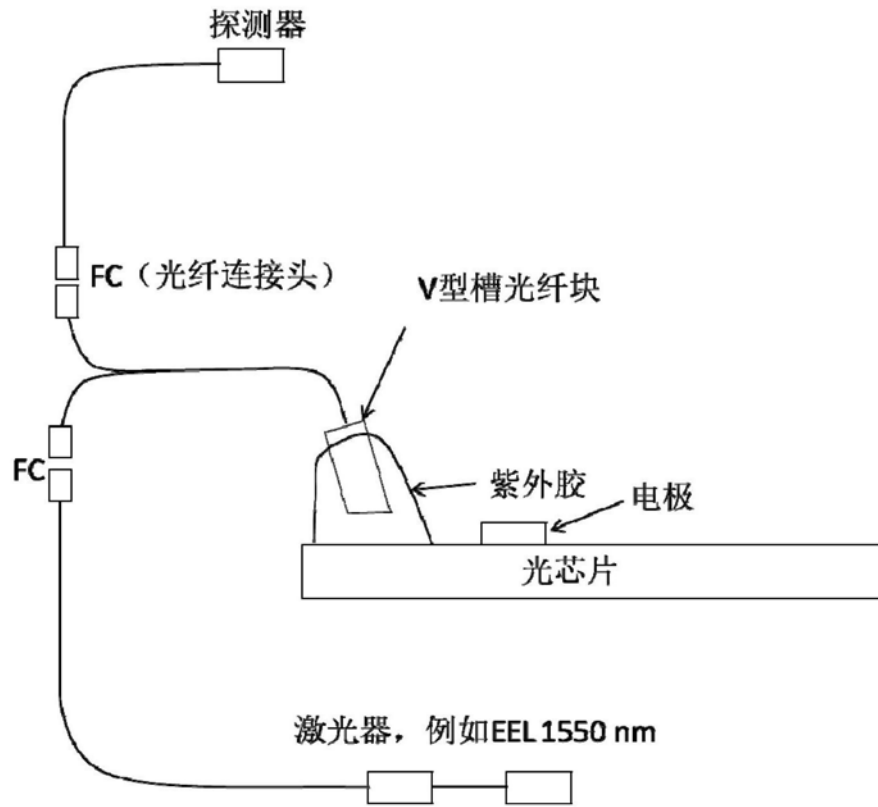


图1

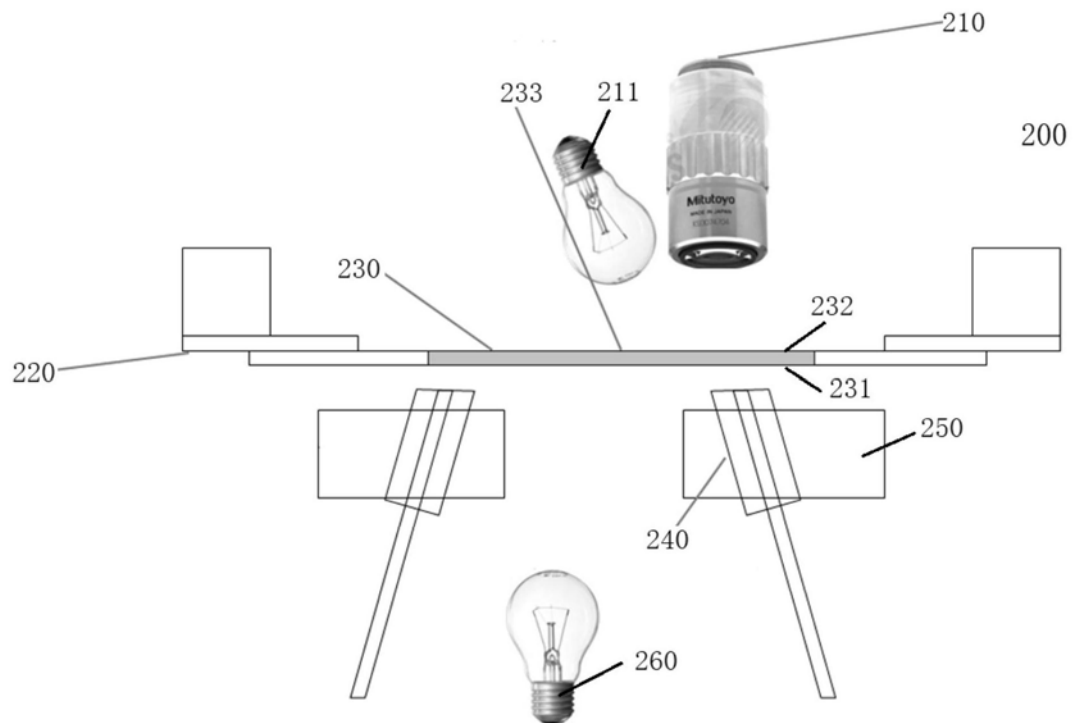


图2

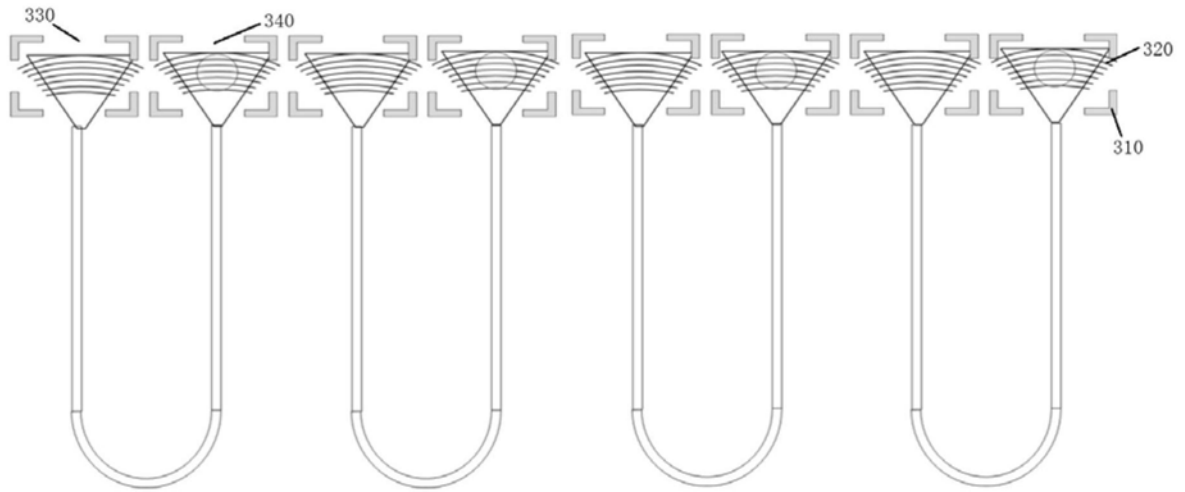


图3

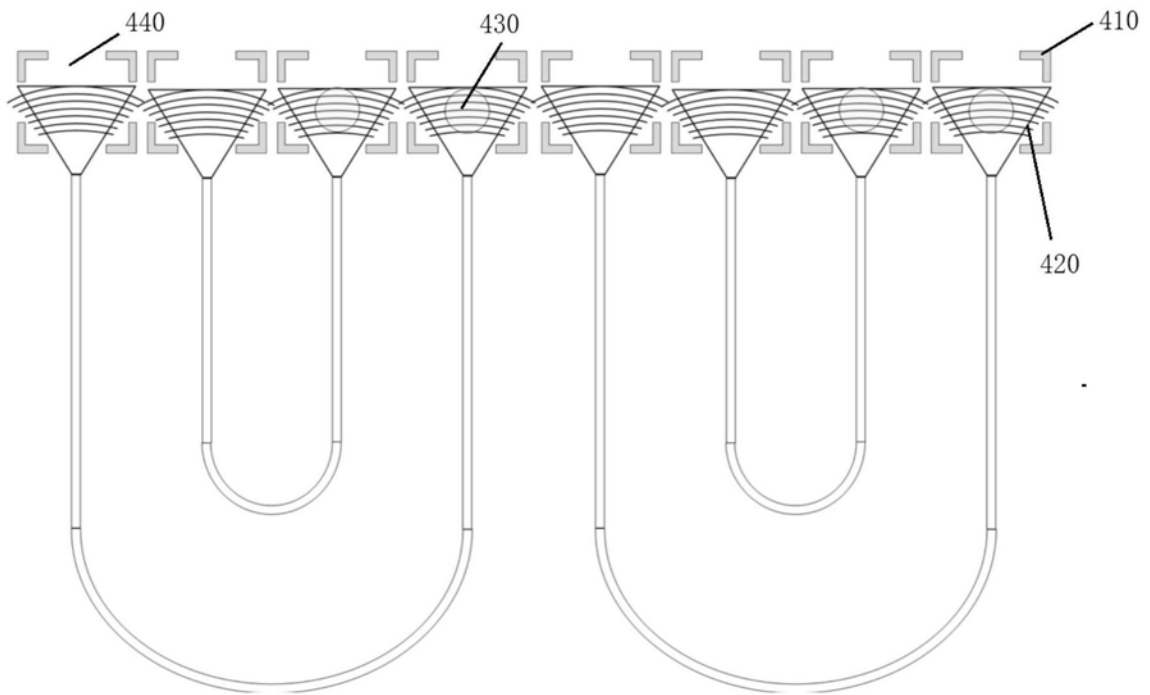


图4

