

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4058619号
(P4058619)

(45) 発行日 平成20年3月12日(2008.3.12)

(24) 登録日 平成19年12月28日(2007.12.28)

(51) Int.Cl.

F I

H O 1 L 21/60 (2006.01)

H O 1 L 21/92 6 O 2 N

H O 1 L 23/12 (2006.01)

H O 1 L 21/92 6 O 4 B

H O 1 L 23/12 5 O 1 P

H O 1 L 23/12 5 O 1 C

請求項の数 6 (全 14 頁)

(21) 出願番号 特願2002-238017 (P2002-238017)
 (22) 出願日 平成14年8月19日(2002.8.19)
 (65) 公開番号 特開2003-204014 (P2003-204014A)
 (43) 公開日 平成15年7月18日(2003.7.18)
 審査請求日 平成17年3月18日(2005.3.18)
 (31) 優先権主張番号 特願2001-327239 (P2001-327239)
 (32) 優先日 平成13年10月25日(2001.10.25)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100090387
 弁理士 布施 行夫
 (74) 代理人 100090398
 弁理士 大淵 美千栄
 (72) 発明者 小原 浩志
 長野県諏訪市大和3丁目3番5号 セイコ
 ーエプソン株式会社内

審査官 今井 拓也

最終頁に続く

(54) 【発明の名称】 半導体ウエハ

(57) 【特許請求の範囲】

【請求項1】

複数の半導体チップの機能を実現するために半導体結晶体に作り込まれてなる複数のモノリシック集積回路と、

前記複数の半導体チップにするための複数の第1の領域に形成されてなる複数のパッドと、

前記パッドよりも下層側に位置して、2つの前記第1の領域間の第2の領域を通して、2つ以上の前記パッドを電氣的に接続する導電体と、

少なくとも前記第2の領域を含む領域に形成され、前記半導体結晶体に作り込まれてなる、前記半導体結晶体とは逆の導電型の不純物拡散領域と、

を有し、

前記導電体は、前記半導体結晶体の前記不純物拡散領域以外の部分を避けて、前記不純物拡散領域に電氣的に接続されてなる半導体ウエハ。

【請求項2】

請求項1記載の半導体ウエハにおいて、

前記複数のパッドのうち、第1のパッドは第1の経路によって前記モノリシック集積回路の素子に電氣的に接続され、第2のパッドは前記モノリシック集積回路を避ける第2の経路によって前記半導体結晶体に電氣的に接続されてなり、

前記導電体は、前記第1及び第2の経路を電氣的に接続してなる半導体ウエハ。

【請求項3】

10

20

請求項 1 又は請求項 2 記載の半導体ウエハにおいて、
前記第 2 の領域は、切削ラインである半導体ウエハ。

【請求項 4】

請求項 1 から請求項 3 のいずれかに記載の半導体ウエハにおいて、
前記導電体は、前記第 2 の領域に位置する部分が切断されると前記 2 つ以上のパッドが
電氣的に断ち切られるように形成されてなる半導体ウエハ。

【請求項 5】

請求項 1 から請求項 4 のいずれかに記載の半導体ウエハにおいて、
前記導電体は、第 1 の部分と、複数の第 2 の部分と、を有し、
前記第 1 の部分は、それぞれの前記第 1 の領域を囲むように前記第 2 の領域に沿って前
記第 2 の領域の内側に形成されてなり、

それぞれの前記第 2 の部分は、前記パッドのうち前記第 2 の領域を境として隣り合う一
対のパッドを電氣的に接続し、前記第 1 の部分に電氣的に接続部されてなる半導体ウエハ
。

【請求項 6】

請求項 1 から請求項 5 のいずれかに記載の半導体ウエハにおいて、
電氣的に接続された前記 2 つ以上のパッド上にバンプをさらに有する半導体ウエハ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体ウエハ、バンプ付き半導体ウエハの製造方法、バンプ付き半導体チップ
及びその製造方法、半導体装置、回路基板並びに電子機器に関する。

【0002】

【発明の背景】

半導体集積回路の高集積化、半導体チップの縮小化が進むと、微細ピッチの端子接続に対
応可能な実装技術が要求される。この要求に対応しやすい実装技術として、T C P (Tape
Carrier Package) 等で利用される T A B (Tape Automated Bonding) 実装や、C S P (Chip
Size Package) 等で利用されるフリップチップ実装があげられる。

【0003】

上記のような実装技術には、通常、半導体チップのパッドにバンプが設けられる。バンプ
は例えば A u バンプが代表的であり、その形成は電解メッキ法によるものが一般的である
。電解メッキ法による A u バンプ電極の形成方法を以下に説明する。

【0004】

図 1 6 は、従来の半導体チップにおける A u バンプの断面図である。内部の集積回路に繋
がる配線の一部であるパッド 5 0 2 は、電氣的接続領域の表面を除いてパッシベーション
膜 5 0 4 によって被覆されている。

【0005】

まず、アンダーバンプメタル層（バリアメタル層及び密着性金属層の積層）5 0 6 をスパ
ッタ法により形成する。その後、フォトリソグラフィ技術によりパッド 5 0 2 の電氣的接
続領域及びその周囲部を露出させたバンプ形成用のレジスト層 5 0 8 を形成する。次に、
レジスト層 5 0 8 のパターンに従って電解メッキ法により A u をメッキ成長させる。その
後、レジスト層 5 0 8 を剥離してからメッキ成長した A u をマスクとして、アンダーバン
プメタル層 5 0 6 を、その層の種類に応じてウェットエッチングする。その後はアニール
などを経てバンプ 5 1 0 を形成する。各所で適宜洗浄工程も入る。このように、電解メ
ッキ法によるバンプ形成プロセスは長く、よりいっそうの短縮合理化が要求されている。

【0006】

そこで、最近提案されているのが、無電解メッキ法によるバンプの形成である。無電解メ
ッキ法で形成したバンプは、少なくともアンダーバンプメタル層のスパッタ形成及びエ
ッチング工程が不要である。また、メッキ成長用のレジストの形成が省略できることが期待
されている。これにより、大幅なプロセスの短縮が可能で、安価なバンプの形成が実現さ

10

20

30

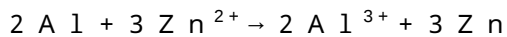
40

50

れる。

【 0 0 0 7 】

従来、無電解メッキ法でパンプを形成するときには、アルミパッドに、メッキの前処理としていわゆるジンケート処理を施す。すなわち、Znイオンの入った処理液に半導体ウエハを浸漬し、



の反応により、パッド表面をZnに置換する。そして、半導体ウエハ全体をメッキ液（メッキに関する処理液）に浸漬して、メッキ金属を析出する。なお、複数枚の半導体ウエハをメッキ液に浸漬するバッチ処理で合理化を図ることができる。

【 0 0 0 8 】

GND電極となるアルミパッドは、半導体ウエハのSi基板と電氣的に接続されている。Si基板は処理液に電氣的に導通し、Si基板の電子が処理液に放出されると、そのアルミパッドの電位が変化する。このようなグラウンド効果の影響により、化学反応のための電子が減少してしまう結果、イオン結合が起こりにくくなり、ジンケート処理でアルミパッド表面のZnへの置換が不十分となる。同様に、グラウンド効果の影響によりメッキレートが変化して、メッキ金属の析出に影響を及ぼす。

【 0 0 0 9 】

そこで、グラウンド効果の影響を防ぐために、半導体ウエハ裏面及び周縁部近傍（半導体ウエハ表面の外周部から側部にかけて）にレジストを相当量厚く塗布することがある。こうすることで、メッキに関する処理液が半導体ウエハ周縁部近傍及び裏面に接触しないようにしてから、ジンケート処理及びメッキ処理を行う。

【 0 0 1 0 】

半導体ウエハ裏面へのレジスト塗布は、スピンコーターの回転テーブルにパンプ形成面（半導体ウエハ主面）をチャック（真空吸着）して行う。その場合、その後のメッキ成長に影響を与えないように、パンプ形成面に傷が付かないようにしなければならない。また、半導体ウエハ裏面にレジストを塗布しても、パッドが電氣的に接続される部位の電位に応じてメッキ金属の析出成長が決まるので、均等な高さと高品質の無電解メッキパンプを形成することが難しかった。

【 0 0 1 1 】

本発明は、半導体ウエハ、パンプ付き半導体ウエハの製造方法、パンプ付き半導体チップ及びその製造方法、半導体装置、回路基板並びに電子機器に関して、高品質の無電解メッキを行うことを目的とする。

【 0 0 1 2 】

【課題を解決するための手段】

本発明に係る半導体ウエハは、複数の半導体チップの機能を実現するために半導体結晶体に作り込まれてなる複数のモノリシック集積回路と、

前記複数の半導体チップにするための複数の第1の領域に形成されてなる複数のパッドと、

前記パッドよりも下層側に位置して、2つの前記第1の領域間の第2の領域を通して、2つ以上の前記パッドを電氣的に接続する導電体と、

少なくとも前記第2の領域を含む領域に形成され、前記半導体結晶体に作り込まれてなる、前記半導体結晶体とは逆の導電型の不純物拡散領域と、

を有し、

前記導電体は、前記半導体結晶体の前記不純物拡散領域以外の部分を避けて、前記不純物拡散領域に電氣的に接続されてなる。

【 0 0 1 3 】

本発明によれば、2つ以上のパッドが電氣的に接続されており、電位差が小さい又は電位差がないので、高品質の無電解メッキを行うことができる。

【 0 0 4 6 】

【発明の実施の形態】

以下、本発明の実施の形態を、図面を参照して説明する。

【0047】

(実施の形態)

図1は、本発明の実施の形態に係る半導体ウエハの平面の一部を示す図である。図2は、本発明の実施の形態に係る半導体ウエハの断面の一部を示す図である。

【0048】

半導体ウエハ10は、複数の半導体チップに切断(例えばダイシング又はスクライピング)されるものである。半導体ウエハ10は、半導体結晶体(例えばSi基板)12を有する。半導体結晶体12は、不純物が添加されており、n型又はp型の導電型を示す。半導体結晶体12には、複数のモノリシック集積回路14が作り込まれている。各モノリシック集積回路14は、各半導体チップの機能を実現するためのものである。

10

【0049】

図2には、モノリシック集積回路14の素子の1つとして、MOSトランジスタ20が示されている。詳しくは、半導体結晶体12にウェル22が形成されている。ウェル22は、半導体結晶体12とは逆の導電型を示す。ウェル22には、間隔をあけて一对の拡散領域24が形成されており、その一方がソース領域で、他方がドレイン領域である。拡散領域24は、ウェル22とは逆の導電型を示す。ウェル22上には、絶縁膜(例えばSiO₂等の酸化膜)26が形成されている。絶縁膜26上であって一对の拡散領域24の間に第1の電極(ゲート電極)28が形成され、一方の拡散領域24上に第2の電極(ソース電極)30が形成され、他方の拡散領域24上に第3の電極(ドレイン電極)32が形成されている。拡散領域24は、不純物が導入された領域であって、その導入方法は、熱拡散プロセスのみならずイオン注入であってもよい。

20

【0050】

1つの素子は、素子分離領域34によって、他の素子から電氣的に絶縁されている。素子分離領域34の形成には、LOCOS(Local Oxidation of Silicon)を適用してもよい。例えば、ウェル22上に形成された絶縁膜26の厚い部分が素子分離領域34であってもよい。また、絶縁膜26上にさらに絶縁膜36が形成されていてもよい。

【0051】

半導体結晶体12には、不純物拡散領域38が形成されていてもよい。不純物拡散領域38は、その外側の領域と電氣的に絶縁された状態になっている。不純物拡散領域38は、半導体結晶体12とは逆の導電型を示してもよい。その場合、不純物拡散領域38とその外側の領域との間に空乏層が形成されるなどの理由で、半導体結晶体12及び不純物拡散領域38の間に電流が流れにくくなっている。不純物拡散領域38は、後述する第2の領域44内のみ形成されていてもよいが、図2に示す例では、第2の領域44を超えて第1の領域42の端部に至るまで形成されている。不純物拡散領域38は、ガードリングであってもよい。

30

【0052】

半導体結晶体12には、電氣的に導通する不純物拡散領域40が形成されていてもよい。不純物拡散領域40は、半導体結晶体12と同じ導電型を示してもよい。その場合、半導体結晶体12及び不純物拡散領域40の間に電流が流れやすくなっている。なお、不純物拡散領域38、40は、不純物が導入された領域であって、その導入方法は、熱拡散プロセスのみならずイオン注入であってもよい。

40

【0053】

半導体ウエハ10は、複数の半導体チップにするための複数の第1の領域42と、2つの(例えば隣り合う)第1の領域42の間の第2の領域44と、を有する。第2の領域44は、切削ラインであってもよい。第2の領域44は、それぞれの第1の領域42を囲んでいてもよい。全ての第1の領域42内の構造が少なくとも設計上同じであってもよい。

【0054】

半導体ウエハ10は、複数のパッド50を有する。パッド50は、アルミニウムで形成してもよい。パッド50は、第1の領域42に形成されている。図2に示すように、複数の

50

パッド50のうち、第1のパッド52は、モノリシック集積回路14の素子（例えばMOSトランジスタ20）に電氣的に接続されている。その電氣的接続のための第1の経路54は、深さ又は高さ方向の電氣的接続を図るコンタクト層（ビア、プラグを含む。）と、横方向の電氣的接続を図る配線を含んでもよい。なお、1つの第1の領域42に、1グループの第1のパッド52が形成されていてもよい。

【0055】

図2に示すように、複数のパッド50のうち、第2のパッド56は、モノリシック集積回路14を避ける第2の経路58によって半導体結晶体12に電氣的に接続されている。例えば、第2の経路58は、半導体結晶体12と同じ導電型の不純物拡散領域40に電氣的に接続されていてもよい。不純物拡散領域40によって、第2の経路58及び半導体結晶体12の間に電流が流れやすくなっている。なお、1つの第1の領域42内に、第1及び第2のパッド52、56の両方が形成されていてもよく、全ての第1の領域42内の構造が少なくとも設計上同じであってもよい。

10

【0056】

半導体ウエハ10は、2つ以上のパッド50を電氣的に接続する導電体60を有する。導電体60は、パッド50よりも下層側に位置する。導電体60は、上述した第1及び第2の経路54、58を電氣的に接続している。導電体60は、2つの第1の領域42間の第2の領域44を通る。第2の領域44で半導体ウエハ10が切断されると、導電体60の一部が切断面に露出する。この露出面とパッド50とを接続するバスラインが長ければ、パッド50に対してのマイグレーションを防止することができる。そのため、導電体60の、第2の領域44を通る部分（例えば第2の部分64）とパッド50の間に、他の部材（例えば絶縁層70）が介在していてもよい。

20

【0057】

導電体（例えば配線パターン）60は、第1の部分（例えば共通配線）62を有する。図1に示すように、第1の部分62は、それぞれの第1の領域42を囲むように形成されており、第2の領域44に沿って形成されおり、第2の領域44の内側に形成されている。導電体60は、複数の第2の部分（例えば接続経路）64を有する。それぞれの第2の部分64は、第2の領域44を境として隣り合う一対のパッド50（例えば、図2に示すパッド52、56）を電氣的に接続している。また、それぞれの第2の部分64は、第1の部分62に電氣的に接続部されている。その電氣的接続には、コンタクト層（ビア、プラグを含む。）が使用されていてもよい。

30

【0058】

導電体60は、第2の領域44に位置する部分が切断されると2つ以上のパッド50（例えば、図2に示すパッド52、56）が電氣的に断ち切られるように形成されていてもよい。図2に示す例では、第1の部分62が第2の領域44に位置し、第2の部分64の一部が第2の領域44に位置している。導電体60は、第2の領域44内に、電氣的に接続された2つ以上のパッド50のそれぞれへの分岐部66を有していてもよい。分岐部66が除去されると、2つ以上のパッド50（例えば、図2に示すパッド52、56）が電氣的に断ち切られる。

40

【0059】

導電体60は、半導体結晶体12とは電氣的に絶縁されていてもよい。例えば、導電体60は、半導体結晶体12とは逆の導電型の不純物拡散領域38に電氣的に接続されていてもよい。不純物拡散領域38とその外側の領域との間に空乏層が形成されるなどの理由で、導電体60及び不純物拡散領域38の間に電流が流れにくくなっている。その場合、導電体60は、半導体結晶体12の不純物拡散領域38以外の領域を避けて形成する。導電体60の不純物拡散領域38との電氣的接続部分（例えば、第3の部分）68は、コンタクト層（ビア、プラグを含む。）であってもよい。

【0060】

導電体60は、1層又は図2に示す例では複数層の絶縁層70の内部に形成されている。導電体60は、複数の絶縁層70の間に形成されてなる配線と、絶縁層70を貫通するコ

50

ンタクトホール（ビアホールを含む。）に形成されたコンタクト層（ビア、プラグを含む。）と、を有していてもよい。

【0061】

半導体ウエハ10は、パッシベーション膜72を有する。パッシベーション膜72は、各パッド50の少なくとも中央部を避けて形成されている。パッシベーション膜72は、各パッド50の端部（例えば周縁部）を覆っていてもよい。図2に示す例とは異なるが、パッシベーション膜72は、半導体ウエハ10を切断するためのライン（例えばダイシングライン又はスクライブライン）上を避けて形成してもよい。パッシベーション膜72は、 SiO_2 、 SiN 、ポリイミド等の樹脂などで形成することができる。パッシベーション膜72は、単層で形成してもよいし、複数層で形成してもよい。

10

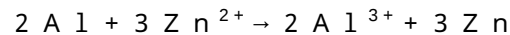
【0062】

本実施の形態では、上述した半導体ウエハ10にバンプを形成する。本実施の形態では、無電解メッキによってパッド50にバンプを形成する。そのために、図3（A）に示すように、半導体ウエハ10（例えばパッシベーション膜72）上にレジスト層74を形成する。レジスト層74は、パッド50の一部（例えば中央部）を露出させるように形成されている。すなわち、レジスト層74には、パッド50の一部を露出させる開口が形成されている。レジスト層74は、パッシベーション膜72の、パッド50の一部（例えば端部）を覆う部分上に載っていてもよい。このようにパターンニングされたレジスト層74は、メッキの成長方向を規制する。メッキの横方向への成長をレジスト層74によって規制するので、幅小さい又は狭ピッチのバンプを形成することができる。また、半導体ウエハ10は、洗浄工程などを経ている。

20

【0063】

無電解メッキでは、例えば、ジンケート処理を行う。図3（A）に示すように、ジンケート処理により、パッド50の表面にZnを置換する。すなわち、



の反応によりZnを置換する。

【0064】

本実施の形態では、上述したように、2つ以上のパッド50が電氣的に接続されている。例えば、半導体結晶体12から電氣的に絶縁された第1のパッド54と、半導体結晶体12に電氣的に接続された第2パッド56とが電氣的に接続されている。したがって、第1及び第2のパッド54、56は、同電位となっているので、ジンケート処理の程度に著しい差が生じない。すなわち、グランド効果の影響が少なく、全てのパッド50に対して均等にジンケート処理を行うことができる。なお、第1のパッド54は、第2の経路58を経由してのみ半導体結晶体12と電氣的に接続されるので、第1のパッド54から半導体結晶体12へ電子が逃げることは少ない。また、グランド効果の影響が少ないので、半導体ウエハ10の裏面へのレジスト塗布工程も不要であり、レジスト塗布工程で懸念される、半導体ウエハ10のパッド50が形成された面（主表面）へのダメージもなくすることができる。

30

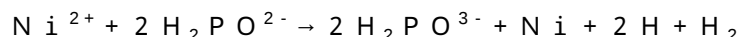
【0065】

なお、本発明は、主表面以外の面（例えば裏面）にレジストを塗布することを除外するものではない。あるいは、主表面のみがジンケート処理液に触れるようなカップ式の処理槽を使用して、ジンケート処理液が主表面以外の面に触れないようにしてもよい。

40

【0066】

次に、図3（B）に示すように、金属（例えばNi）の析出を行う。半導体ウエハ10に処理液（例えば無電解メッキ液）を接触させる。無電解Niメッキを行う場合、ジンケート処理したパッド50の表面ではZnとNiの置換反応が起こる。すなわち、NiとZnのイオン化傾向の違いで置換メッキが行われる。次いで、Ni上に、



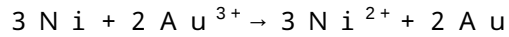
の反応により、Niを析出することができる。その他の内容及び作用効果については、ジンケート処理について説明した内容が該当する。全てのパッド50に対して均等にNiメ

50

ッキを行ってバンプ 7 6 を形成することができる。

【 0 0 6 7 】

次に、図 3 (C) に示すように、レジスト層 7 4 を除去する。必要であれば、図 3 (D) に示すように、パッド 5 0 上の 1 層からなるバンプ 7 6 に他の金属 (例えば A u) の析出を行ってもよい。半導体ウエハ 1 0 に処理液 (例えば無電解メッキ液 (例えば無電解 A u メッキ液)) を接触させる。無電解 A u メッキを行う場合、バンプ 7 6 (N i からなる層) の表面で、N i と A u のイオン化傾向の違いから、



で示される置換メッキが行われる。次いで、置換メッキ A u 上に、例えばキノン系還元剤を用いて、A u の無電解析出が生じる。その他の内容及び作用効果については、バンプ 7 6 を形成するための無電解メッキについて説明した内容が該当する。全てのバンプ 7 6 に対して均等に A u メッキを行ってバンプ 7 6 の被覆層 (第 2 層) 7 8 を形成することができる。A u によって形成された被覆層 7 8 は、電氣的接続を向上させるだけでなく、N i からなるバンプ 7 6 の酸化やマイグレーションに対する耐性の向上にも寄与する。以上の工程によって、バンプ付き半導体ウエハを製造することができる。

【 0 0 6 8 】

本実施の形態に係るバンプ付き半導体チップの製造方法は、上述した構成を有するバンプ付き半導体ウエハを切断することを含む。例えば、図 4 に示すように、半導体ウエハ 1 0 をツール (ダイサ等のカッタ又はスクライバ) 8 0 によって切断する。半導体ウエハ 1 0 の切断は、第 2 の領域 4 4 (図 1 参照) に沿って行う。半導体ウエハ 1 0 を切断するとき、第 2 の領域 4 4 を切削し、図 2 に示す導電体 6 0 の第 2 の領域 4 4 内の部分を除去してもよい。第 1 の部分 6 2 の全てを除去してもよい。あるいは、第 2 の部分 6 4 を切断するようにその一部を除去してもよい。半導体ウエハ 1 0 を切断することで、導電体 6 0 による 2 つ以上のパッド 5 0 の電氣的接続を断ち切ってもよい。こうして、個々のバンプ付き半導体チップを得ることができる。

【 0 0 6 9 】

図 5 は、上述した方法によって製造されたバンプ付き半導体チップを示す図である。半導体チップ 9 0 は、上述した半導体ウエハ 1 0 の第 1 の領域 4 2 内の構造を有する。また、パッド 5 0 上にバンプ 7 6 が設けられ、その表面に被覆層 7 8 が形成されている。詳しくは、上述した通りである。

【 0 0 7 0 】

半導体チップ 9 0 は、導電体 6 0 (例えばその第 2 の部分 6 4) の切断面が露出している。導電体 6 0 の、第 2 の領域 4 4 を通る部分 (例えば第 2 の部分 6 4) がパッド 5 0 よりも下層に形成されているので、露出面とパッド 5 0 とを接続するパスラインが長くなり、パッド 5 0 に対してのマイグレーションを防止することができる。また、半導体チップ 9 0 は、不純物拡散領域 3 8 の切断面が露出しているもよい。

【 0 0 7 1 】

図 6 は、本実施の形態に係る半導体装置を示す図である。半導体装置は、半導体チップ 9 0 を有する。半導体チップ 9 0 は、基板 (例えばセラミック基板又はフレキシブル基板等) 9 2 に実装 (例えばフェースダウンボンディング) されている。基板 9 2 には配線パターン 9 4 が形成されている。配線パターン 9 4 とバンプ 7 6 とが電氣的に接続されている。電氣的接続に、異方性導電材料 (異方性導電膜又は異方性導電ペースト) 、導電性材料 (導電性ペースト等) を使用してもよいし、金属接合を適用してもよいし、絶縁性接着剤を使用してもよい。基板 9 2 には、外部端子 (例えばハンダボール) 9 6 が設けられていてもよい。

【 0 0 7 2 】

図 7 は、本実施の形態に係るバンプ付き半導体チップが実装された回路基板を示す図である。回路基板 (マザーボード) 1 0 0 には、上述した半導体チップ 9 0 が実装 (例えばフリップチップボンディング) されている。なお、回路基板 1 0 0 には、図示しない配線パターンが形成されている。

10

20

30

40

50

【 0 0 7 3 】

図 8 は、本実施の形態に係る半導体チップが実装された半導体装置を示す図である。半導体装置は、半導体チップ 9 0 が基板 1 1 0 に実装されて、T C P (Tape Carrier Package) を構成している。この半導体装置は、電子パネル (例えば液晶パネルやエレクトロルミネッセンスパネル) 1 2 0 に接合されている。なお、半導体チップ 9 0 の実装形態は、C O G (Chip On Glass) 、C O F (Chip On Film/Flexible) であってもよい。

【 0 0 7 4 】

図 9 には、図 6 に示す半導体装置が実装された回路基板 1 3 0 が示されている。本発明を適用した半導体装置を有する電子機器として、図 1 0 にはノート型パーソナルコンピュータ 1 4 0 、図 1 1 には携帯電話 1 5 0 が示されている。

10

【 0 0 7 5 】

(第 1 の参考例)

図 1 2 は、本発明の第 1 の参考例に係る半導体ウエハを示す図である。本参考例では、半導体結晶体 1 2 上に形成された電気的な絶縁体 (例えば、絶縁膜 2 6 , 3 6 、絶縁層 7 0) によって、導電体 2 0 0 と半導体結晶体 1 2 が、電気的に絶縁されている。この点を除き、本参考例には、実施の形態で説明した内容が該当する。本参考例でも、実施の形態で説明した作用効果を達成することができる。

【 0 0 7 6 】

(第 2 の参考例)

20

図 1 3 (A) ~ 図 1 3 (B) は、本発明の第 2 の参考例に係るパンプ付き半導体ウエハの製造方法を説明する図である。本参考例で使用する半導体ウエハ 3 0 0 は、図 2 に示す半導体ウエハ 1 0 から導電体 6 0 及び不純物拡散領域 3 8 を除いた構造を有する。半導体ウエハ 3 0 0 の複数のパッド 3 0 2 上に、2 つ以上のパッド 3 0 2 を電気的に接続するように導電膜 3 0 4 を形成する。そして、無電解メッキによって、それぞれのパッド 3 0 2 の上方であって導電膜 3 0 2 上にパンプ 3 1 0 を形成する。導電膜 3 0 4 は、アンダーパンプメタルであってもよい。

【 0 0 7 7 】

詳しくは、図 1 3 (A) に示すように、パターニングされたレジスト層 3 0 6 を形成する。そして、無電解メッキを行ってパンプ 3 1 0 を形成する。詳しくは、実施の形態で説明した。次に、図 1 3 (B) に示すように、レジスト層 3 0 6 を除去し、パンプ 3 1 0 をマスクとして、導電膜 3 0 4 をエッチングする。こうして、パンプ 3 1 0 同士の電氣的接続を断ち切ることができる。

30

【 0 0 7 8 】

本参考例でも、実施の形態で説明したように、2 つ以上のパッド 3 0 2 を電気的に接続して無電解メッキを行うので、グランド効果の影響を減らすことができる。なお、本参考例の内容を、実施の形態又は他の参考例に適用してもよい。

【 0 0 7 9 】

(第 3 の参考例)

40

図 1 4 は、本発明の第 3 の参考例に係る半導体ウエハを示す図である。また、図 1 5 は、本発明の第 3 の参考例に係るパンプ付き半導体ウエハの製造方法及びパンプ付き半導体チップの製造方法を説明する図である。

【 0 0 8 0 】

半導体ウエハ 4 0 0 は、図 2 に示す半導体ウエハ 1 0 の導電体 6 0 及び不純物拡散領域 3 8 を除いた構造を有する。例えば、半導体ウエハ 4 0 0 は、複数の半導体チップの機能を実現するために半導体結晶体 4 1 2 に作り込まれてなる複数のモノリシック集積回路 4 1 4 を有する。半導体ウエハ 4 0 0 は、複数の半導体チップにするための複数の第 1 の領域 4 4 2 に形成されてなる複数のパッド 4 5 0 を有する。

【 0 0 8 1 】

半導体ウエハ 4 0 0 は、導電膜 4 6 0 を有する。導電膜 4 6 0 は、実施の形態で説明し

50

た導電体 60 の代わりに形成されるものであり、導電体 60 と同じ機能を有していてもよい。例えば、導電膜 460 は、2つの第1の領域 442 間の第2の領域 444 を通るように形成されている。導電膜 460 は、2つ以上のパッド 450（例えば、モノリシック集積回路 414 に電氣的に接続された第1のパッド 452 と、半導体結晶体 412 に電氣的に接続された第2のパッド 456）を電氣的に接続するように複数のパッド 450 上に形成されてなる。

【0082】

導電膜 460 は、第2の領域 444 内に、電氣的に接続された2つ以上のパッド 450 のそれぞれへの分岐部 466 を有していてもよい。導電膜 460 は、第1の部分 462 を有していてもよい。第1の部分 462 は、それぞれの第1の領域 442 を囲むように第2の領域 444 に沿って第2の領域 444 の内側に形成されていてもよい。導電膜 460 は、複数の第2の部分 464 を有していてもよい。それぞれの第2の部分 464 は、パッド 450 のうち第2の領域 444 を境として隣り合う一対のパッド 450 を電氣的に接続し、第1の部分 462 に電氣的に接続部されていてもよい。導電膜 460 は、第2の領域 460 に位置する部分が切断されると2つ以上のパッド 450 が電氣的に断ち切られるように形成されていてもよい。

【0083】

半導体ウエハ 400 には、パッド 450 の上方であって導電膜 460 上にバンプ 476（図15参照）を形成することができる。その形成方法は、実施の形態で説明した通りである。導電膜 460 は、アンダーバンプメタルであってもよい。

【0084】

そして、図15に示すように、半導体ウエハ 400 を切断して、バンプ付き半導体チップを製造することができる。その詳細は、実施の形態で説明した通りである。図15に示すバンプ付き半導体チップ 490 は、導電膜 460 の切断面が露出している。

【0085】

本参考例でも、実施の形態で説明したように、2つ以上のパッド 450 を電氣的に接続して無電解メッキを行うので、グランド効果の影響を減らすことができる。なお、本参考例の内容を、実施の形態又は他の参考例に適用してもよい。

【0086】

本発明は、上述した実施の形態に限定されるものではなく、種々の変形が可能である。例えば、本発明は、実施の形態で説明した構成と実質的に同一の構成（例えば、機能、方法及び結果が同一の構成、あるいは目的及び結果が同一の構成）を含む。また、本発明は、実施の形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施の形態で説明した構成と同一の作用効果を奏する構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施の形態で説明した構成に公知技術を付加した構成を含む。

【図面の簡単な説明】

【図1】 図1は、本発明の実施の形態に係る半導体ウエハの平面の一部を示す図である。

【図2】 図2は、本発明の実施の形態に係る半導体ウエハの断面の一部を示す図である。

【図3】 図3（A）～図3（D）は、本発明の実施の形態に係るバンプ付き半導体ウエハの製造方法を説明する図である。

【図4】 図4は、本発明の実施の形態に係るバンプ付き半導体チップの製造方法を説明する図である。

【図5】 図5は、本発明の実施の形態に係るバンプ付き半導体チップ及びその製造方法を示す図である。

【図6】 図6は、本発明の実施の形態に係る半導体装置を示す図である。

【図7】 図7は、本発明の実施の形態に係るバンプ付き半導体チップが実装された回路基板を示す図である。

10

20

30

40

50

【図 8】 図 8 は、本発明の実施の形態に係る半導体チップが実装された半導体装置を示す図である。

【図 9】 図 9 は、図 6 に示す半導体装置が実装された回路基板を示す図である。

【図 10】 図 10 は、本発明の実施の形態に係る半導体装置を有する電子機器を示す図である。

【図 11】 図 11 は、本発明の実施の形態に係る半導体装置を有する電子機器を示す図である。

【図 12】 図 12 は、本発明の第 1 の参考例に係る半導体ウエハを示す図である。

【図 13】 図 13 (A) ~ 図 13 (B) は、本発明の第 2 の参考例に係るパンプ付き半導体ウエハの製造方法を説明する図である。

10

【図 14】 図 14 は、本発明の第 3 の参考例に係る半導体ウエハを示す図である。

【図 15】 図 15 は、本発明の第 3 の参考例に係るパンプ付き半導体ウエハの製造方法及びパンプ付き半導体チップの製造方法を説明する図である。

【図 16】 図 16 は、本発明の従来技術を説明する図である。

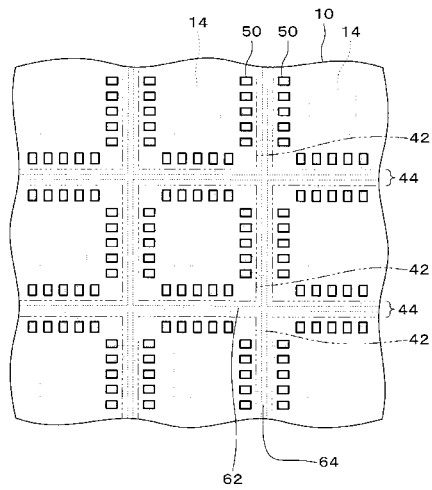
【符号の説明】

- 10 半導体ウエハ
- 12 半導体結晶体
- 14 モノリシック集積回路
- 38 不純物拡散領域
- 42 第 1 の領域
- 44 第 2 の領域
- 50 パッド
- 52 第 1 のパッド
- 54 第 1 の経路
- 56 第 2 のパッド
- 58 第 2 の経路
- 60 導電体
- 62 第 1 の部分
- 64 第 2 の部分
- 66 分岐部
- 76 パンプ
- 90 半導体チップ

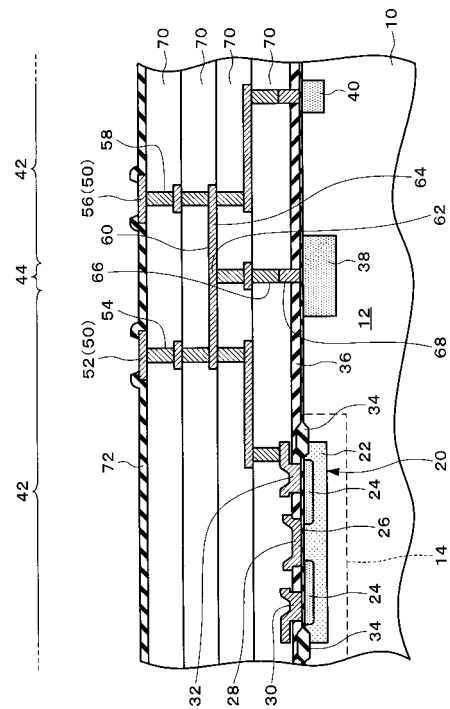
20

30

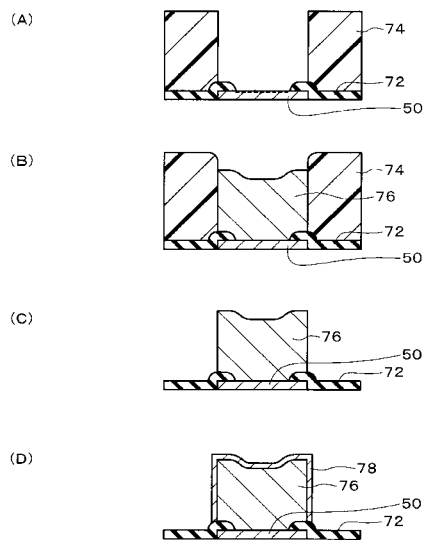
【図 1】



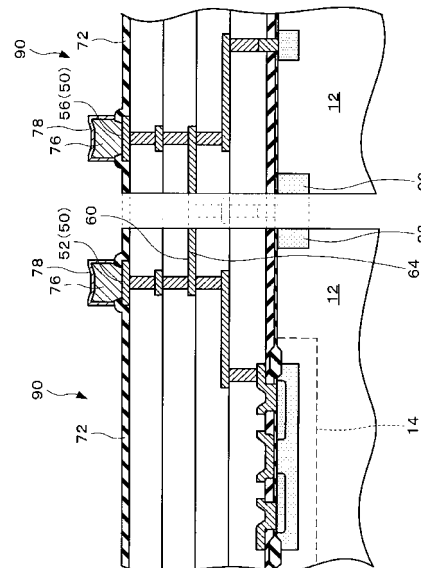
【図 2】



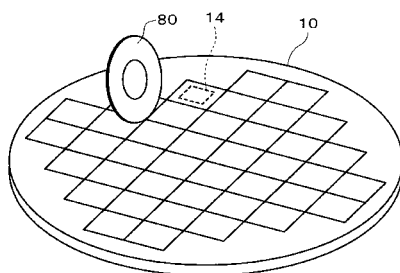
【図 3】



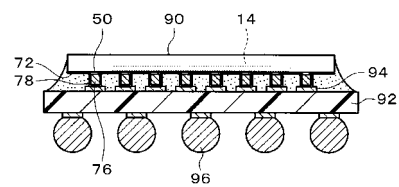
【図 5】



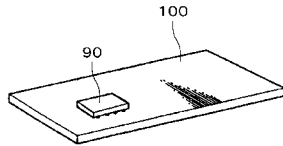
【図 4】



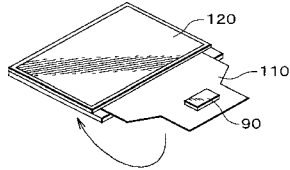
【図 6】



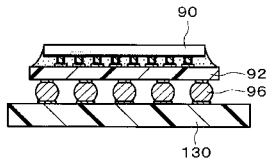
【図 7】



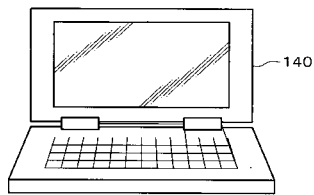
【図 8】



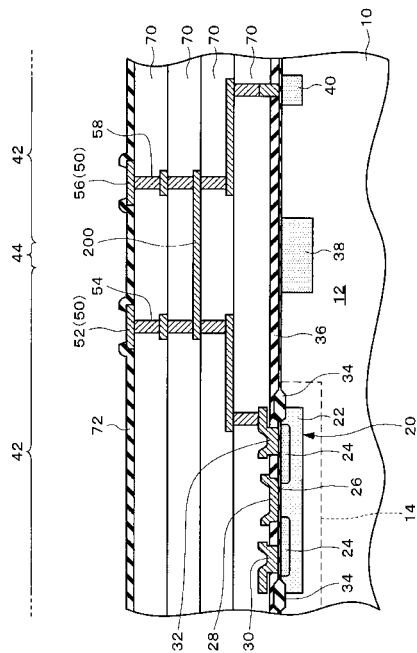
【図 9】



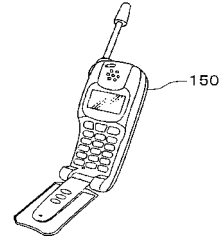
【図 10】



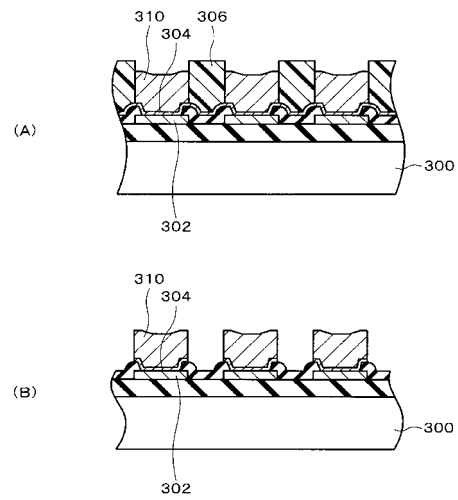
【図 12】



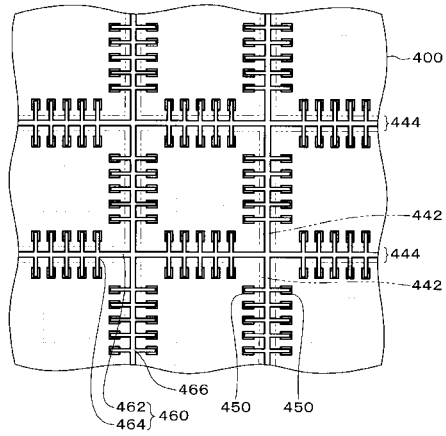
【図 11】



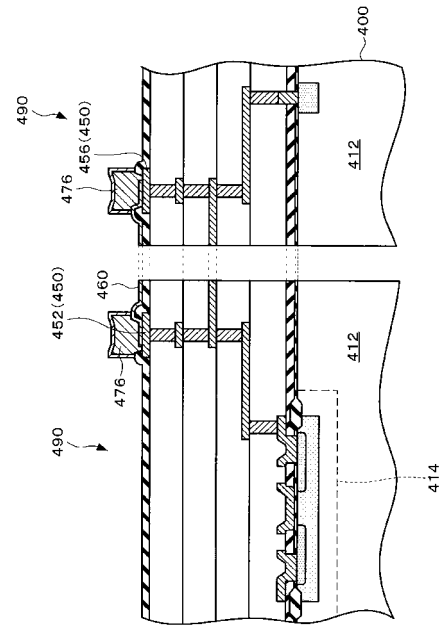
【図 13】



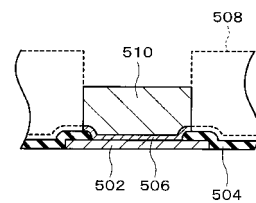
【図 14】



【図 15】



【図 16】



フロントページの続き

- (56)参考文献 特開 2 0 0 1 - 0 8 5 4 5 7 (J P , A)
特開平 0 7 - 2 2 1 1 0 1 (J P , A)
特開 2 0 0 1 - 1 6 8 2 3 1 (J P , A)
特開 2 0 0 1 - 1 3 5 7 4 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/60

H01L 21/30

H01L 23/12